

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成28年8月18日(2016.8.18)

【公開番号】特開2014-10885(P2014-10885A)

【公開日】平成26年1月20日(2014.1.20)

【年通号数】公開・登録公報2014-003

【出願番号】特願2013-136299(P2013-136299)

【国際特許分類】

G 11 C 11/15 (2006.01)

G 11 C 13/00 (2006.01)

【F I】

G 11 C 11/15 1 5 0

G 11 C 13/00 1 4 0

【手続補正書】

【提出日】平成28年6月27日(2016.6.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1出力信号を出力する第1差動出力端子と、

前記第1出力信号と反対である第2出力信号を出力する第2差動出力端子と、

抵抗性メモリセルと連関されたビットラインに連結された第1入力端子と、

参照メモリセルと連関された参照ラインに連結された第2入力端子と、

前記第2入力端子及び前記第1差動出力端子に連結され、参照ライン電流を通過させる第1トランジスターと、

前記第1差動出力端子に連結され、前記第1トランジスターと直列に配列され、ビットライン電流を通過させる第2トランジスターと、

パワー供給電圧と接地電圧との間の電圧レベルを有する中間パワー供給電圧ノードに連結されたプリチャージ部分と、を含み、

前記プリチャージ部分は前記第1差動出力端子及び前記中間パワー供給電圧ノードに連結された第1プリチャージトランジスター及び前記第2差動出力端子及び前記中間パワー供給電圧ノードに連結された第2プリチャージトランジスターを含み、

前記プリチャージ部分は感知增幅回路のプリチャージ段階の間に動作する

前記第1差動出力端子の電圧レベルは前記参照ライン電流と前記ビットライン電流との間のデルタ平均電流にしたがって変化する抵抗性メモリの感知增幅回路。

【請求項2】

前記ビットラインは前記参照ラインと連関された前記参照ライン電流の少なくとも一部を再使用する請求項1に記載の抵抗性メモリの感知增幅回路。

【請求項3】

前記第2トランジスターのドレーンは第1差動出力端子と第1トランジスターのドレンに連結され、

前記第2トランジスターのソースは前記メモリセルと連関された前記ビットラインに連結され、

前記第1差動出力端子はハイインピーダンス出力端子を含み、

前記ハイインピーダンス出力端子の電圧レベルは前記感知增幅回路の増幅段階に応答し

て変化する請求項 1 又は 2 に記載の抵抗性メモリの感知增幅回路。

【請求項 4】

前記第 1 プリチャージトランジスターはプリチャージコントロール信号を受信し、前記プリチャージコントロール信号に応答して前記感知增幅回路の前記プリチャージ段階の間に前記メモリセルと連関された前記ビットライン及び前記参照ラインをプリチャージし、

前記第 2 プリチャージトランジスターは前記プリチャージコントロール信号を受信し、前記プリチャージコントロール信号に応答して前記感知增幅回路の前記プリチャージ段階の間に前記第 2 差動出力端子と連関された寄生キャパシタンスをプリチャージする請求項 1 に記載の抵抗性メモリの感知增幅回路。

【請求項 5】

前記第 1 及び第 2 差動出力端子に連結されたラッチ回路をさらに含み、

前記ラッチ回路は、

パワー供給電圧ノードに連結され、第 1 ラッチコントロール信号に応答して前記感知增幅回路のラッチ段階を活性化する第 1 ラッティネーブルトランジスターと、

前記第 1 ラッティネーブルトランジスター及び前記第 1 差動出力端子に連結された第 1 ラッチトランジスターと、

前記第 1 ラッティネーブルトランジスター及び前記第 2 差動出力端子に連結された第 2 ラッチトランジスターと、

接地電圧ノードに連結され、第 2 ラッチコントロール信号に応答して前記感知增幅回路のラッチ段階を活性化する第 2 ラッティネーブルトランジスターと、

前記第 2 ラッティネーブルトランジスター及び前記第 1 差動出力端子に連結された第 3 ラッチトランジスターと、

前記第 2 ラッティネーブルトランジスター及び前記第 2 差動出力端子に連結された第 4 ラッチトランジスターを含み、

前記第 1 乃至第 4 ラッチトランジスターは前記ラッチ段階の間に前記第 1 及び第 3 ラッチコントロール信号の各々によってターンオンされた前記第 1 及び第 2 ラッティネーブルトランジスターに応答して前記抵抗性メモリセルに格納されたビット値にしたがって前記第 1 又は第 2 差動出力端子での論理値 “0” 又は論理値 “1” を各々ラッチする請求項 1 に記載の抵抗性メモリの感知增幅回路。

【請求項 6】

前記第 1 ラッティネーブルトランジスターは PMOS トランジスターであり、

前記第 2 ラッティネーブルトランジスターは NMOS トランジスターであり、

前記第 1 及び第 2 ラッチトランジスターは各々 PMOS トランジスターであり、

前記第 3 及び第 4 ラッチトランジスターは各々 NMOS トランジスターである請求項 5 に記載の抵抗性メモリの感知增幅回路。

【請求項 7】

前記第 1 ラッチトランジスターのソースは前記第 1 ラッティネーブルトランジスターのドレーンに連結され、

前記第 2 ラッチトランジスターのソースは前記第 1 ラッティネーブルトランジスターのドレーンに連結され、

前記第 3 ラッチトランジスターのソースは前記第 2 ラッティネーブルトランジスターのドレーンに連結され、

前記第 4 ラッチトランジスターのソースは前記第 2 ラッティネーブルトランジスターのドレーンに連結され、

前記第 1 ラッチトランジスターのゲートは前記第 2 差動出力端子に連結され、

前記第 2 ラッチトランジスターのゲートは前記第 1 差動出力端子に連結され、

前記第 3 ラッチトランジスターのゲートは前記第 2 差動出力端子に連結され、

前記第 4 ラッチトランジスターのゲートは前記第 1 差動出力端子に連結され、 第 1 及び第 3 ラッチトランジスターの各ドレーンは第 1 差動出力端子に連結され、

第 2 及び第 4 ラッチトランジスターの各ドレーンは第 2 差動出力端子に連結される請求項 5 に記載の抵抗性メモリの感知增幅回路。

【請求項 8】

前記抵抗性メモリセルは少なくとも S T T - M R A M セル、 M R A M セル、メモリスター RAM セル、又は C B R A M セルの中でいずれか 1 つを含む請求項 1 に記載の抵抗性メモリの感知增幅回路。

【請求項 9】

前記抵抗性メモリセルは S T T - M R A M セルである請求項 1 に記載の抵抗性メモリの感知增幅回路。

【請求項 10】

前記メモリセルに連結されたソースラインをさらに含み、

前記ソースラインはパワー供給電圧ノード又は接地電圧ノードの中でいずれか 1 つに連結され、

前記ソースラインが前記接地電圧ノードに連結される時、前記感知增幅回路は第 1 トランジスター特性を含み、

前記ソースラインが前記パワー供給電圧ノードに連結される時、前記感知增幅回路は前記第 1 トランジスター特性と比較してスワップされる第 2 トランジスター特性を含む請求項 1 に記載の抵抗性メモリの感知增幅回路。