



(12)发明专利

(10)授权公告号 CN 103748684 B

(45)授权公告日 2017.06.09

(21)申请号 201280035253.1

(22)申请日 2012.05.10

(65)同一申请的已公布的文献号

申请公布号 CN 103748684 A

(43)申请公布日 2014.04.23

(30)优先权数据

13/108,366 2011.05.16 US

(85)PCT国际申请进入国家阶段日

2014.01.16

(86)PCT国际申请的申请数据

PCT/US2012/037215 2012.05.10

(87)PCT国际申请的公布数据

W02012/158438 EN 2012.11.22

(73)专利权人 科锐

地址 美国北卡罗来纳州

(72)发明人 Q.张 C.卡佩尔 A.K.阿加瓦尔

S-H.刘

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 胡莉莉

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 29/739(2006.01)

H01L 29/74(2006.01)

H01L 29/861(2006.01)

H01L 29/16(2006.01)

H01L 29/78(2006.01)

(56)对比文件

US 5977605 A, 1999.11.02,

US 5977605 A, 1999.11.02,

US 2008006848 A1, 2008.01.10,

CN 1992337 A, 2007.07.04,

CN 101065847 A, 2007.10.31, (续)

审查员 刘宁

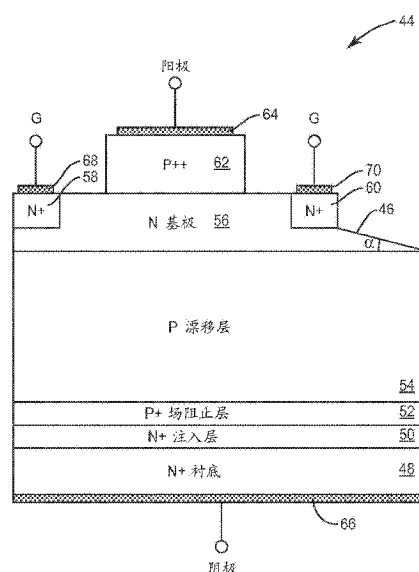
权利要求书4页 说明书8页 附图12页

(54)发明名称

以负斜角封端的具有高阻断电压的碳化硅器件

(57)摘要

公开了用于碳化硅(SiC)半导体器件的负斜角边缘终端。在一个实施例中,负斜角边缘终端包括以期望的斜度接近于平滑负斜角边缘终端的多个台阶。更具体地,在一个实施例中,负斜角边缘终端包括至少五个台阶、至少十个台阶或至少15个台阶。在一个实施例中,期望的斜度小于或等于十五度。在一个实施例中,负斜角边缘终端导致半导体器件的阻断电压为至少10千伏(kV)或至少12 kV。半导体器件优选地但不一定是诸如功率晶闸管之类的晶闸管、双极性结型晶体管(BJT)、绝缘栅双极性晶体管(IGBT)、U沟道金属氧化物半导体场效应晶体管(UMOSFET)或PIN二极管。



[转续页]

[接上页]

(56)对比文件

Agarwal A.等.Prospects of Bipolar Power Devices in Silicon Carbide.《Industrial Electronics,IECON2008,34th Annual conference of IEEE》.2008,2879-2884.

Agarwal A.等.Prospects of Bipolar Power Devices in Silicon Carbide.《Industrial Electronics,IECON2008,34th Annual conference of IEEE》.2008,2879-2884.

1. 一种碳化硅SiC半导体器件,所述SiC半导体器件包括:
接近平滑斜度的多台阶负斜角边缘终端;
第一导电性类型的半导体层;
其中,半导体层的边缘区中的半导体层的表面通过利用第二导电性类型的离子被反向掺杂,由此在半导体层中提供具有期望负斜角特性的中性区。
2. 根据权利要求1所述的SiC半导体器件,其中,所述多台阶负斜角边缘终端包括至少五个台阶。
3. 根据权利要求1所述的SiC半导体器件,其中,所述多台阶负斜角边缘终端包括至少十个台阶。
4. 根据权利要求1所述的SiC半导体器件,其中,所述多台阶负斜角边缘终端包括至少十五个台阶。
5. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中所述SiC半导体器件的阻断电压为至少10 kV。
6. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中,所述SiC半导体器件的阻断电压为至少12 kV。
7. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中,所述SiC半导体器件的阻断电压介于且包含10至25 kV范围。
8. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中,所述SiC半导体器件的阻断电压介于且包含12至25 kV范围。
9. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中,所述SiC半导体器件的管芯面积大于或等于1 cm²。
10. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中,所述多台阶负斜角边缘终端的倾角为小于或等于15度。
11. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中,所述多台阶负斜角边缘终端包括在所述SiC半导体器件的相应层的表面上形成的多个台阶。
12. 根据权利要求1-4中的任一项所述的SiC半导体器件,其中,所述中性区与半导体层的其余部分之间的界面提供多台阶负斜角边缘终端。
13. 一种碳化硅SiC半导体器件,所述SiC半导体器件包括接近平滑斜度的多台阶负斜角边缘终端,其中,所述SiC半导体器件是晶闸管,包括:
第一导电性类型的衬底;
在所述衬底的表面上的第二导电性类型的漂移层;
在所述漂移层的与所述衬底相对的表面上的第一导电性类型的基极层;
在所述基极层的与所述漂移层相对的表面上的第二导电性类型的阳极台面;
其中,栅极区在所述基极层的表面上形成;
其中,多台阶负斜角边缘终端在邻近于所述栅极区且与所述阳极台面相对的基极层中形成。
14. 根据权利要求13所述的SiC半导体器件,其中,多台阶负斜角边缘终端在基极层的邻近于所述栅极区且与所述阳极台面相对的表面上形成。
15. 根据权利要求13所述的SiC半导体器件,其中,邻近于所述栅极区且与所述阳极台

面相对的边缘区中的基极层的表面通过利用第二导电性类型的离子被反向掺杂,由此在基极层中提供具有期望负斜角特性的中性区,以使得所述中性区与基极层的其余部分之间的界面提供多台阶负斜角边缘终端。

16.一种碳化硅SiC半导体器件,所述SiC半导体器件包括接近平滑斜度的多台阶负斜角边缘终端,其中,所述SiC半导体器件是双极性结型晶体管BJT,包括:

第一导电性类型的衬底;

在所述衬底的表面上的第二导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第一导电性类型的基极层;

在所述基极层的与所述漂移层相对的表面上的第二导电性类型的发射极区;以及

在BJT的邻近于所述发射极区的表面中形成的且延伸到所述漂移层中的栅极沟槽;

其中,多台阶负斜角边缘终端在邻近于所述发射极区且与所述栅极沟槽相对的基极层中形成。

17.一种碳化硅SiC半导体器件,所述SiC半导体器件包括接近平滑斜度的多台阶负斜角边缘终端,其中,所述SiC半导体器件是U沟道金属氧化物半导体场效应晶体管UMOSFET,包括:

第一导电性类型的衬底;

在所述衬底的表面上的第一导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第二导电性类型的基极层;

在所述基极层的与所述漂移层相对的表面上的第一导电性类型的源极区;以及

在UMOSFET的邻近于所述源极区的表面中形成的且延伸到所述漂移层中的栅极沟槽;

其中,多台阶负斜角边缘终端在邻近于所述源极区且与所述栅极沟槽相对的基极层中形成。

18.一种碳化硅SiC半导体器件,所述SiC半导体器件包括接近平滑斜度的多台阶负斜角边缘终端,其中,所述SiC半导体器件是PIN二极管,包括:

第一导电性类型的衬底;

在所述衬底的表面上的第一导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第二导电性类型的半导体层;

在第二导电性类型的半导体层的与所述漂移层相对的表面上的阳极台面;

在所述阳极台面的与所述漂移层相对的表面上的阳极接点;以及

在所述衬底的与所述漂移层相对的表面上的阴极接点;

其中,多台阶负斜角边缘终端在邻近于所述阳极台面的第二导电性类型的半导体层中形成。

19.一种具有至少10千伏(kV)的阻断电压的碳化硅SiC半导体器件,所述SiC半导体器件包括:

第一导电性类型的半导体层;

其中,半导体层的边缘区中的半导体层的表面通过利用第二导电性类型的离子被反向掺杂,由此在半导体层中提供具有期望负斜角特性的中性区。

20.根据权利要求19所述的SiC半导体器件,其中,所述阻断电压为至少12千伏(kV)。

21.根据权利要求19所述的SiC半导体器件,还包括包含至少5个台阶的多台阶负斜角

边缘终端。

22. 根据权利要求21所述的SiC半导体器件, 其中, 所述多台阶负斜角边缘终端包括至少10个台阶。

23. 根据权利要求21所述的SiC半导体器件, 其中, 所述多台阶负斜角边缘终端包括至少15个台阶。

24. 根据权利要求21所述的SiC半导体器件, 其中, 所述多台阶负斜角边缘终端包括的台阶数量介于且包含10至25个台阶范围。

25. 一种碳化硅SiC半导体器件, 所述SiC半导体器件具有至少10千伏(kV)的阻断电压, 其中, 所述SiC半导体器件是晶闸管, 包括:

第一导电性类型的衬底;

在所述衬底的表面上的第二导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第一导电性类型的基极层;

在所述基极层的与所述漂移层相对的表面上的第二导电性类型的阳极台面;

其中, 栅极区在所述基极层的表面上形成;

其中, 多台阶负斜角边缘终端在邻近于所述栅极区且与所述阳极台面相对的基极层中形成。

26. 一种碳化硅SiC半导体器件, 所述SiC半导体器件具有至少10千伏(kV)的阻断电压, 其中, 所述SiC半导体器件是双极性结型晶体管BJT, 包括:

第一导电性类型的衬底;

在所述衬底的表面上的第一导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第二导电性类型的基极层;

在所述基极层的与所述漂移层相对的表面上形成的第二导电性类型的基极区; 以及

在所述基极层的与所述漂移层相对的且邻近于基极区的表面上的发射极台面;

其中, 多台阶负斜角边缘终端在邻近于所述基极区且与发射极台面相对的基极层中形成。

27. 一种碳化硅SiC半导体器件, 所述SiC半导体器件具有至少10千伏(kV)的阻断电压, 其中, 所述SiC半导体器件是双极性结型晶体管BJT, 包括:

第一导电性类型的衬底;

在所述衬底的表面上的第二导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第一导电性类型的基极层;

在所述基极层的与所述漂移层相对的表面上的第二导电性类型的发射极区; 以及

在BJT的邻近于所述发射极区的表面中形成的且延伸到所述漂移层中的栅极沟槽;

其中, 多台阶负斜角边缘终端在邻近于所述发射极区且与所述栅极沟槽相对的基极层中形成。

28. 一种碳化硅SiC半导体器件, 所述SiC半导体器件具有至少10千伏(kV)的阻断电压, 其中, 所述SiC半导体器件是U沟道金属氧化物半导体场效应晶体管UMOSFET, 包括:

第一导电性类型的衬底;

在所述衬底的表面上的第一导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第二导电性类型的基极层;

在所述基极层的与所述漂移层相对的表面上的第一导电性类型的源极区;以及
在UMOSFET的邻近于所述源极区的表面中形成的且延伸到所述漂移层中的栅极沟槽;
其中,多台阶负斜角边缘终端在邻近于所述源极区且与所述栅极沟槽相对的基极层中形成。

29.一种碳化硅SiC半导体器件,所述SiC半导体器件具有至少10千伏(kV)的阻断电压,其中,所述SiC半导体器件是PIN二极管,包括:

第一导电性类型的衬底;

在所述衬底的表面上的第一导电性类型的漂移层;

在所述漂移层的与所述衬底相对的表面上的第二导电性类型的半导体层;

在第二导电性类型的半导体层的与所述漂移层相对的表面上的阳极台面;

在所述阳极台面的与所述漂移层相对的表面上的阳极接点;以及

在所述衬底的与所述漂移层相对的表面上的阴极接点;

其中,多台阶负斜角边缘终端在邻近于所述阳极台面的第二导电性类型的半导体层中形成。

以负斜角封端的具有高阻断电压的碳化硅器件

[0001] 政府支持

[0002] 本发明是利用政府基金,在美国军方(U.S. Army)授予的合同号DAAD19-01-C-0067任务订单4下完成的。美国政府可拥有本发明的权利。

技术领域

[0003] 本公开涉及用碳化硅(SiC)制造的半导体器件,并且更具体地涉及用于SiC器件的负斜角边缘终端(negative bevel edge termination)。

背景技术

[0004] 碳化硅(SiC)由于其高击穿场、高热导率以及宽带隙而是用于高功率和高温半导体器件的期望材料。然而,为了在高压器件中利用高击穿场,需要有效的边缘终端。更具体地,聚集在器件边缘处的场导致器件边缘处的器件击穿,这又将器件的阻断电压(blocking voltage)彻底减小至理想阻断电压(即理想平行平面器件的阻断电压)以下。因此,在SiC半导体器件的设计中并且特别对于高功率SiC半导体器件而言,边缘终端是重要问题。

[0005] 被用于SiC半导体器件的一类边缘终端是结终端扩展(JTE)。图1示出示例性SiC半导体器件,即包括多个JTE阱12、14和16的晶闸管10。晶闸管10包括衬底(substrate)18、注入层20、场阻止层(field stop layer)22、漂移层24、基极(base)层26以及阳极层28。为了形成JTE阱12、14和16,如所示的那样将基极层26向下蚀刻至漂移层24。然后通过到漂移层24的暴露表面中的离子注入来形成JTE阱12、14和16。在阳极层28上形成阳极接点(contact)30,在衬底18的与注入层20相对(opposite)的底面上形成阴极接点32,并且在基极层26中的相应栅极区38和40上形成栅极接点34和36。由于将基极层26向下蚀刻至漂移层24以形成JTE阱12、14和16,形成拐角42。拐角42引起电场聚集,这又将晶闸管10的阻断电压减小至小于理想阻断电压。

[0006] 因此,需要用于SiC半导体器件的边缘终端,其导致接近于理想平行平面器件的理想阻断电压的阻断电压。

发明内容

[0007] 本公开涉及用于碳化硅(SiC)半导体器件的负斜角边缘终端。在一个实施例中,该负斜角边缘终端包括以期望的斜度(slope)接近于平滑负斜角边缘终端的多个台阶(step)。更具体地,在一个实施例中,负斜角边缘终端包括至少五个台阶。在另一实施例中,负斜角边缘终端包括至少十个台阶。在又一实施例中,负斜角边缘终端包括至少十五个台阶。在一个实施例中,期望的斜度是小于或等于15度。在一个实施例中,负斜角边缘终端导致半导体器件的阻断电压为至少10千伏(kV)。在另一实施例中,负斜角边缘终端导致半导体器件的阻断电压为至少12 kV。半导体器件优选地但不一定是诸如功率晶闸管之类的晶闸管、双极性结型晶体管(BJT)、绝缘栅双极性晶体管(IGBT)、U沟道金属氧化物半导体场效应晶体管(UMOSFET)或PIN二极管。此外,在一个实施例中,半导体器件具有大于或等于一平

方厘米的管芯面积。

[0008] 本领域技术人员在阅读与附图相关联的优选实施例的以下详细描述之后将领会到本公开的范围并实现其附加方面。

附图说明

[0009] 并入在本说明书中并且构成其一部分的附图示出本公开的多个方面,并连同该描述一起用于解释本公开的原理。

[0010] 图1示出包括常规结终端扩展(JTE)边缘终端的碳化硅(SiC)晶闸管;

[0011] 图2示出根据本公开的一个实施例的包括负斜角边缘终端的SiC晶闸管;

[0012] 图3根据本公开的一个实施例更详细地示出图2的负斜角边缘终端,其中,负斜角边缘终端被实现为包括在相应半导体层的表面上形成的多个台阶的多台阶负斜角边缘终端;

[0013] 图4以图形方式示出根据本公开的一个实施例的与JTE终端的电场相比较的图3的多台阶负斜角边缘终端中的电场;

[0014] 图5以图形方式示出根据本公开的一个实施例的与JTE终端的阻断电压相比较的由图3的多台阶负斜角边缘终端产生的阻断电压;

[0015] 图6示出根据本公开的另一实施例的包括通过对基极层进行反向掺杂(counter-doping)形成的负斜角边缘终端的晶闸管;

[0016] 图7示出其中多台阶负斜角边缘终端通过如下步骤被提供的实施例:首先在基极层上形成牺牲层(sacrificial layer)并且然后蚀刻该牺牲层以使得期望的多台阶特性被转移至基极层,由此提供多台阶负斜角边缘终端;

[0017] 图8示出根据本公开的一个实施例的具有类似于图3中所示的负斜角边缘终端的SiC双极性结型晶体管(BJT);

[0018] 图9示出根据本公开的另一实施例的具有通过对基极层进行反向掺杂形成的负斜角边缘终端的SiC BJT;

[0019] 图10示出根据本公开的一个实施例的具有类似于图3中所示的负斜角边缘终端的P型SiC绝缘栅双极性晶体管(IGBT);

[0020] 图11示出根据本公开的另一实施例的具有通过对基极层进行反向掺杂而形成的负斜角边缘终端的P型SiC IGBT;

[0021] 图12示出根据本公开的一个实施例的具有类似于图3中所示的负斜角边缘终端的n型SiC IGBT;

[0022] 图13示出根据本公开的另一实施例的具有通过对基极层进行反向掺杂形成的负斜角边缘终端的n型SiC IGBT;

[0023] 图14示出根据本公开的一个实施例的具有类似于图3中所示的负斜角边缘终端的SiC PIN二极管;

[0024] 图15示出根据本公开的另一实施例的具有通过对半导体层中之一进行反向掺杂而形成的负斜角边缘终端的SiC PIN二极管;

[0025] 图16示出根据本公开的另一实施例的具有类似于图3中所示的负斜角边缘终端的SiC U沟道金属氧化物半导体场效应晶体管(UMOSFET);以及

[0026] 图17示出根据本公开的另一实施例的具有通过对基极层进行反向掺杂形成的负斜角边缘终端的SiC UMOSFET。

具体实施方式

[0027] 下面叙述的实施例表示使得本领域技术人员能够实践这些实施例的必要信息并示出实践这些实施例的最佳方式。在根据附图来阅读以下描述时,本领域技术人员将理解本公开的概念并将认识到并未在本文中被特别专注的这些概念的应用。应理解的是这些概念和应用落入本公开和随附权利要求的范围之内。

[0028] 将理解的是,虽然在本文中可使用术语第一、第二等来描述各种要素,但这些要素不应受这些术语的限制。这些术语仅用来将一个要素与另一要素相区分。例如,在不脱离本公开的范围的情况下,可将第一要素称为第二要素,并且类似地,可将第二要素称为第一要素。如本文所使用的,术语“和/或”包括相关联的所列术语中的一个或多个术语的任何以及所有组合。

[0029] 将理解的是,当将诸如层、区或衬底之类的要素称为“在另一要素上”或“延伸到另一要素上”时,其能够直接地在该另一要素上或直接延伸到该另一要素上,或者还可存在中间要素。相反,当将要素称为“直接在另一要素上”或“直接延伸到另一要素上”时,则不存在中间要素。还将理解的是,当要素被称为“连接”或“耦合”到另一要素时,其能够被直接连接或耦合到该另一要素,或者可存在中间要素。相反,当将要素称为“直接连接”或“直接耦合”到另一要素时,则不存在中间要素。

[0030] 在本文中可使用诸如“下面”或“上面”或“上”或“下”或“水平”或“垂直”之类的相对术语来描述如图中所示的那样一个元件、层或区与另一元件、层或区的关系。将理解的是,这些术语和以上所论述的那些术语意图除图中所描绘的取向之外还涵盖器件的不同取向。

[0031] 本文使用的术语仅是为了描述特定实施例的目的,而不意图作为对本公开的限制。如本文所使用的,单数形式“一”、“一个”和“该”也意图包括复数形式,除非上下文另外明确地指出。还将理解的是,当在本文中使用时,术语“包含”、“含有”和/或“包括”指定所述特征、整体、步骤、操作、元件和/或部件的存在,但是不排除一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组的存在或添加。

[0032] 除非另外定义,本文所使用的所有术语(包括技术和科学术语)具有的含义与本公开所属领域的技术人员通常理解的相同。还将理解的是,应将本文所使用的术语解释为具有与其在本说明书和相关技术领域的语境中的含义一致的含义,并且将不会以理想化或过度形式化的意义来解释,除非本文中明确地那样定义。

[0033] 图2示出根据本公开的一个实施例的具有负斜角边缘终端46的碳化硅(SiC)晶闸管44。在继续论述之前,应注意的是,虽然本文中的论述集中于SiC半导体器件,但本文中公开的概念同样可应用于使用其他类型的半导体材料(例如,硅)制造的半导体器件。如所示的,晶闸管44包括衬底48、在衬底48的表面上的注入层50、在注入层50的与衬底48相对的表面上的场阻止层52、在场阻止层52的与注入层50相对的表面上的漂移层54以及在漂移层54的与场阻止层52相对的表面上的基极层56。在基极层56的与漂移层54相对的表面中形成栅极区58和60并将二者以期望的横向距离分离。阳极台面(mesa)或区62在栅极区58和60之间

的基极层56的表面上。阳极接点64在阳极台面62的与基极层56相对的表面上,阴极接点66在衬底48的与注入层50相对的表面上,并且栅极接点68和70分别在栅极区58和60上的基极层56的表面上。特别地,在一个示例性实施例中,在具有大于或等于 1 cm^2 的面积 of 的半导体管芯上制造晶闸管44。

[0034] 衬底48优选地是SiC衬底,并且注入层50、场阻止层52、漂移层54、基极层56以及阳极台面62优选地全部是在衬底48上生长的SiC的外延层。优选地通过经由例如离子注入向基极层56中注入离子来形成栅极区58和60。在该特定实施例中,衬底48是高掺杂N型(N⁺),注入层50是高掺杂N型(N⁺),场阻止层52是高掺杂P型(P⁺),漂移层54是掺杂P型(P),基极层56是掺杂N型(N),栅极区58和60是高掺杂N型(N⁺),并且阳极台面62是非常高掺杂的P型(P⁺)。在一个实施例中,衬底48具有介于且包含 1×10^{18} 至 $1\times 10^{19}\text{ cm}^{-3}$ 范围的掺杂水平和介于且包含约100至350微米(μm)范围的厚度,注入层50具有大于或等于 $1\times 10^{18}\text{ cm}^{-3}$ 的掺杂水平和介于且包含1至5 μm 范围的厚度,场阻止层52具有介于且包含 1×10^{16} 至 $5\times 10^{17}\text{ cm}^{-3}$ 范围的掺杂水平和介于且包含1至5 μm 范围的厚度,漂移层54具有小于 $2\times 10^{14}\text{ cm}^{-3}$ 的掺杂水平和大于或等于80 μm 的厚度,基极层56具有介于且包含 1×10^{16} 至 $1\times 10^{18}\text{ cm}^{-3}$ 范围的掺杂水平和介于且包含0.5至5 μm 范围的厚度,并且阳极台面62具有大于 $1\times 10^{19}\text{ cm}^{-3}$ 的掺杂水平和介于且包含0.5至5 μm 范围的厚度。在一个特定实施例中,衬底48具有介于且包含 1×10^{18} 至 $1\times 10^{19}\text{ cm}^{-3}$ 范围的掺杂水平和介于且包含约100至350 μm 范围的厚度,注入层50具有 $5\times 10^{18}\text{ cm}^{-3}$ 的掺杂水平和1 μm 的厚度,场阻止层52具有 $1\times 10^{16}\text{ cm}^{-3}$ 的掺杂水平和4 μm 的厚度,漂移层54具有小于 $2\times 10^{14}\text{ cm}^{-3}$ 的掺杂水平和90 μm 的厚度,基极层56具有 $1\times 10^{17}\text{ cm}^{-3}$ 的掺杂水平和2.5 μm 的厚度,并且阳极台面62具有大于 $2\times 10^{19}\text{ cm}^{-3}$ 的掺杂水平和介于且包含0.5至5 μm 范围的厚度。栅极区58和60是N⁺区,其在一个实施例中具有大于 $1\times 10^{18}\text{ cm}^{-3}$ 的掺杂水平。最后,接点64、66、68和70由任何合适的接点材料(例如,金属、金属合金等)形成。

[0035] 晶闸管44的边缘以负斜角边缘终端46封端(terminated)。在一个实施例中,负斜角边缘终端46的宽度是600 μm 。在优选实施例中,负斜角边缘终端46的倾角(slope angle)(α)小于或等于15度。如下面更详细地论述的,负斜角边缘终端46被实现为接近平滑斜度的多台阶负斜角边缘终端。值得注意地,在SiC中不可获得具有平滑斜度的负斜角。例如,能够使用湿法蚀刻来形成具有用于硅器件的平滑斜度的负斜角边缘终端,但是湿法蚀刻不适合于SiC,并且因此不能用来形成具有用于SiC器件的平滑斜度的负斜角边缘终端。因此,如本文所论述的,负斜角边缘终端46被实现为接近平滑斜度的多台阶负斜角边缘终端。

[0036] 在一个实施例中,多台阶负斜角边缘终端46包括处于期望倾角(α)的接近平滑斜度的多个台阶。在一个实施例中,多台阶负斜角边缘终端46包括以期望的倾角(α)接近平滑斜度的至少10个台阶。在另一实施例中,多台阶负斜角边缘终端46包括以期望的倾角(α)接近平滑斜度的至少15个台阶。由于负斜角边缘终端46,晶闸管44的阻断电压接近于理想平行平面器件的阻断电压。在该特定实施例中,阻断电压大于或等于12千伏(kV)。如本文所使用的,器件的阻断电压是器件传导1微安(μA)电流时的电压。在晶闸管44的情况下,阻断电压是这样的电压:在未向栅极接点68和70施加电压情况下,当从阳极接点64向阴极接点66施加阻断电压时将引起1 μA 电流流过晶闸管44。

[0037] 图3根据本公开的一个实施例更详细地示出图2的负斜角边缘终端46。如所示的,负斜角边缘终端46更具体地是多台阶负斜角边缘终端46。在该特定实施例中,多台阶负斜

角边缘终端46包括接近于期望倾角(α)的15个台阶。多台阶负斜角边缘终端46减轻了场聚集,从而提高了阻断电压。如下面所论述的,在一个实施例中,阻断电压被提高到至少12 kV。通过使用适当数目的掩膜来蚀刻基极层56而形成该实施例的多台阶负斜角边缘终端46。在一个实施例中,掩膜的数目等于台阶的数目(例如,15个掩膜以形成15个台阶)。在另一实施例中,可将掩膜的数目优化来减少蚀刻步骤的数目,以使得掩膜的总数小于多台阶负斜角边缘终端46中的台阶的数目(例如,4-15个掩膜以用于15个台阶)。

[0038] 图4根据本公开的一个实施例以图形方式将沿着图3的多台阶负斜角边缘终端46的电场分布与15阱结终端扩展(JTE)边缘终端的电场分布在12 kV的电压下相比较。如所示的,多台阶负斜角边缘终端46已有效地将在台面沟槽拐角(例如,图1的晶闸管10的拐角42)处发现的峰值电场减小至小于1.4兆伏每厘米(MV/cm)。换言之,在结边缘处发现的峰值电场减小了超过0.2 MV/cm。

[0039] 图5根据本公开的一个实施例以图形方式将包括图3的多台阶负斜角边缘终端46的晶闸管44的阻断电压与具有15阱JTE边缘终端的晶闸管(例如,图1的晶闸管10)的阻断电压相比较。如所示的,由于多台阶负斜角边缘终端46,晶闸管44具有在11.5至12 kV范围的阻断电压。这相比于由15阱JTE边缘终端产生的9 kV阻断电压而言是3.5至4 kV的提高。

[0040] 图6示出根据本公开的另一实施例的包括负斜角边缘终端46的晶闸管44。在该实施例中,不是如以上针对图3论述的蚀刻基极层56以形成多台阶负斜角边缘终端46,而是通过用P型离子对邻近于栅极区60且与阳极台面62相对的边缘区72中的基极层56进行反向掺杂来形成负斜角边缘终端46,该P型离子补偿在边缘区72中的基极层56的n型导电性以提供具有期望负斜角特性的中性或本征区76。P型离子可以是例如铝(Al)、硼(B)等。由此在中性区76与基极层56的其余部分的界面处形成负斜角边缘终端46。更具体地,在一个实施例中,离子被注入至不同的深度,该深度起始于邻近于栅极区60的边缘区72的末端处且向外继续逐步增加,以为负斜角边缘终端46提供期望数量的台阶和斜度(α)。

[0041] 图7示出能够用来形成负斜角边缘终端46的另一工艺。在该实施例中,在其中要形成负斜角边缘终端46的区域上的基极层56的表面上形成牺牲层78。牺牲层78可以是例如SiO₂、光致抗蚀剂或类似材料。牺牲层78被蚀刻或以其他方式处理以为负斜角边缘终端46提供具有期望的多台阶特性(即,台阶数量、倾角、宽度等)的负斜角80。然后执行蚀刻过程以去除牺牲层78。更具体地,执行蚀刻工艺以蚀刻至期望深度(d),其在该示例中等于牺牲层78的厚度,并且还等于基极层56的厚度。然而,本公开不限于此。由于蚀刻,负斜角80被有效地转移至基极层56以由此提供多台阶负斜角边缘终端46。

[0042] 图8至17示出其他类型的SiC器件的附加、非限制性示例,其能够利用上文针对晶闸管44所描述的负斜角边缘终端。更具体地,图8示出根据本公开的一个实施例的包括负斜角边缘终端84的SiC双极性结型晶体管(BJT) 82。BJT 82包括N⁺衬底86、在衬底86的表面上N型漂移层88、在漂移层88的与衬底86相对的表面上的P型基极层90、形成于基极层90中的P⁺基极区92、在基极层90的与漂移层88相对的表面上的N⁺⁺发射极台面94、基极区92上的基极接点96、发射极台面94上的发射极接点98以及衬底86的与漂移层88相对的表面上的集电极接点100。在该实施例中,负斜角边缘终端84是类似于图3的多台阶负斜角边缘终端。由于负斜角边缘终端84,BJT 82的阻断电压接近于理想平行平面器件阻断电压。

[0043] 图9示出根据本公开的另一实施例的包括负斜角边缘终端84的BJT 82。在该实施

例中,通过用N型离子对邻近于P+基极区92且与发射极台面94相对的边缘区102中的P型基极层90进行反向掺杂来形成负斜角边缘终端84,该N型离子补偿在边缘区102中的基极层90的P型导电性以提供具有期望负斜角特性的中性或本征区106。N型离子可以是例如氮(N)、磷(P)等。由此在中性区106与基极层90的其余部分的界面处形成负斜角边缘终端84。更具体地,在一个实施例中,离子被注入至不同的深度,该深度起始于邻近于P+基极区92的边缘区102的末端处且向外继续逐步增加,以为负斜角边缘终端84提供期望数量的台阶和斜度(α)。

[0044] 图10示出根据本公开的一个实施例的包括负斜角边缘终端110的P型SiC绝缘栅双极性晶体管(IGBT)108。如所示的,IGBT 108包括P+衬底或外延层112、在衬底112的表面上的N型漂移层114、在漂移层114的与衬底112相对的表面上的基极层116、在基极层116的与漂移层114相对的表面上的P+区118和120以及发射极区122和124。栅极接点126如所示的那样在沟槽中形成并通过栅极绝缘体128被绝缘。发射极接点130和132分别在发射极区122和124上,并且集电极接点134在衬底112的与漂移层114相对的表面上。在该实施例中,负斜角边缘终端110是类似于图3的多台阶负斜角边缘终端。由于负斜角边缘终端110,IGBT 108的阻断电压接近于理想平行平面器件的阻断电压。

[0045] 图11示出根据本公开的另一实施例的包括负斜角边缘终端110的IGBT 108。在该实施例中,通过用N型离子对邻近于P+区118和N+发射极区122且与栅极接点126相对的边缘区136中的P型基极层116进行反向掺杂来形成负斜角边缘终端110,该N型离子补偿在边缘区136中的基极层116的P型导电性以提供具有期望负斜角特性的中性或本征区140。N型离子可以是例如氮(N)、磷(P)等。由此在中性区140与基极层116的其余部分的界面处形成负斜角边缘终端110。更具体地,在一个实施例中,离子被注入至不同的深度,该深度起始于邻近于P+区118的边缘区136的末端处且向外继续逐步增加,以为负斜角边缘终端110提供期望数量的台阶和斜度(α)。

[0046] 图12示出根据本公开的一个实施例的包括负斜角边缘终端144的n型SiC IGBT 142。如所示的,IGBT 142包括衬底146、在衬底146的表面上的漂移层148、在漂移层148的与衬底146相对的表面上的基极层150、在基极层150的与漂移层148相对的表面上的N+区152和154以及发射极区156和158。栅极接点160如所示的那样在沟槽中形成并通过栅极绝缘体162被绝缘。发射极接点164和166分别在发射极区156和158上,并且集电极接点168在衬底146的与漂移层148相对的表面上。在该实施例中,负斜角边缘终端144是类似于图3的多台阶负斜角边缘终端。由于负斜角边缘终端144,IGBT 142的阻断电压接近于理想平行平面器件的阻断电压。

[0047] 图13示出根据本公开的另一实施例的包括负斜角边缘终端144的IGBT 142。在该实施例中,通过用P型离子对邻近于N+区152和P+发射极区156且与栅极接点160相对的边缘区170中的N型基极层150进行反向掺杂来形成负斜角边缘终端144,该P型离子补偿在边缘区170中的基极层150的N型导电性以提供具有期望负斜角特性的中性或本征区174。P型离子可以是例如铝(Al)、硼(B)等。由此在中性区174与基极层150的其余部分的界面处形成负斜角边缘终端144。更具体地,在一个实施例中,离子被注入至不同的深度,该深度起始于邻近于N+区152和发射极区156的边缘区170的末端处且向外继续逐步增加,以为负斜角边缘终端144提供期望数量的台阶和斜度(α)。

[0048] 图14示出根据本公开的一个实施例的包括负斜角边缘终端178的SiC PIN二极管176。如所示的,PIN二极管176包括如所示那样布置的N+衬底180、N-漂移层182、P型层184以及P++层186。在本文中还可将N-漂移层182称为N+衬底180与P型层184之间的本征层,从而形成PIN二极管176。在本文中还可将P++层186称为阳极台面。阳极接点188在P++层186的与P型层184相对的表面上。阴极接点190在N+衬底180的与N-漂移层182相对的表面上。在该实施例中,负斜角边缘终端178是类似于图3的多台阶负斜角边缘终端。由于负斜角边缘终端178,阻断电压,更具体地是PIN二极管176的反向击穿电压,接近于理想平行平面器件的阻断电压。

[0049] 图15示出根据本公开的另一实施例的包括负斜角边缘终端178的PIN二极管176。在该实施例中,通过用N型离子对邻近于P++层186的边缘区192中的P型层184进行反向掺杂来形成负斜角边缘终端178,该N型离子补偿在边缘区192中的P型层184的P型导电性以提供具有期望负斜角特性的中性或本征区196。N型离子可以是例如氮(N)、磷(P)等。由此在中性区196与P型层184的其余部分的界面处形成负斜角边缘终端178。更具体地,在一个实施例中,离子被注入至不同的深度,该深度起始于邻近于P++层186的边缘区192的末端处且向外继续逐步增加,以为负斜角边缘终端178提供期望数量的台阶和斜度(α)。

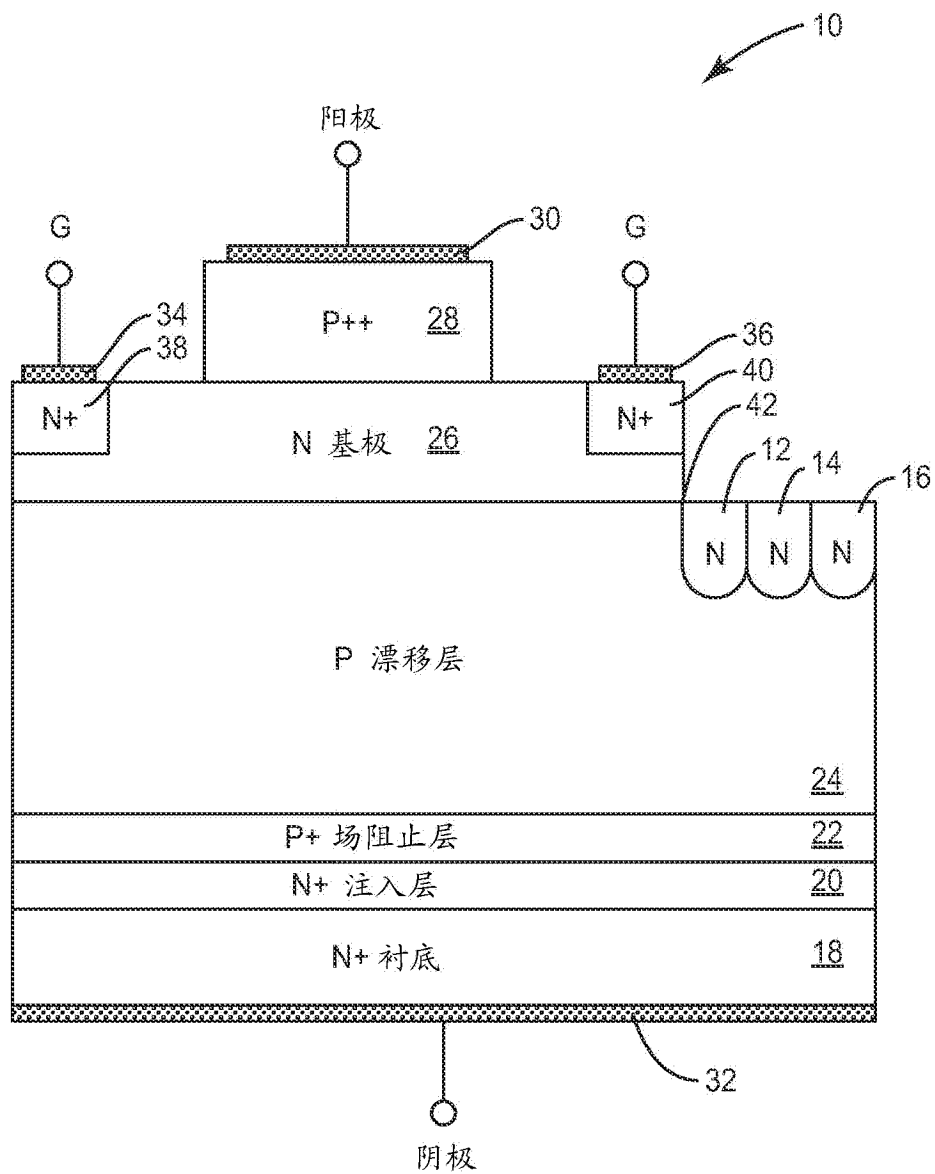
[0050] 图16示出根据本公开的一个实施例的包括负斜角边缘终端200的SiC U沟道金属氧化物半导体场效应晶体管(UMOSFET) 198。如所示的,UMOSFET 198包括N+衬底202、在衬底202的表面的N型漂移层204、在漂移层204的与衬底202相对的表面的P型基极层206、在基极层206的与漂移层204相对的表面的P+区208和210、以及N+源极区212和214。栅极接点216如所示的那样在沟槽中形成并通过栅极绝缘体218被绝缘。源极接点220和222分别在源极区212和214上,并且漏极接点224在衬底202的与漂移层204相对的表面上。在该实施例中,负斜角边缘终端200是类似于图3的多台阶负斜角边缘终端。由于负斜角边缘终端200,UMOSFET 198的阻断电压接近于理想平行平面器件的阻断电压。

[0051] 图17示出根据本公开的另一实施例的包括负斜角边缘终端200的UMOSFET 198。在该实施例中,通过用N型离子对邻近于P+区208和N+源极区212且与栅极接点216相对的边缘区226中的P型基极层206进行反向掺杂来形成负斜角边缘终端200,该N型离子补偿在边缘区226中的基极层206的P型导电性以提供具有期望负斜角特性的中性或本征区230。N型离子可以是例如氮(N)、磷(P)等。由此在中性区230与基极层206的其余部分的界面处形成负斜角边缘终端200。更具体地,在一个实施例中,离子被注入至不同的深度,该深度起始于邻近于P+区208和N+源极区212的边缘区226的末端处且向外继续逐步增加,以为负斜角边缘终端200提供期望数量的台阶和斜度(α)。

[0052] 最后,应理解的是,本文所述的各种器件的多台阶负斜角边缘终端46、84、110、144、178和200的台阶数量可根据特定实施方式而变化。多台阶负斜角边缘终端46、84、110、144、178和200的某些示例性实施例包括至少5个台阶、至少7个台阶、至少10个台阶、至少12个台阶、至少15个台阶、至少17个台阶、至少20个台阶、介于且包含5至20个台阶范围的台阶数量、介于且包含10至20个台阶范围的台阶数量、介于且包含15至20个台阶范围的台阶数量以及介于且包含10至15个台阶范围的台阶数量。并且,各种器件的阻断电压还可根据特定实施方式而变化。某些示例性实施例包括至少10 kV的阻断电压、至少12 kV的阻断电压、至少15 kV的阻断电压、至少17 kV的阻断电压、至少20 kV的阻断电压、至少22 kV的阻断电

压、至少25 kV的阻断电压、介于且包含10 kV至25 kV范围的阻断电压、介于且包含12 kV至25 kV范围的阻断电压、介于且包含15 kV至25 kV范围的阻断电压、介于且包含12 kV至20 kV范围的阻断电压以及介于且包含12 kV至15 kV范围的阻断电压。

[0053] 本领域技术人员将认识到对本公开的优选实施例的改进和修改。所有此类改进和修改被认为在本文中和随附权利要求中公开的概念的范围之内。



相关技术

图 1

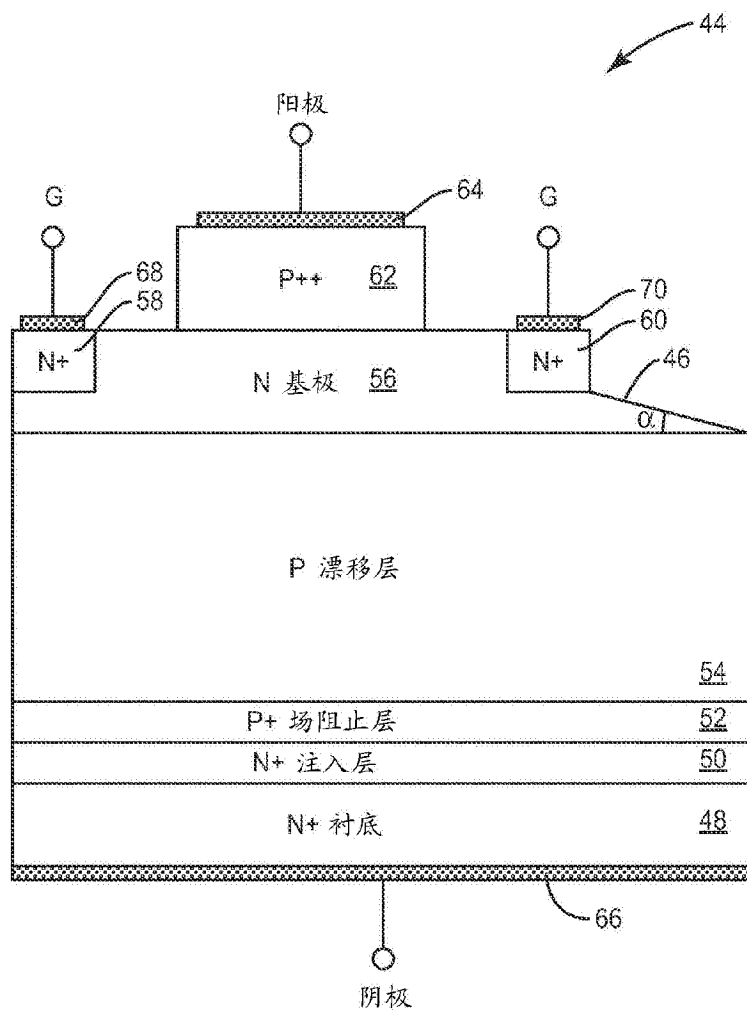


图 2

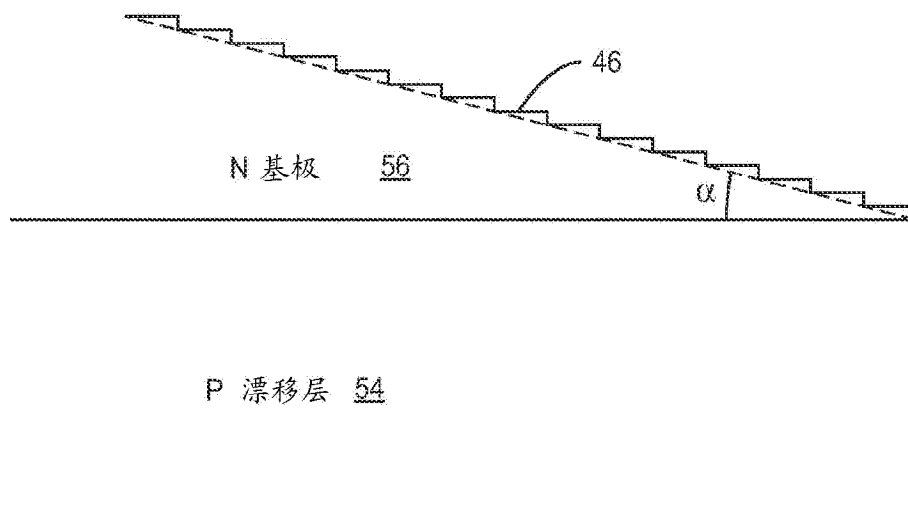


图 3

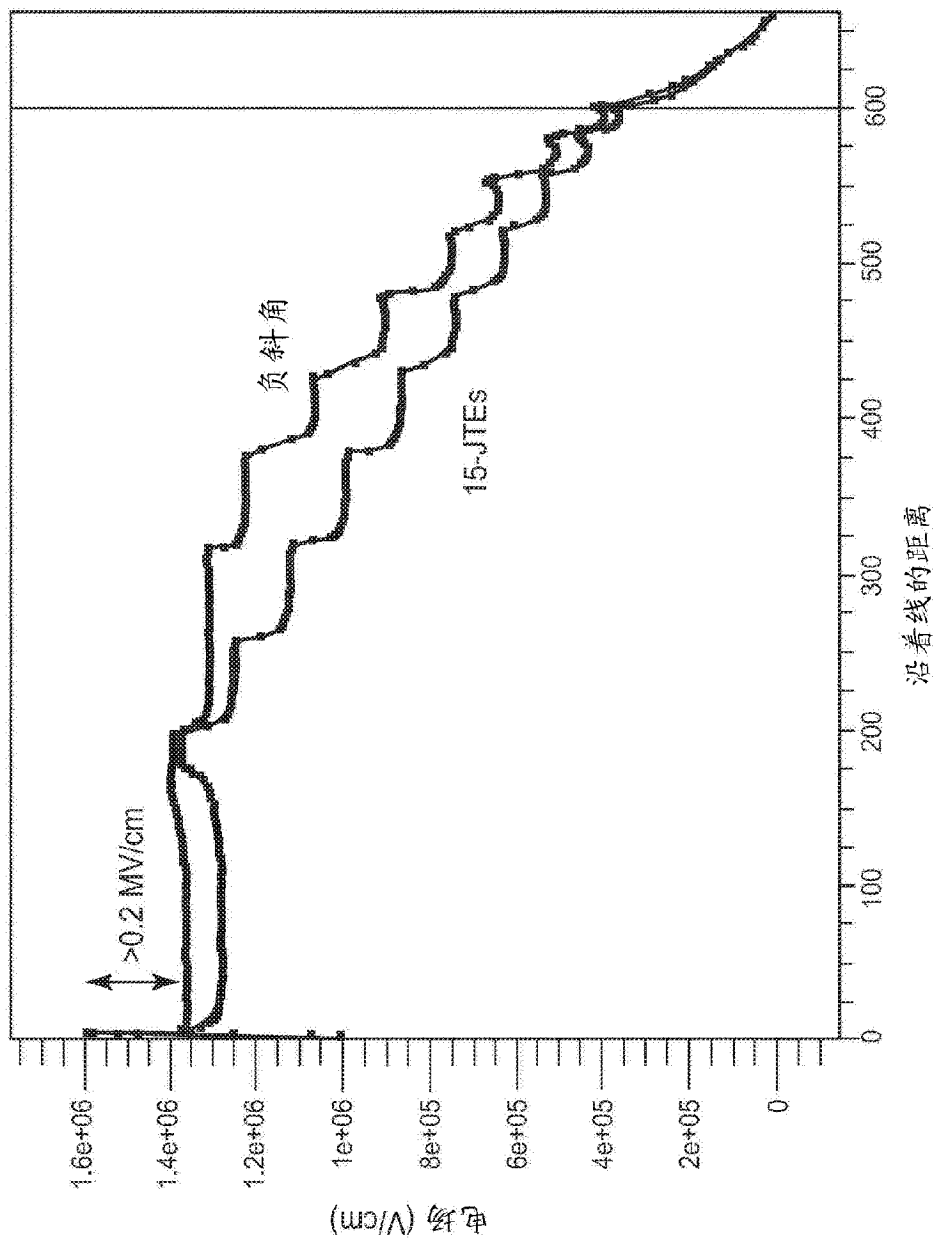


图 4

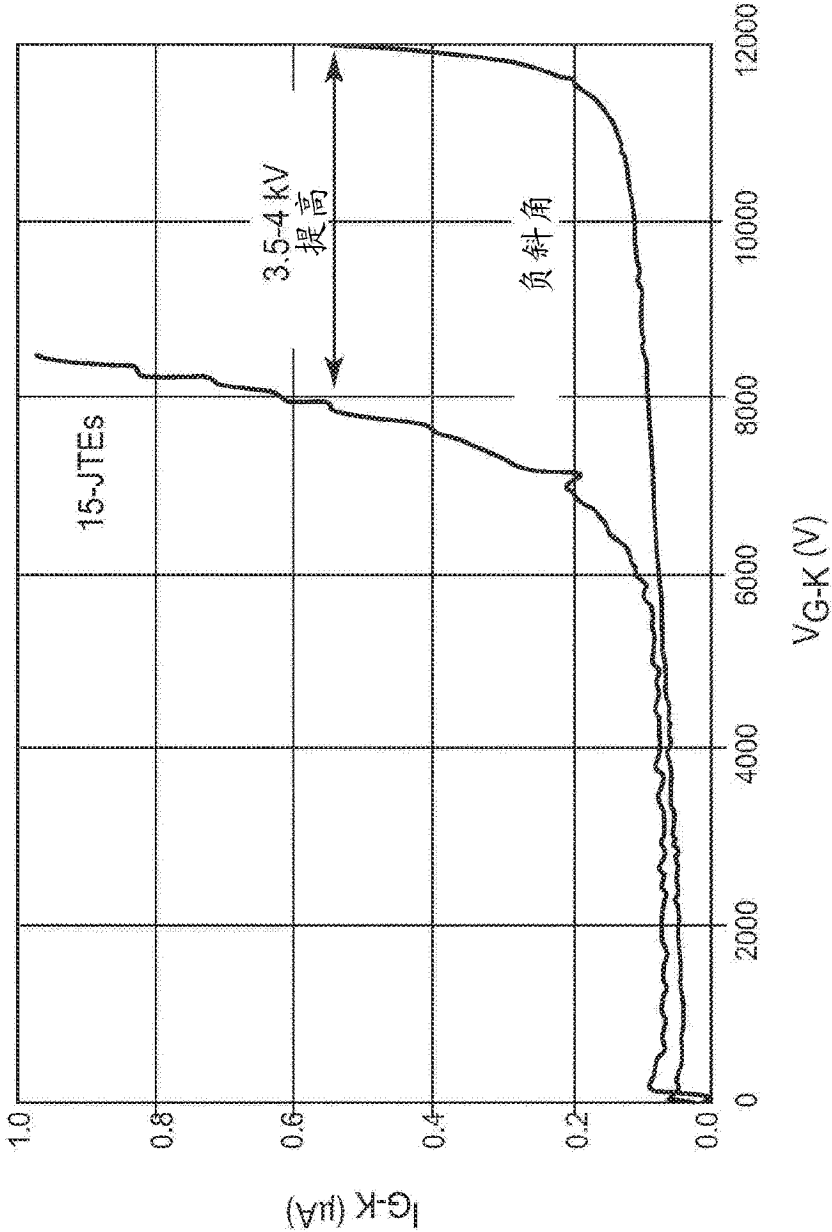


图 5

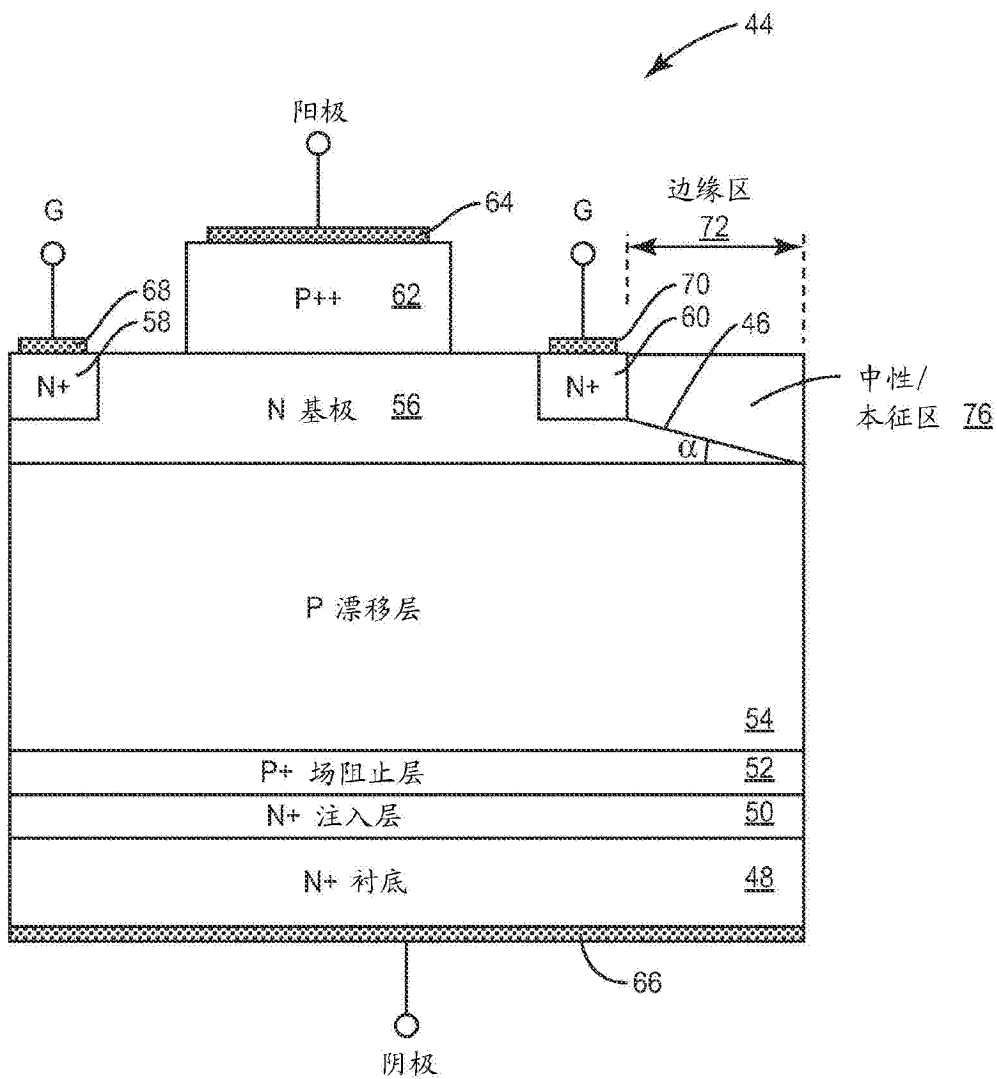


图 6

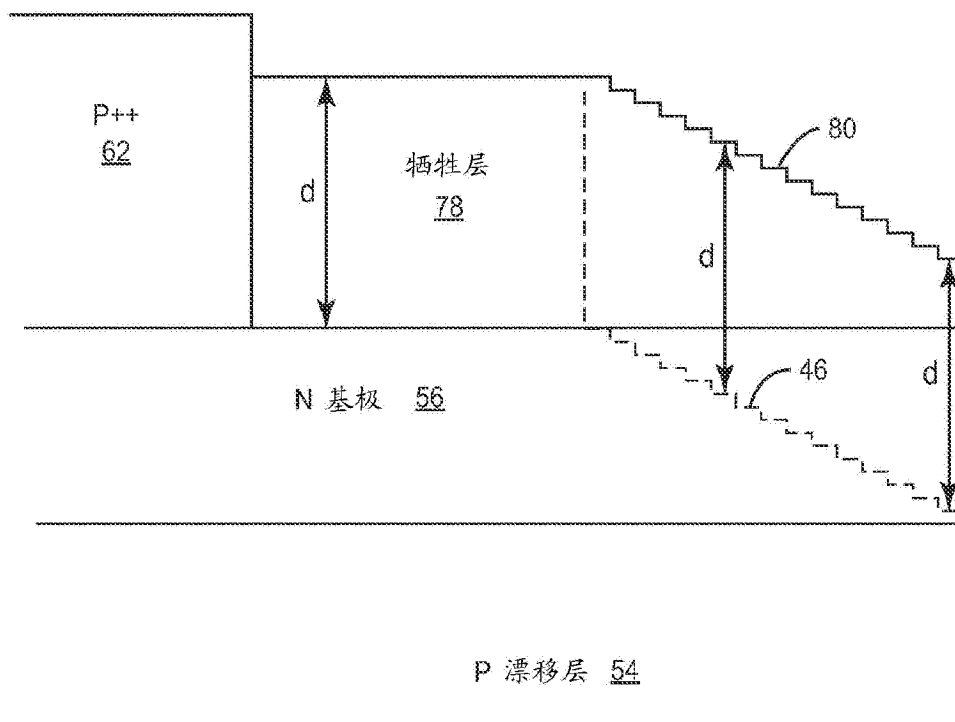


图 7

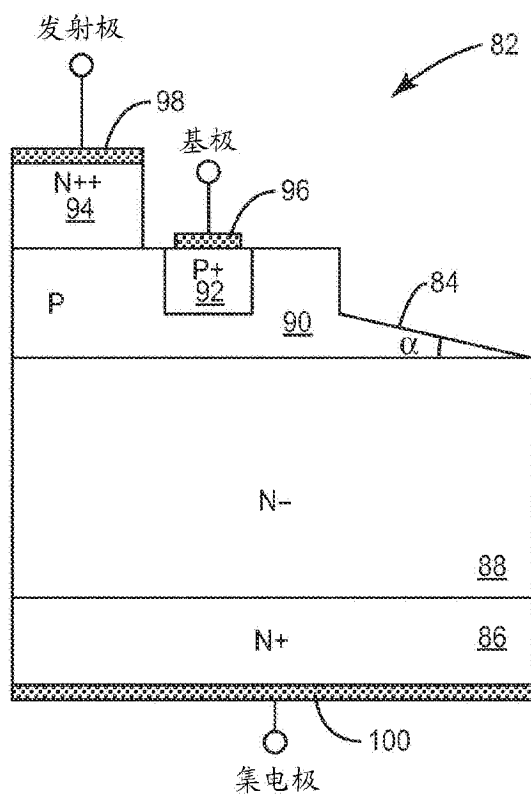


图 8

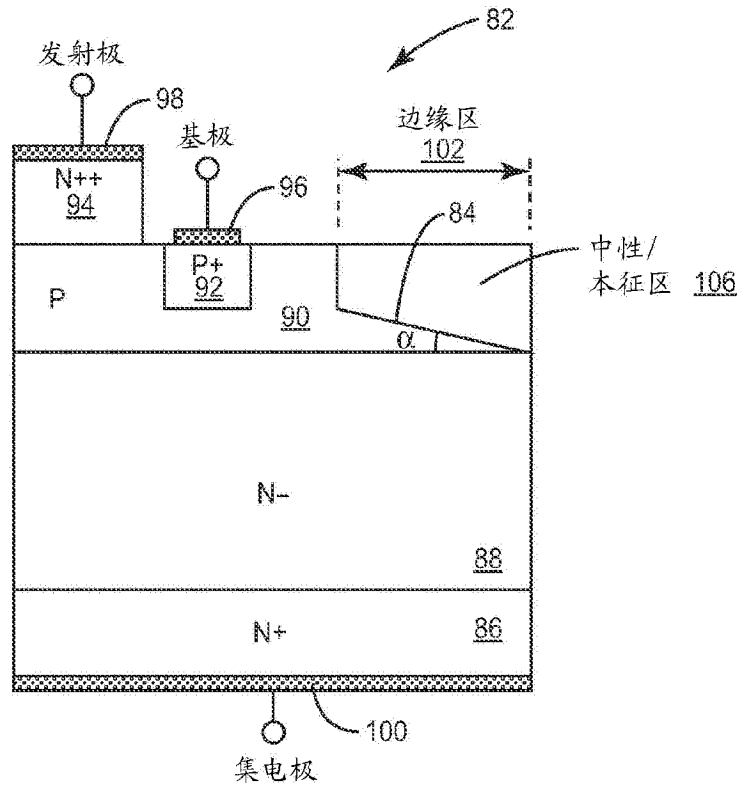


图 9

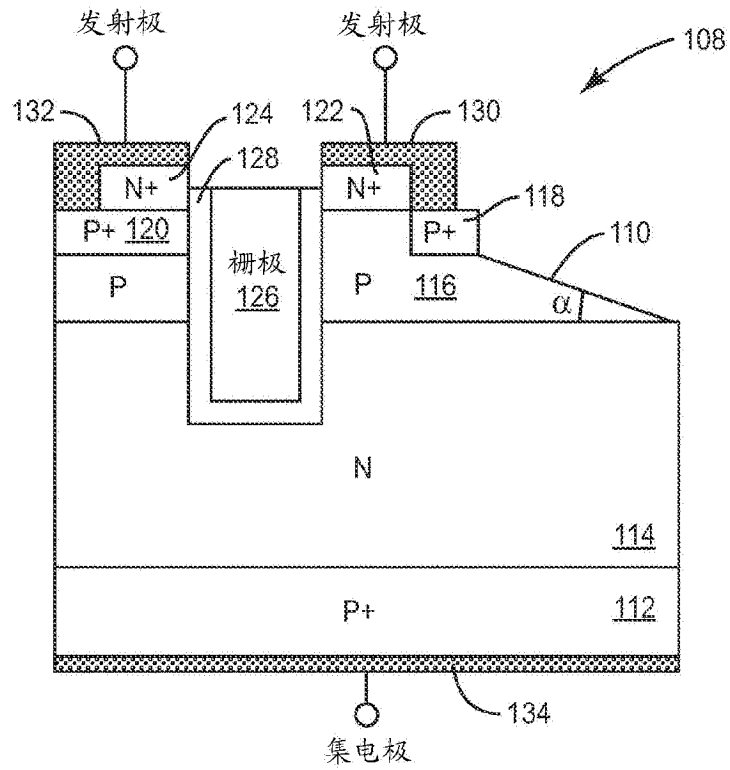


图 10

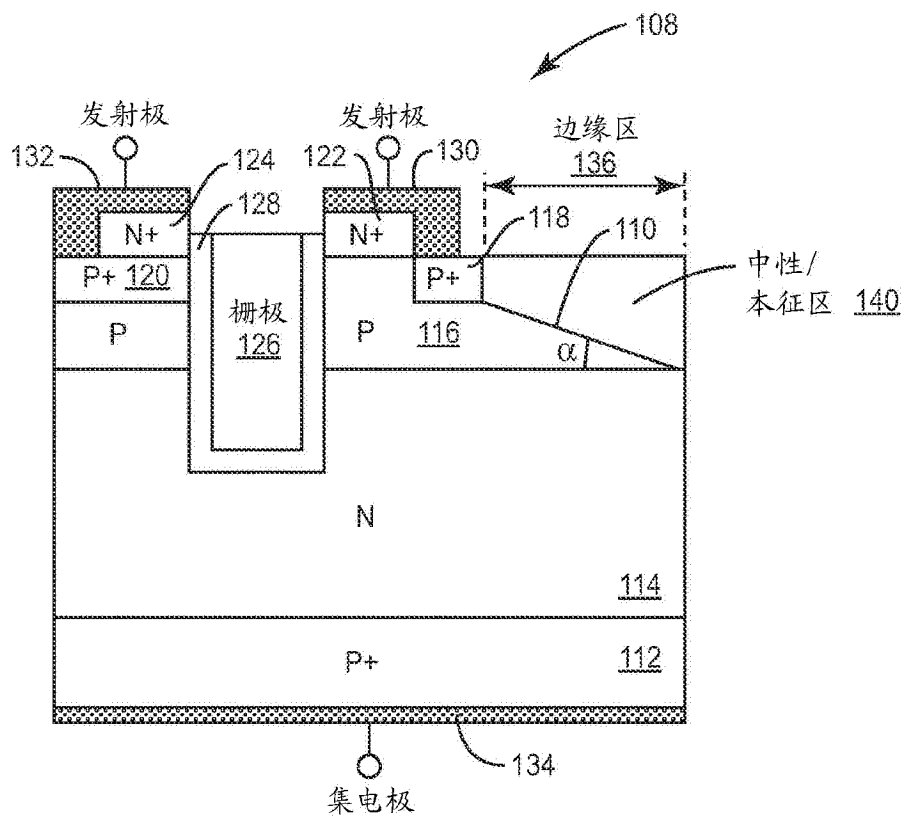


图 11

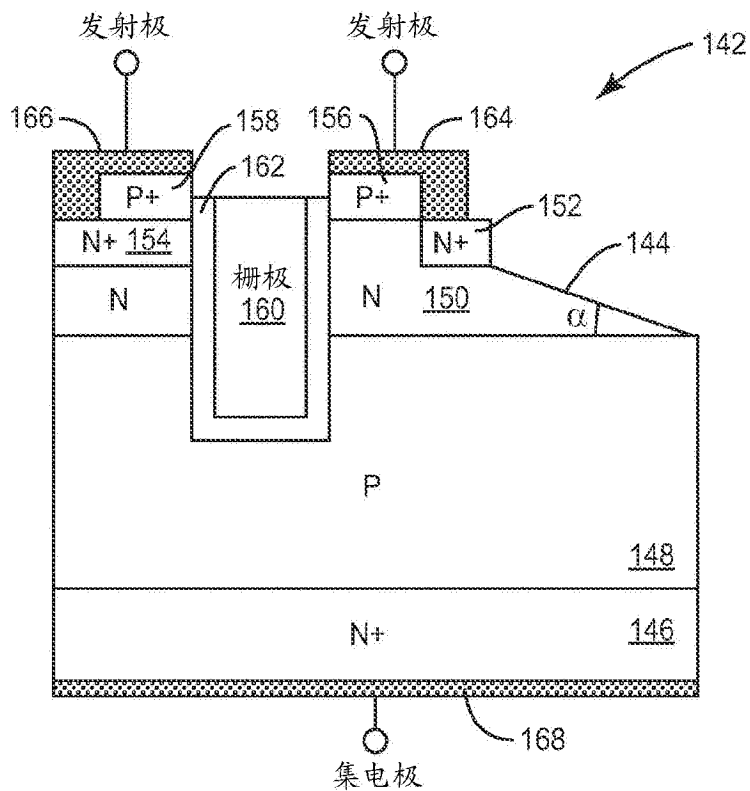


图 12

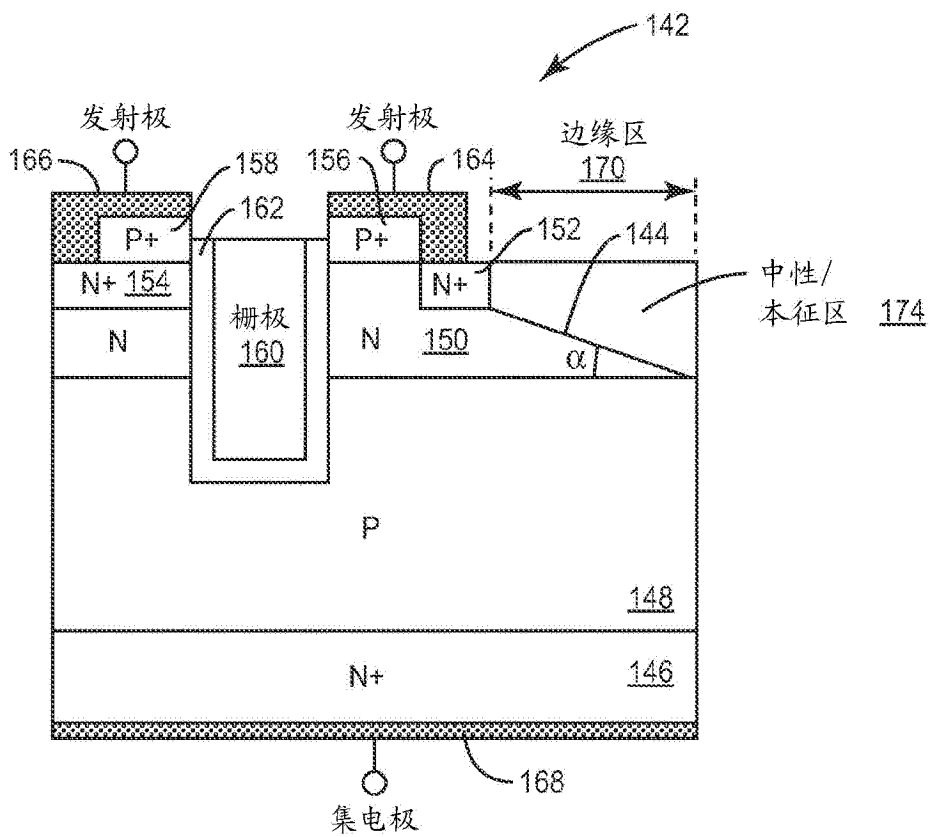


图 13

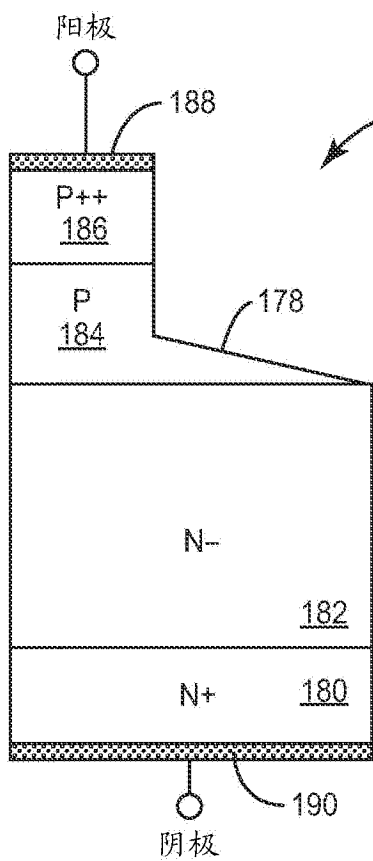


图 14

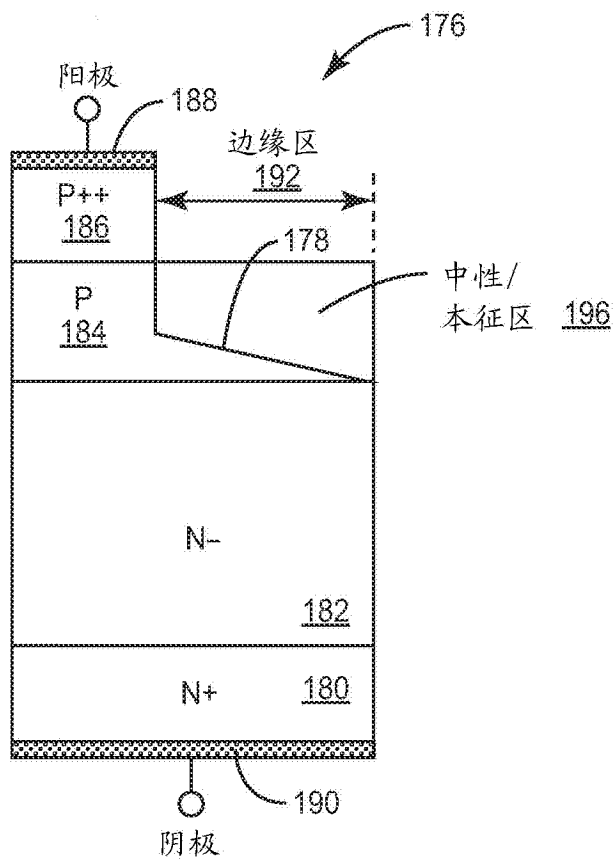


图 15

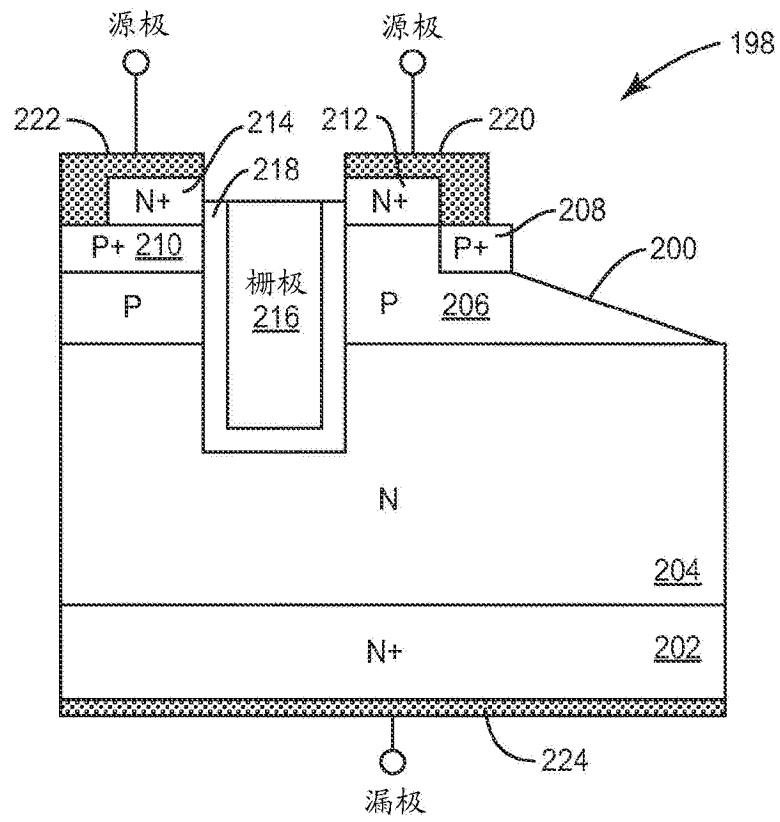


图 16

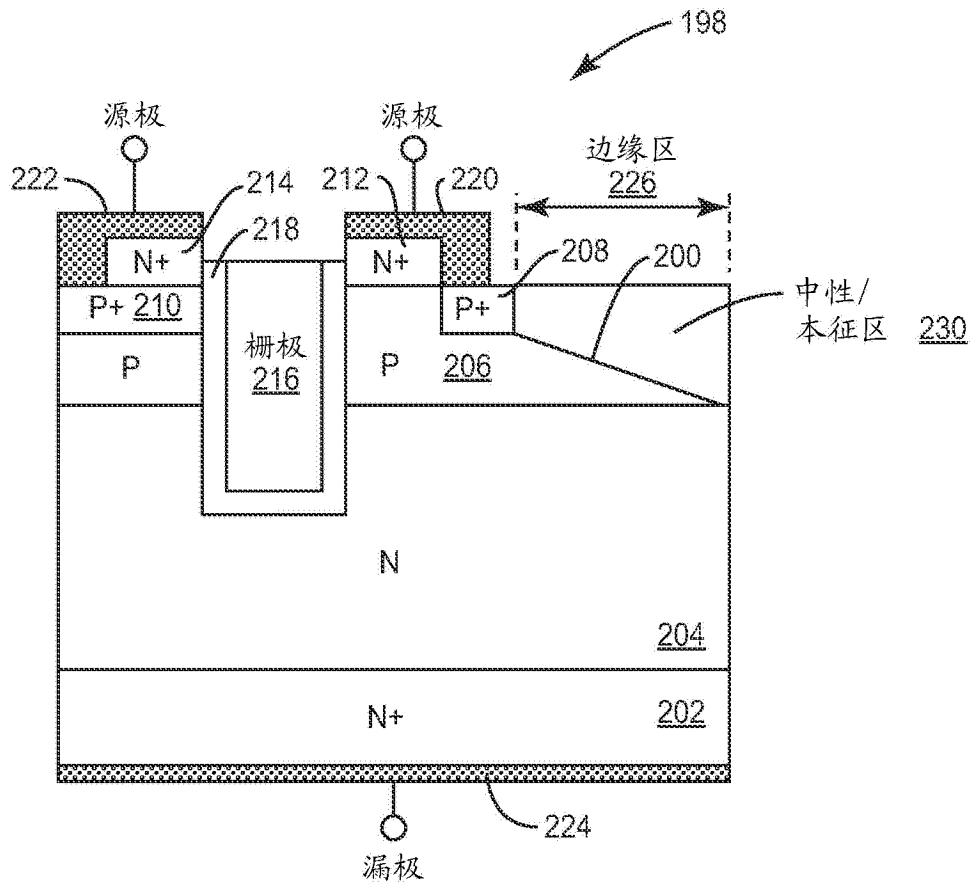


图 17