



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.  
H01L 21/205 (2006.01)

(45) 공고일자 2007년03월08일  
(11) 등록번호 10-0689826  
(24) 등록일자 2007년02월26일

(21) 출원번호 10-2005-0026185  
(22) 출원일자 2005년03월29일  
심사청구일자 2005년03월29일

(65) 공개번호 10-2006-0104232  
(43) 공개일자 2006년10월09일

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 남정훈  
경기 수원시 영통구 영통동 벽적골9단지아파트 935-1501

(74) 대리인 박상수

(56) 선행기술조사문헌  
KR1020050002052 A \*                    KR1020010054441 A  
KR1020030001743 A                    US20020150682 A1  
KR1020050003008 A                    KR1020050003019 A  
KR1020050017585 A                    KR1020040020600 A  
\* 심사관에 의하여 인용된 문헌

심사관 : 이윤직

전체 청구항 수 : 총 17 항

(54) 불소 함유된 화학적 식각 가스를 사용하는 고밀도 플라즈마화학기상증착 방법들 및 이를 채택하여 반도체 소자를 제조하는 방법들

(57) 요약

불소를 함유하는 화학적 식각 가스를 사용하는 고밀도 플라즈마 화학기상증착(CVD) 방법들이 제공된다. 이 방법들은 집적회로 기관을 준비하는 것과 상기 집적회로 기관을 챔버 내의 척 상에 로딩시키는 것을 구비한다. 상기 챔버 내로 공정 가스들을 주입하여 상기 집적회로 기관 상에 메인 고밀도 플라즈마 CVD 산화막을 형성한다. 상기 메인 고밀도 플라즈마 CVD 산화막은 적어도 불소 함유된 화학적 식각 가스(fluorine-based chemical etching gas) 및 실리콘 소스 가스를 사용하여 20 mTorr 내지 100 mTorr의 높은 공정 압력 하에서 형성된다. 상기 불소 함유된 화학적 식각 가스의 유량은 상기 실리콘 소스 가스의 유량의 0.5배 내지 0.9배이다. 상기 고밀도 플라즈마 CVD 공정을 사용하여 반도체 소자를 제조하는 방법들 역시 제공된다.

대표도

도 2

## 특허청구의 범위

### 청구항 1.

트렌치 영역을 갖는 반도체 기판을 챔버 내로 로딩시키고,

상기 트렌치 영역을 갖는 기판 상에 하부 언도우프트 고밀도 플라즈마 CVD 산화막을 형성하고,

플라즈마를 사용하여 증착 공정 및 식각 공정을 동시에 진행하여 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막 상에 메인 고밀도 플라즈마 CVD 산화막을 형성하되, 상기 증착 공정 및 상기 식각 공정은 상기 챔버 내로 실리콘 소스 가스, 불소 함유된 화학적 식각 가스, 불활성 가스, 산소 가스 및 수소 가스를 포함하는 공정 가스들을 주입함으로써 30 mTorr 내지 90 mTorr의 압력 하에서 실시되고, 상기 증착 공정 및 상기 식각 공정이 진행되는 동안 상기 불소 함유된 화학적 식각 가스의 유량은 상기 실리콘 소스 가스의 유량의 0.5배 내지 0.9배이고, 상기 증착 공정 및 상기 식각 공정이 진행되는 동안 상기 수소 가스의 유량은 상기 불소 함유된 화학적 식각 가스의 유량의 적어도 5배이고,

상기 메인 고밀도 플라즈마 CVD 산화막 상에 상부 언도우프트 고밀도 플라즈마 CVD 산화막을 형성하는 것을 포함하는 반도체 소자의 제조방법.

### 청구항 2.

제 1 항에 있어서,

상기 실리콘 소스 가스는 사일레인( $\text{SiH}_4$ ) 가스를 포함하고, 상기 사일레인 가스는 65 sccm 보다 높은 유량으로 주입되는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 3.

제 1 항에 있어서,

상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막 및 상기 메인 고밀도 플라즈마 CVD 산화막은 상기 챔버 내에서 인시투 공정을 사용하여 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 4.

제 1 항에 있어서,

상기 불소 함유된 화학적 식각 가스는  $\text{NF}_3$  가스인 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 5.

제 1 항에 있어서,

상기 실리콘 소스 가스는 사일레인( $\text{SiH}_4$ ) 가스 또는 다이 사일레인( $\text{Si}_2\text{H}_6$ ) 가스인 것을 특징으로 하는 반도체 소자의 제조방법.

## 청구항 6.

제 1 항에 있어서,

상기 증착 공정은 사일레인 가스,  $\text{NF}_3$  가스, 수소 가스, 헬륨 가스 및 산소 가스를 사용하여 진행되는 것을 특징으로 하는 반도체 소자의 제조방법.

## 청구항 7.

제 1 항에 있어서,

상기 식각 공정은  $\text{NF}_3$  가스, 수소 가스, 헬륨 가스 및 산소 가스를 사용하여 진행되는 것을 특징으로 하는 반도체 소자의 제조방법.

## 청구항 8.

제 1 항에 있어서,

상기 증착 공정 및 상기 식각 공정이 진행되는 동안 상기 챔버 내의 상기 압력은 60 mTorr 내지 90 mTorr로 유지되는 것을 특징으로 하는 반도체 소자의 제조방법.

## 청구항 9.

트렌치 영역을 갖는 반도체 기판을 챔버 내로 로딩시키고,

상기 트렌치 영역을 갖는 기판 상에 하부 언도우프트 고밀도 플라즈마 CVD 산화막을 형성하고,

플라즈마를 사용하여 증착 공정 및 식각 공정을 동시에 진행하여 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막 상에 메인 고밀도 플라즈마 CVD 산화막을 형성하되, 상기 증착 공정 및 상기 식각 공정은 상기 챔버 내로 실리콘 소스 가스, 불소 함유된 화학적 식각 가스, 불활성 가스 및 산소 가스를 포함하는 공정 가스들을 주입함으로써 30 mTorr 내지 90 mTorr의 압력 하에서 실시되고, 상기 증착 공정 및 상기 식각 공정이 진행되는 동안 상기 불소 함유된 화학적 식각 가스의 유량은 상기 실리콘 소스 가스의 유량의 0.5배 내지 0.9배이고,

상기 메인 고밀도 플라즈마 CVD 산화막 상에 상부 언도우프트 고밀도 플라즈마 CVD 산화막을 형성하는 것을 포함하는 반도체 소자의 제조방법.

## 청구항 10.

제 9 항에 있어서,

상기 공정 가스들은 수소 가스를 더 포함하되, 상기 증착 공정 및 상기 식각 공정이 진행되는 동안 상기 수소 가스의 유량은 상기 불소 함유된 화학적 식각 가스의 유량의 적어도 5배인 것을 특징으로 하는 반도체 소자의 제조방법.

## 청구항 11.

제 9 항에 있어서,

상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막은 불소 함유된 가스의 사용 없이 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 12.

제 9 항에 있어서,

상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막 및 상기 메인 고밀도 플라즈마 CVD 산화막은 상기 챔버 내에서 인시투 공정을 사용하여 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 13.

제 9 항에 있어서, 상기 트렌치 영역을 갖는 상기 반도체 기판을 준비하는 것은

상기 반도체 기판 상에 차례로 적층된 패드 산화막 패턴, 패드 질화막 패턴 및 하드 마스크 패턴을 형성하되, 상기 패드 질화막 패턴은 상부면을 갖고,

상기 하드 마스크 패턴을 식각 마스크로 사용하여 상기 반도체 기판을 식각하는 것을 포함하되, 상기 메인 고밀도 플라즈마 CVD 산화막은 상기 트렌치 영역 내의 상기 메인 고밀도 플라즈마 CVD 산화막의 상부면이 상기 패드 질화막 패턴의 상기 상부면보다 높도록 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 14.

삭제

### 청구항 15.

챔버 내로 반도체 기판을 로딩시키고,

플라즈마를 사용하여 증착 공정 및 식각 공정을 동시에 진행하여 상기 반도체 기판 상에 메인 고밀도 플라즈마 CVD 산화막을 형성하는 것을 포함하되, 상기 증착 공정 및 상기 식각 공정은 상기 챔버 내로 실리콘 소스 가스, 불소 함유된 화학적 식각 가스, 불활성 가스 및 산소 가스를 포함하는 공정 가스들을 주입함으로써 30 mTorr 내지 90 mTorr의 압력 하에서 실시되고, 상기 증착 공정 및 상기 식각 공정이 진행되는 동안 상기 불소 함유된 화학적 식각 가스의 유량은 상기 실리콘 소스 가스의 유량의 0.5배 내지 0.9배인 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 16.

제 15 항에 있어서,

상기 불소 함유된 화학적 식각 가스는  $\text{NF}_3$  가스인 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 17.

제 15 항에 있어서,

상기 공정 가스들은 수소 가스를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 18.

제 17 항에 있어서,

상기 증착 공정 및 상기 식각 공정이 진행되는 동안 상기 수소 가스의 유량은 상기 불소 함유된 화학적 식각 가스의 유량의 적어도 5배인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법들에 관한 것으로, 특히 불소를 함유하는 화학적 식각 가스를 사용하는 고밀도 플라즈마 화학기상증착 방법들 및 이를 채택하여 반도체 소자를 제조하는 방법들에 관한 것이다.

반도체 소자의 집적도가 증가함에 따라, 서로 이웃하는 배선들 사이의 갭 영역은 점점 좁아지고 있다. 이에 따라, 상기 갭 영역은 높은 어스펙트 비율(high aspect ratio)을 갖는다. 이러한 높은 어스펙트 비율을 갖는 갭 영역은 후속 공정에서 형성되는 층간절연막과 같은 물질막으로 완전히 채워져야 한다.

상기 층간절연막은 일반적으로 저압 화학기상증착 공정을 사용하여 형성한다. 이 경우에, 상기 저압 화학기상증착 공정을 사용하여 상기 높은 어스펙트 비율을 갖는 갭 영역을 채우는 데 한계가 있다. 이에 따라, 최근에 우수한 갭 충전 특성(gap filling characteristic)을 보이는 고밀도 플라즈마 CVD 기술이 고집적 반도체 소자의 제조에 널리 사용되고 있다. 상기 고밀도 플라즈마 CVD 공정은 번갈아가면서 반복적으로(alternately and repeatedly) 실시되는 증착공정 및 식각공정으로 이루어진다. 특히, 상기 고밀도 플라즈마 CVD 공정은 갭 충전 특성(gap filling characteristic)을 향상시키기 위하여 물리적 식각 가스(physical etching gas)에 더하여 화학적 식각 가스(chemical etching gas)를 널리 사용하고 있다. 상기 화학적 식각 가스로는 삼불화 질소(nitrogen trifluoride;  $\text{NF}_3$ ) 가스가 널리 사용하고 있다.

상기 고밀도 플라즈마 CVD 공정이 미국특허공개번호(U.S. Patent Publication No.) US 2001/0019903 A1에 "유도결합 플라즈마 화학기상증착(inductively coupled plasma CVD)"라는 제목으로 셔플보담 등(Shufflebotham et al.)에 의해 개시된 바 있다. 셔플보담 등에 따르면, 반도체 기판 상에 서로 인접한 도전성 배선들을 형성하고, 상기 도전성 배선들을 갖는 반도체기판을 공정 챔버 내에 설치된 척(chuck) 상에 로딩시킨다. 이어서, 상기 공정 챔버 내에 사일레인( $\text{SiH}_4$ ) 가스,  $\text{SiF}_4$  가스 또는 다이사일레인( $\text{Si}_2\text{H}_6$ ) 가스 등과 같은 실리콘 함유 가스(silicon-containing gas)와 아울러서 수소, 산소, 질소, 암모니아( $\text{NH}_3$ ) 가스 또는  $\text{NF}_3$  가스와 같은 반응 가스(reactant gas)를 상기 공정 챔버 내로 주입시켜 상기 반도체 기판 상에 상기 도전성 배선들 사이의 갭 영역을 채우는 고밀도 플라즈마 CVD 물질막을 형성한다. 상기 고밀도 플라즈마 CVD 물질막을 형성하기 전에, 상기 척은  $80^\circ\text{C}$  내지  $200^\circ\text{C}$ 의 온도를 유지한다. 이에 따라, 상기 고밀도 플라즈마 CVD 물질막은 낮은 스트레스를 갖도록 형성될 수 있다.

그러나, 셔플보담에 따르면, 상기 고밀도 플라즈마 CVD 물질막은 불소 원자들을 함유할 수 있다. 이는, 상기  $\text{SiF}_4$  가스 또는  $\text{NF}_3$  가스와 같은 불소 함유 가스(fluorine-based gas)로부터 분해된(dissociated) 불소 원자들이 상기 공정 챔버의 배출구(outlet)를 통하여 완전히 배출되지(exhausted) 않을 수 있기 때문이다. 상기 반응 가스로서 수소 가스를 사용하는 경우에, 상기 수소 가스 내의 수소 원자들은 상기 불소 원자들과 반응하여 불산(hydrofluoric acid; HF)을 생성시킨다. 그럼에도 불구하고, 상기 불산은  $200^\circ\text{C}$  이하의 낮은 온도에서 기화되지 않는다. 이에 따라, 상기 수소 가스를 상기 반응 가스로서 사용할지라도, 상기 불소 원자들은 여전히 상기 고밀도 플라즈마 CVD 물질막 내에 잔존할 수 있다. 이러한 불소원자들은 상기 고밀도 플라즈마 CVD 물질막 내에 허파 형태의 결함들(lung-shaped defects)을 생성시킬 수 있다. 이에 더하여, 상기 수소 가스를 상기 반응 가스로서 사용하는 경우에, 상기 수소 가스 내의 수소 원자들 역시 상기 고밀도 플라즈마 CVD 물질막 내에 잔존할 수 있다. 이러한 수소원자들은 후속의 열공정 동안 상기 고밀도 플라즈마 CVD 물질막 내의 공정 결함들을 생성시킬 수 있다.

더 나아가서, 상기 불소 함유된(fluorine-doped) 고밀도 플라즈마 CVD 물질막, 예컨대 불소 함유된 고밀도 플라즈마 CVD 산화막이 반도체 소자의 트렌치 소자분리막의 형성에 사용되면, 상기 트렌치 소자분리막 내의 불소 원자들이 상기 트렌치 소자분리막과 접촉하는 실리콘 기판(예를 들면, 활성영역) 내의 실리콘 원자들과 반응할 수 있다. 이 경우에, 상기 활성영역 상에 형성되는 게이트 절연막의 전기적 특성이 현저히 저하될 수 있다.

상기 트렌치 소자분리막 내의 불소 원자들이 상기 활성영역 내의 실리콘 원자들과 반응하는 것을 방지하기 위한 고밀도 플라즈마 CVD 공정이 미국특허공개번호(U.S. Patent Publication No.) US 2004/0241929 A1에 "절연체 구조 및 반도체 기판에 절연체 구조를 제공하는 방법(Insulator Structure and Method for Producing Insulator Structure in a

Semiconductor Substrate)"라는 제목으로 래데커(Radecker)에 의해 개시된 바 있다. 래데커에 따르면, 반도체기판 내에 트렌치 영역을 형성하고, 상기 트렌치 영역을 갖는 기판 상에 불소 장벽막(fluorine barrier layer) 및 불소 함유된 고밀도 플라즈마 CVD 산화막을 차례로 형성한다. 상기 불소 장벽막은 실리콘 질화막 또는 실리콘 산질화막으로 형성한다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 불소 함유된 화학적 식각 가스의 사용에도 불구하고 게이트 절연막의 신뢰성을 향상시킬 수 있는 고밀도 플라즈마 CVD 방법들 및 이를 사용하여 반도체 소자를 제조하는 방법들을 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 실리콘 소스 가스에 대한 불소 함유된 화학적 식각 가스의 상대적인 유량(relative flow rate)의 감소에도 불구하고 갭 충전 특성을 향상시킬 수 있는 고밀도 플라즈마 CVD 방법들 및 이를 사용하여 반도체 소자를 제조하는 방법들을 제공하는 데 있다.

### 발명의 구성

본 발명의 일 양태에 따르면, 고압력 하에서 실시되는 고밀도 플라즈마 CVD 방법들이 제공된다. 이 방법들은 집적회로 기판을 준비하는 것과, 상기 집적회로 기판을 챔버 내의 척(chuck) 상에 로딩시키는 것을 포함한다. 상기 챔버 내로 불소 함유된 화학적 식각 가스(fluorine-based chemical etching gas) 및 실리콘 소스 가스를 포함하는 공정 가스들을 주입하여 상기 집적회로 기판 상에 20 mTorr 내지 100 mTorr의 공정 압력 하에서 메인 고밀도 플라즈마 CVD 산화막(main HDP CVD oxide layer)을 형성한다. 상기 메인 고밀도 플라즈마 CVD 산화막을 형성하는 동안 상기 불소 함유된 화학적 식각 가스의 유량은 상기 실리콘 소스 가스의 유량의 0.5배 내지 0.9배이다.

본 발명의 몇몇 실시예들에서, 상기 메인 고밀도 플라즈마 CVD 산화막을 형성하기 전에 하부 언도우프트 고밀도 플라즈마 CVD 산화막(lower undoped HDP CVD oxide layer)을 형성할 수 있다. 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막은 불소 함유된 화학적 식각 가스의 사용 없이 형성될 수 있다.

다른 실시예들에서, 상기 불소 함유된 화학적 식각 가스는 삼불화 질소(nitrogen trifluoride;  $\text{NF}_3$ ) 가스일 수 있고, 상기 실리콘 소스 가스는 사일레인( $\text{SiH}_4$ ) 가스 또는 다이사일레인( $\text{Si}_2\text{H}_6$ ) 가스일 수 있다. 상기 공정 가스들은 산소 가스 및 수소 가스를 더 포함할 수 있다. 이 경우에, 상기  $\text{NF}_3$  가스, 상기 사일레인 가스, 상기 수소 가스 및 상기 산소 가스는 각각 10 내지 100 sccm(standard cubic centimeter per minute)의 유량(flow rate), 10 내지 100 sccm의 유량, 10 내지 1000 sccm의 유량 및 10 내지 1000 sccm의 유량으로 주입될 수 있다. 상기 산소 가스의 유량은 상기 사일레인 가스의 유량의 1.0배 내지 2.0배일 수 있다.

또 다른 실시예들에서, 상기 공정 가스들은 물리적 식각 가스(physical etching gas)를 더 포함할 수 있다. 상기 물리적 식각 가스는 불활성 가스(inert gas)일 수 있다. 이 경우에, 상기 물리적 식각 가스는 헬륨 가스 또는 아르곤 가스일 수 있다. 상기 헬륨 가스 또는 상기 아르곤 가스는 10 내지 1000 sccm의 유량으로 주입될 수 있다.

또 다른 실시예들에서, 상기 메인 고밀도 플라즈마 CVD 산화막을 형성하는 동안, 상기 척, 상기 챔버의 뚜껑 상부에 설치된 상부전극 및 상기 챔버의 측벽의 외부에 설치된 측벽 전극(side electrode)에 각각 바이어스 라디오 주파수 전력(bias radio frequency power), 상부 라디오 주파수 전력(top radio frequency power) 및 측부 라디오 주파수 전력(side radio frequency power)이 인가될 수 있다. 상기 바이어스 라디오 주파수 전력, 상기 상부 라디오 주파수 전력 및 상기 측부 라디오 주파수 전력은 1000 내지 10000 와트일 수 있다.

또 다른 실시예들에서, 상기 메인 고밀도 플라즈마 CVD 산화막 상에 상부 언도우프트 고밀도 플라즈마 CVD 산화막을 형성할 수 있다. 상기 상부 언도우프트 고밀도 플라즈마 CVD 산화막은 불소 함유된 화학적 식각 가스의 사용 없이 형성될 수 있다.

본 발명의 다른 양태에 따르면, 고압력 하에서 실시되는 고밀도 플라즈마 CVD 공정을 사용하여 반도체 소자를 제조하는 방법들을 제공한다. 이 방법들은 집적회로 기판의 소정영역을 식각하여 활성영역을 한정하는 트렌치 영역을 형성하는 것을 포함한다. 상기 트렌치 영역을 갖는 기판을 챔버 내의 척 상에 로딩시킨다. 상기 챔버 내로 불소 함유된 화학적 식각 가스 및 실리콘 소스 가스를 포함하는 공정 가스들을 주입하여 상기 트렌치 영역을 갖는 집적회로 기판 상에 20 mTorr 내지 100 mTorr의 공정 압력 하에서 메인 고밀도 플라즈마 CVD 산화막을 형성한다. 상기 메인 고밀도 플라즈마 CVD 산화막을 형성하는 동안 상기 불소 함유된 화학적 식각 가스의 유량은 상기 실리콘 소스 가스의 유량의 0.5배 내지 0.9배이다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하여 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

도 1은 본 발명의 실시예들에 따른 고밀도 플라즈마 산화막의 형성에 사용되는 고밀도 플라즈마 CVD 장비를 도시한 개략도이다.

도 1을 참조하면, 밀폐된 공간을 제공하는 공정 챔버(1) 내에 척(chuck), 즉 하부전극(3)이 배치된다. 또한, 상기 공정 챔버(1)의 뚜껑 상부에 상기 척(3)에 대항하는 상부전극(5)이 설치될 수 있다. 더 나아가서, 상기 공정 챔버(1)의 측벽들의 외부에 측벽 전극들(side electrodes; 7)이 배치될 수 있다. 상기 척(3)은 바이어스 전원(bias power source; 9)에 접속되고, 상기 상부전극(5)은 상부 전원(top power source; 11)에 접속된다. 또한, 상기 측벽 전극들(7)은 측벽 전원(side power source; 13)에 접속된다. 상기 바이어스 전원(9), 상부 전원(11) 및 상기 측벽 전원(13)은 라디오 주파수 전력(radio frequency power; RF power)을 생성시키는 전원들에 해당할 수 있다.

상기 상부 RF 전력은 상기 척(3) 상에 로딩되는 반도체 기판 상에 고밀도 플라즈마 CVD 물질을 증착하는 공정에 기여하고, 상기 측벽 RF 전력은 상기 고밀도 플라즈마 물질막의 식각 공정에 기여한다.

도 2는 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 방법들을 설명하기 위한 공정 순서도(process flowchart)이고, 도 3 내지 도 6은 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정을 사용하여 반도체 소자를 제조하는 방법들을 설명하기 위한 단면도들이다. 비록 본 발명의 실시예들이 트렌치 소자분리막의 형성을 예로 하여 설명될지라도, 본 발명은 본 발명의 사상(spirit) 및 범위(scope) 내에서 반도체 소자의 중간절연막과 같은 어떠한 절연막의 형성에도 적용될 수 있다.

도 1 내지 도 3을 참조하면, 집적회로 기판(31), 예컨대 반도체 기판 상에 패드 산화막 및 패드 질화막을 차례로 형성한다. 이에 더하여, 상기 패드 질화막 상에 하드 마스크막을 형성할 수 있다. 상기 패드 산화막 및 상기 패드 질화막은 각각 열산화막 및 실리콘 질화막으로 형성할 수 있고, 상기 하드 마스크막은 상기 반도체기판(31)에 대하여 식각 선택비를 갖는 물질막, 예를 들면 CVD 실리콘 산화막으로 형성할 수 있다. 상기 하드 마스크막, 패드 질화막 및 패드 산화막을 패터닝하여 상기 반도체기판(31)의 소정영역을 노출시키는 개구부(37a)를 갖고 차례로 적층된 패드 산화막 패턴(33), 패드 질화막 패턴(35) 및 하드 마스크 패턴(37)을 형성한다.

도 1, 도 2 및 도 4를 참조하면, 상기 하드 마스크 패턴(37)을 식각 마스크로 사용하여 상기 반도체기판(31)을 식각하여 활성영역들(39a)을 한정하는 트렌치 영역(39)을 형성한다(도 2의 단계 21). 상기 트렌치 영역(39)은 폭(W) 및 깊이(D)를 갖는다. 상기 하드 마스크 패턴(37)이 형성되는 경우에, 상기 깊이(D)는 상기 하드 마스크 패턴(37)의 표면으로부터 상기 트렌치 영역(39)의 바닥면(bottom surface)까지의 거리에 해당한다. 이 경우에, 상기 트렌치 영역(39)은 "D/W"로 표현되는 어스펙트 비율을 갖는다. 즉, 상기 깊이(D)가 증가하면, 상기 어스펙트 비율 역시 증가한다. 상기 트렌치 영역(39)을 갖는 기판을 열산화시켜 상기 트렌치 영역(39)의 내벽에 열산화막(41)을 형성할 수 있다. 상기 열산화막(41)은 상기 트렌치 영역(39)을 형성하는 동안 상기 반도체기판(31)에 가해진 식각 손상(etch damage)을 치유하기(cure) 위하여 형성될 수 있다.

상기 열산화막(41)을 갖는 기판을 도 1에 보여진 상기 공정 챔버(1) 내의 상기 척(3) 상에 로딩시킨다(도 2의 단계 23). 이어서, 상기 공정 챔버(1) 내의 공기를 진공 펌프(도시하지 않음)를 사용하여 배출시켜 상기 공정 챔버(1) 내의 공간(space)을 진공 상태로 만든다. 상기 바이어스 전원(9), 상부 전원(11) 및 측벽 전원(13)을 턴온시켜 상기 척(3), 상부전극(5) 및 측벽 전극들(7)에 각각 1000 내지 10000 와트의 바이어스 RF 전력, 1000 내지 10000 와트의 상부 RF 전력, 및 1000 내지 10000 와트의 측벽 RF 전력을 인가한다. 이어서, 상기 공정 챔버(1) 내로 공정 가스들을 주입하여 상기 열산화막(41)을 갖는 기판 상에 콘포말한 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)을 형성할 수 있다(도 2의 단계 25).

상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)은 후속 공정에서 사용되는 불소 함유된 화학적 식각 가스로부터 분해된 불소 원자들이 상기 반도체기판(31)과 직접적으로 반응하는 것을 방지하는 완충막(buffer layer) 역할을 할 수 있다. 따라서, 상기 하부 언도우프트 고밀도 플라즈마 산화막(43)은 불소 함유된 화학적 식각 가스의 사용 없이 형성될 수 있다. 예를 들면, 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)은 실리콘 소스 가스, 산소 가스 및 물리적 식각 가스만을 사용하여 형성될 수 있다.



상기 실리콘 소스 가스는 사일레인( $\text{SiH}_4$ ) 가스 또는 다이사일레인( $\text{Si}_2\text{H}_6$ ) 가스와 같은 실리콘 함유된 가스(silicon-based gas)일 수 있고, 상기 물리적 식각 가스(physical etching gas)는 헬륨(helium; He) 가스 또는 아르곤(argon; Ar) 가스와 같은 불활성 가스(inert gas)일 수 있다. 상기 공정 가스들, 즉 상기 실리콘 소스 가스, 산소 가스 및 물리적 식각 가스가 상기 공정 챔버(1) 내로 주입되면, 상기 공정 가스들이 서로 반응하여 증착 공정 및 식각 공정이 동시에 실시된다. 그 결과, 상기 트렌치 영역(41) 또는 상기 열산화막(39)을 갖는 기판 상에 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)이 형성된다.

구체적으로, 상기 실리콘 소스 가스는 상기 산소 가스와 반응하여 상기 트렌치 영역(41)을 갖는 기판 상에 초기의 얇은 실리콘 산화막을 형성한다. 상기 초기의 실리콘 산화막은 도 4에 도시된 바와 같이 상기 하드 마스크 패턴(37)의 상부 코너 상에 오버행들(overhangs; 43h)을 갖도록 형성될 수 있다. 이러한 오버행들(43h)은 상기 물리적 식각 가스에 기인하는 스퍼터 식각 공정에 의해 식각될 수 있다. 결과적으로, 상기 증착 공정 및 식각 공정이 동시에 그리고 지속적으로 실시되어 상기 오버행들(43h)을 갖지 않는 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)을 콘포말하게 형성한다.

도 1, 도 2 및 도 5를 참조하면, 상기 공정 챔버(1) 내로 적어도 불소 함유된 화학적 식각 가스(fluorine-based chemical etching gas) 및 실리콘 소스 가스를 포함하는 공정 가스들을 주입하여 상기 트렌치 영역(39), 상기 열산화막(41) 또는 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)을 갖는 기판 상에 상기 트렌치 영역(39)을 채우는 메인 고밀도 플라즈마 CVD 산화막(45)을 형성한다(도 2의 단계 27). 상기 메인 고밀도 플라즈마 CVD 산화막(45)을 형성하는 동안 상기 바이어스 RF 전력, 상부 RF 전력 및 측벽 RF 전력은 지속적으로 공급된다.

상기 공정 가스들은 실리콘 소스 가스, 불소 함유된 화학적 식각 가스, 산소 가스 및 수소 가스를 포함할 수 있다. 상기 실리콘 소스 가스는 사일레인( $\text{SiH}_4$ ) 가스 또는 다이사일레인( $\text{Si}_2\text{H}_6$ ) 가스와 같은 실리콘 함유된 가스(silicon-based gas)일 수 있고, 상기 불소 함유된 화학적 식각 가스는 삼불화 질소(nitrogen trifluoride;  $\text{NF}_3$ ) 가스일 수 있다. 이에 더하여, 상기 공정 가스들은 물리적 식각 가스(physical etching gas)를 더 포함할 수 있다. 상기 물리적 식각 가스는 헬륨(helium; He) 가스 또는 아르곤(argon; Ar) 가스와 같은 불활성 가스(inert gas)일 수 있다.

상기 공정 가스들이 상기 공정 챔버(1) 내로 주입되면, 상기 공정 가스들이 서로 반응하여 증착 공정 및 식각 공정이 동시에 실시된다. 그 결과, 상기 트렌치 영역(39), 상기 열산화막(41) 또는 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)을 갖는 기판 상에 상기 메인 고밀도 플라즈마 CVD 산화막(45)이 형성된다.

구체적으로, 상기 실리콘 소스 가스는 상기 산소 가스와 반응하여 초기의 얇은 실리콘 산화막(도시하지 않음)을 형성한다. 상기 초기의 실리콘 산화막 역시 도 4를 참조하여 설명된 바와 같이 상기 하드 마스크 패턴(37)의 상부 코너 상에 오버행들(overhangs)을 갖도록 형성될 수 있다. 이러한 오버행들은 상기 화학적 식각 가스로부터 분해된 불소 이온들에 의해 화학적으로 식각된다. 또한, 상기 화학적 식각 가스에 더하여 상기 물리적 식각 가스가 주입되면, 상기 오버행들은 상기 화학적 식각 공정 뿐만 아니라 상기 측부 RF 전력 및 상기 물리적 식각 가스에 기인하는 스퍼터 식각 공정에 의해 식각될 수 있다. 그 결과, 상기 증착 공정 및 식각 공정이 동시에 실시되어 상기 트렌치 영역(39)의 하부 영역을 채우는 중간 메인 고밀도 플라즈마 CVD 산화막(intermediate main HDP CVD oxide layer; 45a)을 형성한다.

계속해서, 상기 공정 가스들이 상기 공정 챔버(1) 내로 지속적으로 주입되면, 상기 트렌치 영역(39)을 보이드 없이 완전히 채우는 실리콘 산화막, 즉 상기 메인 고밀도 플라즈마 CVD 산화막(45)이 형성된다. 또한, 상기 증착공정 및 식각공정이 실시되는 동안, 상기 수소 가스로부터 분해된 수소 이온들은 상기 화학적 식각 가스로부터 분해된 상기 불소 이온들과 결합하여 불산(hydrofluoric acid; HF) 가스를 생성시킨다. 상기 불산 가스는 상기 공정 챔버(1)로부터 지속적으로 배출될 수 있다.

상기 중간 메인 고밀도 플라즈마 CVD 산화막(45a)은 상기 활성영역(39a) 상부의 하드 마스크 패턴(37) 상에서 제1 두께(T1)를 갖고 상기 트렌치 영역(39)의 바닥면 상에서 제2 두께(T2)를 갖도록 형성된다. 이 경우에, 상기 제1 두께(T1)에 비하여 상기 제2 두께(T2)가 상대적으로 클수록 상기 메인 고밀도 플라즈마 CVD 산화막(45)의 갭 충전 특성(gap filling characteristic)은 더욱 향상된다.

일반적으로, 상기 갭 충전 특성을 향상시키기 위해서는 상기 불소 함유된 화학적 식각 가스의 유량이 상대적으로 증가되어야 한다. 그러나, 상기 불소 함유된 화학적 식각 가스의 유량을 증가시키면, 상기 메인 고밀도 플라즈마 CVD 산화막(45) 내의 불소 함량(fluorine content) 역시 증가될 수 있다. 이 경우에, 상기 활성영역(39)을 채널 영역으로 채택하는 모스 트랜지스터를 형성하면, 상기 모스 트랜지스터의 특성, 예를 들면, 상기 모스 트랜지스터의 게이트 절연막의 신뢰성이 저하

될 수 있다. 따라서, 본 발명의 실시예들에서, 상기 불소 함유된 화학적 식각 가스의 유량의 증가 없이 상기 공정 챔버(1) 내의 압력을 증가시키어 상기 깎 충전 특성을 향상시킬 수 있다. 이는, 상기 공정 압력을 증가시키는 경우에 상기 불소 함유된 화학적 식각 가스의 등방성 식각성(isotropic etching property)이 향상되기 때문이다. 그러나, 상기 공정 압력만을 증가시키면, 상기 메인 고밀도 플라즈마 CVD 산화막(45)의 증착률이 감소하고 상기 메인 고밀도 플라즈마 CVD 산화막(45) 내의 불소 함량은 변하지 않을 수 있다. 따라서, 본 발명의 실시예들에서, 상기 실리콘 소스 가스의 유량 및 산소 가스의 유량을 증가시키어 상기 고밀도 플라즈마 CVD 산화막(45)의 증착률(deposition rate)이 감소하는 것을 방지할 수 있다. 이 경우에, 상기 메인 고밀도 플라즈마 CVD 산화막(45) 내의 불소 함량은 감소될 수 있다. 이는 상기 실리콘 소스 가스의 유량이 증가하는 반면에, 상기 불소 함유된 화학적 식각 가스의 유량은 변하지 않기 때문이다. 다시 말해서, 이는 상기 실리콘 소스 가스 및 상기 산소 가스의 유량들에 비하여 상기 불소 함유된 화학적 식각 가스의 유량이 상대적으로 감소하기 때문이다.

본 발명의 실시예들에서, 상기 메인 고밀도 플라즈마 CVD 산화막(45)은 통상의 고밀도 플라즈마 CVD 공정 보다 높은 압력 하에서 형성될 수 있다. 예를 들면, 상기 메인 고밀도 플라즈마 CVD 산화막(45)은 20 mTorr 내지 100 mTorr의 높은 압력 하에서 형성될 수 있다. 좀 더 구체적으로, 상기 메인 고밀도 플라즈마 CVD 산화막(45)은 30 mTorr 내지 90 mTorr의 압력 하에서 형성될 수 있다. 이에 더하여, 상기 공정 압력이 증가하는 경우에, 상기 실리콘 소스 가스 및 상기 산소 가스의 유량들은 상술한 바와 같이 상기 메인 고밀도 플라즈마 CVD 산화막(45)의 증착률의 감소를 방지하기 위하여 증가될 수 있다. 본 발명의 실시예들에서, 상기 실리콘 소스 가스 및 상기 산소 가스는 상기 산소 가스의 유량이 상기 실리콘 소스 가스(예를 들면, 사일레인 가스)의 유량의 약 1.0배 내지 2.0배이도록 주입될 수 있다. 또한, 상기 불소 함유된 화학적 식각 가스(예를 들면,  $NF_3$  가스)의 유량은 상기 실리콘 소스 가스의 유량보다 상대적으로 작은 것이 바람직하다. 예를 들면, 상기 불소 함유된 화학적 식각 가스의 유량은 상기 실리콘 소스 가스의 유량의 약 0.5배 내지 0.9배일 수 있다. 상기 공정 압력이 증가하는 경우에, 상기 실리콘 소스 가스에 대한 상기 불소 함유된 화학적 식각 가스의 상대적인 유량비는 감소할 수 있다. 이는 상기 공정 압력이 증가하면, 상술한 바와 같이 상기 메인 고밀도 플라즈마 CVD 산화막(45)의 증착률의 감소를 방지하기 위하여 상기 실리콘 소스 가스 및 상기 산소 가스의 유량들이 증가되어야 하기 때문이다.

상기 사일레인 가스, 상기 삼불화 질소 가스, 상기 수소 가스 및 상기 산소 가스는 각각 10 내지 100 sccm(standard cubic centimeter per minute)의 유량(flow rate), 10 내지 100 sccm의 유량, 10 내지 1000 sccm의 유량 및 10 내지 1000 sccm의 유량으로 주입될 수 있다.

상기 메인 고밀도 플라즈마 CVD 산화막(45)이 불소 이온들을 함유하면, 상기 메인 고밀도 플라즈마 CVD 산화막(45)의 신뢰성이 저하되고 상기 메인 고밀도 플라즈마 CVD 산화막(45) 내의 불소 이온들은 상기 활성영역들(39a) 내로 침투할 수 있다. 이 경우에, 상기 활성영역들(39a)을 채널 영역으로 사용하는 모스 트랜지스터를 형성하면, 상기 모스 트랜지스터의 전기적인 특성(예를 들면, 게이트 절연막의 신뢰성)은 상술한 바와 같이 저하될 수 있다. 그러나, 본 발명에 따르면, 상기 불소 함유된 화학적 식각 가스의 유량이 상기 실리콘 소스 가스의 유량에 비하여 상대적으로 낮고 상기 공정 압력이 통상의 고밀도 플라즈마 CVD 공정에 비하여 높으므로, 깎 충전 특성의 저하 없이 상기 메인 고밀도 플라즈마 CVD 산화막(45) 내의 불소 함량을 최소화시킬 수 있다. 따라서, 상기 메인 고밀도 플라즈마 CVD 산화막(45)의 신뢰성은 물론 상기 활성영역(39a) 상에 형성되는 게이트 절연막의 전기적 특성을 향상시킬 수 있다.

상기 메인 고밀도 플라즈마 CVD 산화막(45) 상에 상부 언도우프트 고밀도 플라즈마 CVD 산화막(upper undoped HDP CVD oxide layer; 47)을 형성할 수 있다(도 2의 단계 29). 상기 상부 언도우프트 고밀도 플라즈마 CVD 산화막(47)은 우수한 깎 충전 특성보다는 오히려 높은 증착률을 보이는 레시피(recipe)를 사용하여 형성할 수 있다. 이는 상기 메인 고밀도 플라즈마 CVD 산화막(45)의 표면 프로파일에 의한 깎 영역의 어스펙트 비율이 상기 트렌치 영역(39)의 어스펙트 비율에 비하여 현저히 낮기 때문이다. 따라서, 상기 상부 언도우프트 고밀도 플라즈마 산화막(47)은 불소 함유된 화학적 식각 가스의 사용 없이 형성될 수 있다. 예를 들면, 상기 상부 언도우프트 고밀도 플라즈마 CVD 산화막(47)은 실리콘 소스 가스, 산소 가스 및 물리적 식각 가스만을 사용하여 형성될 수 있다. 또한, 상기 상부 언도우프트 고밀도 플라즈마 CVD 산화막(47)을 형성하기 위한 실리콘 소스 가스 및 산소 가스는 상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43)을 형성하기 위한 실리콘 소스 가스 및 산소 가스보다 높은 유량으로 주입될 수 있다. 이는 상기 상부 언도우프트 고밀도 플라즈마 CVD 산화막(47)의 증착률을 증가시킴으로써 생산성(throughput)을 향상시키기 위함이다. 상기 상부 언도우프트 고밀도 플라즈마 CVD 산화막(47)을 형성하는 동안 상기 바이어스 RF 전력, 상부 RF 전력 및 측면 RF 전력은 지속적으로 공급된다.

상기 하부 언도우프트 고밀도 플라즈마 CVD 산화막(43), 상기 메인 고밀도 플라즈마 CVD 산화막(45) 및 상기 상부 언도우프트 고밀도 플라즈마 CVD 산화막(47)은 고밀도 플라즈마 CVD 산화막(48)을 구성한다.

도 1, 도 2 및 도 6을 참조하면, 상기 고밀도 플라즈마 CVD 산화막(48)이 형성된 반도체 기판을 상기 공정 챔버(1)로부터 언로딩시킨다(도 2의 단계 30). 이어서, 상기 고밀도 플라즈마 CVD 산화막(48)을 평탄화시켜 상기 패드 질화막 패턴(35)을 노출시킨다. 그 결과, 상기 트렌치 영역(39) 내에 소자분리막(48a)이 형성된다. 상기 고밀도 플라즈마 CVD 산화막(48)은 화학기계적 연마 기술을 사용하여 평탄화될 수 있다. 상기 고밀도 플라즈마 CVD 산화막(48)을 평탄화시키는 동안 상기 하드 마스크 패턴(37)이 제거될 수 있다.

상기 노출된 패드 질화막 패턴(35) 및 상기 패드 산화막 패턴(33)을 제거하여 상기 활성영역들(39a)을 노출시킨다. 상기 노출된 활성영역들(39a) 상에 게이트 절연막(49), 예컨대 게이트 산화막을 형성하고, 상기 게이트 절연막(49)을 갖는 기판 상에 게이트 도전막(51)을 형성한다.

이어서, 도시하지는 않았지만, 통상의 방법을 사용하여 상기 게이트 도전막(51)을 패터닝하여 상기 활성영역들(39a)의 상부를 가로지르는 게이트 전극들을 형성하고, 상기 게이트 전극들에 인접한 상기 활성영역들(39a) 내에 소오스/드레인 영역들을 형성한다.

<실험예들; examples>

도 7은 종래기술 및 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정을 사용하여 제조된 트렌치 소자분리막들의 갭 충전 특성들(gap filling characteristics)을 도시한 그래프이다. 도 7에 있어서, 가로축은 트렌치 영역들 사이의 활성영역들 상에 형성되는 고밀도 플라즈마 CVD 산화막의 제1 두께(T1)를 나타내고, 세로축은 트렌치 영역들의 바닥면 상에 형성되는 고밀도 플라즈마 CVD 산화막의 제2 두께(T2)를 나타낸다. 또한, 도 7에 있어서, 참조부호 "●(filled circles)"로 표시된 데이터들은 종래기술에 따라 제작된 트렌치 소자분리막들의 특성들에 해당하고, 참조부호들 "○(empty circles)", "■" 및 "□"로 표시된 데이터들은 각각 본 발명의 제1 내지 제3 실시예들에 따라 제작된 트렌치 소자분리막들의 특성들에 해당한다.

도 7의 갭 충전 특성들을 보이는 트렌치 소자분리막들(즉, 고밀도 플라즈마 CVD 산화막들)은 다음의 [표 1]에 기재된 주요 공정 조건들(key process conditions)을 사용하여 제작되었고, 상기 트렌치 소자분리막들로 채워지는 트렌치 영역들은 약 4의 어스펙트 비율을 갖도록 형성되었다. 또한, 도 7의 갭 충전 특성들을 보여주는 트렌치 소자분리막들의 형성에 사용된 모든 레시피들은 1700Å/min의 증착률을 보이도록 조절되었다(adjusted).

[표 1]

공정 파라미터들	종래기술	본 발명(1)	본 발명(2)	본 발명(3)
공정 압력	5 mTorr	30 mTorr	60 mTorr	90 mTorr
상부 RF 전력	7000 와트			
측벽 RF 전력	4000 와트			
바이어스 RF 전력	3750 와트			
SiH <sub>4</sub> 가스 유량	57 sccm	65 sccm	74 sccm	89 sccm
NF <sub>3</sub> 가스 유량	57 sccm			
수소 가스 유량	500 sccm			
헬륨 가스 유량	300 sccm			
산소 가스 유량	102 sccm	116 sccm	133 sccm	160 sccm

도 7 및 [표 1]로부터 알 수 있듯이, 본 발명의 실시예들에 따라 제작된 고밀도 플라즈마 CVD 산화막들은 종래의 고밀도 플라즈마 CVD 산화막들에 비하여 우수한 갭 충전 특성을 보였다. 특히, 상기 공정 압력과 아울러서 상기 실리콘 소스 가스(SiH<sub>4</sub> 가스) 유량 및 산소 가스 유량의 증가에 따라서 상기 갭 충전 특성이 향상되었다. 예를 들면, 상기 공정 압력, 사일레스 가스의 유량 및 산소 가스의 유량이 각각 5 mTorr로부터 90 mTorr까지, 57 sccm으로부터 89 sccm까지, 및 102 sccm으로부터 160 sccm까지 증가되었을 때, 상기 제1 두께(T1)는 약 1200Å으로부터 100Å으로 감소된 반면에 상기 제2 두께(T2)는 약 2200Å으로부터 3300Å으로 증가되었다.

도 8은 [표 1]의 데이터들로부터 산출된(calculated)  $NF_3$  가스의 상대적인 유량비(relative flow rate ratio)를 도시한 그래프이다. 도 8에 있어서, 가로축은 사일레인 가스의 유량(F)을 나타내고, 세로축은 사일레인 가스에 대한  $NF_3$  가스의 유량비(R)를 나타낸다.

도 8 및 [표 1]로부터 알 수 있듯이, 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정에 사용된 화학적 식각 가스( $NF_3$  가스)의 상대적인 유량비는 종래의 고밀도 플라즈마 CVD 공정에 사용된 화학적 식각 가스( $NF_3$  가스)의 상대적인 유량비보다 낮았다. 예를 들면, 종래의 고밀도 플라즈마 CVD 공정에 사용된 화학적 식각 가스는 약 1 이상의 상대적인 유량비를 갖도록 주입되었고, 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정에 사용된 화학적 식각 가스는 약 0.6 내지 0.9의 상대적인 유량비를 갖도록 주입되었다. 결과적으로, 본 발명의 실시예들에 따라 제작된 고밀도 플라즈마 CVD 산화막들은 종래의 고밀도 플라즈마 CVD 산화막들에 비하여 낮은 불소 함량을 보일 수 있다.

도 9는 본 발명의 실시예들 및 종래 기술에 따라 제작된 고밀도 플라즈마 CVD 산화막들을 트렌치 소자분리막(trench isolation layer)들로 채택하는 반도체 소자의 게이트 절연막들의 전기적인 특성들을 도시한 그래프이다. 도 9에 있어서, 가로축은 게이트 전극에 인가되는 전압(Vg)을 나타내고, 세로축은 10 nA의 게이트 누설전류(gate leakage current)를 보이는 시료들의 누적 분포율(cumulative distribution rate; C)을 나타낸다. 또한, 도 9에 있어서, 참조부호 "□"로 표시된 데이터들은 종래 기술에 따라 제작된 트렌치 소자분리막들을 갖는 반도체소자들의 게이트 산화막들의 특성들에 해당하고, 참조부호 "■"로 표시된 데이터들은 본 발명의 실시예들에 따라 제작된 트렌치 소자분리막들을 갖는 반도체 소자들의 게이트 산화막들의 특성에 해당한다.

도 9의 전기적인 특성들을 보이는 시료들의 트렌치 소자분리막들로 사용되는 고밀도 플라즈마 CVD 산화막들은 다음의 [표 2]에 기재된 주요 공정 조건들(key process conditions)을 사용하여 제작되었고, 상기 트렌치 소자분리막들에 의해 한정된 활성영역들은  $8493 \mu m^2$ 의 평면적을 갖도록 형성되었다. 또한, 상기 활성영역들 상에 형성된 게이트 절연막은 32Å의 두께를 갖는 열산화막으로 형성되었고, 상기 게이트 산화막 상의 게이트 전극은 폴리실리콘막을 사용하여 형성하였다. 더 나아가서, 상기 트렌치 소자분리막들로 채워지는 트렌치 영역들은 약 4의 어스펙트 비율을 갖도록 형성되었다.

[표 2]

공정 파라미터들	종래 기술	본 발명
공정 압력	5 mTorr	30 mTorr
상부 RF 전력	7000 와트	
측벽 RF 전력	4000 와트	
바이어스 RF 전력	3750 와트	
$SiH_4$ 가스 유량	57 sccm	65 sccm
$NF_3$ 가스 유량	65 sccm	57 sccm
수소 가스 유량	500 sccm	
헬륨 가스 유량	300 sccm	
산소 가스 유량	102 sccm	116 sccm

도 9 및 [표 2]로부터 알 수 있듯이, 종래의 고밀도 플라즈마 CVD 산화막을 트렌치 소자분리막으로 채택하는 반도체 소자들의 게이트 산화막들의 약 70%는 1 볼트보다 낮은 내압(breakdown voltage)을 보였다. 이에 반하여, 본 발명에 따른 고밀도 플라즈마 CVD 산화막을 트렌치 소자분리막으로 채택하는 반도체소자들의 게이트 산화막들은 모두 약 7.5볼트의 균일한 내압을 보였다. 이는 본 발명에 따라 형성된 고밀도 플라즈마 CVD 산화막 내의 불소 함량이 종래의 고밀도 플라즈마 CVD 산화막 내의 불소 함량보다 낮기 때문인 것으로 해석될 수 있다.

**발명의 효과**

상술한 바와 같이 본 발명의 실시예들에 따르면, 30 mTorr 내지 90 mTorr의 높은 공정 압력 하에서 적어도 불소 함유된 화학적 식각 가스 및 실리콘 소스 가스를 포함하는 공정 가스들을 사용하여 고밀도 플라즈마 CVD 산화막이 형성된다. 또

한, 상기 고밀도 플라즈마 CVD 산화막의 형성 동안 상기 불소 함유된 화학적 식각 가스는 상기 실리콘 소스 가스에 비하여 상대적으로 낮은 유량으로 주입된다. 그 결과, 상기 고밀도 플라즈마 CVD 산화막의 갭 충전 특성을 개선시킬 수 있고, 상기 고밀도 플라즈마 CVD 산화막 내의 불소 함량을 현저히 감소시킬 수 있다.

**도면의 간단한 설명**

도 1은 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 산화막의 형성에 사용되는 고밀도 플라즈마 CVD 장비의 일 부분을 도시한 개략도이다.

도 2는 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 산화막을 형성하는 방법들을 설명하기 위한 공정 순서도 (process flowchart)이다.

도 3 내지 도 6은 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정을 사용하여 반도체 소자를 제조하는 방법들을 설명하기 위한 단면도들이다.

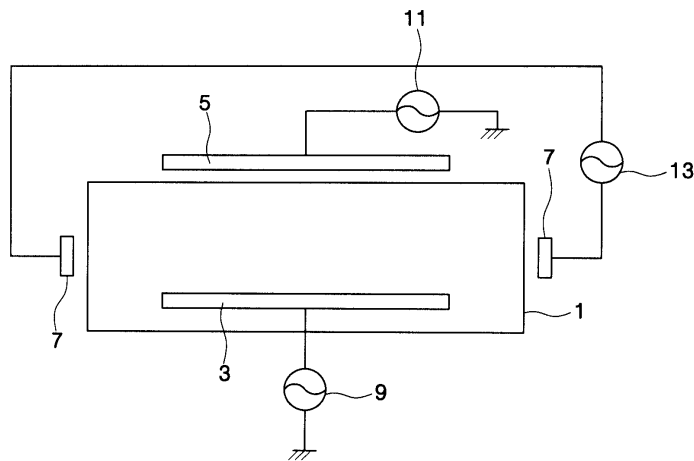
도 7은 종래기술 및 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정을 사용하여 제조된 트렌치 소자분리막의 갭 충전 특성(gap filling characteristic)을 도시한 그래프이다.

도 8은 종래기술 및 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정에 사용되는 공정 가스들의 유량비(flow rate ratio)를 도시한 그래프이다.

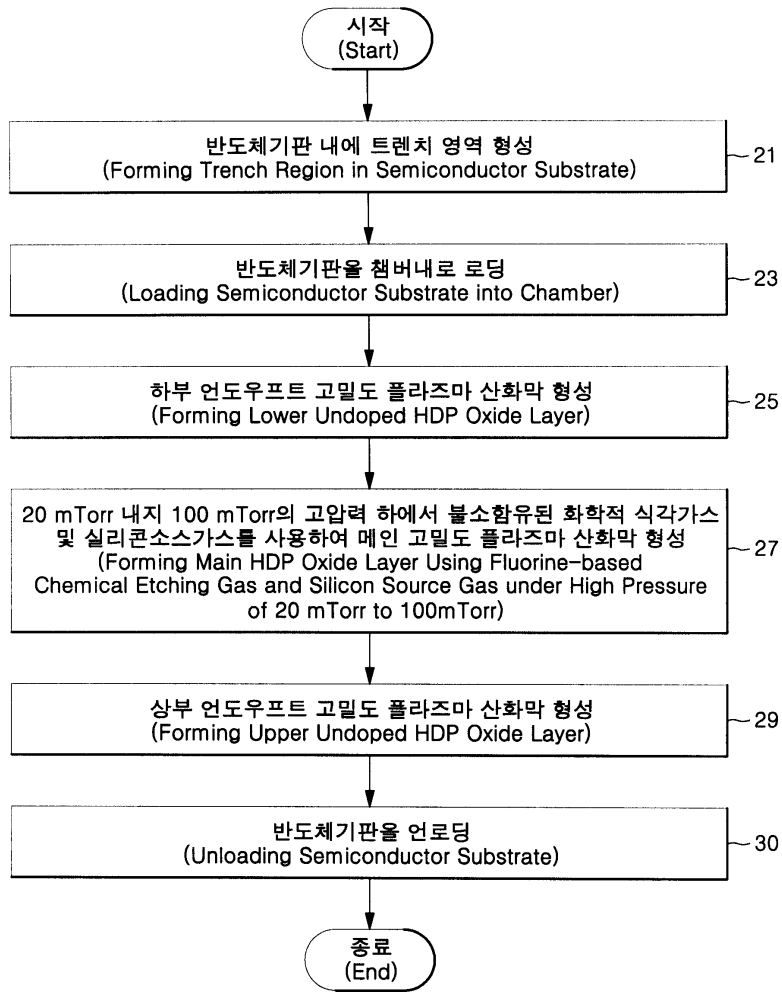
도 9는 종래기술 및 본 발명의 실시예들에 따른 고밀도 플라즈마 CVD 공정을 사용하여 제조된 트렌치 소자분리막에 인접한 활성영역 상의 게이트 산화막의 전기적 특성을 도시한 그래프이다.

**도면**

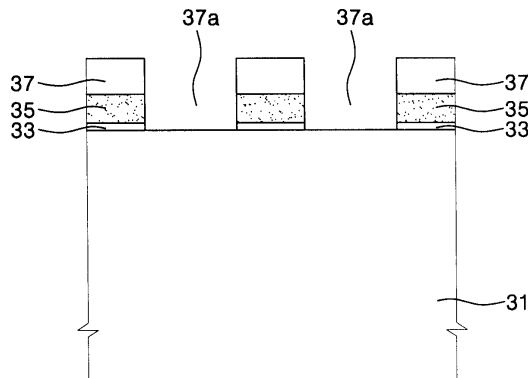
**도면1**



도면2

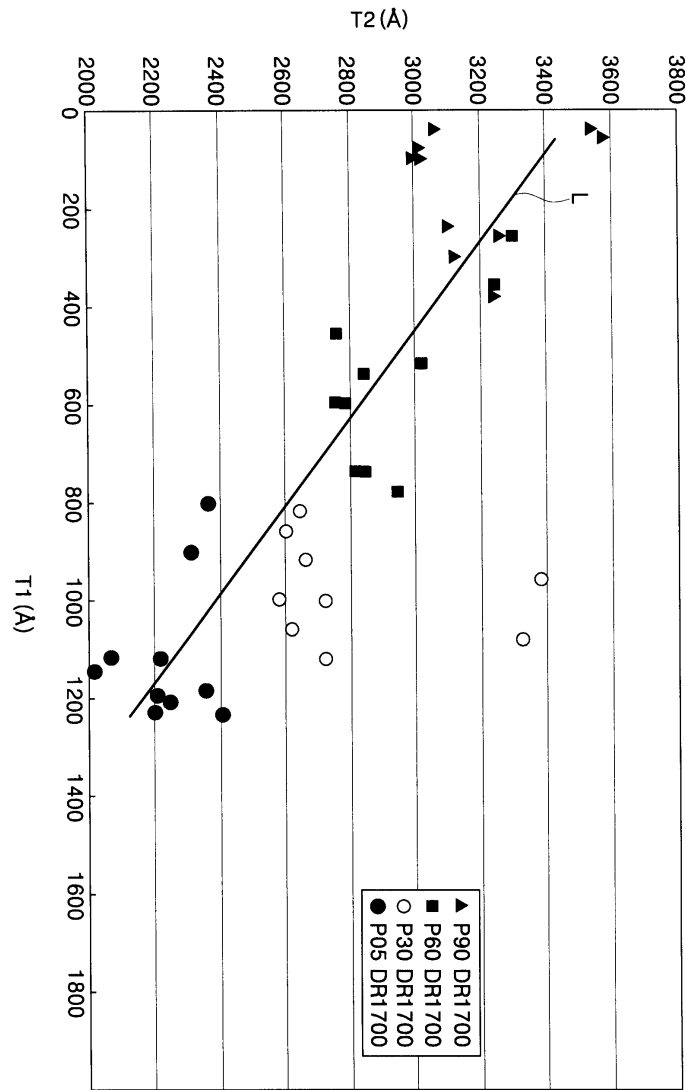


도면3

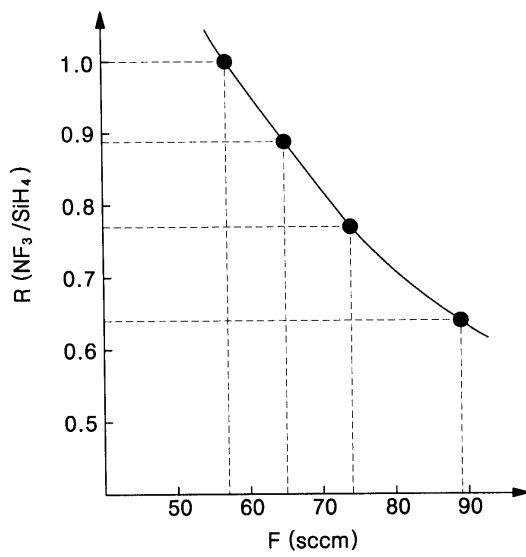




도면7



도면8





도면9

