



(12) 发明专利申请

(10) 申请公布号 CN 101765949 A

(43) 申请公布日 2010.06.30

(21) 申请号 200880100998.5

(74) 专利代理机构 上海专利商标事务有限公司 31100

(22) 申请日 2008.07.30

代理人 李玲

(30) 优先权数据

11/888,016 2007.07.30 US

(51) Int. Cl.

H01S 3/08 (2006.01)

(85) PCT申请进入国家阶段日

2010.01.28

H01S 3/109 (2006.01)

(86) PCT申请的申请数据

PCT/US2008/009224 2008.07.30

(87) PCT申请的公布数据

W02009/017769 EN 2009.02.05

(71) 申请人 惠普发展公司, 有限合伙企业

地址 美国得克萨斯州

(72) 发明人 M·谭 S·-Y·王 D·斯图尔特

D·法塔勒

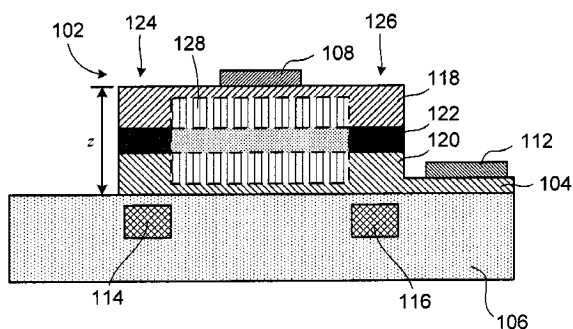
权利要求书 1 页 说明书 7 页 附图 19 页

(54) 发明名称

微谐振器系统及其制造方法

(57) 摘要

本发明的多个实施例涉及可用作激光器、调制器以及光检测器的微谐振器系统以及用于制造微谐振器系统的方法。在一个实施例中,一种微谐振器系统(100)包括具有顶表面层(104)的衬底(106)、埋入衬底(106)的至少一个波导(114,116)以及微盘(102),该微盘(102)具有顶层(118)、中间层(122)、底层(120)、电流隔离区(128)以及外围环形区(124,126)。微盘(102)的底层(120)与衬底(106)的顶表面层(104)电连接,且被定位成使外围环形区(124,126)的至少一部分位于至少一个波导(114,116)之上。电流隔离区(128)被配置成占据微盘的中心区域的至少一部分,而且具有相对外围环形区而言更低的折射率和更大的带隙。



1. 一种微谐振器系统 (100), 包括:
具有顶表面层 (104) 的衬底 (106);
埋入所述衬底 (106) 并毗邻所述衬底的所述顶表面层定位的至少一个波导 (114, 116); 以及
微盘 (102), 所述微盘具有顶层 (118)、中间层 (122)、底层 (120)、电流隔离区 (128) 以及外围环形区 (124, 126), 其中所述微盘的所述底层附连至所述衬底的所述顶表面层且与其电连接, 所述微盘被定位成使所述外围环形区的至少一部分位于所述至少一个波导之上, 而所述电流隔离区被配置成占据所述微盘的中心区域的至少一部分, 且具有相对而言所述外围环形区更低的折射率和更大的带隙。
2. 如权利要求 1 所述的方法, 其特征在于, 还包括:
位于所述微盘的所述顶表面层上的第一电极 (108, 502); 以及
位于所述衬底的所述顶表面层之上且毗邻所述微盘的至少一个第二电极 (112, 504)。
3. 如权利要求 2 所述的系统, 其特征在于, 所述第一电极还包括被配置成覆盖所述微盘的所述顶面的所述外围区的至少一部分的微环电极 (502)。
4. 如权利要求 1 所述的系统, 其特征在于, 所述微盘还包括:
顶层;
底层; 以及
夹在所述顶半导体层与所述底半导体层之间的中间量子阱层。
5. 如权利要求 4 所述的系统, 其特征在于, 所述顶层 (118) 还包括 p 型半导体, 而所述底层 (120) 还包括 n 型半导体。
6. 如权利要求 4 所述的系统, 其特征在于, 所述中间层 (122) 还包括至少一个量子阱。
7. 如权利要求 1 所述的系统, 其特征在于, 所述微盘 (102) 还包括以下之一:
圆形形状;
椭圆形状; 以及
适于支持耳语廊模式的任何其它形状。
8. 一种微盘, 包括:
顶层 (118)
底层 (120)
具有至少一个量子阱的中间层 (122), 所述中间层被夹在所述顶层与所述底层之间;
包括顶层、中间层以及底层的至少一部分的外围环形区 (124, 126); 以及
被配置成占据所述微盘的中心区域的至少一部分的电流隔离区 (128), 所述电流隔离区包括所述顶层、中间层以及底层的至少一部分, 且具有相对所述外围环形区而言更低的折射率。
9. 如权利要求 8 所述的系统, 其特征在于, 所述顶层 (118) 还包括 p 型半导体, 而所述底层 (120) 还包括 n 型半导体。
10. 如权利要求 8 所述的系统, 其特征在于, 所述微盘还包括以下之一:
圆形形状;
椭圆形状; 以及
适合于支持耳语廊模式的任何其它形状。

微谐振器系统及其制造方法

技术领域

[0001] 本发明的实施例涉及微谐振器系统,具体涉及可用作激光器、调制器以及光检测器的微谐振器系统以及制造这些系统的方法。

[0002] 背景

[0003] 近年来,集成电路上微电子器件的密度增大已经导致可用于互连这些器件的金属信号线的密度的技术瓶颈。此外,使用金属信号线导致功耗显著增大以及难以使定位于多数电路的顶部的最长链路同步。除了经由信号线发送作为电信号的信息之外,可将相同的信息编码在电磁辐射(“ER”)中并经由诸如光纤、脊波导以及光子晶体波导之类的波导发送。经由波导发送编码在ER中的信息具有优于经由信号线发送电信号的多个优点。首先,经由波导发送的ER的降级或损耗比经由信号线发送的电信号少得多。其次,可将波导制造成支持比信号线宽得多的带宽。例如,单根铜或铝线仅能发射单个电信号,而单根光纤可被配置成发送约100或不同地编码的更多ER。

[0004] 近来,材料科学和半导体制造技术的进步已使得开发可与诸如CMOS电路之类的电子器件集成的光子器件以形成光子集成电路(“PIC”)成为可能。术语“光子器件”指的是能在其频率跨越电磁光谱的具有经典特性的ER或量子化ER下工作的器件。PIC是电子集成电路的光子等价物,而且可在半导体材料的晶片上实现。为高效地实现PIC,需要无源和有源光子组件。波导和衰减器是通常能利用常规的外延和光刻方法制造、且可用于引导微电子器件之间的ER传播的无源光子组件的示例。物理学家和工程师已经认识到对能用于PIC的有源光子组件的需求。

[0005] 概述

[0006] 本发明的多个实施例涉及可用作激光器、调制器以及光检测器的包括微盘(microdisk)的微谐振器系统以及用于制造该微谐振器系统的方法。在本发明的一个实施例中,一种微谐振器系统包括具有顶表面层的衬底、埋置在该衬底内且毗邻该衬底的顶表面层定位的至少一个波导、以及微盘,该微盘具有顶层、中间层、底层、电流隔离区以及外围环形区。微盘的底层附连至衬底的顶表面层且与其电连接,而且被定位成使外围环形区的至少一部分位于至少一个波导之上。电流隔离区被配置成占据微盘的中心区域的至少一部分,而且具有相对外围环形区而言更低的折射率和更大的带隙。

[0007] 附图简述

[0008] 图1A示出根据本发明实施例的第一微谐振器系统的立体图。

[0009] 图1B示出根据本发明实施例的图1A中所示的第一微谐振器系统沿直线1B-1B的截面图。

[0010] 图2示出根据本发明实施例的构成示例性微盘的多个层的截面图。

[0011] 图3A-3B示出图1中所示的微盘的外围区和电流隔离区的电子带隙能量的假设标绘图。

[0012] 图4A示出根据本发明实施例的图1中所示的第一微谐振器系统的微盘中的电流的路径。

[0013] 图 4B 示出根据本发明实施例的耳语廊模式 (whispering gallery mode) 对图 1 中所示的第一微谐振器系统的微盘的外围区的实质限制。

[0014] 图 5A 示出根据本发明的实施例的第二微谐振器系统的立体图。

[0015] 图 5B 示出根据本发明实施例的图 5A 中所示的第二微谐振器系统沿直线 5B-5B 的截面图。

[0016] 图 6A 示出根据本发明实施例的图 5 中所示的第二微谐振器系统的微盘中的电流的路径。

[0017] 图 6B 示出根据本发明实施例的耳语廊模式对图 5 中所示的第二微谐振器系统的微盘的外围区的实质限制。

[0018] 图 7A 示出与基于量子阱的增益介质的量子化电子能量状态相关联的能级图。

[0019] 图 7B 示出根据本发明实施例的作为激光器工作的图 1 中所示的第一微谐振器系统的示意图。

[0020] 图 8A 示出根据本发明实施例的作为调制器工作的图 1 中所示的第一微谐振器系统的示意图。

[0021] 图 8B 示出未编码的电磁辐射的强度与时间的关系的标绘图。

[0022] 图 8C 示出经过数据编码的电磁辐射的强度与时间的关系的标绘图。

[0023] 图 9 示出根据本发明实施例的作为光检测器工作的图 1 中所示的第一微谐振器系统的示意图。

[0024] 图 10A-10K 示出根据本发明实施例的与制造图 1 中所示的第一微谐振器系统的方法相关联的立体图和截面图。

[0025] 图 11A-11B 示出根据本发明实施例的与制造图 5 中所示的第二微谐振器系统的方法相关联的截面图。

[0026] 实施例描述

[0027] 本发明的多个实施例涉及可用作激光器、调制器以及光检测器的包括微盘的微尺度谐振器 (“微谐振器”) 系统以及用于制造该微谐振器系统的方法。在下述的多个微谐振器系统实施例中, 包括相同材料的多个结构相似的组件设置有相同的附图标记, 而且为了简洁起见, 不重复对它们的结构和功能的说明。

[0028] 图 1A 示出根据本发明实施例的微谐振器系统 100 的立体图。微谐振器系统 100 包括: 附连至衬底 106 的顶表面层 104 的微盘 102、附连至微盘 102 的顶面 110 的第一电极 108、以及附连至顶表面层 104 且毗邻微盘 102 定位的第二电极 112。微盘 102 是微谐振器系统 100 的微谐振器, 而且可被配置成支持某些 WGM (耳语廊模式)。衬底 106 包括穿过衬底 106 延伸并毗邻顶表面层 104 定位的两个波导 114 和 116。波导 114 和 116 位于微盘 102 的外围环形区的至少一部分之下。微盘 102 包括顶层 118、底层 120 以及夹在顶层 118 与底层 120 之间的中间层 122。如下文参照图 1B 所描述的那样, 底层 120 可由与顶表面层 104 相同的材料构成。下文参照图 2 更详细地描述了微盘 102 的层 118、120 以及 122。

[0029] 图 1B 示出根据本发明实施例的图 1A 中所示的微谐振器系统 100 沿直线 1B-1B 的截面图。如图 1B 所示, 波导 114 和 116 位于微盘 102 的外围环形区的部分 124 和 126 之下。微盘 102 包括电流隔离区 128, 该电流隔离区 128 被配置成占据微盘 102 的中心区的至少一部分。第二电极 112 经由顶表面层 104 与底层 120 电连接。虽然仅单个第二电极 112 位于

衬底 106 的顶表面层 104 上,但在本发明的其它实施例中,可在顶表面层 104 上定位两个或两个以上电极层。

[0030] 注意,本发明的微谐振器系统实施例的微谐振器不限于诸如微盘 102 之类的圆形微盘。在本发明的其它实施例中,微盘 102 可以是圆形、椭圆形,或具有适于支承 WGM 并产生谐振 ER 的任何其它形状。

[0031] 顶层 118 可以用电子受体掺杂剂掺杂的 III-V 族半导体,称为“p 型半导体”,而底层 120 可以用电子供体掺杂剂掺杂的 III-V 族半导体,称为“n 型半导体”,其中罗马数字 III 和 V 指的是元素周期表中第三列和第五列的元素。中间层 122 包括一个或多个量子阱。每个量子阱可以是夹在两个不同类型的 III-V 族半导体层之间的相对较薄的 III-V 族半导体层。图 2 示出根据本发明实施例的包括微盘 102 的多个层的截面图,在图 2 中,顶层 118 可以是其中可使用 Zn 作为掺杂剂的 p 型 InP,而底层 120 可以是其中可使用 Si 作为掺杂剂的 n 型 InP。中间层 122 包括 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$ 的三个量子阱 201-203,其中 x 和 y 的范围在 0 与 1 之间。中间层 122 还包括 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$ 的势垒层 205-208,其中 x 和 y 的范围在 0 与 1 之间。选择参数 x 和 y 以使其与毗邻层晶格匹配,而且这是本领域公知的。例如,对于与 InP 层 118 和 120 晶格匹配的层,x 值被选为 0.47。y 的选择决定量子阱的带隙能量。以下参照图 7A 描述量子阱的工作。量子阱 201-203 可被配置成发射期望波长 λ 的 ER,而势垒层 205-208 可被配置成具有相对大的带隙,以限制注入量子阱的载流子(即电子和空穴)。层 205 和 206 将量子阱 201-203 分离,而层 207 和 208 分别是将量子阱 201 和 203 从层 118 和 120 分离的相对较厚的层。衬底 106 可由 SiO_2 、 Si_3N_4 或另一合适的介电隔离材料构成。波导 114 和 116 可由诸如 Si 和 Ge 之类的 IV 族元素构成。在本发明的其它实施例中,可使用诸如 GaAs、GaP 或 GaN 之类的其它合适的 III-V 半导体。

[0032] 电流隔离区 128 具有相对与微盘 102 的外围环形区相关联的量子阱电子带隙而言更大的电子带隙。图 3A 示出微盘 102 的外围区的三个量子阱的电子带隙能量与微盘 102 的高度 z 之间的标绘图。与底层 120 和顶层 118 相关联的电子带隙能量分别通过 ΔE_B 和 ΔE_T 表示。中间层 122 中的量子阱具有带隙能量 ΔE_{QW} ,而毗邻量子阱层的势垒层具有较大的带隙能量 ΔE_{Bar} 。注意,带隙能量 ΔE_T 和 ΔE_B 比带隙能量 ΔE_{Bar} 更大,这对应于层 118 和 120 形成双异质结势垒层,以将电子和空穴限制于中间层 122。图 3B 示出微盘 102 的电流隔离区 128 的电子带隙能量与微盘 102 的高度 z 之间的标绘图。如图 3B 所示,电流隔离区 128 消除与中间层 122 的量子阱层和势垒层相关联的带隙能量或使其不确定,如虚线能级 302 和 304 所示。

[0033] 当对电极 108 和 112 施加电压时,与微盘的电流隔离区 128 和外围区相关联的电子带隙能量之差可用于将电流实质限制于外围区中的路径中。图 4A 示出根据本发明实施例的表示电极 108 与 112 之间的电流的路径 402。路径 402 在较高带隙的电流隔离区 128 附近弯曲,并连接电极 108 和 112。可如下将电流实质限制于微盘 102 的诸如外围区 126 之类的外围区。考虑对电极 108 和 112 施加一电压,该电压大于与外围环形区相关联的电子带隙能量,但不超过与电流隔离区 128 相关联的电子带隙能量。因为电压足够高,所以电流能流过外围区 126,但电流不能流过电流隔离区 128。换言之,利用相对使电流流过电流隔离区 128 所需的电压而言更低的电压,能将电流基本限制于外围区 126。诸如路径 402 之类的避开电流隔离区 128 的电流路径代表电流沿电极 108 与 112 之间流动的较低能量路径。

[0034] 一般而言,因为微谐振器具有比其包围物更大的整体折射率,所以在微盘内发射的 ER 通常因为微盘圆周附近的全内反射而被俘获。被俘获在微盘圆周附近的 ER 的模式被称为“耳语廊模式(‘WGM’)”。WGM 具有与微盘的直径有关的特定谐振波长 λ 。然而,对于典型的微盘,存在不以 WGM 形式将 ER 限制于该圆周附近的其它模式。

[0035] 本发明的微盘 102 实施例可用于将 ER 基本限制于微盘 102 的外围区,因为相对较宽的带隙——电流隔离区 128 具有相对微盘 102 的外围区而言更低的折射率。图 4B 示出根据本发明实施例的 WGM 对微盘 102 的外围区的实质限制。如图 4B 所示,微盘 102 的俯视图 404 包括沿微盘 102 圆周定位的方向箭头。这些方向箭头表示在微盘 102 的圆周附近传播的假想 WGM,而方向箭头的长度对应于 WGM 的波长 λ 。强度图 406 示出了俯视图 404 中沿直线 A-A 的 WGM 强度分布与距离之间的关系。虚线强度曲线 408 和 410 示出被基本限制在微盘 102 的圆周附近的 WGM。曲线 408 和 410 延伸超出微盘 102 的直径的部分表示 WGM 沿微盘 102 的圆周的渐逝 (evanescence)。截面图 412 示出外围环形区被 WGM 占据的部分 124 和 126。虚线椭圆 414 和 416 示出 WGM 向波导 114 和 116 内的渐逝耦合 (evanescent coupling)。因为 ER 将被限制在较高折射率的区域中,所以电流隔离区 128 同时提供电流和光隔离。

[0036] 图 5A 示出根据本发明实施例的第二微谐振器系统 500 的立体图。微谐振器系统 500 与图 1 所示的微谐振器系统 100 基本相同,除了第一电极 108 被微环电极 502 替换,而且第三电极(未示出)毗邻微盘 102 定位在衬底 106 的顶表面层 104 上。图 5B 示出根据本发明实施例的图 5A 中所示的微谐振器系统 500 沿直线 5B-5B 的截面图。如图 5B 所示,微环电极 502 定位在微盘 102 的顶面的至少一部分之上并覆盖该至少一部分。第三电极 504 毗邻微盘 102 定位,并经由顶表面层 104 与底层 120 电连接。

[0037] 因为微环电极 502 位于微盘 102 的外围区的一部分之上,所以微环电极 502 与电极 112 和 504 之间的电流的路径比图 4A 中所示路径 402 的路径更直接。图 6A 示出根据本发明实施例的代表微环电极 502 与 112 和 504 之间的电流的路径 602 和 604。路径 602 和 604 代表电流在微环电极 502 与第二和第三电极 112 和 504 之间流动的比路径 402 更直接或电阻更低的路径。如图 6B 所示,WGM 在微盘 102 的外围区中的实质限制和 WGM 向波导 114 和 116 中的渐逝耦合与以上参照图 4B 所提供的描述相同。

[0038] 微盘 102 可用作产生在波导 114 和 116 中发射的相干 ER 的激光器。激光器包括三个基本组件:增益介质或放大器;泵浦;以及光学腔内部的 ER 反馈。中间层 122 的量子阱构成增益介质,施加给电极 108 和 112 的电流或电压是泵浦,以及当通过泵浦中间层 122 的量子阱产生的 WGM 在微盘 102 的圆周附近传播时通过全内反射产生反馈。

[0039] 增益介质可由具有合适带隙的至少一个量子阱组成。量子阱大小和包围量子阱的体材料确定量子阱中电子状态的能级间距。通常,量子阱被配置成在价带中具有相对小数量的量子化电子能级,而在导带中具有几个量子化空穴能级。从导带中的最低能级跃迁到价带中的能级的电子确定增益介质的发射波长 λ 。图 7A 示出与基于宽度为 a 的量子阱的增益介质的量子化电子能量状态相关联的能级图 700。带隙能量为 E_g 的较窄区 702 对应于量子阱,而带隙能量为 \bar{E}_g 的较宽区 704 和 706 对应于包围该量子阱的体材料。如图 7A 所示,该量子阱在导带中具有空穴能级 708,而在价带中具有三个电子能级 710-712。因为增益介质包括半导体材料,所以诸如电泵浦之类的适当的电刺激促使电子从价带进入导带中的量子化能级,诸如空穴能级 708。导带中的电子与价带中的空穴的自发复合产生光子发

射,该光子具有由 hc/λ 给出的能量,其中 h 是普朗克常数,而 c 是 ER 在真空中的速度。由于在 WGM 中光子刺激增益介质而产生相同能量或波长的更多光子,所以产生受激发射。在自发和受激发光中,所发出的 ER 的能量为:

$$[0040] \quad E_2 - E_1 = \frac{hc}{\lambda}$$

[0041] 其中 E_2 是已经被泵浦到导带中的电子的能级 708,而 E_1 是与价带中与来自导带的电子复合的空穴相关联的能级 710。只要对增益介质施加电泵浦,微盘 102 内的全内反射所引起的反馈就使 WGM 的强度增强。当微盘 102 内部的增益等于损耗时,出现激射。微盘 102 形成具有增益的光腔,而波导 114 和 116 将 ER 耦合出微盘 102。

[0042] 图 7B 示出根据本发明实施例的作为激光器工作的图 1 中所示的第一微谐振器系统的示意图。如图 7B 所示,电极 108 和 112 连接至电流源 710。如以上参照图 7A 所描述的那样,通过利用电流源 710 提供的适当大小的电流来泵浦微盘 102,微盘 102 的量子阱层可作为增益介质工作。因此,在微盘 102 内产生具有波长 λ 的 WGM,而当 WGM 的强度增加时,全内反射使 WGM 在微盘 102 的圆周附近传播。WGM 渐渐耦合到波导 114 和 116 中,从而产生在波导 114 和 116 中传播的波长为 λ 的 ER。

[0043] 图 8A 示出根据本发明实施例的作为调制器工作的图 1 中所示的微谐振器系统的示意图。电流源 710 连接至数据源 802,该数据源 802 可以是中央处理单元、存储器或另一数据产生设备。ER 源 804 耦合至波导 116,并发射强度随时间基本恒定的 ER,如图 8B 所示。返回图 8A,耦合到微盘 102 中的 ER 的量取决于微盘 102 内的失谐、耦合系数以及损耗。当源 804 发射的 ER 的波长 λ 与微盘 102 的谐振失谐时,ER 不会从波导 116 耦合到微盘 102 中。当 ER 的波长 λ 与微盘 102 谐振时,在波导 116 中传播的 ER 的传输减弱,因为 ER 被渐渐耦合到微盘 102 中,从而产生 WGM。在波导 116 中传输的 ER 的一部分渐渐耦合到位于波导 116 上的微盘 102 的外围区中,并作为波长为 λ 的 WGM 在该外围区中传播。数据源 802 通过调制电流源 710 产生的电流的大小来编码 WGM 中的数据。调制电极 108 与 112 之间传送的电流的大小使微盘 102 的折射率相应地变化。当微盘 102 的折射率变化时,微盘 102 的谐振波长变化,从而引起与波导 116 中发送的 ER 的谐振波长失谐。这又调制了 ER 从波导 116 向微盘 102 中的发射,并随之调制了在波导 116 中传输的 ER 的强度。当波导 114 存在时,ER 可从输入波导 116 经由微盘 102 转移至波导 114。转移至波导 114 的 ER 量取决于耦合强度。调制微盘 102 的折射率导致传输至波导 114 的 ER 的强度降低。技术人员通过调节微环 102 内部的损耗也可调制波导 116 中 ER 的强度。这可通过利用量子限制斯塔克效应来实现,该效应通过施加电压调制量子阱的带隙。增大微盘 102 中的损耗调制通过微盘 102 传输到波导 114 和 116 中的强度。

[0044] 图 8C 示出经调制 ER 的强度与时间的关系,其中相对较低的强度区 806 和 808 对应于微盘 102 上引入的相对较高的折射率。通过将二进制数字分配给相对强度,可使用这些相对强度来编码信息。例如,二进制数字“0”在光信号中可通过诸如强度区 806 和 808 之类的低强度表示,而二进制数字“1”可在同一光信号中通过诸如强度区 810 和 812 之类的相对高强度表示。

[0045] 图 9 示出根据本发明实施例作为光检测器工作的图 1 所示的第一微谐振器系统的示意图。在该构造中,量子阱的带隙被选择成小于波导 116 中传输的输入 ER 的辐射源。可

对电极施加反向偏压,以使微谐振器内部出现电场。耦合至微谐振器的输入 ER 将在量子阱内被吸收,从而产生电子空穴对。微环内的电场使得这些电子和空穴分离,而且电极 108 和 112 处产生电流。经调制的 ER $\bar{\lambda}$ 编码信息在波导 116 中传输。该 ER 渐逝耦合到微盘 102 的外围区中,从而产生相应的经调制 WGM。在外围区中传播的 WGM 的强度中的波动在电极 108 与 112 之间引入了相应的波动电流。该波动电流是编码了经调制 ER 中编码的相同数据的电信号,该电信号由计算设备 902 处理。

[0046] 图 10A-10K 示出与根据本发明实施例的用于制造图 1 所示的微谐振器系统 100 的方法相关联的立体图和截面图。图 10A 示出第一结构 1000 的立体图,其包括由磷基晶片 1010 支承的顶层 1002、中间层 1004、底层 1006 以及蚀刻停止层 1008。层 1002 和 1006 可分别由诸如用 Si 和 Zn 掺杂的 InP 或 GaP 之类的 n 型和 p 型 III-V 族半导体构成。如以上参照图 2 所描述的那样,中间层 1004 包括至少一个量子阱。蚀刻停止层 1008 可以是晶格匹配 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 的薄层。可使用分子束外延 (“MBE”)、液相外延 (“LPE”)、氢化物汽相外延 (“HVPE”)、金属有机物汽相外延 (“MOVPE”) 或任一合适的外延法来沉积层 1002、1004 以及 1006。图 10B 示出层 1002、1004、1006、1008 以及晶片 1010 的截面图。

[0047] 接着,如图 10C 的截面图所示,可使用溅射来在顶层 1002 上沉积氧化物层 1012。如以下参照图 10G 所描述的那样,可使用氧化物层 1012 来便于顶层 1002 向衬底 106 上的晶片键合。层 1012 可以是 SiO_2 、 Si_3N_4 、或显著增强对衬底 106 的晶片键合的另一合适的介电材料。

[0048] 图 10D 示出在氧化物衬底层 1018 上具有 Si 层 1016 的绝缘体上硅衬底 (“SOI”) 晶片 1014。可如下地在 Si 层 1016 中制造硅波导 114 和 116。可在 Si 层 1016 上沉积光致抗蚀剂,并使用 UV 光刻技术在该光致抗蚀剂中形成波导 114 和 116 的光致抗蚀剂掩模。然后可使用诸如感应耦合等离子体蚀刻剂 (“ICP”) 之类合适的蚀刻系统和低压高密度蚀刻系统利用基于 $\text{Cl}_2/\text{HBr}/\text{He}/\text{O}_2$ 的化学试剂在 Si 层 1014 中形成波导 114 和 116。在 Si 层 1016 中形成波导 114 和 116 之后,可使用溶剂来去除光致抗蚀剂掩模,从而留下波导 114 和 116,如图 10E 所示。可使用液相、化学汽相沉积在波导 114 和 116 上沉积由与衬底 1018 相同的氧化物材料构成的氧化层。化学机械抛光 (“CMP”) 工艺可用于使沉积的氧化物平坦化,以形成具有埋入波导 114 和 116 的衬底 106,如图 10F 中的衬底 106 的截面图所示。

[0049] 接着,如图 10G 中所示,将第一结构 1000 倒转,并利用晶片键合使氧化物层 1012 附连至衬底 106 的顶面。可使用选择性湿法蚀刻来去除层 1010,以获得如图 10H 所示的第二结构 1020。可包括蚀刻停止层 1008 以使蚀刻工艺在到达层 1006 时停止。还可使用盐酸去除 InP 基晶片 1010,因为在蚀刻停止层 1008 的 InP 与 InGaAs 之间存在蚀刻选择性。

[0050] 接着,可使用反应离子蚀刻 (“RIE”)、化学辅助离子束蚀刻 (“CAIBE”) 或感应耦合等离子体 (“ICP”) 蚀刻来将层 1002、1004 以及 1006 蚀刻成微盘 102 的形式,如图 10I 所示。层 1002 毗邻衬底 106 的部分被保留以形成顶表面层 104。

[0051] 图 10J 示出微盘 102 和衬底 106 沿如图 10I 所示的直线 10J-10J 的截面。使用通过杂质引入的无序化 (“IID”) 和退火在微盘 102 的中心区的至少一部分中形成电流隔离区 128。IID 方法在本领域众所周知,而且在 2002 年第 4 期第 8 卷的 IEEE 量子电子学选刊 (IEEE J. of Selected Topics in Quantum Electronics, Vol. 8, No. 4, 2002) 中的 E. J. Skogen 等人的“用于波长灵敏的光子集成电路的量子阱混杂工艺 (A quantum-well-intermixing

process for wavelength-agile photonic integrated circuits) ”中对 IID 方法进行了描述。IID 使引入了杂质的层 118、120 以及 122 的不同组分混杂。在退火之后,经混杂的区的带隙移动至相对较大的带隙。通过掩模化以及采用标准光刻工艺在期望区域中引入杂质。

[0052] 在 IID 之后,可在顶层 118 中注入掺杂剂以形成 p 型半导体顶层 118,因为 IID 还倾向于降低无序区域的掺杂水平。例如,Zn 用作由 InP 构成的顶层 118 的 p 型半导体掺杂剂。如图 10K 所示,可通过电子束蒸发沉积构成第一电极 108 和第二电极 112 的材料,并使用标准光刻工艺将它们形成图案以形成电极 108 和 112。可在第一电极 108 中使用诸如 AuZn 之类的具有 p 型掺杂剂的金属来获得 p 型触点,且可在第二电极 112 中使用诸如 AuGe 之类的具有 n 型掺杂剂的金属来获得 n 型触点 112。

[0053] 图 11A-11B 示出根据本发明实施例的与制造图 5 中所示的光子系统 500 的方法相关联的截面图。可如以上参照图 10A-10I 所描述的那样实现在衬底 106 中形成微盘 102 以及形成波导 114 和 116。如图 11A 所示,可如以上参照图 10K 那样沉积构成微环电极 502 和电极 112 以及 504 的材料并将它们形成图案。可在第一电极 108 中使用具有 p 型掺杂剂的金属来获得 p 型触点,且可在电极 112 和 504 中使用具有 n 型掺杂剂的金属来获得 n 型触点。接着,可将掩模层置于微环电极 502 之上,而且可使用 IID 在微盘 102 中形成电流隔离区 128。在 IID 之后,如以上参照图 10J 所描述的那样,可在顶层 118 中注入掺杂剂以形成 p 型顶层 118。

[0054] 为了进行说明,上述描述使用特定的术语来提供对本发明的透彻理解。然而对本领域普通技术人员显而易见的是,不需要这些特定细节来实施本发明。本发明的特定实施例的上述描述是为了说明和描述而给出。它们不旨在穷举或将本发明限制为所公开的精确形式。根据上述示教,许多修改和变体显然是可能的。示出和描述了实施例以最清楚地说明本发明的原理及其实际应用,从而使本领域普通技术人员能最好地利用本发明和多个实施例以及适合所构想的特定用途的多种修改。本发明的范围旨在由所附权利要求及其等价技术方案限定。

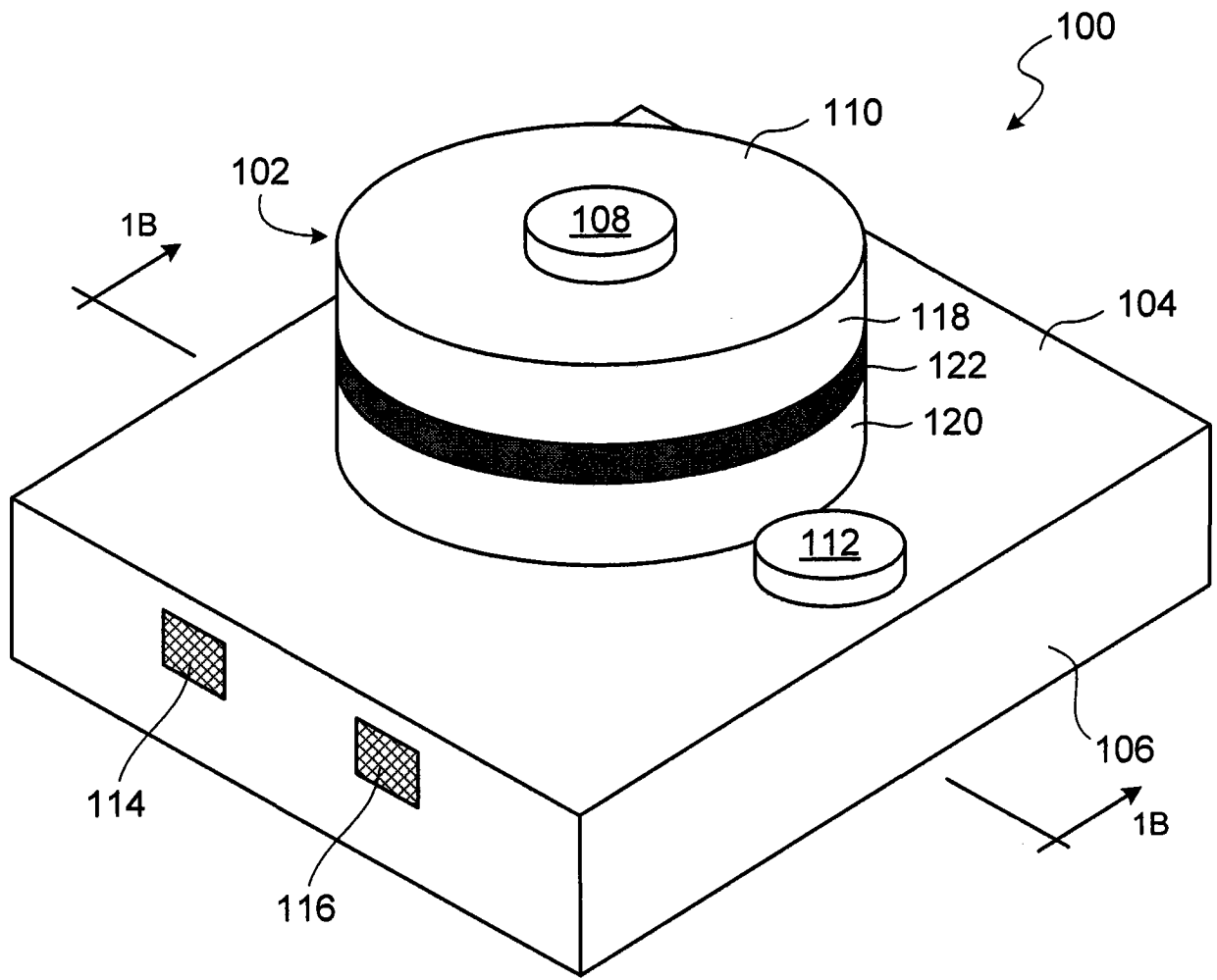


图 1A

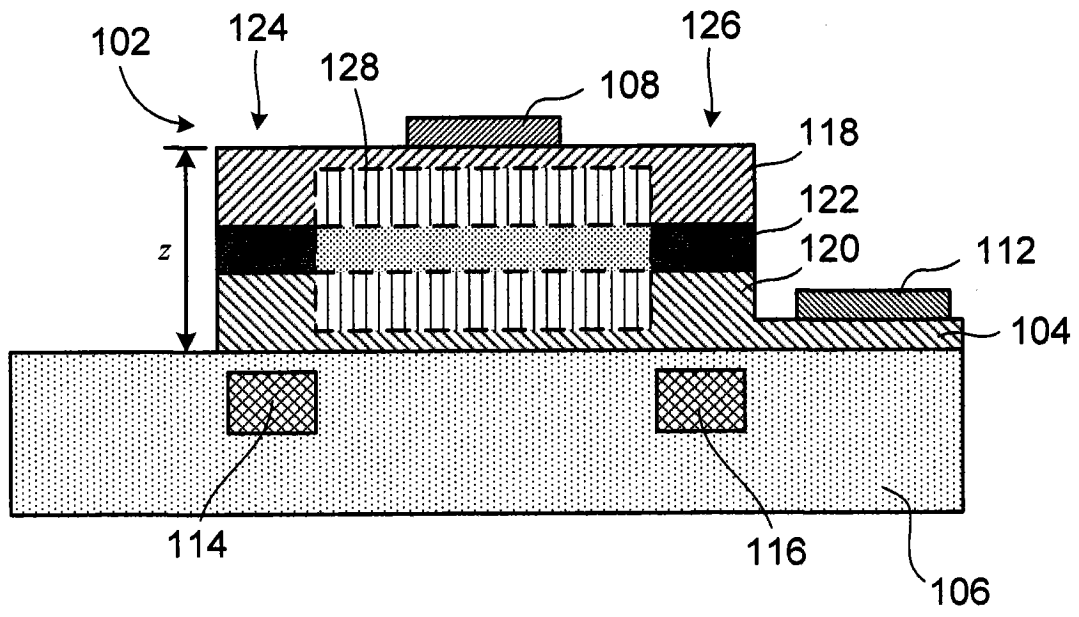


图 1B

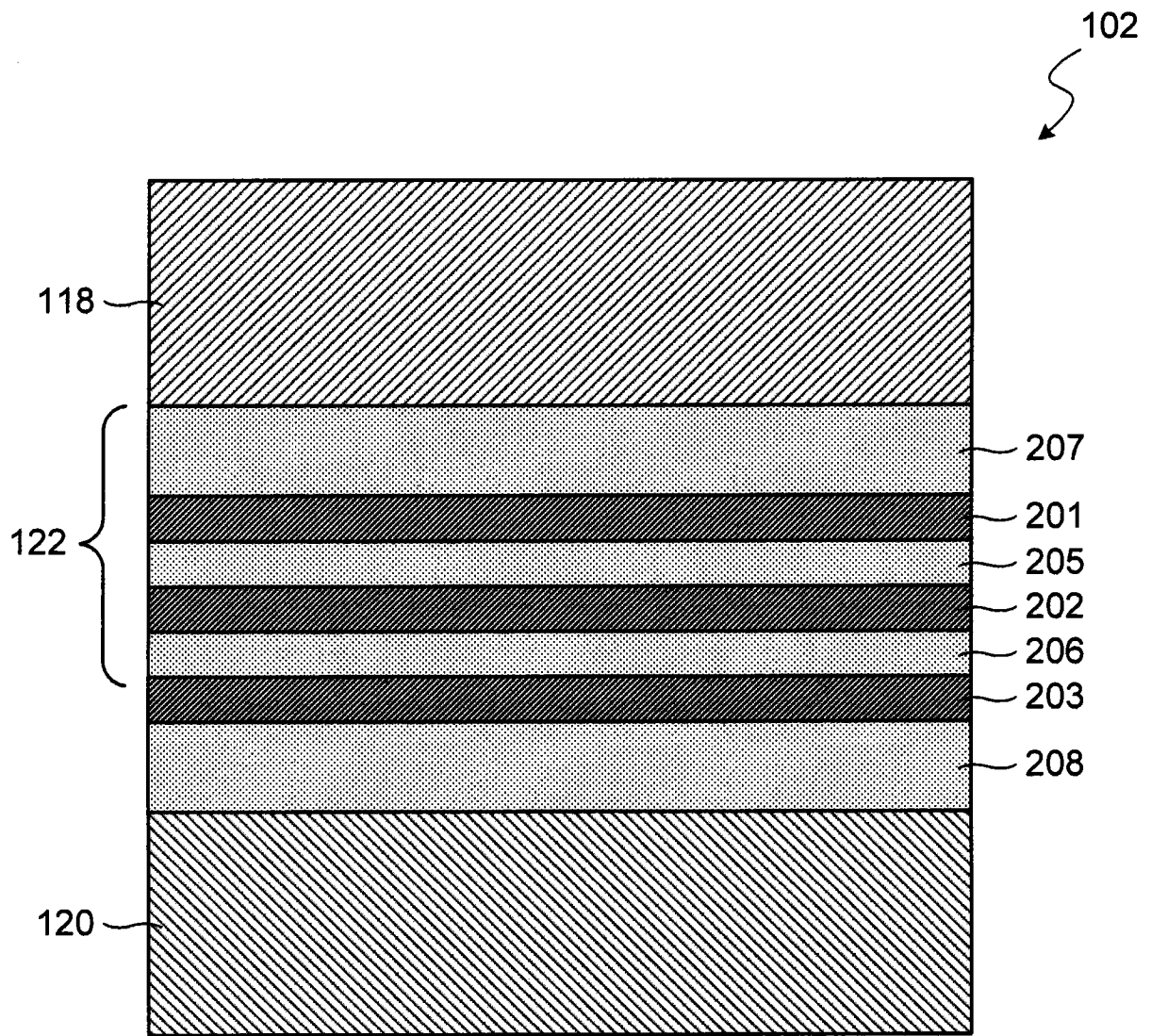


图 2

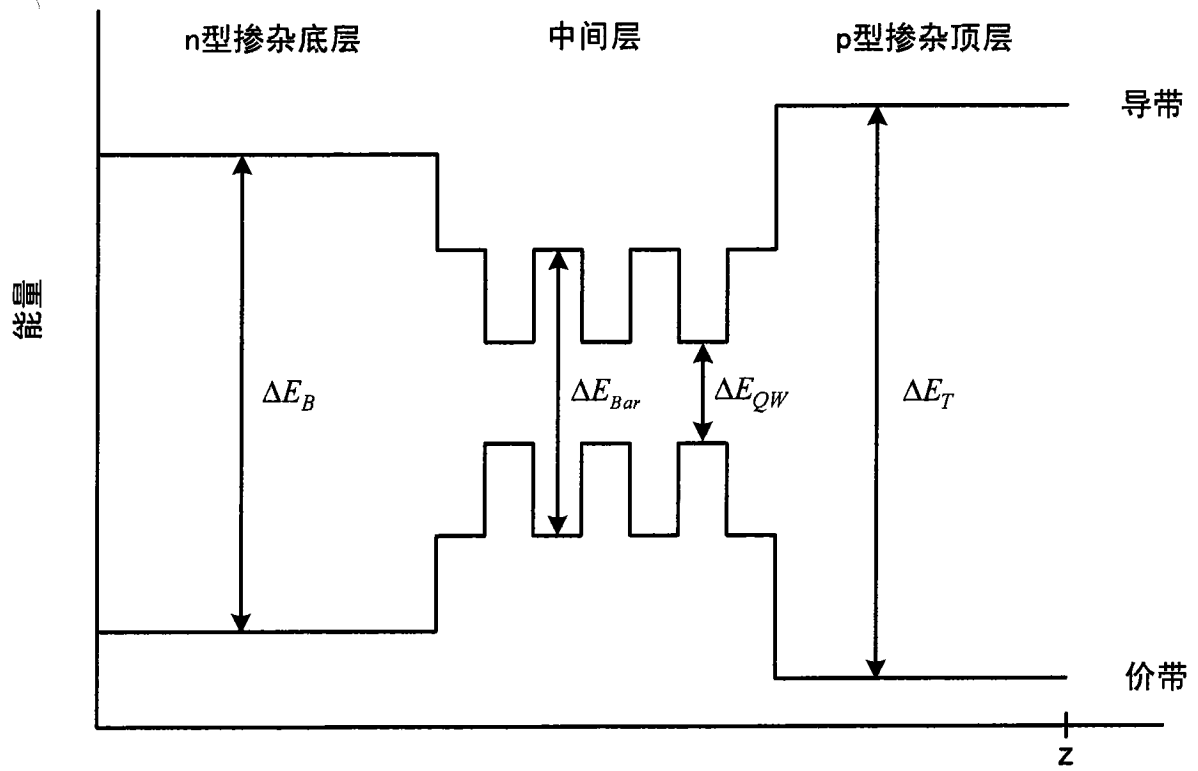


图 3A

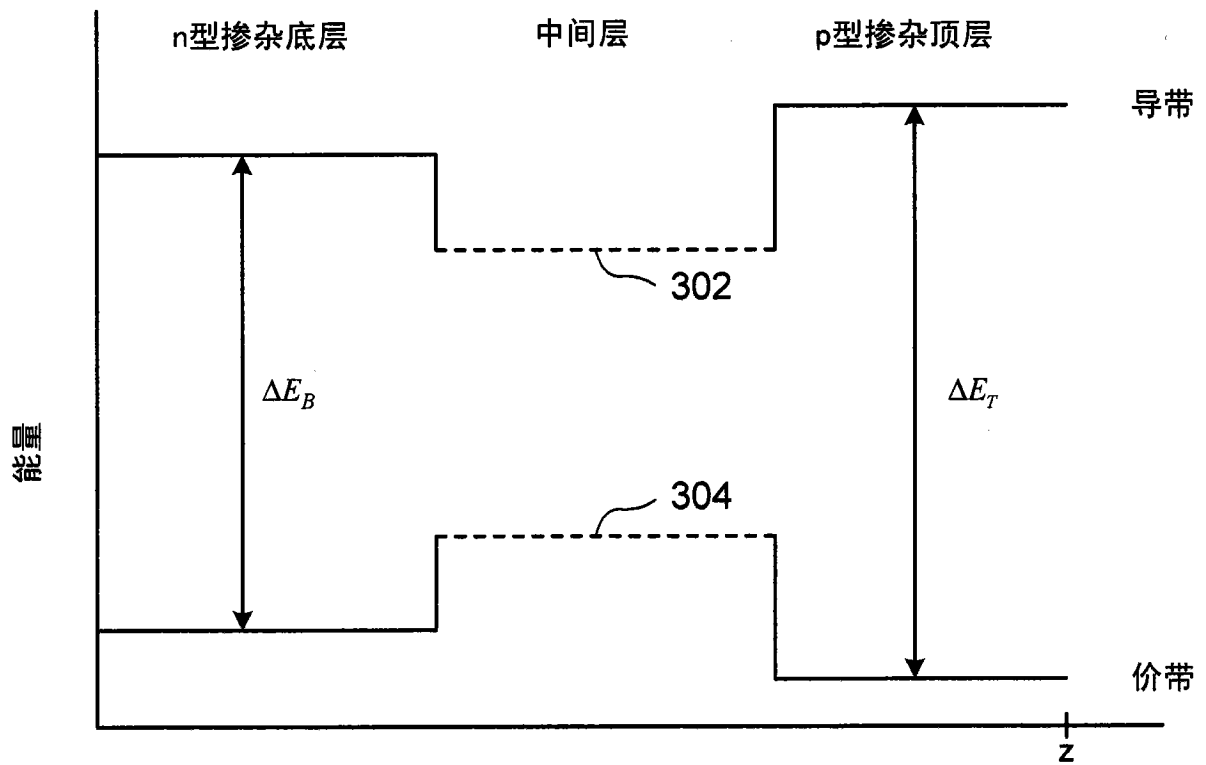


图 3B

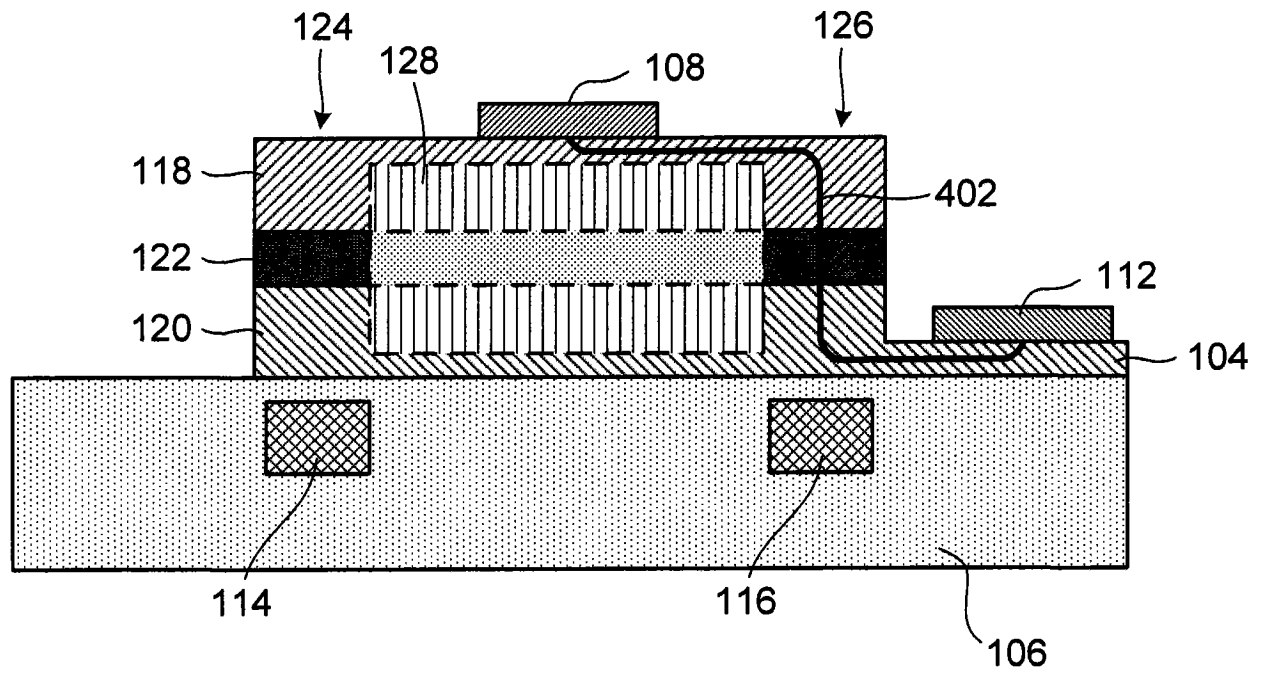


图 4A

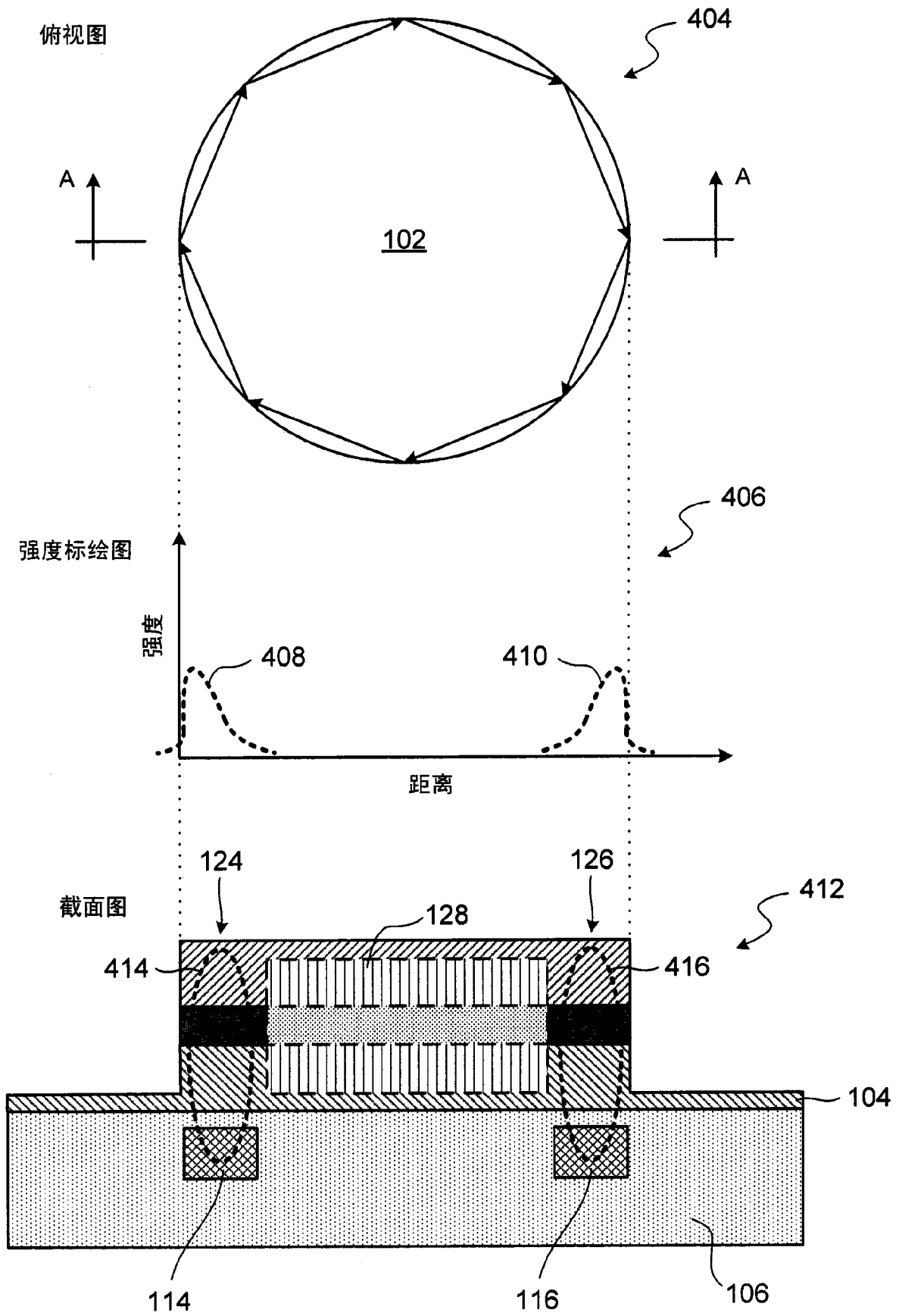


图 4B

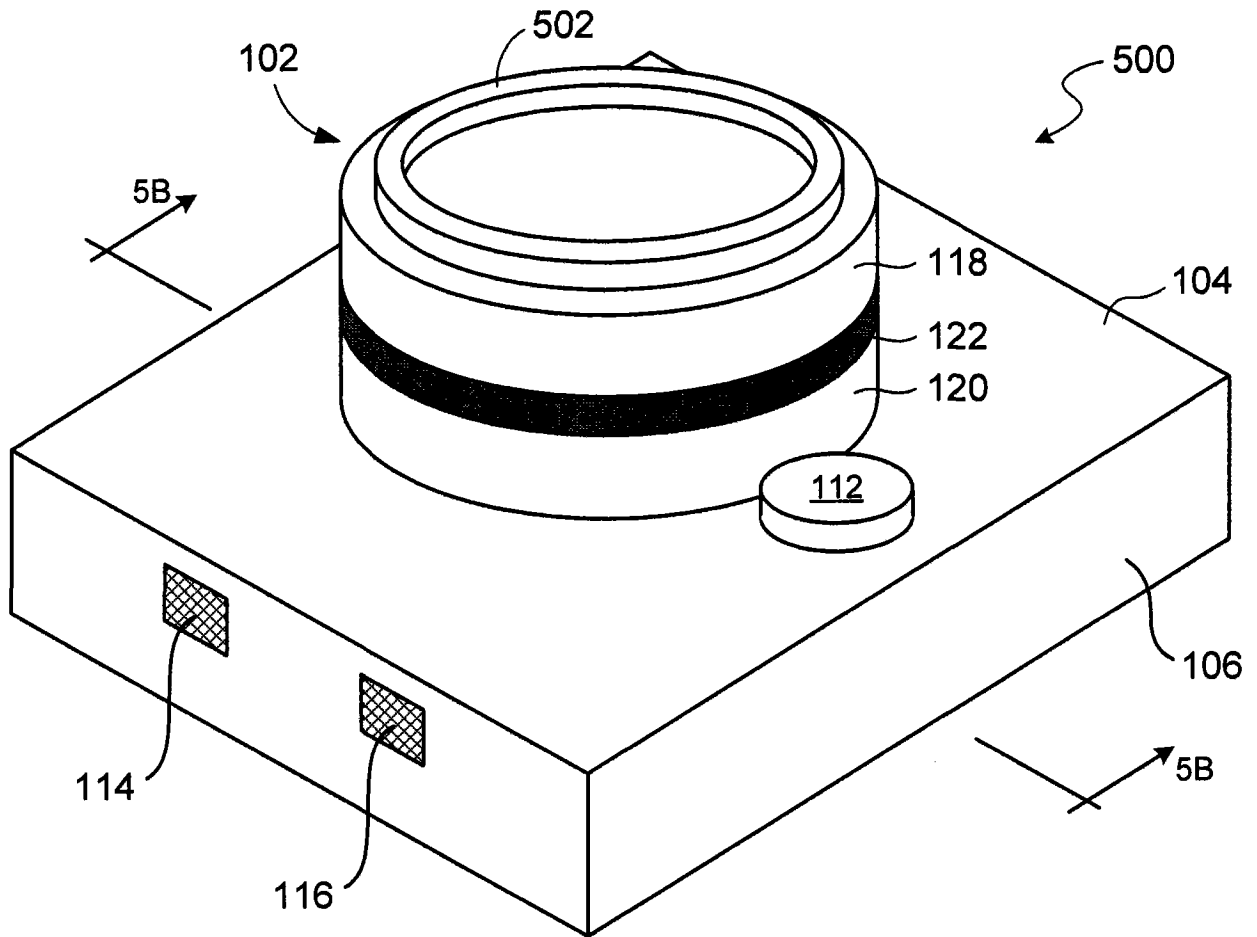


图 5A

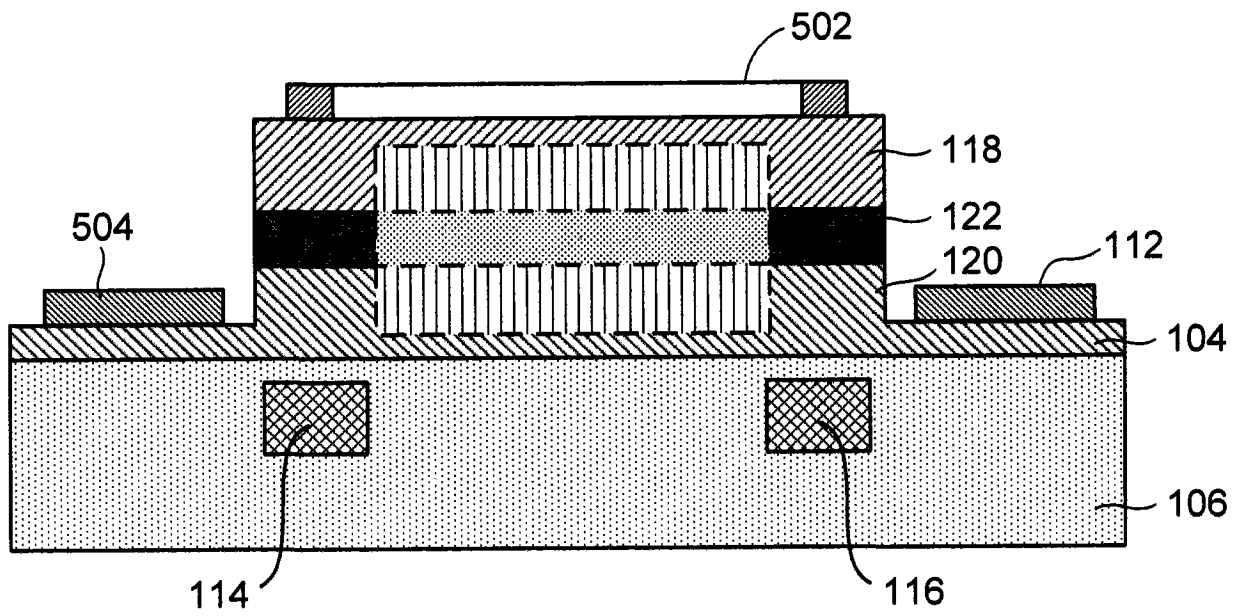


图 5B

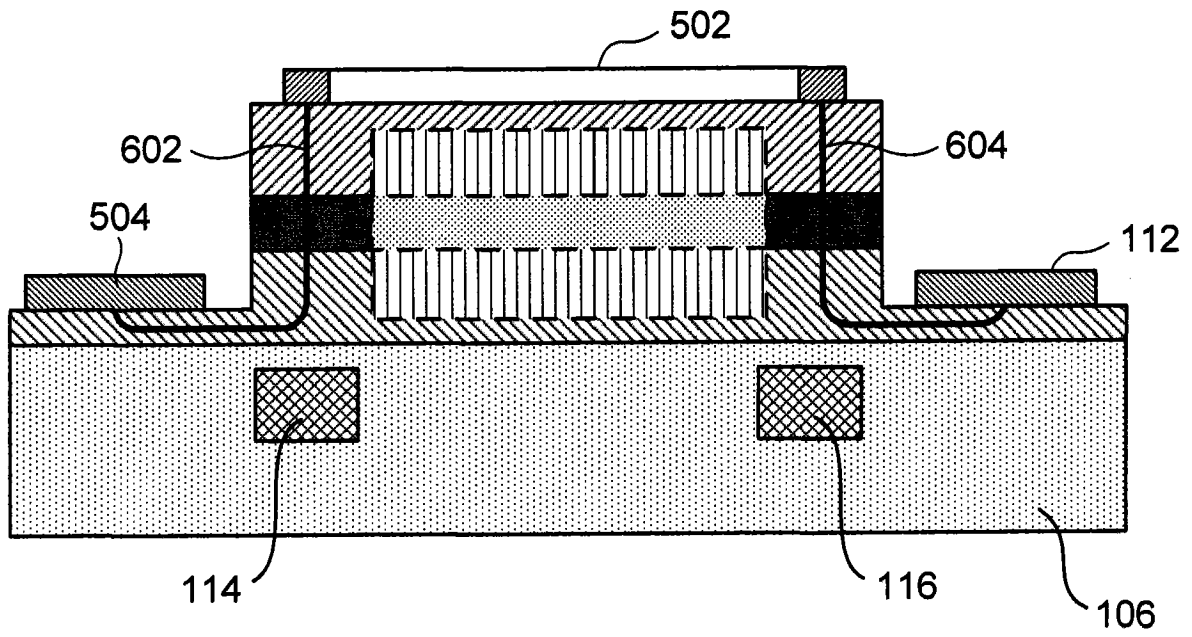


图 6A

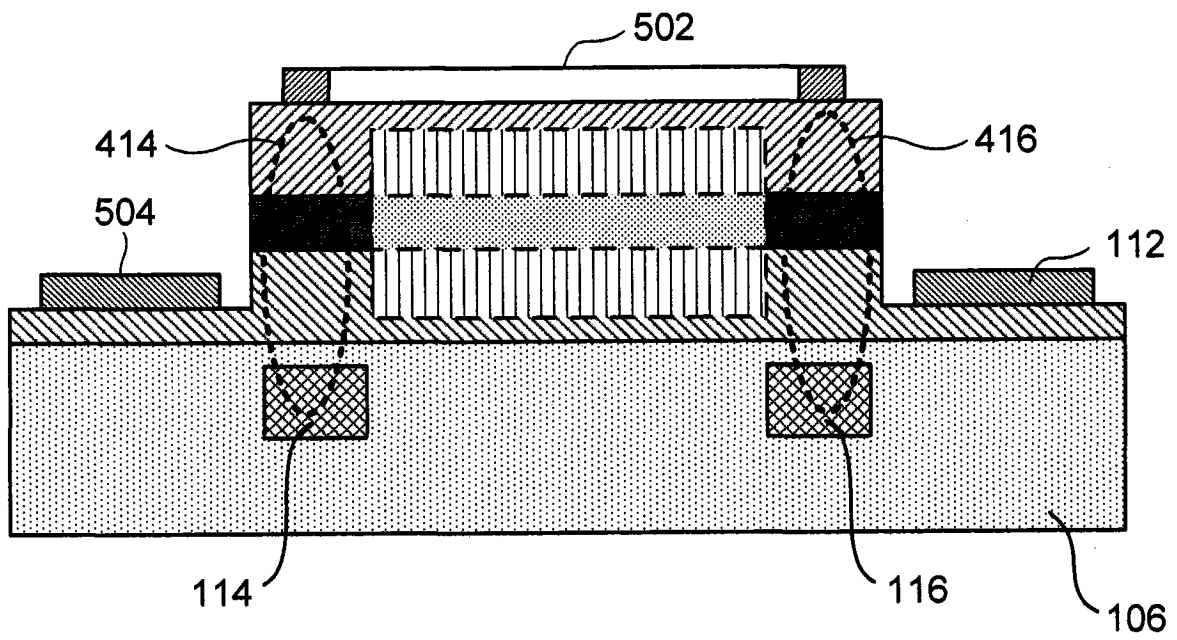


图 6B

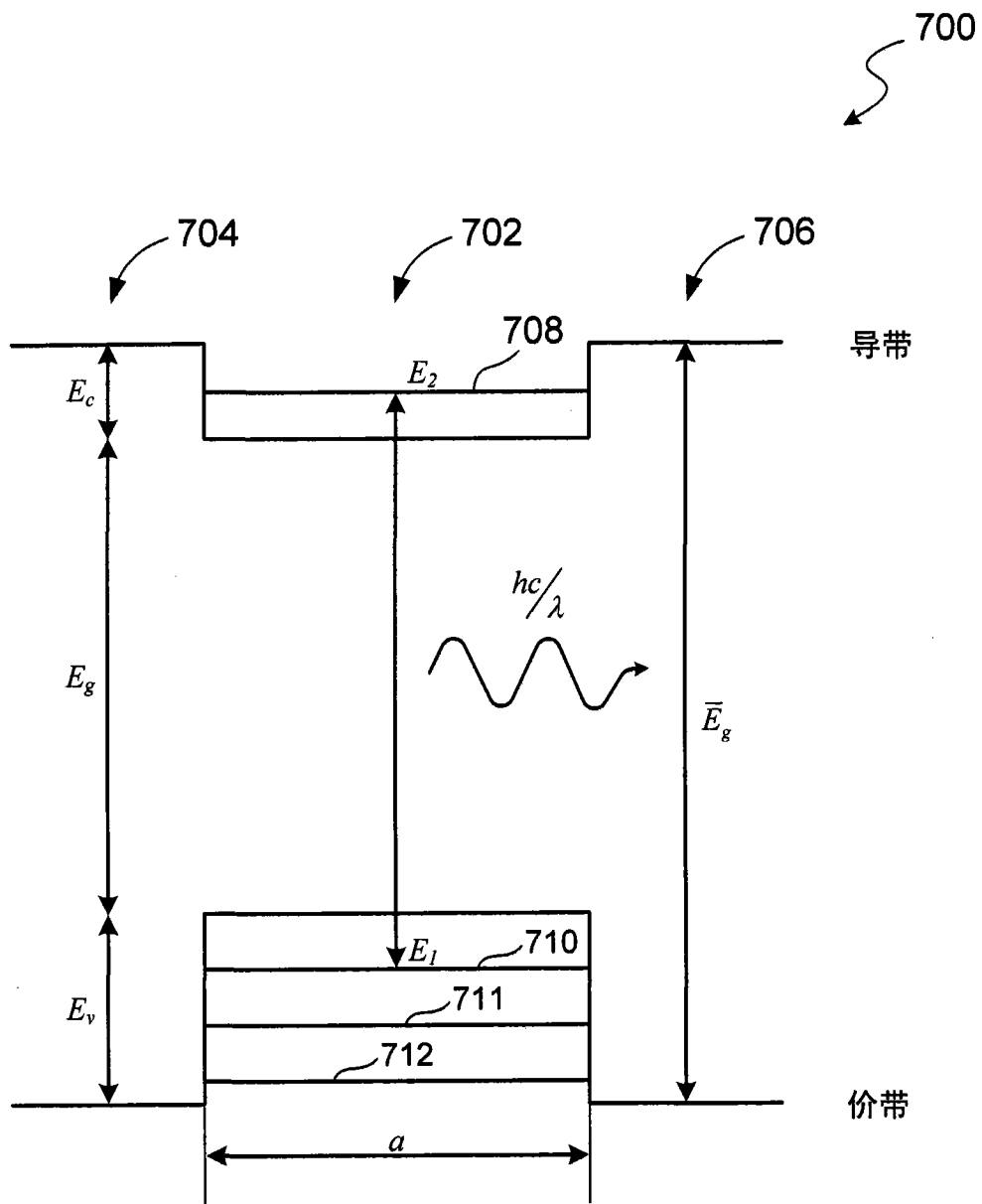


图 7A

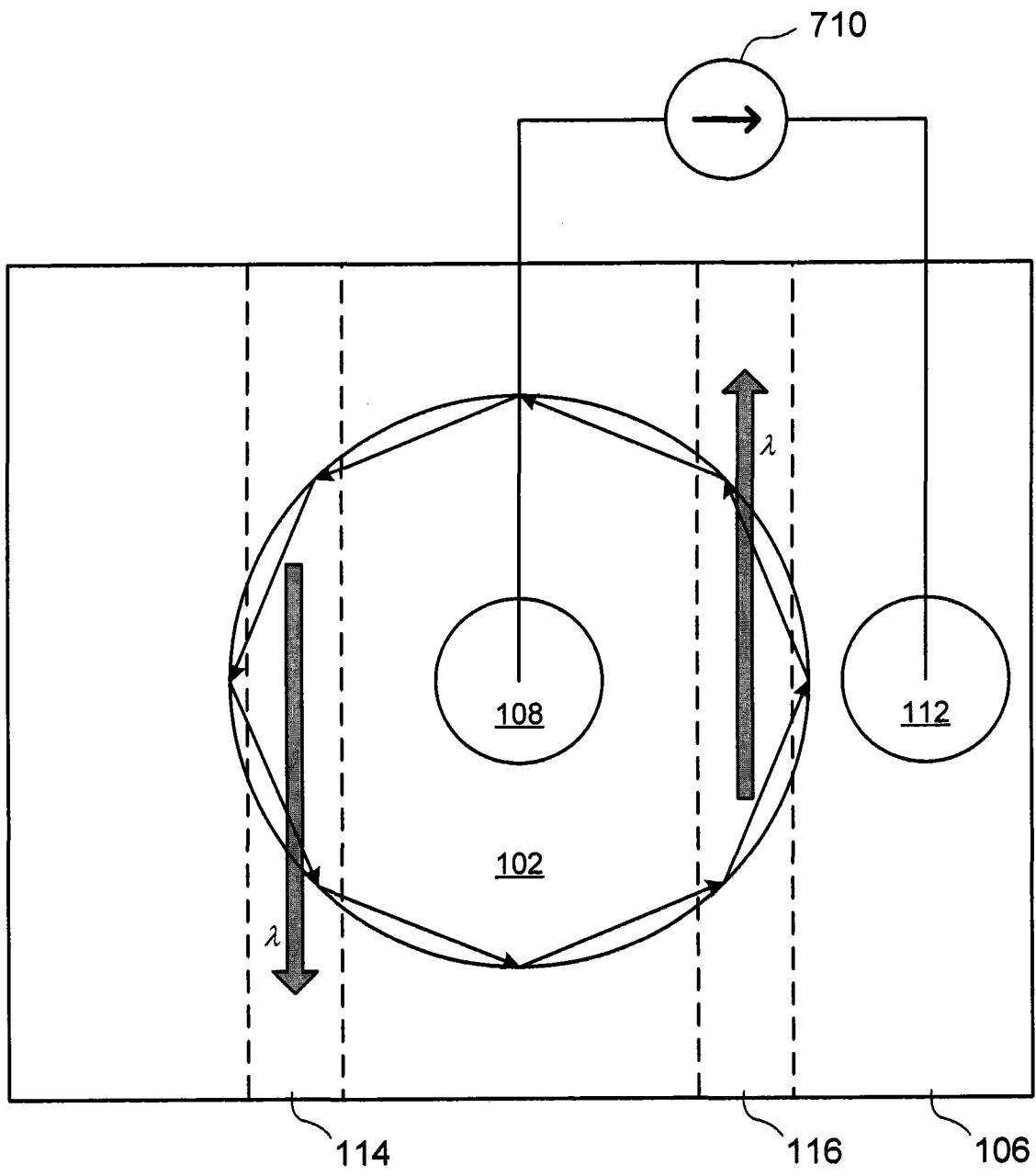


图 7B

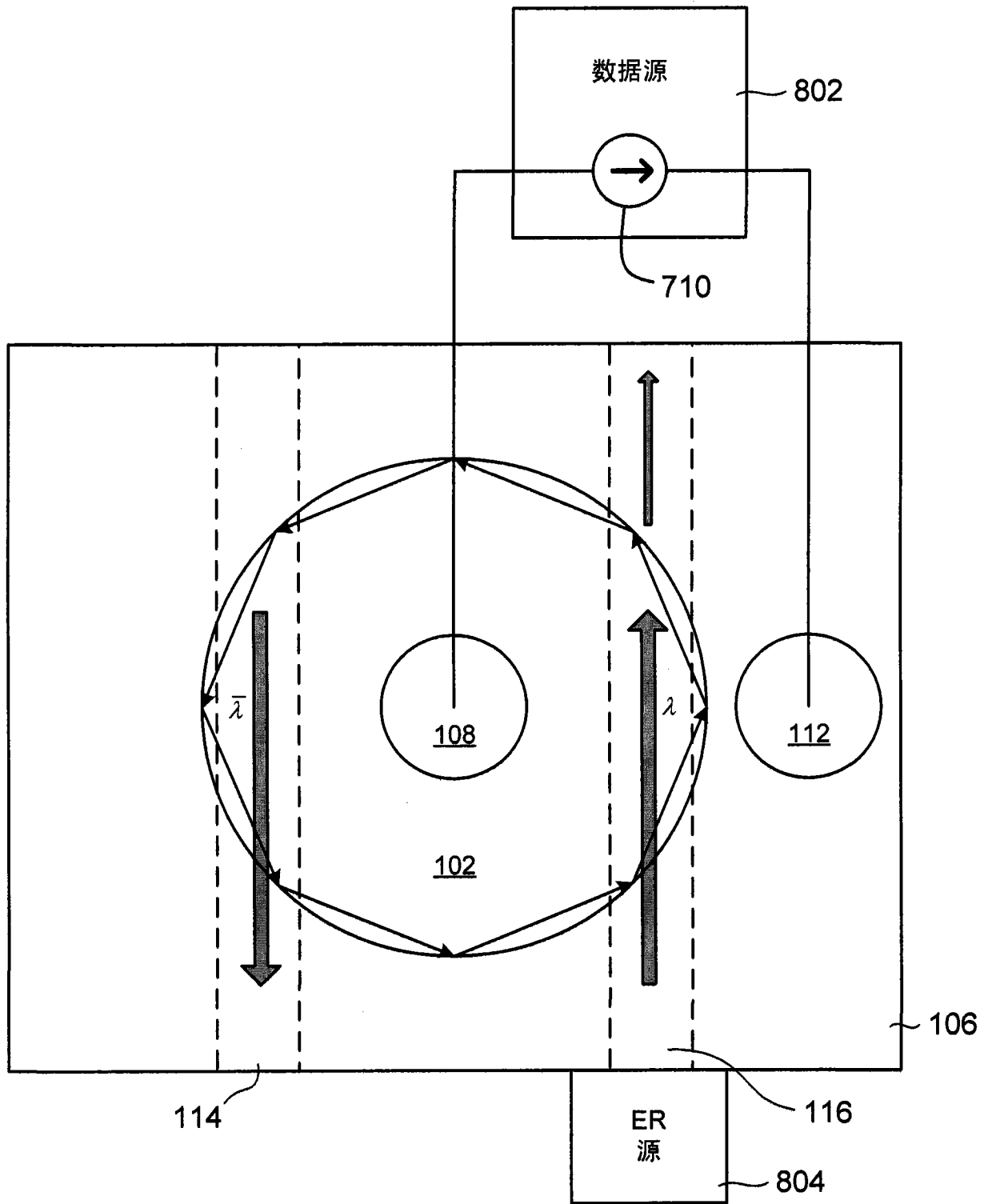


图 8A

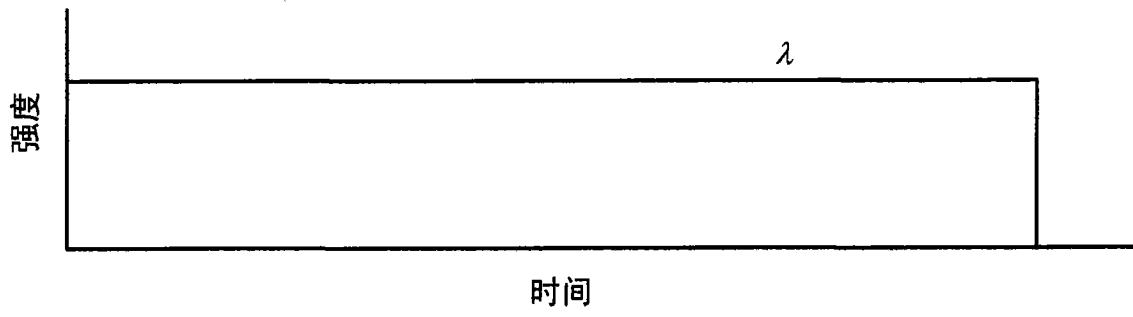


图 8B

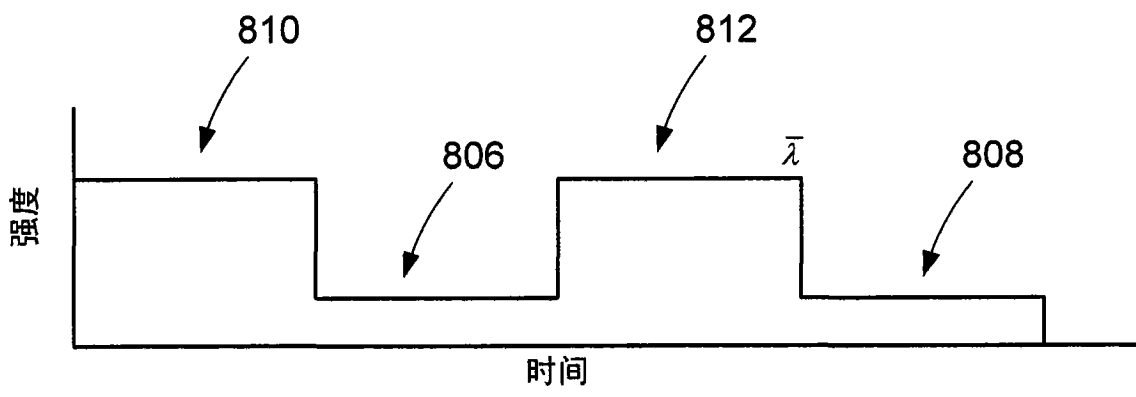


图 8C

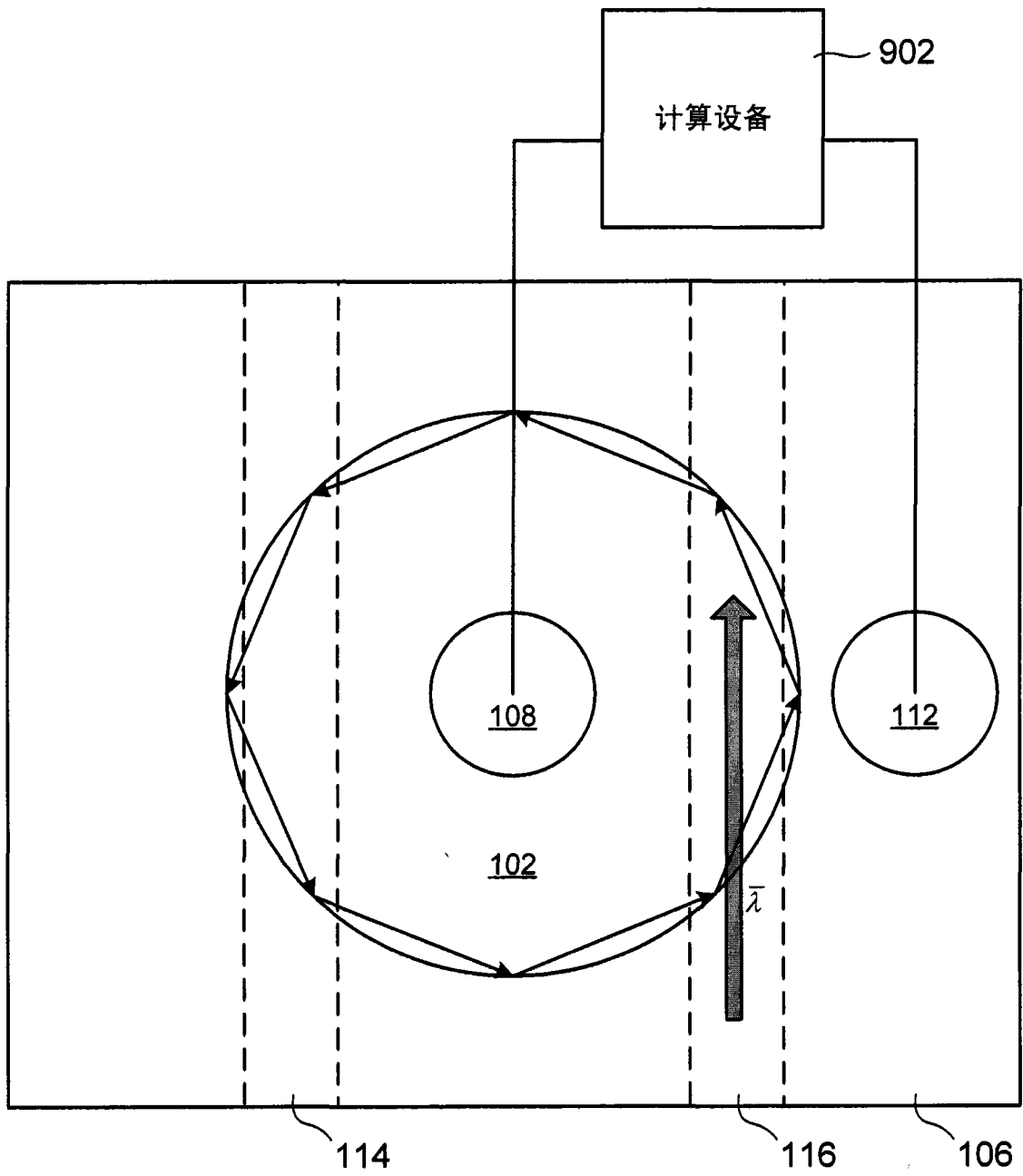


图 9

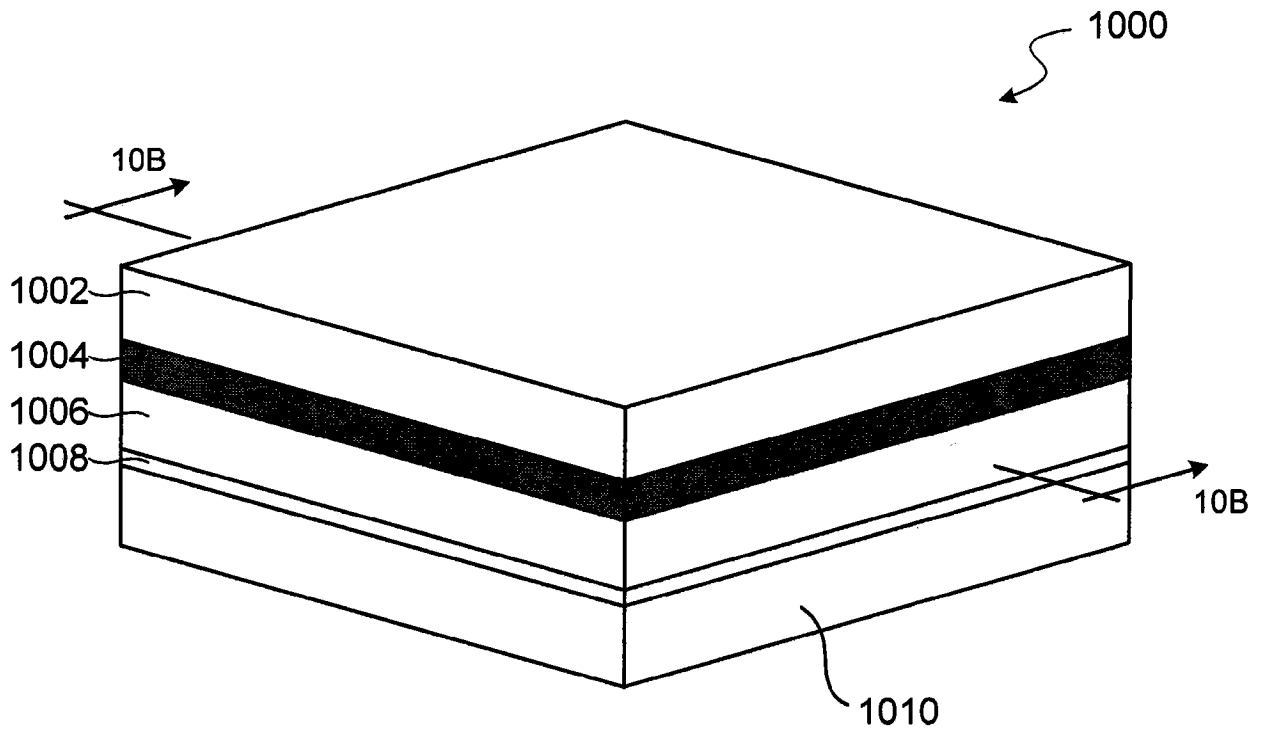


图 10A

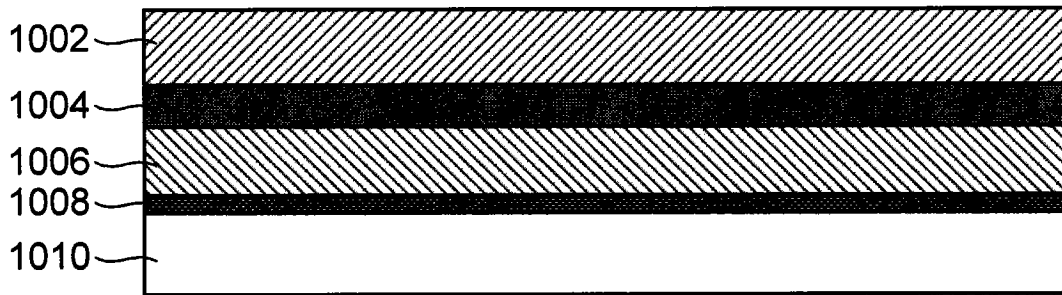


图 10B

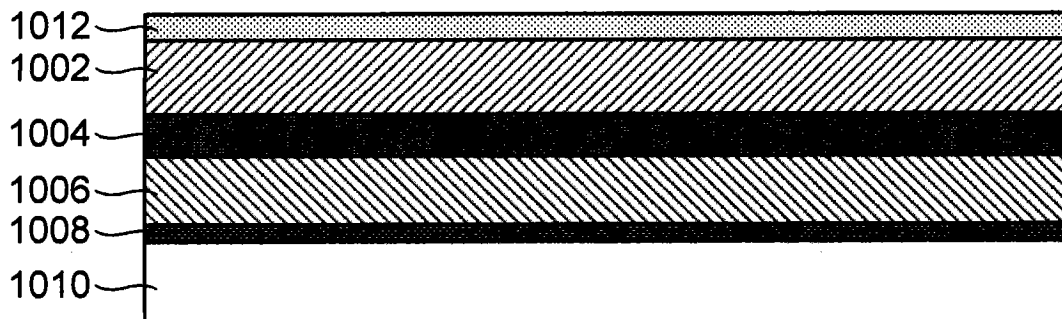


图 10C

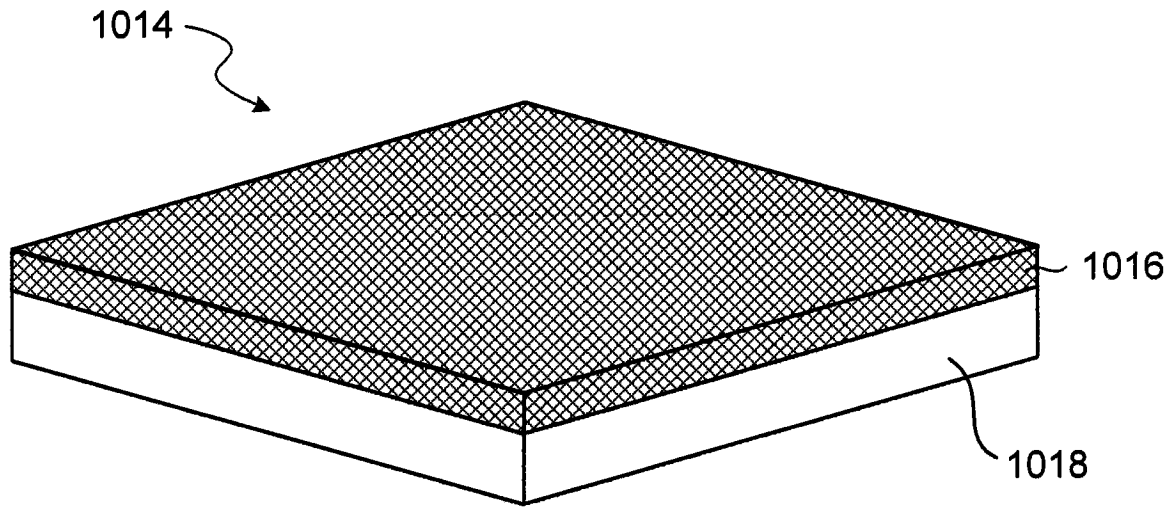


图 10D

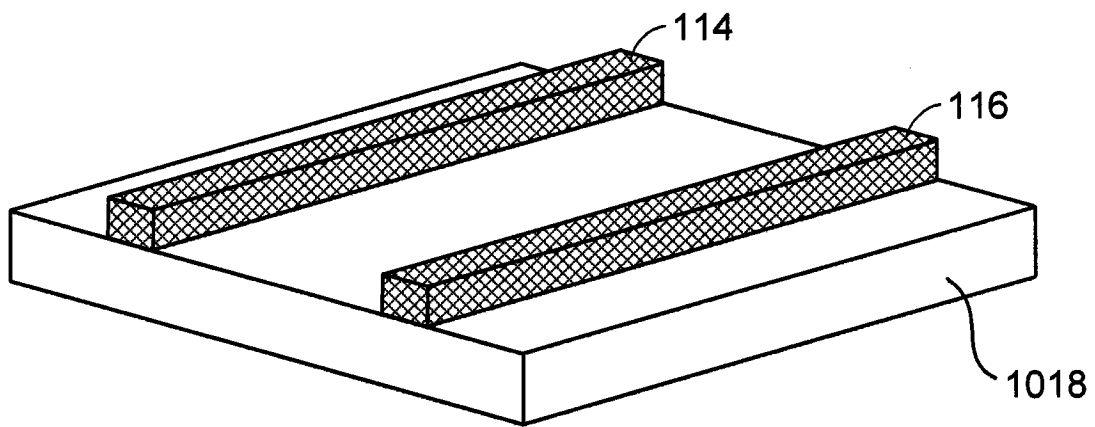


图 10E

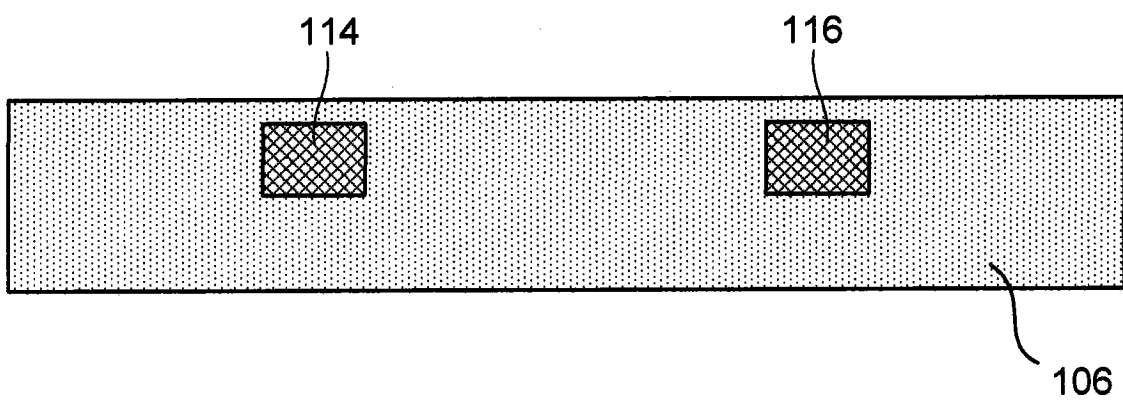


图 10F

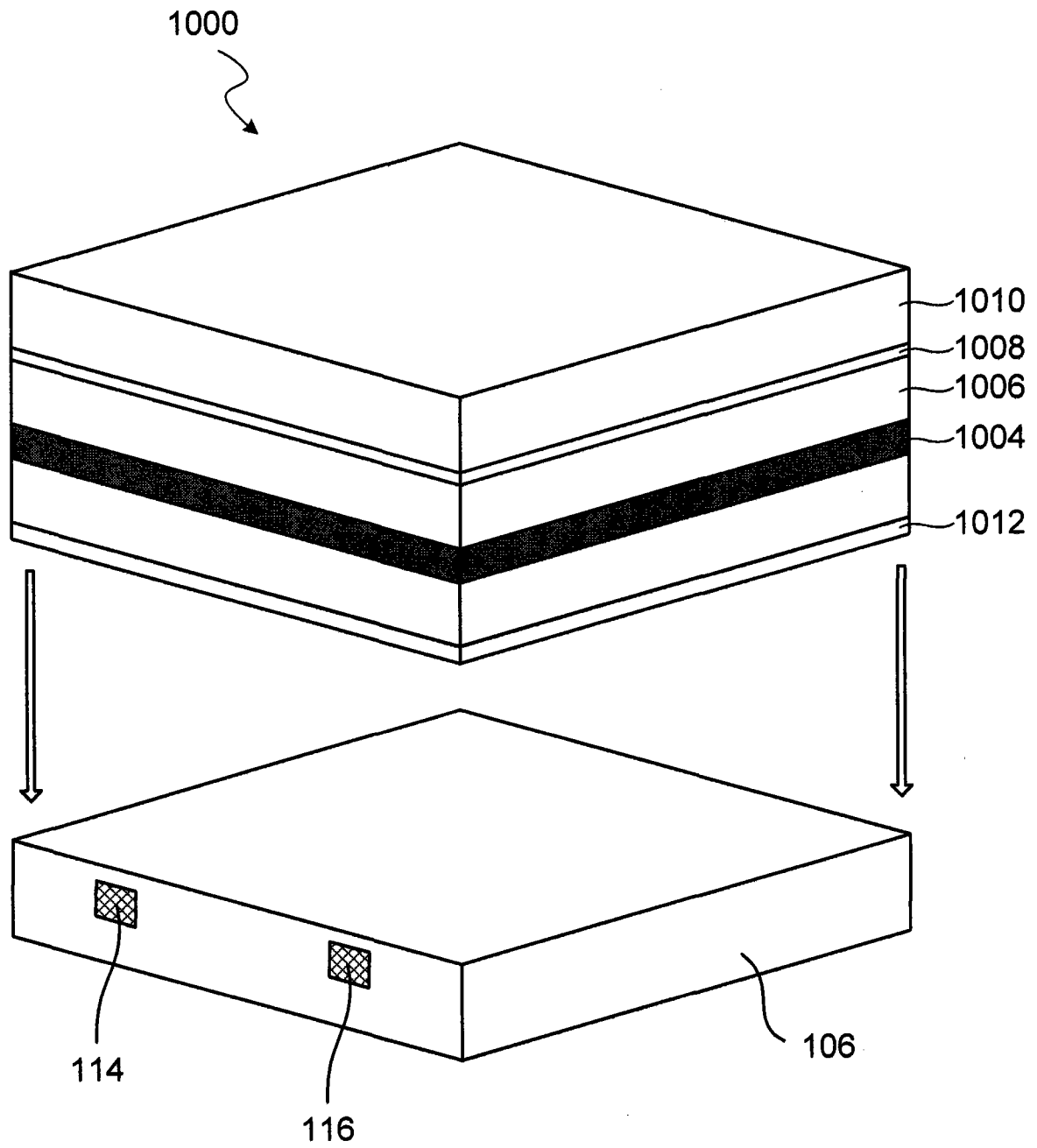


图 10G

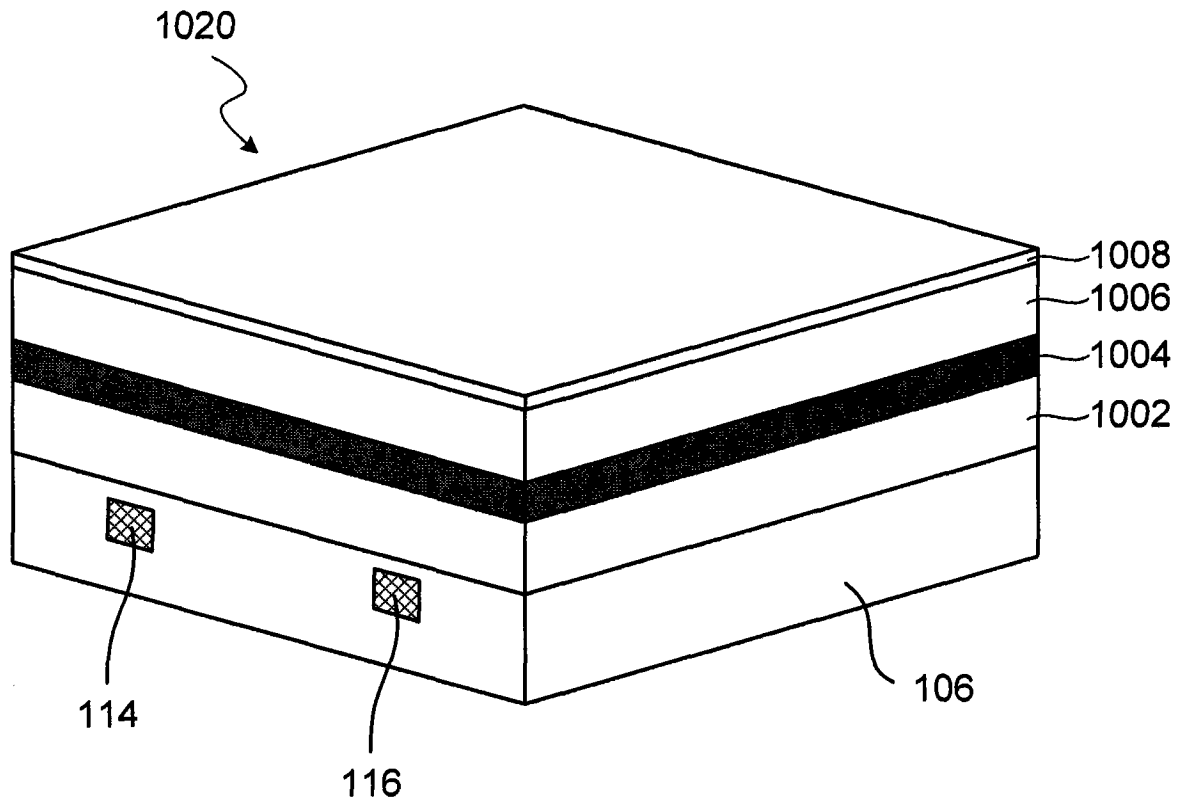


图 10H

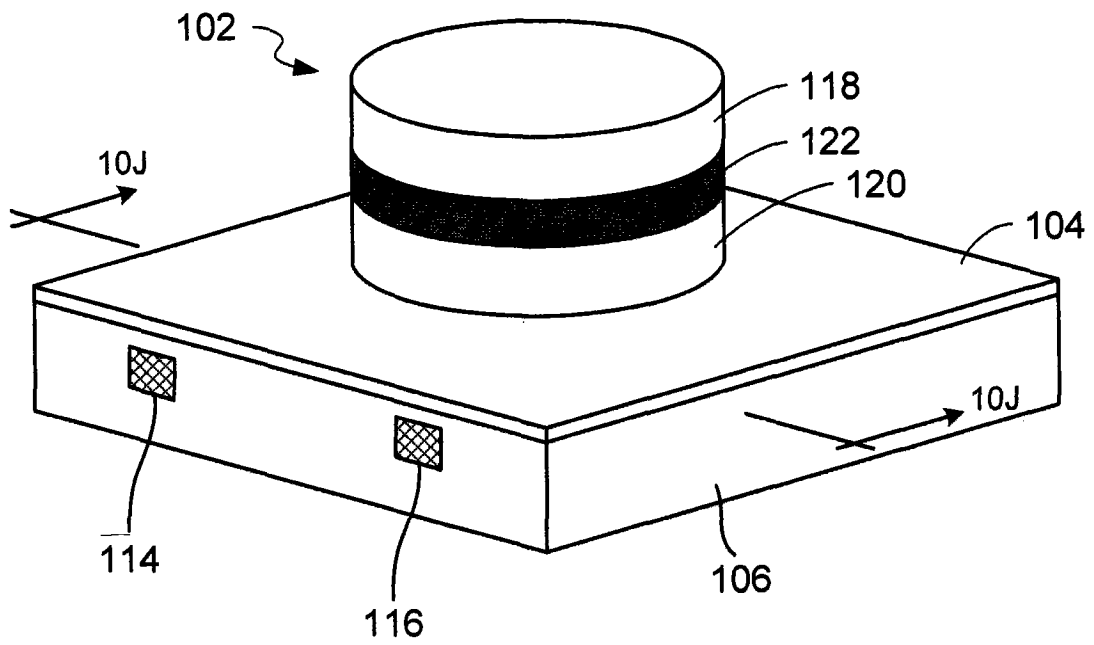


图 10I

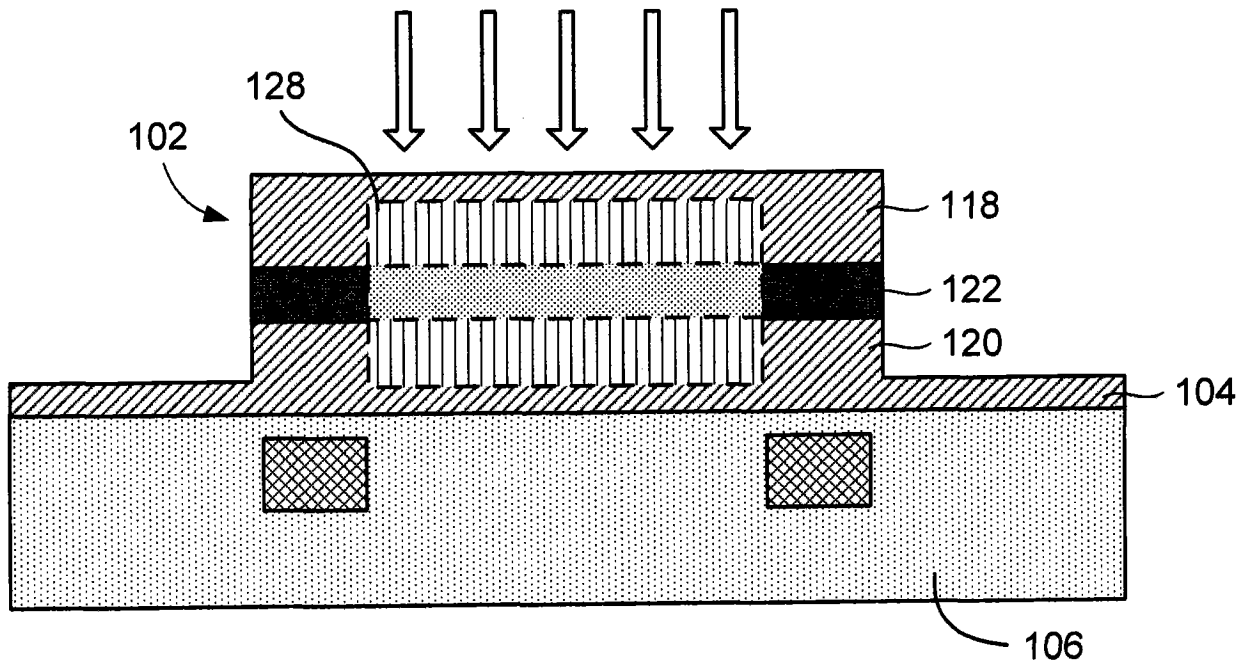


图 10J

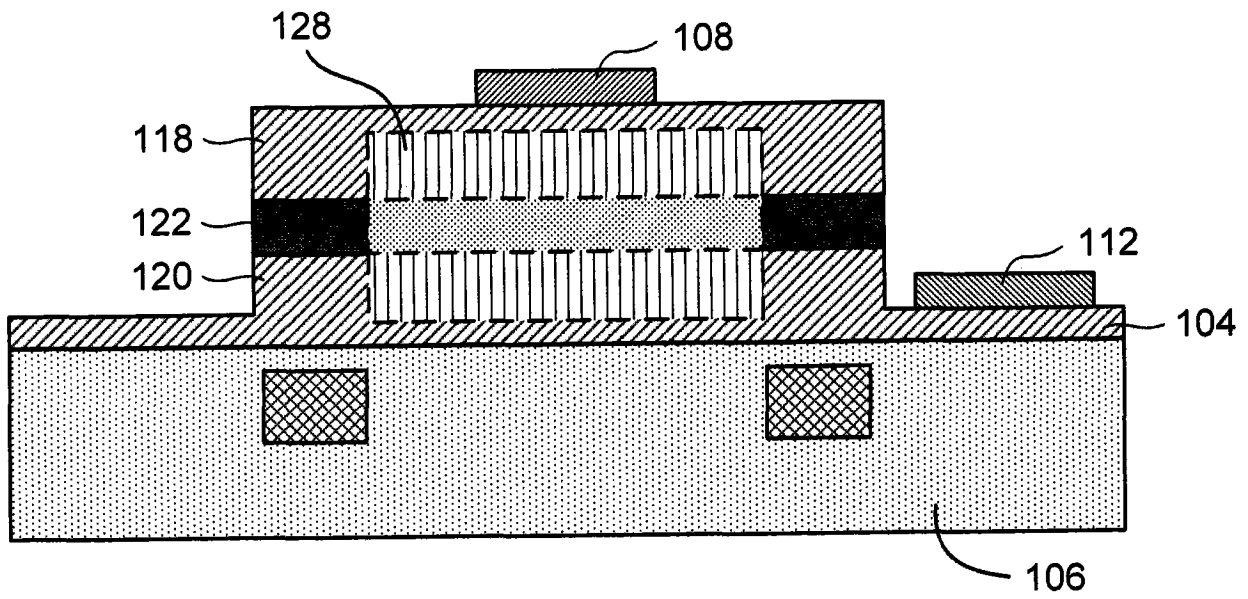


图 10K

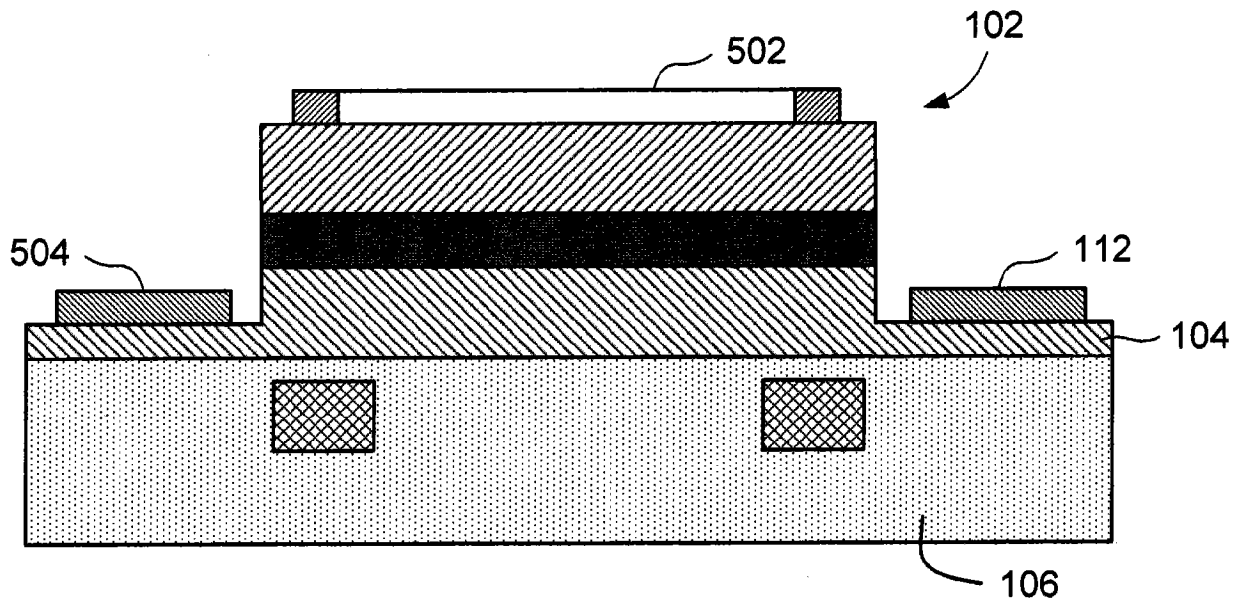


图 11A

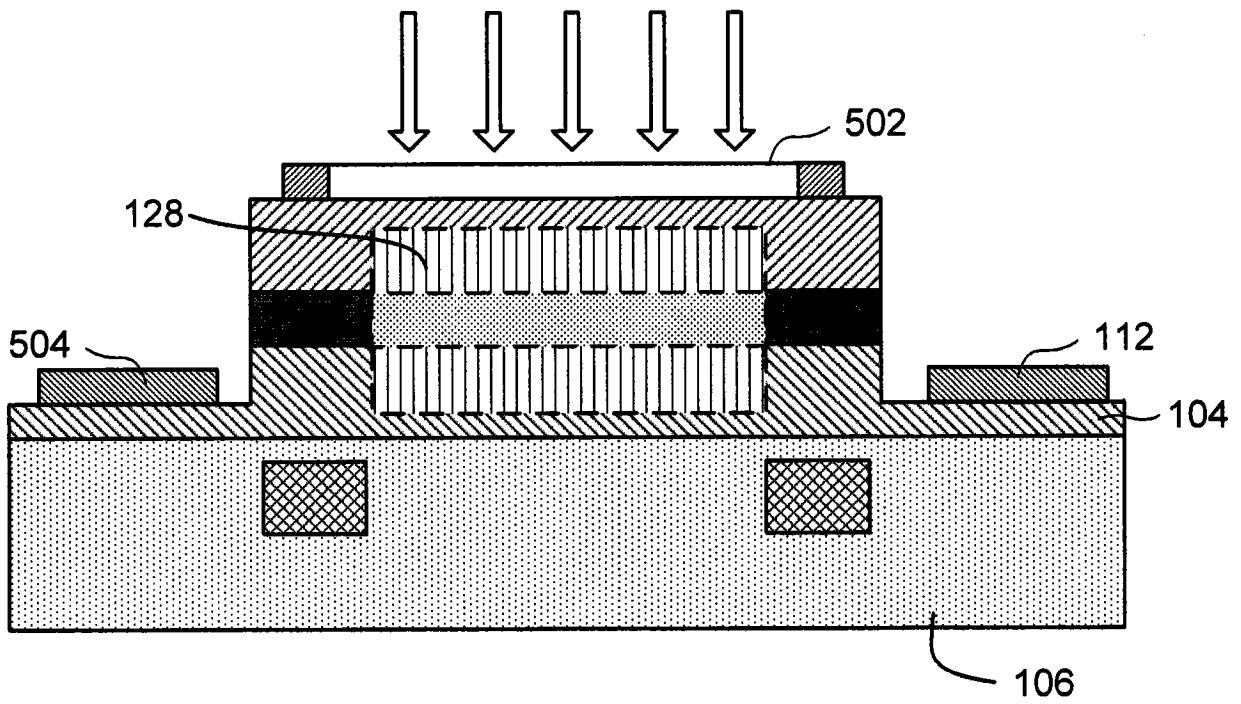


图 11B