



[12] 发明专利说明书

[21] ZL 专利号 96194775.6

[45] 授权公告日 2003 年 1 月 8 日

[11] 授权公告号 CN 1098492C

[22] 申请日 1996. 6. 17 [21] 申请号 96194775. 6

[30] 优先权

[32] 1995. 6. 15 [33] US [31] 08/490, 778

[86] 国际申请 PCT/US96/10460 1996. 6. 17

[87] 国际公布 WO97/00481 英 1997. 1. 3

[85] 进入国家阶段日期 1997. 12. 15

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 B·扬

[56] 参考文献

US4882702 1989. 11. 21 G06F1338

US5191657 1993. 3. 2 G06F1300

US5335329 1994. 8. 2 G06F1314

审查员 何怀燕

[74] 专利代理机构 中国专利代理(香港)有限公司

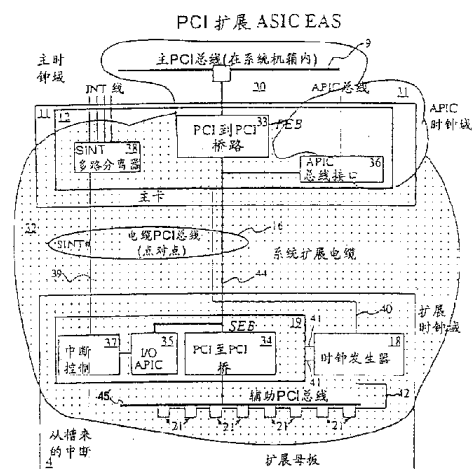
代理人 王 勇 陈景峻

权利要求书 3 页 说明书 7 页 附图 6 页

[54] 发明名称 提供远程 PCI 槽扩展的装置和方法

[57] 摘要

提供 PCI 槽扩展(21)的装置和方法。插入一个主 PCI 槽(10)中的异步 PCI 到 PCI 桥路(34)通过一条电缆式 PCI 总线(16)连接到一个扩展模块(4)。该桥路建立两个不同的时域。产生一个扩展时钟信号(18),其定时要为在整个扩展时钟域上一致到达而匹配。由此扩展的槽数可为主系统使用。



1. 一种提供 P C I 槽扩展的的装置, 包括:
 - 一个扩展卡, 所述卡具有在其上配置的一个异步 P C I 到 P C I 桥路, 该桥路有主机侧和扩展侧, 用以连接到一块主母板;
 - 5 具有多个 P C I 槽的扩展板;
 - 一个电缆式 P C I 总线, 用于连接该扩展卡到该扩展母板;
 - 一个时钟发生器, 用于提供时钟信号给扩展母板和异步 P C I 到 P C I 桥路的扩展侧。
2. 如权利要求 1 所述装置, 其中, 所述时钟发生器配置在扩展
10 母板上。
3. 如权利要求 2 所述装置, 其中, 时钟发生器产生一个 2 5 M H z 的信号。
4. 如权利要求 2 所述装置, 其中,
 - 扩展母板进一步包括一个辅助扩展桥路, 以连接电缆信号到具有
15 多个槽的一个扩展 P C I 总线。
 5. 如权利要求 4 所述装置, 其中,
 - 辅助扩展桥进一步包括一个中断控制电路和一个 I / O A P I C;
 - 扩展卡进一步包括一个 A P I C 接口。
- 20 6. 如权利要求 1 所述装置, 其中, 所述异步桥路是一个智能 I / O 单元。
7. 如权利要求 4 所述装置, 其中, 辅助扩展桥路是一个智能 I / O 单元。
8. 一个提供扩展的 P C I 槽数目的模块化计算机系统, 包括:
 - 25 一个主模块, 具有其上配置 C P U 的主母板;
 - 一个配置在该主母板上、响应主时钟并具有多个主 P C I 槽的 P C I 总线;
 - 一个扩展卡, 用于连接多个主 P C I 槽中的一个;
 - 一个具有扩展母板的扩展模块, 所述扩展母板具有带多个扩展 P C I 槽和响应一个扩展时钟信号的一个扩展 P C I 总线;
 - 30 一个电缆式 P C I 总线, 用于连接主模块和扩展模块。
9. 如权利要求 8 所述模块化计算机系统, 进一步包括

一个基本扩展桥路，用于提供该电缆式总线与该主 P C I 总线之间的接口；

一个辅助扩展桥路，用于提供该电缆式总线与该扩展 P C I 总线之间的接口；

- 5 配置在该扩展模块之内的一个时钟发生器，用于产生所述扩展时钟信号。

10 10. 如权利要求9所述模块化计算机系统，其中：

所述基本扩展桥路包括一个异步 P C I 到 P C I 桥路和一个多路分离器；

- 10 所述辅助扩展桥路包括一个 P C I 到 P C I 桥路和一个中断控制单元。

11. 如权利要求9所述模块化计算机系统，其中，所述扩展时钟信号是 25 M H z 。

- 15 12. 如权利要求9所述模块化计算机系统，其中，所述电缆式总线包括一根每端有 100 针接头的 100 个电缆导线。

13. 如权利要求9所述模块化计算机系统，其中，所述基本扩展桥路是一个智能 I / O 单元。

14. 如权利要求10所述模块化计算机系统，其中，所述基本扩展桥路进一步包括；

- 20 一个 A P I C 接口单元；

所述辅助扩展桥路进一步包括一个 I / O A P I C 单元。

15 15. 在一个计算机系统中提供 P C I 槽模块化扩展的方法，包括的步骤有：

在主模块的一个 P C I 槽中安装一块扩展卡；

- 25 用电缆连接所述扩展卡到一个扩展模块；

产生一个独立于主时钟信号的扩展时钟信号；

在该扩展卡上隔离该主时钟信号和扩展时钟信号；

在沿电缆的模块之间用电缆实现 P C I 传输。

- 30 16. 如权利要求15所述方法，其中，所述隔离步骤是由一个异步 P C I 到 P C I 桥路实现的。

17. 如权利要求15所述方法，其中，所述生成步骤进一步包括协调扩展时钟信号到达多个本地和远程接口的步骤。

18. 如权利要求15所述步骤, 其中, 所述电缆是作为一个点对点的P C I总线端接和操作的。

19. 如权利要求17所述方法, 包括:

在所述扩展卡上提供一个APIC总线接口;

5 在所述扩展模块内放置一个I / O APIC单元;

把在所述扩展模块中产生的中断传递给主APIC总线。

20. 如权利要求15所述方法, 其中, 一个智能I / O单元执行所述隔离步骤。

21. 提供P C I槽扩展的装置, 包括:

10 为安装在一个主系统P C I槽中而隔离主时域和扩展时域的设备;

在一预定距离内传输时钟信号的设备;

为所述扩展时域产生时钟信号的设备;

15 一个响应所述扩展时域时钟的扩展P C I总线, 所述扩展总线具有多个P C I槽;

其中, 有从扩展总线传输更多P C I信号到所述隔离设备的设备和所述隔离设备在所述时域之间传递信号。

提供远程 PCI 槽扩展的装置和方法

1. 发明领域

5 本发明涉及计算机系统的总线结构，具体说，本发明涉及使用 PCI 作为电缆总线扩展系统中可用的 PCI 槽的数目。

2. 相关技术

10 外设部件互连 (PCI) 总线是高性能低等待时间 I/O 总线，它能使系统成本最低。计算机工业界很快广泛接受了 PCI 总线。PCI 总线标准提供了高带宽和高度灵活性，这些性能独立于新的处理器技术和提高了的处理器速度。目前计算机系统设计师主要在设计用于 PCI 总线的速度敏感的外设，诸如图形加速器和 SCSI 磁盘驱动器控制器。

PCI 规范已确切定义，特别参见 PCI 局部总线规范，修改版
15 2.0，1993 年 4 月 30 日。该规范反应了 PCI 能够以直到 33 MHz 的任何频率运行。这种高水平的可能吞吐量使得 PCI 成为规模服务器 (volume server) 的理想选择。不幸的是，在这种速度下，PCI 总线沿单一总线段只支持 3 - 4 个槽。这种槽数目在规模服务器市场对于实际应用来说低得不能接受。一些现有技术已解决这一问题，它把多个 PCI 总线级联到主母板上。不幸的是这样的级联增加了基本系统的成本，而且仍然不能提供规模服务器必需的槽扩展水平。此外，这种单机箱系统在用户需求改变时不容易扩展。

25 在多个模块化机箱之间以总线连接的可能性在 PCI 的意义上隐含某种独特的问题。具体说，使用可用的 PCI 到 PCI 桥路必须同步时钟系统宽度。因为 PCI 不需要标准的主时钟信号，所以不能使用锁相环来同步桥路的两侧。多机箱系统的剪切物理尺寸使单时钟域的这种同步甚至更成问题。这些问题要求必须定制设计电路来提供机箱外的槽扩展。

30 另外，PCI 总线的规范需要为所有支持的槽有 4 个低电平有效电平敏感的中断插脚，并定义这些中断作为硬件共享应用。这意味着多个 PCI 设备可以驱动同一中断线或者多个 PCI 中断线可以由不同的设备驱动，但是可能对系统中断控制器产生单一中断，它由一

个共享的中断驱动程序服务。于是，随着必须共享中断的槽数目的增加，解决中断源需要的资源和开销也随着共享槽数目的增加而增加。

由此希望提供一种装置，它能使P C I槽扩展而无需不必要地增加主系统的成本。这种装置应能向前和向后兼容，不需为每一特定系统定制。扩展槽的性能必须维持在一个可接受的高水平上，同时系统的可扩展性应该易于满足日益增加的处理器能力的需求。还希望开发一种简化由这种所扩展的系统产生的中断的方式。

附图简介

图 1 表示本发明的主机模块和扩展模块的方框图；
图 1 A 是本发明的电缆总线中的信号和所需插脚的表；
图 2 是本发明的模块接口的方框图；
图 3 是用于本发明扩展模块的时钟生成电路的图；
图 4 是列出适用于本发明的电缆的性能指标的表；
图 4 A 是表示为本发明的两个可能操作点的定时预算表。

发明概述

本发明提供扩展可用于主系统的P C I槽数目的装置和方法。通过使用一个异步P C I到P C I桥路，隔离主机时域和扩展时域。响应在扩展模块中产生和控制的时钟信号的电缆式P C I总线用于在独立的主机箱和扩展机箱之间传送信号。因为扩展系统不依赖于主机时钟或者主系统的功能，因此适于集成在现有系统中，而且并不增加基本主系统的成本。从而本发明在需求改变时很容易扩展。

在一个实施例中，除槽扩展外，本发明还提供中断扩展。这是通过提供连到扩展卡上的主A PIC总线的设备和提供将由扩展P C I槽产生的PCI中断编码到在扩展主板上的A PIC中的设备而实现的。这种扩展将减少与由扩展槽共享的中断服务关联的总开销。

本发明的详细描述

本发明提供一种方法和装置，它使用电缆式P C I总线提供扩展可用于主系统的P C I槽的数目。为说明起见，叙述特定的细节以提供对本发明的彻底理解。然而，熟悉本技术领域的人理解，通过阅读本说明书，本发明可以不用这些细节实现。此外，公知的元件、设备、处理步骤等等未加叙述以避免模糊本发明。

图 1 表示了包括了本发明的系统的方框图。该主系统位于一个主

机箱 1 内, 它包括一个主母板 3。该主母板有由系统总线 7 连接到存储器 6 的 CPU 5。该母板上提供桥路 8 以桥接系统总线 7 和主 PCI 总线 9。在 33 MHz 下, PCI 性能指标仅允许在单一总线段上有 3 - 4 个槽 10。通过在主 PCI 总线 9 上至少一个槽 10 中安装一个扩展卡 11, 能够扩展系统总体的槽数目。

扩展卡 11 有一个基本扩展桥路 (PEB) 12 (下面参考图 2 详细叙述) 和一个电缆接头 15, 一个示例实施例使用 100 个插脚的电缆接头。扩展卡还提供一个可选的 APIC 连接器 14 以允许卡 11 连接到 APIC 总线 (在主母板 3 上未示出) 上。这允许足够的信号导体容纳所有 PCI 需要的信号的并行传输线和足够的接地。图 1A 是一个相关 PCI 信号表。根据沿电缆 16 的传播速度和电缆偏斜选择电缆 16。最好选择最小偏斜而有最大传播速度的电缆 16。电缆 16 用作在 PEB 12 的扩展侧和辅助扩展桥路 (SEB) 19 (下面详细叙述) 之间的点对点 PCI 总线。电缆 16 的两端都要以近似等于该电缆的特性阻抗的阻抗端接。在示例实施例中, 使用特性阻抗为 88 ± 5 欧姆的 6 英尺 HIPPI 电缆。HIPPI 电缆满足 ANSI 标准, 包括 50 个双绞线, 从而提供合适数目的信号线。也可以使用较小的电缆和较少插脚的连接器, 但是这将在某种程度上限制其功能。

扩展机箱 2 包括一个扩展母板 4, 电缆 16 通过连接器 17 连接在其上。PCI 总线从连接器连到 SEB。扩展系统中的定时由时钟发生器 18 提供, 它与主机时钟 (未示出) 异步而独立。辅助 PCI 总线 (SPB) 20 上可用的槽 21 的数目由产生的时钟信号的速度决定。在 25 MHz 下, 有 8 - 12 槽可用; 而在 33 MHz 下, 只有 3 - 4 槽可用。

在本发明的范围内希望和可能把多个扩展模块连接到单一主模块上 (每一可用的 PCI 槽插一卡)。从一个扩展模块级联一个扩展模块也在本发明的范围之内。

图 2 更清楚地叙述 PEB 12、电缆 16 和 SEB 19 之间的关系。图 2 分为 3 个时钟域。主时钟域 30, 扩展时钟域 32 和一个可选 APIC 时钟域 31。本发明使用主模块和扩展模块之间的一个异步桥路 33。一个 PCI 到 PCI 桥路包括一个基本总线接口和一个辅助

总线接口。在异步桥路的情况下，基本总线接口负责主时钟，而辅助接口负责扩展时钟，从而在主时钟域 3 0 和扩展时钟域 3 2 之间产生一个异步边界 1 3。在最基本的水平下，这可以为每一相关信号使用一对 D 触发器而实现。实际上为保证时钟速率变化场合下数据的有效性，最好在这两个接口之间提供某种存储。边界内和边界外的 4 X 1 6 字节的队列认为是适当的。有关进一步的细节参见 P C I 到 P C I 的桥路规范，修订版 1. 0，1 9 9 4 年 4 月 1 5 日。

在一个示例实施例中，主 P C I 总线连接到扩展卡上 P E B 中包含的一个异步 P C I 到 P C I 桥路 3 3 上。桥路 3 3 的主机侧在主时钟域 3 0 中运行，而扩展侧与扩展时钟域 3 2 同步。P E B 1 2 还包括一个多路分离器 3 8 以便多路分离从扩展系统来的支持 4 个 P C I 的中断。在 P E B 1 2 中还可以提供一个可选 A P I C 总线接口 3 6，从而扩展扩展系统可用的中断。这种接口必须部分以 A P I C 时钟域 3 1、部分以扩展时钟域 3 2 异步运行。值得注意的是该选项不符合 P C I 规范。在共同未决的申请“集成 P C I 到 P C I 桥路的 I / O 处理器结构”中的智能 I / O 单元支持这些功能。因此，本发明设想的一个实施例使用这样的智能 I / O 单元作为 P E B 1 2。

异步桥路 3 3 的扩展端通过电缆式 P C I 总线 1 6 连接到扩展母板 4 1 上的 S E B 1 9 上。电缆 1 6 包括 P C I 总线信号 4 4，扩展域时钟信号 4 0，一个 S I N T # 3 9。S I N T # 3 9 不是标准的 P C I 线，而是传送串行化的标准 P C I 中断的一条线。串行化标准 P C I 中断的一种方法是连续使 4 个标准 P C I 中断信号与 P C I 时钟同步，并在发生变化时通过在 S I N T # 上的接口使用如图 5 所示的由一个开始位（低）、I N T A #、I N T B #、I N T C #、I N T D #、奇校验位和一个中止位（高）组成的协议发送信息。如果一个中断在 I / O A P I C 上未屏蔽，那么就不应该在 S I N T # 信号上对 I N T # 线进行串行化（亦即它应该解释为是不活动的）。在这种情况下，I / O A P I C 将负责分配中断给主模块。S I N T # 协议在复位期间被连续驱动（所有中断都不活动）。中断串行器还在 1 6 个不活动时钟后发送一个新消息。

P E B 使用 S I N T # 解码 I N T A #、I N T B #、I N T C #、I N T D # 的当前值。每当中断多路分离器方框观察到 S I N T

变低, 则它捕获接下来 4 个时钟的数据, 并且如果奇偶校验 (开始位后第 5 个时钟) 正确, 那么使用该数据更新 4 个中断输出的当前值。如果检测到奇偶性不正确, 则忽略该数据。该中断串行化过程为每一级扩展子系统在最坏情况下引起 9 个时钟的延迟 (2 个用于同步, 7 个用于发送), 它在 25 MHz 下为 360 ns。这只是串行化中断的一个简单的方式。对于本技术领域一般技能的人员来说, 可以想到其它的串行化方案, 这样的方案可以考虑用于本发明。

在电缆 16 的扩展端, SEB 19 包含 PCI 到 PCI 桥路 34, 它可以是同步的也可以是异步的。SEB 19 还可选包含一个 I/O APIC 35, 它扩展可由该扩展系统使用的中断数目, 并减少或者消除轮询, 在组合的主、扩展系统中所有的 PCI 槽仅共享提供 4 个 PCI 的中断时需要这种轮间。最后, 提供一个中断控制设备 37 要么在电缆 16 到多路选择器的范围控制 PCI 支持的中断, 或者, 如果提供的话, 控制槽中断进入 I/O APIC 35, 后者接着沿电缆 16 将该中断传送到 APIC 总线接口 36。再次考虑使用在共同未决申请中叙述的智能 I/O 单元来实现 SEB 19。另外, 在扩展母板 4 上有时钟发生设备 18 和辅助 PCI 总线 45。

在图 2 中, 在辅助 PCI 总线 45 上显示了 8 个槽 21。PCI 不定义最大槽数, 它只刚性定义电气特征。具体说, PCI 定义时钟偏斜 + 主板上要输出的时钟 + 在目的地的建立时间 + 调整时间 $\leq$ 时钟周期。在下面叙述的时钟发生方案中分配给调整的时间用作沿电缆 16 向下的飞行时间, 从而减少在主模块和扩展模块之间的事务处理的等待时间。由于每一槽 21 的引入增加系统的容量, 从而不利地影响状态之间的事务处理速度, 亦即调整时间, 因此较慢的时钟增加了可用于调整的时间, 从而相应地增加了系统可以处理的负载 (槽) 的数目。如果运行在 25 MHz 下的话, 可考虑提供 8 - 12 槽。

图 3 表示本发明的时钟发生, 振荡器 50 产生一个最高 33 MHz 的所希望的频率的时钟信号。可以看出, 不一定使用振荡器产生时钟信号, 可以使用任何产生具有希望频率的信号的常规的方法。在示例实施例中, 振荡器 50 产生 25 MHz 的时钟信号。

本发明需要多个从单一信号源产生的时钟复制。图 3 表示通向电缆 16 和 10 条其它信号线 58 的时钟信号。这对右面的槽 21 和 S

E B 1 9 来说是足够的。在电缆 1 5 的主接口端和扩展机箱接口 5 8 使用的时钟必须在时钟偏斜定时要求内到达。为此目的，沿每一线使用低偏斜时钟驱动器 5 1 以便使沿不同线的偏斜最小，并在本地线和远程接口之间引入一个延迟元件。通过使在电缆 1 6 到主（远程）接口 1 5 中的传播延迟与延迟元件 5 2 匹配，有可能分别在接口 1 5 和 5 8 处实现希望的时钟同步。为选择一个合适的延迟线 5 2 值，存在两种可选方案，一种是要么将到该电缆的该信号延迟为电缆中的传播延迟来延迟本地线或者将到该电缆的该信号延迟为它的时钟信号周期减去该传播延迟的时间。图 3 说明沿本地线引入的延迟元件 5 2。

打算使用一种无源延迟线或者合适的高速缓冲器实现希望的延迟。扩展母板 4 和 S E B 1 9 上的槽 2 1 之间的最大时钟偏斜是 2 n s。图 4 反应满足 P C I 规范的可能的选择。重要的是每一时钟信号线应该尽可能紧密匹配。于是，沿每一线使用同一数目的缓冲器驱动器 5 1。阻抗 5 6 应该与扩展母板 4 上的时钟迹线的特性阻抗匹配。此外，从缓冲器 5 1 到它们的目的地印刷电路板迹线的长度应该尽可能紧密匹配，包括从驱动电缆连接的缓冲器来的迹线。这可以通过增加所有迹线的长度以匹配自然长度最长的迹线而实现。最关键的长度匹配是在通向 S E B 1 9 的时钟和通过电缆 1 6 驱动 P E B 1 2 的时钟之间的长度匹配。适当选择延迟线 5 2 的值将改善这一匹配。

电气连接方案使用桥路芯片（亦即 P E B 和 S E B）连接到使用串联端接的电缆。这一端接是外部的。串联端接值等于电缆阻抗减去驱动器阻抗。电缆的源端用 1 / 2 电压入射波形驱动，该电压入射波形由于在电缆末端所遇到的数值为 1 的反射系数加倍而成为全电压波形。在驱动电缆时，串联端接形成半波入射波形，它遇到系数为 1 的反射。在使用 6 英尺电缆的实施例 25 中，这种电缆的特性阻抗是 88 ± 5 欧姆。相应地，适当的端接阻抗可以参考所选择的驱动器的阻抗而选择。

还可能把时钟发生器 1 8 放在扩展卡 1 1 上。尽管上述同样的规则可应用于这种安排，然而维持需要的信号协调随着要协调的远程信号数目的增加而更成问题。尽管如此，这种安排仍然在本发明的范围和考虑之内。

在上述说明中，参考具体的实施例叙述了本发明，然而十分明

显，可以对其进行各种修改而不离开在所附权利要求中说明的本发明的更宽的精神和范围，相应地本说明书和附图应该视为是说明性的而非限制性的。因此，本发明的范围只应由所附权利要求限制。

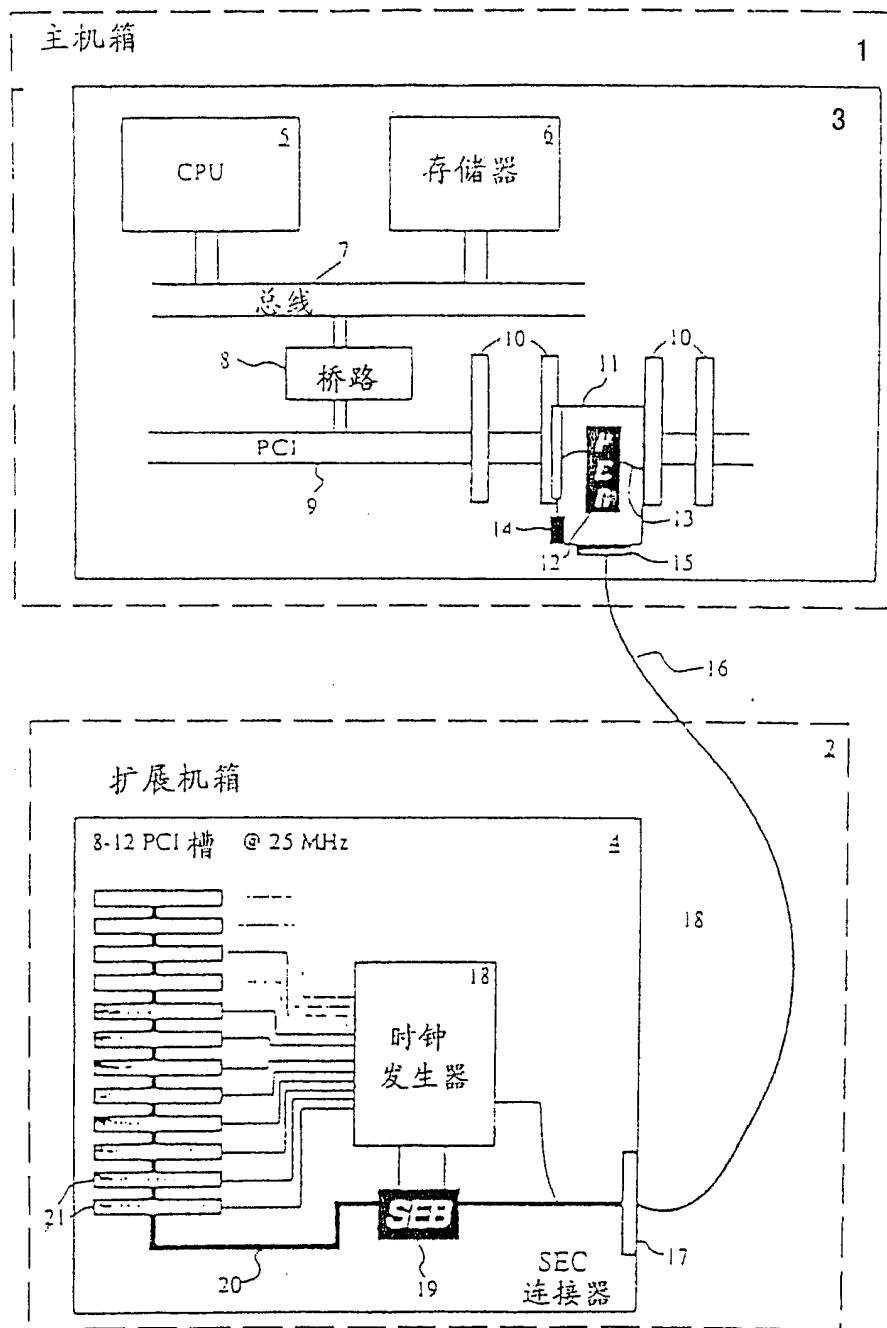


图 1

信号	引脚	说明
AD[0:31]	32	标准PCI多路转换的地址/数据线
C/BE[0:31]#	4	标准PCI多路转换的命令/字节使能线
FRAME#	1	标准PCI FRAME#线
IRDY#	1	标准PCI IRDY#线
TRDY#	1	标准PCI TRDY#线
DEVSEL#	1	标准PCI DEVSEL#线
STOP#	1	标准PCI STOP#线
LOCK#	1	标准PCI LOCK#线
PERR#	1	标准PCI PERR#线
SERR#	1	标准PCI SERR#线
RESET #	1	标准PCI RESET#线
PAR	1	标准PCI PAR 线
REQ#	1	SEB请求PEB使用SEC
GNT#	1	PEB授权SEB使用SEC
SINT#	1	串行化的中断线(非标准PCI)
CLK	1	SEB给PEB/产生时钟以使用列SEC的接口
总计	50	

图 1 A

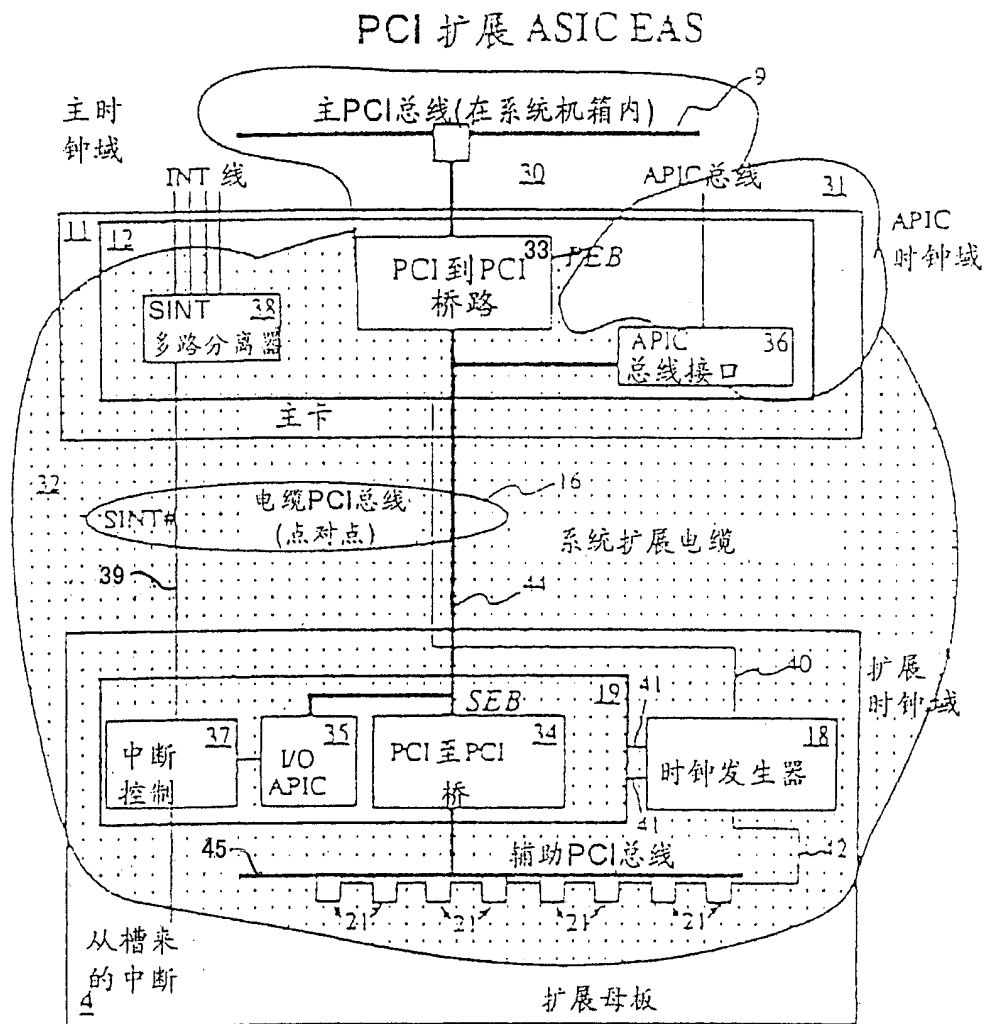
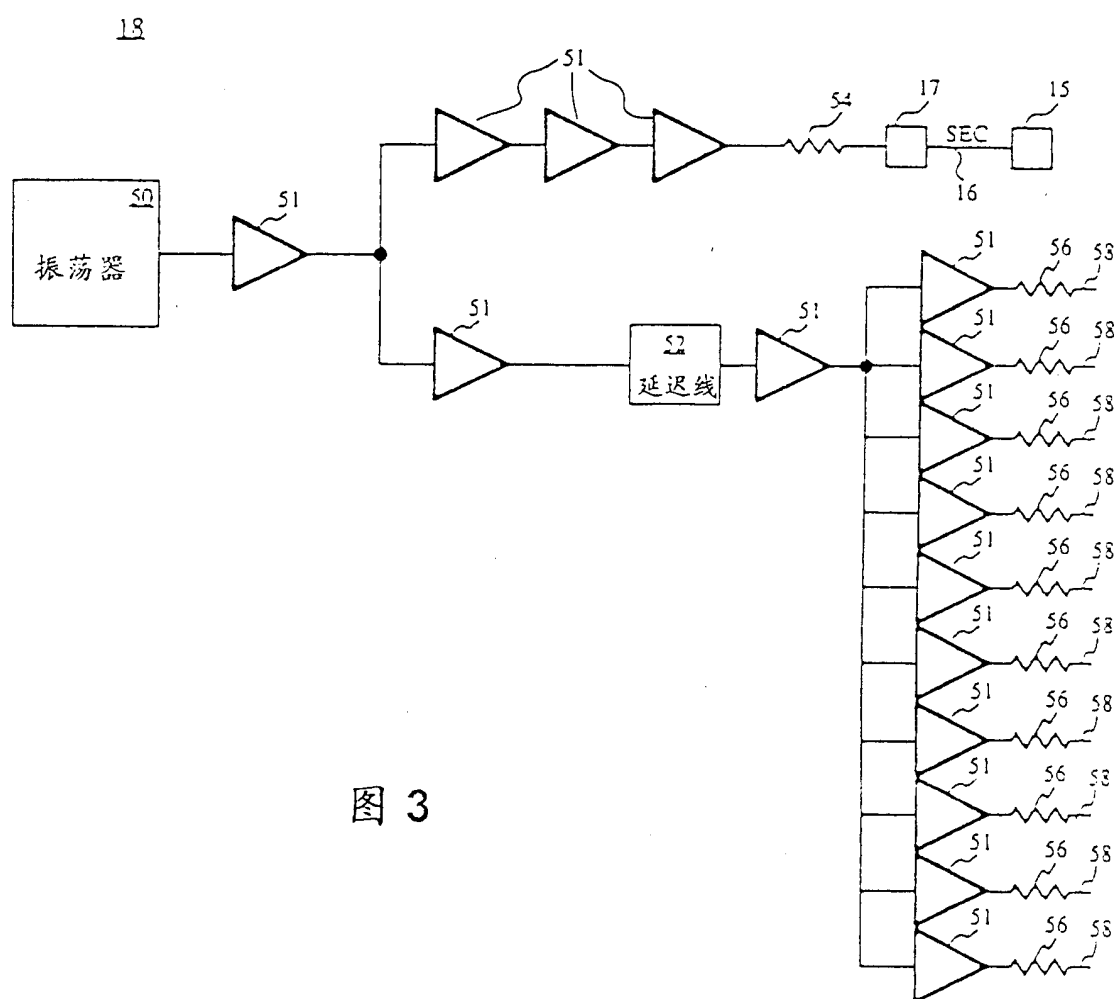


图 2



选项	时钟周期	总缓冲器	延迟线		电缆	
		偏斜	延迟	偏斜	长度	偏斜
1	30ns	840ps	10ns	250ps	10ns	910ps
2	40ns	10840ps	10ns	250ps	10ns	910ps
3	40ns	1500ps	19ns	250ps	19ns	1250ps
4	50ns	20840ps	10ns	250ps	10ns	910ps
5	50ns	11500ps	19ns	250ps	19ns	1250ps
6	60ns	21500ps	19ns	250ps	19ns	2150ps

图 4: 时钟偏斜

	33 MHz	25 MHz
时钟偏斜(PCI)	2 ns	6 ns
在主(PCI)的输出时钟	11 ns	11 ns
6英尺+/-2英寸的电缆延迟	9.5 ns	9.5 ns
电缆偏斜	0.5 ns	0.5 ns
在目标(PCI)处建立	7 ns	7 ns
差数	0 ns	6 ns
总周期	30 ns	40 ns

图 4 A

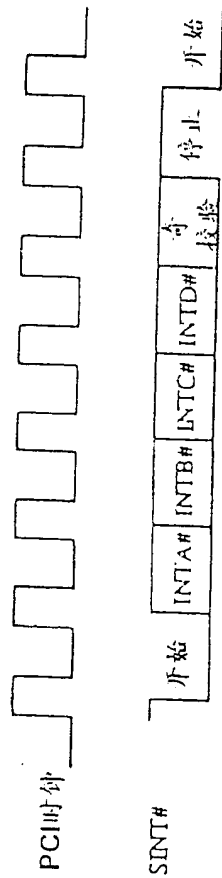


图 5