



(12) 发明专利

(10) 授权公告号 CN 101452906 B

(45) 授权公告日 2016. 02. 24

(21) 申请号 200810184313. 1

审查员 颜庙青

(22) 申请日 2008. 12. 03

(30) 优先权数据

2007-312818 2007. 12. 03 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 桑原秀明

(74) 专利代理机构 上海专利商标事务所有限公司
31100

代理人 侯颖嫒

(51) Int. Cl.

H01L 23/522(2006. 01)

H01L 21/768(2006. 01)

(56) 对比文件

CN 1257307 A, 2000. 06. 21,

US 2005/0258423 A1, 2005. 11. 24,

JP 特开 2007-133371 A, 2007. 05. 31,

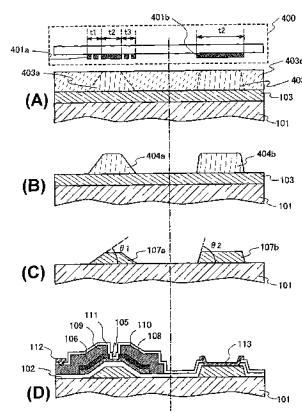
权利要求书1页 说明书29页 附图29页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件及其制造方法，其目的在于在一个母玻璃衬底的所希望的部分中分别提供精密地使其侧面角度为不同的布线，而不增加工序。通过使用多级灰度掩模，形成具有截面积向一个母玻璃衬底离开的方向逐渐地减少的锥形的光抗蚀剂层。当形成一个布线之际，通过使用一个光掩模并对金属膜选择性地蚀刻，获得侧面形状（具体而言，相对于衬底主平面的角度）根据地方而不同的一个布线。



1. 一种半导体器件,其特征在于,包括:

衬底上的第一布线,其中所述第一布线包括用作栅电极的第一区域和用作栅极布线的第二区域;

所述第一区域上且与所述第一区域重叠的半导体层;

与所述第二区域接触的连接电极;

所述半导体层上的源电极和漏电极;

电连接至所述源电极或漏电极的第二布线;以及

与所述第二布线的一部分重叠的透明导电膜,

其中所述半导体层包含锌、镓和铟的氧化物作为所述半导体层的主要成分,

其中所述第一区域的布线宽度方向截面的锥形角比所述第二区域的布线宽度方向截面的锥形角小 10° 以上,

其中所述第二布线的布线宽度方向的截面形状包括第一端部和第二端部,

其中所述透明导电膜与所述第一端部相接触,

其中所述第一端部的锥形角小于所述第二端部的锥形角,

其中所述连接电极在所述连接电极的两端上具有相同的锥形角,

其中所述连接电极的两端上的锥形角小于所述第二端部的锥形角,以及

其中所述第一端部的锥形角在 10° 至 50° 的范围内。

2. 根据权利要求 1 所述的半导体器件,其特征在于,

所述第一区域的布线宽度方向截面的锥形角在 10° 至 50° 的范围内。

3. 根据权利要求 1 所述的半导体器件,其特征在于,

所述第二区域的布线宽度方向截面的锥形角在 60° 至 90° 的范围内。

4. 根据权利要求 1 所述的半导体器件,其特征在于,

所述第二区域不与所述半导体层重叠。

5. 根据权利要求 1 所述的半导体器件,其特征在于,

所述衬底具有使曝光光线透过的透光属性。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及具有由薄膜晶体管（下面称为 TFT）构成的电路的半导体器件以及其制造方法。例如，涉及将以液晶显示面板为代表的电光装置及具有有机发光元件的发光显示装置作为部件而安装的电子设备。

[0002] 此外，在本说明书中，半导体器件指的是利用半导体特性来能够工作的所有装置。电光装置、半导体电路及电子设备都是半导体器件。

背景技术

[0003] 近年来，通过使用形成在具有绝缘表面的衬底上的半导体薄膜（厚度大约为几 nm 至几百 nm）构成薄膜晶体管（TFT）的技术引人注目。薄膜晶体管广泛地应用于如 IC 或电光装置那样的电子器件，尤其是，正在加快开发作为图像显示装置的开关元件。

[0004] 特别是，对在配置为矩阵状的每个显示像素中设置由 TFT 构成的开关元件的有源矩阵型显示装置（液晶显示装置及发光显示装置）正在积极地进行研究开发。

[0005] 对于这种图像显示装置的开关元件，要求能够面积高效地配置的高精细的光刻技术，以便实现高精细的图像显示。

[0006] 此外，以往采用了从一个母玻璃衬底切割成多个面板来高效地进行批量生产的生产技术。母玻璃衬底的尺寸从 1990 年初期的第一代 300mm×400mm 开始，在 2000 年成为 680mm×880mm 或 730mm×920mm 的第四代而实现大型化，并且生产技术如从一个衬底可获得多个显示面板那样进步了。之后，母玻璃衬底的尺寸进一步大型化，所以例如需要对应于第十代的尺寸超过 3m 的衬底。

[0007] 为了获得实现高精细的图像显示的显示装置，使用可通过光刻技术获得的抗蚀剂掩模对形成在母玻璃衬底上的金属薄膜进行蚀刻，来形成布线。

[0008] 作为蚀刻方法有各种方法，但是大致分为干蚀刻方法和湿蚀刻方法。由于湿蚀刻方法是各向同性蚀刻，因此由抗蚀剂掩模保护的布线层侧面以一定程度被削掉。由此，湿蚀刻方法被认为不适合微细化。

[0009] 一般知道的干蚀刻方法是 RIE 干蚀刻方法。这是各向异性蚀刻。因此，干蚀刻被认为与各向同性蚀刻的湿蚀刻方法相比有利于微细化。

[0010] 专利文献 1 公开了通过使用 ICP 蚀刻装置使其截面形状具有锥形的钨布线。

[0011] 专利文献 2 公开了一种 TFT 制造工序，其中将设置了衍射光栅图案或由半透膜构成的具有光强度减少功能的辅助图案的光掩模或者中间掩模应用于栅电极形成用光刻工序。

[0012] 专利文献 3 公开了通过调节抗蚀剂掩模宽度及蚀刻条件，使布线的截面形状部分地为不同的技术。

[0013] 专利文献 4 公开了使用设置了由半透膜构成的具有光强度减少功能的辅助图案的光掩模来形成源电极或漏电极的技术。

[0014] [专利文献 1] 日本特开 2001-35808

[0015] [专利文献 2] 日本特开 2002-151523

[0016] [专利文献 3] 日本特开 2006-13461

[0017] [专利文献 4] 日本特开 2007-133371

[0018] 当在一个母玻璃衬底上形成布线的情况下,在现有的技术中形成其截面形状相同的布线。例如,当采用 RIE 干蚀刻方法时,加热显影了的抗蚀剂并使它熔化来改变抗蚀剂形状,然后通过进行蚀刻来反映抗蚀剂形状地使布线的侧面成为锥形。在这种情况下,加热抗蚀剂的工序增加。另外,通过熔化使抗蚀剂面积扩大,所以难以使邻接的布线的间隔窄。此外,当形成多层布线时,由于在布线在于要形成布线的区域之下的情况下,下方的布线也在使抗蚀剂熔化时被加热,因此抗蚀剂加热温度不均匀且根据地方抗蚀剂熔化而展开的面积的比例不同。由此,难以获得所希望的布线形状。

[0019] 此外,当使用 ICP 蚀刻装置的情况下使用线圈状天线,所以难以获得长方形的一个母玻璃衬底的整个表面上的均匀的放电。

[0020] 例如,在透过型液晶显示装置的像素部中,通过将栅极布线形成成为锥形,将薄的半导体层形成在其上。但是当形成为锥形时,布线宽度扩展,所以会导致开口率的降低。此外,当形成为锥形时,布线宽度扩展,所以如有隔着其布线和绝缘膜重叠的其他布线就形成不需要的寄生电容。当为减少该寄生电容而以配置在不同的层中的布线不重叠的方式对各个层中的布线进行布局时,导致开口率的降低。

[0021] 此外,在使用设置了衍射光栅图案或由半透膜构成的具有光强度减少功能的辅助图案的光掩模的情况下,可以选择性地使布线的截面形状为不同。在这种情况下,成为具有布线侧面为两级的楼梯状的部分和没有这样部分的两种截面形状的布线。

[0022] 本发明涉及一种半导体器件的制造方法,其目的在于:在一个母玻璃衬底的所希望的部分中分别提供精密地使其侧面的角度为不同的布线,而不增加工序。

[0023] 使用能够透过曝光光线的透光衬底以及曝光掩模,该曝光掩模具备形成在透光衬底上的由铬等构成的遮光部和由遮光材料构成的线及空间以预定的线宽度反复形成的具有光强度减少功能的半透过部。具有由线及空间形成的半透光部的曝光掩模也称为灰色调曝光掩模,并且使用该曝光掩模的曝光也称为灰色调曝光。

[0024] 灰色调曝光掩模具有如下开口图案,即周期性或非周期性地配置有至少一个以上的槽缝、点等的图案。此外,由曝光装置的分辨极限以下的线及空间而成的掩模的开口的空间所构成的具有光强度减少功能的辅助图案的光强度,在 10% 至 70% 的范围内可被控制。

[0025] 此外,具备由具有减少曝光光线的光强度的功能的半透膜构成的半透部的曝光掩模也称为半色调曝光掩模,并且使用该曝光掩模的曝光也称为半色调曝光。作为半透膜,除了 MoSiN 之外还可以使用 MoSi、MoSiO₂、MoSiON、CrSi 等。

[0026] 此外,在本说明书中,为方便起见将灰色调曝光掩模、半色调曝光掩模总称为多级灰度掩模。

[0027] 通过使用多级灰度掩模,形成具有向从一个母玻璃衬底离开方向截面积逐渐地减少的锥形的光抗蚀剂层。本发明不是通过使用灰色调曝光掩模或半色调曝光掩模来对一个光抗蚀剂层进行显影以使它具有两个不同的厚度,并在光抗蚀剂层的两端分别形成一个台阶的。

[0028] 在本发明中,当形成一个布线之际,在使用一个光掩模并对第一区域的部分进行

灰色调曝光（或半色调曝光）的同时，对第二区域的部分进行通常的曝光。然后，通过进行显影并对金属膜选择性地蚀刻，获得侧面形状（具体而言，相对于衬底主平面的角度）根据地方而不同的一个布线。根据该方法可以示意性地使布线的侧面形状为不同，并且可以获得实施者所希望的布线。

[0029] 其结果，第一区域的布线侧面的宽度（也称为锥形部分的宽度）变成大于第二区域的布线侧面的宽度。此外，第一区域的相对于衬底主平面的侧面的角度变成小于第二区域的相对于衬底主平面的侧面的角度。

[0030] 在一个布线的至少第一区域的部分和第二区域的部分中，优选使相对于衬底主平面的侧面的角度的差异大于 10° 。

[0031] 例如，在透过型液晶显示装置中，以与半导体层重叠的成为栅电极的区域作为第一区域，形成电特性优良的薄膜晶体管，并以延伸在像素电极之间的成为栅极布线的区域为第二区域，通过使锥形部的宽度为窄来提高开口率。此外，为了减少布线电阻并提高开口率，优选使栅极布线的锥形部的宽度为窄。此外，通过使栅极布线的总宽度大于栅电极的电极总宽度，可以减少布线电阻。

发明内容

[0032] 本说明书所公开的发明结构为如下：在衬底上包括半导体层；以及其一部分与半导体层重叠的布线，布线包括布线侧部的宽度大的区域和布线侧部的宽度小的区域，布线侧部的宽度大的区域与半导体层的至少一部分重叠，并且布线侧部的宽度大的区域的布线宽度方向截面的侧面角度比布线侧部的宽度小的区域的布线宽度方向截面的侧面角度小 10° 以上。

[0033] 具体而言，布线侧部的宽度大的区域的布线宽度方向截面的侧面角度在 10° 至 50° 的范围内，而布线侧部的宽度小的区域的布线宽度方向截面的侧面角度在 60° 至 90° 的范围内。此外，当布线宽度方向截面的侧面角度为 90° 时，布线的截面形状为长方形或正方形，而当布线宽度方向截面的侧面角度小于 90° 时，布线的截面形状为上面的上边比底边短的梯形。

[0034] 在反交错型薄膜晶体管中，形成在栅极布线上的半导体层薄，即大约为 50nm ，因此优选地是，栅极布线侧部的宽度大的区域的布线宽度方向截面的侧面角度在 10° 至 50° 的范围内，并不使栅极布线的端部或与侧面重叠的半导体层的一部分薄膜化。

[0035] 本发明解决上述课题的至少一个。

[0036] 此外，不局限于形成栅极布线的情况，在层间绝缘膜上形成其他布线如源极布线、漏极布线、以及连接布线等的情况下，也可以采用本发明。

[0037] 此外，不仅形成在截面中在布线的两端部具有相同的角度的侧面的布线，而且还可以一方的侧面和另一方的侧面的相对于衬底主平面的角度为不同。在这种情况下，布线的截面形状可以说是接触于底边的两个内角不同的梯形。

[0038] 此外，本发明的另一结构为一种半导体器件，其中，在衬底上包括第一布线、覆盖第一布线的绝缘膜、以及隔着绝缘膜与第一布线电连接的第二布线，并且第二布线的截面形状的两个端部之中的一方的侧面和另一方的侧面的相对于衬底主平面的角度不同。

[0039] 再者，除了上述结构之外，还包括其一部分与第二布线重叠的透明导电膜。透明导

电膜与第二布线的截面形状的两个端子之中的相对于衬底主平面的角度较小的一方的侧面接触。通过采用这种结构,确实地实现与重叠于第二布线的一方的侧面的透明导电膜的电连接,来减少透明导电膜的断裂。

[0040] 此外,本发明的另一结构为如下:通过使用灰色调曝光掩模或半色调曝光掩模,对一个光抗蚀剂层进行显影以使它具有三个以上的不同的厚度,并在光抗蚀剂层的两端分别形成两个以上的台阶。通过以该光抗蚀剂层为掩模对导电层进行蚀刻,所获得的布线的截面形状成为一方的侧面具有两个以上的台阶的楼梯状。当然,可以选择性地形成具有该截面形状的布线,因此可以获得一种半导体器件,其中,在同一绝缘膜表面上具有第一布线和第二布线,该第二布线的截面形状与第一布线不同,第一布线的截面形状为长方形或梯形,第二布线的截面形状为一方的侧面具有两个以上的台阶的楼梯状,并且第一布线和第二布线由相同的材料构成。在将布线的截面形状形成成为锥形的情况下,锥形端部的位置根据蚀刻时间改变,并且特别在锥形角小于 60° 时会发生如下情况:布线总宽度产生不均匀;或者侧面弯曲而成为向下面扩展的形状,从而截面积减少而布线电阻增大。但是,通过将布线的截面形状形成成为楼梯状,即使蚀刻时间具有稍微的差异也可以获得一定的布线宽度。就是说,通过形成第二布线的截面形状为楼梯状的布线层,可以充分地确保蚀刻条件的余地。再者,通过使第二布线的截面形状的端部具有两个台阶,可以确保与具有锥形角小于 50° 的锥形的布线相同的程度的台阶覆盖性。

[0041] 此外,在一个布线中,可以将第一区域的截面形状为长方形或梯形,并且将第二区域的截面形状为一方的侧面具有两个以上的台阶的楼梯状。

[0042] 此外,关于用来实现上述结构的制造方法的发明结构,为包括如下工序的半导体器件的制造方法:在衬底上形成导电层;使用多级灰度掩模进行一次的曝光,来对由截面上的侧面和衬底主平面而成的角互不相同的第一抗蚀剂掩模和第二抗蚀剂掩模进行显影;以及将第一抗蚀剂掩模和第二抗蚀剂掩模用作掩模,对导电层进行蚀刻来形成布线,在显影之后,第一抗蚀剂掩模的侧面的角度和第二抗蚀剂掩模的侧面的角度之间的差异大于 10° 。

[0043] 此外,关于其他制造方法的发明结构,为包括如下工序的半导体器件的制造方法:在衬底上形成导电层;使用多级灰度掩模进行一次的曝光,来对截面上的侧面和衬底主平面所形成的角互不相同的第一抗蚀剂掩模和第二抗蚀剂掩模进行显影;以及将第一抗蚀剂掩模和第二抗蚀剂掩模用作掩模,对导电层进行蚀刻来形成一个布线,在显影之后,第一抗蚀剂掩模的侧截面的角度和第二抗蚀剂掩模的侧截面的角度之间的差异大于 10° 。

[0044] 在上述各个制造方法中,第一抗蚀剂掩模的截面形状为长方形或梯形,而第二抗蚀剂掩模的截面形状为梯形。或者,在上述制造方法中,第一抗蚀剂掩模的截面形状为长方形或梯形,第二抗蚀剂掩模的截面形状为一方的侧面具有两个以上的台阶的楼梯状。

[0045] 上述这些方法不只是设计事项,而是使用多级灰度掩模实际形成布线,并经过发明者的进行深入的研究来发明的事项。

[0046] 专利文献 1 所公开的技术所意图的是:布线侧面的角度取决于 ICP 蚀刻装置的蚀刻条件,因此以相同的蚀刻工序形成在同一衬底上的所有布线的侧面形状都一定。由此,明显地不同于根据地方示意性地使布线的侧面形状为不同的本发明。

[0047] 此外,在专利文献 2 及专利文献 4 所公开的技术中,使抗蚀剂掩模的侧部为楼梯

状,并且反映该抗蚀剂掩模的形状而使布线的侧面为楼梯状。专利文献 2 及专利文献 4 所公开的布线的台阶为一个,并且台阶分别设置在两端。

[0048] 此外,专利文献 3 所公开的技术,使布线的截面形状部分地为不同,但是由在相同的蚀刻工序中形成的布线的侧面和衬底主平面而成的角度相同。

[0049] 此外,在本说明书中,表示方向的单词如上、下、侧、水平、垂直等,是指以将器件配置在衬底表面之上的情况下的衬底表面为标准的方向。

[0050] 此外,在本说明书中,栅电极是指隔着半导体层和绝缘膜地重叠并形成薄膜晶体管的沟道的部分。栅极布线是指上述部分之外的部分。此外,由相同的导电材料构成的一个图案的一部分是栅电极,其他部分成为栅极布线。

[0051] 此外,在本发明中,作为半导体层,可以使用以硅为主要成分的半导体膜、或以金属氧化物为主要成分的半导体膜。作为以硅为主要成分的半导体膜,可以使用非晶半导体膜、包括结晶结构的半导体膜、以及包括非晶结构的化合物半导体膜等,具体而言,可以使用非晶硅、微晶硅、多晶硅、单晶硅等。此外,作为以金属氧化物为主要成分的半导体膜,可以使用氧化锌(ZnO)、以及锌、镓、和铟的氧化物(In-Ga-Zn-O)等。

[0052] 此外,可以与 TFT 结构及晶体管结构无关地应用本发明,例如可以使用顶栅型 TFT、底栅型(反交错型)TFT、正交错型 TFT。此外,不局限于单栅结构的晶体管,还可以采用具有多个沟道形成区域的多栅型晶体管例如双栅型晶体管。

[0053] 可以使用一个掩模来在一个母玻璃衬底的所希望的部分中精密地分别提供其侧面的角度不同的布线,而不增加工序。

附图说明

[0054] 图 1(A) 至 (D) 是示出半导体器件的制造工序的剖视图。

[0055] 图 2A 至 2C 是示出布线的截面的一例的照片。

[0056] 图 3A 至 3D 是示出半导体器件的制造工序的剖视图。

[0057] 图 4A 和 4B 是示出布线的截面的一例的照片。

[0058] 图 5A、5C、5D 是掩模的一部分的俯视图,而图 5B、5E 是示出光强度的关系的一例的模式图。

[0059] 图 6A 至 6C 是示出半导体器件的制造工序的剖视图。

[0060] 图 7A 至 7C 是示出半导体器件的制造工序的剖视图。

[0061] 图 8A 至 8C 是示出半导体器件的制造工序的剖视图。

[0062] 图 9A 至 9D 是说明本发明的制造方法的剖视图。

[0063] 图 10A 至 10D 是说明本发明的制造方法的剖视图。

[0064] 图 11A 至 11C 是说明本发明的制造方法的剖视图。

[0065] 图 12 是说明本发明的制造方法的俯视图。

[0066] 图 13 是示出说明形成微晶硅膜的工序的时序图的一例的图。

[0067] 图 14 是示出蚀刻装置的剖视图。

[0068] 图 15A 至 15C 是示出半导体器件的制造工序的剖视图。

[0069] 图 16A 和 16B 是示出半导体器件的制造工序的剖视图。

[0070] 图 17A 至 17C 是示出半导体器件的制造工序的剖视图。

- [0071] 图 18A 和 18B 是示出半导体器件的制造工序的剖视图。
- [0072] 图 19A 至 19C 是示出半导体器件的制造工序的剖视图。
- [0073] 图 20 是说明液晶显示装置的一例的剖视图。
- [0074] 图 21 是说明液晶显示装置的一例的俯视图。
- [0075] 图 22 是说明液晶显示装置的一例的俯视图。
- [0076] 图 23 是液晶显示装置的像素的等效电路图。
- [0077] 图 24 是说明液晶显示装置的一例的图。
- [0078] 图 25 是说明液晶显示装置的一例的图。
- [0079] 图 26A 至 26C 是说明显示面板的立体图。
- [0080] 图 27A 和 27B 是说明显示面板的俯视图及剖视图。
- [0081] 图 28A 至 28C 是说明电子设备的立体图。

具体实施方式

[0082] 下面,关于本发明的实施方式给予说明。

[0083] 实施方式 1

[0084] 在本实施方式中,参照图 1A 至 1D,示出将包括薄膜晶体管的像素部和包括用来使用 FPC 等连接到外部装置的连接布线的端子部形成在同一衬底上的制造工序。

[0085] 首先,准备具有绝缘表面的衬底 101。作为具有绝缘表面的衬底 101,可以使用具有透光性的衬底例如玻璃衬底、结晶玻璃衬底、或塑料衬底。在衬底 101 是母玻璃的情况下,可以使用如下尺寸的衬底:第一代(320mm×400mm)、第二代(400mm×500mm)、第三代(550mm×650mm)、第四代(680mm×880mm 或 730mm×920mm)、第五代(1000mm×1200mm 或 1100mm×1250mm)、第六代(1500mm×1800mm)、第七代(1900mm×2200mm)、第八代(2160mm×2460mm)、第九代(2400mm×2800mm 或 2450mm×3050mm)、第十代(2950mm×3400mm)等。

[0086] 此外,在具有绝缘表面的衬底 101 中,只要成为最表面的层或膜具有绝缘表面,就可以已形成有由绝缘体构成的基底膜、半导体层、及导电膜。

[0087] 接着,在具有绝缘表面的衬底 101 上,形成第一导电层 103。第一导电层 103 是使用高熔点金属如钨、钛、铬、钽、或钼等、或者以高熔点金属为主要成分的合金或化合物如氮化钽等并以 200nm 至 600nm 的厚度形成的。此外,也可以为谋求布线的低电阻化而采用铝、金、铜等的金属膜和上述高熔点金属的叠层。

[0088] 接着,在第一导电层 103 的整个表面上涂敷抗蚀剂膜 403,然后使用图 1A 所示的掩模 400 进行曝光。这里,涂敷厚度为 1.5 μm 的抗蚀剂膜,并使用分辨率为 1.5 μm 的曝光设备。用于曝光的光为 i 线(波长为 365nm),而曝光能量选自 70mJ/cm²至 140mJ/cm²的范围内。此外,不局限于 i 线,还可以使用混合 i 线及 g 线(波长为 436nm)和 h 线(波长 405nm)的光进行曝光。

[0089] 在本实施方式中,在曝光掩模的一部分设置具有光强度减少功能的辅助图案(灰色调)并将该曝光掩模用作第一光掩模,并且将像素部的薄膜晶体管的栅电极的锥形角设定为 10° 至 50° 的范围内。

[0090] 在图 1A 中,在曝光掩模 400 中设置有由 Cr 等的金属膜构成的遮光部 401b 和设置

槽缝并将它用作具有光强度减少功能的辅助图案的半透部 401a。在曝光掩模 400 的剖视图中,将遮光部 401b 的宽度表示为 t_2 ,将半透部 401a 的宽度表示为 t_1 和 t_3 。这里,作为曝光掩模的一部分使用灰色调的例子,但还可以采用使用半透膜的半色调。

[0091] 通过使用图 1A 所示的曝光掩模 400 对抗蚀剂膜 403 进行曝光,在抗蚀剂膜 403 形成非曝光区域 403a、403b 以及曝光区域 403c。当进行曝光时,通过光经过遮光部 401a、401b 的周围及半透部 402a、402b,形成图 1A 所示的曝光区域 403c。

[0092] 然后,通过进行显影,曝光区域 403c 被去除,并且如图 1B 所示,在导电层 103 上获得像素部中的第一抗蚀剂掩模 404a、以及端子部中的第二抗蚀剂掩模 404b。通过调节曝光能量等的曝光条件,可以获得锥形的第一抗蚀剂掩模 404a,而不获得具有一个台阶的端部。在不设置有灰色调的区域的由光掩模进行曝光的端子部中,形成其截面的侧面角度比第一抗蚀剂掩模 404a 大的第二抗蚀剂掩模 404b。

[0093] 接着,将抗蚀剂掩模 404a、404b 用作掩模,并通过干蚀刻对第一导电层 103 进行蚀刻。此外,根据蚀刻条件,具有绝缘表面的衬底 101 也被蚀刻,而其厚度部分地变薄。因此,优选地是:预先在衬底 101 的最表面的层或衬底 101 上,具有可被蚀刻的绝缘膜。作为蚀刻气体,使用氟化甲烷 (CF_4)、六氟化硫 (SF_6)、氯 (Cl_2)、氧 (O_2)。此外,使用如下干蚀刻装置,即与使用 ICP 装置的情况相比,容易获得在较广的面积上的均匀的放电。作为那样干蚀刻装置,如下 ECCP (Enhanced Capacitively Coupled Plasma: 增大电容耦合等离子体) 模式的蚀刻装置最适合:该蚀刻装置使上部电极接地,将 13.56MHz 的高频电源连接到下部电极,并将 3.2MHz 的低频电源连接到下部电极。若是采用该蚀刻装置,就可以对应例如使用第十代的超过 3m 的尺寸的衬底作为衬底 101 的情况。

[0094] 在结束上述蚀刻工序之后,进行灰化处理等,去除还残留的抗蚀剂掩模。这样,如图 1C 所示,在衬底 101 上形成第一布线层 107a 和第二布线层 107b。这里,将形成在像素部中的第一布线层 107a 的锥形角 θ_1 大约为 50° ,将形成在端子部的第二布线层 107b 的锥形角 θ_2 大约为 70° 。在后面的工序中,在第一布线层 107a 上形成半导体膜及布线,因此为防止断裂而将两侧面的锥形角加工为小是有效的。此外,多个第二布线层 107b 彼此邻接而配置,并与 FPC 等连接,所以将两侧面的锥形角加工为大,以防止在彼此邻接的第二布线层 107b 之间产生的短路是有效的。此外,在需要将多个第二布线层 107b 排列在窄的范围内,可以缩小彼此邻接的第二布线层 107b 的间隔,因此将两侧面的锥形角加工为大是有效的。

[0095] 此外,由于对于在该第一导电层 103 的蚀刻工序中使用的抗蚀剂膜,难以使用负型抗蚀剂,因此该栅电极形成用光掩模或中间掩模的图案结构以正型抗蚀剂为前提。

[0096] 接着,在第一布线层 107a 上,层叠氮化硅 (节电常数为 7.0,厚度为 300nm) 的栅极绝缘膜 102。栅极绝缘膜 102 可以通过 CVD 法、溅射法等,使用氮化硅膜或氮氧化硅膜形成。此外,这里,氮氧化硅膜是指在其组成上氮含量多于氧含量的膜,作为其浓度范围包含 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的 Si、以及 15 原子%至 25 原子%的氢。

[0097] 接着,在形成栅极绝缘膜 102 之后,以不接触于大气的方式传送衬底,并在形成栅极绝缘膜的真空室不同的真空室中形成非晶半导体膜 105。

[0098] 接着,在形成非晶半导体膜 105 之后,以不接触于大气的方式传送衬底,在与形成

非晶半导体膜 105 的真空室不同的真空室中形成添加有赋予一种导电型的杂质的半导体膜。

[0099] 对添加有赋予一种导电型的杂质的半导体膜,添加磷作为典型的杂质元素,即对氢化硅添加磷化氢气体等的杂质气体即可。添加有赋予一种导电型的杂质的半导体膜,以 2nm 以上且 50nm 以下的厚度形成。通过使添加有一种导电型的杂质的半导体膜的厚度减薄,可以提高生产率。

[0100] 接着,在添加有赋予一种导电型的杂质的半导体膜上,形成抗蚀剂掩模。抗蚀剂掩模通过光刻技术或喷墨法形成。这里,通过使用第二光掩模,对涂敷在添加有赋予一种导电型的杂质的半导体膜上的抗蚀剂进行曝光和显影,来形成抗蚀剂掩模。

[0101] 接着,使用抗蚀剂掩模对添加有赋予一种导电型的杂质的半导体膜及非晶半导体膜进行蚀刻,来形成岛状半导体层。然后,去除抗蚀剂掩模。

[0102] 接着,以覆盖添加有赋予一种导电型的杂质的半导体膜及栅极绝缘膜 102 的方式形成第二导电层。第二导电层优选使用铝、或者添加有铜、硅、钛、钽、钨等提高耐热性的元素或防止小丘产生的元素的铝合金的单层或叠层形成。这里,未图示第二导电层,但是示出具有三层层叠的结构 of 导电膜,并且作为第二导电层的第一层和第三层使用钼膜,作为第二导电层的第二层使用铝膜。通过溅射法和真空蒸镀法,形成第二导电层。

[0103] 接着,如图 1D 所示,在第二导电层上使用第三光掩模形成抗蚀剂掩模并对第二导电层的一部分进行蚀刻,来形成一对源电极及漏电极 109、110。当对第二导电层进行湿蚀刻时,第二导电层的端部选择性地被蚀刻。其结果,可以形成其面积比抗蚀剂掩模小的源电极及漏电极 109、110。

[0104] 接着,使用上述抗蚀剂掩模,对添加有赋予一种导电型的杂质的半导体膜进行蚀刻,来形成一对源区及漏区 106、108。再者,在该蚀刻工序中,也对非晶半导体膜 105 的一部分进行蚀刻。可以以与源区及漏区相同的形成工序形成非晶半导体膜 105 的凹部(槽)。通过将非晶半导体膜 105 的凹部(槽)的深度设定为非晶半导体膜 105 的厚度最厚的区域的二分之一至三分之一,可以增大源区及漏区的距离,从而可以减少源区及漏区之间的泄漏电流。然后,去除抗蚀剂掩模。

[0105] 接着,形成覆盖源电极或漏电极 109、110、源区或漏区 106、108、非晶半导体膜 105、以及栅极绝缘膜 102 的绝缘膜 111。绝缘膜 111 可以采用与栅极绝缘膜 102 相同的形成方法形成。此外,栅极绝缘膜 102 用来防止悬浮在大气中的有机物、金属物、及水蒸气等的污染杂质的侵入,从而优选是致密的膜。

[0106] 可以通过上述工序,在像素部中形成薄膜晶体管。

[0107] 接着,通过采用使用第四光掩模形成的抗蚀剂掩模,对绝缘膜 111 选择性地蚀刻,形成使源电极或漏电极 109 暴露在像素部的第一接触孔,并且对绝缘膜 111 及栅极绝缘膜 102 选择性地蚀刻,形成使第二布线层 107b 暴露在端子部的第二接触孔。在形成接触孔之后,去除抗蚀剂掩模。

[0108] 接着,在形成透明导电膜之后,通过采用使用第五光掩模形成的抗蚀剂掩模,对透明导电膜的一部分进行蚀刻,在像素部中形成电连接到源电极或漏电极 109 的像素电极 112,并在端子部中形成电连接到第二布线层 107b 的连接电极 113。在形成像素电极 112 及连接电极 113 之后,去除抗蚀剂掩模。结束这个工序之后的剖视图相当于图 1D。

[0109] 透明导电膜可以使用包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等的具有透光性的导电材料。另外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成透明导电膜。优选地是,通过使用导电组成物而形成的像素电极的薄层电阻(sheet resistance)为 $10000\ \Omega/\square$ 以下,550nm的波长中的透光率为70%以上。另外,包含在导电组成物中的导电高分子的电阻率为 $0.1\ \Omega\cdot\text{cm}$ 以下。

[0110] 作为导电高分子,可以使用所谓的 π 电子共轭系统导电高分子。例如,可以举出聚苯胺作为导电高分子,可以使用所谓的 π 电子共轭系统导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或由上述物质中的两种以上构成的共聚物等。

[0111] 或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或由上述物质中的两种以上构成的共聚物等。

[0112] 通过上述工序,可以形成能够使用于透过型液晶显示装置的元件衬底。

[0113] 此外,图2A至2C示出进行实验并使用灰色调掩模进行蚀刻而获得的布线的截面SEM照片。

[0114] 作为样品,在玻璃衬底上形成厚度为100nm的氧氮化硅膜,并在其上形成400nm的钛膜。然后,在钛膜上形成抗蚀剂膜。

[0115] 使用分辨率为 $1.5\ \mu\text{m}$ 的曝光装置,对抗蚀剂膜进行曝光和显影。然后,在作为第一蚀刻条件, BCl_3 气体的流量为40sccm, Cl_2 气体的流量为40sccm,来进行65秒的蚀刻之后,作为第二蚀刻条件, BCl_3 气体的流量为70sccm, Cl_2 气体的流量为10sccm,来进行蚀刻。

[0116] 没有灰色调的区域的布线的截面相当于图2A。遮光部的宽度为 $3\ \mu\text{m}$ 。图2A的布线的锥形角大约为 50° 。

[0117] 此外,使用线宽度为 $0.5\ \mu\text{m}$,空间宽度为 $0.5\ \mu\text{m}$ 的灰色调掩模进行曝光的区域的布线截面相当于图2B。遮光部的宽度为 $3\ \mu\text{m}$ 。图2B的布线的锥形角大约为 40° 。

[0118] 此外,将 $0.5\ \mu\text{m}$ 的线宽度和 $0.5\ \mu\text{m}$ 的空间宽度反复两次而配置的灰色调来进行曝光的区域的布线截面相当于图2C。遮光部的宽度为 $3\ \mu\text{m}$ 。图2C的布线的锥形角大约为 30° 。

[0119] 像这样,即使遮光部的宽度相同,也可以根据灰色调的线宽度及空间宽度使可获得的布线宽度和锥形角为不同。此外,当改变灰色调掩模的线宽度及空间宽度进行实验时,有的部分成为在侧面具有一个台阶的布线形状、或具有突出部分的布线形状。

[0120] 这里,以上述蚀刻条件进行实验,但是并没有特别的限制。通过曝光和显影来获得锥形角不同的抗蚀剂,从而优选地是,实施者为能够获得反映这种抗蚀剂的形状的布线而适当地设计掩模或调节蚀刻条件。

[0121] 实施方式2

[0122] 在本实施方式中,参照图3A至3D,说明当在覆盖薄膜晶体管的层间绝缘膜上形成布线之际使像素部的截面形状和端子部的截面形状为不同的例子。

[0123] 此外,至途中的工序为止与实施方式1相同,所以这里省略详细说明。此外,在图3A至3D中,与图1A至1D共同的部分使用相同的附图标号来进行说明。

[0124] 本实施方式是在覆盖在实施方式1中形成了的薄膜晶体管的绝缘膜111上形成平

平坦化膜的例子。

[0125] 首先,根据实施方式 1 进行到形成绝缘膜 111 的工序。

[0126] 接着,形成平坦化膜 114。使用有机树脂膜,形成平坦化膜 114。然后,通过采用使用第四光掩模形成的抗蚀剂掩模,对绝缘膜 111 及平坦化膜 114 选择性地进行蚀刻,形成使源电极或漏电极 109 暴露在像素部的第一接触孔,并且对栅极绝缘膜 102、绝缘膜 111 及平坦化膜 114 选择性地进行蚀刻,形成使第二布线层暴露在端子部的第二接触孔。

[0127] 接着,在平坦化膜 114 上形成第三导电层 115。至这个阶段为止的工序剖视图相当于图 3A。

[0128] 接着,在第三导电层 115 的整个表面上涂敷抗蚀剂膜,然后使用图 3B 所示的掩模 410 进行曝光。

[0129] 在本实施方式中,在曝光掩模的一部分设置具有光强度减少功能的辅助图案(灰色调)并将该曝光掩模用作第四光掩模,并且将端子部的连接电极的一方的侧面的锥形角设定为 10° 至 50° 的范围内。

[0130] 在图 3B 中,曝光掩模 410 设置有由 Cr 等的金属膜构成的遮光部 411a 和提供槽缝作为具有光强度减少功能的辅助图案的半透部 411b。这里,示出了将灰色调掩模用作曝光掩模的一部分的例子,但是还可以采用使用半透膜的半色调掩模。

[0131] 通过使用图 3B 所示的曝光掩模 410 对抗蚀剂膜进行曝光,在抗蚀剂膜上形成非曝光区域 413a、413b 以及曝光区域 413c。当进行曝光时,通过光经过遮光部 411a 的周围及半透部 411b,形成图 3B 所示的曝光区域 413c。

[0132] 然后,通过进行显影,曝光区域 413c 被去除,并且在第三导电层 115 上可获得像素部中的第三抗蚀剂掩模、以及端子部中的第四抗蚀剂掩模。通过调节曝光能量等的曝光条件,可以获得一方的侧面为锥形的第一抗蚀剂掩模,而不获得具有一个台阶的端部。

[0133] 接着,将第三抗蚀剂掩模及第四抗蚀剂掩模用作掩模,并通过干蚀刻对第三导电层 115 进行蚀刻。此外,使用如下干蚀刻装置,即与使用 ICP 装置的情况相比,容易获得在较广的面积上的均匀的放电。作为那样干蚀刻装置,如下 ECCP(Enhanced Capacitively Coupled Plasma:增大电容耦合等离子体)模式的蚀刻装置最适合:使上部电极接地,将 13.56MHz 的高频电源连接到下部电极,并将 3.2MHz 的低频电源连接到下部电极。若是采用该蚀刻装置,就可以对应例如使用第十代的超过 3m 的尺寸的衬底作为衬底 101 的情况。

[0134] 至这个阶段为止的工序剖视图相当于图 3C。第三抗蚀剂掩模、及第四抗蚀剂掩模也当第三导电层 115 的蚀刻时被蚀刻,然后第三抗蚀剂掩模 414a 残留在第一连接电极 116 上,且第四抗蚀剂掩模 414b 残留在第二连接电极 117 上。第二连接电极 117 反映第四抗蚀剂掩模的形状而仅其一方的侧面成为锥形。此外,在不设置有灰色调掩模的区域的使用光掩模被曝光的像素部中,以缩小第一连接电极 116 的面积的方式进行蚀刻,从而可以有助于开口率的提高。

[0135] 在上述蚀刻工序结束之后,通过灰化处理等,去除还残留的抗蚀剂掩模。

[0136] 接着,在形成透明导电膜之后,采用使用第五光掩模形成的抗蚀剂掩模对透明导电膜的一部分进行蚀刻,从而在像素部中形成覆盖第一连接布线 116 地电连接的像素电极 118 并在端子部中形成与第二连接电极 117 电连接的第三连接电极 119。去除像素电极 118 及第三连接电极 119 的抗蚀剂掩模。结束此工序之后的剖视图相当于图 3D。通过将第三

连接电极 119 设置为重叠于第二连接电极 117 的成为锥形的部分,谋求防止第三连接电极 119 的断裂。

[0137] 通过上述工序,可以形成可使用于透过型液晶显示装置的元件衬底。

[0138] 此外,图 4A 和 4B 示出进行实验并使用灰色调掩模进行蚀刻而获得的布线的截面 SEM 照片。

[0139] 作为样品,在玻璃衬底上形成厚度为 100nm 的氧氮化硅膜,并在其上形成 400nm 的钛膜。然后,在钛膜上形成了抗蚀剂膜。

[0140] 使用分辨率为 $1.5\mu\text{m}$ 的曝光装置,对抗蚀剂膜进行曝光和显影。然后,在作为第一蚀刻条件, BCl_3 气体的流量为 40sccm, Cl_2 气体的流量为 40sccm,进行 65 秒的蚀刻之后,作为第二蚀刻条件, BCl_3 气体的流量为 70sccm, Cl_2 气体的流量为 10sccm,进行蚀刻。

[0141] 如图 3B 的光掩模所示,使用只在一侧将 $0.5\mu\text{m}$ 的线宽度和 $0.5\mu\text{m}$ 的空间宽度反复两次而配置的灰色调掩模来进行曝光的区域的布线截面相当于图 4A。一方的锥形角大约为 70° ,而另一方的锥形角大约为 35° 。

[0142] 此外,使用只在一侧配置了 $0.5\mu\text{m}$ 的线宽度和 $0.75\mu\text{m}$ 的空间宽度的灰色调掩模来进行曝光的区域的布线截面相当于图 4B。一方的锥形角大约为 70° ,而另一方的侧面的坡度比一方小,具有不同的锥形角。另一方的侧面的与衬底接近一侧的锥形角大约为 30° ,而与衬底远离一侧的锥形角大约为 60° 。

[0143] 此外,当只在一侧将 $0.5\mu\text{m}$ 的线宽度和 $0.5\mu\text{m}$ 的空间宽度反复三次而配置的灰色调掩模来进行曝光时,可获得侧面具有一个台阶的布线形状。像这样,若是线宽度和空间宽度改变,可获得的布线形状也大幅度地改变。因此,重要地是:实施者选择最适合的线宽度和空间宽度来谋求蚀刻条件的最优化。

[0144] 此外,参照图 5A 至 5E,说明具备由线和空间、或者矩形图案和空间构成的半透部的曝光掩模的一例。

[0145] 图 5A 示出曝光掩模的俯视图的具体例子。另外,图 5B 示出当使用该曝光掩模时的光强度分布 214 的一例。图 5A 所示的曝光掩模包括遮光部 P、半透过部 Q、透过部 R。在图 5A 所示的曝光掩模的半透过部 Q 中,设置有以条纹状(槽缝状)反复的线 203、205、207 以及空间 201、204、206,并且在与遮光部 P 的端部 202 平行的方向上配置有线和空间。在该半透过部中,由遮光材料 205 构成的宽度为 L,遮光材料之间的空间 204 的宽度为 W2。线 203 由遮光材料构成,并且它可以使用与遮光部 P 相同的遮光材料设置。线 203 被形成为矩形,但不局限于矩形,具有一定的宽度即可。例如,可以采用角带有圆度的形状。

[0146] 在图 5A 的曝光掩模中,空间 204 的宽度 W2 比空间 201 的宽度 W1 大,并且空间 206 的宽度 W3 比空间 204 的宽度 W2 大。此外,在图 5A 的曝光掩模中,线宽度相同。

[0147] 此外,图 5A 的曝光掩模是一例,只要获得图 5B 所示的光强度分布就没有特别的限制。例如,如图 5C 所示,使用不是线形而是其前端具有锐角的形状的具有遮光部 215 的曝光掩模进行曝光,来实现图 5B 所示的光强度分布。此外,使用包括如图 5D 所示那样的具有多个树枝状部分的遮光部 216 的曝光掩模,实现图 5B 所示的光强度分布。

[0148] 本实施方式可以与实施方式 1 自由地组合。

[0149] 实施方式 3

[0150] 本实施方式是不同于实施方式 2 的一例,参照图 6A 至 6C 进行说明。图 6A 与图 3A

相同,所以这里省略详细说明,并且相同的部分使用相同的附图标号进行说明。

[0151] 根据实施方式 2,进行到形成第三导电层 115 的工序,成为与图 6A 相同的阶段。

[0152] 接着,使用不同于实施方式 2 的光掩模,对第三导电层 115 选择性地进行蚀刻。在本实施方式中,示出在像素部中形成只一方具有锥形角的第一连接电极 120,而在端子部中形成两端具有相同的锥形角的连接电极 121 的例子。

[0153] 在结束上述蚀刻工序之后,通过进行灰化处理等,去除还残留的抗蚀剂掩模。

[0154] 接着,在形成透明导电膜之后,采用使用第五光掩模形成的抗蚀剂掩模,对透明导电膜的一部分进行蚀刻,来在像素部中形成与第一连接布线 120 的一部分重叠并电连接的像素电极 122,并且在端子部中形成与第二连接电极 121 电连接的第三连接电极 123。

[0155] 在本实施方式中,通过以与第一连接电极 120 的成为锥形的部分重叠的方式设置像素电极 122,谋求防止像素电极 122 的断裂。

[0156] 通过上述工序,可以形成可使用于透过型液晶显示装置的元件衬底。

[0157] 本实施方式可以与实施方式 1、或实施方式 2 自由地组合。

[0158] 实施方式 4

[0159] 本实施方式示出使用如下曝光掩模的例子,该曝光掩模中设置有由半透膜构成的具有光强度减少功能的辅助图案(半色调膜)。

[0160] 首先,与实施方式 1 相同,在衬底 101 上形成第一导电层 103,并且在其上形成抗蚀剂膜。

[0161] 在图 7A 中,曝光掩模 420 设置有由 Cr 等的金属膜构成的遮光部 421a、421b、以及提供有作为具有光强度减少功能的辅助图案的半透膜(也称为半色调膜)的部分(半透部 422a、422b)。在曝光掩模 420 的剖视图中,将遮光部 421a 和半透部 422b 重叠的区域的宽度表示为 t_2 ,将半透部 422a 为一层的区域的宽度表示为 t_1 、 t_3 。就是说,将半透部 422a 不与遮光部 421a 重叠的区域的宽度表示为 t_1 、 t_3 。

[0162] 通过使用图 7A 所示的曝光掩模 420 进行抗蚀剂膜的曝光,在抗蚀剂膜上形成非曝光区域 423a、423b 以及曝光区域 423c。当进行曝光时,通过光经过遮光部 421a、421b 的周围及半透部 422a、422b,形成图 7A 所示的曝光区域 423c。

[0163] 然后,通过显影,曝光区域 423c 被去除,并且如图 7B 所示,在第一导电层 103 上可获得两侧部具有锥形的抗蚀剂掩模 424a 和截面实质上为长方形的抗蚀剂掩模 424b。

[0164] 接着,使用抗蚀剂掩模 424a、424b 作为掩模,通过干蚀刻对第一导电层 103 进行蚀刻。

[0165] 在结束上述蚀刻工序之后,通过灰化处理等,去除还残留的抗蚀剂掩模。像这样,如图 7C 所示,在衬底 101 上形成第一布线层 124a 和第二布线层 124b。这里,形成在像素部的第一布线层 107a 的锥形角大约为 60° ,而形成在端子部的第二布线层 107b 的侧面角度大约为 90° 。

[0166] 在后面的工序中,根据实施方式 1 形成薄膜晶体管,来形成可使用于透过型液晶显示装置的元件衬底。

[0167] 本实施方式可以与实施方式 1、实施方式 2、或实施方式 3 自由地组合。

[0168] 实施方式 5

[0169] 本实施方式示出使用相同的掩模形成三种截面形状作为布线。该三种截面形状为

具有两个台阶的截面形状、梯形的截面形状、以及具有一个台阶的截面形状。

[0170] 首先,与实施方式1相同,在衬底101上形成第一导电层103,并在其上形成抗蚀剂膜。

[0171] 接着,使用图8A所示的曝光掩模430进行抗蚀剂膜的曝光。通过对进行抗蚀剂膜的曝光,在抗蚀剂膜中形成非曝光区域433a、433b、433d以及曝光区域433c。当进行曝光时,通过光经过遮光部431b的周围及半透部431a、431c,形成图8A所示的曝光区域433c。

[0172] 在本实施方式中,在曝光掩模的一部分设置具有光强度减少功能的辅助图案(灰色调)并将该曝光掩模用作第一光掩模,来在像素部的薄膜晶体管的栅电极的两端形成两个台阶。将图5A所示的图案配置在遮光部的两侧,并将它用作第一光掩模。通过改变线宽度、空间宽度、以及曝光条件,实现与图5B所示的光强度分布不同的分布,例如图5E所示的具有两个分布的光强度分布217。此外,图5A所示的曝光掩模是一例,例如也可以如图5C所示那样地使用具有遮光部215的曝光掩模进行曝光,来实现图5E所示的光强度分布,该遮光部215的形状不是线形而是其前端具有锐角的形状。此外,也可以使用包括如图5D所示那样的具有多个树枝状部分的遮光部216的曝光掩模,实现图5E所示的光强度分布。

[0173] 另外,端子部的连接电极的两端形成一个台阶。该台阶使用与像素部的薄膜晶体管的栅电极不同的半透部431c形成。

[0174] 而且,通过进行显影,曝光区域433c被去除,并且如图8B所示,在第一导电层103上可以获得像素部中的第一抗蚀剂掩模434a、像素部的栅极布线部中的第二抗蚀剂掩模434b、以及端子部中的第三抗蚀剂掩模434c。通过调节曝光能量等的曝光条件,可以获得其端部具有两个台阶的第一抗蚀剂掩模434a。在没设置有灰色调的区域中的使用光掩模进行曝光的像素部的栅极布线部中,形成梯形的第二抗蚀剂掩模434b。此外,在端子部中,可以获得其端部具有一个台阶的第三抗蚀剂掩模434c。

[0175] 接着,使用抗蚀剂掩模434a、434b、434c作为掩模,并通过干蚀刻对第一导电层103进行蚀刻。

[0176] 在结束上述蚀刻工序之后,通过进行灰化处理等,去除还残留的抗蚀剂掩模。像这样,如图8C所示,在衬底101上形成第一布线层125a、第二布线层125b、以及第三布线层125c。这里,使形成在像素部中的第一布线层125a的端部具有两个台阶,使形成在像素部的栅极布线部中的第二布线层107b的侧面为梯形,并使形成在端子部中的第一布线层125c的端部具有一个台阶。在形成为锥形的情况下,锥形的端部的位置根据蚀刻时间改变,特别在锥形角小于 60° 的情况下,布线宽度的总计会不均匀,但是通过将布线层形成为楼梯状,即使蚀刻时间具有稍微的差异也可以获得一定的布线宽度。就是说,通过将布线层形成为楼梯状,可以充分地确保蚀刻条件的余地。再者,通过使第一布线125a的端部具有两个台阶,可以确保与具有锥形角小于 50° 的锥形的布线层相同的程度的台阶覆盖性。此外,形成在像素部的栅极布线部的第二布线层107b的侧面角度在 60° 至 90° 的范围内。

[0177] 像这样,通过实施者适当地设计曝光掩模430,可以选择性地形成所希望的布线层形状。

[0178] 在下面的工序中,根据实施方式1形成薄膜晶体管,来形成可使用于透过型液晶显示装置的元件衬底。

[0179] 本实施方式可以与实施方式1、实施方式2、实施方式3、或实施方式4自由地组合。

[0180] 实施方式 6

[0181] 在本实施方式中,参照图 9A 至图 14,说明使用于液晶显示装置的薄膜晶体管的制造工序。图 9A 至图 11C 是示出薄膜晶体管的制造工序的剖视图,而图 12 是一个像素中的薄膜晶体管及像素电极的连接区域的俯视图。图 13 是示出微晶硅膜的形成方法的时序图。图 14 是当形成电极或布线时使用的蚀刻装置的剖视图。

[0182] 至于具有微晶半导体膜的薄膜晶体管,因为 n 型薄膜晶体管的迁移率比 p 型薄膜晶体管的迁移率高,所以 n 型薄膜晶体管适合使用于驱动电路。优选使形成在同一衬底上的薄膜晶体管的极性一致,以抑制工序数。这里,使用 n 沟道型薄膜晶体管进行说明。

[0183] 如图 9A 所示,在衬底 50 上形成栅电极 51。衬底 50 可以通过采用如钽硼硅酸盐玻璃、铝硼硅酸盐玻璃、或铝硅酸盐玻璃等,使用通过利用熔融法或浮法而制造的无碱玻璃衬底等。在衬底 50 是母玻璃衬底的情况下,可以使用如下尺寸的衬底:第一代(320mm×400mm)、第二代(400mm×500mm)、第三代(550mm×650mm)、第四代(680mm×880mm 或 730mm×920mm)、第五代(1000mm×1200mm 或 1100mm×1250mm)、第六代(1500mm×1800mm)、第七代(1900mm×2200mm)、第八代(2160mm×2460mm)、第九代(2400mm×2800mm 或 2450mm×3050mm)、第十代(2950mm×3400mm)等。

[0184] 栅电极 51 使用钛、钼、铬、钽、钨、铝等的金属材料或其合金材料形成。栅电极 51 通过如下工序形成:通过采用溅射法及真空蒸镀法,在衬底 50 上形成导电膜,在该导电膜上使用实施方式 1 所示的多级灰度掩模形成抗蚀剂掩模,并使用该掩模对导电膜进行蚀刻。此外,也可以在衬底 50 及栅电极 51 之间,设置上述金属的氮化物膜作为用来提高栅电极 51 的紧密性和防止扩散到基底的阻挡金属。这里,使用由作为多级灰度掩模的光掩模形成的抗蚀剂掩模,对形成在衬底 50 上的导电膜进行蚀刻,来形成栅电极 51,并且同时形成与其侧面的角度与栅电极不同的布线(栅极布线、引导布线、电容布线等)。

[0185] 此外,这里使用图 14 所示的蚀刻装置进行蚀刻。

[0186] 图 14 所示的蚀刻装置,是一种 ECCP(Enhanced Capacitively Coupled Plasma:增大电容耦合等离子体)模式的蚀刻装置,其中使上部电极 137 接地,将 13.56MHz 的高频电源 132 连接到下部电极 135,并将 3.2MHz 的低频电源 131 连接到下部电极 135。该蚀刻装置可以对例如使用第十代的超过 3m 的尺寸的衬底作为衬底 50 的情况。

[0187] 在处理室 130 中,为引入被处理衬底而在设置在处理室外壁的开口中,设置闸阀 133,且该闸阀 133 与衬底的装载室、卸装室或传送室联结。此外,处理室 130 内部可以使用涡轮分子泵等的真空排气单元进行减压。另外,在处理室 130 中,包括由上部电极 137 和下部电极 135 构成的一对平行平板电极。

[0188] 上部电极 137 成为吹淋喷头,并设置有用来将蚀刻气体引入到处理室 130 中的多个开口。此外,供给到上部电极 137 的中空部分的蚀刻气体,从通过气体供给管及阀门联结的气体供给机构 139 被供给。此外,气体供给机构 139 与气体供给源 138 联结。

[0189] 下部电极 135 的外周及上面边缘,设置有绝缘构件 134。此外,虽然在此未图示,但下部电极 135 包括用来保持被处理衬底 136 的衬底保持单元如静电吸盘等、以及用来调节温度的加热单元或冷却单元。另外,还可以在上部电极 137 中,设置用来调节温度的加热单元或冷却单元。

[0190] 供电线电连接到下部电极 135,并且第一匹配器 140a 和 140b 和高频电源 132 连接到该供

电线。高频电源 132 对下部电极供给 13.56MHz 的等离子体形成用高频电力。此外,第二匹配器 140b 和低频电源 131 连接到该供电线。低频电源 131 例如对下部电极供给 3.2MHz 的低频电力,并使与等离子体形成用高频电力重叠。

[0191] 此外,图 14 所示的蚀刻装置的各个构成部,被工序控制器控制。通过使用该蚀刻装置,即使使用尺寸超过 3m 的第十代的衬底也可以确保平面内的均匀性。

[0192] 接着,在栅电极 51 上,按顺序形成栅极绝缘膜 52a、52b、52c。结束该工序之后的剖视图相当于图 9A。

[0193] 栅极绝缘膜 52a、52b、52c 可以通过 CVD 法或溅射法等,使用氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜形成。为了防止由形成在栅极绝缘膜中的针孔等导致的层间短路,优选使用不相同的绝缘层来形成多层结构。这里,示出依次层叠氮化硅膜、氧氮化硅膜、以及氮化硅膜作为栅极绝缘膜 52a、52b、52c 的方式。

[0194] 这里,氧氮化硅膜指的是在其组成上氧含量多于氮含量的物质,并且其浓度范围为如下:55 原子%至 65 原子%的氧;1 原子%至 20 原子%的氮;25 原子%至 35 原子%的 Si;以及 0.1 原子%至 10 原子% 的氢。

[0195] 栅极绝缘膜的第一层及第二层都厚于 50nm。作为栅极绝缘膜的第一层,优选使用氮化硅膜或氮氧化硅膜,以防止杂质(例如碱金属等)从衬底扩散。此外,栅极绝缘膜的第一层不仅可以防止栅电极的氧化,而且还可以在将铝用作栅电极的情况下防止小丘。此外,与微晶半导体膜接触的栅极绝缘膜的第三层厚于 0nm 至 5nm 以下,优选大约为 1nm。栅极绝缘膜的第三层是用来提高与微晶半导体膜的紧密性而提供的。另外,通过将氮化硅膜用作栅极绝缘膜的第三层,可以谋求防止因后面进行的热处理引起的微晶半导体膜的氧化。例如,当在氧含量多的绝缘膜和微晶半导体膜彼此接触的状态下进行热处理时,微晶半导体膜会氧化。

[0196] 再者,优选使用频率为 1GHz 的微波等离子体 CVD 装置,形成栅极绝缘膜。通过使用微波等离子体 CVD 装置而形成的氧氮化硅膜、氮氧化硅膜的耐压性高,从而可以提高薄膜晶体管的可靠性。

[0197] 这里,虽然形成具有三层结构的栅极绝缘膜,但是在用作液晶显示装置的开关元件的情况下,由于进行交流驱动而可以仅由氮化硅膜的单层构成。

[0198] 接着,优选地是,在形成栅极绝缘膜之后,不接触于大气地传送衬底,以在与形成栅极绝缘膜的真空室不相同的真空室中形成微晶半导体膜 53。

[0199] 下面,还参照图 13 说明形成微晶半导体膜 53 的工序。在图 13 中,以对真空室从大气压进行真空排气 200 的阶段为开始,以时间序列的方式分别示出后面进行的各种处理,如预涂 1201、衬底搬入 1202、基底预处理 1203、成膜处理 1204、衬底搬出 1205、净化 1206。但是,不局限于从大气压排气到真空,从批量生产或以短时间降低最终真空度的观点来看,优选将真空室一直保持为一定程度的真空度。

[0200] 在本实施方式中,将衬底搬入之前的真空室内的真空度设定为低于 10^{-5} Pa,即进行超高真空排气。这个阶段相当于图 13 中的真空排气 1200。在进行这种超高真空排气的情况下,优选同时利用低温泵,利用涡轮分子泵进行排气,并利用低温泵进行真空排气。以两个涡轮分子泵串联的方式进行真空排气也是有效的。另外,优选在真空室中设置烘烤用加热器来进行加热处理,以从真空室内壁脱气。此外,还使加热衬底的加热器工作来使温度稳

定。衬底的加热温度为 100℃至 300℃,优选为 120℃至 220℃。

[0201] 接着,在搬入衬底之前,通过进行预涂 1201 以形成硅膜作为内壁覆盖膜。作为预涂 1201,通过引入氢或稀有气体产生等离子体,以去除附着在真空室的内壁上的气体(氧及氮等的大气成分、或用来使真空室净化的蚀刻气体),然后引入硅烷气体,来生成等离子体。由于硅烷气体与氧或水分等起反应,所以通过流过硅烷气体来生成硅烷等离子体,可以去除真空室中的氧或水分。另外,通过预先进行预涂 1201,可以防止将构成真空室的部件的金属元素混入到微晶半导体膜中作为杂质。就是说,通过使用硅覆盖真空室内,可以防止真空室中被等离子体蚀刻,并可以降低包含在后面形成的微晶硅膜中的杂质浓度。预涂 1201 包括使用与将要堆积在衬底上的膜相同种类的膜覆盖真空室内壁的处理。

[0202] 在预涂 1201 之后,进行衬底搬入 1202。由于将要堆积微晶硅膜的衬底存储在进行了真空排气的装载室中,因此即使搬入衬底也不会使真空室内的真空度显著恶化。

[0203] 接着,进行基底预处理 1203。基底预处理 1203 是在形成微晶硅膜时特别有效的处理,因此优选进行基底预处理 1203。就是说,当在玻璃衬底表面、绝缘膜的表面、或非晶硅的表面上通过等离子体 CVD 法形成微晶硅膜时,有时会在堆积初期阶段中由于杂质或晶格失配等而导致形成非晶层。为了尽量降低该非晶层的厚度或者如果可能则去除该非晶层,优选进行基底预处理 1203。作为基底预处理,优选进行稀有气体等离子体处理或氢等离子体处理,或者进行这两种处理。作为稀有气体等离子体处理,优选使用质量数大的稀有气体元素如氩、氦、或氙等。这是因为通过利用溅射效果去除附着在表面上的氧、水分、有机物、或金属元素等的杂质的缘故。氢等离子体处理是对于通过利用氢自由基去除吸附在表面上的上述杂质、以及通过利用对绝缘膜或非晶硅膜的蚀刻作用,形成干净的被形成膜表面有效的。另外,通过进行稀有气体等离子体处理和氢等离子体处理,促进微晶核生成。

[0204] 从促进微晶核生成的观点来看,如图 13 中的虚线 1207 所示,在微晶硅膜的成膜初期,继续提供氩等的稀有气体是有效的。

[0205] 在进行基底预处理 1203 之后,进行形成微晶硅膜的成膜处理 1204。在本实施方式中,在成膜速度低而质量良好的第一成膜条件下形成栅极绝缘膜界面附近的膜,然后在成膜速度高的第二成膜条件下堆积膜。

[0206] 只要第二成膜条件的成膜速度比第一成膜条件的成膜速度高,就没有特别的限制。因此,可以通过使用频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法、或频率为 1GHz 以上的微波等离子体 CVD 装置形成,典型地说,可以通过使用氢稀释氢化硅如 SiH_4 或 Si_2H_6 , 来实现等离子体生成而形成。除了氢化硅及氢以外,还可以使用选自氦、氩、氦、氙中的一种或多种稀有气体元素来进行稀释,以形成微晶半导体膜。此时的相对于氢化硅的氢的流量比为 12 倍以上且 1000 倍以下,优选为 50 倍以上且 200 倍以下,更优选为 100 倍。另外,可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氢化硅。

[0207] 在将氦添加到材料气体中的情况下,由于氦的离子化能量在所有气体中最高,即 24.5eV,其亚稳态位于比该离子化能量稍微低的大约 20eV 的能级,因此在放电持续期间中,为离子化而只需要其差异的 4eV 左右。因此,放电开始电压值也在所有气体中最低。由于上述特征,氦能够稳定地保持等离子体。另外,由于能够形成均匀的等离子体,所以即使堆积微晶硅膜的衬底的面积增大,也可以发挥实现等离子体密度的均匀化的效果。

[0208] 还可以将碳的氢化物如 CH_4 或 C_2H_6 等、氢化锗或氟化锗如 GeH_4 或 GeF_4 等混合到硅

烷等的气体中,以将能带宽度调整为 1.5eV 至 2.4eV、或 0.9eV 至 1.1eV。通过将碳或锗添加到硅中,可以改变 TFT 的温度特性。

[0209] 这里,第一成膜条件为如下:通过使用氢及/或稀有气体,将硅烷稀释为超过 100 倍且 2000 倍以下,衬底的加热温度为 100℃至 300℃,优选为 120℃至 220℃。为了使用氢使微晶硅膜的生长表面惰性化,并促进微晶硅的生长,优选在 120℃至 220℃的温度下进行成膜。

[0210] 将在结束第一成膜条件下的成膜之后的剖视图示出于图 9B。在栅极绝缘膜 52c 上,形成有成膜速度低而质量优良的微晶半导体膜 23。该在第一成膜条件下可获得的微晶半导体膜 23 的质量,有助于后面形成的 TFT 的导通电流的增大及场效应迁移率的提高,因此重要的是充分地降低氧浓度,以便将膜中的氧浓度设定为 $1 \times 10^{17}/\text{cm}^3$ 以下。另外,通过上述工序,除了氧以外,还可以降低混入到微晶半导体膜中的氮及碳的浓度,因此可以防止微晶半导体膜的 n 型化。

[0211] 接着,通过改变为第二成膜条件来提高成膜速度,以形成微晶半导体膜 53。此时的剖视图相当于图 9C。微晶半导体膜 53 的厚度可以为 50nm 至 500nm(优选为 100nm 至 250nm)。此外,在本实施方式中,微晶半导体膜 53 的成膜时间包括在第一成膜条件下进行成膜的第一成膜期间、以及在第二成膜条件下进行成膜的第二成膜期间。

[0212] 这里,第二成膜条件为如下:使用氢及/或稀有气体将硅烷稀释为 12 倍以上且 100 倍以下;衬底的加热温度为 100℃至 300℃;优选为 120℃至 220℃。此外,以如下条件形成微晶硅膜:使用电容耦合型(平行平板型)CVD 装置;将间隔(电极面和衬底表面之间的间隔)设定为 20mm;将真空室内的真空度为 100Pa;将衬底温度设定为 300℃;以 20W 施加 60MHz 高频电力;以及使用氢(流量为 400sccm)将硅烷气体(流量为 8sccm)稀释为 50 倍。此外,当在上述条件下只将硅烷气体的流量改变为 4sccm 并将它稀释为 100 倍来形成微晶硅膜时,成膜速度变慢。通过固定氢流量并增加硅烷流量,成膜速度升高。通过降低成膜速度,结晶性提高。

[0213] 在本实施方式中,使用电容耦合型(平行平板型)CVD 装置,将间隔(电极面和衬底表面的间隔)设定为 20mm,第一成膜条件为如下:真空室内的真空度为 100Pa;衬底温度为 100℃;以 30W 施加 60MHz 的高频电力;使用氢(流量 400sccm)将硅烷气体(流量 2sccm)稀释为 200 倍。通过改变气体流量而提高成膜速度的如下第二成膜条件进行成膜,即通过利用氢(流量 400sccm)将 4sccm 的硅烷气体稀释为 100 倍。

[0214] 接着,在通过第二成膜条件形成微晶硅膜之后,停止硅烷或氢等的材料气体及高频电力的供给来进行衬底搬出 1205。在对下一个衬底继续进行成膜处理的情况下,回到衬底搬入 1202 的阶段进行同一处理。为了去除附着在真空室中的覆盖膜或粉末,进行净化 1206。

[0215] 净化 1206 通过引入以 NF_3 、 SF_6 为代表的蚀刻气体,进行等离子体蚀刻。另外,通过引入即使不利用等离子体也能够蚀刻的气体如 ClF_3 来进行。净化 1206 优选在使衬底加热用加热器截止且温度降低了的状态下进行。这是为了抑制由蚀刻导致的反应副生成物的生成。在进行净化 1206 之后,再次回到预涂 1201,对下一个衬底进行上述同样的处理,即可。 NF_3 的组成中包含氮,因此为了降低成膜室中的氮浓度,优选进行预涂来充分地降低氮浓度。

[0216] 接着,在形成微晶半导体膜 53 之后,优选不接触于大气地传送衬底,来在与形成微晶半导体膜 53 的真空室不相同的真空室中形成缓冲层 54。通过使形成缓冲层 54 的真空室与形成微晶半导体膜 53 的真空室为不同,可以将形成微晶半导体膜 53 的真空室用作在引入衬底之前处于超高真空的专用处理室,从而可以尽量抑制杂质污染并缩短到达超高真空的时间。在为到达超高真空而进行烘烤的情况下,为得到处理室内壁温度降低且处于稳定的状态而需要较长时间,因此是特别有效的。另外,通过分别提供不相同的真空室,可以根据想要获得的膜性质而分别改变高频电力的频率。

[0217] 缓冲层 54 通过使用包含氢、或卤素的非晶半导体膜而形成。通过使用氢,其流量为氢化硅的流量的 1 倍以上且 10 倍以下,优选为 1 倍以上且 5 倍以下,可以形成包含氢的非晶半导体膜。此外,通过使用上述氢化硅、以及包含氟、氯、溴、或碘的气体 (F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等),可以形成包含氟、氯、溴、或碘的非晶半导体膜。另外,可以使用 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等代替氢化硅。

[0218] 此外,作为缓冲层 54,也可以通过将非晶半导体用作靶并使用氢或稀有气体进行溅射来形成非晶半导体膜。另外,通过将包含氟、氯、溴、碘的气体 (F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等) 包括在气氛中,可以形成包含氟、氯、溴、或碘的非晶半导体膜。

[0219] 缓冲层 54 优选由不包含晶粒的非晶半导体膜构成。因此,在通过使用频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法或微波等离子体 CVD 法形成缓冲层 54 的情况下,优选控制成膜条件,以形成不包含晶粒的非晶半导体膜。

[0220] 在后面形成源区及漏区的工序中,对缓冲层 54 的一部分进行蚀刻。此时,缓冲层 54 优选以其一部分残留的厚度形成,以便不使微晶半导体膜 53 暴露。典型地说,缓冲层 54 优选以 100nm 以上且 400nm 以下,优选为 200nm 以上且 300nm 以下的厚度形成。在薄膜晶体管的施加电压高(例如为 15V 左右)的显示装置,典型地为液晶显示装置中,通过将缓冲层 54 的厚度设定为上述范围内,可以提高耐压性,从而即使高电压被施加到薄膜晶体管也可以避免薄膜晶体管的退化。

[0221] 另外,缓冲层 54 不添加有赋予一种导电型的杂质如磷、硼等。为了防止赋予一种导电型的杂质从添加有赋予一种导电型的杂质元素的半导体膜 55 扩散到微晶半导体膜 53,将缓冲层 54 用作阻挡层。在不设置缓冲层的情况下,若微晶半导体膜 53 和添加有赋予一种导电型的杂质的半导体膜 55 接触,则会在后面的蚀刻工序或加热处理中杂质移动,而难以控制阈值的问题。

[0222] 再者,通过在微晶半导体膜 53 的表面上形成缓冲层 54,可以防止包含在微晶半导体膜 53 中的晶粒表面的自然氧化。尤其是在非晶半导体和微晶粒接触的区域中,容易因局部应力而产生裂缝。当该裂缝与氧接触时晶粒被氧化,并形成氧化硅。

[0223] 作为非晶半导体膜的缓冲层 54 的能隙,比微晶半导体膜 53 大(非晶半导体膜的能隙为 1.6eV 以上且 1.8eV 以下,而微晶半导体膜 53 的能隙为 1.1eV 以上且 1.5eV 以下),其电阻高,而且其迁移率低,即微晶半导体膜 53 的 1/5 至 1/10。因此,在后面形成的薄膜晶体管中,形成在源区及漏区和微晶半导体膜 53 之间的缓冲层用作高电阻区域,而微晶半导体膜 53 用作沟道形成区域。因此,可以降低薄膜晶体管的截止电流。在将该薄膜晶体管用作显示装置的开关元件的情况下,可以提高显示装置的对比度。

[0224] 优选地是,在微晶半导体膜 53 上,通过等离子体 CVD 法以 300℃至 400℃的温度形

成缓冲层 54。通过上述成膜处理,可以将氢提供给微晶半导体膜 53,从而得到与使微晶半导体膜 53 氢化时相等的效果。就是说,通过在微晶半导体膜 53 上堆积缓冲层 54,可以将氢扩散到微晶半导体膜 53,从而对悬空键封端。

[0225] 接着,在形成缓冲层 54 之后,优选不接触于大气地传送衬底,来在与形成缓冲层 54 的真空室不相同的真空室中,形成添加有赋予一种导电型的杂质的半导体膜 55。此时的剖视图相当于图 9D。通过在与形成缓冲层 54 的真空室不相同的真空室中形成添加有赋予一种导电型的杂质的半导体膜 55,可以防止赋予一种导电型的杂质在形成缓冲层时混入。

[0226] 关于添加有赋予一种导电型的杂质的半导体膜 55,在形成 n 沟道型薄膜晶体管的情况下,添加磷作为典型的杂质元素,即将 PH_3 等的杂质气体添加到氢化硅中,即可。另外,在形成 p 沟道型薄膜晶体管的情况下,可以添加硼作为典型的杂质元素,即将 B_2H_6 等的杂质气体添加到氢化硅中。添加有赋予一种导电型的杂质的半导体膜 55 可以由微晶半导体或非晶半导体构成。添加有赋予一种导电型的杂质的半导体膜 55,以 2nm 以上且 50nm 以下的厚度形成。通过减少添加有赋予一种导电型的杂质的半导体膜的厚度,可以提高生产率。

[0227] 接着,如图 10A 所示,在添加有赋予一种导电型的杂质的半导体膜 55 上,形成抗蚀剂掩模 56。抗蚀剂掩模 56 通过使用光刻技术或喷墨法而形成。这里,通过使用第二光掩模,对涂敷在添加有赋予一种导电型的杂质元素的半导体膜 55 上的抗蚀剂进行曝光及显影,以形成抗蚀剂掩模 56。

[0228] 接着,通过使用抗蚀剂掩模 56 对微晶半导体膜 53、缓冲层 54、以及添加有赋予一种导电型的杂质的半导体膜 55 进行蚀刻和分离,如图 10B 所示那样形成微晶半导体膜 61、缓冲层 62、以及添加有赋予一种导电型的杂质的半导体膜 63。然后,去除抗蚀剂掩模 56。

[0229] 微晶半导体膜 61 和缓冲层 62 的端部侧面倾斜,从而可以防止形成在缓冲层 62 上的源区及漏区和微晶半导体膜 61 之间产生泄漏电流。还可以防止在源电极及漏电极和微晶半导体膜 61 之间产生泄漏电流。微晶半导体膜 61 和缓冲层 62 的端部侧面的倾斜角度为 30° 至 90° ,优选为 45° 至 80° 。通过采用上述角度,可以防止由台阶形状导致的源电极或漏电极的断裂。

[0230] 接着,如图 10C 所示,形成导电膜 65a 至 65c,以便覆盖添加有赋予一种导电型的杂质的半导体膜 63 及栅极绝缘膜 52c。导电膜 65a 至 65c 优选由铝或添加有铜、硅、钛、钽、铈、钼等的提高耐热性的元素、或防止小丘的元素的铝合金的单层或叠层构成。还可以采用如下叠层结构:使用钛、钽、钼、钨、或这些元素的氮化物,来形成与添加有赋予一种导电型的杂质的半导体膜接触一侧的膜,并在其上形成铝或铝合金。再者,可以采用如下叠层结构:铝或铝合金的上表面及下表面由钛、钽、钼、钨或这些元素的氮化物夹住。这里,示出导电膜 65a 至 65c 这三个层重叠的导电膜,并示出如下叠层导电膜:导电膜 65a 及 65c 由钼膜构成,且导电膜 65b 由铝膜构成;或者,导电膜 65a 及 65c 由钛膜构成,且导电膜 65b 由铝膜构成。导电膜 65a 至 65c 通过溅射法或真空蒸镀法而形成。

[0231] 接着,如图 10D 所示,在导电膜 65a 至 65c 上通过使用第三光掩模形成抗蚀剂掩模 66,并蚀刻导电膜 65a 至 65c 的一部分,以形成一对源电极及漏电极 71a 至 71c。通过对导电膜 65a 至 65c 进行湿蚀刻,导电膜 65a 至 65c 的端部被选择性地蚀刻。其结果是,可以形成其面积比抗蚀剂掩模 66 小的源电极及漏电极 71a 至 71c。

[0232] 然后,如图 11A 所示,通过使用抗蚀剂掩模 66,蚀刻添加有赋予一种导电型的杂质的半导体膜 63,从而形成一对源区及漏区 72。再者,在该蚀刻工序中,缓冲层 62 的一部分也被蚀刻。由于其一部分被蚀刻而形成有凹部(槽)的缓冲层被称为缓冲层 73。可以以同一工序形成源区及漏区、以及缓冲层的凹部(槽)。通过将缓冲层的凹部(槽)的深度设定为缓冲层的最厚区域的 1/2 至 1/3,可以增大源区及漏区的距离,因此可以降低源区及漏区之间的泄漏电流。之后,去除抗蚀剂掩模 66。

[0233] 将缓冲层 73 蚀刻 50nm 左右,以防止如下情况:尤其是,抗蚀剂掩模在暴露于用于干蚀刻等的等离子体时变质,不能在抗蚀剂去除工序中完全去除,并且残渣残留。在导电膜 65a 至 65c 的一部分的蚀刻处理及在形成源区及漏区 72 时的蚀刻处理这两次蚀刻处理中,使用抗蚀剂掩模 66,在采用干蚀刻作为该两次蚀刻处理的情况下容易残留残渣,因此将在完全去除残渣时可被蚀刻的缓冲层形成得厚是有效的。另外,缓冲层 73 可以防止在干蚀刻时微晶半导体膜 61 受到等离子体损伤。

[0234] 接着,如图 11B 所示,形成绝缘膜 76,该绝缘膜 76 覆盖源电极及漏电极 71a 至 71c、源区及漏区 72、缓冲层 73、微晶半导体膜 61、以及栅极绝缘膜 52c。绝缘膜 76 可以以与栅极绝缘膜 52a、52b、52c 相同的成膜方法形成。此外,绝缘膜 76 是为防止浮游在大气中的有机物、金属物、水蒸气等的污染杂质的侵入而提供的,因此优选采用致密的膜。另外,通过将氮化硅膜用于绝缘膜 76,可以将缓冲层 73 中的氧浓度设定为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下,优选为 $1 \times 10^{19} \text{atoms/cm}^3$ 以下。

[0235] 如图 11B 所示,通过源电极及漏电极 71a 至 71c 的端部与源区及漏区 72 的端部不一致且彼此错开,源电极及漏电极 71a 至 71c 的端部的距离增大,从而可以防止源电极及漏电极之间的泄漏电流或短路。此外,因为源电极及漏电极 71a 至 71c 的端部和源区及漏区 72 的端部不一致且彼此错开,所以电场不聚集于源电极及漏电极 71a 至 71c 以及源区及漏区 72 的端部,从而可以防止栅电极 51 和源电极 71a 至 71c 之间产生的泄漏电流。由此,可以制造高可靠性及高耐压性的薄膜晶体管。

[0236] 通过上述工序,可以形成薄膜晶体管 74。

[0237] 在本实施方式所示的薄膜晶体管中,在栅电极上层叠了栅极绝缘膜、微晶半导体膜、缓冲层、源区及漏区、源电极及漏电极,其中用作沟道形成区域的微晶半导体膜的表面被缓冲层覆盖。另外,在缓冲层的一部分中形成有凹部(槽),而且该凹部以外的区域被源区及漏区覆盖。就是说,由于形成在缓冲层中的凹部而在源区及漏区之间的距离增大,因此可以减少源区及漏区之间的泄漏电流。另外,因为通过蚀刻缓冲层的一部分形成凹部,所以可以去除在形成源区及漏区的工序中产生的蚀刻残渣,从而可以避免由残渣导致的源区及漏区的泄漏电流(寄生沟道)。

[0238] 另外,在用作沟道形成区域的微晶半导体膜和源区及漏区之间,形成有缓冲层。微晶半导体膜的表面被缓冲层覆盖。高电阻的缓冲层延伸在微晶半导体膜和源区及漏区之间,因而可以减少产生在薄膜晶体管中的泄漏电流,并可以抑制由于施加高电压而导致的退化。另外,缓冲层、微晶半导体膜、源区及漏区,都形成在与栅电极重叠的区域上。因此,可以说是不受到栅电极的端部形状的影响的结构。在栅电极具有叠层结构的情况下,若使用铝作为其下层,则可能会在栅电极的侧面露出铝而产生小丘,但是通过采用源区及漏区都不重叠于栅电极端部的结构,可以防止在与栅电极侧面重叠的区域中发生短路。另外,由

于在微晶半导体膜的表面上形成有其表面被氢封端的非晶半导体膜作为缓冲层,所以可以防止微晶半导体膜的氧化,并可以防止在形成源区及漏区的工序中产生的蚀刻残渣混入到微晶半导体膜中。由此,可以获得电特性良好且耐压性良好的薄膜晶体管。

[0239] 另外,可以缩小薄膜晶体管的沟道长度,从而可以缩小薄膜晶体管的平面面积。

[0240] 然后,通过在绝缘膜 76 上使用利用第四光掩模而形成的抗蚀剂掩模蚀刻绝缘膜 76 的一部分来形成接触孔,并形成在该接触孔中与源电极或漏电极 71c 接触的像素电极 77。此外,图 11C 相当于沿图 12 的虚线 A-B 的剖视图。

[0241] 如图 12 所示,可知源区及漏区 72 的端部位于源电极及漏电极 71c 的端部的外侧。另外,缓冲层 73 的端部位于源电极及漏电极 71c、源区及漏区 72 的端部的外侧。此外,源电极及漏电极中的一方,具有包围源区及漏区中的另一方的形状(具体地说,U 形状、C 形状)。因此,可以增加载流子移动的区域面积,从而可以增大电流量,并可以缩小薄膜晶体管的面积。另外,由于微晶半导体膜、源电极及漏电极层叠在栅电极上,所以形成在栅电极的凹凸的影响少,从而可以抑制覆盖度的降低及泄漏电流的产生。此外,源电极及漏电极中的一方,还用作源极布线或漏极布线。

[0242] 另外,不重叠于微晶半导体膜的栅极布线侧部的宽度,比重叠于微晶半导体膜的栅电极侧部的宽度小。由此,谋求提高像素部的开口率。此外,与微晶半导体膜重叠的栅电极侧面的角度(锥形角)比不与微晶半导体膜重叠的栅极布线侧面的角度小。因此,使形成在上方的膜的覆盖性为良好。

[0243] 另外,像素电极 77 可以使用具有透光性的导电材料如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等。

[0244] 另外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物,形成像素电极 77。优选地是,通过使用导电组成物而形成的像素电极的薄层电阻(sheet resistance)为 $10000\ \Omega/\square$ 以下,波长 550nm 中的透光率为 70% 以上。另外,包含在导电组成物中的导电高分子的电阻率优选为 $0.1\ \Omega\cdot\text{cm}$ 以下。

[0245] 作为导电高分子,可以使用所谓的 π 电子共轭系统导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或这些两种以上的共聚物等。

[0246] 这里,作为像素电极 77,在通过溅射法形成铟锡氧化物膜之后,将抗蚀剂涂敷在铟锡氧化物膜上。接着,通过利用第五光掩模对抗蚀剂进行曝光及显影,以形成抗蚀剂掩模。然后,使用抗蚀剂掩模蚀刻铟锡氧化物膜,以形成像素电极 77。

[0247] 通过上述工序,可以形成可使用于显示装置的元件衬底。

[0248] 本实施方式可以与实施方式 1、实施方式 2、实施方式 3、实施方式 4、或实施方式 5 自由地组合。

[0249] 实施方式 7

[0250] 本方式示出一种例子,其中在将衬底搬入到真空室之前,引入氢或稀有气体产生等离子体来去除附着在真空室的内壁的气体(氧、氮等的大气成分、或用于真空室净化的蚀刻气体),然后引入氢、硅烷气体、以及微量的磷化氢(PH_3)气体。由于只其工序的一部分与实施方式 2 不同,所以下面参照图 15A 至 15C,仅说明不同的工序。在图 15A 至 15C 中,与实施方式 2 相同的部分使用相同的附图标号。

[0251] 首先,与实施方式 6 相同地使用多级灰度掩模,在衬底 350 上形成栅电极。这里,使用尺寸为 600mm×720mm 的无碱玻璃衬底。此外,这里示出使用大面积的衬底制造显示屏幕大的显示装置的例子,所以采用层叠由低电阻的铝构成的第一导电层 351a 和其耐热性比第一导电层 351a 的耐热性高的钼构成的第二导电层 351b 的栅电极。作为蚀刻装置,使用图 14 所示的 ECCP 模式蚀刻装置。

[0252] 接着,在栅电极的上层的第二导电层 351b 上,形成栅极绝缘膜 352。在用于液晶显示装置的开关元件的情况下,为了进行交流驱动,栅极绝缘膜 352 优选仅由氮化硅膜的单层构成。这里,作为栅极绝缘膜 352,通过等离子体 CVD 法形成单层的氮化硅膜(介电常数为 7.0,厚度为 300nm)。至这个工序为止的剖视图相当于图 15A。

[0253] 接着,在形成栅极绝缘膜之后,不接触于大气地传送衬底,并在与形成栅极绝缘膜的真空室不同的真空室中,形成微晶半导体膜。

[0254] 在将衬底搬入到成膜装置的真空室中之前,引入氢或稀有气体产生等离子体来去除附着在真空室的内壁的气体(氧、氮等的大气成分、或用于真空室净化的蚀刻气体),然后引入氢、硅烷气体、以及微量的磷化氢(PH_3)气体。硅烷气体可以与真空室中的氧、水分等起反应。微量的磷化氢可以使后面要形成的微晶半导体膜包含磷。

[0255] 接着,将衬底搬入到真空室中,如图 15B 所示,在使衬底暴露在硅烷气体及微量的磷化氢气体之后,形成微晶半导体膜。典型地是,可以使用氢对 SiH_4 、 Si_2H_6 等的氢化硅进行稀释产生等离子体,来形成微晶半导体膜。可以使用其流量为超过硅烷气体的流量的 100 倍且 2000 倍以下的氢,来形成包含磷及氢的微晶半导体膜 353。通过暴露于微量的磷化氢气体,促进晶核的产生形成微晶半导体膜 353。该微晶半导体膜 353 示出随着磷浓度离开栅极绝缘膜界面的距离增大而减少的浓度轮廓。

[0256] 接着,在相同的处理室中改变成膜条件,并使用其流量为氢化硅的流量的 1 倍以上且 10 倍以下,更优选地为 1 倍以上且 5 倍以下,层叠由包含氢的非晶硅构成的缓冲层 54。至这个工序为止的剖视图相当于图 15C。

[0257] 接着,在形成缓冲层 54 之后,不接触于大气地传送衬底,并在与形成微晶半导体膜 353 及缓冲层 54 的真空室不同的真空室中,形成添加有赋予一种导电型的杂质的半导体膜 55。半导体膜 55 的成膜以后的工序与实施方式 6 相同,所以这里省略详细说明。

[0258] 本实施方式可以与实施方式 1、实施方式 2、实施方式 3、实施方式 4、实施方式 5、或实施方式 6 自由地组合。

[0259] 实施方式 8

[0260] 参照图 16A 至图 18B,说明与实施方式 2 不同的薄膜晶体管的制造方法。这里,示出采用可以与上述实施方式 6 相比缩减光掩模数的处理来制造薄膜晶体管的工序。

[0261] 与实施方式 6 所示的图 9A 相同地,在衬底 50 上形成导电膜,在导电膜上涂敷抗蚀剂,采用通过使用多级灰度掩模的光刻工序形成的抗蚀剂掩模,对导电膜的一部分进行蚀刻,从而形成栅电极 51。这里虽然未图示,但是形成具有锥形角不同的侧面地栅电极或栅极布线。接着,在栅电极 51 上,按顺序形成栅极绝缘膜 52a、52b、52c。

[0262] 接着,以第一成膜条件,形成微晶半导体膜 53。然后,在相同的处理室中以第二成膜条件进行成膜,来与实施方式 6 所示的图 9C 相同地形成微晶半导体膜 53。接着,与实施方式 6 所示的图 9D 相同地,在微晶半导体膜 53 上按顺序形成缓冲层 54、以及添加有赋予一

种导电型的杂质的半导体膜 55。

[0263] 接着,在添加有赋予一种导电型的杂质的半导体膜 55 上,形成导电膜 65a 至 65c。然后,如图 16A 所示,在导电膜 65a 上涂敷抗蚀剂 80。

[0264] 抗蚀剂 80 可以使用正型抗蚀剂或负型抗蚀剂。这里,使用正型抗蚀剂。

[0265] 然后,通过使用多级灰度掩模 59 作为第二光掩模,将光照射到抗蚀剂 80,以对抗蚀剂 80 进行曝光。

[0266] 通过在使用多级灰度掩模进行曝光之后进行显影,可以如图 16B 所示那样地形成具有厚度不同的区域的抗蚀剂掩模 81。

[0267] 接着,通过使用抗蚀剂掩模 81 作为掩模,对微晶半导体膜 53、缓冲层 54、添加有赋予一种导电型的杂质的半导体膜 55、以及导电膜 65a 至 65c 进行蚀刻,并使它们分离。其结果是,可以形成如图 17A 所示那样的微晶半导体膜 61、缓冲层 62、添加有赋予一种导电型的杂质的半导体膜 63、以及导电膜 85a 至 85c。

[0268] 然后,对抗蚀剂掩模 81 进行灰化。其结果是,抗蚀剂的面积缩小,其厚度变薄。此时,厚度薄的区域的抗蚀剂(与栅电极 51 的一部分重叠的区域)被去除,由此如图 17A 所示,可以形成被分离的抗蚀剂掩模 86。

[0269] 接着,通过使用抗蚀剂掩模 86,对导电膜 85a 至 85c 进行蚀刻,并使它们分离。其结果是,可以形成如图 17B 所示那样的一对源电极及漏电极 92a 至 92c。通过使用抗蚀剂掩模 86 对导电膜 85a 至 85c 进行湿蚀刻,导电膜 85a 至 85c 的端部被选择性地蚀刻。其结果是,可以形成其面积比抗蚀剂掩模 86 小的源电极及漏电极 92a 至 92c。

[0270] 然后,通过使用抗蚀剂掩模 86,蚀刻添加有赋予一种导电型的杂质的半导体膜 63,形成一对源区及漏区 88。此外,在该蚀刻工序中,缓冲层 62 的一部分也被蚀刻。将其一部分被蚀刻的缓冲层表示为缓冲层 87。另外,在缓冲层 87 中形成有凹部。可以以同一工序形成源区及漏区、以及缓冲层的凹部(槽)。这里,由于缓冲层 87 的一部分被其面积比抗蚀剂掩模 81 小的抗蚀剂掩模 86 蚀刻,所以缓冲层 87 向源区及漏区 88 的外侧突出。然后,去除抗蚀剂掩模 86。另外,源电极及漏电极 92a 至 92c 的端部与源区及漏区 88 的端部不一致且彼此错开,且在源电极及漏电极 92a 至 92c 的端部的内侧形成源区及漏区 88 的端部。

[0271] 如图 17C 所示,源电极及漏电极 92a 至 92c 的端部与源区及漏区 88 的端部不一致且彼此错开,从而源电极及漏电极 92a 至 92c 的端部的距离增大,从而可以防止源电极及漏电极之间的泄漏电流或短路。此外,源电极及漏电极 92a 至 92c 的端部和源区及漏区 88 的端部不一致且错开,因此电场不聚集于源电极及漏电极 92a 至 92c 和源区及漏区 88 的端部。从而,可以防止栅电极 51 和源电极及漏电极 92a 至 92c 之间产生的泄漏电流。

[0272] 通过上述工序,可以形成薄膜晶体管 83。另外,通过使用两个光掩模,可以形成薄膜晶体管。

[0273] 接着,如图 18A 所示,在源电极及漏电极 92a 至 92c、源区及漏区 88、缓冲层 87、微晶半导体膜 90、以及栅极绝缘膜 52c 上,形成绝缘膜 76。

[0274] 然后,通过使用利用第三光掩模而形成的抗蚀剂掩模,蚀刻绝缘膜 76 的一部分,形成接触孔。接着,形成在该接触孔中与源电极或漏电极 92c 接触的像素电极 77。这里,作为像素电极 77,在通过溅射法形成铟锡氧化物膜之后,将抗蚀剂涂敷在铟锡氧化物膜上。

接着,通过利用第四光掩模对抗蚀剂进行曝光及显影,以形成抗蚀剂掩模。然后,使用抗蚀剂掩模蚀刻锡锡氧化物膜,以形成像素电极 77。

[0275] 通过上述工序,可以使用多级灰度掩模来减少掩模数,并可以形成能够使用于显示装置的元件衬底。

[0276] 本实施方式可以与实施方式 1、实施方式 2、实施方式 3、实施方式 4、实施方式 5、实施方式 6、或实施方式 7 自由地组合。

[0277] 实施方式 9

[0278] 在本实施方式 9 中,示出使用多级灰度掩模形成保持电容的工序和形成薄膜晶体管和像素电极之间的接触的工序。此外,在图 19A 至 19C 中,与实施方式 6 相同的部分使用与实施方式 6 相同的标号。

[0279] 在根据实施方式 6,结束形成绝缘膜 76 的工序之后,使用多级灰度掩模,形成具有深度不同的开口的第一层间绝缘膜 84a。这里,如图 19A 所示那样地,成为电容部的电容布线的侧面的角度,大于栅电极的侧面的角度。通过使用多级灰度掩模使布线侧面的角度为不同,来控制每个地方的布线宽度,提高像素部的开口率。这个阶段的剖视图相当于图 19A。

[0280] 如图 19A 所示,在栅电极或漏电极 71c 的上方,设置使绝缘膜 76 的表面暴露的第一开口,并且在由第一导电层 78a 和第二导电层 78b 的叠层构成的电容布线上,设置其深度比第一开口浅的第二开口。此外,电容布线的第二导电层 78b 分别通过与栅电极的第二导电层 51a 和第二导电层 51b 相同的工序形成。

[0281] 接着,以第一层间绝缘膜 84a 为掩模选择性地蚀刻绝缘膜 76 的一部分,来使源电极或漏电极 71c 的一部分暴露。

[0282] 接着,从第二开口扩大到使绝缘膜 76 的表面暴露地对第一层间绝缘膜 84a 进行灰化。同时,第一开口也扩大,但是形成在绝缘膜 76 中的开口尺寸不变,所以形成台阶。

[0283] 接着,形成像素电极 77。这个阶段的剖视图相当于图 19C。通过灰化,第一层间绝缘膜缩小到第二导电膜 84b。此外,保持电容 75 使用绝缘膜 76 和栅极绝缘膜 52 作为电介质,还使用电容布线和像素电极 77 作为一对电极。

[0284] 像这样,可以使用多级灰度掩模并工序数少地形成保持电容。

[0285] 本实施方式可以与实施方式 1、实施方式 2、实施方式 3、实施方式 4、实施方式 5、实施方式 6、实施方式 7、或实施方式 8 自由地组合。

[0286] 实施方式 10

[0287] 在本实施方式中,下面示出包括实施方式 6 所示的薄膜晶体管的液晶显示装置作为显示装置的一个方式。

[0288] 首先,对 VA(Vertical Alignment:垂直取向)型液晶显示装置进行描述。VA 型液晶显示装置是指一种控制液晶面板的液晶分子的排列的方式。VA 型液晶显示装置是当没有施加电压时液晶分子朝垂直于面板表面的方向的方式。在本实施方式中,特别地,将像素分成几个区域(子像素),并分别将分子向不同的方向推倒。这称为多区域(multi-domain)化或多区域设计。在下面的说明中,对考虑多区域设计的液晶显示装置进行说明。

[0289] 图 21 及图 22 分别示出像素电极及相对电极。此外,图 21 是形成有像素电极的衬底一侧的平面图,并将沿图 21 所示的 A-B 线的截面结构示出于图 20。图 22 是形成相对电极的衬底一侧的平面图。下面,参照这些附图进行说明。

[0290] 图 20 示出衬底 600 和相对衬底 601 重叠且注入了液晶的状态,在该衬底 600 上形成有 TFT628、与 TFT628 连接的像素电极 624、以及保持电容部 630,并在该相对衬底 601 上形成相对电极 640 等。

[0291] 在相对衬底 601 的形成间隔物 642 的位置上,形成有遮光膜 632、第一着色膜 634、第二着色膜 636、第三着色膜 638、以及相对电极 640。通过采用该结构,使用于控制液晶取向的突起 644 和间隔物 642 的高度彼此不同。在像素电极 624 上,形成有取向膜 648,与此同样地在相对电极 640 上,形成有取向膜 646。在此之间,形成有液晶层 650。

[0292] 至于间隔物 642,这里示出柱状间隔物,但是也可以散布珠状间隔物。再者,还可以在形成在衬底 600 上的像素电极 624 上,形成间隔物 642。

[0293] 在衬底 600 上形成有 TFT628、与它连接的像素电极 624、以及保持电容部 630。像素电极 624 通过贯穿覆盖 TFT628、布线、保持电容部 630 的绝缘膜 620、覆盖绝缘膜的第三绝缘膜 622 的接触孔 623,连接到布线 618。此外,使用多级灰度掩模,对布线 618 和 TFT628 的源电极及漏电极选择性地蚀刻。使布线 618 的侧面角度为大于 TFT628 的源电极或漏电极的侧面角度,从而有助于开口率的提高。作为 TFT628,可以适当地使用实施方式 6 所示的薄膜晶体管。另外,保持电容部 630 由根据实施方式 2 使用与 TFT628 的栅极布线 602 相同的多级灰度掩模形成的第一电容布线 604、栅极绝缘膜 606、以及与布线 616 及 618 同样地形成的第二电容布线 617 构成。另外,使第一电容布线 604 的侧面角度为大于 TFT628 的布线 616、618 的侧面角度,从而有助于开口率的提高。

[0294] 像素电极 624、液晶层 650、以及相对电极 640 重叠,从而形成液晶元件。

[0295] 图 21 示出衬底 600 上的结构。像素电极 624 通过使用实施方式 6 所示的材料来形成。在像素电极 624 中,设置有槽缝 625。槽缝 625 是用来控制液晶取向的。

[0296] 图 21 所示的 TFT629、与它连接的像素电极 626 及保持电容部 631,可以与像素电极 624 及保持电容部 630 同样地形成。TFT628 和 TFT629 都连接到布线 616。该液晶面板的像素由像素电极 624 及像素电极 626 构成。像素电极 624 及像素电极 626 是子像素。

[0297] 图 22 示出相对衬底一侧的结构。在遮光膜 632 上,形成有相对电极 640。相对电极 640 优选使用与像素电极 624 同样的材料形成。在相对电极 640 上,形成有用来控制液晶取向的突起 644。另外,根据遮光膜 632 的位置形成有间隔物 642。

[0298] 图 23 示出上述像素结构的等效电路。TFT628 和 TFT629 都连接到栅极布线 602、布线 616。这种情况下,通过使第一电容布线 604 和电容布线 605 的电位不相同,可以使液晶元件 651 和液晶元件 652 进行不同的工作。就是说,通过分别控制第一电容布线 604 和第三电容布线 605 的电位,来精密地控制液晶的取向且扩大视角。

[0299] 当对设置有槽缝 625 的像素电极 624 施加电压时,在槽缝 625 附近发生电场的应变(倾斜电场)。通过交替咬合地配置该槽缝 625 和相对衬底 601 一侧的突起 644,有效地产生倾斜电场来控制液晶的取向,从而根据其位置,使液晶具有彼此不同的取向方向。就是说,通过进行多区域化,来扩大液晶面板的视角。

[0300] 在上述内容中示出了 VA 型液晶显示装置的一个例子,但是不局限于图 21 所示的像素电极结构。

[0301] 下面,示出 TN 型液晶显示装置的方式。

[0302] 图 24 及图 25 示出 TN 型液晶显示装置的像素结构。图 25 是平面图,而图 24 示出

沿图 25 所示的 A-B 线的截面结构。下面,参照上述两个附图进行说明。此外,在图 24 及图 25 中,与图 20 相同的部分使用相同的附图标号。

[0303] 像素电极 624 在接触孔 623 中,通过布线 618 连接到 TFT

[0304] 628。用作数据线的布线 616 与 TFT628 连接。TFT628 可以应用实施方式 2 所示的任何 TFT。

[0305] 像素电极 624 使用实施方式 2 所示的像素电极 77 而形成。

[0306] 在相对衬底 601 上,形成有遮光膜 632、第二着色膜 636、以及相对电极 640。而且,在第二着色膜 636 和相对电极 640 之间,形成有平坦化膜 637,以防止液晶的取向混乱。液晶层 650 形成在像素电极 624 和相对电极 640 之间。

[0307] 像素电极 624、液晶层 650、以及相对电极 640 重叠,从而形成液晶元件。

[0308] 此外,也可以在衬底 600 或相对衬底 601 上,形成彩色滤光片、用来防止旋错(disclination)的屏蔽膜(黑矩阵)等。此外,将偏振片贴合在与衬底 600 的形成薄膜晶体管的面相反一侧的面上,并将偏振片贴合在与相对衬底 601 的形成相对电极 640 的面相反一侧的面上。

[0309] 通过上述工序,可以制造液晶显示装置。本实施方式的液晶显示装置使用截止电流少、电特性良好、以及可靠性高的薄膜晶体管,因此该液晶显示装置的对比度高且可见度高。此外,通过使用多级灰度掩模并调节每个地方的布线的侧面角度,实现了开口率高的液晶显示装置。另外,通过使用多级灰度掩模并调节每个地方的布线的侧面角度,减少布线端部的上方的断裂、以及短路缺陷。

[0310] 此外,还可以应用于横向电场方式的液晶显示装置。横向电场方式,是指通过对单元内的液晶分子沿水平方向施加电场来驱动液晶以便显示灰度的方式。通过横向电场方式,可以使视角增大到大约 180 度。

[0311] 本实施方式可以与实施方式 1、实施方式 2、实施方式 3、实施方式 4、实施方式 5、实施方式 6、实施方式 7、实施方式 8、或实施方式 9 自由地组合。

[0312] 实施方式 11

[0313] 下面,示出本发明的液晶显示装置的一个方式的显示面板的结构。

[0314] 在图 26A 中示出另外仅形成信号线驱动电路 6013 且与形成在衬底 6011 上的像素部 6012 连接的显示面板的方式。像素部 6012 及扫描线驱动电路 6014,由使用微晶半导体膜的薄膜晶体管形成。通过由其迁移率高于使用微晶半导体膜的薄膜晶体管的晶体管,形成信号线驱动电路,可以使信号线驱动电路的工作稳定,该信号线驱动电路的驱动频率被要求高于扫描线驱动电路的驱动频率。此外,信号线驱动电路 6013,可以为使用单晶半导体的晶体管、使用多晶半导体的薄膜晶体管、或使用 SOI 的晶体管。电源的电位、各种信号等分别通过 FPC6015,供给到像素部 6012、信号线驱动电路 6013、扫描线驱动电路 6014。

[0315] 此外,也可以将信号线驱动电路及扫描线驱动电路都形成在与像素部相同的衬底上。

[0316] 此外,在另外形成驱动电路的情况下,不一定需要将形成有驱动电路的衬底贴合到形成有像素部的衬底上,例如也可以贴合到 FPC 上。在图 26B 中表示另外仅形成信号线驱动电路 6023 且与形成在衬底 6021 上的像素部 6022 及扫描线驱动电路 6024 连接的液晶显示装置面板的方式。像素部 6022 及扫描线驱动电路 6024,由使用微晶半导体膜的薄膜

晶体管形成。信号线驱动电路 6023 通过 FPC6025 连接到像素部 6022。电源的电位、各种信号等分别通过 FPC6025, 供给到像素部 6022、信号线驱动电路 6023、扫描线驱动电路 6024。

[0317] 另外, 也可以采用使用微晶半导体膜的薄膜晶体管在与像素部相同的衬底上仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分, 然后另外形成其他部分且使它与像素部电连接。在图 26C 中表示将信号线驱动电路所具有的模拟开关 6033a, 形成在与像素部 6032、扫描线驱动电路 6034 相同的衬底 6031 上, 并且将信号线驱动电路所具有的移位寄存器 6033b 另外形成在不同的衬底上, 来彼此贴合的液晶显示装置面板的方式。像素部 6032 及扫描线驱动电路 6034, 由使用微晶半导体膜的薄膜晶体管形成。信号线驱动电路所具有的移位寄存器 6033b 通过 FPC6035, 连接到像素部 6032。电源的电位、各种信号等分别通过 FPC6035, 供给到像素部 6032、信号线驱动电路、扫描线驱动电路 6034。

[0318] 如图 26A 至 26C 所示, 可以在与像素部相同的衬底上, 采用使用微晶半导体膜的薄膜晶体管形成液晶显示装置的驱动电路的一部分或全部。

[0319] 此外, 对另外形成的衬底的连接方法, 没有特别的限制, 可以使用已知的 COG 方法、引线键合方法、或 TAB 方法等。此外, 连接的位置只要是能够电连接的, 就不限于图 26A 至 26C 所示的位置。另外, 也可以另外形成控制器、CPU、存储器等来连接。

[0320] 此外, 在本实施方式中使用的信号线驱动电路, 不局限于仅具有移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关之外, 还可以具有缓冲器、电平转移电路、源极跟随器等其他电路。另外, 不需要一定设置移位寄存器和模拟开关, 例如既可以使用如译码器电路的可以选择信号线的其他电路代替移位寄存器, 又可以使用锁存器等代替模拟开关。

[0321] 本实施方式可以与实施方式 1、实施方式 2、实施方式 3、实施方式 4、实施方式 5、实施方式 6、实施方式 7、实施方式 8、实施方式 9、或实施方式 10 自由地组合。

[0322] 实施方式 12

[0323] 参照图 27A 和 27B, 说明相当于本发明的显示装置的一个方式的液晶显示面板的外观及截面。图 27A 是一种面板的俯视图, 其中, 使用密封剂 4005, 将形成在第一衬底 4001 上的具有微晶半导体膜的薄膜晶体管 4010 及液晶元件 4013 密封在第一衬底 4001 和第二衬底 4006 之间。图 27B 是相当于沿图 27A 的 A-A' 的剖视图。

[0324] 以围绕设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式, 设置有密封剂 4005。另外, 在像素部 4002 和扫描线驱动电路 4004 上, 设置有第二衬底 4006。因此, 像素部 4002 和扫描线驱动电路 4004 与液晶 4008 一起, 由第一衬底 4001、密封剂 4005、以及第二衬底 4006 密封。另外, 在第一衬底 4001 上的与由密封剂 4005 围绕的区域不同的区域中, 安装有另外准备的衬底上由多晶半导体膜形成的信号线驱动电路 4003。此外, 虽然在本实施方式中, 对将具有使用多晶半导体膜的薄膜晶体管的信号线驱动电路贴合到第一衬底 4001 的例子进行说明, 但是也可以由使用单晶半导体的晶体管形成信号线驱动电路并贴合。图 27A 和 27B 例示包含于信号线驱动电路 4003 的、由多晶半导体膜形成的薄膜晶体管 4009。

[0325] 设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004, 具有多个薄膜晶体管, 图 27B 例示包含于像素部 4002 的薄膜晶体管 4010。薄膜晶体管 4010 相当于使用微晶半导体膜的薄膜晶体管。

[0326] 另外,附图标号 4011 相当于液晶元件,并且液晶元件 4013 所具有的像素电极 4030,通过布线 4041 与薄膜晶体管 4010 电连接。液晶元件 4013 的相对电极 4031 形成在第二衬底 4006 上。像素电极 4030、相对电极 4031、以及液晶 4008 重叠的部分相当于液晶元件 4013。

[0327] 此外,作为第一衬底 4001、第二衬底 4006,可以使用玻璃、金属(代表为不锈钢)、陶瓷、塑料。作为塑料,可以使用 FRP(Fiberglass-Reinforced Plastics:纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。另外,也可以采用由 PVF 薄膜或聚酯薄膜夹有铝箔的薄片。

[0328] 另外,附图标号 4035 是球状的隔离物,且是为控制像素电极 4030 和相对电极 4031 之间的距离(单元间隙)而设置的。此外,也可以使用通过选择性地蚀刻绝缘膜而获得的隔离物。

[0329] 此外,提供到另外形成的信号线驱动电路 4003 和扫描线驱动电路 4004 或像素部 4002 的各种信号及电位,通过引导布线 4014 及引导布线 4015 从 FPC4018 供给。

[0330] 在本实施方式中,连接端子 4016 由与液晶元件 4013 所具有的像素电极 4030 相同的导电膜形成。另外,引导布线 4014、4015 由与布线 4041 相同的导电膜形成。如实施方式 1 所示,通过使用多级灰度掩模,使引导布线 4014、4015 的侧面角度为大于布线 4041 的侧面角度。将两个侧面加工为垂直,以防止邻接的引导布线之间产生的短路是有效的。

[0331] 连接端子 4016 与 FPC4018 所具有的端子,通过各向异性导电膜 4019 电连接。

[0332] 此外,虽然未图示,本实施方式所示的液晶显示装置具有取向膜、偏振片,进而还可以具有彩色滤光片及屏蔽膜。

[0333] 此外,图 27A 和 27B 示出另外形成信号线驱动电路 4003 并将它安装到第一衬底 4001 的一例,但是本实施方式不局限于该结构。既可以另外形成扫描线驱动电路并安装,又可以另外仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分并安装。

[0334] 本实施方式可以与其他实施方式所记载的结构组合而实施。

[0335] 实施方式 13

[0336] 根据本发明而可获得的显示装置等,可以用于有源矩阵型显示装置模块。换句话说,其显示部分安装有上述模块的所有电子设备均可以实施本发明。

[0337] 作为这种电子设备,可以举出影像拍摄装置如摄像机或数字照相机等、头戴式显示器(护目镜型显示器)、汽车导航、投影机、汽车音响、个人计算机、便携式信息终端(移动计算机、移动电话或电子书籍等)等。图 28A 至 28C 示出这种电子设备的一例。

[0338] 图 28A 表示电视装置。如图 28A 所示,可以将显示模块组装在框体中来完成电视装置。将安装了 FPC 的显示面板还称为显示模块。由显示模块形成主画面 2003,作为其他附属装置还具有扬声器部分 2009、操作开关等。如上所述,可以完成电视装置。

[0339] 如图 28A 所示,在框体 2001 中组装利用了显示元件的显示用面板 2002,并且可以由接收机 2005 接收普通的电视广播,而且通过调制解调器 2004 连接到有线或无线方式的通信网络,从而还可以进行单向(从发送者到接收者)或双向(在发送者和接收者之间,或者在接收者之间)的信息通信。电视装置的操作可以由组装在框体中的开关或另外提供的遥控装置 2006 进行,并且该遥控装置 2006 也可以设置有显示输出信息的显示部分 2007。

[0340] 另外,在电视装置中,除了主画面 2003 以外,还可以附加有如下结构:使用第二

显示用面板形成辅助画面 2008, 并显示频道或音量等。在这种结构中, 也可以使用视角优良的液晶显示面板形成主画面 2003, 并使用能够以低耗电量进行显示的发光显示面板形成辅助画面。另外, 为了优先低耗电量化, 也可以采用如下结构: 使用发光显示面板形成主画面 2003, 使用发光显示面板形成辅助画面, 并且辅助画面能够点亮和熄灭。

[0341] 当然, 本发明不局限于电视装置, 还可以应用于各种用途如个人计算机的监视器、铁路的车站或飞机场等中的信息显示屏、街头上的广告显示屏等大面积显示媒体。

[0342] 图 28B 表示移动电话机 2301 的一例。该移动电话机 2301 的构成包括显示部 2302、操作部 2303 等。在显示部 2302 中, 应用上述实施方式所说明的显示装置, 而可以提高量产性。

[0343] 另外, 图 28C 所示的便携型计算机包括主体 2401、显示部 2402 等。通过对显示部 2402 应用上述实施方式所示的显示装置, 可以提高量产性。

[0344] 本说明书根据 2007 年 12 月 3 日在日本专利局受理的日本专利申请号 2007-312818 而制作, 所述申请内容包括在本说明书中。

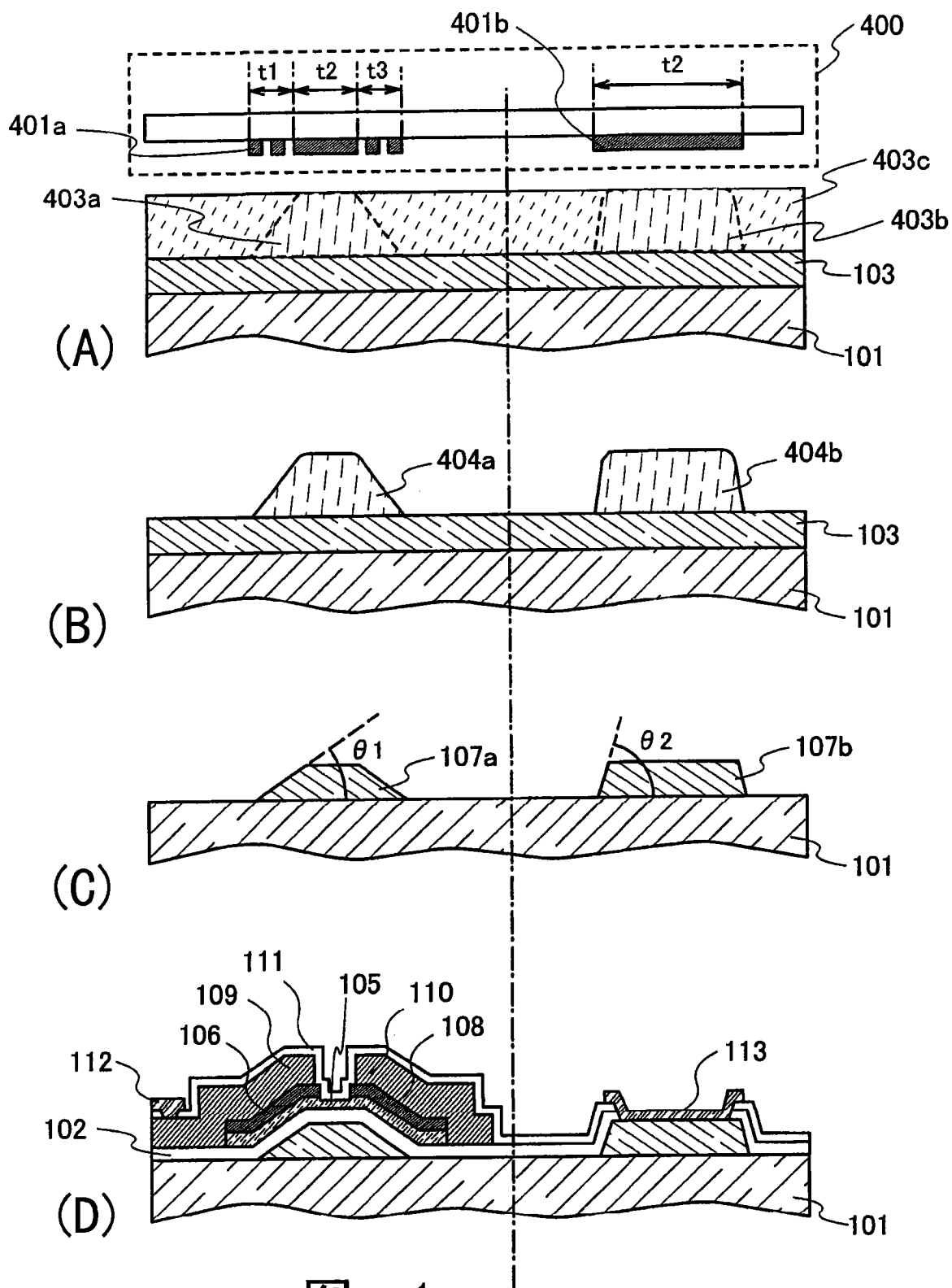


图 1

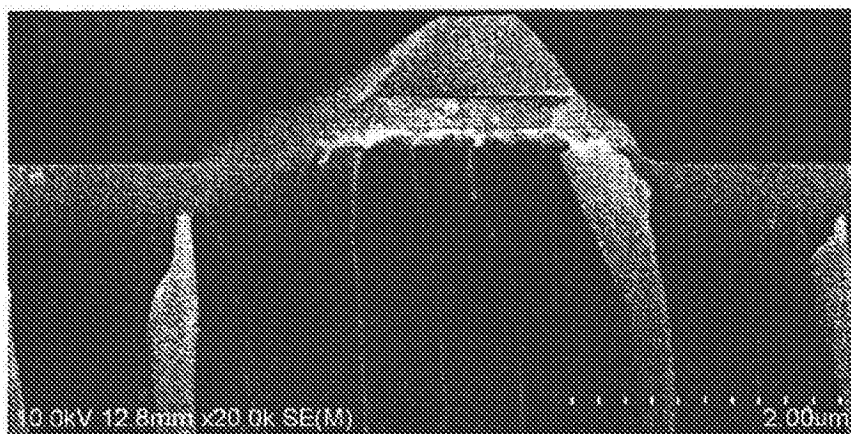


图 2A



图 2B

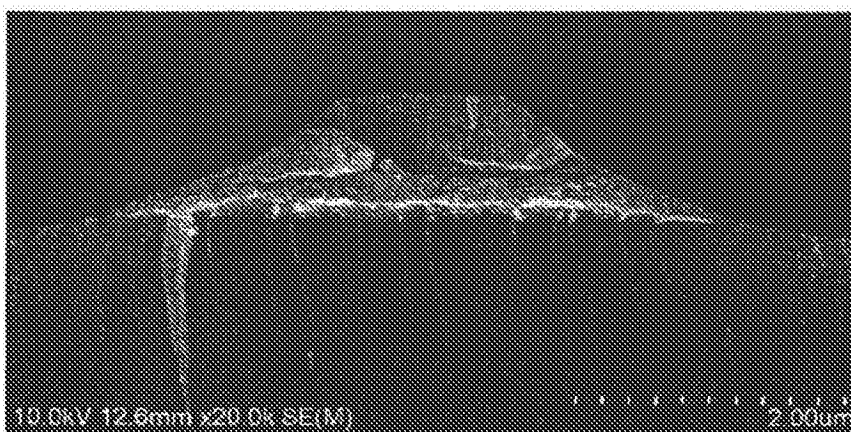


图 2C

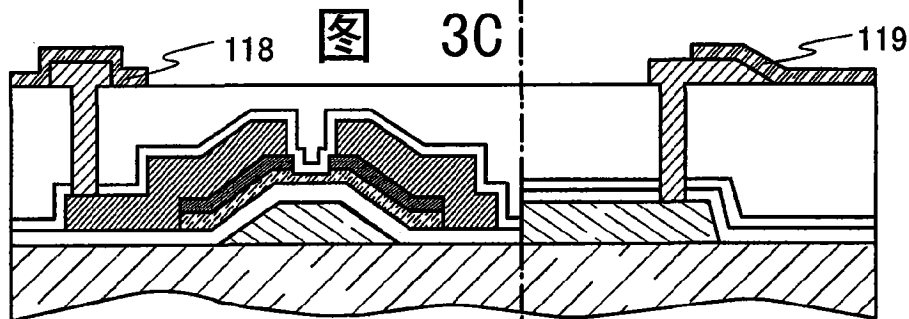
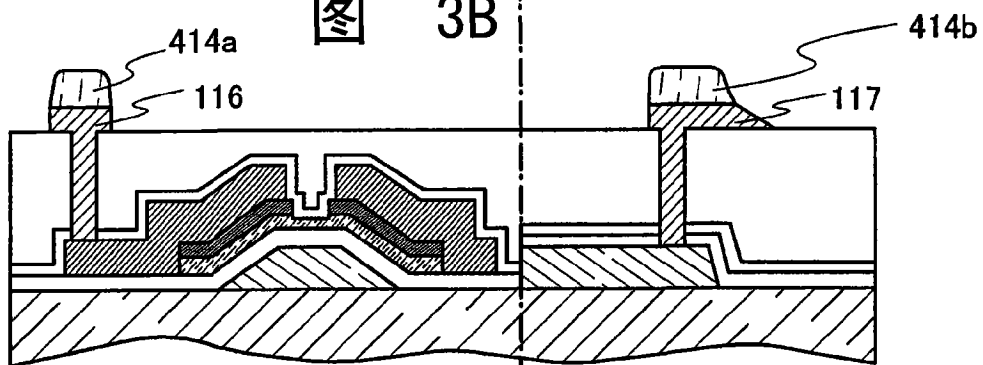
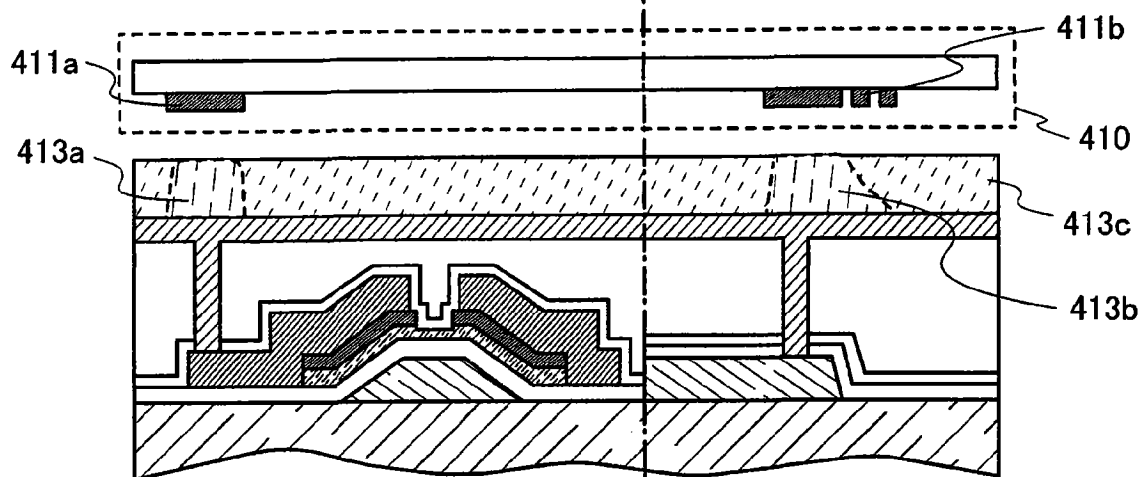
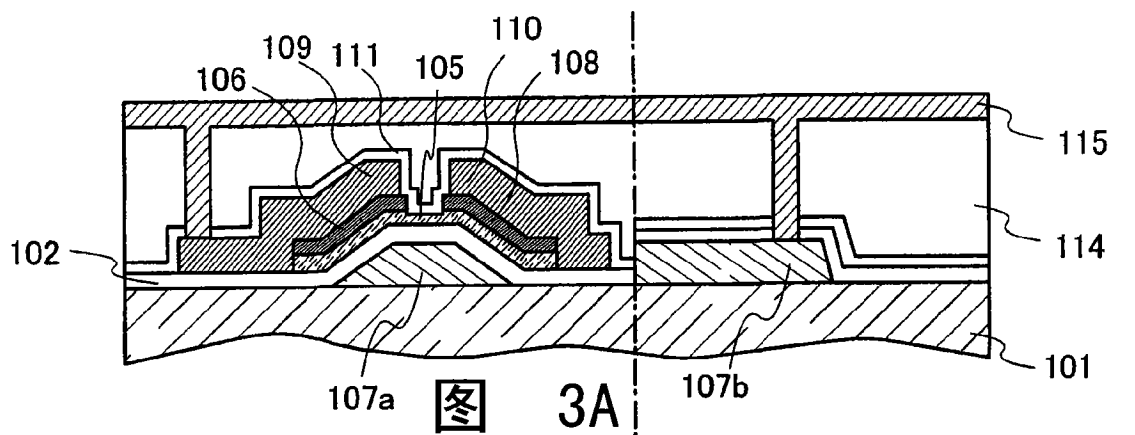




图 4A

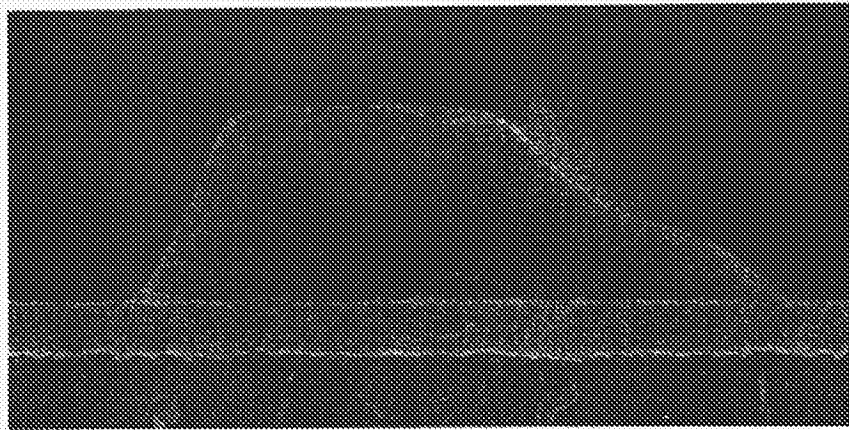


图 4B

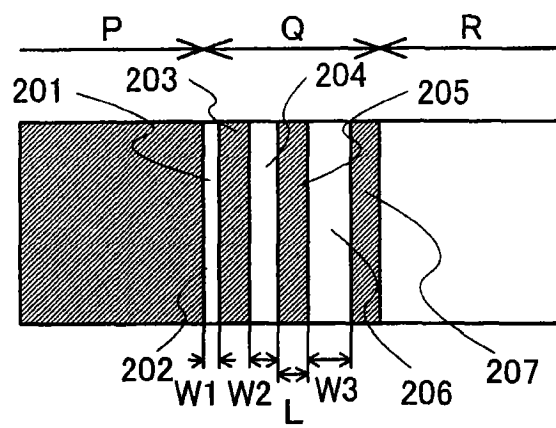


图 5A

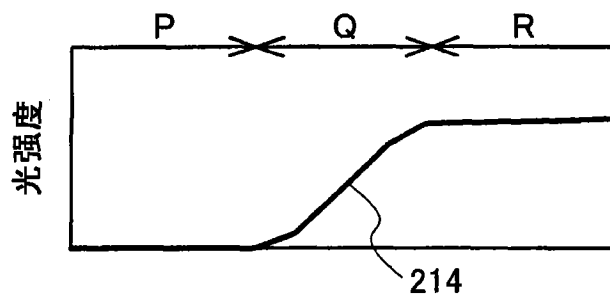


图 5B

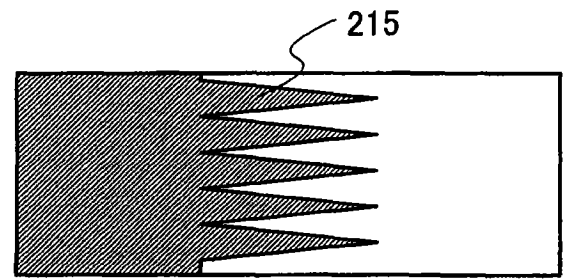


图 5C

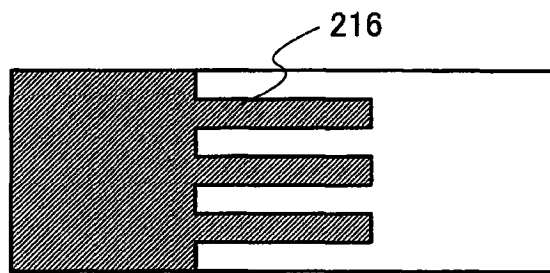


图 5D

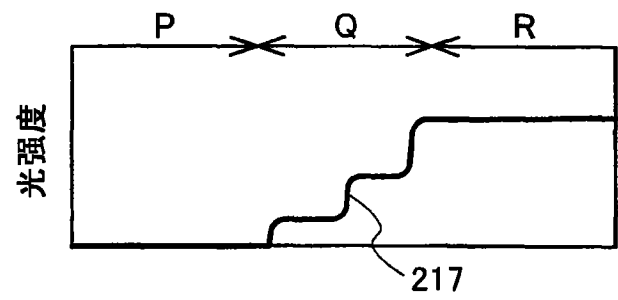


图 5E

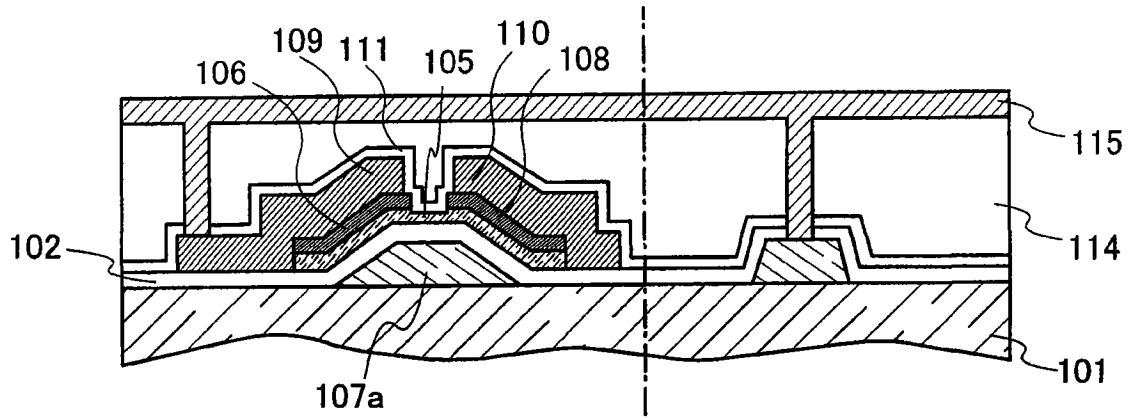


图 6A

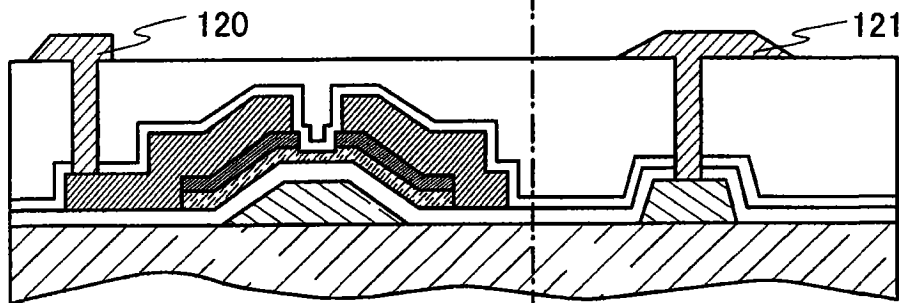


图 6B

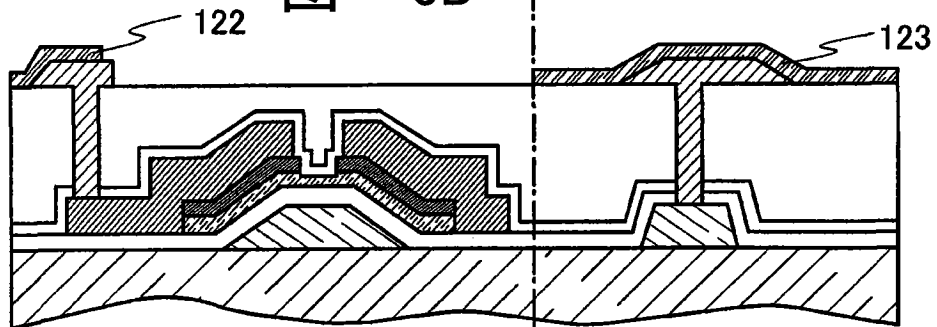


图 6C

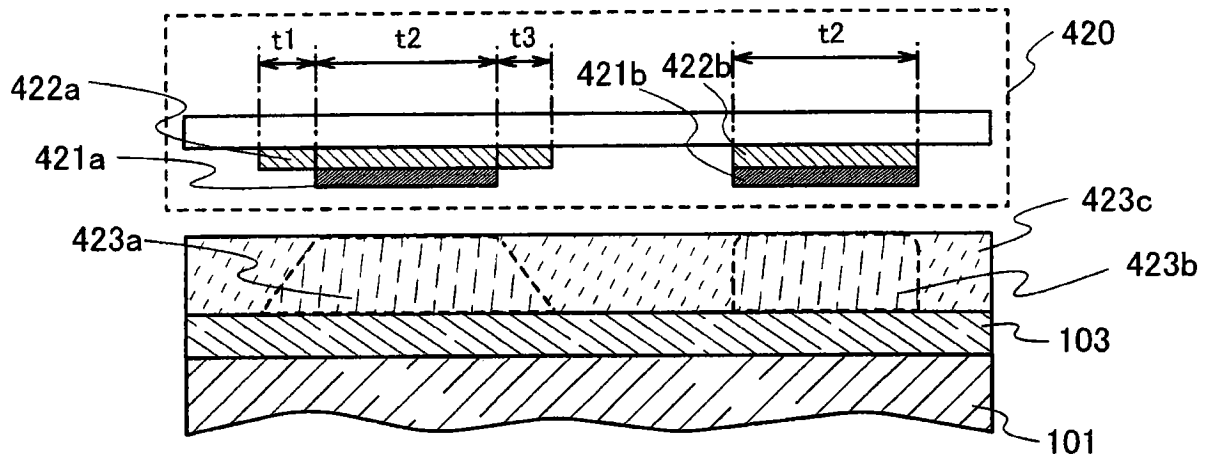


图 7A

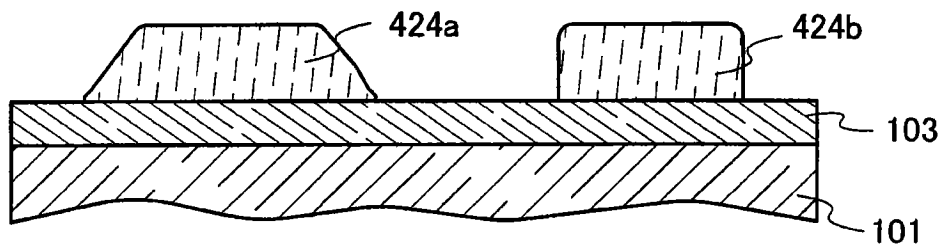


图 7B

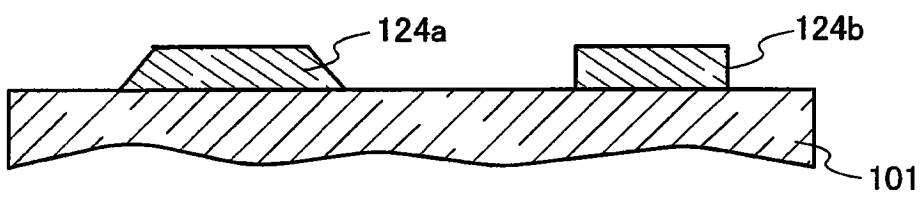
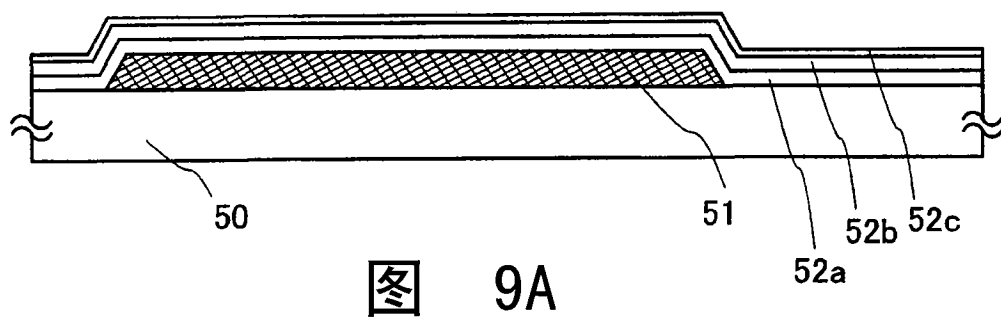
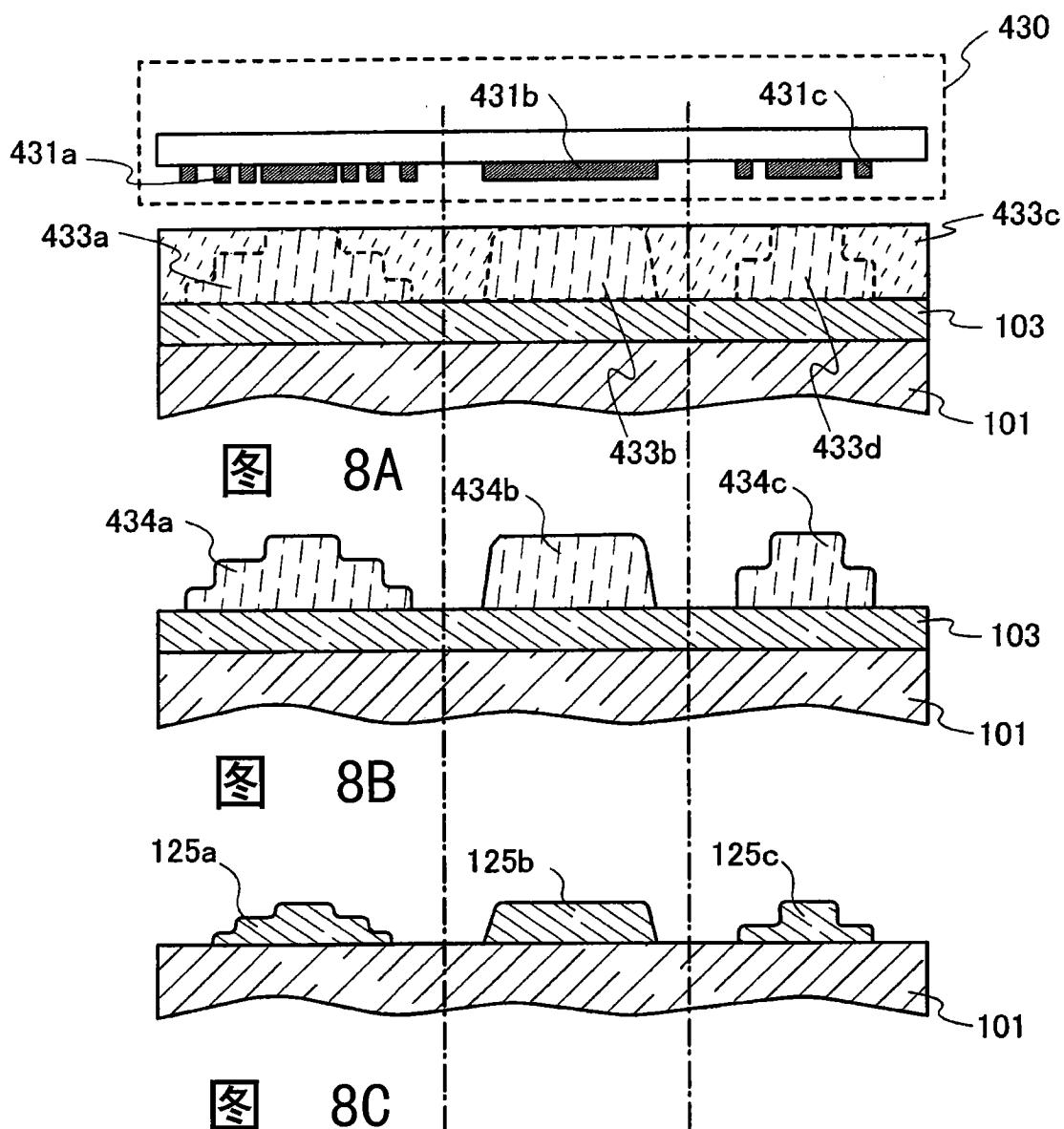


图 7C



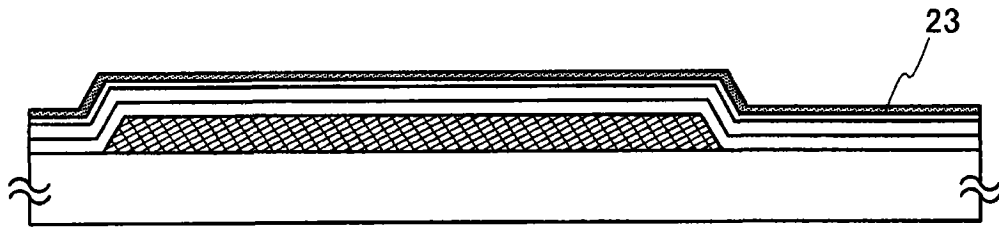


图 9B

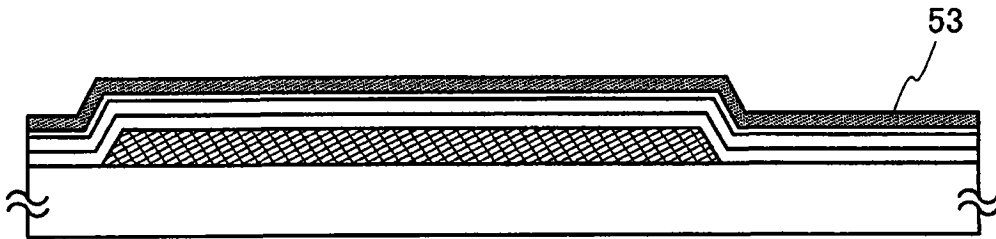


图 9C

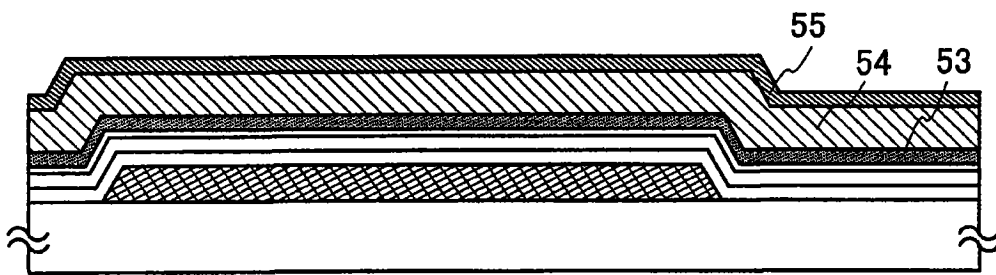


图 9D

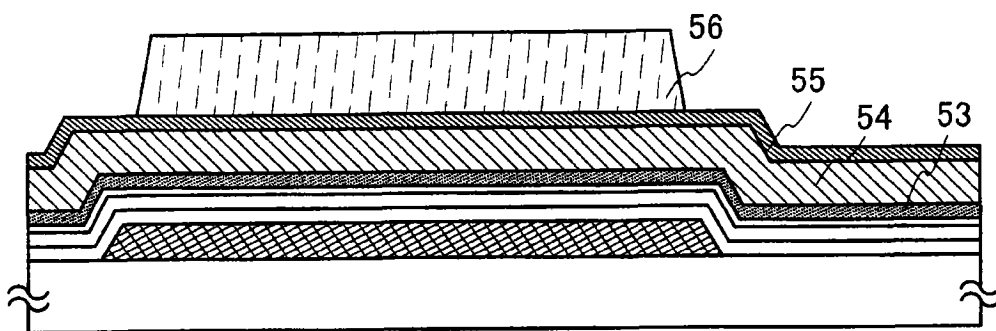


图 10A

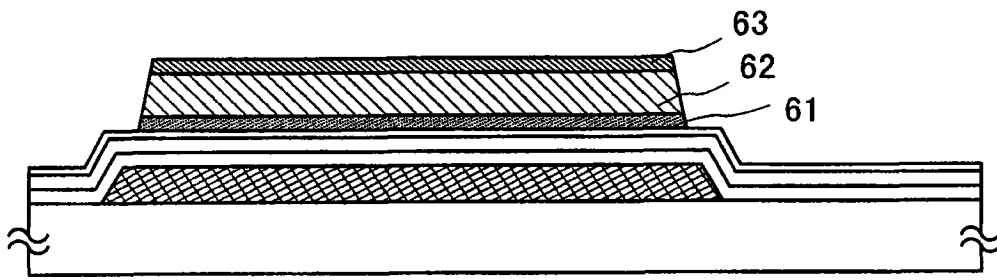


图 10B

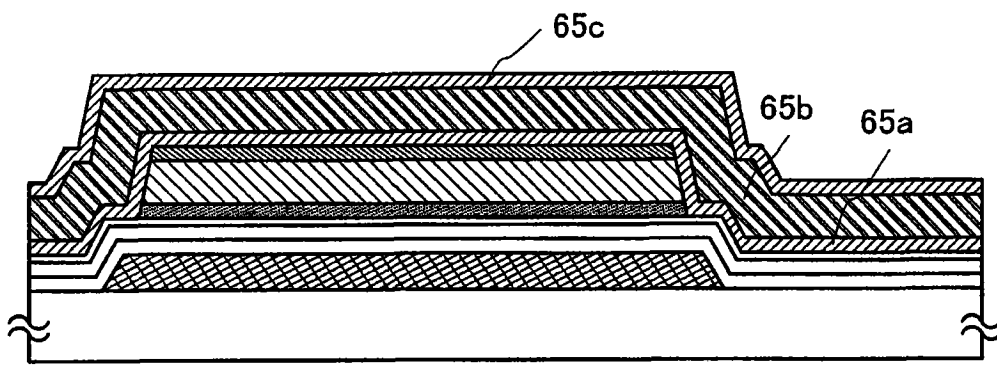


图 10C

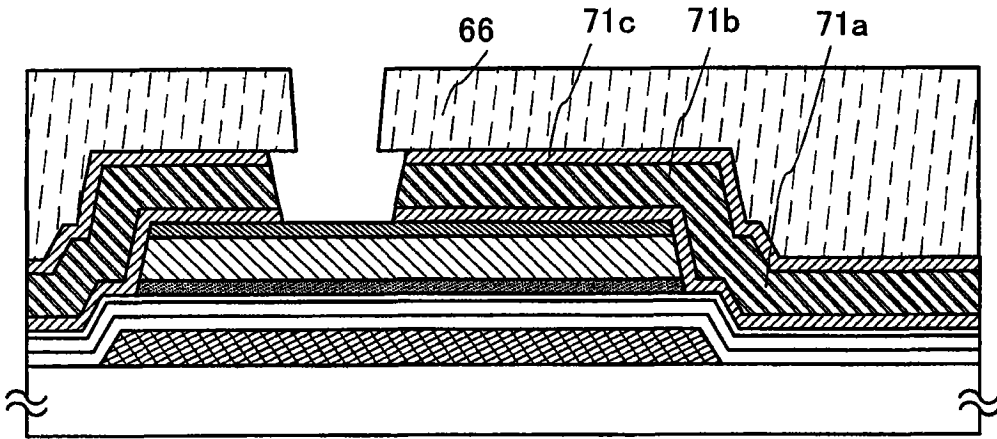


图 10D

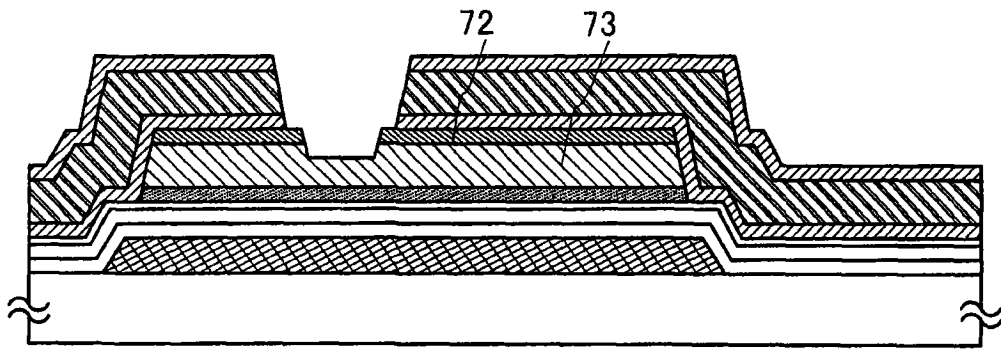


图 11A

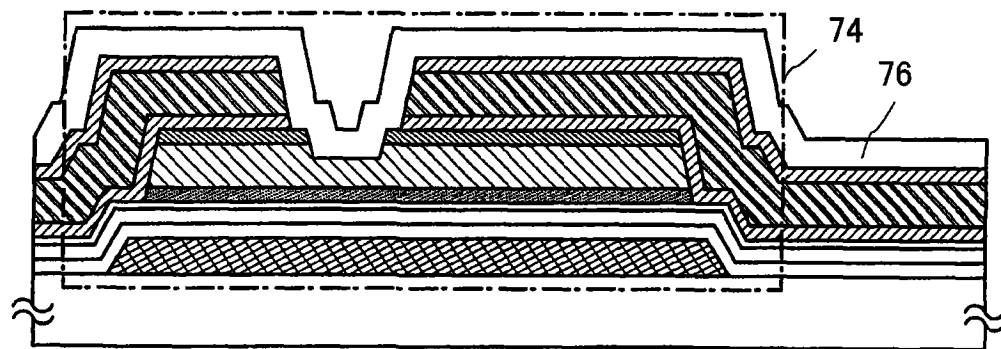


图 11B

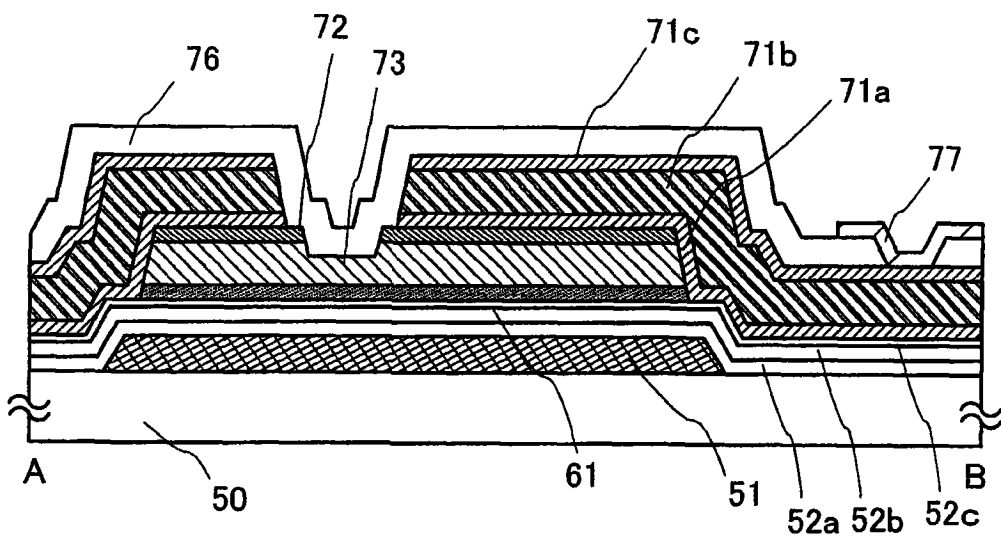


图 11C

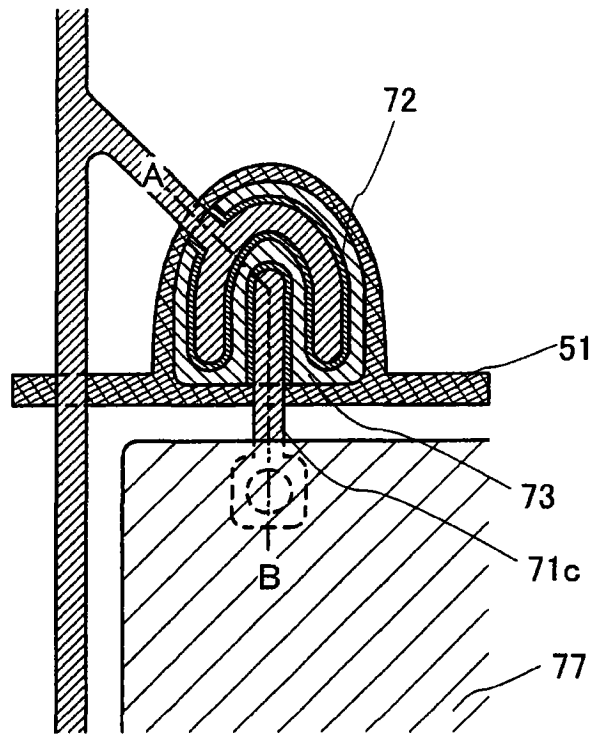


图 12

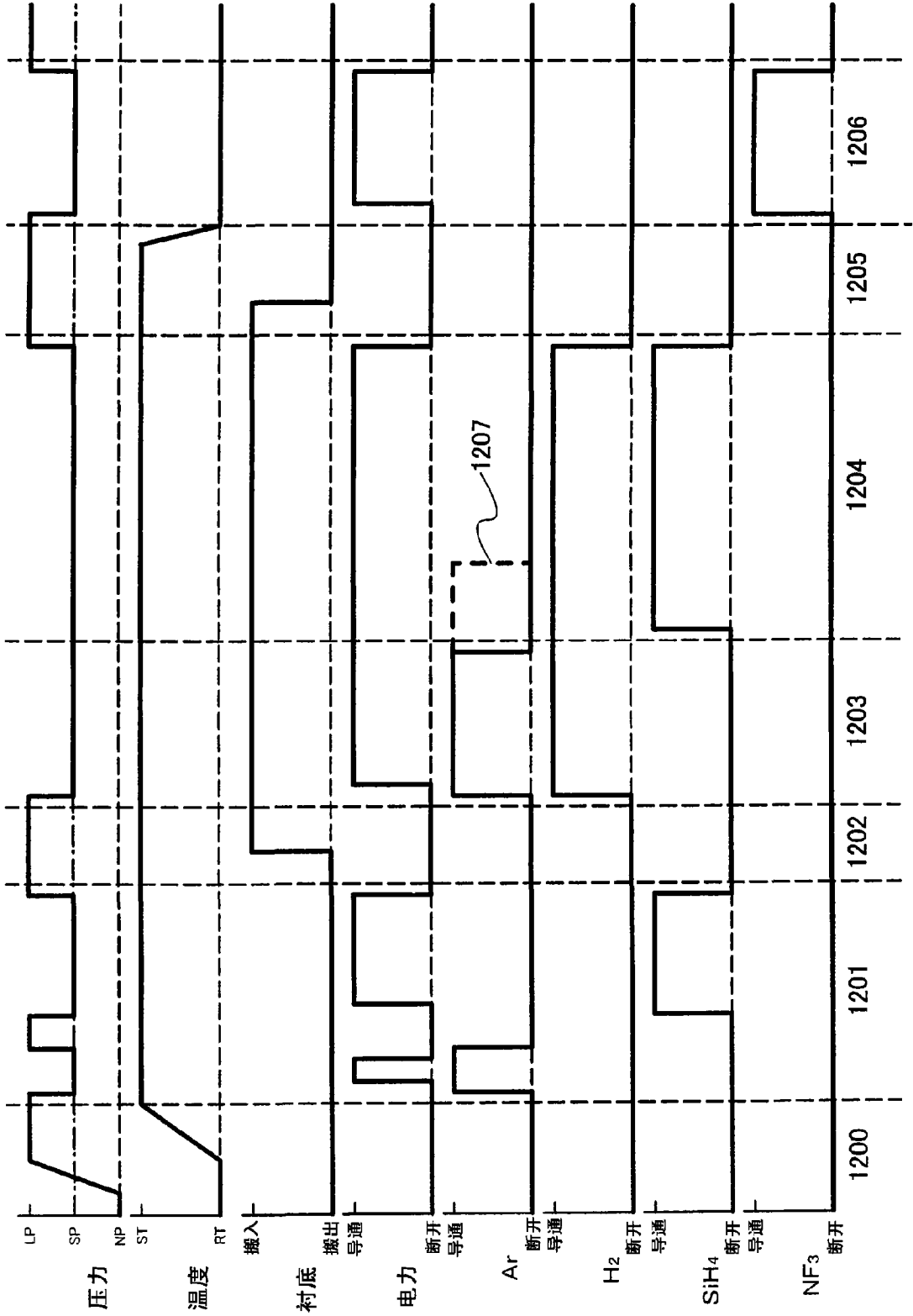


图 13

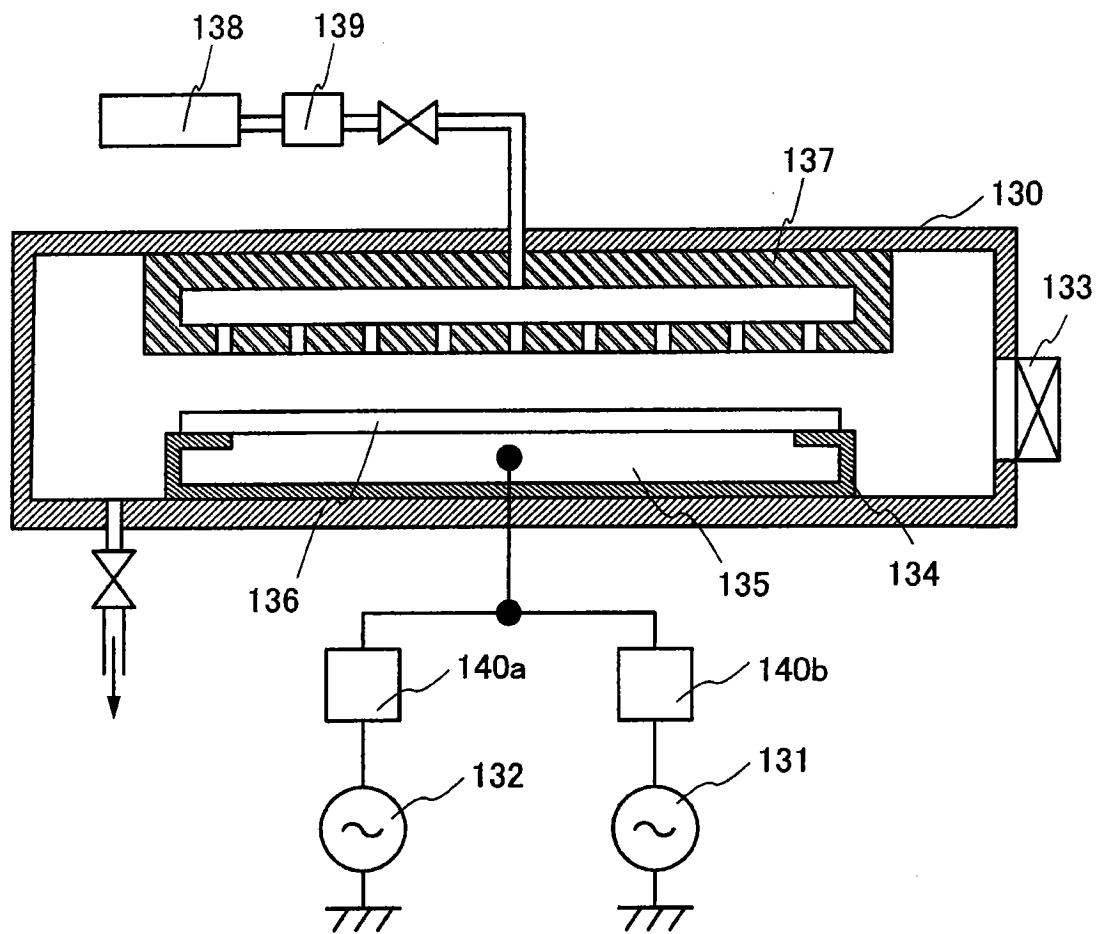


图 14

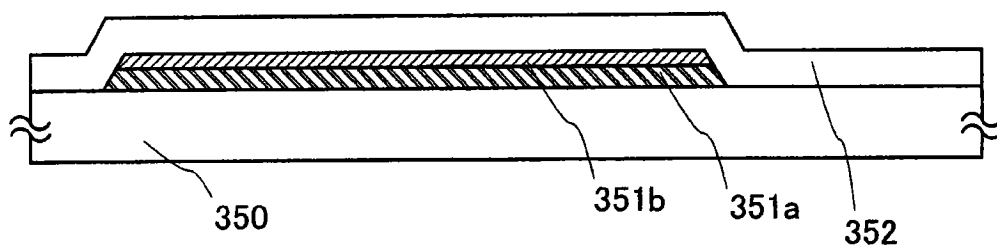


图 15A

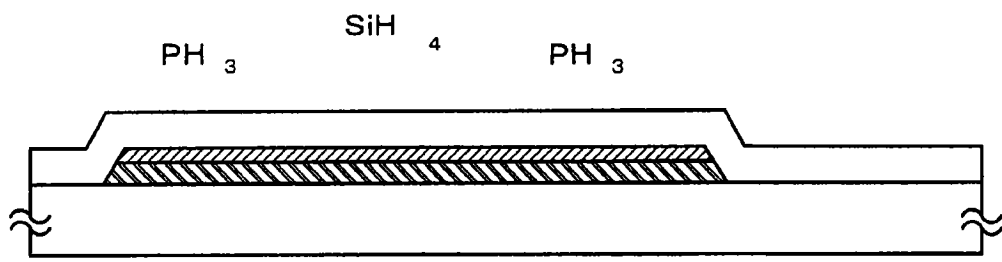


图 15B

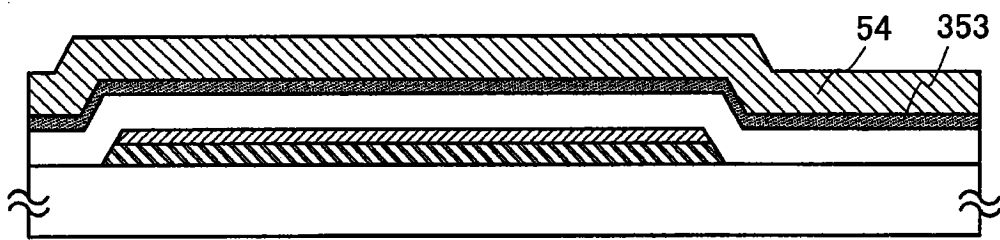


图 15C

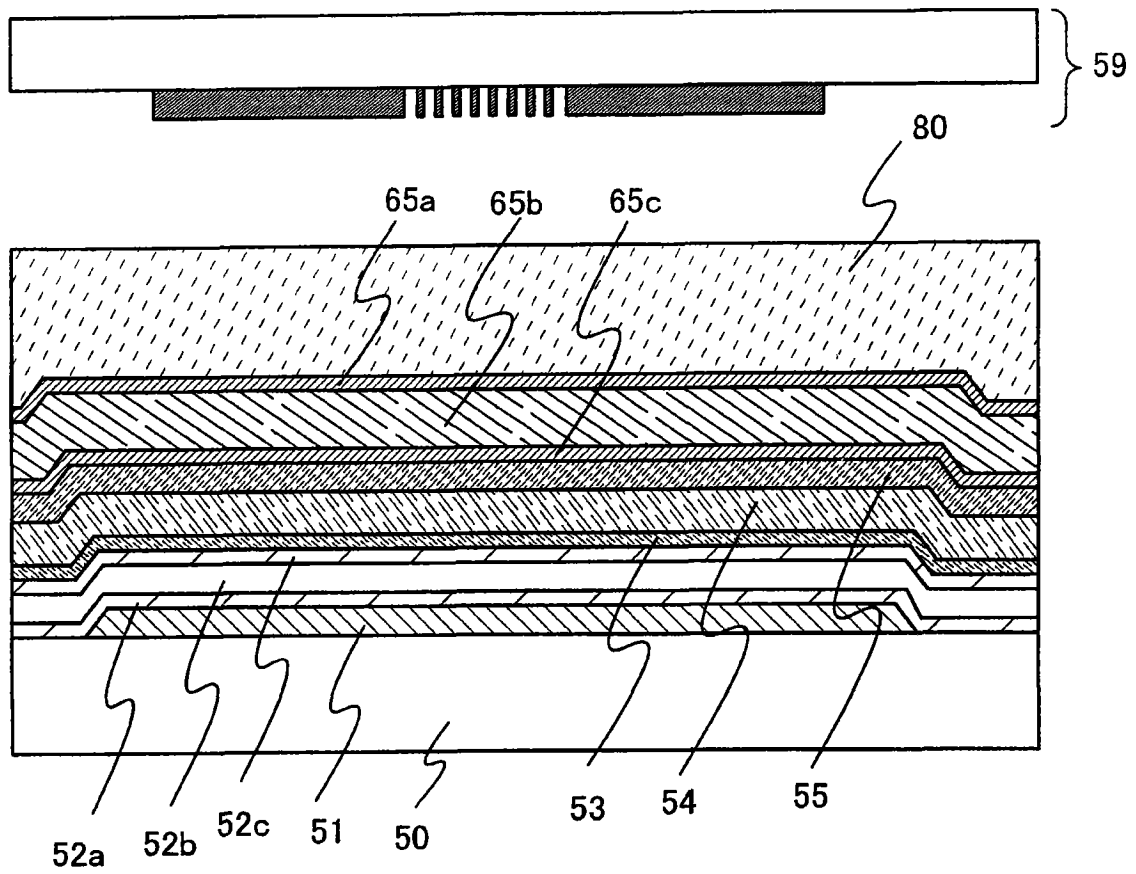


图 16A

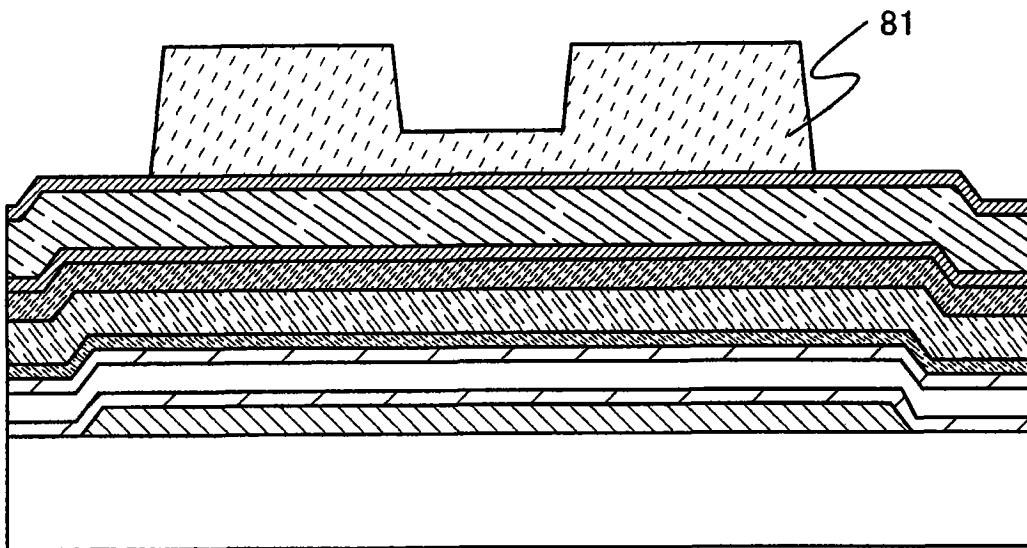


图 16B

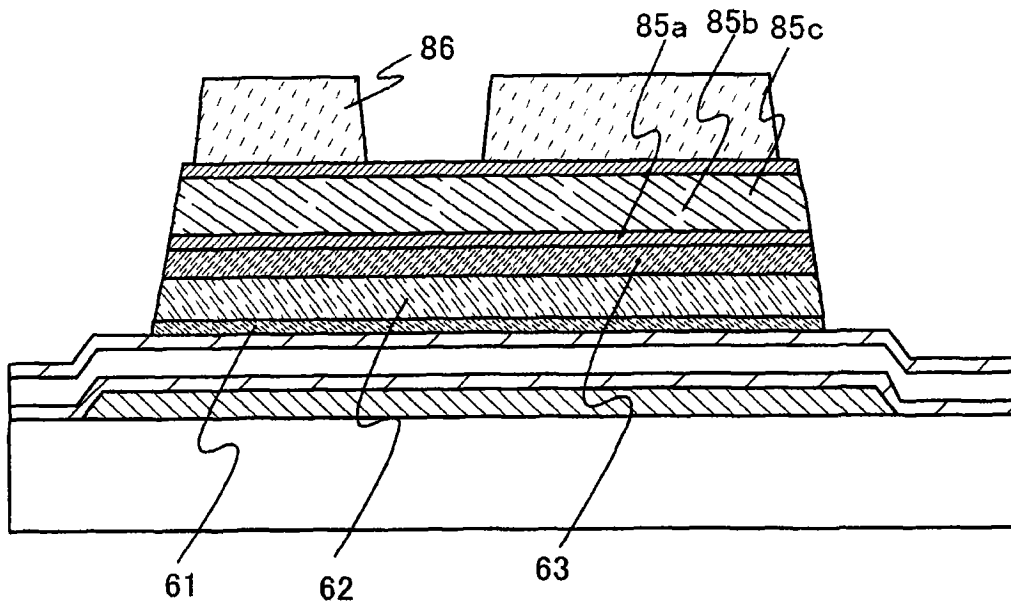


图 17A

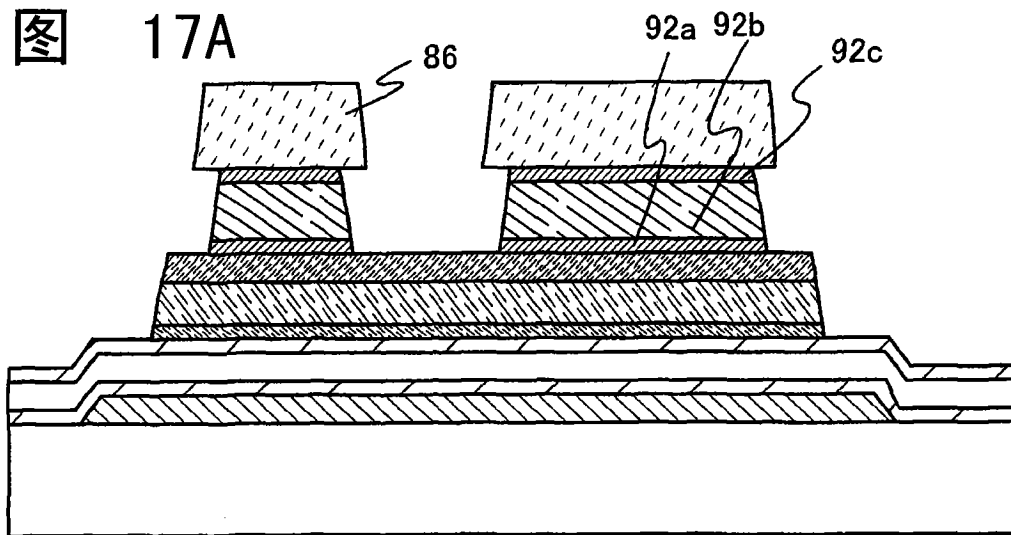


图 17B

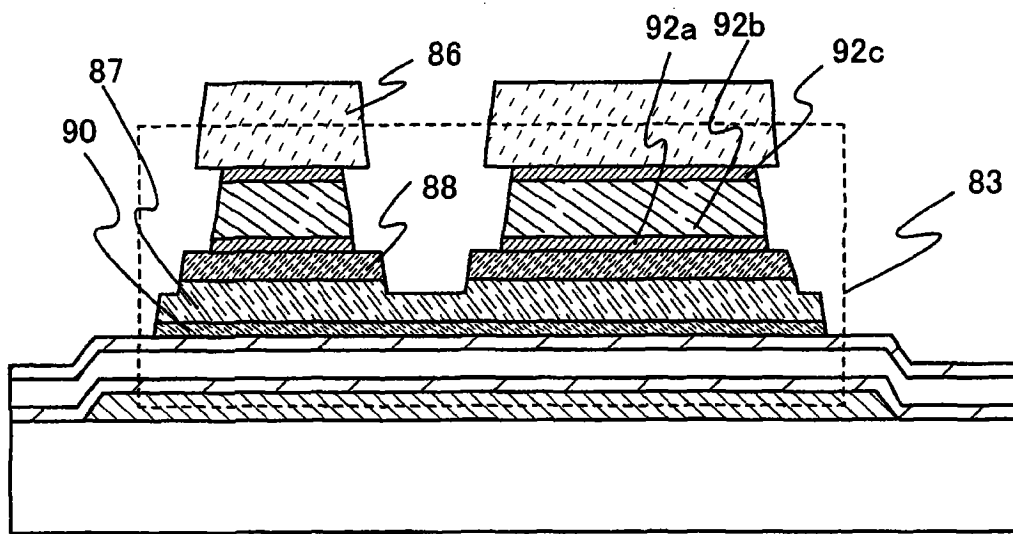


图 17C

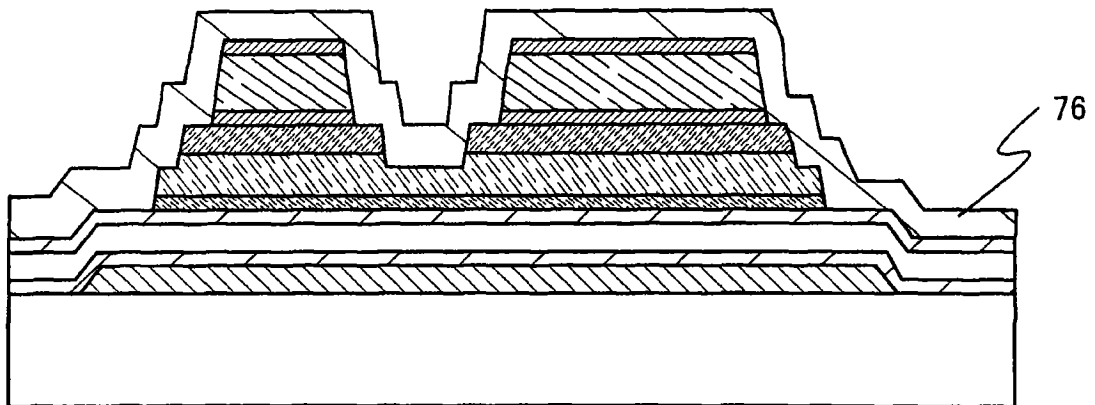


图 18A

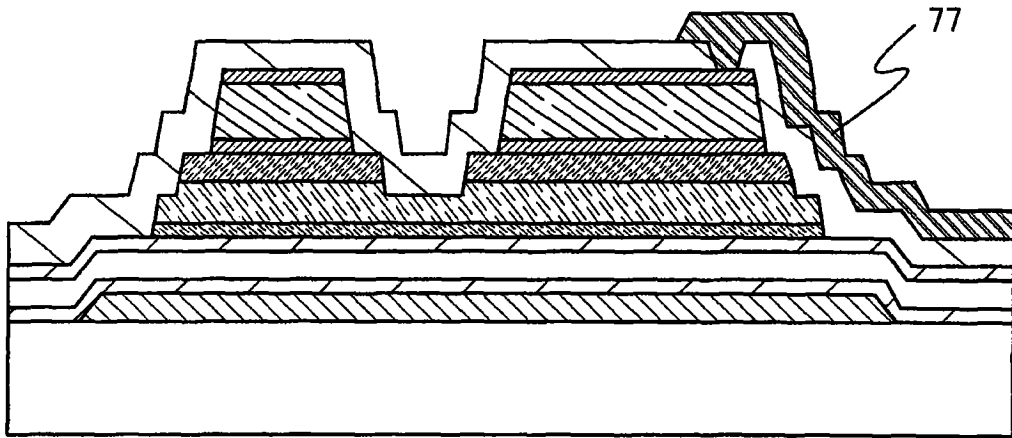


图 18B

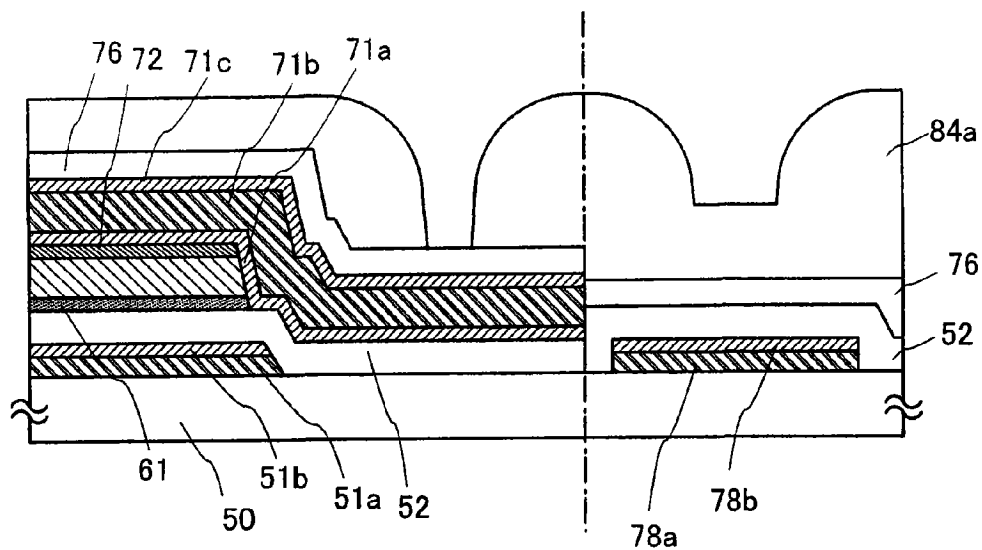


图 19A

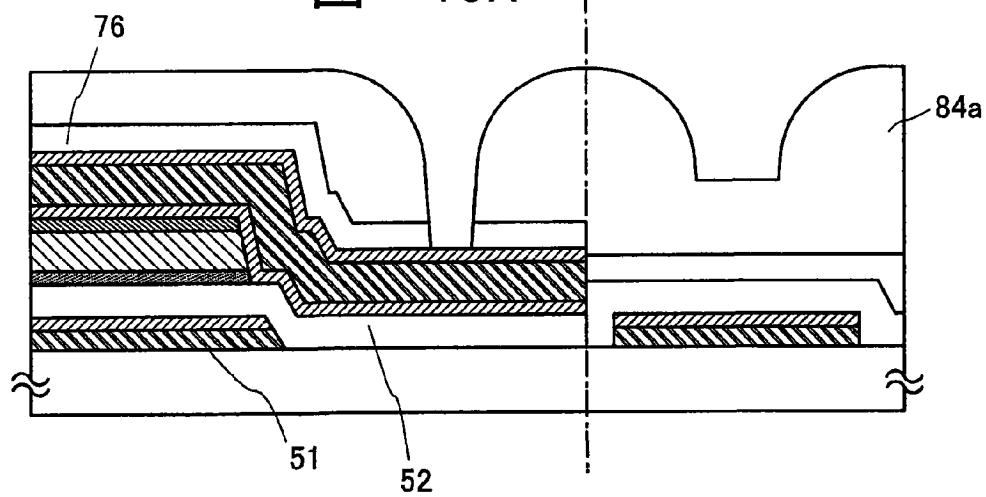


图 19B

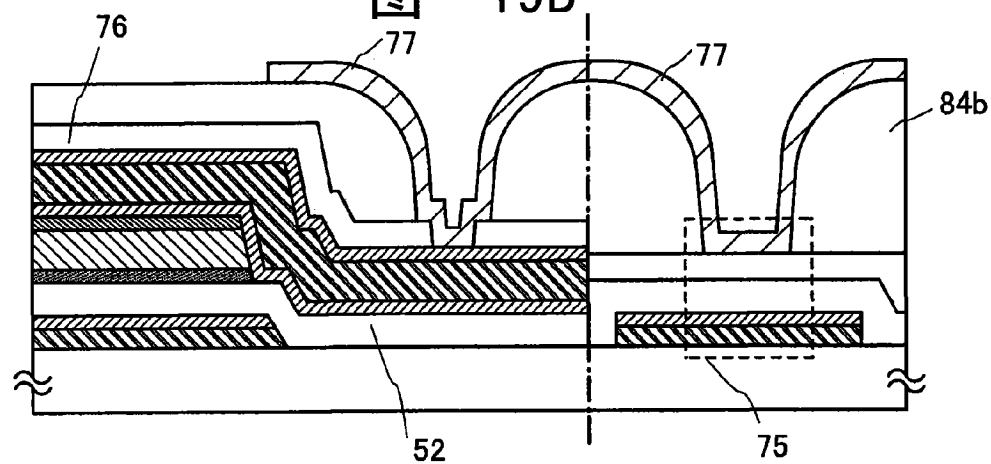


图 19C

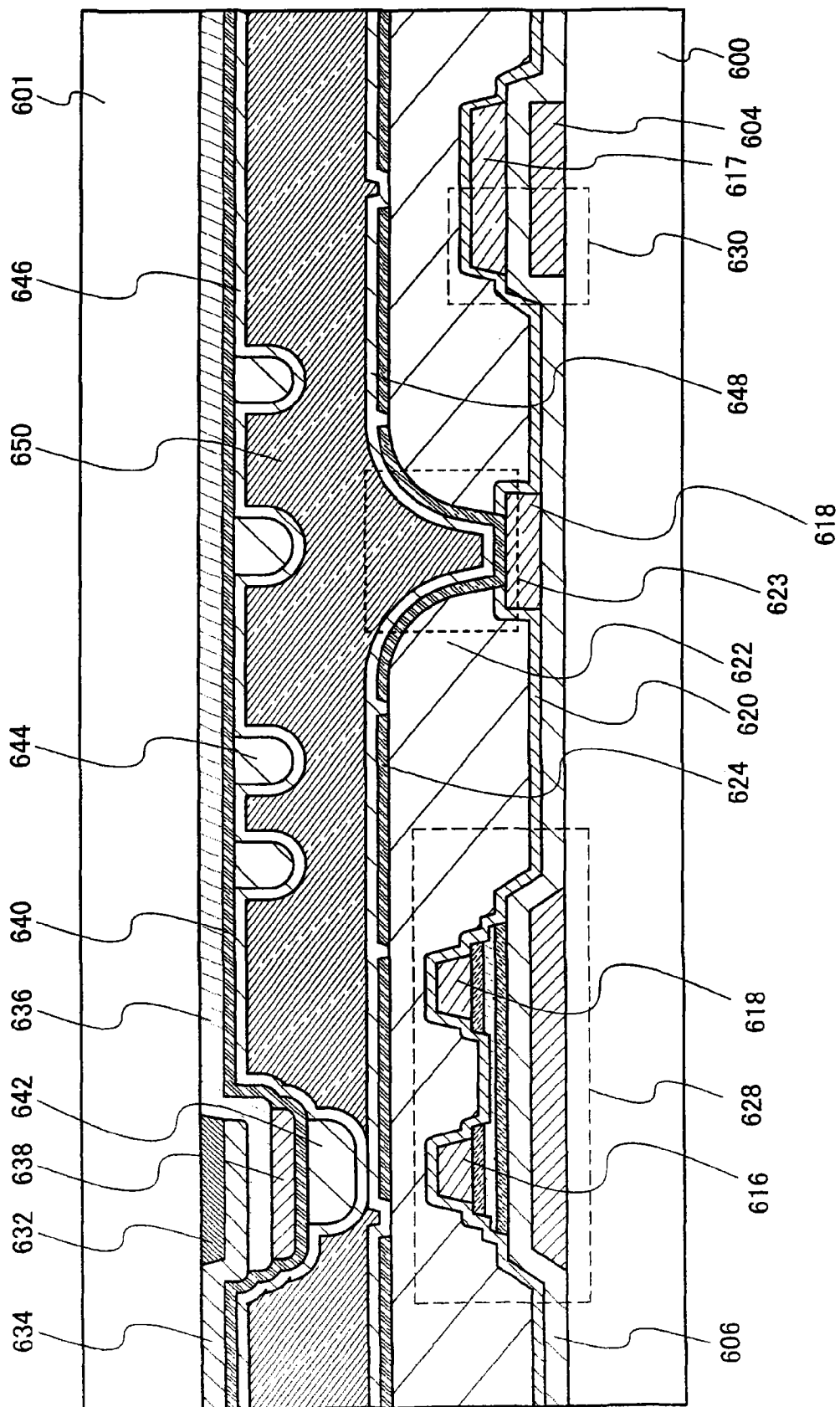


图 20

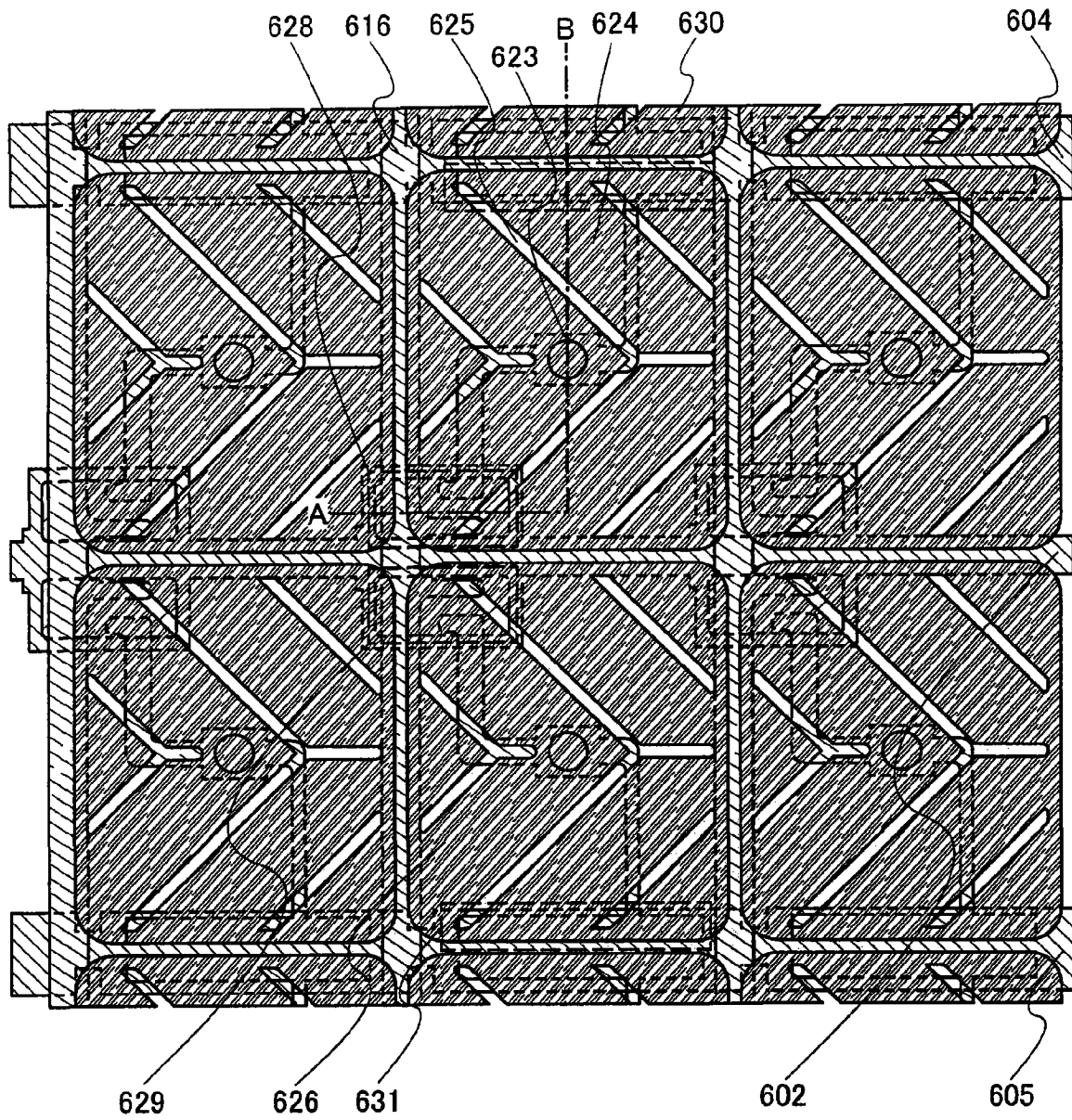


图 21

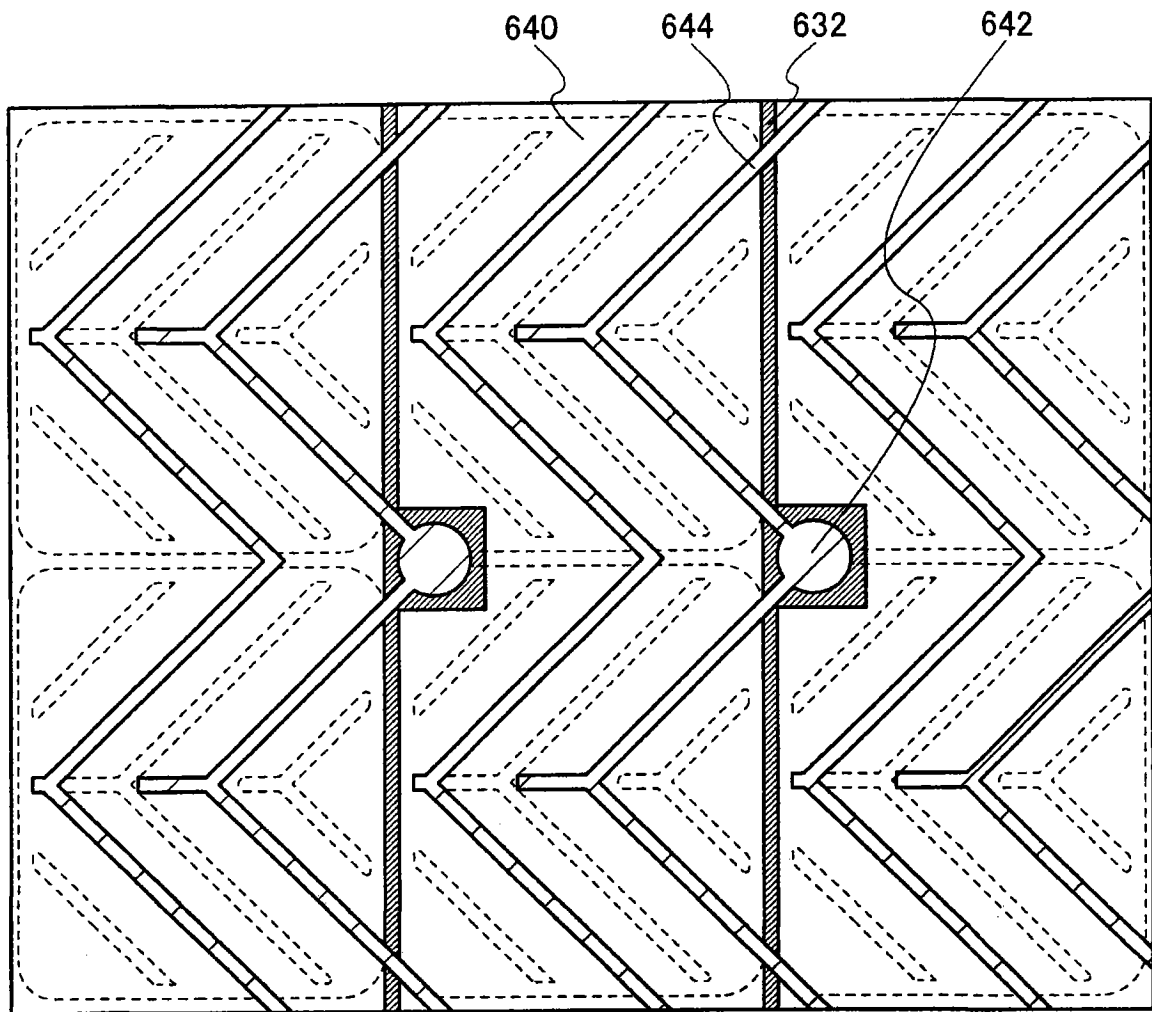


图 22

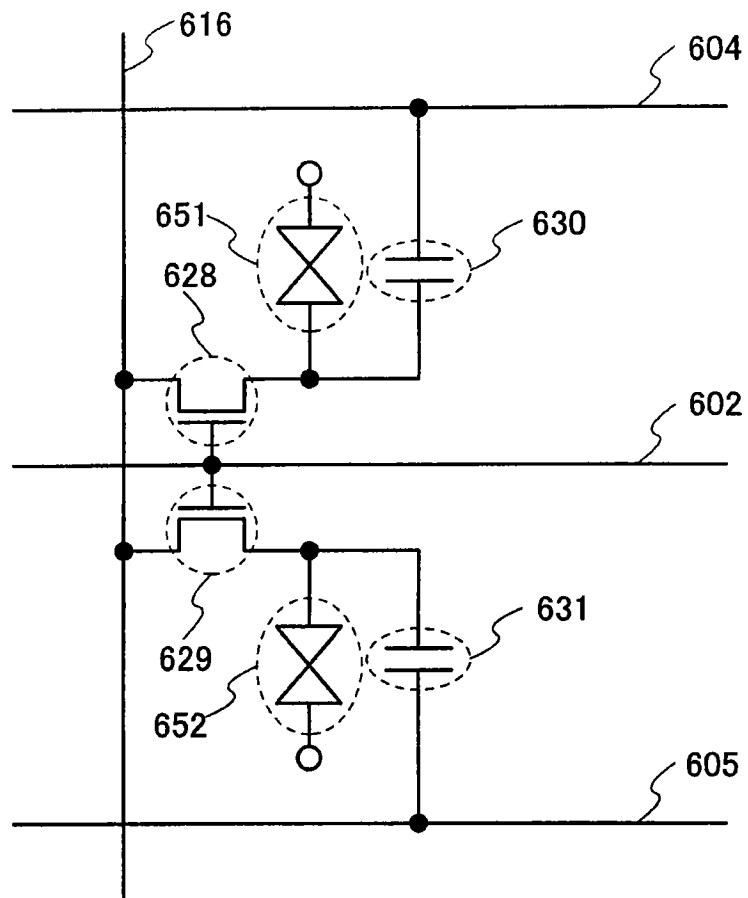


图 23

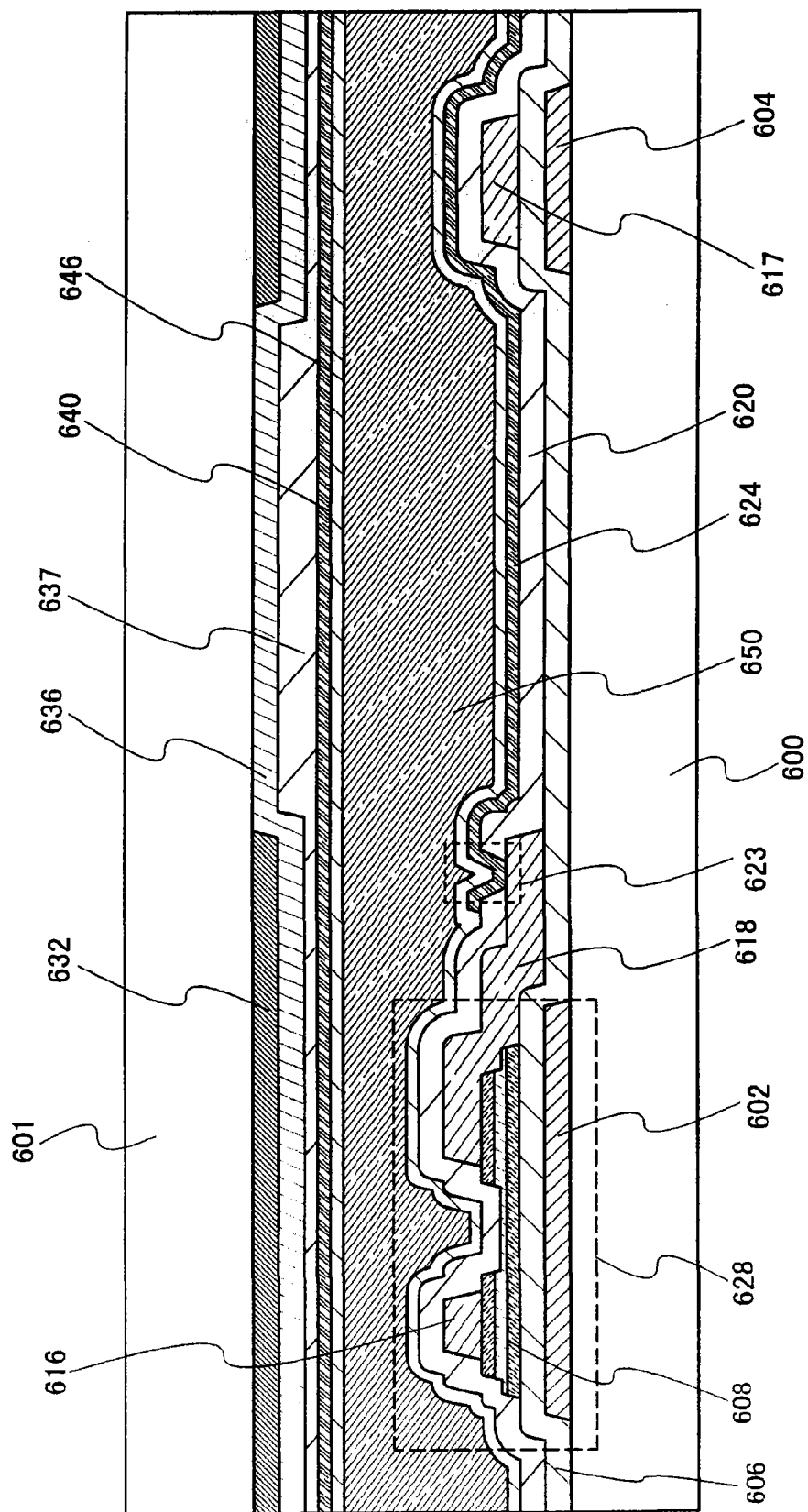


图 24

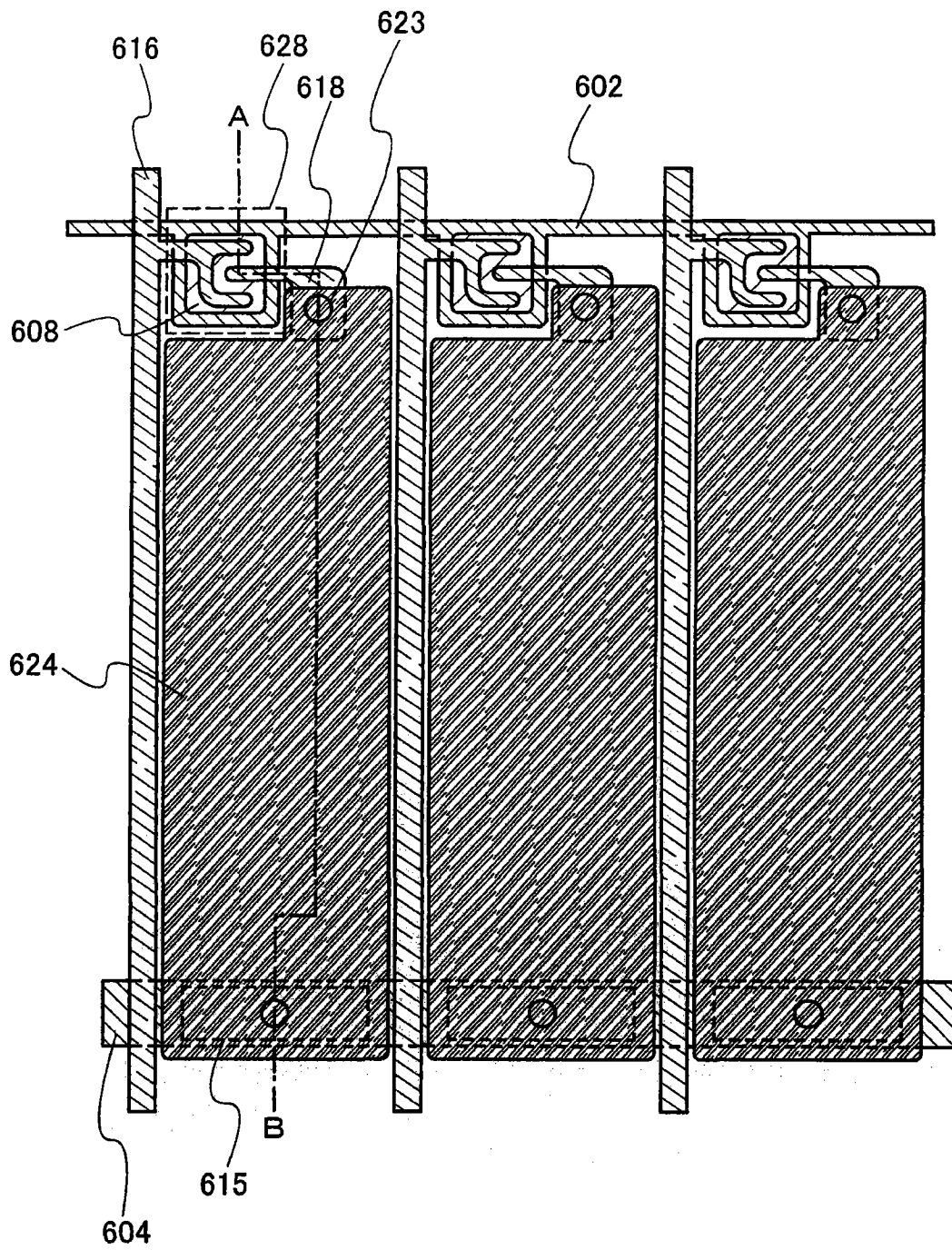


图 25

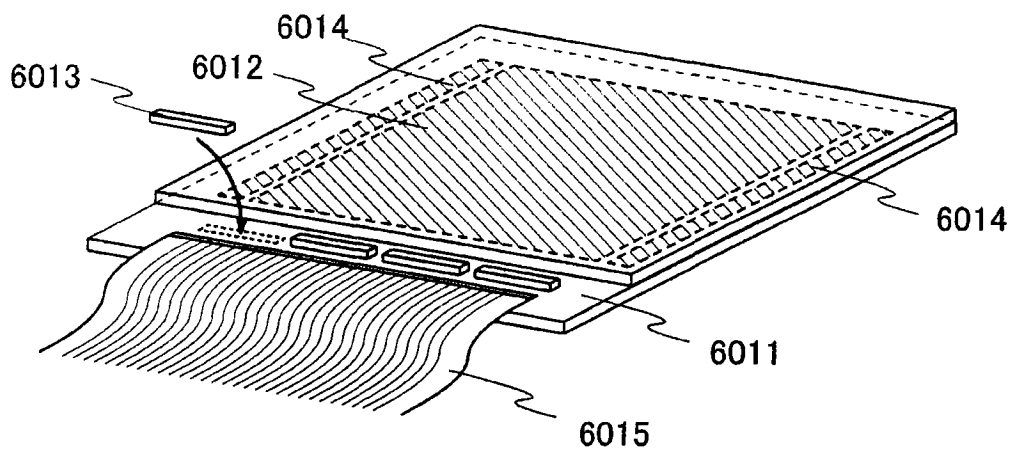


图 26A

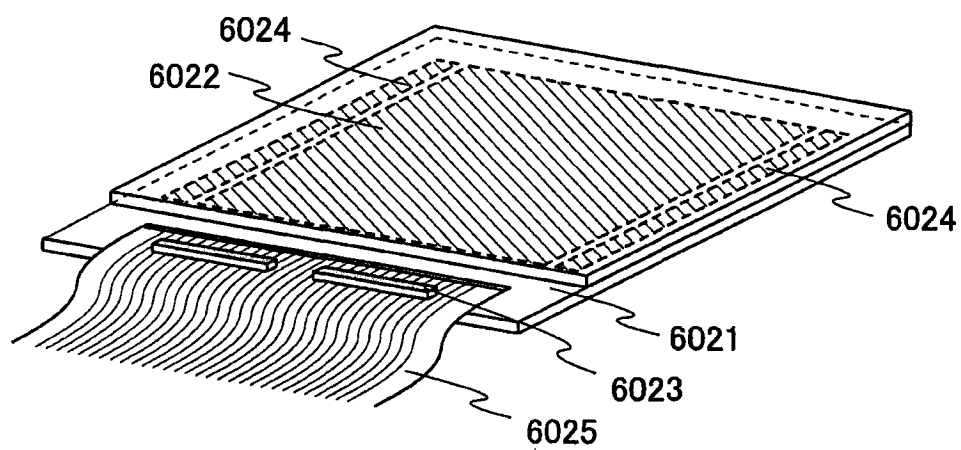


图 26B

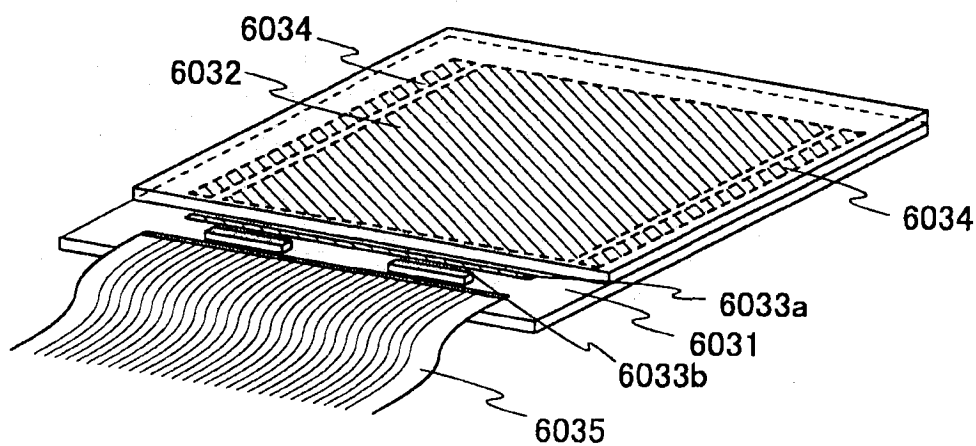
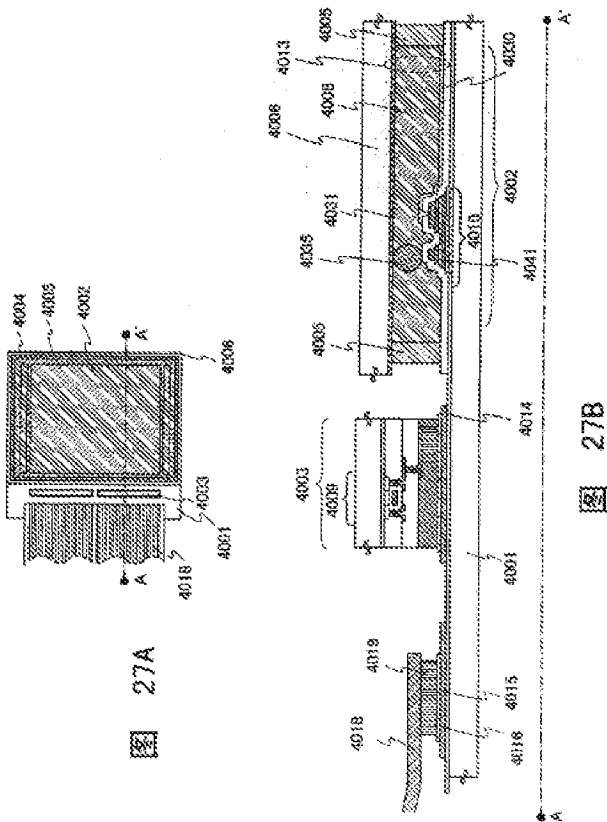


图 26C



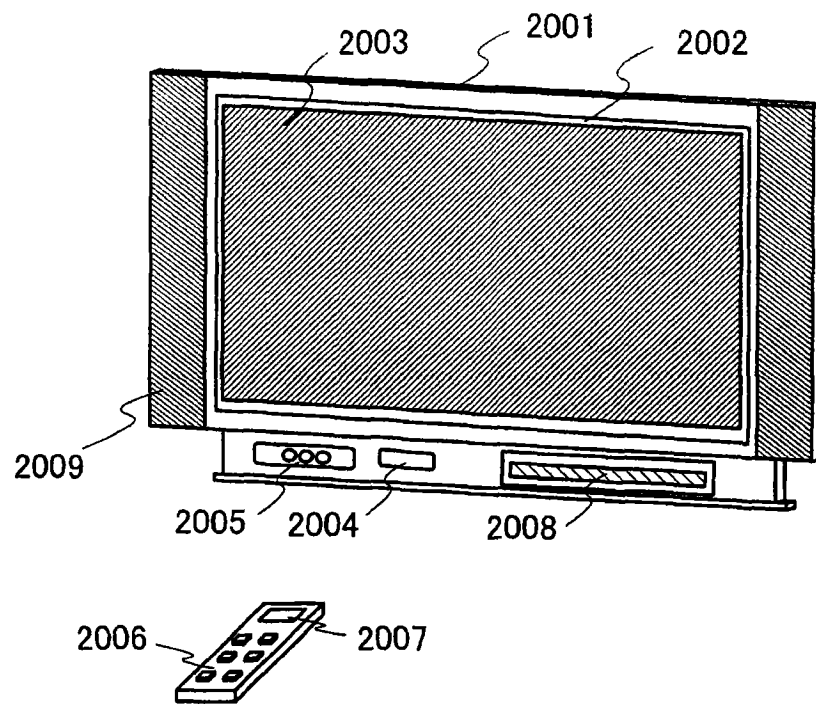


图 28A

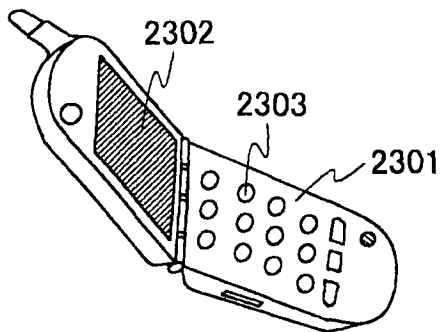


图 28B

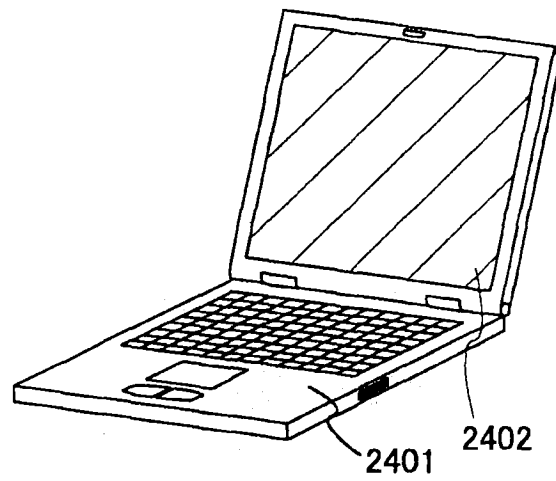


图 28C