



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I425284 B

(45) 公告日：中華民國 103 (2014) 年 02 月 01 日

(21) 申請案號：099120020

(22) 申請日：中華民國 99 (2010) 年 06 月 18 日

(51) Int. Cl. : G02F1/136 (2006.01)

G02F1/1343 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：劉恩鴻 LIU, EN HUNG (TW)；鄭景升 CHENG, CHING SHENG (TW)；石志鴻 SHIH, CHIH HUNG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW I249061

CN 101639597A

US 2003/0071952A1

US 2009/0121982A1

審查人員：梁宏維

申請專利範圍項數：26 項 圖式數：12 共 0 頁

(54) 名稱

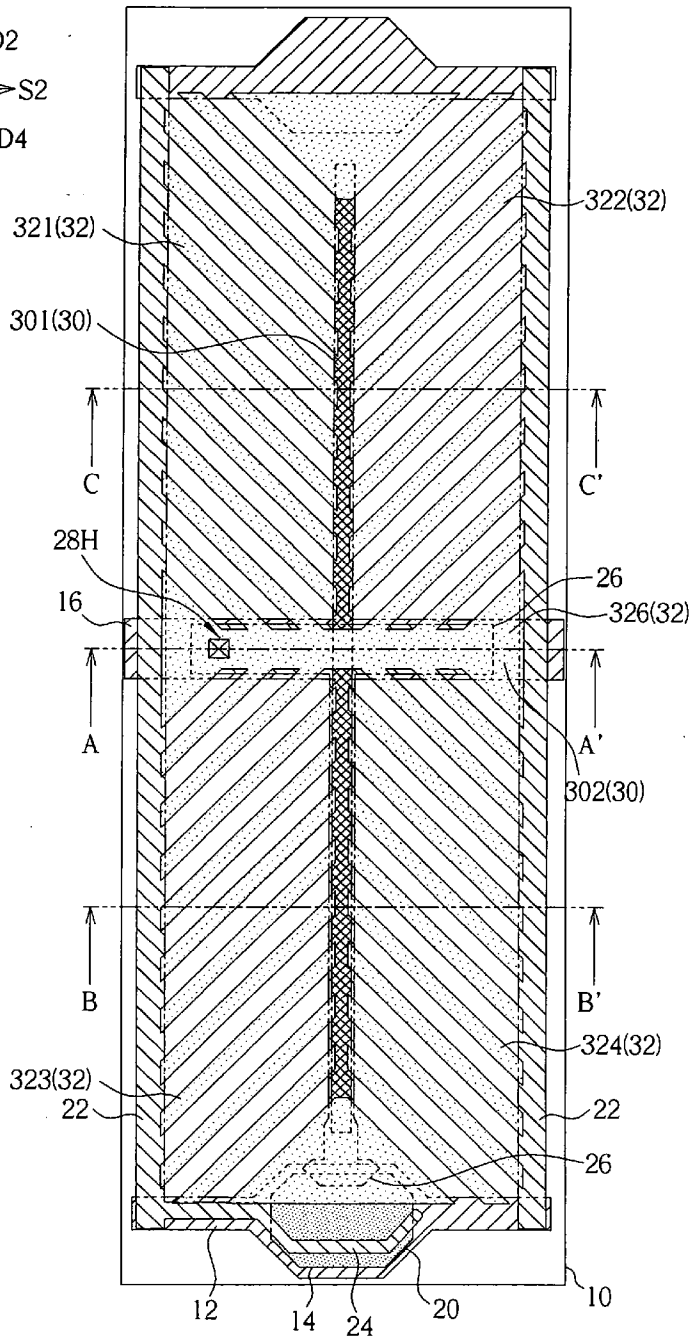
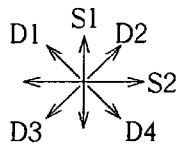
畫素結構及其製作方法

PIXEL STRUCTURE AND METHOD OF MAKING THE SAME

(57) 摘要

一種畫素結構包括一基板、一閘極線、一閘極、一絕緣層、一半導體層、一資料線、一源極、一汲極、一平坦層以及一畫素電極。閘極線以及閘極係設置於基板上，絕緣層係覆蓋於基板之上，半導體層係設置於絕緣層上，資料線、源極以及汲極係設置於絕緣層與半導體層上，平坦層係設置於資料線、源極與汲極之上，畫素電極係設置於平坦層上，平坦層具有一暴露出汲極之接觸洞，且畫素電極透過接觸洞與汲極電性連接。畫素電極包括一不透明主幹電極設置於該平坦層上以及複數條透明分支電極，各透明分支電極之一端與不透明主幹電極電性連接。

A pixel structure includes a substrate, a gate line, a gate electrode, an insulation layer, a semiconductor layer, a data line, a source electrode, a drain electrode, a planarization layer and a pixel electrode. The gate line and the gate electrode are disposed on the substrate. The insulation layer covers the substrate. The data line, the source electrode and the drain electrode are disposed on the insulation layer and the semiconductor layer. The planarization layer is disposed on the data line, the source electrode and the drain electrode. The pixel electrode is disposed on the planarization layer. The planarization layer has a contact via which exposes the drain electrode, and the pixel electrode is electrically connected to the drain electrode through the contact via. The pixel electrode includes a non-transparent main trunk electrode and a plurality of transparent branch electrodes disposed on the planarization layer, and one end of each of the transparent branch electrodes is electrically connected to the non-transparent main trunk electrode.



第3圖

- 10 . . . 基板
- 12 . . . 閘極線
- 14 . . . 閘極
- 16 . . . 共通線
- 20 . . . 半導體層
- 22 . . . 資料線
- 24 . . . 源極
- 26 . . . 汲極
- 28H . . . 接觸洞
- 30 . . . 第三不透明導電圖案層
- 301 . . . 第一不透明主幹電極
- 32 . . . 透明導電圖案層
- 321 . . . 第一透明分支電極
- 322 . . . 第二透明分支電極
- 323 . . . 第三透明分支電極
- 324 . . . 第四透明分支電極
- 326 . . . 第二透明主幹電極
- D1 . . . 第一方向
- D2 . . . 第二方向
- D3 . . . 第三方向
- D4 . . . 第四方向
- S1 . . . 第一軸向
- S2 . . . 第二軸向

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99120020

※申請日：99.6.18

※IPC 分類：G02F 1/136 (2006.01)
G02F 1/1343 (2006.01)

一、發明名稱：(中文/英文)

畫素結構及其製作方法/PIXEL STRUCTURE AND METHOD OF
MAKING THE SAME

US 2011 309402

二、中文發明摘要：

一種畫素結構包括一基板、一閘極線、一閘極、一絕緣層、一半導體層、一資料線、一源極、一汲極、一平坦層以及一畫素電極。閘極線以及閘極係設置於基板上，絕緣層係覆蓋於基板之上，半導體層係設置於絕緣層上，資料線、源極以及汲極係設置於絕緣層與半導體層上，平坦層係設置於資料線、源極與汲極之上，畫素電極係設置於平坦層上，平坦層具有一暴露出汲極之接觸洞，且畫素電極透過接觸洞與汲極電性連接。畫素電極包括一不透明主幹電極設置於該平坦層上以及複數條透明分支電極，各透明分支電極之一端與不透明主幹電極電性連接。

三、英文發明摘要：

A pixel structure includes a substrate, a gate line, a gate electrode, an insulation layer, a semiconductor layer, a data line, a source electrode, a drain electrode, a planarization layer and a pixel electrode. The gate line and the gate electrode are disposed on the substrate. The insulation layer covers the substrate. The data line, the source electrode and the

drain electrode are disposed on the insulation layer and the semiconductor layer. The planarization layer is disposed on the data line, the source electrode and the drain electrode. The pixel electrode is disposed on the planarization layer. The planarization layer has a contact via which exposes the drain electrode, and the pixel electrode is electrically connected to the drain electrode through the contact via. The pixel electrode includes a non-transparent main trunk electrode and a plurality of transparent branch electrodes disposed on the planarization layer, and one end of each of the transparent branch electrodes is electrically connected to the non-transparent main trunk electrode.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

10	基板	12	閘極線
14	閘極	16	共通線
20	半導體層	22	資料線
24	源極	26	汲極
28H	接觸洞	30	第三不透明導電圖案層
301	第一不透明主幹電極	32	透明導電圖案層
321	第一透明分支電極	322	第二透明分支電極
323	第三透明分支電極	324	第四透明分支電極
326	第二透明主幹電極	D1	第一方向
D2	第二方向	D3	第三方向
D4	第四方向	S1	第一軸向
S2	第二軸向		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種畫素結構及其製作方法，尤指一種利用不透明導電材料作為畫素電極之主幹電極之畫素結構及其製作方法。

【先前技術】

隨著大尺寸液晶顯示面板的快速發展，液晶顯示面板必須具備廣視角特性，方能滿足使用上的需求，其中多區域垂直配向(multi-domain vertical alignment, MVA)液晶顯示面板因具有廣視角與低應答時間(response time)等特性，因而成為目前大尺寸平面顯示面板的主流產品。

習知之多區域垂直配向液晶顯示面板係藉由凸塊結構來使不同區域的液晶分子的預傾方向不同，藉此發揮廣視角的作用，然而凸塊結構的製作增加了製程的複雜度，且凸塊結構會遮蔽部分光線，因此造成開口率(aperture ratio)的下降，進而降低了液晶顯示面板的亮度表現。

因此，業界另研發出一種高分子聚合配向(polymer stabilized alignment, PSA)技術，其利用高分子聚合物來取代多區域垂直配向液晶顯示面板中的凸塊結構，達到使不同區域的液晶分子具有不同預傾方向的作用，並藉此發揮廣視角的效果。

在使用高分子聚合配向技術的液晶顯示面板中，由透明導電材料構成的畫素電極具有一沿垂直方向設置之主幹電極，以及複數條沿不同方向延伸的分支電極，藉此達到使不同區域的液晶分子具有不同預傾方向的作用。此外，使用高分子聚合配向技術的液晶顯示面板在搭配使用線型偏光板時，可達到高對比的規格，而符合市場之需求。然而，在搭配使用線型偏光板的狀況下，僅有對應於畫素電極之分支電極的液晶分子會貢獻亮度，而對應於畫素電極的主幹電極的液晶分子並無法貢獻亮度，因此造成了開口率下降的問題。此外，由於透明導電材料例如氧化銦錫的線寬極限約為 4-5 微米，在使用高分子聚合配向技術的液晶顯示面板應用於高解析度的顯示裝置上時，上述問題更成為開口率無法進一步提升的主要原因。

【發明內容】

本發明之主要目的在於提供一畫素結構及其製作方法，以提升畫素結構之開口率。

本發明之一較佳實施例提供一種畫素結構，其包括一基板、一閘極線、一閘極、一絕緣層、一半導體層、一資料線、一源極、一汲極、一平坦層以及一畫素電極。閘極線以及閘極係設置於基板上，絕緣層係覆蓋於基板之上，半導體層係設置於絕緣層上，資料線、源極以及汲極係設置於絕緣層與半導體層上，平坦層係設置於資料線、源極與汲極之上，畫素電極係設置於平坦層上，其中閘極、半

導體層、源極與汲極形成一薄膜電晶體，平坦層具有一暴露出汲極之接觸洞，且畫素電極透過接觸洞與汲極電性連接。此外，畫素電極包括一不透明主幹電極設置於該平坦層上以及複數條透明分支電極，其中不透明主幹電極包括一第一不透明主幹電極沿一第一軸向設置，各透明分支電極之一端與第一不透明主幹電極電性連接。

本發明之另一較佳實施例提供一種製作畫素結構之方法，包括下列步驟。提供一基板，並形成一第一不透明導電圖案層於基板上。接著形成一絕緣層於基板上以覆蓋第一不透明導電圖案層，以及形成一半導體層於絕緣層上。之後，形成一第二不透明導電圖案層於絕緣層以及半導體層上，以及形成一平坦層於第二不透明導電圖案層上。接著，形成一第三不透明導電圖案層於平坦層之上，以及形成一透明導電圖案層於平坦層之上。第一不透明導電圖案層包括一閘極線以及一閘極。第二不透明導電圖案層包括一源極與一汲極，其中閘極、半導體層、源極與汲極形成一薄膜電晶體。平坦層具有一接觸洞，暴露出汲極。透明導電圖案層包括複數條透明分支電極，各透明分支電極之一端與第三不透明導電圖案層電性連接，以形成一畫素電極，且畫素電極透過接觸洞與汲極電性連接。

本發明之畫素結構利用不透明導電材料製作畫素電極的主幹電極，因此可縮減主幹電極的線寬，進而提升畫素結構的開口率。

【實施方式】

為使熟習本發明所屬技術領域之一般技藝者能更進一步了解本發明，下文特列舉本發明之數個較佳實施例，並配合所附圖式，詳細說明本發明的構成內容及所欲達成之功效。

請參考第 1 圖與第 2 圖。第 1 圖繪示了本發明之第一較佳實施例之畫素結構之上視示意圖，第 2 圖為沿第 1 圖之剖面線 A-A' 與 B-B' 所繪示之畫素結構的剖面示意圖。如第 1 圖與第 2 圖所示，本實施例之製作畫素結構之方法包括下列步驟。首先，提供一基板 10。接著於基板 10 上形成一第一不透明導電圖案層，其中第一不透明導電圖案層可為一單層或複合層之金屬圖案層，例如一鉬/鋁/鉬層，但不以此為限。第一不透明導電圖案層包括一閘極線 12 與一閘極 14，並可選擇性地包括一共通線 16，其中閘極線 12 係位於畫素結構之一側、閘極 14 與閘極線 12 連接並向畫素結構之內部延伸，而共通線 16 大體上與閘極線 12 平行設置並貫穿畫素結構。隨後，於基板 10 上形成一覆蓋第一不透明導電圖案層之絕緣層 18(第 1 圖未示)。絕緣層 18 可作為閘極絕緣層，其材料可為各式介電材料，例如氧化矽、氮化矽或氮氧化矽等，但不以此為限。之後，於絕緣層 18 上形成一半導體層 20，例如一非晶矽層，其中半導體層 20 大體上對應閘極 14。

隨後，於絕緣層 18 以及半導體層 20 上形成一第二不透明導電圖案層，其中第二不透明導電圖案層可為一單層或複合層之金屬圖案層，例如一鉬/鋁/鉬層，但不以此為限。第二不透明導電圖案層包

括一資料線 22、一源極 24 與一汲極 26。資料線 22 係位於畫素結構之一側並大體上與閘極線 12 垂直設置，且資料線 22 與源極 24 電性連接。源極 24 與汲極 26 大體上對應於閘極 14 之兩相對側，且閘極 14、半導體層 20、源極 24 與汲極 26 形成一薄膜電晶體。接著，於第二不透明導電圖案層上形成一平坦層(保護層)28(第 1 圖未示)，其中平坦層 28 具有至少一接觸洞 28H，部分暴露出汲極 26。平坦層 28 可為由無機材料或有機材料所構成的單一結構層或複合結構層。

接著，於平坦層 28 上形成一第三不透明導電圖案層 30，以及一透明導電圖案層 32，其中第三不透明導電圖案層 30 可為一單層或複合層之金屬圖案層，例如一鈿/鋁/鈿層，而透明導電圖案層 32 則可為例如一金屬氧化物圖案層如氧化鈿錫層或氧化鈿鋅，但不以此為限。在本實施例中，第三不透明導電圖案層 30 係先形成於平坦層 28 上，而接著透明導電圖案層 32 再形成於第三不透明導電圖案層 30 與平坦層 28 上，且透明導電圖案層 32 與第三不透明導電圖案層 30 部分接觸而彼此電性連接。

在本實施例中，第三不透明導電圖案層 30 可包括不透明主幹電極，且不透明主幹電極包括一第一不透明主幹電極 301 沿一第一軸向 S1(例如第 1 圖所示之垂直方向)設置於平坦層 28 上，亦即第一不透明主幹電極 301 係沿畫素結構之長軸方向貫穿，且第一不透明主幹電極 301 透過接觸洞 28H 與汲極 26 電性連接。透明導電圖案層

32 可包括複數條透明分支電極於平坦層 28 之上，其中各透明分支電極之一端與第三不透明導電圖案層 30 接觸而形成電性連接，以形成一畫素電極。此外，共通線 16 與畫素電極部分重疊而形成儲存電容。在本實施例中，透明分支電極包括複數條第一透明分支電極 321 與複數條第二透明分支電極 322，其中第一透明分支電極 321 係設置於第一不透明主幹電極 301 之左側並沿一第一方向 D1 平行設置，且第一透明分支電極 321 之一端與第一不透明主幹電極 301 接觸而電性連接，第二透明分支電極 322 係設置於第一不透明主幹電極 301 之右側並沿一第二方向 D2 平行設置，且第二透明分支電極 322 之一端與第一不透明主幹電極 301 接觸而電性連接。此外，第一方向 D1 與第一軸向 S1 之一夾角大體上為 45 度，且第二方向 D2 與第一軸向 S1 之一夾角大體上為 45 度，換言之，第一方向 D1 與第二方向 D2 大體上互相垂直，但不以此為限。透明分支電極的作用在於使對應的液晶分子沿不同的方向排列，達到廣視角的作用，因此透明分支電極的排列方向並不以上述作法為限。在本實施例中，藉由第一透明分支電極 321 與第二透明分支電極 322 的設置，畫素結構具有兩個不同的配向區域。

如前所述，在某些狀況下，例如在使用高分子聚合配向技術並搭配使用線型偏光板的狀況下，對應於第一軸向的液晶分子無法貢獻亮度而使得畫素結構的開口率下降，在此狀況下，對應於第一軸向之不透明導電材料，例如金屬，其線寬極限可達到 3 微米，甚至更低。因此，本實施例之畫素結構使用不透明導電材料構成的第一不

透明主幹電極 301，且在材料的選擇上，不透明導電材料的線寬極限係低於透明導電材料之線寬極限，藉此可使第一不透明主幹電極 301 的線寬縮減至 3 微米或更低，如此一來，對應於第一不透明主幹電極 301 而無法貢獻亮度的面積會減少，而可有效提升畫素結構的開口率。

本發明之畫素結構並不限定於應用在使用高分子聚合配向技術並搭配使用線型偏光板的液晶顯示面板上，而可應用在各種型式的液晶顯示面板與各種型式的偏光板上。本發明之畫素結構及其製作方法並不以上述實施例為限，而可有多種不同的實施方式。下文將針對本發明之其它實施例進行說明，且為簡化說明並比較各實施例之相異處，在下文之各實施例中使用相同的符號標注相同的元件，並不再對重覆部分進行贅述。

請參考第 3 圖與第 4 圖。第 3 圖繪示了本發明之第二較佳實施例之畫素結構之上視示意圖，第 4 圖為沿第 3 圖之剖面線 A-A'、B-B' 與 C-C' 所繪示之畫素結構的剖面示意圖。如第 3 圖與第 4 圖所示，在本實施例中，汲極 26 可向內延伸至畫素結構之中央位置，但不以此為限。例如，汲極 26 亦可僅位於畫素結構的周邊。第三不透明導電圖案層 30 係先形成於平坦層 28 上，而接著透明導電圖案層 32 再形成於第三不透明導電圖案層 30 與平坦層 28 上，且透明導電圖案層 32 與第三不透明導電圖案層 30 部分接觸而彼此電性連接。第三不透明導電圖案層 30 可包括不透明主幹電極，且不透明主幹電極

包括一第一不透明主幹電極 301 沿第一軸向 S1 設置於平坦層 28 上。透明導電圖案層 32 可包括一第二透明主幹電極 326 沿與第一軸向 S1 大體上垂直之第二軸向 S2(例如第 3 圖之一水平方向)設置於平坦層 28 之上，以及複數條透明分支電極於平坦層 28 之上，其中各透明分支電極之一端與第三不透明導電圖案層 30 接觸而形成電性連接，以形成一畫素電極，且畫素電極透過接觸洞 28H 與汲極 26 電性連接。此外，共通線 16 與汲極 26 以及畫素電極部分重疊而形成儲存電容。在本實施例中，透明分支電極包括複數條第一透明分支電極 321 與複數條第二透明分支電極 322，其中第一透明分支電極 321 係設置於第一不透明主幹電極 301 之左側並沿第一方向 D1 平行設置，且至少部分第一透明分支電極 321 之一端與第一不透明主幹電極 301 接觸而電性連接，第二透明分支電極 322 係設置於第一不透明主幹電極 301 之右側並沿第二方向 D2 平行設置，且至少部分第二透明分支電極 322 之一端與第一不透明主幹電極 301 接觸而電性連接。此外，第一方向 D1 與第一軸向 S1 之一夾角大體上為 45 度，且第二方向 D2 與第一軸向 S1 之一夾角大體上為 45 度，換言之，第一方向 D1 與第二方向 D2 大體上互相垂直，但不以此為限。為了加強廣視角的效果，除了第一透明分支電極 321 與第二透明分支電極 322 之外，透明分支電極可另包括複數條第三透明分支電極 323 與複數條第四透明分支電極 324，其中第三透明分支電極 323 係設置於第一不透明主幹電極 301 之左側並沿一第三方向 D3 平行設置，且至少部分第三透明分支電極 323 之一端與第一不透明主幹電極 301 接觸而電性連接，第四透明分支電極 324 係設置於第

一不透明主幹電極 301 之右側並沿一第四方向 D4 平行設置，且至少部分第四透明分支電極 324 之一端與第一不透明主幹電極 301 接觸而電性連接。此外，第三方向 D3 與第一方向 D1 之一夾角大體上為 90 度，第三方向 D3 與第二方向 D2 之一夾角大體上為 180 度，第四方向 D4 與第二方向 D2 之一夾角大體上為 90 度，第四方向 D4 與第一方向 D1 之一夾角大體上為 180 度，但不以此為限。在本實施例中，第二透明主幹電極 326 填入接觸洞 28H 而與汲極 26 電性連接，而第三不透明導電圖案 30 則可透過透明導電圖案層 32 之第二透明主幹電極 326 與汲極 26 電性連接，但不以此為限。在本實施例中，藉由第一透明分支電極 321、第二透明分支電極 322、第三透明分支電極 323 與第四透明分支電極 324 的設置，畫素結構具有四個不同的配向區域。

請參考第 5 圖與第 6 圖。第 5 圖繪示了本發明之第三較佳實施例之畫素結構之上視示意圖，第 6 圖為沿第 5 圖之剖面線 A-A'、B-B' 與 C-C' 所繪示之畫素結構的剖面示意圖。如第 5 圖與第 6 圖所示，在本實施例中，第三不透明導電圖案層 30 之不透明主幹電極包括一第一不透明主幹電極 301 沿第一軸向 S1，以及一第二不透明主幹電極 302 沿與第一軸向 S1 大體上垂直之第二軸向 S2 設置，且第二不透明主幹電極 302 與第一不透明主幹電極 301 電性連接。此外，部分第一透明分支電極 321 係與第一不透明主幹電極 301 接觸而電性連接，且部分第一透明分支電極 321 係與第二不透明主幹電極 302 接觸而電性連接。部分第二透明分支電極 322 係與第一不透明主幹

電極 301 接觸而電性連接，且部分第二透明分支電極 322 係與第二不透明主幹電極 302 接觸而電性連接。部分第三透明分支電極 323 係與第一不透明主幹電極 301 接觸而電性連接，且部分第三透明分支電極 323 係與第二不透明主幹電極 302 接觸而電性連接。部分第四透明分支電極 324 係與第一不透明主幹電極 301 接觸而電性連接，且部分第四透明分支電極 324 係與第二不透明主幹電極 302 接觸而電性連接。再者，透明導電圖案層 32 係先形成於平坦層 28 上，而接著再形成第三不透明導電圖案層 30 於透明導電圖案層 32 與平坦層 28(第 5 圖未示)上，因此透明主幹電極係設置於不透明主幹電極之下，但不以此為限，例如不透明主幹電極亦可設置於透明主幹電極之下。此外，由於本實施例之透明導電圖案層 32 未包括第二透明主幹電極，因此第二不透明主幹電極 302 填入接觸洞 28H 而與汲極 26 電性連接。

請參考第 7 圖與第 8 圖。第 7 圖繪示了本發明之第四較佳實施例之畫素結構之上視示意圖，第 8 圖為沿第 7 圖之剖面線 A-A'、B-B' 與 C-C' 所繪示之畫素結構的剖面示意圖。如第 7 圖與第 8 圖所示，在本實施例中，透明導電圖案層 32 除了包括透明分支電極之外，可另包括一透明主幹電極，透明主幹電極與不透明主幹電極以及透明分支電極電性連接。透明主幹電極至少包括一第一透明主幹電極 325 沿第一軸向 S1 設置，以及一第二透明主幹電極 326 沿與第一軸向 S1 大體上垂直之第二軸向 S2 設置。第一透明主幹電極 325 與第一不透明主幹電極 301 至少部分重疊並接觸。此外，第三不透明導

電圖案層 30 係先形成於平坦層 28 上，而接著透明導電圖案層 32 再形成於第三不透明導電圖案層 30 與平坦層 28(第 7 圖未示)上，因此不透明主幹電極係設置於透明主幹電極之下，但不以此為限，例如透明主幹電極亦可設置於不透明主幹電極之下。值得說明的是，在定義第一透明主幹電極 325 時，其預定線寬可設定為小於或等於第一透明主幹電極 325 的線寬極限，藉此降低畫素結構的開口率。舉例而言，將第一透明主幹電極 325 的線寬設定為 3 微米，則第一透明主幹電極 325 的線寬可能低於其線寬極限，在此狀況下，實際製作出的第一透明主幹電極 325 或許可能產生斷線，但由於第一透明主幹電極 325 係與第一不透明主幹電極 301 重疊並接觸，因此透明分支電極仍可透過第一不透明主幹電極 301 而彼此電性連接，而不會產生斷線問題。

請參考第 9 圖與第 10 圖。第 9 圖繪示了本發明之第五較佳實施例之畫素結構之上視示意圖，第 10 圖為沿第 9 圖之剖面線 A-A'、B-B' 與 C-C' 所繪示之畫素結構的剖面示意圖。如第 9 圖與第 10 圖所示，在本實施例中，第三不透明導電圖案層 30 之不透明主幹電極包括一第一不透明主幹電極 301 沿一第一軸向 S1，以及一第二不透明主幹電極 302 沿一與第一軸向 S1 大體上垂直之第二軸向 S2 設置，且第二不透明主幹電極 302 與第一不透明主幹電極 301 電性連接。此外，透明導電圖案層 32 之不透明主幹電極包括一第一透明主幹電極 325 沿第一軸向 S1 設置，以及一第二透明主幹電極 326 沿第二軸向 S2 設置。第一透明主幹電極 325 與第一不透明主幹電極

301 至少部分重疊並接觸，且第二透明主幹電極 326 與第二不透明主幹電極 302 至少部分重疊並接觸。在本實施例中，第一不透明主幹電極 301 與第二不透明主幹電極 302 的線寬以接近其線寬極限為愈佳，例如 3 微米，而第一透明主幹電極 325 的線寬較佳係小於或等於第一不透明主幹電極 301 的線寬；此外第二透明主幹電極 326 的線寬較佳係小於或等於第二不透明主幹電極 302 的線寬，藉此可提升開口率。值得說明的是在本實施例中，透明主幹電極係設置於不透明主幹電極之下，但不以此為限，例如不透明主幹電極亦可設置於透明主幹電極之下。

請參考第 11 圖與第 12 圖。第 11 圖繪示了本發明之第六較佳實施例之畫素結構之上視示意圖，第 12 圖為沿第 11 圖之剖面線 A-A' 所繪示之畫素結構的剖面示意圖。如第 11 圖與第 12 圖所示，在本實施例中，資料線 22 包括彼此電性連接之一第一資料線段 221 與一第二資料線段 222，其中第一資料線段 221、閘極線 12 與閘極 14 係由一第一不透明導電圖案層所構成，第二資料線段 222、源極 24 與汲極 26 係由一第二不透明導電圖案層所構成，而不透明主幹電極係由一第三不透明導電圖案層 30 所構成。此外，第二不透明導電圖案層可另包括一儲存電容線 34，對應設置於第一資料線段 221 之上方並與第一資料線段 221 電性分離。儲存電容線 34 可為共通線或具有其它訊號之導線，且儲存電容線 34 與透明導電圖案層 32 部分重疊而形成儲存電容。此外，本實施例之畫素電極之結構可依需求選用前述各實施例之作法。舉例而言，第三不透明導電圖案層 30

之不透明主幹電極可包括一第一不透明主幹電極 301 沿一第一軸向 S1，以及一第二不透明主幹電極 302 沿一與第一軸向 S1 大體上垂直之第二軸向 S2 設置，且第二不透明主幹電極 302 與第一不透明主幹電極 301 電性連接。透明導電圖案層 32 之不透明主幹電極可包括一第一透明主幹電極 325 沿第一軸向 S1 設置，以及一第二透明主幹電極 326 沿第二軸向 S2 設置。第一透明主幹電極 325 與第一不透明主幹電極 301 至少部分重疊並接觸，且第二透明主幹電極 326 與第二不透明主幹電極 302 至少部分重疊並接觸。在本實施例中，透明主幹電極係設置於不透明主幹電極之下，但不以此為限，例如，不透明主幹電極亦可設置於透明主幹電極之下。

綜上所述，本發明之畫素結構利用不透明導電材料製作畫素電極的主幹電極，因此可縮減主幹電極的線寬，進而提升畫素結構的開口率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖繪示了本發明之第一較佳實施例之畫素結構之上視示意圖。第 2 圖為沿第 1 圖之剖面線 A-A' 與 B-B' 所繪示之畫素結構的剖面示意圖。

第 3 圖繪示了本發明之第二較佳實施例之畫素結構之上視示意圖。

第 4 圖為沿第 3 圖之剖面線 A-A'、B-B'與 C-C'所繪示之畫素結構的剖面示意圖。

第 5 圖繪示了本發明之第三較佳實施例之畫素結構之上視示意圖。

第 6 圖為沿第 5 圖之剖面線 A-A'、B-B'與 C-C'所繪示之畫素結構的剖面示意圖。

第 7 圖繪示了本發明之第四較佳實施例之畫素結構之上視示意圖。

第 8 圖為沿第 7 圖之剖面線 A-A'、B-B'與 C-C'所繪示之畫素結構的剖面示意圖。

第 9 圖繪示了本發明之第五較佳實施例之畫素結構之上視示意圖。

第 10 圖為沿第 9 圖之剖面線 A-A'、B-B'與 C-C'所繪示之畫素結構的剖面示意圖。

第 11 圖繪示了本發明之第六較佳實施例之畫素結構之上視示意圖。

第 12 圖為沿第 11 圖之剖面線 A-A'所繪示之畫素結構的剖面示意圖。

【主要元件符號說明】

10	基板	12	閘極線
14	閘極	16	共通線
18	絕緣層	20	半導體層
22	資料線	221	第一資料線段
222	第二資料線段	24	源極
26	汲極	28	平坦層

28H	接觸洞	30	第三不透明導電圖案層
301	第一不透明主幹電極	302	第二不透明主幹電極
32	透明導電圖案層	321	第一透明分支電極
322	第二透明分支電極	323	第三透明分支電極
324	第四透明分支電極	325	第一透明主幹電極
326	第二透明主幹電極	34	儲存電容線
D1	第一方向	D2	第二方向
D3	第三方向	D4	第四方向
S1	第一軸向	S2	第二軸向

七、申請專利範圍：

1. 一種畫素結構，包括：

一基板；

一閘極線以及一閘極，設置於該基板上；

一絕緣層，覆蓋於該基板之上；

一半導體層，設置於該絕緣層上；

一資料線、一源極以及一汲極，設置於該絕緣層與該半導體層上，其中該閘極、該半導體層、該源極與該汲極形成一薄膜電晶體；

一平坦層，設置於該資料線、該源極與該汲極之上，其中該平坦層具有一接觸洞，暴露出該汲極；以及

一畫素電極，設置於該平坦層上，且該畫素電極透過該接觸洞與該汲極電性連接，其中該畫素電極包括：

一不透明主幹電極，設置於該平坦層上，其中該不透明主幹電極包括一第一不透明主幹電極沿一第一軸向設置；

複數條透明分支電極，其中各該透明分支電極之一端與該第一不透明主幹電極電性連接；以及

一透明主幹電極，與該不透明主幹電極以及該等透明分支電極電性連接，該透明主幹電極包括一第一透明主幹電極沿該第一軸向設置，且該第一透明主幹電極與該第一不透明主幹電極至少部分重疊並接觸。

2. 如請求項 1 所述之畫素結構，其中該等透明分支電極包括複數條第一透明分支電極與複數條第二透明分支電極，該等第一透明分支電極係設置於該第一不透明主幹電極之左側並沿一第一方向平行設置，該等第二透明分支電極係設置於該第一不透明主幹電極之右側並沿一第二方向平行設置。
3. 如請求項 2 所述之畫素結構，其中該第一方向與該第一軸向之一夾角大體上為 45 度，且該第二方向與該第一軸向之一夾角大體上為 45 度。
4. 如請求項 2 所述之畫素結構，其中該等透明分支電極更包括複數條第三透明分支電極與複數條第四透明分支電極，該等第三透明分支電極係設置於該第一不透明主幹電極之左側並沿一第三方向平行設置，該等第四透明分支電極係設置於該第一不透明主幹電極之右側並沿一第四方向平行設置。
5. 如請求項 4 所述之畫素結構，其中該第三方向與該第一方向之一夾角大體上為 90 度，且該第四方向與該第二方向之一夾角大體上為 90 度。
6. 如請求項 1 所述之畫素結構，其中該第一透明主幹電極之一線寬小於等於該第一不透明主幹電極之一線寬。

7. 如請求項 1 所述之畫素結構，其中該透明主幹電極與該等透明分支電極係由同一透明導電圖案層所構成。
8. 如請求項 1 所述之畫素結構，其中該不透明主幹電極係設置於該透明主幹電極之上。
9. 如請求項 1 所述之畫素結構，其中該不透明主幹電極係設置於該透明主幹電極之下。
10. 如請求項 1 所述之畫素結構，其中該閘極線與該閘極係由一第一不透明導電圖案層所構成，該資料線、該源極與該汲極係由一第二不透明導電圖案層所構成，而該不透明主幹電極係由一第三不透明導電圖案層所構成。
11. 如請求項 1 所述之畫素結構，其中該資料線包括一第一資料線段與一第二資料線段，該第一資料線段、該閘極線與該閘極係由一第一不透明導電圖案層所構成，該第二資料線段、該源極與該汲極係由一第二不透明導電圖案層所構成，而該不透明主幹電極係由一第三不透明導電圖案層所構成。
12. 如請求項 1 所述之畫素結構，其中該不透明主幹電極另包括一第二不透明主幹電極沿一與該第一軸向大體上垂直之第二軸向設置，且該第二不透明主幹電極與該第一不透明主幹電極電性連

接。

13. 如請求項 12 所述之畫素結構，其中該透明主幹電極更包括一第二透明主幹電極沿該第二軸向設置，且該第二透明主幹電極與該第二不透明主幹電極至少部分重疊並接觸。
14. 如請求項 13 所述之畫素結構，其中該第一透明主幹電極之一線寬小於等於該第一不透明主幹電極之一線寬，且該第二透明主幹電極之一線寬小於等於該第二不透明主幹電極之一線寬。
15. 如請求項 13 所述之畫素結構，其中該第一透明主幹電極、該第二透明主幹電極與該等透明分支電極係為同一透明導電圖案層所構成。
16. 如請求項 13 所述之畫素結構，其中該不透明主幹電極係設置於該透明主幹電極之上。
17. 如請求項 13 所述之畫素結構，其中該不透明主幹電極係設置於該透明主幹電極之下。
18. 一種畫素結構，包括：
 - 一基板；
 - 一閘極線以及一閘極，設置於該基板上；

- 一絕緣層，覆蓋於該基板之上；
- 一半導體層，設置於該絕緣層上；
- 一資料線、一源極以及一汲極，設置於該絕緣層與該半導體層上，其中該閘極、該半導體層、該源極與該汲極形成一薄膜電晶體；
- 一平坦層，設置於該資料線、該源極與該汲極之上，其中該平坦層具有一接觸洞，暴露出該汲極；以及
- 一畫素電極，設置於該平坦層上，且該畫素電極透過該接觸洞與該汲極電性連接，其中該畫素電極包括：
 - 一不透明主幹電極，設置於該平坦層上，其中該不透明主幹電極包括一第一不透明主幹電極沿一第一軸向設置；以及
 - 複數條透明分支電極，其中各該透明分支電極之一端與該第一不透明主幹電極電性連接，其中該不透明主幹電極係由一不透明導電材料所構成，該等透明分支電極係由一透明導電材料所構成，且該不透明導電材料的線寬極限係低於透明導電材料之線寬極限。

19. 一種製作畫素結構之方法，包括：

- 提供一基板；
- 形成一第一不透明導電圖案層於該基板上，其中該第一不透明導電圖案層包括一閘極線以及一閘極；
- 形成一絕緣層於該基板上，以覆蓋該第一不透明導電圖案層；

形成一半導體層於該絕緣層上；

形成一第二不透明導電圖案層於該絕緣層以及該半導體層上，

該第二不透明導電圖案層包括一源極與一汲極，其中該閘

極、該半導體層、該源極與該汲極形成一薄膜電晶體；

形成一平坦層於該第二不透明導電圖案層上，其中該平坦層具

有一接觸洞，暴露出該汲極；

形成一第三不透明導電圖案層於該平坦層之上，其中形成該第

三不透明導電圖案層包括形成一第一不透明主幹電極沿一

第一軸向設置；以及

形成一透明導電圖案層於該平坦層之上，該透明導電圖案層

包括複數條透明分支電極以及一沿該第一軸向設置之第一

透明主幹電極，其中各該透明分支電極之一端與該第三不透

明導電圖案層電性連接，以形成一畫素電極，且該畫素電極

透過該接觸洞與該汲極電性連接，其中該等透明分支電極包

括複數條第一透明分支電極與複數條第二透明分支電極，該

等第一透明分支電極係設置於該第一不透明主幹電極之左

側並沿一第一方向平行設置，該等第二透明分支電極係設置

於該第一不透明主幹電極之右側並沿一第二方向平行設

置，該第一透明主幹電極與該等透明分支電極電性連接，以

及與該第一不透明主幹電極至少部分重疊並接觸。

20. 如請求項 19 所述之製作畫素結構之方法，其中該第三不透明導電圖案層係設置於該透明導電圖案層之上。

21. 如請求項 19 所述之製作畫素結構之方法，其中該第三不透明導電圖案層係設置於該透明導電圖案層之下。
22. 如請求項 19 所述之製作畫素結構之方法，其中形成該第三不透明導電圖案層更包括形成一第二不透明主幹電極，該第二不透明主幹電極沿一與該第一軸向大體上垂直之第二軸向設置，以及與該第一不透明主幹電極電性連接。
23. 如請求項 22 所述之製作畫素結構之方法，其中形成該透明導電圖案層更包括形成一第二透明主幹電極，該第二透明主幹電極大體上垂直於該第一透明主幹電極，其中該第二透明主幹電極與該第二不透明主幹電極至少部分重疊並接觸。
24. 如請求項 19 所述之製作畫素結構之方法，其中形成該第二不透明導電圖案層更包括形成一資料線，電性連接於該源極。
25. 如請求項 19 所述之製作畫素結構之方法，其中形成該第一不透明導電圖案層更包括形成一第一資料線段於該基板上，形成該第二不透明導電圖案層更包括形成一第二資料線段，電性連接於該第一資料線段與該源極。
26. 一種製作畫素結構之方法，包括：

提供一基板；

形成一第一不透明導電圖案層於該基板上，其中該第一不透明導電圖案層包括一閘極線以及一閘極；

形成一絕緣層於該基板上，以覆蓋該第一不透明導電圖案層；

形成一半導體層於該絕緣層上；

形成一第二不透明導電圖案層於該絕緣層以及該半導體層上，該第二不透明導電圖案層包括一源極與一汲極，其中該閘極、該半導體層、該源極與該汲極形成一薄膜電晶體；

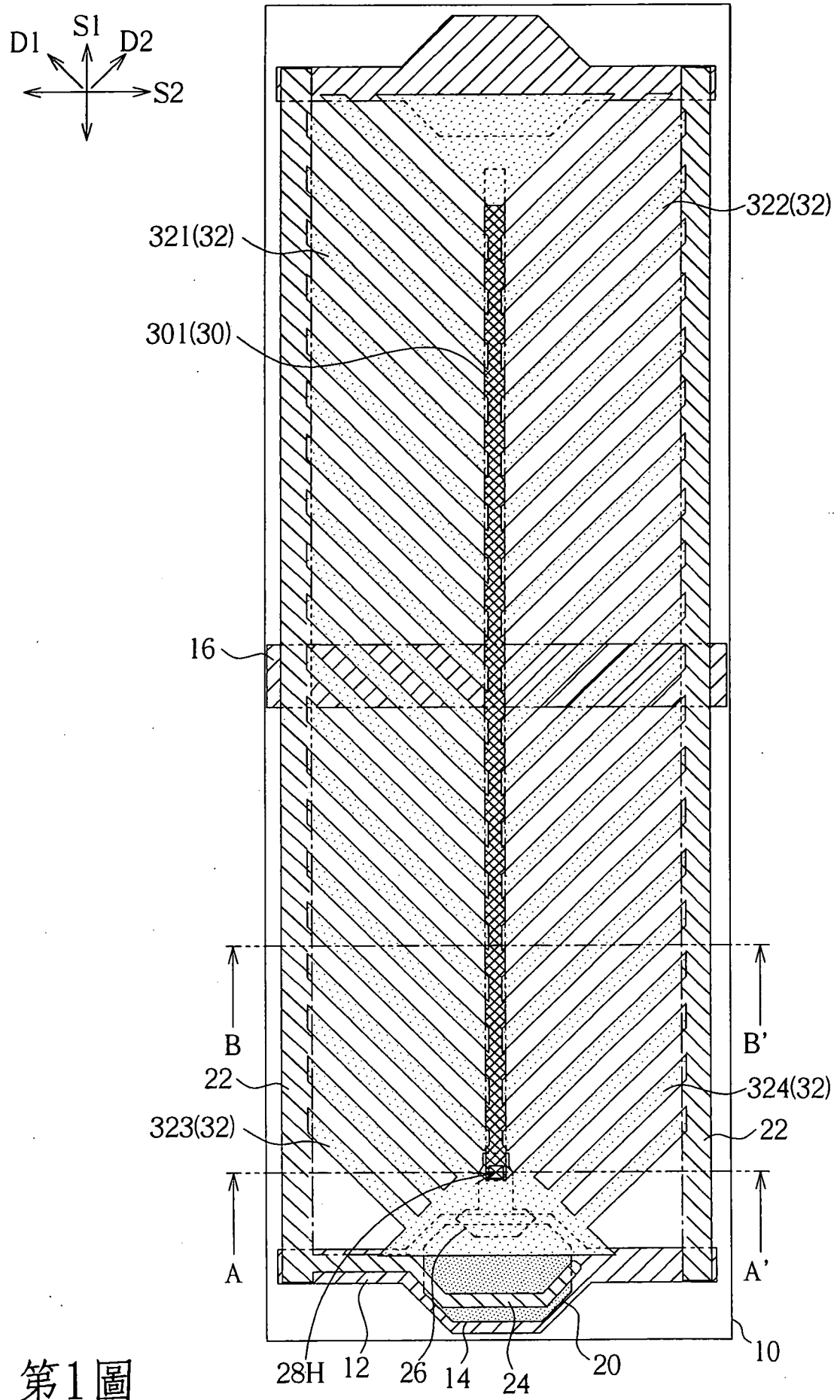
形成一平坦層於該第二不透明導電圖案層上，其中該平坦層具有一接觸洞，暴露出該汲極；

形成一第三不透明導電圖案層於該平坦層之上，其中該第三不透明導電圖案層包括一不透明主幹電極；以及

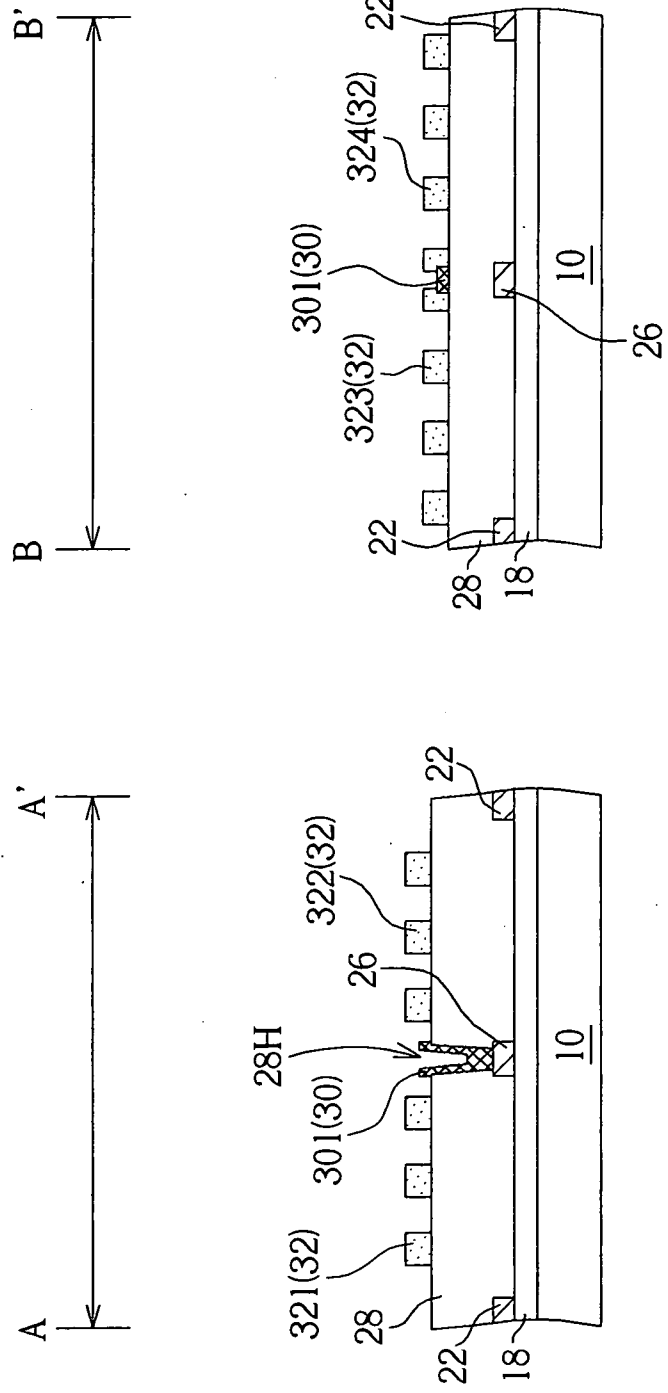
形成一透明導電圖案層於該平坦層之上，該透明導電圖案層包括複數條透明分支電極，其中各該透明分支電極之一端與該第三不透明導電圖案層電性連接，以形成一畫素電極，且該畫素電極透過該接觸洞與該汲極電性連接，

其中該不透明主幹電極係由一不透明導電材料所構成，該等透明分支電極係由一透明導電材料所構成，且該不透明導電材料的線寬極限係低於透明導電材料之線寬極限。

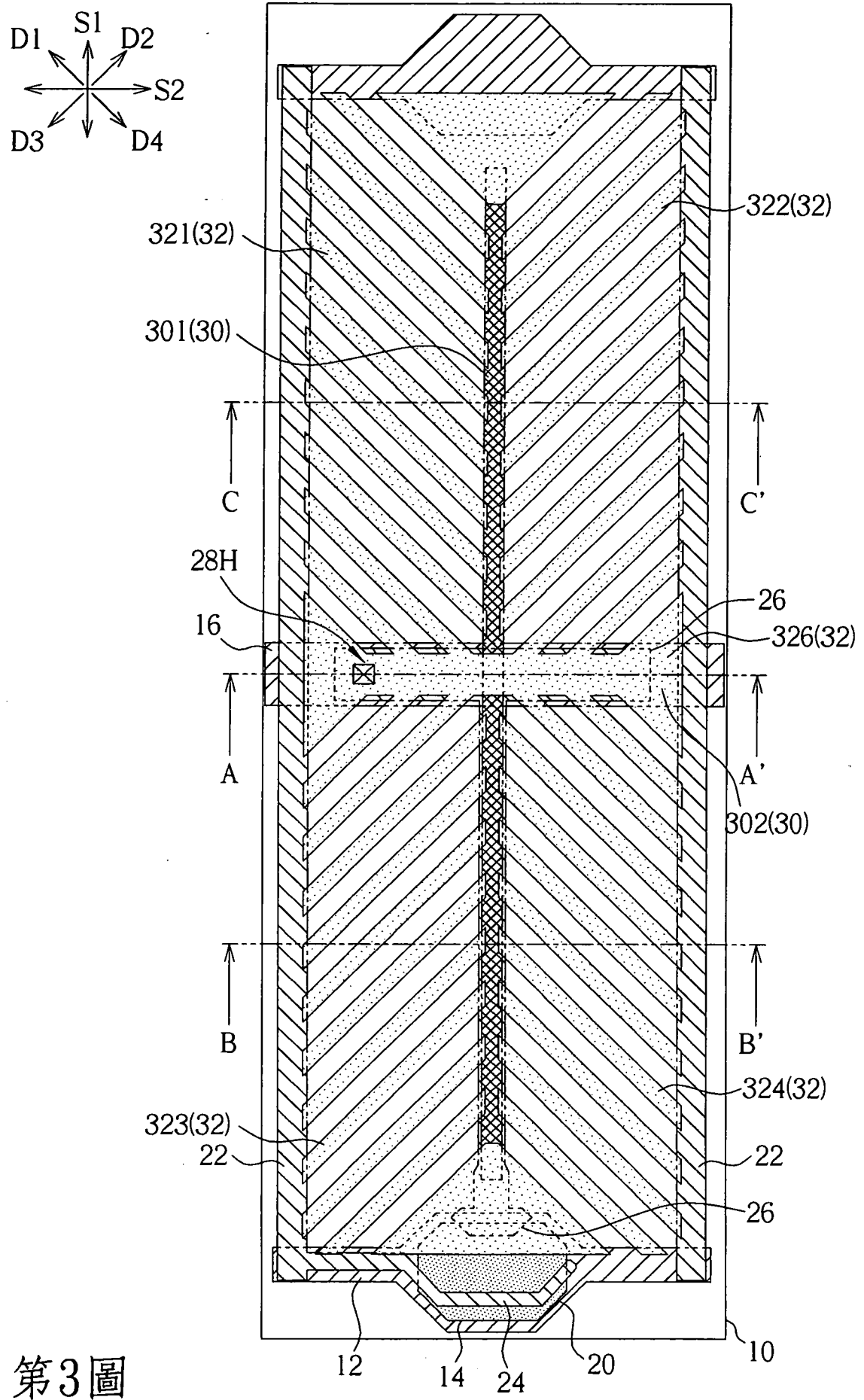
八、圖式：



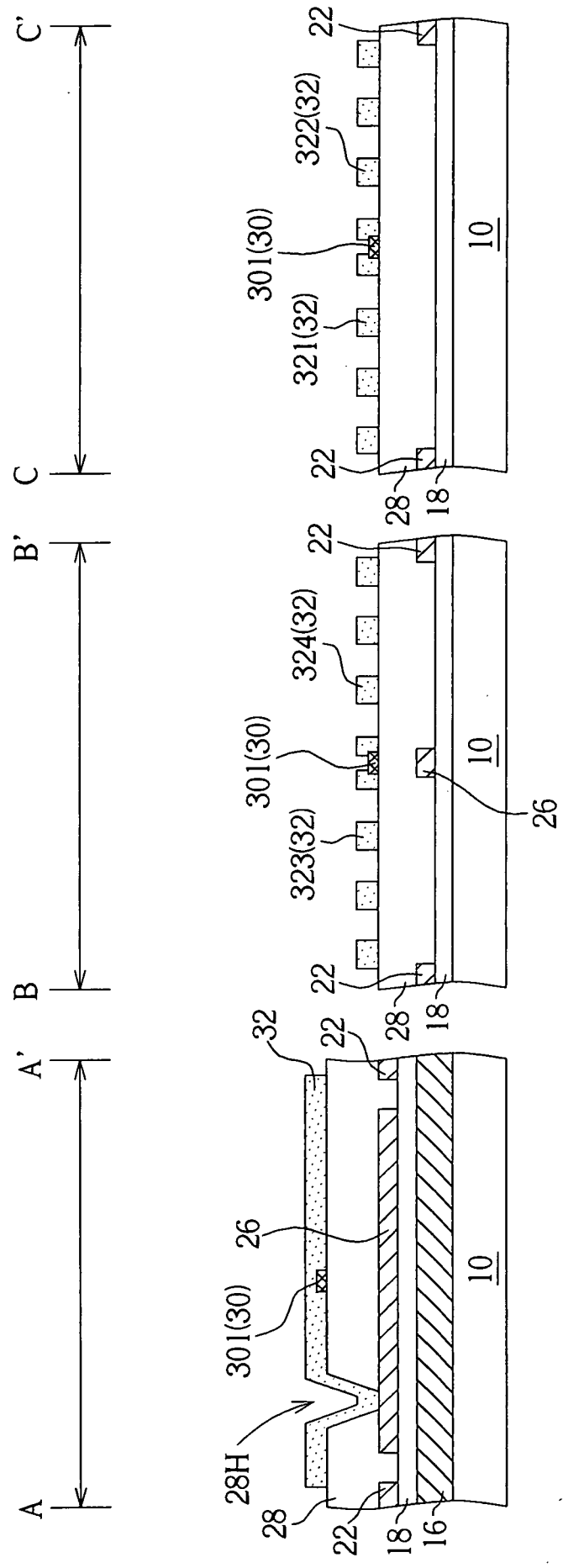
第1圖



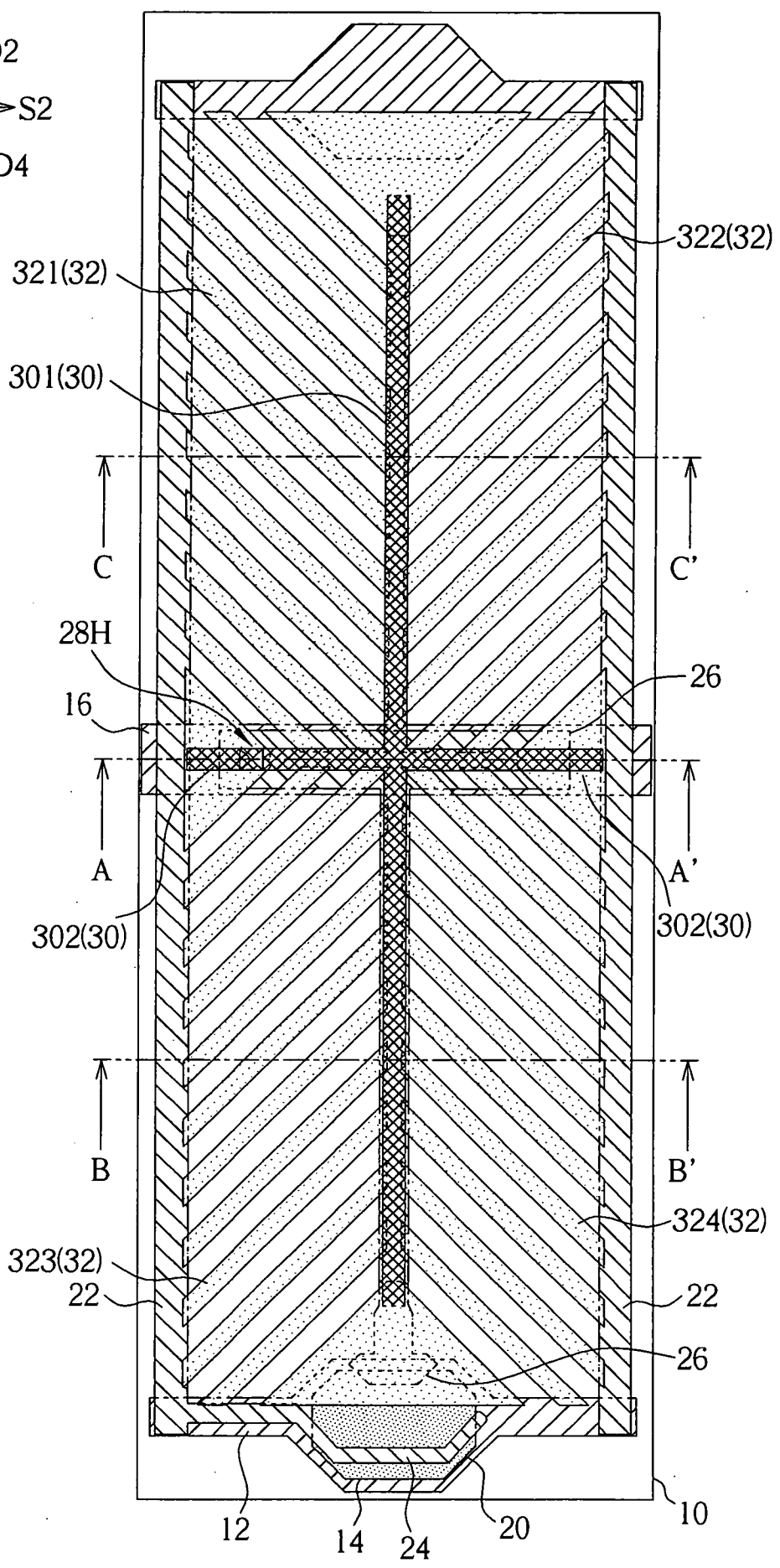
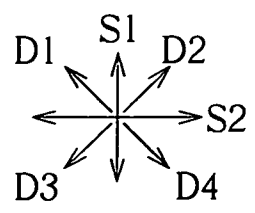
第2圖



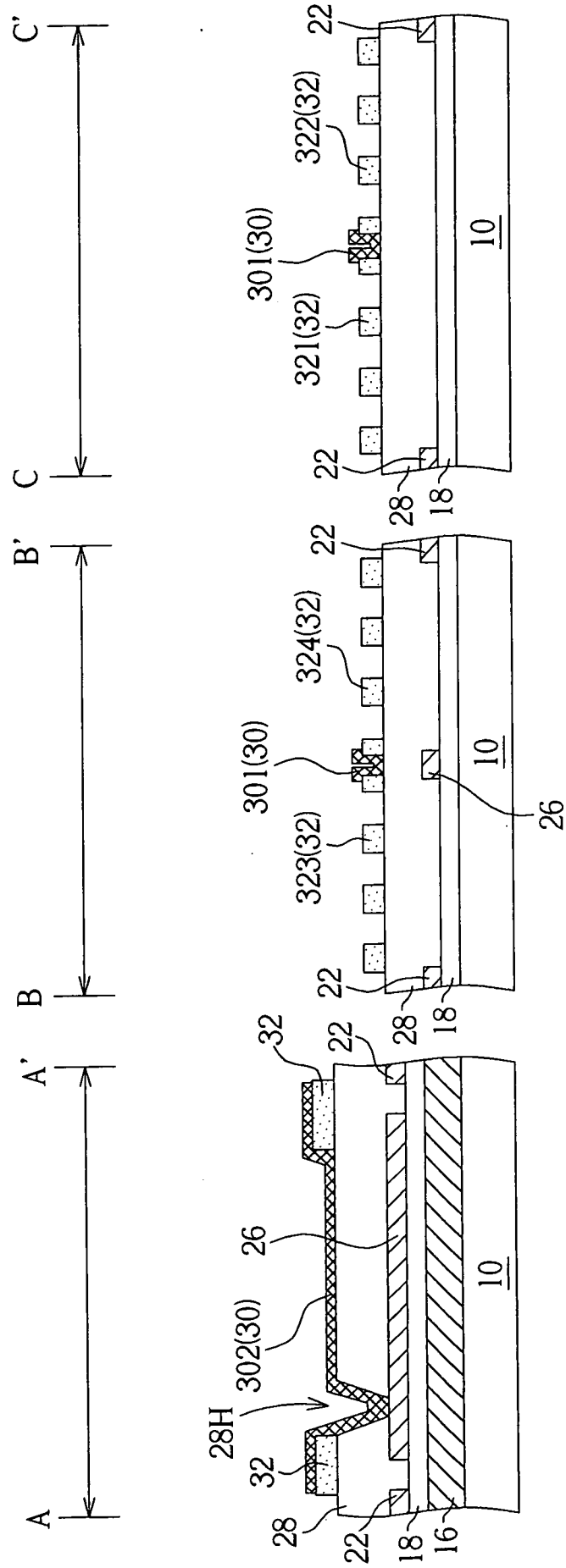
第3圖



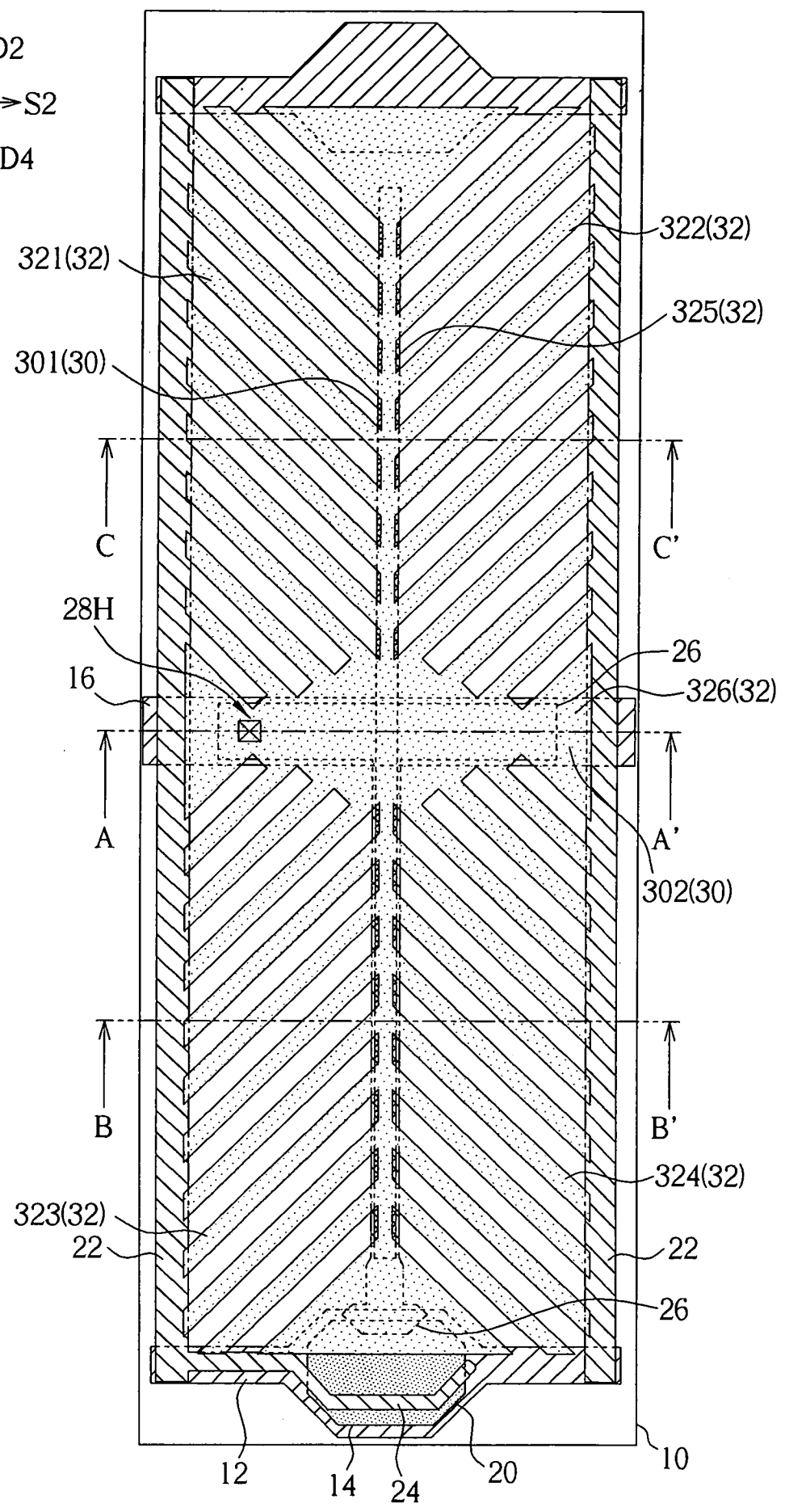
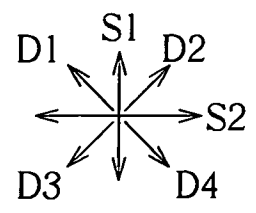
第4圖



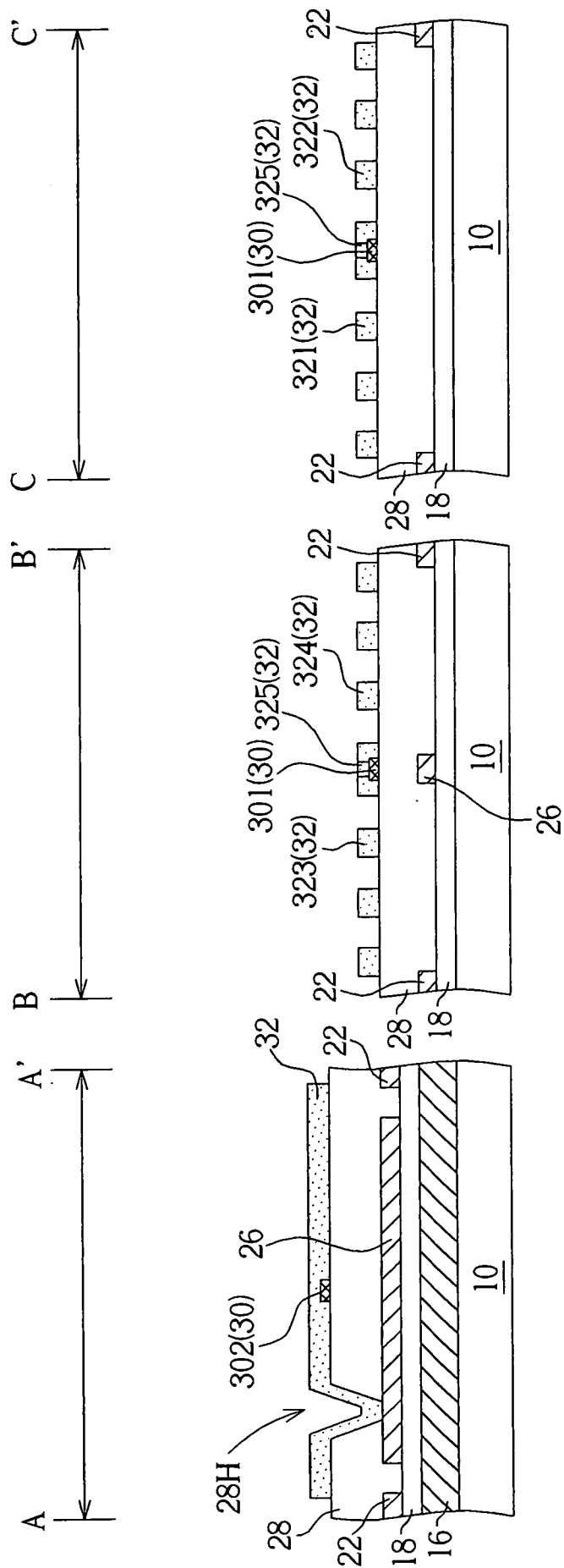
第5圖



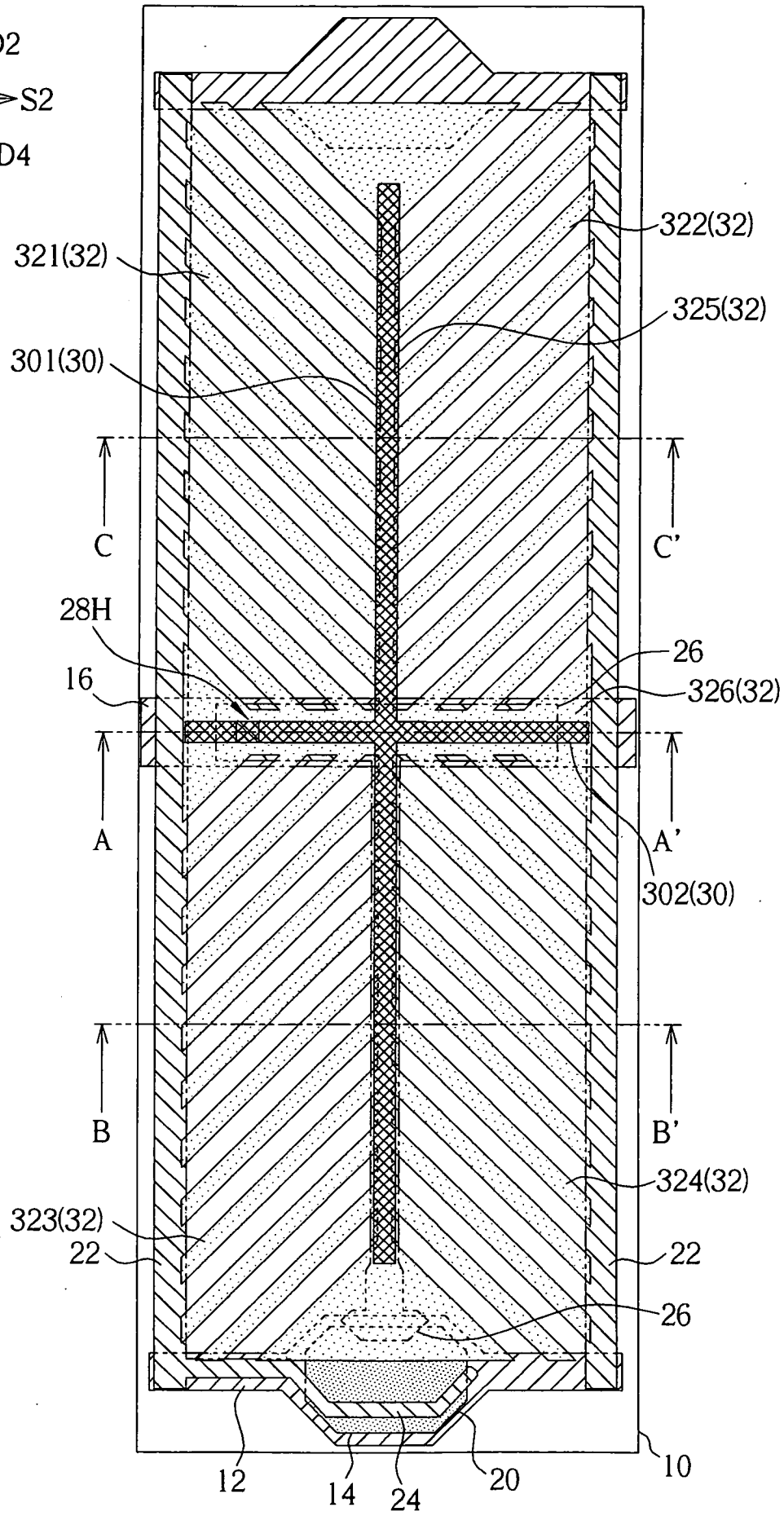
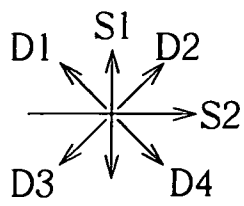
第6圖



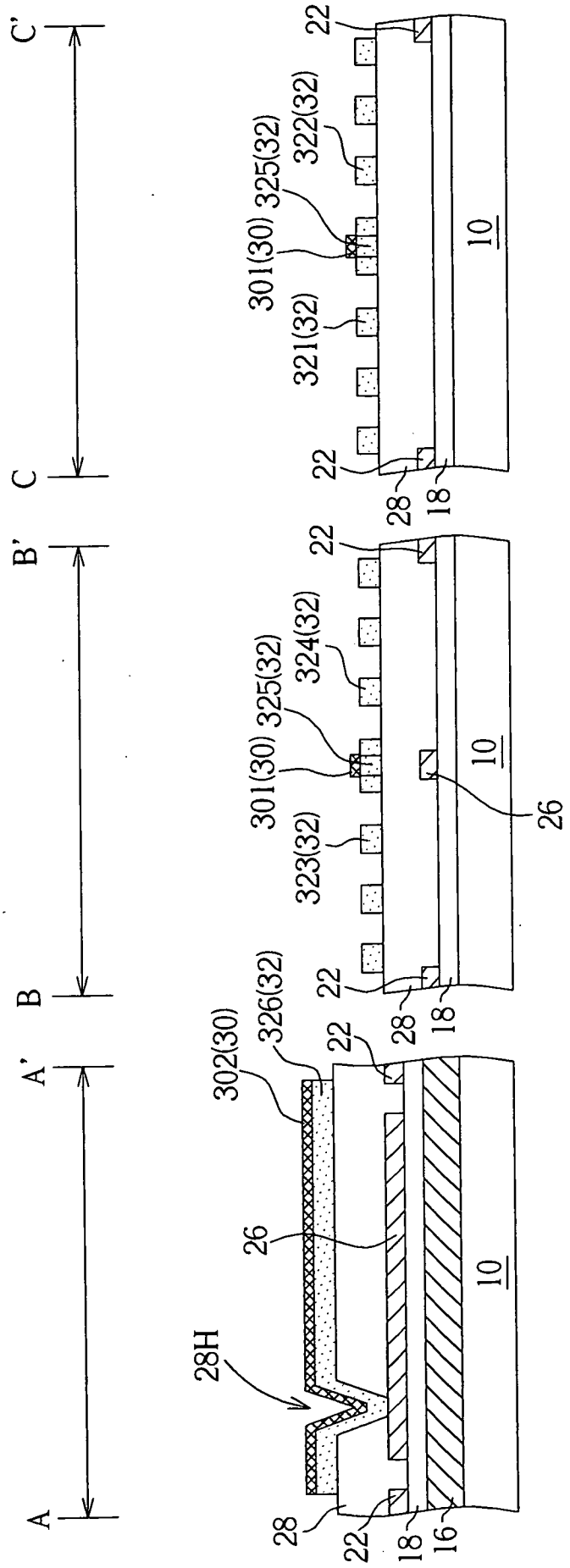
第7圖



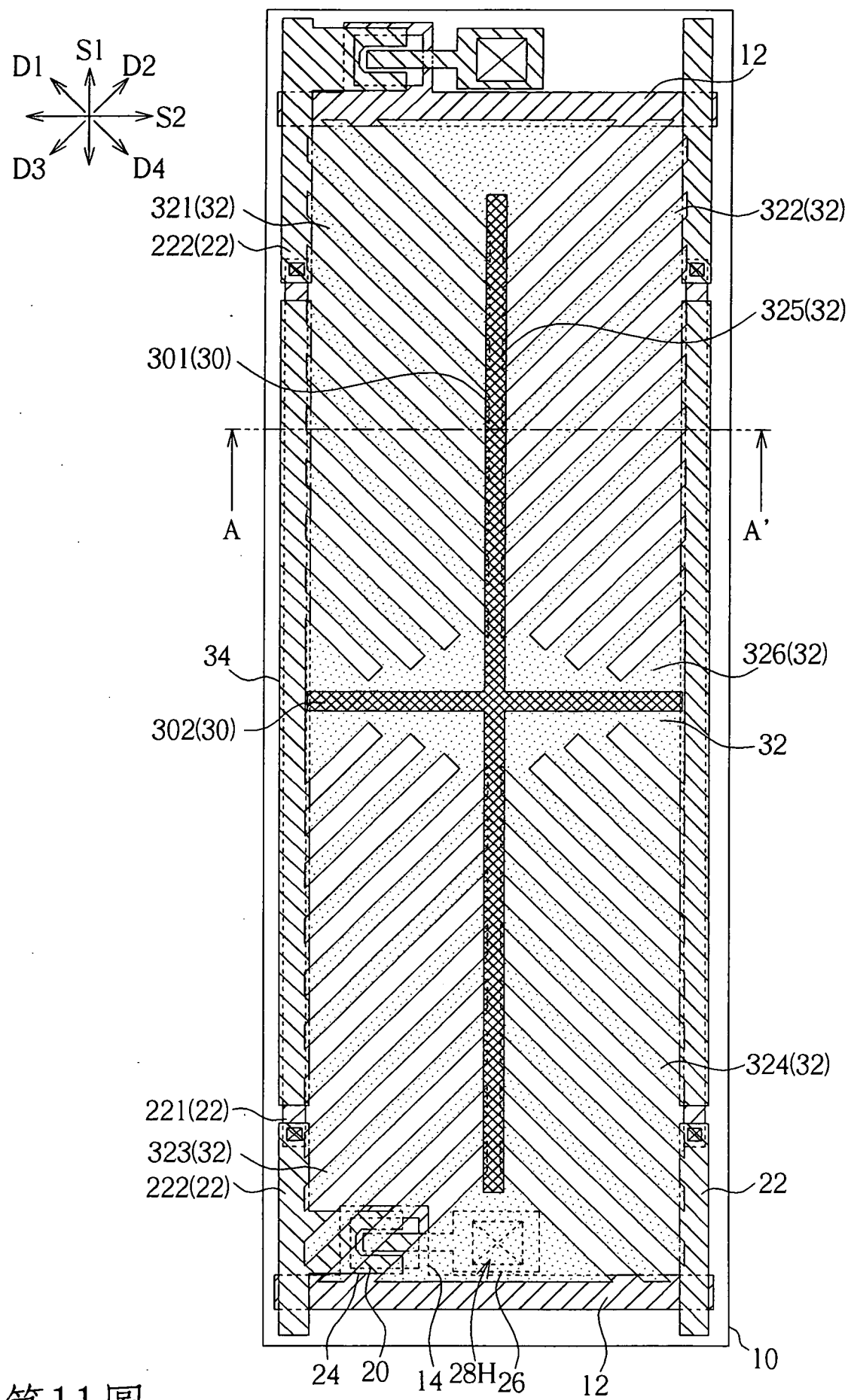
第8圖



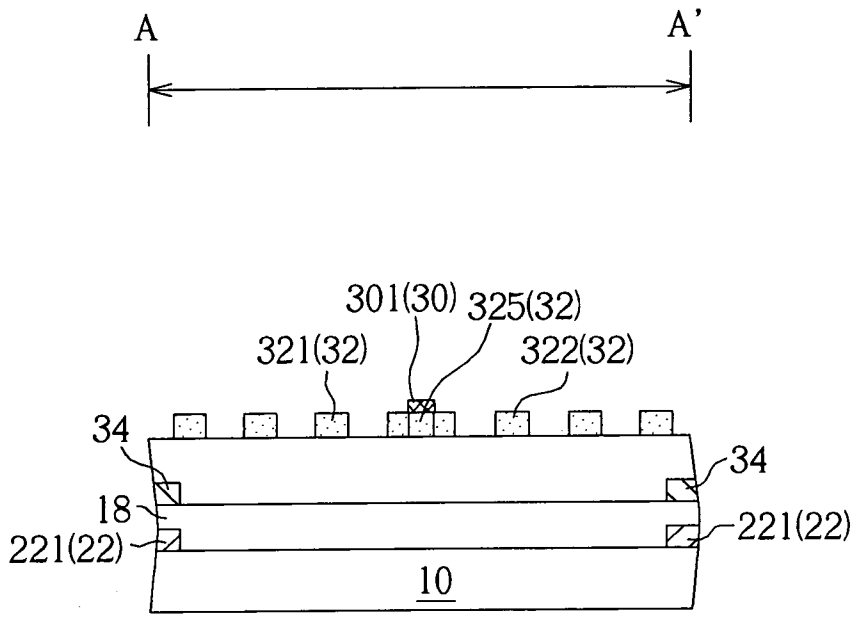
第9圖



第10圖



第11圖



第12圖