



(10) 申请公布号 CN 118435358 A

(43) 申请公布日 2024. 08. 02

(21) 申请号 202280081214.9

(22) 申请日 2022.12.05

(30) 优先权数据

FR2112982 2021.12.06 FR

(85) PCT国际申请进入国家阶段日

2024.06.06

(86) PCT国际申请的申请数据

PCT/FR2022/052242 2022.12.05

(87) PCT国际申请的公布数据

W02023/105148 FR 2023.06.15

(71) 申请人 原子能和替代能源委员会

地址 法国巴黎

申请人 SOITEC公司

(72) 发明人 S·勒博 G·戈丹

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270

专利代理师 张玮 姚开丽

(51) Int.Cl.

H01L 29/786 (2006.01)

H01L 29/78 (2006.01)

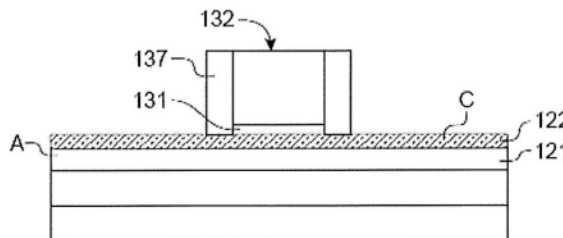
权利要求书2页 说明书8页 附图7页

(54) 发明名称

采用共享晶化和掺杂剂活化步骤的制造三维电路的方法

(57) 摘要

本发明涉及微电子器件的制备,其包括:a) 制备具有承载件(100)的结构,承载件(100)设置有具有第一层级(N1)的元件的半导体层(12),承载件(100)设置有具有第二层级(N2)的另一半导体层(120),另一半导体层(120)具有下子层(121)和上子层(122),下子层和上子层中的第一子层由晶态半导体材料(C)制成,而第二子层由非晶态半导体材料(A)制成;然后,b)在所述另一半导体层(120)上形成栅极块(132);然后,c)在栅极块(132)的每一侧形成掺杂区(125),掺杂区(125)位于定位成与栅极块(132)相对并旨在容纳所述晶体管的沟道的半导体区的每一侧;然后,d)实施低温热处理,以通过将第一半导体子层用作晶化前端的起始区域,同时实施所述掺杂剂的活化,来实施第二半导体子层的晶化。



1. 一种用于制备微电子器件的方法,所述微电子器件设置有多个按层级( $N_1, N_2$ )叠置的电子元件,所述方法按以下顺序包括多个步骤,所述多个步骤包括:

a) 制备包括支承部(100)的结构,所述支承部(100)设置有第一层级( $N_1$ )的元件中的至少一个元件,所述支承部(100)上方被绝缘层(110)覆盖,所述绝缘层上方被第二层级( $N_2$ )的半导体层(120)覆盖,所述半导体层(120)包括与所述绝缘层接触的至少一个下子层(121)和设置在所述下子层上的上子层(122),所述下子层和所述上子层中的第一子层由晶态半导体材料(C)制成,而所述下子层和所述上子层中的第二子层由非晶态半导体材料(A)制成,然后

b) 在所述半导体层(120)上形成至少一个晶体管栅极块(132),然后

c) 通过在所述半导体层(120)中注入掺杂剂,在所述栅极块(132)的每一侧形成掺杂区(125),所述掺杂区(125)在半导体区的每一侧,所述半导体区定位成面对所述栅极块(132)并设置成容纳所述晶体管的沟道,然后

d) 实施至少一次热处理,以在将所述第一晶态子层用作晶态前端的起始区域时实施所述第二非晶态子层的晶化,同时实施所述掺杂剂的活化。

2. 根据权利要求1所述的方法,其中,步骤a)包括对所述第二层级( $N_2$ )的所述半导体层(120)在厚度上进行非晶化注入,以形成由非晶态半导体材料(A)制成的所述第二子层。

3. 根据权利要求1所述的方法,其中,由非晶态半导体材料(A)制成的所述第二子层在整个表面上延伸,使得所述支承部(100)完全被所述第二子层覆盖。

4. 根据权利要求1至3中任一项所述的方法,其中,在步骤a)中,由非晶态材料(A)制成的所述第一子层是所述上子层(122),由晶态材料(C)制成的所述第二子层是所述下子层(121)。

5. 根据权利要求1至3中任一项所述的方法,其中,在步骤a)中,非晶态的所述第一子层是所述下子层,晶态的所述第二子层是所述表面子层。

6. 根据权利要求4或5中任一项所述的方法,其中,在步骤a)中形成所述结构包括多个子步骤,所述多个子步骤包括:

- 提供设置有所述第一层级( $N_1$ )的元件的第一衬底(10),

- 在所述第一衬底(10)上接合设置有所述半导体层(120)的第二衬底(1),

- 去除所述第二衬底(1)的部分,同时保持所述半导体层(120)接合到所述第一衬底(10)。

7. 根据引用权利要求5的权利要求6所述的方法,步骤a)还包括以下步骤:在所述接合之前,使所述第二层级( $N_2$ )的所述半导体层(120)非晶化,以形成所述第二半导体子层。

8. 根据权利要求7所述的方法,其中,在所述接合之前,实施对所述第一衬底(1)的注入以创建弱化区域(3),在创建所述弱化区域之后实施所述半导体层(120)的非晶化。

9. 根据权利要求6至8中任一项所述的方法,其中,蚀刻停止层(170)被布置在所述第二衬底上且在上方抵靠所述半导体层(120),去除所述第二衬底(1)的部分还包括相对于所述半导体层(120)选择性地蚀刻所述蚀刻停止层。

10. 根据权利要求1至9中任一项所述的方法,其中,所述方法包括:在步骤b)之后,

- 在所述栅极块的每一侧形成绝缘间隔部(137),

形成所述掺杂区(125)的步骤c)包括在形成所述绝缘间隔部(137)之前注入掺杂剂,

或者,

- 在所述栅极块的每一侧形成绝缘间隔部 (137), 形成所述掺杂区 (125) 的步骤c) 包括在形成所述绝缘间隔部 (137) 之后实施掺杂剂的注入。

11. 根据权利要求1至10中任一项所述的方法, 还包括: 在步骤d) 之后, 在所述半导体层 (120) 上, 在所述栅极块 (132) 的每一侧生长半导体块 (145)。

12. 根据权利要求11所述的方法, 其中, 在步骤a) 中, 非晶态的所述第一子层是所述下子层, 晶态的所述第二子层是所述表面子层, 所述方法还包括: 在步骤d) 之后且在生长所述半导体块之前, 去除非掺杂的表面区域。

13. 根据权利要求1至12中任一项所述的方法, 其中, 所述晶化的热处理在低于700°C, 优选地低于550°C, 有利地低于500°C的温度下实施。

14. 根据权利要求1至13中任一项所述的方法, 其中, 所述第一层级 ( $N_1$ ) 的元件在半导体材料层 (12) 中制备。

## 采用共享晶化和掺杂剂活化步骤的制造三维电路的方法

### 技术领域

[0001] 本申请涉及微电子器件领域,尤其涉及设置有分布在多个层级上的元件的器件领域。这种器件通常称为三维或“3D”集成电路。

### 背景技术

[0002] 通常,在集成电路领域中,不断寻求增加晶体管的密度。

[0003] 为此,一种解决方案在于将晶体管分布在以在一个在另一个之上的方式设置的多个层级的半导体层上。因此,这种电路通常包括至少两个叠置的半导体层,其中,在这两个半导体层之间插入绝缘层。

[0004] Brunet等人于2016年在VLSI研讨会(Symposium on VLSI Technology)的技术论文的技术文摘中的文献“300mm晶片上的CMOS叠加CMOS 3D VLSI CoolCube™集成的首次演示(First demonstration of a CMOS over CMOS 3DVLSI CoolCube™ integration on 300mm wafer)”介绍了例如这种类型的器件的使用。

[0005] 在上层级上制备晶体管可涉及实施一个或多个热处理步骤,特别是当实施掺杂剂的活化时。

[0006] 然而,高温热处理可导致一个或多个下层级的劣化,特别是对下层级中的接触部的材料或层级间连接元件的材料造成损坏,或者甚至导致掺杂剂在下层级内的不希望的扩散。

[0007] 因此,一旦已制备第一层级的晶体管,则通常寻求对制造一个或多个上层级的热预算进行限制,特别是避免实施高于600°C的热处理。

[0008] 当希望在3D电路的上层级制备晶体管时,掺杂剂的活化或者附加的掺杂剂扩散从而创建延伸区,是最关键的问题之一。这种步骤通常需要可能大于1000°C的高温。

[0009] 图9A和图9B所示的用于2D器件并因此包括单层级的晶体管的方法包括:在栅极块932的任一侧,制成非晶态半导体区域925以及通过注入来掺杂半导体区域925,间隔部932布置在栅极块932上。

[0010] 在晶化期间,易于创建水平 $F_H$ 晶化前端和竖直 $F_V$ 晶化前端,这可导致在前端 $F_H$ 和 $F_V$ 相遇的点处产生晶体缺陷。

[0011] 这种方法通常在SOI衬底(SOI代表“绝缘体上硅”)上实施,而控制区域925(制成非晶态且掺杂,然后被晶化的区域)下方的非掺杂层926的厚度 $e_{nd}$ ,造成了问题。这是因为该非掺杂层926易于造成访问阻力的增加并对器件的性能产生影响。

[0012] 此外,对于非常薄的半导体层,例如旨在用于FDSOI类型(代表“全耗尽绝缘体上硅”)的应用的半导体层,如果实施过深的非晶态注入,则可能难以保持用于晶化的晶核厚度。此外,如果在源极区和漏极区的外延生长之后实施非晶化,则保持用于晶化的晶核厚度特别困难且较为关键,因为在这种情况下,半导体厚度沿着该层的支承部变化。

[0013] 产生的问题是找到一种新颖的用于制造3D微电子器件的方法,该方法针对上述缺点中的至少一个缺点进行了改进。

## 发明内容

[0014] 根据一个方面,本发明涉及一种用于制备微电子器件的方法,该微电子器件设置有多层叠置的电子元件,该方法按以下顺序包括多个步骤,该多个步骤包括:

[0015] a) 制备包括支承部的结构,支承部设置有第一层级 $N_1$ 的元件中的至少一个元件,所述支承部上方被绝缘层覆盖,绝缘层上方被第二层级的半导体层覆盖,

[0016] 所述半导体层包括至少一个下子层和设置在下子层上的上子层,所述下子层和上子层中的第一子层由晶态半导体材料制成,而所述下子层和上子层中的第二子层由非晶态半导体材料制成,然后

[0017] b) 在所述半导体层上形成至少一个晶体管栅极块,然后

[0018] c) 通过在所述半导体层中注入掺杂剂,在栅极块的每一侧形成掺杂区,掺杂区位于半导体区的每一侧,半导体区定位成面对栅极块并设置成容纳所述晶体管的沟道,然后

[0019] d) 实施至少一次热处理,以将第一晶态子层用作晶态前端的起始区域时实施第二非晶态子层的晶化,同时实施所述掺杂剂的活化。

[0020] 步骤a) 可包括对第二层级 $N_2$ 的所述半导体层在厚度上进行非晶化注入,以形成由非晶态半导体材料制成的所述第二子层。

[0021] 有利地,由非晶态半导体材料制成的所述第二子层在整个表面上延伸,使得支承部完全被第二子层覆盖。

[0022] 根据第一种实现可能性,在步骤a) 中,由非晶态材料制成的第一子层是上子层,由晶态材料制成的所述第二子层是下子层。

[0023] 在一种变型中并根据第二种实现可能性,在步骤a) 中,非晶态的第一子层是下子层,晶态的所述第二子层是表面子层。

[0024] 有利地,在步骤a) 中形成该结构可包括多个子步骤,该多个子步骤包括:

[0025] -提供第一衬底,其中,在第一衬底中制备有所述第一层级 $N_1$ 的元件中的所述至少一个元件,

[0026] -在第一衬底上接合设置有所述第二层级的所述半导体层的第二衬底,

[0027] -去除第二衬底的部分,同时保持第二半导体层接合到第一衬底。

[0028] 当通过分裂和/或通过Smart cut™类型的方法实现所述部分的去除时,热处理步骤d) 使得可以实现对易于由该分裂生成的缺陷的修复。

[0029] 根据特定实施例,步骤a) 还可包括以下步骤:在所述接合之前,使第二层级的所述半导体层非晶化,以形成第二半导体子层。

[0030] 在一种变型中,可以在创建所述弱化区域之后实施所述半导体层的非晶化。

[0031] 在接合之前实施该步骤,使得可以最好地控制第一子层和第二子层各自的厚度。

[0032] 有利地,当在所述接合之前,实施第一衬底的注入以创建弱化区域时,可以在创建所述弱化区域之后实施所述半导体层的非晶化。

[0033] 有利地,蚀刻停止层被布置在第二衬底上且在上方抵靠所述半导体层,去除第二衬底的部分还包括相对于所述半导体层选择性地蚀刻蚀刻停止层。

[0034] 该方法还可包括在栅极块的每一侧形成绝缘间隔部。

[0035] 在这种情况下,形成掺杂区的步骤c) 然后可包括在形成所述绝缘间隔部之前注入掺杂剂,或者

[0036] 形成掺杂区的步骤c)可包括在形成所述绝缘间隔部之后实施掺杂剂的注入,有利地,以相对于半导体层的主平面的法线倾斜的方式实施所述掺杂剂的注入。

[0037] 有利地,该方法还可包括在热处理步骤d)之后,掺杂剂的至少一次补充注入。

[0038] 根据一种实现可能性,该方法还可包括在步骤d)之后:在半导体层上,在栅极块的每一侧生长半导体块。

[0039] 根据该方法的一种实现可能性,其中,在步骤a)中,非晶态的第一子层是下子层,而晶态的所述第二子层是表面子层,该方法还可包括在步骤d)之后且在生长所述半导体块之前,去除非掺杂的表面区域。

[0040] 有利地,晶化是固相晶化,热处理在低于550°C,有利地低于500°C,通常介于450°C和500°C之间的温度下实施。

[0041] 有利地,第一元件层级至少部分地在半导体材料层中制备。

## 附图说明

[0042] 通过参考附图,阅读纯粹通过指示而绝不是限制的方式给出的示例性实施例的描述,将最好地理解本发明,在附图中:

[0043] 图1A、图1B、图1C、图1D、图1E、图1F用于示出根据本发明的用于制备其上层级设置有晶体管的3D集成电路的方法的第一示例;

[0044] 图2用于示出设置有至少一层级的元件的结构示例,上层级的晶体管可形成在该至少一级元件上;

[0045] 图3用于示出能够在根据本发明的方法期间实施的、通过倾斜注入来进行掺杂的步骤的示例;

[0046] 图4用于示出在形成间隔部之前且能够在根据本发明的方法期间实施的、通过注入来进行掺杂的步骤的示例;

[0047] 图5A、图5B用于示出在形成间隔部之前,且在形成保护栅极的区域之后,且能够在根据本发明的方法期间实施的、通过注入来进行掺杂的步骤的示例;

[0048] 图6A、图6B、图6C、图6D、图6E用于示出根据本发明的用于制备其上层级设置有晶体管的3D集成电路的方法的第二示例;

[0049] 图7A、图7B、图7C、图7D、图7E用于示出用于组装第一层级的元件的半导体层和第二层级的元件的半导体层的方法的第一顺序的步骤;

[0050] 图8A、图8B、图8C用于示出第二顺序的步骤,其中,组装第一层级的元件的半导体层和第二组元件的半导体层,并且其中,在该组装之前实现第二层半导体层的非晶化;

[0051] 图9A、图9B用于示出在具有单个层级的晶体管的器件上实现的、根据现有技术的方法的示例。

[0052] 各个附图的相同、相似或等同的部分具有相同的附图标记,以便于从一个图转到另一个图。

[0053] 图上所示出的各个部分不一定以统一的比例示出,以使图更易读。

[0054] 此外,在以下描述中,考虑到结构如图所示来定向,适用取决于结构的定向的术语,例如“上”、“表面”、“横向”。

## 具体实施方式

[0055] 现在,将与图1A至1F相关地描述根据本发明的用于制备设置有一个或多个晶体管的微电子器件的方法的第一示例。

[0056] 图1A给出了用于实现该方法的可能的起始结构,该结构包括支承部100,支承部100涂覆有例如由 $\text{SiO}_2$ 制成的绝缘层110,绝缘层110本身涂覆有表面半导体层120,一个或多个晶体管将形成在表面半导体层120中。例如由硅制成的表面半导体层120可具有例如介于5nm和60nm之间的厚度 $e_0$ 。

[0057] 这里,半导体层120限定在与所述绝缘层110接触的下子层121和位于下子层上且作为表面的上子层122中。

[0058] 所述子层121、122中的一个子层(这里,为上子层122)由非晶态半导体材料A制成,而所述子层121、122中的另一子层由晶态半导体材料C制成。在这种情况下,由非晶态材料A制成的上子层122可具有例如介于3nm和50nm之间的厚度 $e_2$ 。由晶态材料C制成的子层121就其本身而言,可具有例如介于2nm和30nm之间的厚度 $e_1$ ,例如,厚度 $e_1$ 约为2nm或3nm。

[0059] 有利地,由非晶态材料A制成的上子层122在整个表面上制备,因此绝缘层110和支承部100能够在其整个范围(平行于正交参考系 $[0;x;y;z]$ 的平面 $[0;x;y]$ )内与上子层122相对。由非晶态材料A制成的上子层122通常通过一次或多次非晶化注入而形成。

[0060] 接下来,甚至在形成晶体管(特别是制备晶体管的栅极)之前在整个表面上实施半导体层120的厚度的非晶化,使得当该厚度被晶化时,可以限制由不同方向上的晶化前端导致的晶体缺陷的出现。

[0061] 注入剂量和能量被设计成在保持子层121处于晶态的同时实现非晶化。例如,可实施Ge<sup>+</sup>离子的注入,其剂量和能量条件由TEM(透射电子显微镜)成像的仿真和实验验证确定,以制成给定厚度的非晶硅层。

[0062] 仿真工具基于蒙特卡洛方法,特别是TRIM类型(TRIM代表“离子在物质中的传输”)和/或KMC(代表“动力学蒙特卡洛”)仿真工具。

[0063] 用于实现该非晶化的物质可以是电中性物质,例如Si或Ge。

[0064] 例如,在1keV的能量下注入 $2 \times 10^{15}$ 个离子 $\cdot \text{cm}^{-2}$ 的Ge<sup>+</sup>离子,使得可以获得介于4nm和5nm之间的非晶厚度,而在2.5keV的能量下注入 $2 \times 10^{15}$ 个Ge<sup>+</sup>离子,使得可以获得介于7nm和10nm之间的非晶厚度。在3.5keV的能量下注入 $2 \times 10^{15}$ 个Ge<sup>+</sup>离子,使得可以获得介于10nm和12nm之间的非晶厚度。

[0065] 在该特定示例性实施例中,其上设置有半导体层120的支承部100可由设置有第一衬底10和半导体层12的结构形成,半导体层12中已形成一个或多个元件,特别是电子元件。第一衬底10可以是固体衬底(根据英文术语“bulk(大块)”)或绝缘体上半导体类型的衬底,特别是SOI衬底,半导体层12搁置在SOI衬底上。在图2所示的特定示例性实施例中,第一层级 $N_1$ 的元件中的一个或多个晶体管 $T_1$ 在该半导体层12中实现,特别是晶体管 $T_1$ 的沟道区设置在该层上。这里,晶体管 $T_1$ 被形成在一个或多个绝缘层中的一个或多个金属互连段25覆盖,这一个或多个绝缘层通常是绝缘层的堆叠,例如由 $\text{SiO}_2$ 制成。

[0066] 可选地,可以在图2所示的结构与包括半导体层120的堆叠或另一衬底之间的组装步骤之前实施半导体层120的非晶化。在组装之前提供半导体层120的非晶化,使得特别是可以更容易地调节晶态材料C和非晶态材料A各自的厚度。

[0067] 从图1A中的结构开始,接下来,层级 $N_2$ 的元件中的一个或多个晶体管至少部分地形成在半导体层120中。因此,这种情况是制备通常称为“3D”类型的器件,该器件包括多个半导体层的叠置,在每个半导体层中形成叠置的元件的元件层级。

[0068] 因此,在半导体层120的厚度的非晶化以及该半导体层120可选地组装在设置有半导体层12的衬底10上之后的步骤中,在半导体层120上形成栅极堆叠。

[0069] 该堆叠包括例如由 $SiO_2$ 或 $HfO_2$ 制成的至少一个栅极介电层,以及一个或多个栅极材料层(例如基于多晶硅或TiN或W)或者这些材料中的至少多个材料的堆叠。然后(图1B),在该堆叠中限定上方被栅极块132覆盖的栅极介电区131。

[0070] 优选地,在低于 $500^\circ C$ 的温度下实施的方法有利于制备栅极。在这种情况下并根据特定实现示例,栅极介电区131可以是通过借助于约 $450^\circ C$ 温度下的等离子体使硅氧化而获得的氧化硅区域。至于栅极材料,可以是在 $350^\circ C$ 下沉积的TiN,或者在约 $475^\circ C$ 温度下沉积,然后通过激光退火处理而晶化的掺杂Si。

[0071] 然后(图1C),在栅极块132的每一侧形成间隔部137。例如,这些间隔部137可基于SiN或SiBCN或SiOCN。优选地,再次说,在低于 $500^\circ C$ 的温度下实施方法,较为有利。为此,例如,可以通过在例如约 $400^\circ C$ 的温度下沉积SiC0来形成间隔部137。

[0072] 接下来,掺杂区125形成在半导体层120中,位于该层120的区域120C的每一侧,区域120C定位成与栅极块132相对并设计成容纳晶体管沟道。这些掺杂区125通常通过在第二半导体层120中注入掺杂剂来制备。

[0073] 在图1D所示的示例性实施例中,掺杂区125在非晶态上子层122和晶态下子层121中延伸。注入条件可由本领域技术人员使用如上文提到的CTRIM或KMC类型的注入仿真工具来设计。

[0074] 优选地,在低于 $500^\circ C$ 的温度下进行注入的方法,较为有利。这里,注入方法主要是在环境温度下实现。

[0075] 一旦已实施掺杂剂的注入,则实施至少一次热处理,以实现上子层122的晶化退火(图1E)。然后,使用下子层121作为晶化前端的起始区域,在该示例中,该晶化前端是上升前端,即,远离绝缘层101移动。

[0076] 与晶态半导体材料接触的非晶态半导体材料的固相外延再生长(SPER)方法特别是在通常低于 $600^\circ C$ 、优选地低于 $500^\circ C$ 的温度下实施,例如,该温度可介于 $450^\circ C$ 和 $500^\circ C$ 之间。与之相伴的,所实施的热处理使得可以实施掺杂剂的活化。SPER晶化方法的速度根据温度、材料、掺杂剂的浓度和掺杂剂(注入的物质)的类型而变化。本领域技术人员将能够通过根据退火时间测量晶化厚度来设立晶化条件,该厚度例如通过椭圆偏振法测量。然后,掺杂区125由晶态半导体材料C制成。按照这种方式,在使用有限的热预算时,掺杂剂的晶化和活化相互作用。

[0077] 在通过将半导体120转移并组装到设置有另一半导体层12的结构上,特别是实施用于Smart cut™类型、具有分裂步骤的方法来实现形成支承部100的情况下,通过前文提到的SPER技术实施的热退火可选地使得可以修复易于在该分裂期间在半导体层120中造成的晶体缺陷。

[0078] 接下来,用于制备上层 $N_2$ 的一个或多个晶体管的方法可通过在掺杂区125上且在半导体层120上栅极块132的每一侧实施半导体块145的生长而继续进行。这种生长可通

过采用原位掺杂步骤的外延来实现,在该外延期间,半导体材料的生长和该材料的掺杂相互作用。

[0079] 因此,完成晶体管的源极区和漏极区的形成(图1F)。

[0080] 然后,可通过其它步骤,特别是通过形成金属区和半导体合金区,尤其是通过实施半导体区145的硅化,来完成一个或多个晶体管的形成。这种区域使得可以形成接触部,且通常通过沉积材料(例如钨或铜),然后退火来制备。

[0081] 在刚刚描述的方法的示例的一种变型中,除了对半导体层120的位于栅极132的每一侧的区域125进行掺杂之外,还可以设置成对位于间隔部137下方的所谓延伸区126进行掺杂。

[0082] 在这种情况下,如果在实施半导体层120的掺杂之前形成间隔部137,则如图3所示,可以设置成实施相对于半导体层120的主平面的法线n倾斜的注入。按照这种方式,可以到达这些延伸区126并对这些延伸区126进行掺杂。

[0083] 用于制备这些掺杂的延伸区126的另一种可能性包括通过注入来实现掺杂,且如图4所示,这次是在形成间隔部137之前注入来实现掺杂。在这种情况下,注入条件,特别是在束的定向方面的条件,设计成避免在栅极132下方掺杂。

[0084] 为了避免栅极132下方的任何掺杂,还可以首先设置成使用由介电材料制成的精细保护层135来涂覆栅极块132的横向侧面。例如,精细保护层135是基于被各向异性蚀刻、厚度约为1nm至10nm的氮化物层的层。然后,如图5A所示,实施一次或多次注入,以实施掺杂。然后(图5B),抵靠精细保护层135以较大厚度形成间隔部137。然后,如果需要的话,可实施其它注入。

[0085] 根据另一变型实施例,可以在半导体层120中提供相反顺序的非晶态厚度和晶态厚度,一个或多个晶体管形成在半导体层120上。

[0086] 因此,在图6A至图6E中给出的方法的示例中,半导体层120此时包括由非晶态半导体材料A(例如非晶硅)制成的下子层121,而上子层122由晶态材料C(例如晶体硅)制成。

[0087] 为了获得如图6A所示的结构,通常在实施如前文提到的方法(其用于在例如如图2所示并包括具有第一层级元件的半导体层12的结构与设置有第二半导体层120的另一结构或另一衬底之间进行组装)之前,优先实施非晶化,特别是通过注入来实施非晶化。

[0088] 因此,可更容易地获得完全非晶态的子层121,特别是在绝缘层110附近,而不是当半导体层120和绝缘层110彼此组装并粘性接合,才希望实施一次或多次非晶态注入。

[0089] 由非晶态材料A制成的下子层121可具有例如介于3nm和50nm之间的厚度 $e'_1$ 。由晶态材料C制成的上子层122就其本身而言,可具有例如介于2nm和30nm之间的厚度 $e'_2$ 。

[0090] 接下来,从图6A所示的结构开始,形成栅极块132。

[0091] 在图6B所示的示例性实施例中,在源极区和漏极区的掺杂之前以及在延伸区的可选掺杂之前,在栅极块132的每一侧形成绝缘间隔部137。

[0092] 在图6C所示的示例性实施例中,接下来在栅极块132和间隔部137的每一侧,通过在第二半导体层120中注入掺杂剂来形成掺杂区125。如先前与图3相关地描述的,还可以可选地通过一次或多次倾斜注入来实现该掺杂。在一种变型中且如先前与图4或图5A和图5B相关地描述的,还可以对制备间隔部137的步骤和通过注入进行掺杂的步骤提供相反顺序。

[0093] 接下来,通过热处理下子层121来实现晶化,同时实现掺杂区125的掺杂剂的活化

(图6D)。通常也实施这种热处理,以在优选地介于450°C和500°C之间的温度下获得SPER类型的晶化。

[0094] 此时,上子层122用作晶化前端的起始区域。具有在整个表面上延伸的非晶态子层121,使得可以具有基本上竖直的晶化前端,因此更有利于晶体结构的无缺陷再生。

[0095] 可选地,接下来,可以利用在原位掺杂来实施SPER类型的晶化,此时在该相同设备中实施掺杂和晶化。

[0096] 有利地,且在适用的情况下,可以实现去除任何未掺杂的表面区域。

[0097] 然后,可以实施如先前的示例中描述的步骤,特别是半导体块145的生长步骤,以形成源极区和漏极区(图6E),然后硅化以形成接触部。

[0098] 如先前所指示的,为了获得如图1A所示的结构或如图6A所示的结构,可以首先实施在设置有第一半导体层12的衬底10与设置有半导体层120的另一衬底1之间进行组装的方法,第一层级的元件形成在第一半导体层12中,上层级中的一个或多个晶体管设置在半导体层120中。

[0099] 因此,在图7A所示的示例性实施例中,提供半导体处理衬底1,例如由硅制成的半导体层120设置在半导体处理衬底1上,且在该衬底1中实施注入,以形成弱化区域3。例如,通过H<sup>+</sup>或氦离子来实施注入。

[0100] 接下来,实施通过如先前与图2相关地描述的结构和处理衬底1的分子键合而进行的组装(图7B)。例如,分子键合可以在图2的结构的表面上的Si层和覆盖处理衬底1的SiO<sub>2</sub>层之间实现。

[0101] 图7C示出了通过在弱化区域3使处理衬底1分裂而进行分割的后续步骤。然后,可实施随后去除剩余厚度的附加步骤(图7D)。这种去除通常通过平坦化(CMP)来实现。

[0102] 一旦半导体层120已转移到第一层级N1的元件上,就可以实施至少一次非晶化注入(图7E)。

[0103] 接下来,例如根据如先前与图1A至图1F相关地描述的方法形成晶体管。

[0104] 可选地,且如图7A所示,布置在处理衬底1上的半导体层120可以向上抵靠由不同半导体材料制成且能够相对于层120的材料选择性地蚀刻的蚀刻停止层170。例如,当半导体层120由硅制成时,蚀刻停止层170可由SiGe制成。

[0105] 一旦如图7B和图7C中实施的半导体层120的转移已实施,就使表面半导体层减薄且使该表面层平滑,以从该表面层消除由分裂步骤创建的粗糙度。消除且减少由于用于制备弱化区域的注入而易于引入晶体中的任何残余缺陷。

[0106] 停止层170的存在使得可以更好地控制层120的厚度并在低温下降低层120的粗糙度。

[0107] 根据另一种实现可能性,甚至在通过涂覆有半导体层120的衬底1和其上形成有层级N<sub>1</sub>的元件的衬底10的分子键合来实施组装之前,可以在半导体层120中创建非晶态子层。

[0108] 因此,在图8A至图8C所示的示例性实施例中,形成弱化区域3。

[0109] 然后(图8B),通过对半导体层120的子层进行来实施非晶化。

[0110] 接下来,通过分子键合进行组装,然后通过弱化区域3处分裂处理衬底1进行分割(图8C)。

[0111] 根据刚刚与图8A至图8C相关地描述的方法的一种变型(未示出),甚至还可以在制

备弱化区域3之前在处理衬底1上实现半导体层120的非晶化。

[0112] 与先前与图7A至图7E相关地描述的示例性实施例一样,还可以可选地抵靠半导体层120设置蚀刻停止层170。

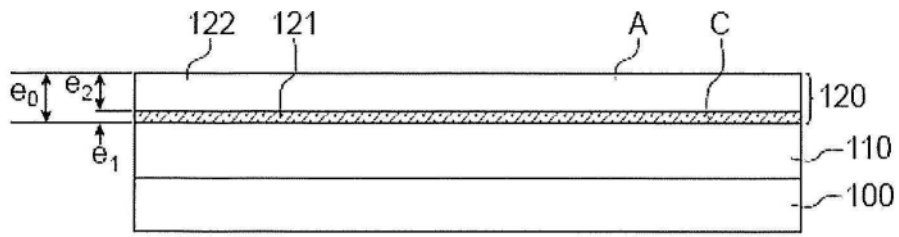


图1A

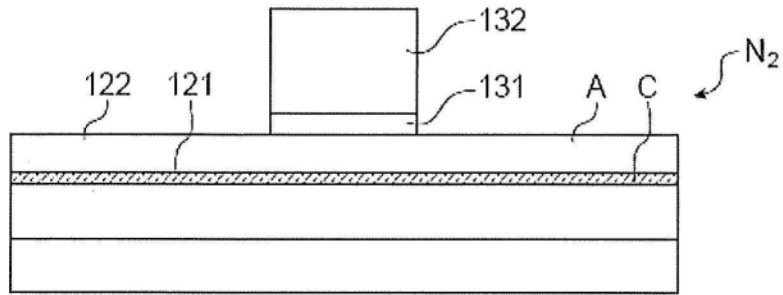


图1B

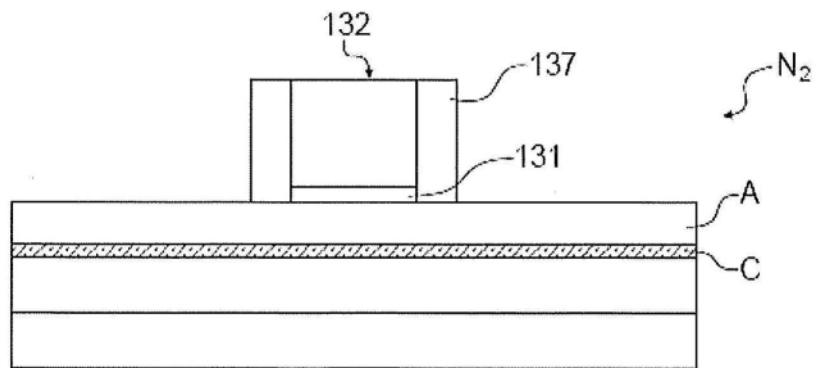


图1C

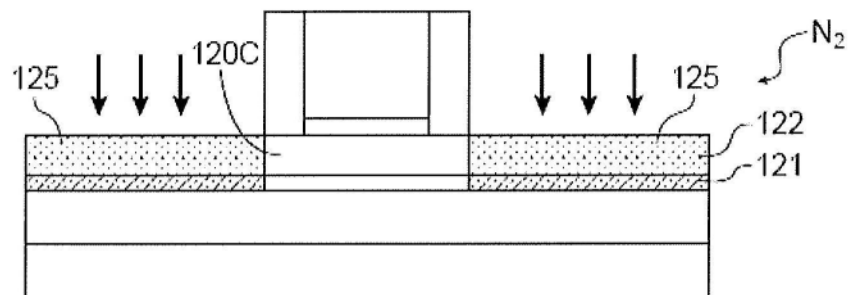


图1D

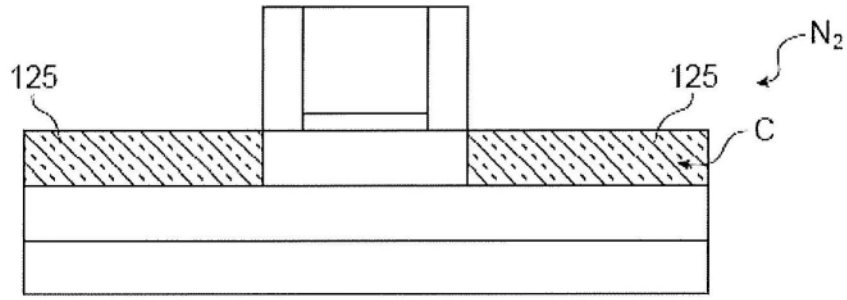


图1E

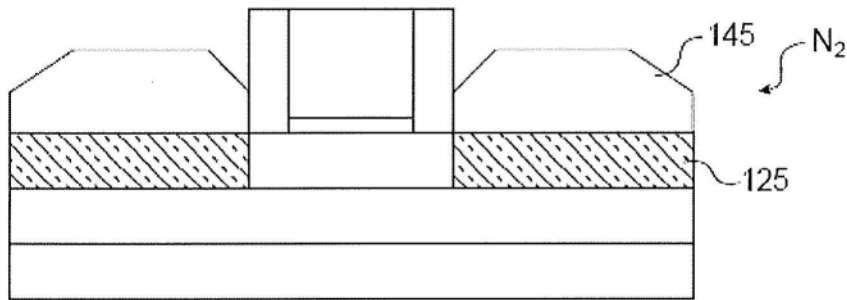


图1F

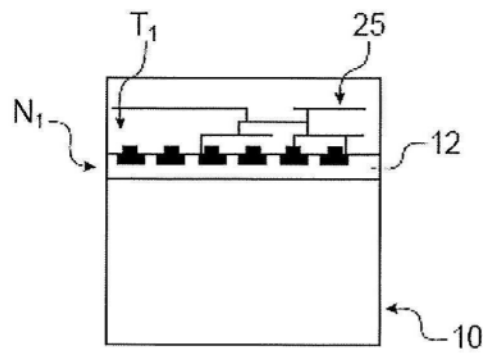


图2

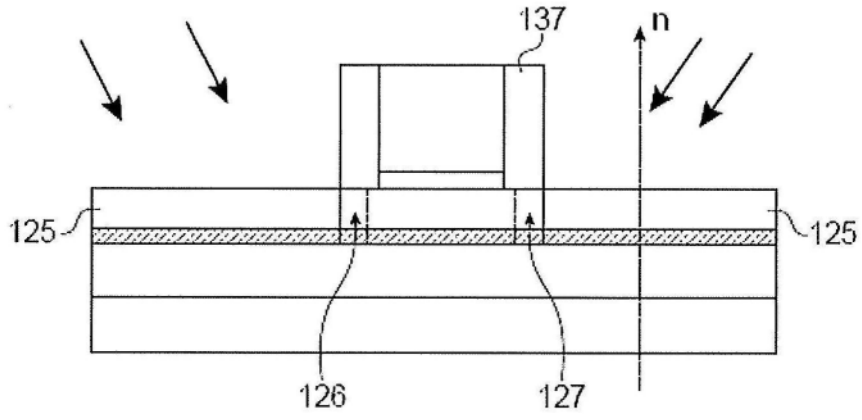


图3

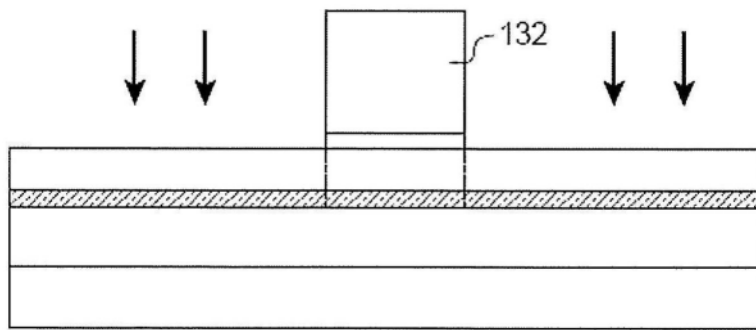


图4

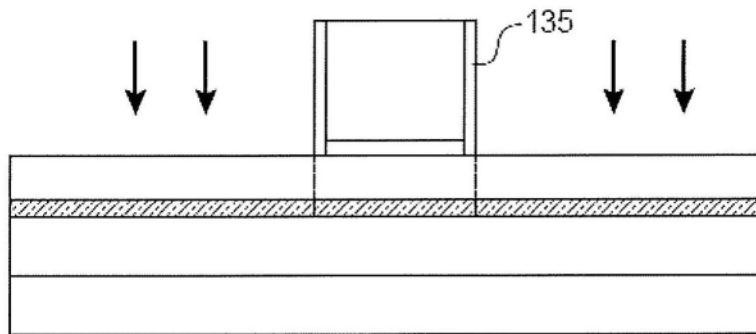


图5A

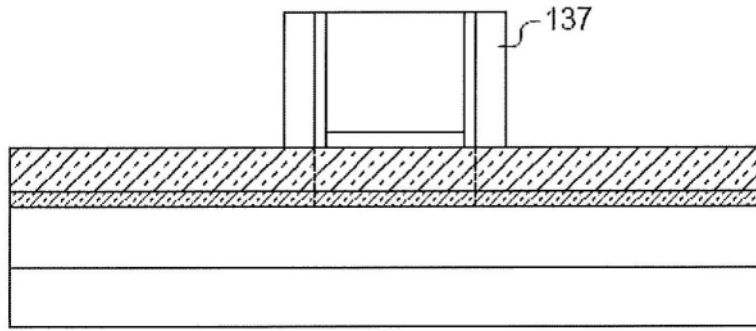


图5B

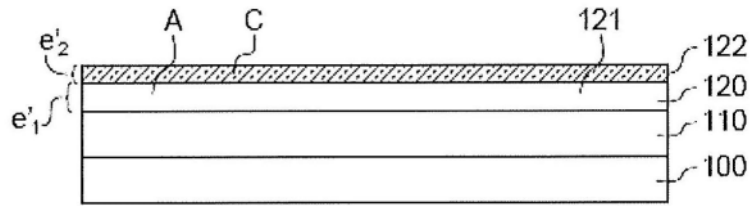


图6A

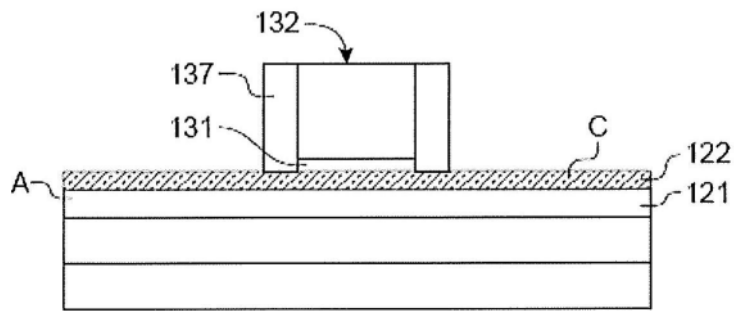


图6B

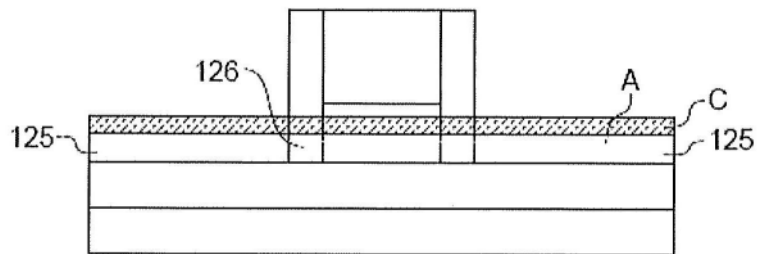


图6C

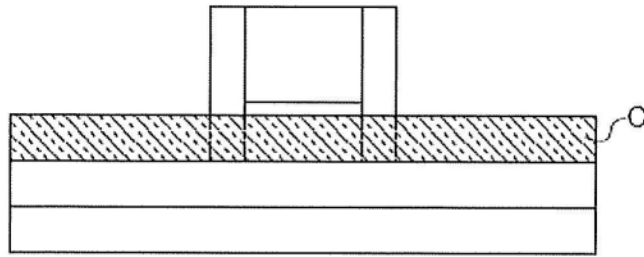


图6D

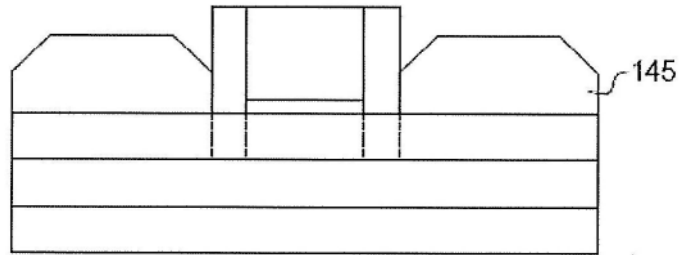


图6E

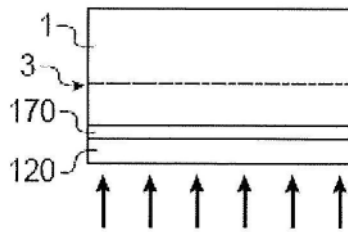


图7A

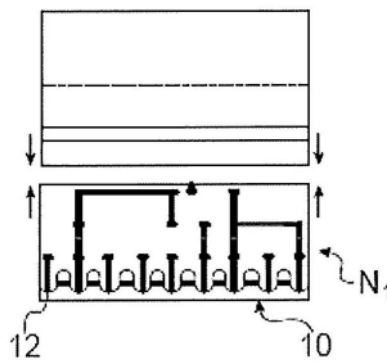


图7B

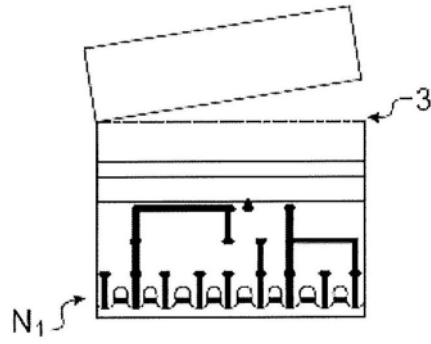


图7C

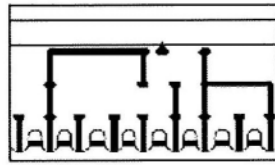


图7D

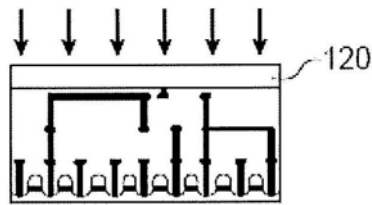


图7E

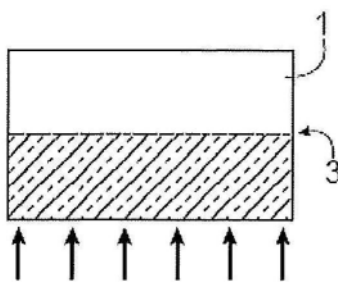


图8A

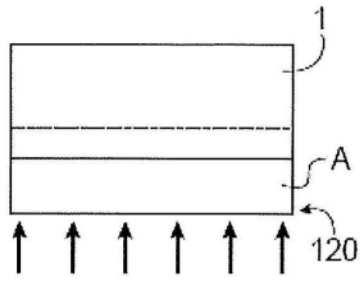


图8B

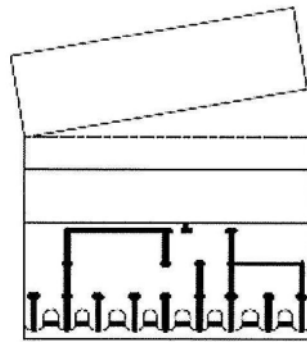


图8C

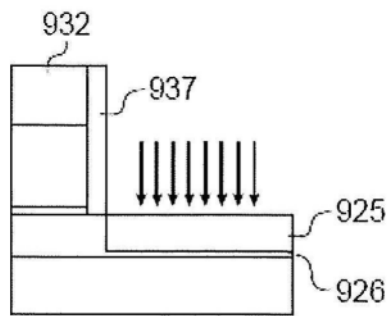


图9A现有技术

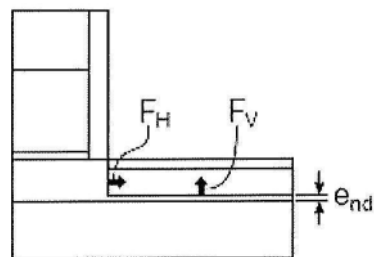


图9B现有技术