



$\overline{Q3}$   
 $\overline{R}$   
 $\overline{Q1}$   
 $\overline{Q2}$   
 $\overline{Q3}$   
 $\overline{Q2}$

한편, 상기 레지스터(1)의 출력단자(Q3)를 낸드게이트(8)의 일측입력단자 및 지연라인칩(9)의 입력단자(I)에 접속하여 그 지연라인칩(9)의 출력단자(D01), (D04)를 멀티플렉서(10)의 입력단자(X0), (X1~X3)에 접속하고, 이 멀티플렉서(10)의 출력단자(Y)를 상기 낸드게이트(8)의 타측입력단자에 접속하며, 상기 레지스터(1)의 출력단자(Q1)를 낸드게이트(11)의 일측입력단자에 접속함과 아울러 지연라인칩(12)을 통하여 그 낸드게이트(11)의 타측입력단자에 접속한다.

한편, 상기 낸드게이트(5), (8), (11)의 출력단자를 낸드게이트(13)를 통하여 지연라인칩(14)의 입력단자(I)에 접속하고, 그 지연라인칩(14)의 출력단자(D01~D010)를 스위치부(15)의 스위치(S1~S10)를 통해 상기 레지스터(1)의 클럭단자(CLK)에 접속하여 구성한 것으로, 상기에서 멀티플렉서(7), (10)는 그의 제어신호입력단자(C1), (C2)에 인가되는 제어신호(CNT0), (CNT1)의 상태에 따라 그의 입력단자(X0~X3)중 하나가 선택되어 그의 출력단자(Y)에 접속되게 되어있다.

이와같이 구성된 본 고안의 작용효과를 상세히 설명하면 다음과 같다.

제2도의 (a)에 도시한 바와같이 초기상태에서 저전위신호인 클리어신호( $\overline{MCLR}$   $\overline{Q1}$ )

$\overline{Q2}$   
 $\overline{Q3}$   
 $\overline{MCLR}$   
 $\overline{EN}$

이와같이 레지스터(1)의 출력단자(Q1), (Q3)에서 출력되는 신호(CLT1), (CLT3) 및 멀티플렉서(7)의 출력단자(Y)에서 출력되는 신호(DLY2)는 저전위 상태로 되므로 낸드게이트(5), (8), (11)의 출력단자에는 제2도의 (j), (k), (l)에 도시한 바와같이 모두 고전위 신호가 출력되어 낸드게이트(13)에 인가되고, 이에따라 낸드게이트(13)의 출력신호(ENDT)는 제2도의 (m)에 도시한 바와같이 저전위 상태를 유지하게 되므로 지연라인칩(14)의 출력단자(D01~D010)에는 모두 저전위 신호가 출력되고, 이에따라, 스위치부(15)의 스위치(S1~S10)중 어느것이 온되었다 하더라도 그의 출력신호(NCLK)는 제2도의 (n)에 도시한 바와같이 저전위 상태를 유지하게 된다.

이와같은 상태에서 클리어신호( $\overline{MCLR}$   $\overline{Q1}$ )

$\overline{Q2}$   
 $\overline{Q2}$

따라서, 이때 낸드게이트(5)의 출력신호( $\overline{END2}$ )

따라서, 스위치부(15)의 스위치(S1~S10)선택에 따라 지연라인칩(14)의 출력단자(D01~D010)에서 출력되는 지연신호중 하나가 선택되어 제2도의 (n)에 도시한 바와같이 출력된다.

이와같이 스위치부(15)에서 출력되는 신호(NCLK)가 고전위 상태로 될 때(t1) 레지스터(1)는 그의 입력단자(I1), (I2), (I3)에 입력되는 신호를 그의 출력단자(Q1), (Q2), (Q3)로 출력하게 된다.

즉, 이전상태에서 레지스터(1)의 출력단자( $\overline{Q1}$   $\overline{Q2}$ )

$\overline{Q2}$   
 $\overline{Q3}$   
 $\overline{Q1}$   
 $\overline{Q1}$

$\overline{CLT1}$ ,  $\overline{CLT2}$ ,  $\overline{CLT3}$

$\overline{Q2}$

$\overline{Q3}$

$\overline{CLT3}$

이와같이 레지스터(1)의 출력단자( $\overline{Q2}$   $\overline{END2}$ )

한편, 상기 레지스터(1)의 출력단자(Q3)에는 고전위 상태의 신호(CLT3)가 출력되고 있으므로, 그 고전위 신호는 지연라인칩(9)에서 일정시간(일예로, 45, 120nsec)지연되어 그의 출력단자(D01), (D04)로 출력되어 멀티플렉서(10)의 입력단자(X0), (X1~X3)에 인가된다.

이에따라, 그 멀티플렉서(10)의 출력단자(Y)의 신호(DLY3)는 제2도의 (i)에 도시한 바와같이 고전위 상태로 되므로 낸드게이트(8)의 출력단자에는 제2도의 (j)에 도시한 바와같이 저전위 신호가 출력된다.

따라서, 이때(t2) 낸드게이트(13)의 출력신호(ENDT)는 제2도의 (m)에 도시한 바와같이 고전위 상태로 되므로 스위치부(15)의 출력신호는 제2도의 (n)에 도시한 바와같이 일정시간 지연된 후에 고전위 상태로 된다.

이와같이 스위치부(15)의 출력신호(NCLK)가 고전위 상태로 될 때(t3) 레지스터(1)의 출력신호( $\overline{CLT1}$ ~ $\overline{CLT3}$ ),  $\overline{CLT1}$ ~ $\overline{CLT3}$

따라서, 이때는 레지스터(1)의 출력단자(Q1)에서 출력된 신호(CLT1)인 고전위 신호가 지연라인칩(12)에서 일정시간(일예로, 150nsec)지연되어 낸드게이트(11)에서 제2도의 (l)에 도시한 바와같이 저전위 신호가 출력될때(t4), 낸드게이트(13)의 출력신호(ENDT)는 제2도의 (m)에 도시한 바와같이 다시 고전위 상태로 되고, 이에따라 상기에서 설명한 방식대로 스위치부(15)의 출력신호(NCLK)는 제2도의 (n)에 도시한 바와같이 일정지연시간 후에 다시 고전위 상태로 되어 상기 동작을 반복하게 된다.

그리고, 플립플롭(2)은 상기 레지스터(1)의 출력신호( $\overline{CLT1}$   $\overline{CLT2}$ )

$\overline{CLT1}$

$\overline{CLT2}$

$\overline{Q}$

$\overline{CLKB}$

$\overline{Q}$

$\overline{CLKB}$

$\overline{CLKD}$

$\overline{CLT3}$

$\overline{S}$ ,  $\overline{R}$

$\overline{Q}$

$\overline{CLKA}$

이상에서 상세히 설명한 바와같이 본 고안은 하드웨어를 움직이는 프로그램인 펌웨어의 명령어 특성에 따라 클럭사이클이 변화됨으로써 여러 클럭신호를 이용할 수있음과 아울러 여러 클럭신호를 동시에 이용할 수 있고, 또 수정발진기등을 사용하지 않고 논리소자로만 구성되므로 구조가 보다 간단해질 뿐아니라 원가절감에 기여할 수 있는 이점이 있다.

### (57) 청구의 범위

#### 청구항 1

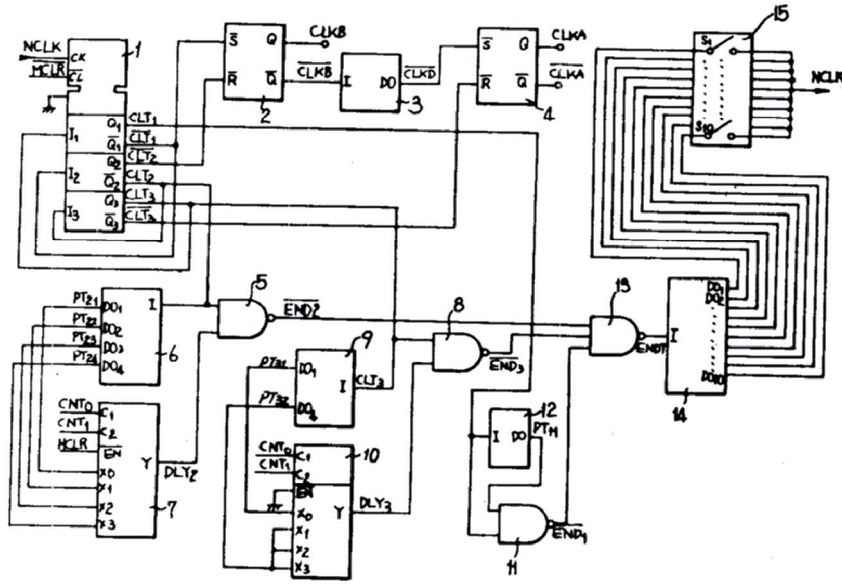
레지스터(1)의 출력단자( $\overline{Q1}$ ), ( $\overline{Q2}$ ), ( $\overline{Q1}$ ),

$\overline{S}$ , ( $\overline{R}$ )

$\bar{Q}$   
 $\bar{S}$   
 $\bar{Q3}$   
 $\bar{R}$   
 $\bar{Q2}$

도면

도면1



도면2

