



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I577026 B

(45)公告日：中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：099131867

(22)申請日：中華民國 99 (2010) 年 09 月 20 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

(30)優先權：2009/09/24 日本

2009-219128

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：宮永昭治 MIYANAGA, AKIHARU (JP)；坂田淳一郎 SAKATA, JUNICHIRO
(JP)；坂倉真之 SAKAKURA, MASAYUKI (JP)；山崎舜平 YAMAZAKI, SHUNPEI
(JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200923884

JP 2006-165529A

US 2007/0072439A1

US 2009/0020753A1

WO 2008/117739A1

WO 2009/081885A1

Kenji Nomura et al., "Thin-Film Transistor Fabricated in Single-Crystalline Transparent Oxide Semiconductor", SCIENCE, 23 May 2003, Vol. 300, no. 5623 pp. 1269-1272 .

Ayumu Sato et al., "Amorphous In-Ga-Zn-O coplanar homojunction thin-film transistor", Applied Physics Letters 94, 133502, 1 April 2009 .

Tatsuya Iwasaki et al., "Combinatorial approach to thin-film transistors using multicomponent semiconductor channels: An application to amorphous oxide semiconductors in In-Ga-Zn-O system", Applied Physics Letters 90, 242114, 15 June 2007 .

審查人員：姚真華

申請專利範圍項數：9 項 圖式數：35 共 128 頁

(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

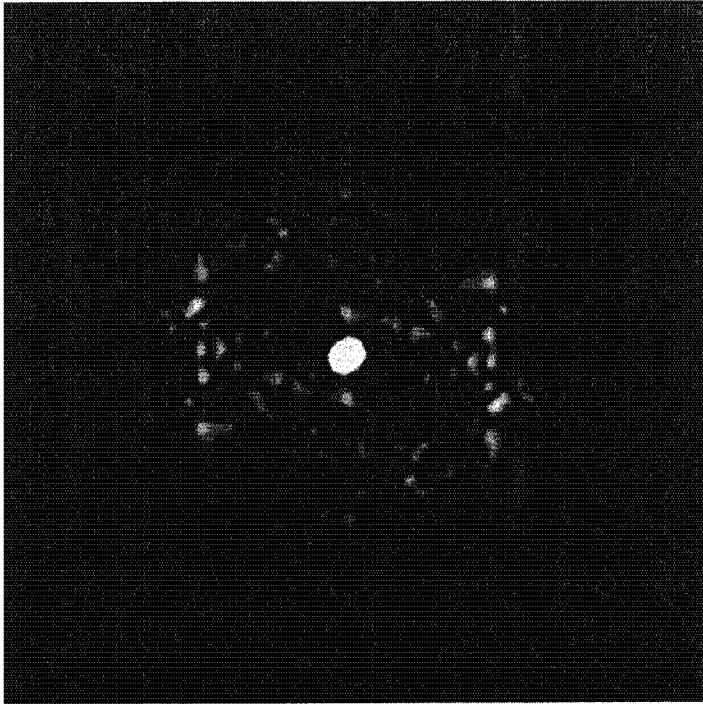
本發明的目的係為了設置薄膜電晶體，其具有令人滿意的電特性和高度可靠性；以及半導體裝置，其包括該薄膜電晶體作為開關元件。形成 In-Ga-Zn-O 基的膜，其具有顯現電子繞射圖案的培育狀態，該培育狀態不同於暈圈形圖案出現之習知已知非晶狀態，亦不同於點清楚出現之習知已知晶體狀態。具有培育狀態之該 In-Ga-Zn-O 基的膜被用於通道蝕刻薄膜電晶體之通道形成區。

It is an object to provide a thin film transistor having favorable electric characteristics and high reliability and a semiconductor device which includes the thin film transistor as a switching element. An In-Ga-Zn-O-based film having an incubation state that shows an electron diffraction pattern, which is different from a

conventionally known amorphous state where a halo shape pattern appears and from a conventionally known crystal state where a spot appears clearly, is formed. The In-Ga-Zn-O-based film having an incubation state is used for a channel formation region of a channel etched thin film transistor.

指定代表圖：

圖 28



778976

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099131867

※申請日：099 年 09 月 20 日

※IPC 分類：H01L 29/1786-2006.01

一、發明名稱：(中文／英文)

半導體裝置和其製造方法

Semiconductor device and manufacturing method thereof

二、中文發明摘要：

本發明的目的係爲了設置薄膜電晶體，其具有令人滿意的電特性和高度可靠性；以及半導體裝置，其包括該薄膜電晶體作爲開關元件。形成 In-Ga-Zn-O 基的膜，其具有顯現電子繞射圖案的培育狀態，該培育狀態不同於暈圈形圖案出現之習知已知非晶狀態，亦不同於點清楚出現之習知已知晶體狀態。具有培育狀態之該 In-Ga-Zn-O 基的膜被用於通道蝕刻薄膜電晶體之通道形成區。

三、英文發明摘要：

It is an object to provide a thin film transistor having favorable electric characteristics and high reliability and a semiconductor device which includes the thin film transistor as a switching element. An In-Ga-Zn-O-based film having an incubation state that shows an electron diffraction pattern, which is different from a conventionally known amorphous state where a halo shape pattern appears and from a conventionally known crystal state where a spot appears clearly, is formed. The In-Ga-Zn-O-based film having an incubation state is used for a channel formation region of a channel etched thin film transistor.

四、指定代表圖：

(一) 本案指定代表圖為：第(28)圖。

(二) 本代表圖之元件符號簡單說明：無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係相關於包括氧化物半導體層之薄膜電晶體，及包括薄膜電晶體之半導體裝置及其製造方法。

【先前技術】

近年來，藉由使用形成在具有絕緣表面之基板上的半導體薄膜(具有厚度約幾奈米至幾百奈米)來形成薄膜電晶體(TFT)之技術已引起關注。薄膜電晶體被應用到範圍廣泛的電子裝置，諸如 IC 或電光裝置等，尤其是薄膜電晶體被快速發展作為影像顯示裝置中的開關元件。各種金屬氧化物被用於各種應用。氧化銦是眾所皆知的材料，其被使用作為液晶顯示等所需的透光電極材料。

一些金屬氧化物具有半導體特性。具有半導體特性之此種金屬氧化物的例子包括氧化鎢、氧化錫、氧化銦、氧化鋅等。已知有使用具有半導體特性的此種氧化物來形成通道形成區之薄膜電晶體(專利文件 1 及 2)。

[參考文件]

[參考文件 1]日本已出版專利申請案號 2007-123861

[參考文件 2]日本已出版專利申請案號 2007-96055

【發明內容】

本發明的實施例之目的係設置半導體裝置，其包括具有新狀態的氧化物半導體層。

此外，本發明的實施例之另一目的係設置薄膜電晶體，其具有令人滿意的電特性和高度可靠性；以及半導體裝置，其包括薄膜電晶體作為開關元件。

形成 In-Ga-Zn-O 基的膜，其具有顯現電子繞射圖案的新狀態(培育狀態)，此培育狀態不同習知已知非晶狀態，亦不同於習知已知晶體狀態。具有培育狀態之 In-Ga-Zn-O 基的膜被用於薄膜電晶體之通道形成區。當具有培育狀態之 In-Ga-Zn-O 基的膜被使用作為薄膜電晶體之通道形成區時，可提高 on 狀態(開啓狀態)電流和電子場效遷移率，並且另外可提高可靠性。

此說明書所揭示之本發明的一實施例為設置有薄膜電晶體之半導體裝置，其通道形成區係局部或整個由在分析電子繞射圖案時具有培育狀態之 In-Ga-Zn-O 基的膜所形成，其中 In-Ga-Zn-O 基的膜之培育狀態既非點清楚出現之晶體系統，亦非暈圈形圖案出現之非晶系統。

利用上述結構，可解決上述問題的至少其中之一。

作為氧化物半導體層，形成以 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 來表示之薄膜，及製造包括薄膜作為氧化物半導體層之薄膜電晶體。需注意的是，M 表示選自 Ga(鎵)、Fe(鐵)、Ni(鎳)、Mn(錳)、及 Co(鈷)的一或多個金屬元素。例如，M 可以是 Ga，或可包括除了 Ga 以外的上述金屬元素，例如，M 可以是 Ga 及 Ni 或可以是 Ga 及 Fe。而且，在上述氧化物半導體中，在一些例子中，除了含有金屬元素作為 M 之外，還含有諸如 Fe 或 Ni 等過渡金屬元素或者

過渡金屬的氧化物作為雜質元素。在此說明書中，在以 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示組成分子式的氧化物半導體之中，包括 Ga 作為 M 之氧化物半導體被稱作 In-Ga-Zn-O 基的氧化物半導體，及 In-Ga-Zn-O 基的氧化物半導體之薄膜亦被稱作 In-Ga-Zn-O 基的膜。

只要是具有顯現不同於習知已知非晶狀態亦不同於習知已知晶體狀態之電子繞射圖案的培育狀態之金屬氧化物，氧化物半導體層並不特別侷限於 In-Ga-Zn-O 基的金屬氧化物。作為可應用到氧化物半導體層之金屬氧化物的其他例子，可利用下面金屬氧化物的任一個：In-Sn-O 基的金屬氧化物；In-Sn-Zn-O 基的金屬氧化物；In-Al-Zn-O 基的金屬氧化物；Sn-Ga-Zn-O 基的金屬氧化物；Al-Ga-Zn-O 基的金屬氧化物；Sn-Al-Zn-O 基的金屬氧化物；In-Zn-O 基的金屬氧化物；Sn-Zn-O 基的金屬氧化物；Al-Zn-O 基的金屬氧化物；In-O 基的金屬氧化物；Sn-O 基的金屬氧化物；或 Zn-O 基的金屬氧化物。可包括氧化矽在使用上述金屬氧化物的任一個所形成之氧化物半導體層中。

作為本發明的實施例，使用底閘極薄膜電晶體。尤其是，底閘極薄膜電晶體為通道蝕刻型，其中在氧化物半導體層上，源極電極層和汲極電極層的每一個與氧化物半導體層重疊，以及其中在氧化物半導體層的通道形成區上方蝕刻氧化物半導體層的一部分。

根據本發明的另一實施例，半導體裝置包括閘極電極層，其在絕緣表面上；第一絕緣層，其在閘極電極層上；

包括銦、鎵、和鋅之氧化物半導體層，其在第一絕緣層上；源極電極層或汲極電極層，其在氧化物半導體層上；以及第二絕緣層，其覆蓋源極電極層或汲極電極層，其中氧化物半導體層包括厚度小於與源極電極層或汲極電極層重疊之區域的厚度，其中第二絕緣層係與厚度較小之氧化物半導體層的區域接觸，及其中厚度較小之氧化物半導體層的區域在電子繞射圖案分析時具有培育狀態，其既非點清楚出現之晶體系統，亦非暈圈形圖案出現之非晶系統。

在此說明書中，培育狀態在電子繞射圖案的分析中既非點清楚出現之晶體系統，亦非暈圈形圖案出現之非晶系統，而是在電子繞射圖案的分析中其點未清楚但週期性出現。此外，培育狀態對應於下面狀態：使用以濺鍍法所形成之例如莫爾比 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 或 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 的膜形成之目標所獲得的氧化物半導體膜之狀態；及僅在到達諸如晶體結構 InGaZnO_4 (見圖 35) 或者晶體結構 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ (見圖 34) 等穩定晶體結構之前的狀態，即、部分接合但是尚未變成具有成為一晶體的穩定分子結構之晶體的先質的狀態。

圖 28、圖 29、圖 30、及圖 31 圖示顯現培育狀態之圖案的例子。圖 26 圖示通道蝕刻薄膜電晶體的橫剖面之相片，其通道形成區係使用具有培育狀態之 In-Ga-Zn-O 基的膜所形成，係利用高解析度透射式電子顯微鏡 (日立公司 (Hitachi, Ltd.) 所製造的 TEM: "H9000-NAR") 來觀察。圖 27 圖示氧化物半導體層和在其上與其接觸的氧化物絕

緣層之間的介面之高放大倍數相片(四百萬倍放大倍數)，係在加速電壓 200 kV 中利用掃描透射式電子顯微鏡(日立公司(Hitachi, Ltd.)所製造的 STEM: “HD-2700”)來觀察。

此外，圖 32 圖示在電子繞射圖案分析中點清楚出現之晶體系統的圖案之例子作為比較例子。當在圖 32 的電子繞射圖案中比較已知晶格常數時，其晶體結構對應於圖 34 所示之 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 。圖 34 為晶體結構的概要圖，其中參考號碼 201 表示銦原子在平面 ab 中的位置；202 為銦原子；203 不是鎵原子就是鋅原子；及 204 為氧原子。

而且，圖 33 圖示在電子繞射圖案的分析中出現暈圈形圖案之非晶系統的圖案作為另一比較例子。

各個顯現圖 28、圖 29、圖 30、及圖 31 中的培育狀態之圖案不同於圖 32 及圖 33 的圖案。

在上述結構中，薄膜電晶體的閘極電極層、源極電極層、和汲極電極層係使用含有選自鋁、銅、鉬、鈦、鉻、鉭、鎢、釷、及釷的金屬元素作為其主要成分之膜，或者含這些金屬元素的任一個之合金膜所形成。源極電極層和汲極電極層的每一個並不侷限於含上述元素的單層，而可以是兩或多層的堆疊。

氧化銦、氧化銦-氧化錫合金、氧化銦-氧化鋅合金、氧化鋅、氧化鋅鋁、氮氧化鋅鋁、氧化鋅鎵等透光氧化物導電層被用於源極電極層、汲極電極層、和閘極電極層，使得可提高像素部中的透光特性，及可增加孔徑比。

而且，顯示裝置係可使用各個使用本發明的實施例之

電晶體而形成在一基板上之驅動器電路部和像素部、及 EL 元件、液晶元件、電泳元件等來形成。

因為薄膜電晶體容易受到靜電等的破壞，所以用以保護像素部的薄膜電晶體之保護電路設置在同一基板上的閘極線或源極線上較佳。保護電路係使用包括氧化物半導體層之非線性元件來形成較佳。

需注意的是，為了方便而在此說明書中使用諸如“第一”和“第二”等序數，並不表示步驟的順序和層的堆疊順序。此外，此說明書中的序數不表示指明本發明的特定名稱。

在此說明書中，半導體裝置通常意指可利用半導體特性來運作之裝置，及電光裝置、半導體電路、及電子裝置都是半導體裝置。

需注意的是，此說明書中之“連續膜形成”一詞意指在一連串利用濺鍍法之第一膜形成步驟到利用濺鍍法之第二膜形成步驟期間，配置欲待處理的基板之大氣未受到諸如空氣等污染大氣的污染，及經常被控制成真空或鈍氣大氣（氮大氣或稀有氣體大氣）。藉由連續膜形成，在防止濕氣等再次附著到已弄乾淨的欲待處理之基板的同時可執行膜形成。

在同一室中執行一連串第一膜形成步驟到第二膜形成步驟是在此說明書中之連續形成的範圍內。

此外，下面亦在此說明書中之連續處理的範圍內：在不同室中執行一連串第一膜形成步驟到第二膜形成步驟之

例子中，在未暴露至空氣之下，在第一膜形成步驟之後將基板轉移到另一室，及接受第二膜形成。

需注意的是，在第一膜形成步驟和第二膜形成步驟之間具有基板轉移步驟、對準步驟、慢速冷卻步驟、加熱或冷卻基板的步驟，使得基板的溫度適於第二膜形成步驟等之例子亦在此說明書中之連續處理的範圍中。

然而，在第一膜形成步驟和第二膜形成步驟之間具有諸如清潔步驟、濕蝕刻、或抗蝕形成等使用液體的步驟並不在此說明書中之連續處理的範圍中。

當在培育狀態中將氧化物半導體層局部或整個形成時，可抑制寄生通道的產生。可獲得具有高開關比之薄膜電晶體，使得可製造具有令人滿意的動態特性之薄膜電晶體。

【實施方式】

下面，將參考附圖詳細說明本發明的實施例。然而，本發明並不侷限於下面說明，精於本技藝之人士應容易明白，可以各種方式修改此處所揭示的模式和細節。因此，本發明並不被闡釋作侷限於實施例的說明。

(實施例 1)

在此實施例中，將參考圖 1 說明薄膜電晶體的結構。

圖 1 圖解此實施例的通道蝕刻薄膜電晶體。圖 1 為橫剖面圖而圖 4A 為其平面圖。圖 1 為沿著圖 4A 的線 A1-A2

所取之橫剖面圖。

圖 1 所示之薄膜電晶體在一基板 100 上包括閘極電極層 101、閘極絕緣層 102、氧化物半導體層 103、源極電極層 105a、和汲極電極層 105b。另外，氧化物絕緣層 107 係設置在氧化物半導體層 103、源極電極層 105a、和汲極電極層 105b 上。

需注意的是，圖 1 所示之薄膜電晶體具有在源極電極層 105a 和汲極電極層 105b 之間蝕刻氧化物半導體層的一部分之結構。

閘極電極層 101 可使用諸如鋁、銅、鉬、鈦、鉻、鉭、鎢、鈳、或鈳等金屬元素；含這些金屬材料的任一個作為其主要成分之合金材料；或含這些金屬材料的任一個之氮化物來形成具有單層結構或堆疊結構。藉由使用諸如鋁或銅等低電阻金屬材料來形成閘極電極 101 是有效的。此外，與耐火金屬材料組合使用低電阻金屬材料較佳，因為其具有諸如低耐熱性和容易受腐蝕等不利點。作為耐火金屬材料，可使用鉬、鈦、鉻、鉭、鎢、鈳、鈳等。

另外，為了增加像素部的孔徑比，可使用氧化銦、氧化銦-氧化錫合金、氧化銦-氧化鋅合金、氧化鋅、氧化鋅鋁、氮氧化鋅鋁、氧化鋅鎳等透光氧化物導電層作為閘極電極層 101。

作為閘極絕緣層 102，可使用以 CVD 法、濺鍍法等形成之氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鋁、氧化鉬等的任一個之單層膜或堆疊膜。

氧化物半導體層 103 係使用含有 In、Ga、及 Zn 且具有以例如 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示的結構之 In-Ga-Zn-O 基的膜所形成。需注意的是，M 表示選自鎵(Ga)、鐵(Fe)、鎳(Ni)、錳(Mn)、及鈷(Co)的一或多個金屬元素。例如，M 可以是 Ga，或可包括除了 Ga 以外的上述金屬元素，例如，M 可以是 Ga 及 Ni 或可以是 Ga 及 Fe。而且，在上述氧化物半導體中，在一些例子中，除了含有金屬元素作為 M 之外，還含有諸如 Fe 或 Ni 等過渡金屬元素或者過渡金屬的氧化物作為雜質元素。

以濺鍍法將氧化物半導體層 103 形成至厚度 10 nm 至 300 nm(含)，20 nm 至 100 nm(含)較佳。需注意的是，因為如圖 1 所示，在源極電極層 105a 和汲極電極層 105b 之間蝕刻氧化物半導體層 103 的一部分，所以氧化物半導體層包括厚度小於與源極電極層 105a 或汲極電極層 105b 重疊之區域的厚度之區域。

雖然氧化物半導體層 103 在膜形成階段是培育狀態較佳，但是若需要的話，可執行熱處理。在氧化物半導體層在膜形成階段為具有一些懸鍵的非晶之例子中，執行用於脫水作用或除氫作用的加熱步驟，使得鄰接懸鍵彼此接合以具有培育狀態。例如，以 RTA 法等短時間以高溫執行脫水作用或除氫作用較佳。在此說明書中，在諸如氮等鈍氣或稀有氣體的大氣中之熱處理被稱作用於脫水作用或除氫作用的熱處理。在此說明書中，“除氫作用”不表示以熱處理只去除 H_2 而已。為了方便，去除 H、OH 等亦被

稱作“脫水作用或除氫作用”。

源極電極層 105a 具有第一導電層 112a、第二導電層 113a、及第三導電層 114a 的三層結構，而汲極電極層 105b 具有第一導電層 112b、第二導電層 113b、及第三導電層 114b 的三層結構。作為導電層的各個材料，可使用類似於上述閘極電極層 101 的材料之材料。

另外，以類似於閘極電極層 101 的方式之方式，將透光氧化物導電層用於源極電極層 105a 和汲極電極層 105b，藉以可增加像素部的光透射比，並且亦可增加孔徑比。

另外，可將氧化物導電層形成在氧化物半導體層 103 和含上述金屬的任一個作為其組要成分之膜的每一個（它們將是源極電極層 105a 和汲極電極層 105b）之間，使得能夠降低接觸電阻。

充作通道保護層之氧化物絕緣層 107 係設置在氧化物半導體層 103、源極電極層 105a、和汲極電極層 105b 上。使用無機絕緣膜（典型上為氧化矽膜、氧氮化矽膜、氧化鋁膜、氮氧化鋁膜等）以濺鍍法形成氧化物絕緣層 107。

具有顯現不同於習知已知非晶狀態亦不同於習知已知晶體狀態之電子繞射圖案的培育狀態之金屬氧化物被使用作為通道形成區，藉以可設置具有高可靠性和諸如高開啓狀態電流和高電子場效遷移率等提高的電特性之薄膜。

（實施例 2）

在此實施例中，將參考圖 2A 至 2C、圖 3A 至 3C、圖

4A 至 4B、圖 5、圖 6、圖 7、圖 8A1、8A2、8B1、及 8B2、圖 9、和圖 10 說明包括實施例 1 所說明的通道蝕刻薄膜電晶體之顯示裝置的製造處理。圖 2A 至 2C 和圖 3A 至 3C 為橫剖面圖，而圖 4A 及 4B、圖 5、圖 6、和圖 7 為平面圖。圖 4A 及 4B、圖 5、圖 6、和圖 7 的每一個中之線 A1-A2 和線 B1-B2 對應於圖 2A 至 2C 和圖 3A 至 3C 之橫剖面圖的每一個中之線 A1-A2 和線 B1-B2。

首先，備製基板 100。作為基板 100，除了以熔合法或飄浮法形成的玻璃基板之外，還可使用例如具有足夠承受此製造處理的處理溫度之耐熱性的塑膠基板。另一選擇是，可使用設置有絕緣膜在表面上之諸如不銹鋼合金基板等金屬基板。

在使用玻璃基板及欲執行的熱處理之溫度高的例子中，使用應變點大於或等於 730°C 之玻璃基板較佳。作為玻璃基板的材料，例如使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃等玻璃材料。需注意的是，當含有氧化鋇 (BaO) 的量大於三氧化二鋇 (B_2O_3) 時，可獲得具有耐熱性之更實用的玻璃。因此，使用含 BaO 的量大於 B_2O_3 之玻璃基板較佳。

需注意的是，可使用由諸如陶瓷基板、石英基板、或藍寶石基板等絕緣體所形成的基板作為玻璃基板 100，來取代上述玻璃基板。其他選擇是，亦可使用結晶玻璃。

另外，可設置絕緣膜作為基板 100 上的基膜。可以 CVD 法、濺鍍法等將基膜形成具有氧化矽膜、氮化矽膜、

氮氧化矽膜、及氧氮化矽膜的任一個之單層結構或堆疊結構。在使用諸如玻璃基板等含鈉等的移動離子之基板作為基板 100 的例子中，諸如氮化矽膜或氧氮化矽膜等含氮之膜被使用作為基膜，藉以可防止移動離子進入氧化物半導體層。

接著，以濺鍍法或真空蒸發法，將欲成為包括閘極電極層 101、電容器配線 108、和第一終端 121 的閘極配線之導電膜形成在基板 100 的整個表面上。接著，在導電膜形成在基板 100 的整個表面上之後，經由第一光致微影步驟形成抗蝕遮罩。藉由蝕刻去除不必要部位，以形成配線和電極(包括閘極電極層 101、電容器配線 108、和第一終端 121 的閘極配線)。此時，執行蝕刻較佳，使得閘極電極層 101 的至少端部位成錐形以防止分離。圖 2A 為此階段的橫剖面圖。需注意的是，圖 4B 為此階段的平面圖。

可使用諸如鋁、銅、鉬、鈦、鉻、鉭、鎢、釹、或銦等金屬元素；含這些金屬材料的任一個作為其主要成分之合金材料；或含這些金屬材料的任一個之氮化物，將包括閘極配線終端部之閘極電極層 101、電容器配線 108、和第一終端 121 的閘極配線形成具有單層結構或堆疊結構。雖然藉由使用諸如鋁或銅等低電阻金屬材料來形成閘極電極 101 是有效的，但是與耐火金屬材料組合使用低電阻金屬材料較佳，因為其具有諸如低耐熱性和容易受腐蝕等不利點。作為耐火金屬材料，可使用鉬、鈦、鉻、鉭、鎢、釹、銦等。

例如，作為閘極電極層 101 的堆疊結構，下面結構較佳：鉬層堆疊在鋁層上之兩層堆疊結構；鉬層堆疊在銅層上之兩層堆疊結構；氮化鈦層或氮化鉭層堆疊在銅層上之兩層堆疊結構；或堆疊氮化鈦層和鉬層之兩層堆疊結構。作為三層結構，下面結構較佳：包括鋁、鋁矽合金、鋁鈦合金、或鋁釹合金在中間層和鎢、氮化鎢、氮化鈦、和鈦的任一個在頂層和底層之堆疊結構。

在那時，透光氧化物導電層被用於電極層和配線層的一部分以增加孔徑比。例如，可使用氧化銦、氧化銦-氧化錫合金、氧化銦-氧化鋅合金、氧化鋅、氧化鋅鋁、氮氧化鋅鋁、氧化鋅鎳等作為氧化物導電層。

接著，閘極絕緣層 102 被形成覆蓋閘極電極層 101 的整個表面。以 CVD 法、濺鍍法等將閘極絕緣層 102 形成厚度 50 nm 至 250 nm(含)。

例如，以濺鍍設備將氧化矽膜形成具有厚度 100 nm，以作為閘極絕緣層 102。無須說，閘極絕緣層 102 並不侷限於此種氧化矽膜，及可使用諸如氮氧化矽膜、氧氮化矽膜、氮化矽膜、氧化鋁膜、或氧化鉭膜等其他絕緣膜形成單層結構或堆疊結構。

此外，在形成用以形成島型氧化物半導體層 103 的氧化物半導體膜之前，執行藉由引進氬氣產生電漿之逆向濺鍍較佳，藉以去除附著於閘極絕緣層 102 的表面之灰塵。逆向濺鍍意指在未施加電壓到目標側之下，在氬大氣之下將 RF 電源用於施加電壓到基板側，及在基板的附近產生

電漿以修改表面之方法。需注意的是，可使用氮大氣、氮大氣等取代氬大氣。另一選擇是，可使用添加氧、 N_2O 等的氬大氣。另一選擇是，可使用添加 Cl_2 、 CF_4 等的氬大氣。在逆向濺鍍之後，在不暴露至空氣之下，形成氧化物半導體膜，藉以可防止灰塵或濕氣附著於氧化物半導體層 103 和閘極絕緣層 102 之間的介面。

將具有厚度 5 nm 至 200 nm(含)，10 nm 至 40 nm 較佳的氧化物半導體膜形成在閘極絕緣層 102 上。

作為氧化物半導體膜，可應用下面氧化物半導體膜的任一個：In-Ga-Zn-O 基的氧化物半導體膜；In-Sn-Zn-O 基的氧化物半導體膜；In-Al-Zn-O 基的氧化物半導體膜；Sn-Ga-Zn-O 基的氧化物半導體膜；Al-Ga-Zn-O 基的氧化物半導體膜；Sn-Al-Zn-O 基的氧化物半導體膜；In-Zn-O 基的氧化物半導體膜；Sn-Zn-O 基的氧化物半導體膜；Al-Zn-O 基的氧化物半導體膜；In-O 基的氧化物半導體膜；Sn-O 基的氧化物半導體膜；及 Zn-O 基的氧化物半導體膜。另一選擇是，可在稀有氣體(典型上為氬)的大氣、氧大氣、或稀有氣體(典型上為氬)和氧的大氣之下，以濺鍍法形成氧化物半導體膜。

此處，在下面條件之下，使用用以形成包括 In、Ga、及 Zn(莫爾比 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ 或 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$) 的氧化物半導體之目標來執行膜形成：基板和目標之間的距離為 100 mm、壓力為 0.6 Pa、直流(DC)電力供應為 0.5 kW、大氣為氧(氧的流率為 100%)。需注意的是，脈衝直

流(DC)電源較佳，因為可降低膜形成中所產生的粉末物質(亦稱作粒子或粉)，及可使膜厚度均勻。在此實施例中，作為氧化物半導體膜，使用用以形成 In-Ga-Zn-O 基的氧化物半導體膜之目標，以濺鍍法形成具有厚度 30 nm 之 In-Ga-Zn-O 基的膜。

用以形成氧化物半導體的目標之相對密度大於或等於 80%較佳，大於或等於 95%更好，大於或等於 99.9%最好。使用具有高相對密度的目標所形成之氧化物半導體的雜質濃度可被降低，如此可獲得具有高電特性和高可靠性之薄膜電晶體。

濺鍍法的例子包括：RF 濺鍍法，其中高頻電源被用於濺鍍電源；DC 濺鍍法，其中使用 DC 電源；及脈衝式 DC 濺鍍法，其中以脈衝方式施加偏壓。RF 濺鍍法主要用在形成絕緣層時，及 DC 濺鍍法主要用在形成金屬膜時。

此外，亦具有多源濺鍍設備，其中可設定複數個不同材料的目標。利用多源濺鍍設備，不同材料的膜亦可被形成以堆疊在同一室中，或者亦可在同一室中同時藉由放電形成複數種材料。

此外，具有設置有磁性系統之濺鍍設備在室內，及被用於磁電管濺鍍法；及用於 ECR 濺鍍法之濺鍍設備，其中在未使用輝光放電之下使用藉由使用微波所產生的電漿。

而且，作為藉由濺鍍之膜形成法，亦具有反應性濺鍍法，其中在膜形成期間目標物質和濺鍍氣體成分彼此起化

學反應以形成其薄化合物膜；及偏壓濺鍍法，其中在膜形成期間亦施加電壓到基板。

此外，在利用濺鍍法的膜形成期間，藉由光或加熱器，以溫度 400℃ 至 700℃ (含) 加熱基板。在膜形成期間，與藉由加熱的膜形成同時修補由於濺鍍所產生的破壞。

在形成氧化物半導體膜之前，執行預熱處理較佳，以去除剩餘在濺鍍設備的內壁上、在目標的表面上、或在目標材料中之濕氣或氫。作為預熱處理，可給定在減壓下從 200℃ 至 600℃ 加熱膜沈積室內部之方法；在加熱膜沈積室內部的同時重複引進和排出氮或鈍氣之方法。在預熱處理之後，冷卻基板或濺鍍設備，然後在為暴露至空氣之下形成氧化物半導體膜。在此例中，不使用水而是油作為用於目標的冷卻劑較佳。雖然當在不加熱之下重複引進和排出氮時可獲得一定程度的作用，但是以加熱膜沈積室內部來執行處理更好。

較佳的是，在形成氧化物半導體膜之前、期間、或之後藉由使用低溫泵去除剩餘在濺鍍設備中之濕氣等。

接著，經由第二光致微影步驟形成抗蝕遮罩。然後，蝕刻 In-Ga-Zn-O 基的膜。在蝕刻時，諸如檸檬酸或草酸等有機酸可被用於蝕刻劑。此處，藉由使用 ITO-07N (由 Kanto 化學股份有限公司製造)，以濕蝕刻蝕刻 In-Ga-Zn-O 基的膜，以去除不必要的部位。如此，In-Ga-Zn-O 基的膜被處理成具有島型，藉以形成氧化物半導體層 111。氧化物半導體層 111 的端部位被蝕刻成錐形，藉以能夠防止由

於階梯形狀所導致的配線分離。需注意的是，此處蝕刻並不侷限於濕蝕刻，亦可執行乾蝕刻。圖 2B 為此階段的橫剖面圖。需注意的是，圖 5 為此階段的平面圖。

然後，若需要的話，將氧化物半導體層脫水或除氫。可以溫度 500°C 至 750°C (含)(或者低於或等於玻璃基板的應變點之溫度)，藉由使用高溫氣體(諸如氮等鈍氣或氫氣)或光，經由快速熱退火(RTA)，執行用於脫水作用或除氫作用的第一熱處理約 1 分鐘至 10 分鐘(含)，以 650°C 執行約 3 分鐘至 6 分鐘(含)較佳。利用 RTA 法，能夠以短時間執行脫水作用或除氫作用；因此，甚至能夠以高於玻璃基板的應變點之溫度來執行處理。需注意的是，第一熱處理的時序並不侷限於在形成氧化物半導體層 111 之後的此時序，而例如可以在光致微影步驟或者形成氧化物半導體層 111 的前後執行複數次。

需注意的是，在第一熱處理中，在大氣中未含有水、氫等較佳。另一選擇是，引進到熱處理設備內之鈍氣的純度被設定成大於或等於 6N(99.9999%)或更高，大於或等於 7N(99.99999%)較佳(即、雜質濃度低於或等於 1 ppm，低於或等於 0.1 ppm 較佳)。

接著，經由第三光致微影步驟形成抗蝕遮罩。藉由蝕刻去除不必要部位，以形成接觸孔，其到達從與閘極電極層 101 相同材料所形成的配線或者電極層。接觸孔被設置用於與稍後欲形成之導電膜的直接連接。例如，當形成閘極電極層與驅動器電路部中之源極電極層或汲極電極層直

接接觸之薄膜電晶體時，或者當形成電連接到終端部的閘極配線之終端時，形成接觸孔。

接著，藉由使用金屬材料，以濺鍍法或真空蒸發法，將第一導電層 112、第二導電層 113、和第三導電層 114 形成在氧化物半導體層 111 和閘極絕緣層 102 上。圖 2C 爲此階段的橫剖面圖。

作爲第一導電層 112、第二導電層 113、和第三導電層 114 的各個材料，可使用類似於上述閘極電極層 101 的材料之材料。

此處，第一導電層 112 和第三導電層 114 係使用耐熱導電材料之鈦所形成，而第二導電層 113 係使用含鈹之鋁合金所形成。此種結構可降低小丘的產生，及利用鋁的低電阻特性。雖然此實施例使用第一導電層 112、第二導電層 113、和第三導電層 114 的三層結構，但是本發明的實施例並不侷限於此。因此，可利用單層結構、兩層結構、或四或多層的堆疊結構。例如，可利用鈦膜的單層結構或者含矽之鋁膜的單層結構。

接著，經由第四光致微影步驟形成抗蝕遮罩 131。藉由蝕刻去除不必要部位，以形成源極電極層 105a、汲極電極層 105b、氧化物半導體層 103、和連接電極 120。利用濕蝕刻或乾蝕刻作爲此時的蝕刻方法。例如，在第一導電層 112 和第三導電層 114 係使用鈦所形成以及第二導電層 113 係使用含鈹之鋁合金所形成的例子中，可藉由使用過氧化氫溶液或加熱的鹽酸作爲蝕刻劑來執行濕蝕刻。在此

蝕刻步驟，蝕刻氧化物半導體層 103 的一部分；如此，氧化物半導體層 103 包括源極電極層 105a 和汲極電極層 105b 之間的區域，其厚度小於與源極電極層 105a 或汲極電極層 105b 重疊之區域的厚度。圖 3A 為此階段的橫剖面圖。需注意的是，圖 6 為此階段的平面圖。

此外，可藉由蝕刻在一步驟中蝕刻第一導電層 112、第二導電層 113、第三導電層 114、和氧化物半導體層 103，其中蝕刻係使用過氧化氫溶液或加熱的鹽酸作為蝕刻劑；因此，源極電極層 105a 或汲極電極層 105b 的端部位與氧化物半導體層 103 的端部位對準，及可形成連續結構。而且，濕蝕刻讓層能夠各向同性蝕刻，使得源極電極層 105a 和汲極電極層 105b 的端部位從抗蝕遮罩 131 凹下。經由上述步驟，可製造使用氧化物半導體層 103 作為通道形成區之薄膜電晶體 170。

另外，以類似於閘極電極層 101 的方式之方式，將透光氧化物導電層用於源極電極層 105a 和汲極電極層 105b，藉以可增加像素部的光透射比，並且亦可增加孔徑比。

在第四光致微影步驟中，從與源極電極層 105a 和汲極電極層 105b 相同的材料所製成之第二終端 122 被留在源極配線終端部。需注意的是，第二終端 122 電連接到源極配線(包括源極電極層 105a 和汲極電極層 105b 之源極配線)。

在終端部中，經由形成在閘極絕緣膜中之接觸孔，將連接電極 120 電連接到終端部中的第一終端 121。需注意

的是，雖然此處未圖示，但是經由與上述相同步驟，將驅動器電路中之薄膜電晶體的源極配線或汲極配線，以及薄膜電晶體的閘極電極直接連接。

另外，藉由使用使用多色調遮罩所形成之具有有著複數個厚度(典型上有兩個不同厚度)的區域之抗蝕遮罩，可降低抗蝕遮罩的數目，因此處理簡化和成本降低。

接著，去除抗蝕遮罩 131，及形成覆蓋薄膜電晶體 170 的氧化物絕緣層 107。氧化物絕緣層 107 係可以濺鍍法等使用諸如氧化矽膜、氮氧化矽膜、氧化鋁膜、氧化鉬膜等氧化物絕緣層所形成。

可以濺鍍法等來適當形成氧化物絕緣層 107，即、諸如濕氣或氫等雜質未混合到氧化物絕緣層內之方法。在此實施例中，以濺鍍法將氧化矽膜形成作為氧化物絕緣膜。膜形成中的基板溫度可被設定從室溫到 300°C (含)，及在此實施例中被設定為 100°C。為了防止諸如水或氫等雜質在膜形成中進入，在膜形成之前，以溫度 150°C 至 350°C (含)在減壓下執行預烘烤 2 分鐘至 10 分鐘(含)較佳，以在未暴露至空氣之下形成氧化物絕緣層。可在稀有氣體(典型上為氬)的大氣、氧大氣、或稀有氣體(典型上為氬)和氧的大氣之下執行以濺鍍法形成氧化矽膜。而且，可使用氧化矽目標或矽目標作為目標。例如，藉由使用矽目標，可在氧和稀有氣體的大氣之下，以濺鍍法形成氧化矽膜。使用未含有諸如濕氣、氫離子、和 OH⁻等雜質並且阻隔此種雜質從外部進入之無機絕緣膜形成氧化物絕緣層，此氧化

物絕緣層被形成與電阻被降低之區域中的氧化物半導體層接觸。

在此實施例中，使用具有純度 6N(電阻為 $0.01\ \Omega\text{cm}$) 之圓柱複晶硼摻雜矽目標，以脈衝式 DC 濺鍍法執行膜形成，其中基板和目標之間的距離(T-S 距離)為 89 mm、壓力為 0.4 Pa、直流電(DC)電源為 6 kW、及大氣為氧(氧流率為 100%)。其膜厚度被設定為 300 nm。

接著，若需要的話，在鈍氣大氣之下執行第二熱處理(以溫度 200°C 至 400°C (含)較佳，例如以溫度 250°C 至 350°C (含))。例如，以 250°C 在氮大氣之下執行第二熱處理一小時。另一選擇是，可以短時間在高溫中執行 RTA 處理，如同在第一熱處理中一般。

接著，經由第五光致微影步驟形成抗蝕遮罩。然後，蝕刻氧化物絕緣層 107，以形成到達汲極電極層 105b 之接觸孔 125。此外，到達連接電極 120 之接觸孔 126 以及到達第二終端 122 之接觸孔 127 亦藉由此蝕刻來形成。圖 3B 為此階段的橫剖面圖。

接著，去除抗蝕遮罩，然後形成透光導電膜。透光導電膜係可以濺鍍法、真空蒸發法等，使用諸如氧化銦(In_2O_3)或氧化銦-氧化錫($\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫作 ITO)合金所形成。以鹽酸基溶液蝕刻此種材料。然而，在蝕刻 ITO 時特別容易產生殘餘物，為为了提高蝕刻可處理性，可使用氧化銦-氧化鋅($\text{In}_2\text{O}_3\text{-ZnO}_2$)合金。

接著，經由第六光致微影步驟形成抗蝕遮罩。藉由蝕

刻去除不必要部位，以形成像素電極層 110。

在第六光致微影步驟中，以被使用作為介電之電容器部中的閘極絕緣層 102 和氧化物絕緣層 107、電容器配線 108、和像素電極層 110 形成儲存電容器。

此外，在第六光致微影步驟中，第一終端 121 和第二終端 122 各個被覆蓋有抗蝕遮罩，以及具有透光特性之導電膜 128 及 129 被留在終端部中。透光導電膜 128 及 129 充作到 FPC 之電極或配線電極。形成在直接連接到第一終端 121 的連接電極 120 上之透光導電膜 128 為充作閘極配線的輸入終端之連接終端電極。形成在第二終端 122 上之透光導電膜 129 為充作源極配線的輸入終端之連接終端電極。

接著，去除抗蝕遮罩。圖 3C 為此階段的橫剖面圖。需注意的是，圖 7 為此階段的平面圖。

另外，圖 8A1 及 8A2 分別為此階段之閘極配線終端部的橫剖面圖和平面圖。圖 8A1 為沿著圖 8A2 中的線 C1-C2 所取之橫剖面圖。在圖 8A1 中，形成在保護絕緣膜 154 和連接電極 153 上之透光導電膜 155 為充作輸入終端之連接終端電極。而且，在圖 8A1 中，在閘極配線終端部中，使用與閘極配線相同材料所形成之第一終端 151 以及使用與源極配線相同材料所形成之連接電極 153 以閘極絕緣層 152 插入在其間而彼此重疊並且電連接。此外，連接電極 153 和透光導電膜 155 經由設置在保護絕緣膜 154 中之接觸孔而彼此直接接觸並且電連接。

另外，圖 8B1 及 8B2 分別為源極配線終端部的橫剖面圖和平面圖。圖 8B1 為沿著圖 8B2 中的線 D1-D2 所取之橫剖面圖。在圖 8B1 中，形成在保護絕緣膜 154 和第二終端 150 上之透光導電膜 155 為充作輸入終端之連接終端電極。而且，在圖 8B1 中，在源極配線終端部中，以閘極絕緣層 152 插入在其間，使用與閘極配線相同材料所形成之電極 156 位在下方並且與電連接到源極配線之第二終端 150 重疊。電極 156 未電連接到第二終端 150，及若電極 156 的電位被設定成不同於第二終端 150 的電位之電位，諸如浮動、GND、或 0 V 等，則可形成用以防止雜訊或靜電之電容器。另外，以保護絕緣膜 154 插入在其間，第二終端 150 電連接到透光導電膜 155。

依據像素密度來設置複數個閘極配線、源極配線、和電容器配線。再者，在終端部中，與閘極配線相同電位之第一終端、與源極配線相同電位之第二終端、與電容器配線相同電位之第三終端等各個排列成複數。終端的每一個之數目可以是任何數目，及終端的數目係可由實施者適當決定。

經由這六個光致微影步驟，可使用六個光遮罩來完成通道蝕刻薄膜電晶體 170 和儲存電容器部。此外，通道蝕刻薄膜電晶體 170 為薄膜電晶體，其通道形成區係使用具有培育狀態之 In-Ga-Zn-O 基的膜來形成，及以高解析度透射式電子顯微鏡觀察之橫剖面的相片對應於圖 26。

然後，薄膜電晶體 170 和儲存電容器部被排列在對應

於像素之矩陣中，使得像素部被形成；因此，可形成用以製造主動矩陣式顯示裝置之一基板。在此說明書中，爲了方便，此種基板被稱作主動矩陣式基板。

在製造主動矩陣式液晶顯示裝置之例子中，以插入其間之液晶層，將主動矩陣式基板和設置有相對電極之相對基板彼此固定。需注意的是，電連接到相對基板上的相對電極之共同電極被設置在主動矩陣式基板上，及電連接到共同電極之第四終端係設置在終端部中。設置第四終端，使得共同電極被設定成固定電位，諸如 GND 或 0 V 等。

另外，此實施例並不侷限於圖 7 之像素結構，及圖 9 圖解不同於圖 7 之平面圖的例子。圖 9 圖解未設置電容器配線，及以插入在其間的保護絕緣膜和閘極絕緣層將其彼此重疊之鄰接像素的像素電極和閘極配線形成儲存電容器之例子。在此例中，可省略電容器配線和連接到電容器配線之第三終端。需注意的是，在圖 9 中，與圖 7 的部位相同者以相同參考號碼來表示。

另外，圖 10 圖解不同於圖 7 之像素結構的像素結構之另一例子。在圖 10 中，使用與源極電極層 105a 和汲極電極層 105b 相同材料所形成之電容器電極層 124 係形成在閘極絕緣層 102 上，及經由設置在氧化物絕緣層 107 中之接觸孔 109，將像素電極層 110 電連接到電容器電極層 124。在圖 10 之像素結構中，以被使用作爲介電之電容器部中的閘極絕緣層 102、電容器電極層 124、和電容器配線 108 形成儲存電容器。

在主動矩陣式液晶顯示裝置中，排列成矩陣之像素電極被驅動，以在螢幕上形成顯示圖案。尤其是，將電壓施加在選定像素電極和對應於像素電極的相對電極之間，使得以光學式調整設置在像素電極和相對電極之間的液晶層，此光學調整被觀看者識別作顯示圖案。

在顯示移動影像時，液晶顯示裝置具有問題，因為液晶分子本身的長回應時間導致殘像或移動影像的模糊。為了改良液晶顯示裝置的移動影像特性，利用被稱作黑色插入的驅動方法，其中每隔一圖框週期將黑色顯示在整個螢幕上。

另一選擇是，可利用被稱作雙圖框率驅動之驅動法，其中垂直同步化頻率為平常垂直同步化頻率的 1.5 倍或更多，2 倍或更多較佳，藉以改良移動影像特性。

另外其他選擇是，為了改良液晶顯示裝置的移動影像特性，可利用驅動方法，其中複數個 LED(發光二極體)或複數個 EL 光源被用於形成平面光源作為背光，及在一圖框週期中，以脈衝方式獨立驅動平面光源的各個光源。作為平面光源，可使用三或更多種 LED，或可使用發出白光之 LED。因為可獨立控制複數個 LED，所以可與光學調變液晶層的時序同步化 LED 的光發射時序。根據此驅動方法，可部分關掉 LED；因此，特別在一螢幕上顯示具有顯示黑色的大部分之影像的例子中，可獲得降低電力消耗的效果。

組合這些驅動法，藉以與習知液晶顯示裝置的顯示特

性比較，可改良諸如移動影像特性等液晶顯示裝置的顯示特性。

在此實施例所獲得之 n 通道電晶體中，具有培育狀態之 In-Ga-Zn-O 基的膜被用於通道形成區並且具有良好的動態特性。因此，可與此實施例的 n 通道電晶體組合應用這些驅動法。

當製造發光顯示裝置時，有機發光元件的一電極（亦稱作陰極）被設定成低電源電位，諸如 GND 或 0 V 等；因此，終端部被設置有第四終端，其被設置以將陰極設定成低電源電位，諸如 GND 或 0 V 等。此外，當製造發光顯示裝置時，除了源極配線和閘極配線之外還設置供電線。因此，終端部被設置有電連接到供電線之第五終端。

經由上述步驟，可設置具有令人滿意的電特性和高可靠性之薄膜電晶體以及包括薄膜電晶體之顯示裝置。

需注意的是，此實施例所示之結構可與實施例 1 所示之結構適當組合。

(實施例 3)

在此實施例中，下面將說明將驅動器電路部的至少一部分和欲配置在像素部中之薄膜電晶體形成在一基板上的例子。

根據實施例 1 或 2 來形成欲配置在像素部中之薄膜電晶體。另外，因為實施例 1 或 2 所說明的薄膜電晶體為 n 通道 TFT，所以在驅動器電路之中可使用 n 通道 TFT 所形

成之驅動器電路的一部分係形成在與像素部之薄膜電晶體相同的基板上。

圖 11A 圖解主動矩陣式顯示裝置的方塊圖之例子。在顯示裝置中的基板 5300 上，設置像素部 5301、第一掃描線驅動器電路 5302、第二掃描線驅動器電路 5303、和信號線驅動器電路 5304。在像素部 5301 中，設置從信號線驅動器電路 5304 延伸之複數個信號線，以及從第一掃描線驅動器電路 5302 和第二掃描線驅動器電路 5303 延伸之複數個掃描線。需注意的是，在掃描線和信號線交叉的區域中，將各個具有顯示元件之像素排列成矩陣。另外，顯示裝置中的基板 5300 經由諸如撓性印刷電路 (FPC) 等連接部連接到時序控制電路 5305 (亦稱作控制器或控制 IC)。

在圖 11A 中，第一掃描線驅動器電路 5302、第二掃描線驅動器電路 5303、及信號線驅動器電路 5304 係形成在與像素部 5301 相同的基板 5300 上。因此，降低設置在外面之驅動器電路等的組件數目，藉以可達成成本降低。另外，若驅動器電路設置在基板 5300 外面，則需要延伸配線並且將增加配線的連接數目，但是藉由設置驅動器電路在基板 5300 上，可降低配線的連接數目。因此，可達成可靠性和產量提升。

需注意的是，時序控制電路 5305 供應例如第一掃描線驅動器電路起始信號 (GSP1) (起始信號亦稱作起始脈衝) 及掃描線驅動器電路時脈信號 (GCK1) 到第一掃描線驅動器電路 5302。時序控制電路 5305 供應例如第二掃描線驅動

器電路起始信號(GSP2)及掃描線驅動器電路時脈信號(GCK2)到第二掃描線驅動器電路 5303。時序控制電路 5305 供應信號線驅動器電路起始信號(SSP)、信號線驅動器電路時脈信號(SCK)、視頻信號資料(DATA, 亦簡稱作視頻信號)、及鎖定信號(LAT)到信號線驅動器電路 5304。需注意的是, 各個時脈信號可以是相位被移動之複數個時脈信號, 或者可與藉由顛倒時脈信號所獲得之反向時脈信號(CKB)一起被供應。需注意的是, 可省略第一掃描線驅動器電路 5302 和第二掃描線驅動器電路 5303 的其中之一。

圖 11B 圖解具有低驅動頻率的電路(如、第一掃描線驅動器電路 5302 和第二掃描線驅動器電路 5303)係形成在與像素部 5301 相同的基板 5300 上, 及信號線驅動器電路 5304 係形成在與像素部 5301 不同的基板 5300 上之結構。利用此結構, 形成在基板 5300 上之驅動器電路係可使用具有場效遷移率比使用單晶半導體所形成的電晶體之場效遷移率低的薄膜電晶體來形成。因此, 可達成顯示裝置的尺寸增加、步驟數目降低、成本降低、產量提高等。

實施例 1 或 2 所說明之薄膜電晶體為 n 通道 TFT。在圖 12A 及 12B 中, 將說明使用 n 通道 TFT 所形成之信號線驅動器電路的結構和操作之例子。

信號線驅動器電路包括移位暫存器 5601 和開關電路 5602。開關電路 5602 包括複數個開關電路 5602_1 至 5602_N(N 為自然數)。開關電路 5602_1 至 5602_N 各個包

括複數個薄膜電晶體 5603_1 至 5603_ k (k 為自然數)。將說明薄膜電晶體 5603_1 至 5603_ k 為 n 通道 TFT 之例子。

將藉由使用開關電路 5602_1 作為例子來說明信號線驅動器電路中的連接關係。薄膜電晶體 5603_1 至 5603_ k 的第一終端分別連接到配線 5604_1 至 5604_ k 。薄膜電晶體 5603_1 至 5603_ k 的第二終端分別連接到信號線 S1 至 S k 。薄膜電晶體 5603_1 至 5603_ k 的閘極連接到配線 5605_1。

移位暫存器 5601 具有連續輸出 H 位準信號(亦稱作 H 信號或高電源電位位準)到配線 5605_1 至 5605_ N 以及連續選擇開關電路 5602_1 至 5602_ N 之功能。

開關電路 5602_1 具有控制配線 5604_1 至 5604_ k 和信號線 S1 至 S k 之間的導電狀態(第一終端和第二終端之間的導電狀態)之功能，即、控制配線 5604_1 至 5604_ k 的電位是否供應到信號線 S1 至 S k 之功能。以此方式，開關電路 5602_1 充作選擇器。另外，薄膜電晶體 5603_1 至 5603_ k 各個具有控制配線 5604_1 至 5604_ k 和信號線 S1 至 S k 之間的導電狀態之功能，即、供應配線 5604_1 至 5604_ k 的電位到信號線 S1 至 S k 之功能。以此方式，薄膜電晶體 5603_1 至 5603_ k 的每一個充作開關。

需注意的是，視頻信號資料(DATA)被輸入到配線 5604_1 至 5604_ k 。在許多例子中，視頻信號資料(DATA)為對應於影像資料或影像信號之類比信號。

接著，參考圖 12B 的時序圖來說明圖 12A 中之信號線

驅動器電路的操作。在圖 12B 中，圖示信號 S_{out_1} 至 S_{out_N} 和信號 $Vdata_1$ 至 $Vdata_k$ 的例子。信號 S_{out_1} 至 S_{out_N} 為移位暫存器 5601 的輸出信號之例子，及信號 $Vdata_1$ 至 $Vdata_k$ 為輸入到配線 5604_1 至 5604_k 的信號之例子。需注意的是，在顯示裝置中，信號線驅動器電路的一操作週期對應於一閘極選擇週期。例如，一閘極選擇週期被分成週期 T1 至 TN。週期 T1 至 TN 為用以寫入視頻信號資料 (DATA) 到屬於選定列之像素的週期。

在週期 T1 至 TN 中，移位暫存器 5601 連續輸出 H 位準信號到配線 5605_1 至 5605_N。例如，在週期 T1 中，移位暫存器 5601 輸出 H 位準信號到配線 5605_1。然後，薄膜電晶體 5603_1 至 5603_k 被打開，使得配線 5604_1 至 5604_k 和信號線 S1 至 Sk 變成導電。在此例中，Data(S1)至 Data(Sk)分別被輸入到配線 5604_1 至 5604_k。經由薄膜電晶體 5603_1 至 5603_k，將 Data(S1)至 Data(Sk)分別輸入到第一至第 k 行之選定列中的像素。如此，在週期 T1 至 TN 中，將視頻信號資料 (DATA) 連續寫入到每一 k 行之選定列中的像素。

藉由寫入視頻信號資料 (DATA) 到每一複數個行之像素，可降低視頻信號資料 (DATA) 的數目或配線的數目。因此，可降低到外部電路之連接數目。藉由寫入視頻信號到每一複數個行之像素，可延長寫入時間，及可防止視頻信號的不充分寫入。

需注意的是，作為移位暫存器 5601 和開關電路 5602

，可使用包括實施例 1 或 2 說明之薄膜電晶體的電路。在那例子中，移位暫存器 5601 係可僅以單極電晶體來構成。

參考圖 13A 至 13C 和圖 14A 及 14B 來說明用於掃描線驅動器電路及 / 或信號線驅動器電路的部分之移位暫存器的實施例。

掃描線驅動器電路包括移位暫存器。在一些例子中，掃描線驅動器電路亦可包括位準移動器、緩衝器等。在掃描線驅動器電路中，時脈信號 (CLK) 和起始脈衝信號 (SP) 被輸入到移位暫存器，產生選擇信號。由緩衝器緩衝和放大所產生的選擇信號，及最後的信號被供應到對應的掃描線。一線路的像素中之電晶體的閘極電極連接到掃描線。因為必須突然打開一線路的像素中之電晶體，所以使用可供應大量電流之緩衝器。

移位暫存器包括第一至第 N 脈衝輸出電路 10_1 至 10_ N (N 為大於或等於 3 的自然數) (見圖 13A)。在圖 13A 所示之移位暫存器中，從第一配線 11、第二配線 12、第三配線 13、和第四配線 14 分別供應第一時脈信號 CK1、第二時脈信號 CK2、第三時脈信號 CK3、和第四時脈信號 CK4 到第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_ N 。從第五配線 15 輸入起始脈衝 SP1 (第一起始脈衝) 到第一脈衝輸出電路 10_1。輸入來自先前階段的脈衝輸出電路之信號 (此種信號被稱作先前階段信號 OUT($n-1$)) (n 為大於或等於 2 之自然數) 到第二或隨後階段的第 n 脈衝輸出電路

10_n (n 為大於或等於 2 及小於或等於 N 之自然數)。輸入來自在下一階段之後的階段之第三脈衝輸出電路 10_3 的信號到第一脈衝輸出電路 10_1 。同樣地，輸入來自在下一階段之後的階段之第 $(n+2)$ 脈衝輸出電路 10_n 的信號 (此種信號被稱作隨後階段信號 $OUT(n+2)$) 到第二或隨後階段的第 n 脈衝輸出電路 10_n 。因此，各自階段中的脈衝輸出電路輸出第一輸出信號 ($OUT(1)(SR)$ 至 $OUT(N)(SR)$)，其輸入到各自隨後階段的脈衝輸出電路及 / 或在先前階段之前的階段之脈衝輸出電路；以及第二輸出信號 ($OUT(1)$ 至 $OUT(N)$)，其輸入到其他電路等。需注意的是，如圖 13A 所示，因為隨後階段信號 $OUT(n+2)$ 未被輸入到移位暫存器的最後兩階段，所以例如可分別從第六配線 16 和第七配線 17 額外輸入第二起始脈衝 $SP2$ 和第三起始脈衝 $SP3$ 到最後兩階段的脈衝輸出電路。另一選擇是，可使用移位暫存器額外產生之信號。例如，可設置未有助於輸出脈衝到顯示部之第 $(N+1)$ 脈衝輸出電路 10_N 和第 $(N+2)$ 脈衝輸出電路 10_N (此種電路亦稱作虛擬階段)，及對應於第二起始脈衝 ($SP2$) 和第三起始脈衝 ($SP3$) 之信號係可從虛擬階段產生。

需注意的是，時脈信號 (CK) 為以規律間距在 H 位準和 L 位準 (亦稱作 L 信號或低電源電位位準) 之間交替的信號。此處，連續以 $1/4$ 循環來延遲第一時脈信號 ($CK1$) 至第四時脈信號 ($CK4$)。在此實施例中，以第一至第四時脈信號 ($CK1$) 至 ($CK4$) 控制脈衝輸出電路的驅動。需注意的是，

在一些例子中，依據輸入時脈信號之驅動器電路，時脈信號亦被稱作 GCK 或 SCK；然而，在下面說明中以 CK 表示時脈信號。

第一輸入終端 21、第二輸入終端 22、及第三輸入終端 23 分別電連接到第一至第四配線 11 至 14 的任一個。例如，在圖 13A 的第一脈衝輸出電路 10_1 中，第一輸入終端 21 電連接到第一配線 11，第二輸入終端 22 電連接到第二配線 12，及第三輸入終端 23 電連接到第三配線 13。在第二脈衝輸出電路 10_2 中，第一輸入終端 21 電連接到第二配線 12，第二輸入終端 22 電連接到第三配線 13，及第三輸入終端 23 電連接到第四配線 14。

第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_ N 的每一個都包括第一輸入終端 21、第二輸入終端 22、第三輸入終端 23、第四輸入終端 24、第五輸入終端 25、第一輸出終端 26、及第二輸出終端 27(見圖 13B)。在第一脈衝輸出電路 10_1 中，第一時脈信號 CK1 被輸入到第一輸入終端 21，第二時脈信號 CK2 被輸入到第二輸入終端 22，第三時脈信號 CK3 被輸入到第三輸入終端 23，起始脈衝被輸入到第四輸入終端 24，隨後階段信號 OUT(3)被輸入到第五輸入終端 25，從第一輸出終端 26 輸出第一輸出信號 OUT(1)(SR)，及從第二輸出終端 27 輸出第二輸出信號 OUT(1)。

接著，參考圖 13C 說明脈衝輸出電路的特定電路組態之例子。

圖 13C 所示之第一脈衝輸出電路 10_1 包括第一電晶體 31 至第十一電晶體 41。除了上述之第一輸入終端 21 至第五輸入終端 25、第一輸出終端 26、及第二輸出終端 27 之外，還從供應第一高電源電位 VDD 之供電線 51、供應第二高電源電位 VCC 之供電線 52、及供應低電源電位 VSS 之供電線 53 供應信號或電源電位到第一電晶體 31 至第十一電晶體 41。圖 13C 中之供電線之電源電位的關係如下：第一電源電位 VDD 高於或等於第二電源電位 VCC ，及第二電源電位 VCC 高於第三電源電位 VSS 。需注意的是，第一時脈信號 (CK1) 至第四時脈信號 (CK4) 各個以規律間距在 H 位準和 L 位準之間交替；H 位準中的時脈信號為 VDD ，及 L 位準中的時脈信號為 VSS 。藉由使供電線 51 的電位 VDD 高於供電線 52 的電位 VCC ，可降低施加到電晶體的閘極電極之電位，可降低電晶體的臨界電壓之移動，及可抑制電晶體的退化，卻不會對電晶體的操作有不利影響。

在圖 13C 中，第一電晶體 31 的第一終端電連接到供電線 51，第一電晶體 31 的第二終端電連接到第九電晶體 39 的第一終端，及第一電晶體 31 的閘極電極電連接到第四輸入終端 24。第二電晶體 32 的第一終端電連接到供電線 53，第二電晶體 32 的第二終端電連接到第九電晶體 39 的第一終端，及第二電晶體 32 的閘極電極電連接到第四電晶體 34 的閘極電極。第三電晶體 33 的第一終端電連接到第一輸入終端 21，及第三電晶體 33 的第二終端電連接

到第一輸出終端 26。第四電晶體 34 的第一終端電連接到供電線 53，及第四電晶體 34 的第二終端電連接到第一輸出終端 26。第五電晶體 35 的第一終端電連接到供電線 53，第五電晶體 35 的第二終端電連接到第二電晶體 32 的閘極電極和第四電晶體 34 的閘極電極，及第五電晶體 35 的閘極電極電連接到第四輸入終端 24。第六電晶體 36 的第一終端電連接到供電線 52，第六電晶體 36 的第二終端電連接到第二電晶體 32 的閘極電極和第四電晶體 34 的閘極電極，及第六電晶體 36 的閘極電極電連接到第五輸入終端 25。第七電晶體 37 的第一終端電連接到供電線 52，第七電晶體 37 的第二終端電連接到第八電晶體 38 的第二終端，及第七電晶體 37 的閘極電極電連接到第三輸入終端 23。第八電晶體 38 的第一終端電連接到第二電晶體 32 的閘極電極和第四電晶體 34 的閘極電極，及第八電晶體 38 的閘極電極電連接到第二輸入終端 22。第九電晶體 39 的第一終端電連接到第一電晶體 31 的第二終端和第二電晶體 32 的第二終端，第九電晶體 39 的第二終端電連接到第三電晶體 33 的閘極電極和第十電晶體 40 的閘極電極，及第九電晶體 39 的閘極電極電連接到電連接到供電線 52。第十電晶體 40 的第一終端電連接到第一輸入終端 21，第十電晶體 40 的第二終端電連接到第二輸出終端 27，及第十電晶體 40 的閘極電極電連接到第九電晶體 39 的第二終端。第十一電晶體 41 的第一終端電連接到供電線 53，第十一電晶體 41 的第二終端電連接到第二輸出終端 27，及

第十一電晶體 41 的閘極電極電連接到第二電晶體 32 的閘極電極和第四電晶體 34 的閘極電極。

在圖 13C 中，連接第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極、及第九電晶體 39 的第二終端之部位被稱作節點 A。而且，連接第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二終端、第六電晶體 36 的第二終端、第八電晶體 38 的第一終端、及第十一電晶體 41 的閘極電極之部位被稱作節點 B(見圖 14A)。

圖 14A 圖解在圖 13C 所示之脈衝輸出電路被應用到第一脈衝輸出電路 10_1 時被輸入到或者從第一輸入終端 21 輸出到第五輸入終端 25 和第一輸出終端 26 和第二輸出終端 27 之信號。

尤其是，第一時脈信號 CK1 被輸入到第一輸入終端 21，第二時脈信號 CK2 被輸入到第二輸入終端 22，第三時脈信號 CK3 被輸入到第三輸入終端 23，起始脈衝被輸入到第四輸入終端 24，隨後階段信號 OUT(3)被輸入到第五輸入終端 25，從第一輸出終端 26 輸出第一輸出信號 OUT(1)(SR)，及從第二輸出終端 27 輸出第二輸出信號 OUT(1)。

需注意的是，薄膜電晶體為具有閘極、汲極、和源極至少三終端之元件。另外，薄膜電晶體具有包括形成在與閘極重疊之區域中之通道區的半導體。可藉由控制閘極的電位來控制經過通道區之在汲極和源極之間流動的電流。

此處，因為可依據薄膜電晶體的結構、操作條件等來改變薄膜電晶體的源極和汲極，所以難以界定哪一個是源極還是汲極。因此，在一些例子中，充作源極或汲極之區域未被稱作源極或汲極。在那例子中，此種區域可被分別稱作第一終端和第二終端。

圖 14B 圖解圖 14A 所示之包括複數個脈衝輸出電路的移位暫存器之時序圖。需注意的是，當移位暫存器包括在掃描線驅動器電路中時，圖 14B 中的週期 61 對應於垂直折返週期，而週期 62 對應於閘極選擇週期。

需注意的是，如圖 14A 所示，藉由設置施加第二電源電位 V_{CC} 到閘極電極之第九電晶體 39，可提供下面啟動程式操作前後的優點。

在沒有設置施加第二電源電位 V_{CC} 到閘極電極的第九電晶體 39 之下，以啟動程式操作提高節點 A 的電位之例子中，第一電晶體 31 的第二終端之源極的電位上升至高於第一電源電位 V_{DD} 。然後，將第一電晶體 31 的源極切換到第一終端側，即、供電線 51 側上的終端。結果，在第一電晶體 31 中，高偏壓被施加，並且因此明顯的應力施加在閘極和源極之間以及在閘極和汲極之間，導致電晶體的退化。反之，在設置施加第二電源電位 V_{CC} 到閘極電極的第九電晶體 39 之例子中，在以啟動程式操作提高節點 A 的電位同時，可防止第一電晶體 31 的第二終端之電位增加。也就是說，藉由設置第九電晶體 39，施加在第一電晶體 31 的閘極和源極之間的負偏壓可被降低。如

此，此實施例的電路組態可降低施加在第一電晶體 31 的閘極和源極之間的負偏壓，使得能夠抑制由於應力所導致之第一電晶體 31 的退化。

需注意的是，只要第九電晶體 39 的第一終端和第二終端連接在第一電晶體 31 的第二終端和第三電晶體 33 的閘極之間，可設置第九電晶體 39。需注意的是，在此實施例之包括複數個脈衝輸出電路的移位暫存器之例子中，在階段數目比掃描線驅動器電路多之掃描線驅動器電路中，可省略第九電晶體 39，如此降低電晶體數目。

需注意的是，具有培育狀態之 In-Ga-Zn-O 基的膜被用於第一電晶體 31 至第十一電晶體 41 的半導體層；如此，在薄膜電晶體中，可降低關閉狀態電流，可增加開啓狀態電流和場效遷移率，及可降低退化的程度。結果，可降低電路的故障。而且，由於施加高電位到閘極電極所導致之電晶體的退化程度，其通道形成區包括具有培育狀態之 In-Ga-Zn-O 基的膜之電晶體小於使用非晶矽的電晶體。結果，甚至當第一電源電位 VDD 被供應到供應第二電源電位 VCC 之供電線時，仍可獲得類似操作，及可降低位在電路之間的供電線數目；如此，可降低電路的尺寸。

需注意的是，甚至當連接關係被改變，使得經由第三輸入終端 23 供應到第七電晶體 37 的閘極電極之時脈信號為經由第二輸入終端 22 供應到第八電晶體 38 的閘極電極之時脈信號被分別從第二輸入終端 22 和第三輸入終端 23 供應時，仍可獲得類似功能。在圖 14A 所示之移位暫存器

中，第七電晶體 37 和第八電晶體 38 的狀態被改變，使得第七電晶體 37 和第八電晶體 38 兩者都開，然後第七電晶體 37 被關掉及第八電晶體 38 開著，然後第七電晶體 37 及第八電晶體 38 關掉；如此，由於第二輸入終端 22 和第三輸入終端 23 的電位下降所導致之節點 B 的電位下降由於第七電晶體 37 的閘極電極之電位下降和第八電晶體 38 的閘極電極之電位下降而發生兩次。反之，當圖 14A 所示的移位暫存器中之第七電晶體 37 和第八電晶體 38 的狀態被改變，使得第七電晶體 37 和第八電晶體 38 兩者都開，然後第七電晶體 37 開著及第八電晶體 38 被關掉，然後第七電晶體 37 及第八電晶體 38 關掉時，由於第二輸入終端 22 和第三輸入終端 23 的電位下降所導致之節點 B 的電位下降能夠由於第八電晶體 38 的閘極電極之電位下降而降低成一次。結果，從第三輸入終端 23 供應時脈信號 CK3 到第七電晶體 37 的閘極電極以及從第二輸入終端 22 供應時脈信號 CK2 到第八電晶體 38 的閘極電極之連接關係較佳。那是因為可降低節點 B 的電位變化次數，以及可減少雜訊。

以此種方式，在第一輸出終端 26 和第二輸出終端 27 的電位保持在 L 位準期間週期中，H 位準信號被規律地供應到節點 B；如此，可抑制脈衝輸出電路的故障。

(實施例 4)

能夠製造實施例 1 及 2 所說明之薄膜電晶體；以及具

有在像素部中亦在驅動器部中使用薄膜電晶體之顯示功能的半導體裝置(亦稱作顯示裝置)。而且，可將實施例 1 及 2 所說明之使用薄膜電晶體之驅動器電路部的一部分或整個驅動器電路部形成在形成像素部之基板上，藉以可獲得面板系統。

顯示裝置包括顯示元件。顯示元件的例子包括液晶元件(亦稱作液晶顯示元件)和發光元件(亦稱作發光顯示元件)。發光元件在其種類中包括亮度受電流或電壓控制之元件，及尤其是包括無機電致發光(EL)元件、有機 EL 元件等。而且，可使用諸如電子墨水等藉由電作用改變反差之顯示媒體。

此外，顯示裝置包括密封顯示元件之面板；以及將包括控制器之 IC 等安裝在面板上的模組。而且，在顯示裝置的製造處理中完成顯示元件之前對應於一實施例的元件基板被設置有用以供應電流到複數個像素的每一個中的顯示元件之單元。尤其是，元件基板可在只有形成顯示元件的像素電極之狀態，在形成欲成為像素電極的導電膜之後和蝕刻導電膜之前使得像素電極被形成的狀態，或者任何其他狀態中。

需注意的是，此說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源(包括照明裝置)。另外，顯示裝置包括下面模組在其種類中：包括連接器等模組，諸如撓性印刷電路(FPC)、捲帶式自動接合(TAB)捲帶、或捲帶式載子封裝(TCP)等；具有被設置有印刷配線板在其端部的

TAB 捲帶或 TCP 之模組；以及具有藉由玻璃上晶片(COG)法直接安裝在顯示元件上的積體電路(IC)之模組。

在此實施例中，將參考圖 15A1、15A2、及 15B 說明半導體裝置的實施例之液晶顯示面板的外觀和橫剖面。圖 15A1 及 15A2 為利用密封劑 4005 將形成在第一基板 4001 上之薄膜電晶體 4010 及薄膜電晶體 4011 和液晶顯示元件 4013 密封在第一基板 4001 和第二基板 4006 之間的面板之俯視圖。在薄膜電晶體 4010 和薄膜電晶體 4011 中，它們每一個之通道形成區都包括實施例 1 及 2 所說明的具有培育狀態之 In-Ga-Zn-O 基的膜。圖 15B 為沿著圖 15A1 及 15A2 中的線 M-N 所取之橫剖面圖。

密封劑 4005 被設置成圍繞設置在第一基板 4001 上之像素部 4002 和掃描線驅動器電路 4004。第二基板 4006 被設置在像素部 4002 和掃描線驅動器電路 4004 上。結果，藉由第一基板 4001、密封劑 4005、及第二基板 4006，將像素部 4002 和掃描線驅動器電路 4004 與液晶層 4008 密封在一起。使用分開備製的基板上之單晶半導體膜或複晶半導體膜所形成之信號線區驅動器電路 4003 被安裝在不同於由第一基板 4001 上之密封劑 4005 所包圍的區域之區域中。

需注意的是，並不特別限制分開形成之驅動器電路的連接方法，可使用 COG 法、佈線接合法、TAB 法等。圖 15A1 圖解藉由 COG 法安裝信號線驅動器電路 4003 之例子。圖 15A2 圖解藉由 TAB 法安裝信號線驅動器電路 4003

之例子。

設置在第一基板 4001 上之像素部 4002 和掃描線驅動器電路 4004 各個包括複數個薄膜電晶體。圖 15B 圖解包括在像素部 4002 中之薄膜電晶體 4010 以及包括在掃描線驅動器電路 4004 中之薄膜電晶體 4011 作為例子。絕緣層 4020 和絕緣層 4021 被設置在薄膜電晶體 4010 及薄膜電晶體 4011 上。

其每一個的通道形成區都包括 In-Ga-Zn-O 基的膜之實施例 1 及 2 所說明的薄膜電晶體可被使用作為薄膜電晶體 4010 和薄膜電晶體 4011。在此實施例中，薄膜電晶體 4010 和薄膜電晶體 4011 為 n 通道薄膜電晶體。

導電層 4040 係設置在絕緣層 4044 的一部分上，以與用於驅動器電路的薄膜電晶體 4011 之氧化物半導體層的通道形成區重疊。可在與像素電極層 4030 相同步驟中使用相同材料形成導電層 4040。導電層 4040 被設置成與氧化物半導體層的通道形成區重疊，藉以可降低在 BT 測試之前和之後的薄膜電晶體 4011 之臨界電壓的變化量。導電層 4040 的電位可與薄膜電晶體 4011 的閘極電極層之電位相同或不同。導電層 4040 亦可充作第二閘極電極層。另一選擇是，導電層 4040 的電位可以是 GND，0 V，或者導電層 4040 可在浮動狀態中。

包括在液晶元件 4013 中的像素電極層 4030 電連接到薄膜電晶體 4010。液晶元件 4013 的相對電極層 4031 係形成在第二基板 4006 上。像素電極層 4030、相對電極層

4031、及液晶層 4008 彼此重疊之部位對應於液晶元件 4013。需注意的是，像素電極層 4030 和相對電極層 4031 被分別設置有充作對準膜之絕緣層 4032 和絕緣層 4033，及利用絕緣層 4032 及 4033 在其間，液晶層 4008 被插入在像素電極層 4030 和相對電極層 4031 之間。需注意的是，雖然未圖示，但是濾色器可設置在第一基板 4001 側上或者在第二基板 4006 側上。

需注意的是，第一基板 4001 和第二基板 4006 係可使用玻璃、金屬(典型上為不銹鋼)、陶瓷、或塑膠來形成。作為塑膠，可使用玻璃纖維強化塑膠(FRP)板、聚(乙烯氟)(PVF)膜、聚酯膜、或丙烯酸樹脂膜。此外，亦可使用具有鋁箔夾置在 PVF 膜或聚酯膜之間的結構之薄片。

以參考號碼 4035 表示之圓柱間隔物係藉由選擇性蝕刻絕緣膜所獲得，並且被設置以控制像素電極層 4030 和相對電極層 4031 之間的距離(單元間隙)。需注意的是，可使用球狀間隔物。相對電極層 4031 電連接到形成在與薄膜電晶體 4010 相同之基板上的共同電位線。可藉由使用共同連接部，經由排列在一對基板之間的導電粒子，將相對電極層 4031 和共同電位線彼此電連接。需注意的是，導電粒子包括在密封劑 4005 中。

另一選擇是，可使用不需要對準膜之展現藍相的液晶。藍相為液晶相位的一種，其僅產生在於提高膽固醇液晶相的溫度同時膽固醇相變成各向同性相之前。因為藍相產生在相當窄的溫度範圍內，所以含有 5 wt%或更多之對掌

性作用物的液晶組成被用於液晶層 4008，以提高溫度範圍。包括展現藍相之液晶和對掌性作用物的液晶組成具有 10 μsec 至 100 μsec (含)的短反應時間，及在光學上是各向同性的，如此不需要對準處理，及視角相依性小。需注意的是，在使用藍相之例子中，本發明的實施例並不侷限於圖 15A1、15A2、及 15B 的結構，及可利用所謂的水平電場模式的結構，其中對應於相對電極層 4031 的電極層係形成在基板側上，形成像素電極層 4030 之基板。

需注意的是，雖然此實施例圖示透射式液晶顯示裝置的例子，但是本發明亦可應用到反射式液晶顯示裝置或半穿透式液晶顯示裝置。

說明此實施例之液晶顯示裝置的例子，其中極化板設置在基板的外表面上(在觀看者側上)，而用於顯示元件之著色層和電極層係以此順序設置在基板的內表面上；然而，極化板可設置在基板的內表面上。極化板和著色層的堆疊結構並不侷限於此實施例，而可依據極化板和著色層的材料或者製造處理的條件來適當設定。另外，可設置充作黑色矩陣之阻光膜。

在此實施例中，為了降低薄膜電晶體的表面粗糙，以及提高薄膜電晶體的可靠性，可將實施例 2 所獲得之薄膜電晶體覆蓋有充作保護膜之絕緣層或平面化絕緣膜(絕緣層 4020 和絕緣層 4021)。需注意的是，保護膜被設置用以防止存在於空氣中之諸如有機物質、金屬、或濕氣等污染雜質進入，並且是濃密膜較佳。可利用濺鍍法，以氧化矽

膜、氮化矽膜、氮氧化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、及/或氧氮化鋁膜的單層或疊層來形成保護膜。雖然此實施例說明以濺鍍法形成保護膜之例子，但是本發明並不侷限於此方法，而可利用各種方法。

在此實施例中，具有堆疊結構之絕緣層 4020 被形成作為保護膜。此處，以濺鍍法形成氧化矽膜作為絕緣層 4020 的第一層。使用氧化矽膜作為保護膜具有防止被使用作為源極電極層和汲極電極層之鋁膜的小丘之效果。

形成絕緣層作為保護膜的第二層。此處，以濺鍍法形成氮化矽膜作為絕緣層 4020 的第二層。使用氮化矽膜作為保護膜可防止鈉的行動離子進入半導體區，使得 TFT 的電特性變化可被抑制。

在形成保護膜之後，可在氧化物半導體層上執行退火 (300°C 至 400°C (含))。

絕緣層 4021 被形成作為平面化絕緣膜。絕緣層 4021 係可使用諸如聚醯亞胺、丙烯酸樹脂、苯環丁烯基的樹脂、聚醯胺、或環氧樹脂等之具有耐熱性的有機材料來形成。除了此種有機材料之外，亦能夠使用低介電常數材料 (低 k 材料)、矽氧烷基的樹脂、磷矽酸鹽玻璃 (PSG)、硼磷矽酸鹽玻璃 (BPSG) 等。需注意的是，絕緣層 4021 係可藉由堆疊使用這些材料所形成之複數個絕緣膜來形成。

需注意的是，矽氧烷基的樹脂對應於包括使用矽氧烷基的材料作為起始材料所形成之 Si-O-Si 鍵的樹脂。矽氧烷基的樹脂可包括有機基 (如、烷基或芳香族羥基) 作為取

代基。另外，有機基可包括氟基。

不特別限制形成絕緣層 4021 之方法。依據材料，絕緣層 4021 係可藉由諸如濺鍍、SOG 法、旋轉塗佈法、浸泡法、噴灑塗佈法、或微滴排放法(如、噴墨法、絲網印刷、或膠版印刷)等方法，或者諸如刮刀、滾輪塗佈機、簾幕式塗佈機、或刀式塗佈機等工具來形成。在使用材料溶液形成絕緣層 4021 之例子中，可與烘烤步驟相同時間，在氧化物半導體層上執行退火(以 300℃ 至 400℃ (含))。烘烤絕緣層 4021 的步驟亦充作氧化物半導體層的退火步驟，藉以能夠有效率地製造半導體裝置。

像素電極層 4030 和相對電極層 4031 係可使用透光導電材料來形成，諸如含氧化錫的氧化銦、含氧化錫的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫(ITO)、氧化銦鋅、或添加氧化矽之氧化銦錫等。

另一選擇是，可使用包括導電高分子的導電組成(亦稱作導電聚合物)來形成像素電極層 4030 及相對電極層 4031。使用導電組成所形成之像素電極具有 10,000 Ω /平方或更低之薄片電阻，以及在波長 550 nm 下 70% 或更高之透射比較佳。另外，包括在導電組成中之導電高分子的電阻率低於或等於 0.1 $\Omega \cdot \text{cm}$ 較佳。

作為導電高分子，可使用所謂的 π 電子共軛導電高分子。可給定聚苯胺及其衍生物、聚吡咯及其衍生物、聚噻吩及其衍生物、這些導電高分子之兩或更多種的共聚合物等。

另外，經由 FPC 4018，將各種信號和電位供應到分開形成之信號線驅動器電路 4003、掃描線驅動器電路 4004、和像素部 4002。

在此實施例中，連接終端電極 4015 係使用與包括在液晶元件 4013 中的像素電極層 4030 相同之導電膜所形成，及終端電極 4016 係使用與薄膜電晶體 4010 及 4011 的源極電極層和汲極電極層相同之導電膜所形成。

經由各向異性導電膜 4019，將連接終端電極 4015 電連接到包括在 PFC 4018 中的的終端。

需注意的是，圖 15A1、15A2、及 15B 圖解信號線驅動器電路 4003 被分開形成及安裝在第一基板 4001 上之例子；然而，此實施例並不侷限於此結構。掃描線驅動器電路可被分開形成及然後安裝，或者只有信號線驅動器電路的一部分或掃描線驅動器電路的一部分被分開形成及然後安裝。

圖 16 圖解液晶顯示模組的例子，其被形成作為使用設置有應用實施例 1 及 2 所說明之 TFT 所製造的 TFT 之基板(即、TFT 基板 2600)的半導體裝置。

圖 16 圖解液晶顯示模組的例子，其中以密封劑 2602 將 TFT 基板 2600 和相對基板 2601 彼此固定，及包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、及著色層 2605 等被設置，以形成顯示區。此外，TFT 基板 2600 和相對基板 2601 被分別設置有極化板 2607 和極化板 2606。需要著色層 2605 來執行彩色顯示。在 RGB 系統中，對

應於紅、綠、及藍的顏色之著色層被設置給像素。極化器 2606、極化板 2607、和擴散板 2613 被設置在 TFT 基板 2600 和相對基板 2601 外側上。光源包括冷陰極管 2610 及反射板 2611。電路板 2612 經由撓性配線板 2609 連接到 TFT 基板 2600 的配線電路部 2608，及包括諸如控制電路或電源電路等外部電路。可藉由減速板在其間而堆疊極化器和液晶層。

就液晶顯示模組而言，可使用扭轉向列(TN)模式、平面轉換(IPS)模式、邊界電場轉換(FFS)模式、多域垂直對準(MVA)模式、圖案化垂直對準(PVA)模式、軸向對稱對準微胞(ASM)模式、光學補償雙折射(OCB)模式、鐵電液晶(FLC)模式、反鐵電液晶(AFLC)模式等。

經由上述步驟，可製造高度可靠的液晶顯示面板作為半導體裝置。

需注意的是，此實施例所示之結構可與其他實施例所示之結構適當組合。

(實施例 5)

在此實施例中，將說明發光顯示裝置的例子作為應用實施例 1 及 2 所說明之薄膜電晶體的半導體裝置。作為包括在顯示裝置中之顯示元件，此處說明利用電致發光之發光元件。利用電致發光之發光元件係根據發光材料是有機化合物或無機化合物來分類。通常，前者被稱作有機 EL 元件，而後者被稱作無機 EL 元件。

在有機 EL 元件中，藉由施加電壓到發光元件，從一對電極注射電子和電洞到含有發光有機化合物之層，及電流流動。這些載子(電子和電洞)被重組，及因此發光有機化合物發光。由於此種機制，此發光元件被稱作電流激勵發光元件。

根據其元件結構將無機 EL 元件分類成分散型無機 EL 元件和薄膜無機 EL 元件。分散型無機 EL 元件包括發光材料的粒子分散在結合劑中之發光層，及其光發射機制為利用施體位準和受體位準之施體受體重組型光發射。薄膜無機 EL 元件具有發光層夾置在介電層之間，而介電層另外插入在電極之間的結構，及其光發射機制為利用金屬離子的內殼層電子過渡之局部型光發射。此處需注意的是，說明有機 EL 元件作為發光元件。

圖 17 圖解可應用數位時間灰階驅動之像素結構的例子作為應用本發明之半導體裝置的例子。

說明可應用數位時間灰階驅動之像素的結構和操作。此處，一像素包括實施例 1 及 2 所說明之兩 n 通道電晶體，它們每一個的通道形成區都包括具有培育狀態之氧化物半導體層(In-Ga-Zn-O 基的膜)。

像素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404、及電容器 6403。開關電晶體 6401 的閘極連接到掃描線 6406。開關電晶體 6401 的第一電極(源極電極和汲極電極的其中之一)連接到信號線 6405。開關電晶體 6401 的第二電極(源極電極和汲極電極的其中另一個)連

接到驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極經由電容器 6403 連接到電源線 6407。驅動電晶體 6402 的第一電極連接到電源線 6407。驅動電晶體 6402 的第二電極連接到發光元件 6404 的第一電極(像素電極)。發光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接到形成在同一基板上之共同電位線。

發光元件 6404 的第二電極(共同電極 6408)被設定成低電源電位。需注意的是，當被設定成供電線 6407 之高電源電位為參考時，低電源電位低於被設定成供電線 6407 之高電源電位。例如，可設定 GND、0 V 作為低電源電位。高電源電位和低電源電位之間的電位差被應用到發光元件 6404，使得電流流經發光元件 6404，藉以發光元件 6404 發光。為了使發光元件 6404 發光，各個電位被設定成高電源電位和低電源電位之間的電位差高於或等於發光元件 6404 的正向臨界電壓。

需注意的是，驅動電晶體 6402 的閘極電容可被使用作為電容器 6403 的替代物，使得可省略電容器 6403。驅動電晶體 6402 的閘極電容係可形成在通道區和閘極電極之間。

在利用電壓輸入電壓驅動法之例子中，視頻信號被輸入到驅動電晶體 6402 的閘極，使得驅動電晶體 6402 是在完全打開或完全關掉之兩狀態的其中之一。也就是說，驅動器電晶體 6402 在直線區中操作。因為驅動電晶體 6402 在直線區中操作，所以高於供電線 6407 的電壓之電壓被

施加到驅動電晶體 6402 的閘極。需注意的是，高於或等於下面的電壓被施加到信號線 6405：供應線的電壓+驅動電晶體 6402 的 V_{th} 。

在利用類比灰階驅動取代數位時間灰階驅動之例子中，藉由改變信號輸入，可利用與圖 17 相同的像素結構。

在執行類比灰階驅動之例子中，高於或等於下面之電壓施加到驅動電晶體 6402 的閘極：發光元件 6404 的正向電壓+驅動電晶體 6402 的 V_{th} 。發光元件 6404 的正向電壓表示獲得想要亮度之電壓，及包括至少正向臨界電壓。在飽和區域中操作驅動電晶體 6402 之視頻訊號被輸入，使得電流能夠被供應到發光元件 6404。爲了在飽和區域中操作驅動電晶體 6402，供電線 6407 的電位被設定高於驅動電晶體 6402 的閘極電位。當使用類比視頻信號時，對應於視頻信號之電流可被供應到發光元件 6404，使得能夠執行類比灰階驅動。

需注意的是，像素結構並不侷限於圖 17 所示者。例如，開關、電阻氣、電容器、電晶體、邏輯電路等可添加到圖 17 所示之像素結構。

接著，將參考圖 18A 至 18C 說明發光元件的結構。此處所說明的是藉由採用用以驅動發光元件之 TFT 爲 n 通道 TFT 的例子作爲例子之像素的橫剖面結構。充作用以驅動圖 18A、18B、及 18C 所示之半導體裝置所使用的發光元件之 TFT 的 TFT 7001、7011、及 7021 係可以類似於實施例 1 及 2 所說明薄膜電晶體的方法之方法來形成。也就是

說，TFT 7001、7011、及 7021 為薄膜電晶體，它們每一個的通道形成區都包括具有培育狀態之 In-Ga-Zn-O 基的膜。使用其各個都包括具有培育狀態之 In-Ga-Zn-O 基的膜之通道形成區，藉以可實現具有發光元件的半導體裝置之低電力消耗。

爲了析取從發光元件發出的光，需要陽極和陰極的至少其中之一來透射光。薄膜電晶體和發光元件係形成在基板上。發光元件可具有頂發射結構，其中經由與基板相反的表面來析取光；底發射結構，其中經由基板側上的表面來析取光；或雙發射結構，其中經由與基板相反的表面和基板側上的表面來析取光。圖 17 所示之像素結構可被應用到具有這些發射結構的任一個之發光元件。

接著，參考圖 18A 說明具有底發射結構之發光元件。

圖 18A 爲用以驅動發光元件之 TFT 7011 爲 n 通道 TFT 並且從發光元件 7012 發出光到第一電極 7013 側的例子之像素的橫剖面圖。在圖 18A 中，發光元件 7012 的第一電極 7013 係形成在電連接到用以驅動發光元件的 TFT 7011 之汲極電極層之透光導電膜 7017 上，及 EL 層 7014 和第二電極 7015 以此順序堆疊在第一電極 7013 上。

作爲透光導電膜 7017，可使用諸如含有氧化鎢之氧化銦、含有氧化鎢之氧化銦鋅、含有氧化鈦之氧化銦、含有氧化鈦之氧化銦錫、氧化銦錫 (ITO)、氧化銦鋅、或添加氧化矽之氧化銦錫的膜之膜等的透光導電膜。

各種材料的任一個可被用於發光元件的第一電極 7013

。例如，在使用第一電極 7013 作為陰極的例子中，較佳的是，使用具有低功函數之材料，尤其是，例如諸如 Li(鋰)或 Cs(銻)等鹼性金屬；諸如 Mg(鎂)、Ca(鈣)、或 Sr(銦)等鹼性土金屬；含這些金屬的任一個之合金(如、Mg: Ag 或 Al: Li)；或諸如 Yb(鐿)或 Er(鉕)等稀土金屬。在圖 18A 中，第一電極 7013 被形成具有可透射光之厚度(約 5 nm 至 30 nm 較佳)。例如，具有厚度 20 nm 之鋁膜被使用作為第一電極 7013。

另一選擇是，透光導電膜和鋁膜可被堆疊，然後可被選擇性蝕刻，以形成透光導電膜 7017 和第一電極 7013。在此例中，可使用同一遮罩來執行蝕刻較佳。

另外，可將第一電極 7013 的周邊覆蓋有隔牆 7019。隔牆 7019 係使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等有機樹脂膜、無機絕緣膜、或有機聚矽氧烷來形成。隔牆 7019 係使用光敏樹脂材料來形成，以具有開口部在第一電極 7013 上，使得開口部的側壁被形成作為具有連續曲率之傾斜表面尤其佳。當使用光敏樹脂材料形成隔牆 7019 時，可省略形成抗蝕遮罩之步驟。

形成在第一電極 7013 和隔牆 7019 上之 EL 層 7014 可包括至少發光層，並且係可使用單層或堆疊的複數層來形成。當使用複數個層形成 EL 層 7014 時，EL 層 7014 係在充作陰極的第一電極 7013 上，以電子注射層、電子運送層、發光層、電洞運送層、及電洞注射層之順序加以堆疊來形成。需注意的是，除了發光層之外，並非所有這些層

都必須設置。

此外，堆疊順序並不侷限於上述堆疊層的順序；即、第一電極 7013 可充作陽極，及 EL 層 7014 係可在第一電極 7013 上以電洞注射層、電洞運送層、發光層、電子運送層、及電子注射層的順序加以堆疊來形成。需注意的是，當將電力消耗對比時，使第一電極 7013 能夠充作陰極，及在第一電極 7013 上以電子注射層、電子運送層、發光層、電洞運送層、及電洞注射層之順序加以堆疊，使得可抑制驅動器電路部的電壓增加，如此可降低電力消耗，如此較佳。

各種材料的任一個可被用於形成在 EL 層 7014 上之第二電極 7015。例如，在使用第二電極 7015 作為陽極之例子中，具有高功函數之材料較佳，其例子為 ZrN、Ti、W、Ni、Pt、Cr，及諸如 ITO、IZO、及 ZnO 等透光導電材料。另外，在第二電極 7015 上，阻光膜 7016 係使用例如阻隔光之金屬或反射光之金屬來形成。在此實施例中，ITO 膜被使用作為第二電極 7015，及 Ti 膜被使用作為阻光膜 7016。

發光元件 7012 對應於包括發光層之 EL 層 7014 夾置在第一電極 7013 和第二電極 7015 之間的區域。在圖 18A 所示之元件結構的例子中，從發光元件 7012 發出光到第一電極 7013 側，如箭頭所示。

需注意的是，在圖 18A 中，從發光元件 7012 發出的光通過濾色器層 7033，然後通過第二閘極絕緣層 7031、

第一閘極絕緣層 7030、和基板 7010，以發出到外面。

使用光致微影技術，以諸如噴墨法等微滴排放法、印刷法、蝕刻法來形成濾色器層 7033。

濾色器層 7033 被覆蓋有外套層 7034，亦被覆蓋有保護絕緣層 7035。需注意的是，雖然在圖 18A 中外套層 7034 被圖解成具有小的厚度，但是藉由使用諸如丙烯酸樹脂等樹脂材料，外套層 7034 具有降低由於濾色器層 7033 所導致之不平均的功能。

形成在第二閘極絕緣層 7031、絕緣層 7032、濾色器層 7033、外套層 7034、及保護絕緣層 7035 中並且到達汲極電極層之接觸孔是在與隔牆 7019 重疊之位置中。

接著，參考圖 18B 說明具有雙發射結構之發光元件。

在圖 18B 中，發光元件 7022 的第一電極 7023 係形成在電連接到用以驅動發光元件之 TFT 7021 的汲極電極層之透光導電膜 7027 上，及 EL 層 7024 和第二電極 7025 以此順序堆疊在第一電極 7023 上。

作為透光導電膜 7027，可使用諸如含有氧化鎢之氧化銦、含有氧化鎢之氧化銦鋅、含有氧化鈦之氧化銦、含有氧化鈦之氧化銦錫、氧化銦錫 (ITO)、氧化銦鋅、或添加氧化矽之氧化銦錫的膜之膜等的透光導電膜。

各種材料的任一個可被用於第一電極 7023。例如，在使用第一電極 7023 作為陰極的例子中，較佳的是，使用具有低功函數之材料，尤其是，例如諸如 Li(鋰)或 Cs(銫)等鹼性金屬；諸如 Mg(鎂)、Ca(鈣)、或 Sr(銦)等鹼性土金

極 7023 上以電洞注射層、電洞運送層、發光層、電子運送層、及電子注射層的順序加以堆疊來形成。需注意的是，當將電力消耗對比時，使第一電極 7023 能夠充作陰極，及在第一電極 7023 上以電子注射層、電子運送層、發光層、電洞運送層、及電洞注射層之順序加以堆疊，使得可抑制驅動器電路部的電壓增加，如此可降低電力消耗，如此較佳。

各種材料的任一個可被用於形成在 EL 層 7024 上之第二電極 7025。例如，在使用第二電極 7025 作為陽極之例子中，具有高功函數之材料較佳，其例子為諸如 ITO、IZO、及 ZnO 等透光導電材料。在此實施例中，使用陽極作為第二電極 7025，及形成含有氧化矽之 ITO 膜。

發光元件 7022 對應於包括發光層之 EL 層 7024 夾置在第一電極 7023 和第二電極 7025 之間的區域。在圖 18B 所示之元件結構的例子中，從發光元件 7022 發出光到第一電極 7023 側和第二電極 7025 側二者，如箭頭所示。

需注意的是，在圖 18B 中，從發光元件 7022 發出到第一電極 7023 的光通過濾色器層 7043，然後通過第二閘極絕緣層 7041、第一閘極絕緣層 7040、和基板 7020，以發出到外面。

以諸如噴墨法等微滴排放法、印刷法、光致微影技術、蝕刻法等來形成濾色器層 7043。

濾色器層 7043 被覆蓋有外套層 7044，亦被覆蓋有保護絕緣層 7045。

形成在第二閘極絕緣層 7041、絕緣層 7042、濾色器層 7043、外套層 7044、及保護絕緣層 7045 中並且到達汲極電極層之接觸孔是在與隔牆 7029 重疊之位置中。

需注意的是，當使用具有雙發射結構之發光元件並且在顯示表面二者上執行全彩顯示時，來自第二電極 7025 側的光未通過濾色器層 7043；因此，設置有另一濾色器層的密封基板係設置在第二電極 7025 上較佳。

接著，參考圖 18C 說明具有頂發射結構之發光元件。

圖 18C 為用以驅動發光元件之 TFT 7001 為 n 通道 TFT 並且從發光元件 7002 發出光到第二電極 7005 側的例子之像素的橫剖面圖。在圖 18C 中，形成電連接到用以驅動發光元件之 TFT 7001 的汲極電極層之發光元件 7002 的第一電極 7003，及 EL 層 7004 和第二電極 7005 以此順序堆疊在第一電極 7003 上。

各種材料的任一個可被用於第一電極 7003。例如，在使用第一電極 7003 作為陰極的例子中，較佳的是，使用具有低功函數之材料，尤其是，例如諸如 Li(鋰)或 Cs(鉍)等鹼性金屬；諸如 Mg(鎂)、Ca(鈣)、或 Sr(銦)等鹼性土金屬；含這些金屬的任一個之合金(如、Mg:Ag 或 Al:Li)；或諸如 Yb(鐿)或 Er(鉬)等稀土金屬。

另外，可將第一電極 7003 的周邊覆蓋有隔牆 7009。隔牆 7009 係使用聚醯亞胺、丙烯酸、聚醯胺、環氧等有機樹脂膜、無機絕緣膜、或有機聚矽氧烷來形成。隔牆 7009 係使用光敏樹脂材料來形成，以具有開口部在第一電

極 7003 上，使得開口部的側壁被形成作為具有連續曲率之傾斜表面尤其佳。當使用光敏樹脂材料形成隔牆 7009 時，可省略形成抗蝕遮罩之步驟。

形成在第一電極 7003 和隔牆 7009 上之 EL 層 7004 可包括至少發光層，並且係可使用單層或堆疊的複數層來形成。當使用複數個層形成 EL 層 7004 時，EL 層 7004 係在充作陰極的第一電極 7003 上，以電子注射層、電子運送層、發光層、電洞運送層、及電洞注射層之順序加以堆疊來形成。需注意的是，除了發光層之外，並非所有這些層都必須設置。

此外，堆疊順序並不侷限於上述堆疊層的順序；即、在充作陽極之第一電極 7003 上，及 EL 層 7004 係可以電洞注射層、電洞運送層、發光層、電子運送層、及電子注射層的順序加以堆疊來形成。

在圖 18C 中，在以 Ti 膜、鋁膜、及 Ti 的順序堆疊之堆疊膜上，以電洞注射層、電洞運送層、發光層、電子運送層、及電子注射層的順序加以堆疊，並且在其上形成 Mg: Ag 合金膜和 ITO 之堆疊層。

需注意的是，當 TFT 7001 為 n 通道電晶體時，在第一電極 7003 上，以電子注射層、電子運送層、發光層、電洞運送層、及電洞注射層之順序加以堆疊，使得可防止驅動器電路部的電壓增加，及可降低電力消耗。

第二電極 7005 係使用透光導電材料來形成，及例如可使用諸如含有氧化錫之氧化銦、含有氧化錫之氧化銦鋅

、含有氧化鈦之氧化銦、含有氧化鈦之氧化銦錫、氧化銦錫 (ITO)、氧化銦鋅、或添加氧化矽之氧化銦錫的膜之膜等的透光導電膜。

發光元件 7002 對應於包括發光層之 EL 層 7004 夾置在第一電極 7003 和第二電極 7005 之間的區域。在圖 18C 所示之元件結構的例子中，從發光元件 7002 發出光到第二電極 7005 側，如箭頭所示。

雖然圖 18C 圖解使用薄膜電晶體 170 作為 TFT 7001 之例子，但是本發明並不特別侷限於此。

在圖 18C 中，經由設置在保護絕緣層 7052 和絕緣層 7055 中之接觸孔，TFT 7001 的汲極電極層電連接到第一電極 7003。平面化絕緣層 7053 係可使用諸如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧等樹脂材料來形成。除了此種樹脂材料之外，亦能夠使用低介電常數材料(低 k 材料)、矽氧烷基的樹脂、磷矽酸鹽玻璃 (PSG)、硼磷矽酸鹽玻璃 (BPSG) 等。需注意的是，平面化絕緣層 7053 係可藉由堆疊使用這些材料所形成之複數個絕緣膜來形成。並未特別限制用以形成平面化絕緣層 7053 之方法。依據材料，能夠以諸如濺鍍法、SOG 法、旋轉塗佈法、浸泡法、噴灑塗佈法、或微滴排放法(如、噴墨法、絲網印刷、或膠版印刷)等方法，或者諸如刮刀、滾輪塗佈機、簾幕式塗佈機、或刀式塗佈機等工具來形成平面化絕緣層 7053。

隔牆 7009 被設置以絕緣第一電極 7003 和鄰接像素的第一電極 7008。隔牆 7009 係使用聚醯亞胺、丙烯酸、聚

醯胺、環氧等有機樹脂膜、無機絕緣膜、或有機聚矽氧烷來形成。隔牆 7009 係使用光敏樹脂材料來形成，以具有開口部在第一電極 7003 上，使得開口部的側壁被形成作為具有連續曲率之傾斜表面尤其佳。當使用光敏樹脂材料形成隔牆 7009 時，可省略形成抗蝕遮罩之步驟。

在圖 18C 所示之結構中，用以執行全彩顯示，發光元件 7002、鄰接發光元件的其中之一、及鄰接發光元件的其中另一個例如分別是綠色發光元件、紅色發光元件、及藍色發光元件。另一選擇是，能夠全彩顯示之發光顯示裝置係可使用四種發光元件來製造，其除了三種發光元件之外還包括白色發光元件。

在圖 18C 的結構中，可以所排列之所有發光元件都是白色發光元件並且具有濾色器等之密封基板排列在發光元件 7002 上之此種方式來製造能夠全彩顯示之發光顯示裝置。展現諸如白色等單一顏色之材料可被形成，及與濾色器或顏色轉換層組合，藉以能夠執行全彩顯示。

無須說，亦可執行單色光發射之顯示。例如，可藉由使用白光發射來形成照明系統，或者可藉由使用單一顏色光發射來形成區域顏色發光裝置。

若需要的話，可設置諸如包括圓形極化板之極化膜等光學膜。

雖然此處說明有機 EL 元件作為發光元件，但是亦可設置無機 EL 元件作為發光元件。

需注意的是，說明控制發光元件的驅動之薄膜電晶體

(用以驅動發光元件之 TFT)電連接到發光元件的例子；然而，可利用用於電流控制之 TFT 連接在用以驅動發光元件的 TFT 和發光元件之間的結構。

此實施例所說明之半導體裝置並不侷限於圖 18A 至 18C 所示之結構，而是依據根據本發明的技術之精神，可以各種方式來修改。

接著，將參考圖 19A 及 19B 說明為應用實施例 1 及 2 所說明之薄膜電晶體的半導體裝置之實施例的發光顯示面板(亦稱作發光面板)之外觀和橫剖面。圖 19A 為以密封劑將形成在第一基板上的薄膜電晶體和發光元件密封在第一基板和第二基板之間的面板之俯視圖。圖 19B 為沿著圖 19A 的 H-I 之橫剖面圖。

密封劑 4505 被設置成圍繞設置在第一基板 4501 上之像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b。而且，第二基板 4506 係設置在像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 上。結果，藉由第一基板 4501、密封劑 4505、和第二基板 4506，以填料 4507 將像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 密封在一起。以此方式，以保護膜(諸如疊層膜或紫外線可熟化樹脂膜)或者具有高氣密性和低除氣性的覆蓋材料來封裝(密封)面板，使得面板不暴露至外面空氣。

形成在第一基板 4501 上之像素部 4502、信號線驅動

器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 各個包括複數個薄膜電晶體。包括在像素部 4502 中之薄膜電晶體 4510 和包括在信號線驅動器電路 4503a 中之薄膜電晶體 4509 被圖解作為圖 19B 的例子。

其各個的通道形成區包括 In-Ga-Zn-O 基的膜之實施例 1 及 2 所說明的薄膜電晶體可被使用作為薄膜電晶體 4509 及 4510。在此實施例中，薄膜電晶體 4509 及 4510 為 n 通道薄膜電晶體。

導電層 4540 係設置在絕緣層 4544 一部分上，以與用於驅動器電路的薄膜電晶體 4509 之氧化物半導體層中的通道形成區重疊。導電層 4540 被設置，以與氧化物半導體層的通道形成區重疊，藉以可降低 BT 測試前後之薄膜電晶體 4509 的臨界電壓之變化量。導電層 4540 的電位可與薄膜電晶體 4509 的閘極電極層之電位相同或不同。導電層 4540 亦可充作第二閘極電極層。另一選擇是，導電層 4540 的電位可以是 GND 或 0 V，或者導電層 4540 可在浮動狀態。

參考號碼 4511 表示發光元件。為包括在發光元件 4511 中之像素電極的第一電極層 4517 電連接到薄膜電晶體 4510 的源極電極層或汲極電極層。需注意的是，發光元件 4511 的結構為第一電極層 4517、電致發光層 4512、和第二電極層 4513 的堆疊結構；然而，發光元件 4511 的結構並不侷限於此實施例所說明的結構。例如，可依據從發光元件 4511 析取光之方向來適當改變發光元件 4511 的

結構。

隔牆 4520 係使用有機樹脂膜、無機絕緣膜、或有機聚矽氧烷來形成。隔牆 4520 係使用光敏樹脂材料來形成，以具有開口部在第一電極層 4517 上，使得開口部的側壁被形成作為具有連續曲率之傾斜表面尤其佳。

電致發光層 4512 係可以單層或堆疊的複數個層來形成。

保護膜係可形成在第二電極層 4513 和隔牆 4520 上，以防止氧、氫、濕氣、二氧化碳等進入發光元件 4511。作為保護膜，可形成氮化矽膜、氧氮化矽膜、DLC 膜等。

此外，各種信號和電位從 FPC 4518a 及 4518b 被供應到信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b、及像素部 4502。

在此實施例中，從與包括在發光元件 4511 中之第一電極層 4517 相同的導電膜形成連接終端電極 4515，及從與包括在薄膜電晶體 4509 及 4510 中之源極電極層和汲極電極層相同的導電膜形成終端電極 4516。

連接終端電極 4515 經由各向異性導電膜 4519 電連接到包括在 FPC 4518a 中之終端。

位在從發光元件 4511 析取光之方向上的第二基板需要具有透光特性。在那例子中，諸如玻璃板、塑膠板、聚酯板、或丙烯酸膜等透光材料被用於第二基板。

作為填料 4507，除了諸如氮或氫等鈍氣之外，還可使用紫外線可熟化樹脂或熱固性樹脂。例如，可使用聚氯乙

烯 (PVC)、丙烯酸、聚醯亞胺、環氧樹脂、矽氧樹脂、聚乙烯縮丁醛 (PVB)、或乙烯醋酸乙烯酯 (EVA)。在此實施例中，氮被用於填料。

若需要的話，可在發光元件的發光表面上適當設置諸如極化板、圓形極化板 (包括橢圓形極化板)、減速板 (四分之一波長板或半波長板)，或濾色器等等光學膜。另外，極化板或圓形極化板可被設置有防反射膜。例如，可執行防炫光處理，其中可由表面上的凸出和凹下擴散反射光，以降低炫光。

在分開備製的基板上使用單晶半導體或複晶半導體所形成的驅動器電路可被安裝作為信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及 4504b，另一選擇是，可只形成和安裝信號線驅動器電路或其部分，或者掃描線驅動器電路或其部分。此實施例並不侷限於圖 19A 及 19B 所示之結構。

經由上述步驟，可製造消耗較低電力之高度可靠的發光顯示裝置 (顯示面板) 作為半導體裝置。

此實施例所示之結構可與其他實施例所示之結構適當組合。

(實施例 6)

在此實施例中，將說明電子紙的例子作為應用實施例 1 及 2 所說明之薄膜電晶體的半導體裝置。

圖 20 圖解主動矩陣式電子紙作為半導體裝置的例子

。可使用實施例 1 及 2 所說明之薄膜電晶體形成半導體裝置所使用的薄膜電晶體 581，其通道形成區局部或整個係使用具有培育狀態之 In-Ga-Zn-O 基的膜所形成。

圖 20 中的電子紙為使用扭轉球顯示系統之顯示裝置的例子。扭轉球顯示系統意指各個以黑和白著色之球狀粒子排列在用於顯示元件的電極層之第一電極層和第二電極層之間，及在第一電極層和第二電極層之間產生電位差，以控制球狀粒子的取向，以執行顯示之方法。

形成在基板 580 上之薄膜電晶體 581 為底閘極薄膜電晶體。薄膜電晶體 581 的源極電極層或汲極電極層係在形成於絕緣層 583、絕緣層 584、絕緣層 585 中之開口與第一電極層 587 接觸，藉以薄膜電晶體 581 電連接到第一電極層 587。球狀粒子 589 係設置在第一電極層 587 和第二電極層 588 之間。球狀粒子 589 的每一個包括黑色區 590a 和白色區 590b，充填有液體的空腔 594 環繞黑色區 590a 和白色區 590b。球狀粒子 589 四周的空間被填滿諸如樹脂等填料 595(見圖 20)。在此實施例中，第一電極層 587 對應於像素電極，而設置給相對基板 596 之第二電極層 588 對應於共同電極。

另一選擇是，能夠使用電泳元件取代扭轉球。使用具有直徑約 $10\mu\text{m}$ 至 $200\mu\text{m}$ (含)的微型膠囊，其中透明液體、帶正電的白色微粒以及帶負電的黑色微粒被封裝。在第一電極層和第二電極層之間提供的微型膠囊中，當以第一電極層和第二電極層施加電場時，使得白色或黑色能夠被

顯示。使用此原理的顯示元件為電泳顯示元件，及包括電泳顯示元件之裝置通常被稱作電子紙。電泳顯示元件具有比液晶顯示元件高的反射比；如此，不需要輔助光，電力消耗低，及在暗淡處可辨識顯示部。此外，甚至當為供應電力到顯示部時，仍可維持曾經顯示的影像。結果，甚至當具有顯示功能之半導體裝置(可被簡稱作顯示裝置或設置有顯示裝置的半導體裝置)遠離電波源時，仍可儲存顯示的影像。

經由上述步驟，可製造具有令人滿意的電特性和高可靠性之電子紙作為半導體裝置。

只要它們顯示資料，電子紙可被用於所有領域的電子裝置。例如，可將電子紙應用到電子書閱讀器(電子書)、佈告欄、諸如火車等交通工具中的廣告、諸如信用卡等各種卡片的顯示等等。圖 21A 及 21B 和圖 22 圖解電子裝置的例子。

圖 21A 圖解使用電子紙所形成之佈告欄 2631。在廣告媒體為印刷紙張之例子中，用手放回廣告；然而，藉由使用電子紙，可短時間改變廣告顯示。而且，可獲得穩定影像卻沒有顯示故障。需注意的是，佈告欄可以無線發送和接收資訊。

圖 21B 圖解諸如火車等交通工具中的廣告 2632。在廣告媒體為印刷紙張之例子中，用手放回廣告；然而，藉由使用電子紙，可短時間改變廣告顯示。而且，可獲得穩定影像卻沒有顯示故障。需注意的是，佈告欄可以無線發

送和接收資訊。

圖 22 圖解電子書閱讀器的例子。例如，電子書閱讀器 2700 包括外殼 2701 和外殼 2703 兩外殼。外殼 2701 和外殼 2703 與鉸鏈 2711 組合，使得電子書閱讀器 2700 可以鉸鏈 2711 作為軸來開闔。此種結構使電子書閱讀器 2700 能夠像紙張書本一樣操作。

顯示部 2705 和顯示部 2707 分別結合在外殼 2701 和外殼 2703 中。顯示部 2705 和顯示部 2707 可顯示同一影像或不同影像。在顯示部 2705 和顯示部 2707 顯示不同影像之例子中，例如，在右側上的顯示部(圖 22 中的顯示部 2705)可顯示正文，而左側上的顯示部(圖 22 中的顯示部 2707)可顯示圖形。

圖 22 圖解外殼 2701 被設置有操作部等之例子。例如，外殼 2701 被設置有電力開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723，可翻動頁面。需注意的是，鍵盤、定位裝置等可設置在設置顯示部之外殼的表面上。而且，外部連接終端(如、耳機終端、USB 終端、或可連接到諸如 AC 配接器和 USB 纜線等各種纜線之終端等)、記錄媒體插入部等可設置在外殼的背表面或側表面上。而且，電子書閱讀器 2700 可具有電子字典的功能。

另外，電子書閱讀器 2700 可無線發送和接收資料。經由無線通訊，可從電子書伺服器購買或下載想要的書籍資料等。

需注意的是，此實施例所示之結構可與其他實施例所

示之結構適當組合。

(實施例 7)

使用具有培育狀態之 In-Ga-Zn-O 基的膜局部或整個形成通道形成區之包括實施例 1 及 2 所說明的薄膜電晶體之半導體裝置可被應用到各種電子裝置(包括遊戲機)。在使用具有培育狀態之 In-Ga-Zn-O 基的膜局部或整個形成通道形成區之各個包括薄膜電晶體的電子裝置中可提高可靠性。此種電子裝置的例子為電視機(亦稱作電視或電視接收器)、電腦等的監視器、諸如數位相機或數位視頻相機等相機、數位相框、行動電話聽筒(亦稱作行動電話或行動電話裝置)、可攜式遊戲機、可攜式資訊終端、聲頻再生裝置、諸如彈鋼珠遊戲機等大型遊戲機等等。

圖 23A 圖解電視機的例子。在電視機 9600 中，顯示部 9603 結合在外殼 9601 中。顯示部 9603 可顯示影像。此處，外殼 9601 可由座 9605 來支撐。

可利用外殼 9601 的操作開關或分開的遙控器 9610 來操作電視機 9600。可利用遙控器 9610 的操作鍵 9609 來切換頻道和控制音量，藉以可控制顯示在顯示部 9603 上的影像。而且，遙控器 9610 可包括用以顯示從遙控器 9610 輸出的資料之顯示部 9607。

需注意的是，電視機 9600 被設置有接收器、數據機等等。藉由使用接收器，可接收一般電視廣播。而且，當透過數據機以線路或不以線路將顯示裝置連接到通訊網路

時，可執行單向(從發射器到接收器)或雙向(發射器和接收器之間或接收器之間等)資訊通訊。

圖 23B 圖解數位相框的例子。例如，在數位相框 9700 中，顯示部 9703 結合在外殼 9701 中。顯示部 9703 可顯示各種影像。例如，顯示部 9703 可顯示利用數位相機等所拍攝之影像的資料，使得數位相框可充作一般相框。

需注意的是，數位相框 9700 被設置有操作部、外部連接終端(如、USB 終端、可連接到諸如 USB 纜線等各種纜線之終端)、記錄媒體插入部等等。雖然這些組件被設置在與顯示部相同的表面上，但是為了設計美觀，將它們設置在側表面或背表面較佳。例如，儲存利用數位相機所拍攝之影像的資料之記憶體被插入在數位相框 9700 的記錄媒體插入部中並且載入資料，藉以可將影像顯示在顯示部 9703 上。

數位相框 9700 可無線傳輸和接收資料。經由無線通訊，可載入和顯示想要的影像資料。

圖 24A 為可攜式遊戲機，及係由外殼 9881 和外殼 9891 兩外殼所構成，兩外殼係以接合部 9893 來連接，使得可打開和折疊可攜式遊戲機。顯示部 9882 和顯示部 9883 分別結合在外殼 9881 和外殼 9891 中。此外，圖 24A 所示之可攜式遊戲機被設置有揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入機構(操作鍵 9885、連接終端 9887、感測器 9888(具有測量力、位移位置、速度、加

速度、角速度、旋轉數目、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流率、濕度、梯度、振動、氣味、或紅外線之功能)、及麥克風 9889)等。無須說,可攜式遊戲機的結構並不侷限於上述結構,而可利用被設置有本發明的半導體裝置之其他結構。可攜式遊戲機可適當包括其他配件。圖 24A 所示之可攜式遊戲機具有閱讀儲存在記憶媒體中的程式或資料以將其顯示在顯示部上之功能,及經由無線通訊與另一可攜式遊戲機分享資訊之功能。需注意的是,圖 24A 所示之可攜式遊戲機的功能並不侷限於上述者,可攜式遊戲機可具有各種功能。

圖 24B 圖解大型遊戲機之投幣機的例子。在投幣機 9900 中,顯示部 9903 結合在外殼 9901 中。此外,投幣機 9900 包括諸如開動控制桿或停止開關等操作機構、投幣孔、揚聲器。無須說,投幣機 9900 的結構並不侷限於上述,而可利用被設置有本發明的半導體裝置之其他結構。投幣機 9900 可適當包括其他配件。

圖 25A 圖解行動電話聽筒的例子。行動電話聽筒 1000 被設置有結合在外殼 1001 中之顯示部 1002、操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

當以手指等觸碰圖 25A 所示之顯示部 1002 時,可將資料輸入到行動電話聽筒 1000 內。另外,諸如打電話和寫郵件等操作係可藉由以手指等觸碰顯示部 1002 來執行。

主要具有三個顯示部 1002 的螢幕模式。第一模式為主要用以顯示影像之顯示模式。第二模式為用以輸入諸如正文等資料之輸入模式。第三模式為組合顯示模式和輸入模式兩模式之顯示和輸入模式。

例如，在打電話或寫郵件時，選擇主要用以輸入正文之正文輸入模式給顯示部 1002，使得可輸入顯示在螢幕上之正文。在那例子中，幾乎在顯示部 1002 的螢幕所有區域上顯示鍵盤或數字按鈕較佳。

當包括諸如迴轉儀或加速度感測器等用以感測傾斜的感測器之偵測裝置設置在行動電話 1000 內時，顯示部 1002 的螢幕上之顯示可藉由決定行動電話 1000 的方向來自動切換(無論行動電話 1000 是筆直站立或側放著)。

可藉由觸碰顯示部 1002 或操作外殼 1001 的操作按鈕 1003 來切換螢幕模式。另一選擇是，螢幕模式係可依據顯示在顯示部 1002 上之影像種類來切換。例如，當顯示在顯示部上的影像之信號為移動影像資料的信號時，螢幕模式被切換到顯示模式。當信號為正文資料的信號時，螢幕模式被切換到輸入模式。

另外，在輸入模式中，當某一段週期未執行藉由觸碰顯示部 1002 來輸入時，而同時在由顯示部 1002 中的光學感測器所偵測到的信號被偵測到，螢幕模式可被控制，以從輸入模式切換到顯示模式。

顯示部 1002 可充作影像感測器。例如，當以手掌或手指觸碰顯示部 1002 時取得掌印、指印的影像，藉以可執行

個人識別。另外，藉由在顯示部中設置發出近紅外線光之背光或感測光源，可取得手指靜脈、手掌靜脈等的影像。

圖 25B 亦圖解行動電話聽筒的例子。圖 25B 之行動電話聽筒包括顯示裝置 9410，其中顯示部 9412 和操作按鈕 9413 包括在外殼 9411 中；以及通訊裝置 9400，其中操作按鈕 9402、外部輸入終端 9403、麥克風 9404、揚聲器 9405、和當接收來電時發出光之發光部 9406 包括在外殼 9401 中。具有顯示功能之顯示裝置 9410 可以兩方向從具有電話功能之通訊裝置 9400 拆卸或者裝附其上，如箭頭所示。如此，顯示裝置 9410 的次要軸可被裝附至通訊裝置 9400 的次要軸，而顯示裝置 9410 的主要軸可被裝附至通訊裝置 9400 的主要軸。此外，當只需要顯示功能時，可從通訊裝置 9400 拆下顯示裝置 9410 來單獨使用。在各個具有可在充電蓄電池的通訊裝置 9400 和顯示裝置 9410 之間，可以無線或有線來傳送或接收影像或輸入的資訊。

需注意的是，此實施例所示之結構可與其他實施例所示之結構適當組合。

本申請案係依據日本專利局於 2009、9、24 所發表之日本專利申請案序號 2009-219128，藉以併入其全文做為參考。

【圖式簡單說明】

圖 1 為本發明的實施例之橫剖面圖。

圖 2A 至 2C 為本發明的實施例之橫剖面處理圖。

圖 3A 至 3C 爲本發明的實施例之橫剖面處理圖。

圖 4A 及 4B 爲本發明的實施例之平面圖。

圖 5 爲本發明的實施例之平面圖。

圖 6 爲本發明的實施例之平面圖。

圖 7 爲本發明的實施例之平面圖。

圖 8A1 及 8B1 爲本發明的實施例之橫剖面圖，而圖 8A2 及 8B2 爲其平面圖。

圖 9 爲本發明的實施例之平面圖。

圖 10 爲本發明的實施例之平面圖。

圖 11A 及 11B 各個爲半導體裝置的方塊圖。

圖 12A 及 12B 分別爲信號線驅動器電路的電路圖和時序圖。

圖 13A 至 13C 爲移位暫存器的組態之電路圖。

圖 14A 及 14B 分別爲移位暫存器的操作之電路圖和時序圖。

圖 15A1 及 15A2 爲本發明的實施例之平面圖，而圖 15B 爲其橫剖面圖。

圖 16 爲本發明的實施例之橫剖面圖。

圖 17 爲半導體裝置的像素之等效電路圖。

圖 18A 至 18C 各個爲本發明的實施例之橫剖面圖。

圖 19A 爲本發明的實施例平面圖，而圖 19B 爲其橫剖面圖。

圖 20 爲本發明的實施例之橫剖面圖。

圖 21A 及 21B 爲電子紙的應用之例子圖。

圖 22 為電子書閱讀器的例子之外部圖。

圖 23A 及 23B 分別為電視裝置和數位相框的例子之外部圖。

圖 24A 及 24B 為遊戲機的例子之外部圖。

圖 25A 及 25B 為行動電話聽筒的例子之外部圖。

圖 26 為薄膜電晶體的橫剖面 TEM(透射式電子顯微鏡)相片。

圖 27 為薄膜電晶體的氧化物半導體層和氧化物絕緣層之間的介面及其附近之橫剖面 TEM 相片。

圖 28 為本發明的實施例之電子繞射圖案圖。

圖 29 為本發明的實施例之電子繞射圖案圖。

圖 30 為本發明的實施例之電子繞射圖案圖。

圖 31 為本發明的實施例之電子繞射圖案圖。

圖 32 為比較例子的電子繞射圖案圖。

圖 33 為比較例子的電子繞射圖案圖。

圖 34 為氧化物半導體的晶體結構之比較例子圖。

圖 35 為氧化物半導體的晶體結構之比較例子圖。

【主要元件符號說明】

10：脈衝輸出電路

11：第一配線

12：第二配線

13：第三配線

14：第四配線

- 15：第五配線
- 16：第六配線
- 17：第七配線
- 21：輸入終端
- 22：輸入終端
- 23：輸入終端
- 24：輸入終端
- 25：輸入終端
- 26：輸出終端
- 27：輸出終端
- 28：薄膜電晶體
- 31：電晶體
- 32：電晶體
- 33：電晶體
- 34：電晶體
- 35：電晶體
- 36：電晶體
- 37：電晶體
- 38：電晶體
- 39：電晶體
- 40：電晶體
- 41：電晶體
- 42：電晶體
- 43：電晶體

51 : 供 電 線
 52 : 供 電 線
 53 : 供 電 線
 100 : 基 板
 101 : 閘 極 電 極 層
 102 : 閘 極 絕 緣 層
 103 : 氧 化 物 半 導 體 層
 105a : 源 極 電 極 層
 105b : 汲 極 電 極 層
 107 : 氧 化 物 絕 緣 層
 108 : 電 容 器 配 線
 109 : 接 觸 孔
 110 : 像 素 電 極 層
 112 : 導 電 層
 112a : 導 電 層
 112b : 導 電 層
 113 : 導 電 層
 113a : 導 電 層
 113b : 導 電 層
 114 : 導 電 層
 114a : 導 電 層
 114b : 導 電 層
 120 : 連 接 電 極
 121 : 終 端

- 122：終端
- 124：電容器電極層
- 125：接觸孔
- 126：接觸孔
- 127：接觸孔
- 128：透光導電膜
- 129：透光導電膜
- 131：抗蝕遮罩
- 150：終端
- 151：終端
- 152：閘極絕緣層
- 153：連接電極
- 154：保護絕緣膜
- 155：透光導電膜
- 156：電極
- 170：薄膜電晶體
- 201：地點
- 202：銦原子
- 203：原子
- 204：氧原子
- 580：基板
- 581：薄膜電晶體
- 585：絕緣層
- 587：電極層

588：電極層

589：球狀粒子

590a：黑色區

590b：白色區

594：空腔

595：填料

596：相對電極

1000：行動電話聽筒

1001：外殼

1002：顯示部

1003：操作按鈕

1004：外部連接埠

1005：揚聲器

1006：麥克風

2600：薄膜電晶體基板

2601：相對基板

2602：密封劑

2603：像素部

2604：顯示元件

2605：著色層

2606：極化板

2607：極化板

2608：配線電路部

2609：撓性配線板

2610：冷陰極管

2611：反射板

2612：電路板

2613：擴散板

2631：佈告欄

2632：廣告

2700：電子書閱讀器

2701：外殼

2703：外殼

2705：顯示部

2707：顯示部

2711：鉸鏈

2721：電力開關

2723：操作鍵

2725：揚聲器

4001：基板

4002：像素部

4003：信號線驅動器電路

4004：掃描線驅動器電路

4005：密封劑

4006：基板

4008：液晶層

4010：薄膜電晶體

4011：薄膜電晶體

4013：液 晶 元 件

4015：連 接 終 端 電 極

4016：終 端 電 極

4018：撓 性 印 刷 電 路

4019：各 向 異 性 導 電 膜

4020：絕 緣 層

4021：絕 緣 層

4030：像 素 電 極 層

4031：相 對 電 極 層

4032：絕 緣 層

4040：導 電 層

4044：絕 緣 層

4501：基 板

4502：像 素 部

4503a：信 號 線 驅 動 器 電 路

4503b：信 號 線 驅 動 器 電 路

4504a：掃 描 線 驅 動 器 電 路

4504b：掃 描 線 驅 動 器 電 路

4505：密 封 劑

4506：基 板

4507：填 料

4509：薄 膜 電 晶 體

4510：薄 膜 電 晶 體

4511：發 光 元 件

4512：電致發光層

4513：電極層

4515：連接終端電極

4516：終端電極

4517：電極層

4518a：撓性印刷電路

4518b：撓性印刷電路

4519：各向異性導電膜

4520：隔牆

4540：導電層

4544：絕緣層

5300：基板

5301：像素部

5302：掃描線驅動器電路

5303：掃描線驅動器電路

5304：信號線驅動器電路

5305：時序控制電路

5601：移位暫存器

5602：開關電路

5603：薄膜電晶體

5604：配線

5605：配線

6400：像素

6401：開關電晶體

6402：驅 動 電 晶 體

6403：電 容 器

6404：發 光 元 件

6405：信 號 線

6406：掃 描 線

6407：供 電 線

6408：共 同 電 極

7001：用 以 驅 動 發 光 元 件 之 薄 膜 電 晶 體

7002：發 光 元 件

7003：電 極

7004：電 致 發 光 層

7005：電 極

7008：電 極

7009：隔 牆

7010：基 板

7011：用 以 驅 動 發 光 元 件 之 薄 膜 電 晶 體

7012：發 光 元 件

7013：電 極

7014：電 致 發 光 層

7015：電 極

7016：阻 光 膜

7017：導 電 膜

7019：隔 牆

7020：基 板

7021：用以驅動發光元件之薄膜電晶體

7022：發光元件

7023：電極

7024：電致發光層

7025：電極

7027：導電膜

7029：隔牆

7030：第一閘極絕緣層

7031：第二閘極絕緣層

7032：絕緣層

7033：濾色器層

7034：外套層

7035：保護絕緣層

7040：閘極絕緣層

7041：閘極絕緣層

7042：絕緣層

7043：濾色器層

7044：外套層

7045：保護絕緣層

7052：保護絕緣層

7053：平面化絕緣層

7055：絕緣層

9400：通訊裝置

9401：外殼

- 9402：操作按鈕
- 9403：外部輸入終端
- 9404：麥克風
- 9405：揚聲器
- 9406：發光部
- 9410：顯示裝置
- 9411：外殼
- 9412：顯示部
- 9413：操作按鈕
- 9600：電視機
- 9601：外殼
- 9603：顯示部
- 9605：座
- 9607：顯示部
- 9609：操作鍵
- 9610：遙控器
- 9700：數位相框
- 9701：外殼
- 9703：顯示部
- 9881：外殼
- 9882：顯示部
- 9883：顯示部
- 9884：揚聲器部
- 9885：輸入機構(操作鍵)

9886：記錄媒體插入部

9887：連接終端

9888：感測器

9889：麥克風

9890：發光二極體燈

9891：外殼

9893：接合部

9900：投幣機

9901：外殼

9903：顯示部

七、申請專利範圍：

1. 一種半導體裝置，包含：

薄膜電晶體，該薄膜電晶體包含：

通道形成區

其中該通道形成區包含 In-Ga-Zn-O 基的半導體，

其中該 In-Ga-Zn-O 基的半導體具有 InGaZnO_4 或 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體結構的原子間鍵部份是斷開的培育狀態，以及

其中該 In-Ga-Zn-O 基的半導體之該培育狀態在電子繞射圖案的分析中既非點清楚出現之晶體狀態亦非暈圈形圖案出現之非晶狀態。

2. 一種半導體裝置，包含：

閘極電極層，其在絕緣表面上；

第一絕緣層，其在該閘極電極層上；

包括銦、鎵、和鋅之氧化物半導體層，其在該第一絕緣層上；以及

源極電極層或汲極電極層，其在該氧化物半導體層上；

其中與該源極電極層和該汲極電極層未重疊之該氧化物半導體層的至少一區域具有 InGaZnO_4 或 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體結構的原子間鍵部份是斷開的培育狀態，以及

其中該培育狀態在電子繞射圖案的分析中既非點清楚出現之晶體狀態亦非暈圈形圖案出現之非晶狀態。

3. 根據申請專利範圍第 2 項之半導體裝置，另外包

含：

第二絕緣層，其覆蓋該源極電極層或該汲極電極層，
其中該第二絕緣層係與該源極電極層和該汲極電極層
未重疊之該氧化物半導體層的該區域接觸。

4.一種半導體裝置，包含：

閘極電極層，其在絕緣表面上；

第一絕緣層，其在該閘極電極層上；

包括銦、鎵、和鋅之氧化物半導體層，其在該第一絕
緣層上；

源極電極層或汲極電極層，其在該氧化物半導體層
上；以及

第二絕緣層，其覆蓋該源極電極層或該汲極電極層，
其中該氧化物半導體層包括其厚度小於與該源極電極
層或該汲極電極層重疊之區域的厚度之區域，

其中該第二絕緣層係與其厚度較小之該氧化物半導體
層的該區域接觸，

其中其厚度較小之該氧化物半導體層的該區域具有
 InGaZnO_4 或 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體結構的原子間鍵部份是斷
開的培育狀態，以及

其中該培育狀態在電子繞射圖案的分析中其既非點清
楚出現之晶體狀態亦非暈圈形圖案出現之非晶狀態。

5.根據申請專利範圍第 1、2 和 4 項中任一項之半導
體裝置，其中該培育狀態、該晶體狀態、或該非晶狀態係
由電子繞射圖案來分析。

6. 根據申請專利範圍第 1、2、和 4 項中任一項之半導體裝置，

其中該培育狀態為在電子繞射圖案的分析中一點清楚的出現在該電子繞射圖案的中央部份上，而多點未清楚但週期性的出現在該中央部份的週邊上之狀態。

7. 根據申請專利範圍第 3 或 4 項之半導體裝置，其中該第二絕緣層為以濺鍍法所獲得之氧化矽膜。

8. 根據申請專利範圍第 1 項之半導體裝置，其中該通道形成區藉由熱處理而脫水或除氫。

9. 根據申請專利範圍第 8 項之半導體裝置，其中該熱處理是經由使用高溫氣體的快速熱退火而進行。