

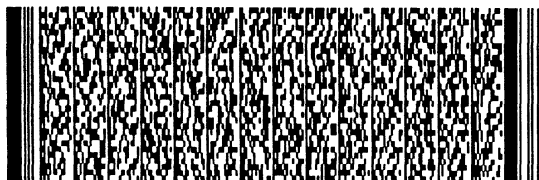
申請日期: 92.3.19	IPC分類
申請案號: 92106064	C30B15/20

(以上各欄由本局填註)

發明專利說明書

200307064

一、 發明名稱	中 文	能減少從基板延伸出來之微管的SiC結晶的製造方法、SiC結晶、SiC單結晶膜、SiC半導體元件、SiC單結晶基板及電子裝置、以及SiC大結晶之製造方法
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 鎌田功穗
	姓 名 (英文)	1. Isaho KAMATA
	國 籍 (中英文)	1. 日本 JP
	住居所 (中 文)	1. 日本國神奈川縣橫須賀市長坂2-6-1 財團法人電力中央研究所橫須賀研究所內
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 財團法人電力中央研究所
	名稱或 姓 名 (英文)	1. 財 法人電力中央研究所
	國 籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中 文)	1. 日本國東京都千代田區大手町1-6-1 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 佐藤太英
	代表人 (英文)	1. Motohide SATO



2009-5536-PE(N1)-Abddub-pta

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 土田 秀一
	姓 名 (英 文)	2. Hidekazu TSUCHIDA
	國 籍 (中 英 文)	2. 日本 JP
	住 居 所 (中 文)	2. 日本國神奈川縣橫須賀市長坂2-6-1 財團法人電力中央研究所橫須賀研究所內
	住 居 所 (英 文)	2.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
日本 JP	2002/03/19	2002-075956	有
日本 JP	2002/08/13	2002-235865	有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☒第一款但書或☐第二款但書規定之期間

日期： 2002/11/15

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

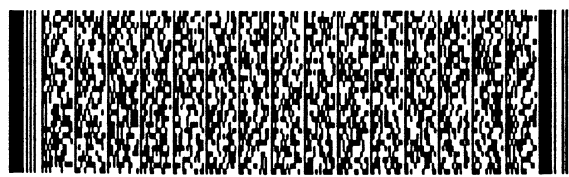
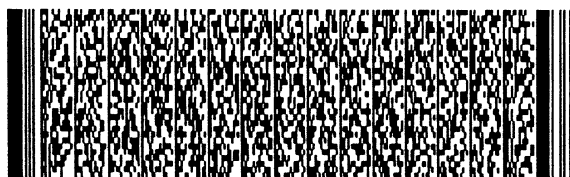
本發明係關於減少從SiC基板中所含有之稱為微管之中空缺陷之SiC結晶的製造方法。更詳細的說，係關於以該製造方法所得之SiC結晶以及SiC單結晶膜、該SiC單結晶膜所構成之SiC半導體元件及SiC單結晶基板、使用SiC單結晶基板之電子裝置、以及使用前述SiC結晶做為晶種之SiC大結晶之製造方法。

【先前技術】

碳化矽SiC，由於具有能障寬廣、高絕緣破壞電壓、以及高熱傳率等優良之物性，所以做為高耐壓、低損失且在高溫可作動之高性能功率裝置用之半導體或裝置用基板之研究持續在進行著。

為了作成SiC構成之半導體元件，多使用將可控制摻雜物濃度之SiC單晶薄膜在SiC單結晶基板上形成之SiC單結晶。因此，藉由化學氣相層積法（CVD）之磊晶成長來進行使SiC單結晶膜形成於SiC單結晶基板。在此CVD法中，將包括氣相狀態之碳原子以及矽原子之原料氣體再高溫常壓以及減壓下供給於SiC單結晶基板，使SiC單結晶基板上形成SiC單結晶膜。

使用現今市售之藉由昇華法所形成之SiC單結晶基板做為形成前述SiC單結晶膜之SiC單結晶基板。如此之SiC單結晶基板100，係如圖13A所示含有 $10^1 \sim 10^3 / \text{cm}^2$ 之高密度的微管（中空缺陷）101。在藉由昇華法形成SiC單結晶基

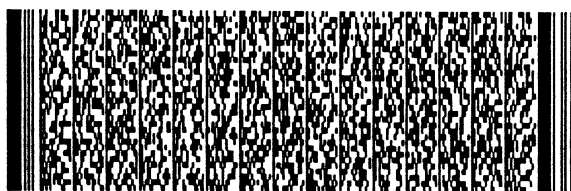


五、發明說明 (2)

板100時，生成無數如圖13A所示之螺旋差排102。在其中，做為圖13B之段狀的錯動表示之卜格向量在小的螺旋差排104之情況時不會中空，但在擁有大的卜格向量105之螺旋差排104之情況中，為了降低中心的能量而變成中空，形成微管101。換句話說，微管101係大的螺旋差排104。

如此之微管（中空缺陷），係在根據CVD法磊晶成長中，如圖9~圖12所示，從基板往磊晶膜之微管不會被埋沒而會延伸之故，又，在藉由昇華法之大結晶成長中，亦由於從晶種向大結晶傳播之故，即使在新形成之結晶中，也會再發現與基板以及晶種相同密度之微管。又，在圖9~圖12中，微管係記述三階（一階為SiC晶格1個的高度）之卜格向量之物。

包括微管101之半導體元件，係如圖8所示，在耐電壓等點上無法滿足做為半導體元件之必要的特性，所以即使只含有1個微管101之半導體元件，都會被當成不良品。因此，全部半導體元件之中，良品的比例（良率）大大影響SiC單結晶基板100微管密度。若半導體元件面積擴大，則半導體元件領域中所包括之微管101之確率增加，良率降低，所以半導體元件面積的擴大化受到阻礙。在包括多量微管101之SiC單結晶基板100上使磊晶膜成長，使用其來形成半導體元件時，在SiC單結晶膜103上大量形成面積小的電極，必須使用不含有微管101者做為半導體元件，而多有浪費。因此，首先希望有缺陷少，若可能的話，無缺



五、發明說明 (3)

陷之SiC單結晶膜。

而且，為了得到可控制摻雜濃度之SiC單結晶膜，由於係極力降低不意圖混入之雜質之狀態，若為n型，則流過既定量之氮氣等氣體，來控制結晶摻雜物之技術被使用。又，p型使用含有鋁等之氣體。在此，必須製作不意圖而混入之雜質少的膜（高純度SiC膜）。

又，為了利用形成之SiC單結晶膜製作半導體元件或使其進行二次結晶之成長，SiC單結晶膜之表面形狀（morphology）儘可能平滑為佳。

本發明之目的在於，提供即使使用具有稱為微管之中空缺陷之SiC單結晶基板，也能減少從前述基板延伸出來之中空缺陷之SiC結晶以及其製造方法。

本發明之另一個目的在於，提供能減少從基板延伸之中空缺陷，且依照既定濃度摻雜摻雜物而得到之SiC單結晶基板。

本發明之目的更在於，提供SiC半導體元件以及電子裝置。

本發明，又，以提供減少中空缺陷之SiC大結晶之製造方法為目的。

【發明內容】

本發明者們，應達成上述目的而精心研究之結果，解釋了在藉由化學氣相層基法使市售之SiC單結晶基板上磊晶成長SiC結晶之情況，若矽原子較在最高純度之SiC結晶

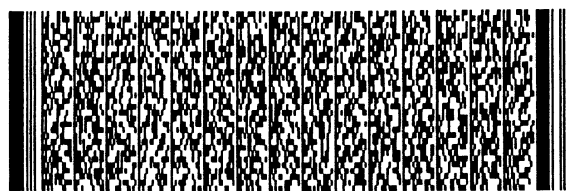
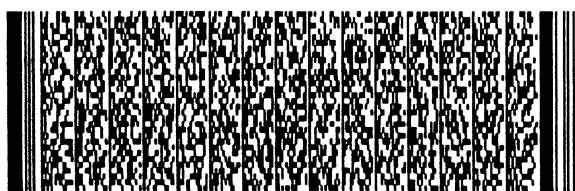


五、發明說明 (4)

膜形成時原料氣體中之C/Si原子數比（比說明書中也僅簡稱為C/Si比）的值還過剩的情況，比較可以抑制微管之延伸。亦即，發現：由於原料氣體中之C/Si比造成結晶成長速度之變化，在某值以下結晶成長速度成為碳速度為決定速度而變慢；由於C/Si比也就是結晶成長速度的速率造成微管缺陷的閉塞率變化，前述結晶成長速度在碳速度為決定速度範圍內，閉塞率激增，而使得在該範圍內C/Si比變小，所以在SiC單結晶基板中幾乎無法認出高密度存在之微管；由於他者之C/Si比之大小而使得到的SiC結晶之雜質氮氣變化；以及由於C/Si比之大小而造成結晶之表面形狀（morphology）變化，而完成本發明。

本發明之SiC結晶的製造方法，係在具有稱為微管之中空缺陷之SiC單結晶基板上，供給含有碳原子物質以及矽原子含有物質之載子氣體之原料氣體，在常壓或減壓下，在1400℃以上的溫度使前述基板上之SiC結晶磊晶成長之方法，其特徵在於：使前述原料氣體中之碳原子與矽原子之原子數比（C/Si比）調整至能使結晶成長速度在碳速度為決定速度之範圍內，使SiC結晶之複數層磊晶成長積層，存在於前述基板中之微小缺陷分解成不相等於複數之卜格向量之細小中空之差排，在SiC結晶表面上不使存在於前述基板之中空缺陷延伸。在此，磊晶成長，係藉由階流(step flow)模式或螺旋成長來進行，而以階流(step flow)模式較佳。

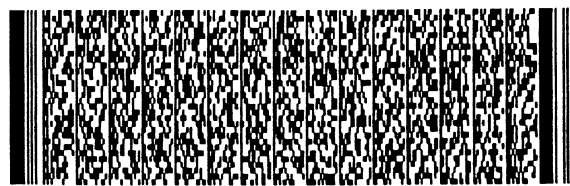
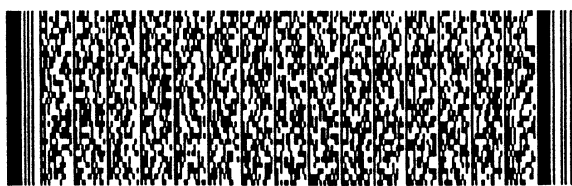
上述SiC結晶的製造方法，至少包括2種調整C/Si比磊



五、發明說明 (5)

晶成長之SiC結晶的製造方法。在此情況，可藉由調整成至少2種之C/Si比使結晶成長來得到，也可將至少第1層與第2層同時在調整至碳原子速度為決定速度範圍之C/Si比下來形成，至少一者之層調整在碳原子速度為決定速度範圍之情況也可。不管是哪一個，都可以得到微管閉塞之SiC結晶。而且，至少2種之C/Si比，係在SiC單結晶基板上磊晶成長之第1層為低C/Si比，其上之第2層為較其高之高C/Si比。又，包括：在SiC單結晶基板上基層之第1層為緩衝層，將在其上之第2層，以調整到較形成前述緩衝層時之C/Si比更增加之C/Si比之原料氣體之供給下使其磊晶成長，積層，賦予希望之膜質之SiC結晶的製造方法。而且，更包括：前述第1層為緩衝層，第2層為活性層之SiC結晶的製造方法。在此情況中，可得到微管閉塞且摻雜容易控制之雜質濃度低之膜質。

本發明之SiC結晶，係以前述方法製造之SiC結晶，其特徵在於：減少從基板延伸之中空缺陷，而且具有所希望之膜質。而且，此SiC結晶，其特徵在於：係在結晶表面上，前述從基板延伸出來之中空缺陷之密度在0或 $1/\text{cm}^2$ 以下之SiC結晶，或者對於基板中之密度，其再現性在50%以下，而以20%以下更佳之含有SiC結晶之物。而且，係含有具有至少有將SiC結晶作為緩衝層之SiC結晶之物。又，本發明之SiC結晶，係藉由申請專利範圍第2~5項所記載之任一製造方法而形成之物。而且，在此SiC結晶中，其特徵在於：所希望的膜質為不含有既定量以上之顯示半導體性之



五、發明說明 (6)

雜質之膜質，或所希望之膜質為添加既定量摻雜物之膜質。

本發明之SiC單結晶膜，係以前述方法製造之SiC單結晶膜，減少從基板延伸之中空缺陷，而且具有所希望之膜質。上述SiC單結晶膜，係包括在該製造時所用之基板上之SiC單結晶膜以及從基板獨立之SiC單結晶膜兩者。又，本發明之SiC單結晶膜，係除去SiC單結晶基板而獨立之SiC單結晶膜，而且，所希望之膜質為不含有既定量以上之顯示半導體性之雜質之膜質，或是所希望的膜質為含有添加既定量摻雜物之膜質之物。

本發明之SiC半導體元件，其特徵在於：係由含有控制濃度之摻雜物之前述SiC單結晶膜所構成。

本發明之單結晶基板，其特徵在於：係包括前述SiC單結晶膜。

本發明之電子裝置，其特徵在於：係包括前述SiC單結晶基板，以及載置於該基板上之電子元件。

本發明之SiC大結晶之製造方法，在SiC大結晶之製造方法中，其特徵在於：使用前述SiC結晶作為晶種。

此SiC大結晶SiC大結晶之製造方法，包括昇華堆積法等高溫CVD法。

【實施方式】

本發明之SiC結晶的製造方法，係在具有被稱為微管之中空缺陷之SiC單結晶基板上，供給在載子氣體中含有



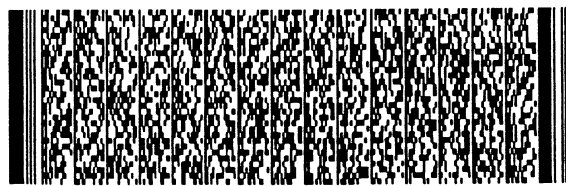
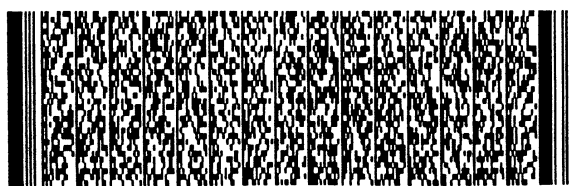
五、發明說明 (7)

碳原子含有物質以及矽原子含有物質之原料氣體，在常壓或減壓下，在 1400°C 以上之溫度之前述基板上使SiC結晶磊晶成長之方法中，其特徵在於：將原料氣體中之碳原子與矽原子之原子數比(C/Si比)調整在結晶成長速度在碳原子速度為決定速度之範圍內，使SiC結晶之複數層磊晶成長而積層。

藉由此特徵，存在於SiC單結晶基板中之中空缺陷分解成不伴隨複數之卜格向量之中空之差排，在SiC結晶表面上，存在於前述基板之中空缺陷不會延伸，而奏不繼續延伸之效。

希望達成如此作用之理由，係為了例如以階流(step flow)模式使結晶成長之情況中，藉由表面之階流(step flow)模式之結晶成長製程與微管之相互作用，螺旋差排一階一階分解，而構造變換成複數之卜格向量之小差排，例如螺旋差排或刃差排或部分差排等小型之差排。但是，使SiC結晶成長之SiC單結晶基板之面方向為(0001)Si面之情況，結果分解成螺旋差排。

在說明螺旋差排之圖13B中，段狀的階差所表示之卜格向量105的值很大時，為了降低螺旋差排中心的能量，差排中心呈中空，而形成如圖13A所示之微管101。另一方面，卜格向量105小的情況中，螺旋差排15的插排中心不會變成中空。因此，根據本發明之製造方法所得到之SiC結晶，如圖1之模式圖所示，在SiC單結晶基板4中之微管13會分解成非中空之螺旋差排。在圖1中，顯示從藉由SiC



五、發明說明 (8)

結晶11之磊晶成長而存在於基板4之微管13所產生之非中空之小螺旋差排15會存在於線狀表面缺陷16之最上游位置。

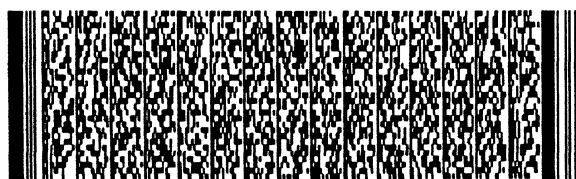
如此之稱為微管之非中空缺陷，係如圖6B所示，化學蝕刻SiC單結晶基板或成長結晶表面後，藉由normaski光學顯微鏡，可以計數這些缺陷。在市售之SiC單結晶基板中，通常存在著 $10^1 \sim 10^3 / \text{cm}^2$ 的等級之這些中空缺陷。

在前述階流(step flow)模式之結晶成長製程，係意味著圖3以及圖14所示之設於基板11之複數段之平台12之分別的先端部之階梯往箭號方向成長結晶之型態。

在本發明中，基於圖3來說明存在於上記SiC單結晶基板之微管13，分解成卜格向量小之不伴隨微管產生之差排15之機制。

在圖3中，藉由階流(step flow)模式成長之SiC結晶膜12（進行之直線狀之階梯），在超越通過微管13時（圖3B），階流(step flow)模式強烈的互相作用（圖3C）。然後，形成微管13之複數段之結晶面的錯位14（圖3D），分解成如1階之螺旋差排15之物（圖3E、圖1）。重複此過程，結果會藉由分解成數個螺旋差排來達成。

在此階流(step flow)模式中，為了使SiC結晶在前述SiC單結晶基板上成長，如圖14所示，在前述SiC單結晶基板上複數段的平台被要求以既定的偏離角度預先設置。在此，階流(step flow)模式之結晶成長，係設置於基板11之複數段之平台12之分別的先端部之階梯往箭號方向成長



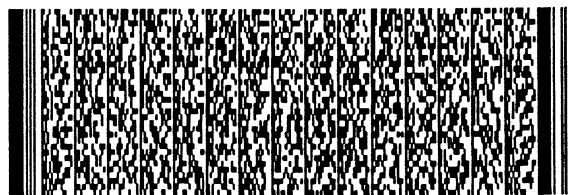
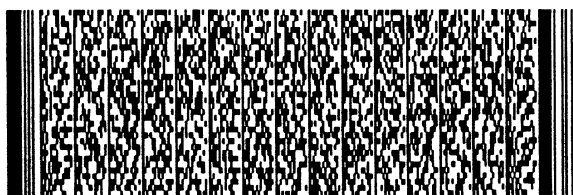
五、發明說明 (9)

結晶之型態。偏離角度，係以朝著成長方向之平台12之長為 $\lambda 0$ ，平台12之高度以 h 來表示時，下式所表示之角度 θ 。

$$\tan \theta = h / \lambda 0$$

複數段之平台係可藉由研磨SiC單結晶基板之角度來設置。前述偏離角度，沒有特別限制，雖根據基板的大小、平台之段數等而不同，通常為 15° 以下。又，本發明之成膜條件下以 $10^\circ \sim 6^\circ$ 為佳，更以 8° 為佳。前述結晶成長方向可為 $\langle 11-20 \rangle$ 方向， $\langle 1-100 \rangle$ 方向等任意的方向。

又，作為SiC單結晶基板，可以使用市售之4H-SiC、6H-SiC等多型的SiC單結晶基板，使SiC結晶結晶成長之基板之面方向，除了(0001)Si面以外，其他之低指數面也都有使微管閉塞的效果。在本發明之SiC結晶的製造方法中，將原料氣體之C/Si原子比調整至結晶成長速度在碳原子供給速度為決定速度範圍內，使複數層之SiC結晶磊晶成長是很重要的。在SiC單結晶基板形成之SiC單結晶膜之成長速度、結晶缺陷、不刻意混入之雜質氮濃度，以及表面凹凸等會由於C/Si比而大受影響，而其C/Si比之最適當條件，更受到製造裝置、成長溫度、成長壓力、使用基板的種類等而各自調整。確認本發明之實驗中所使用的製造裝置、成長溫度、成長壓力、使用基板的條件中，在SiC單結晶基板上藉由CVD來形成SiC結晶膜時之結晶成長速度為碳原子速度為決定速度之範圍內之原料氣體中碳/矽原子的比率(C/Si比)為0.8以下。如圖4B所示，C/Si比若超



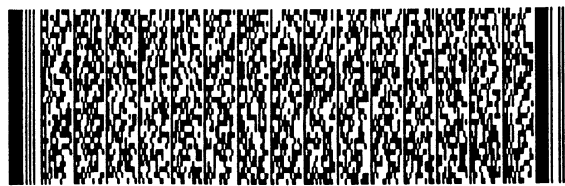
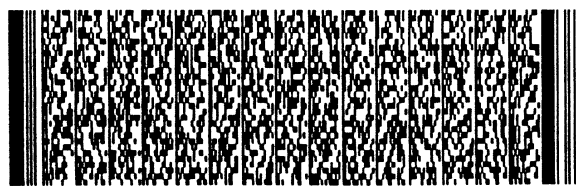
五、發明說明 (10)

過0.8，則結晶成長速度飽和，而為大致一定的值，但若C/Si比在0.8以下時，則由於供給之碳量使結晶成長被律速之故，了解到結晶成長速度由於碳原子供給量而變慢，亦即碳原子供給決定速度。

如圖4A以及圖4B所示，在C/Si比為0.9時，存在於SiC單結晶基板之微管之閉塞率雖顯示為1%左右之低值，但隨著C/Si比值變小，微管閉塞率也急遽上升。特別是結晶成長速度為碳原子供給速度來決定速度之C/Si比為0.7時，微管為95%以上，在C/Si比為0.6時，微管幾乎100%閉塞。而C/Si比在0.5以下也可得到高的微管閉塞率。在此，在結晶表面上從基板延伸之中空缺陷之密度，即使C/Si比為0.8，相對於基板中之密度也在55%左右（50%以下），若進行2次此成長，則可以75%閉塞。藉由將原料氣體中之C/Si比調整在碳原子供給速度為決定速度之範圍內，可以達成以往達不到之閉塞率，特別是C/Si比在約0.75以下的话，可達成約80%以上之閉塞率。

因此，在本發明之成膜條件下，為了閉塞中空缺陷之C/Si比，以0.8以下為佳，最好為0.75~0.35之範圍內，更以0.6~0.4為佳。

又，在實驗中使用(0001)Si面基板，但使用(000-1)C面、(11-20)面、(1-100)面等低指數面基板，也會產生微管之閉塞效果。又，在實驗中使用4H-SiC，但使用6H-SiC、15R-SiC、2H-SiC基板的多型的基板也會產生微管之閉塞效果。又，在實驗中使用具有8°之偏離角度的



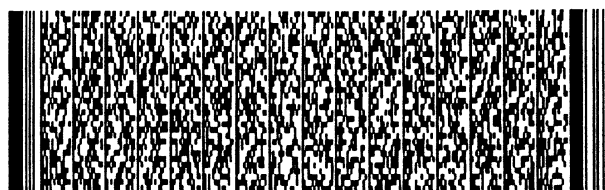
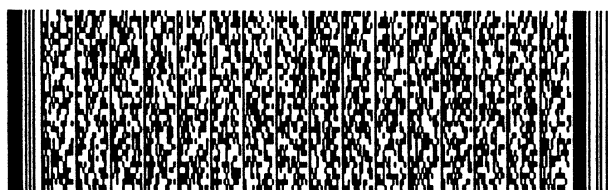
五、發明說明 (11)

SiC 基板，但使用具有 $0^{\circ} \sim 15^{\circ}$ 之偏離角度之低指數面SiC基板也會產生微管之閉塞效果。又，在實驗中之反應壓力為 $10 \sim 250$ Torr， $1500 \sim 1750^{\circ}\text{C}$ 來截經常長，但在 $1 \sim 1000$ Torr， $1400 \sim 2400^{\circ}\text{C}$ 中，也會產生微管之閉塞效果。

又，在實驗中使用直立型減壓熱壁反應爐，但在橫型、冷壁反應爐等配置不同的反應爐中之成長中，也會產生微管的閉塞效果。在此情況之磊晶成長時的結晶成長速度為碳原子供給速度決定速度的範圍之C/Si比，係根據上值而相異之故，所以要適當的選擇。

如上述，SiC基板的面方位，係根據多型、偏離方向、偏離角度、或成長時的壓力、溫度、或反應爐的形狀、種類，而使微管之閉塞C/Si比調整。然而，不管在哪一情況，微管閉塞時原料氣體中之C/Si原子比係在結晶成長速度在碳原子供給速度決定速度之範圍內。

又，將SiC結晶使用在SiC半導體或SiC單結晶基板時，要求SiC結晶之雜質濃度，具有例如可控制氮濃度之性質（以下，稱為「膜質」）。在此，關於往磊晶層中之氮的亂度量，由於位置競爭的性質，所以藉由在比較高的C/Si比中進行成長而可使其降低。圖5係顯示不進行刻意的摻雜而至製造SiC結晶時之C/Si比與所得到之SiC結晶之氮濃度之關係。又，在圖5中，C/Si比為0.9或1.0之情況中，雖然摻雜濃度太低無法測定，但隨著C/Si比變高，有摻雜濃度降低之傾向，所以認為C/Si比在0.8~1.0左右所得到之SiC結晶之氮濃度係成為最低之物。根據本發明者



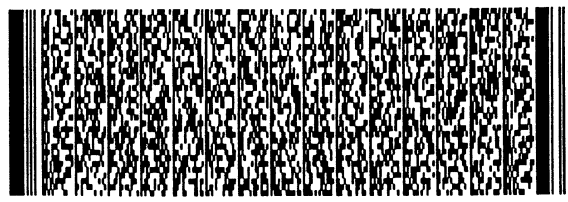
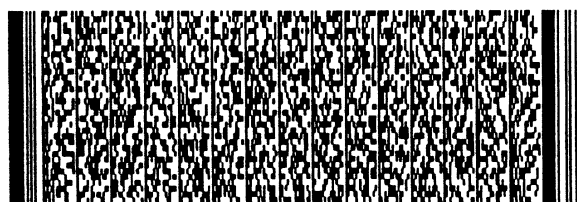
五、發明說明 (12)

們的實驗，製作雜質濃度低之SiC結晶膜之條件，除了反應爐內之清淨度之外，還必須將作為成長條件之C/Si比設定在適當的值。在成長溫度1530℃、成長壓力50 Torr、H₂的流量為10L/分之中，使C/Si比從0.6變化至0.8使其成長，則在成長之結晶中所含之雜質之氮濃度，會提留在例如可作為高電壓SiC半導體元件來利用之 10^{16}cm^{-3} 以下之低濃摻雜濃度，而了解到從 10^{15}cm^{-3} ~ 10^{13}cm^{-3} 左右變化。又，發現表面形狀比係C/Si比在0.9~0.6之範圍內為平坦。

因此，在本發明之成膜條件下，製造高純度之SiC半導體用SiC結晶之情況之C/Si比，以0.1~0.6為佳，而更以0.90~0.75為佳。此C/Si比與為了得到高微管閉塞率之條件(C/Si比在0.6以下)並不一致。

然而，在高電壓元件用之元件所使用之磊晶膜中，除了膜厚之外，還要求以 10^{14}cm^{-3} 左右以下之低摻雜濃度。為了得到此程度之低摻雜濃度，須將C/Si比設定在0.8~0.9，但此條件與為了得到高微管之閉塞率之條件(C/Si比在0.6以下)並不一致。因此，從低C/Si比開始成長，成長為了使微管閉塞之緩衝層(微管閉塞層)後，藉由在高C/Si比使低摻雜濃度(n層)成長，而可得到微管閉塞且所希望之低摻雜濃度之膜質之SiC結晶。

從以上，先在使C/Si比為碳原子供給速度為決定速度之0.8以下，更好是在0.6以下，在結晶表面上形成中空缺陷減少之SiC結晶作為緩衝層(微管閉塞層)，接著，在該結晶上，以形成較緩衝層形成時之C/Si比還高之所希望的

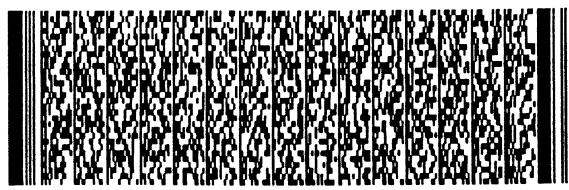


五、發明說明 (13)

C/Si 比，藉由一例如 0.8 左右來使 SiC 結晶磊晶成長，而積層摻雜濃度層 (n 層)，從 SiC 結晶之基板延伸之稱為微管之中空缺陷減少，且製造具有所希望之膜質之 SiC 結晶。又，在本實施形態中，將 SiC 單結晶基板上之第一層作為微管閉塞層之緩衝層，在其上形成之第 2 層作為易控制摻雜濃度之雜質濃度低之膜質之活性層，根據不同情況，可以以 2 層以上階段性的增加 C/Si 比來調整，或是也可以 2 層至 3 層在其間連續而緩慢的使 C/Si 比增加來調整，而使連續之磊晶成長進行。不管根據哪一種，都可得到微管閉塞且易控制摻雜物而雜質濃度低之膜質。

又，根據不同情況，藉由調整成至少 2 種之 C/Si 比來之結晶成長可得到，至少第 1 層與第 2 層皆為以調整至碳原子供給速度為決定速度之範圍內之 C/Si 比 (例如第 1 層為 0.35，第 2 層為 0.75，或也包括與其相反之關係) 來形成也可，至少一者之層調整至碳原子供給速度為決定速度之範圍內之情況也可。不管哪種情況，可得到微管閉塞之 SiC 結晶基板。又，調整成至少 2 種之 C/Si 比而在 SiC 單結晶基板上磊晶成長之第 1 層為低 C/Si 比，在其上之第 2 層為較其高之高 C/Si 比，積層於 SiC 單結晶基板上之第 1 層作為緩衝層，而可對於其上之第 2 層賦予不受 SiC 單結晶基板影響之希望的膜質。

原料氣體中所用之碳含有材料，以甲烷、乙烷、丙烷、丁烷、乙烯、丙烯、丁烯、乙炔等，碳原子數在 1~4 之飽和或不飽和脂肪族碳酸氫為適合。



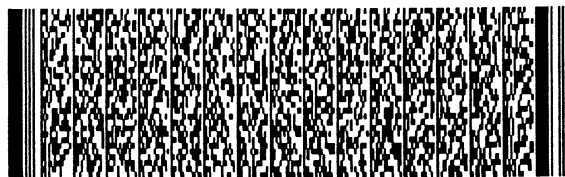
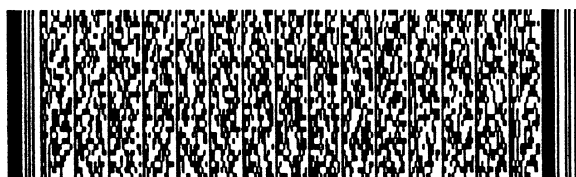
五、發明說明 (14)

另一方面，作為矽含有材料，以單矽烷、環矽烷、雙環矽烷、四環矽烷等為適合。

以前述碳原子含有材料以及矽原子含有材料作為載子氣體，可使用非氧化性氣體，而以用氫氣等之還原性氣體為佳。

在本發明之實施形態中，此SiC結晶的製造方法係如圖2所示，利用半導體結晶之製造裝置1來實施。此製造裝置1，係包括：感應加熱設備2、藉由該該感應加熱設備2而被感應加熱之固體輻射構件3、支持藉由該固體輻射構件3而加熱之SiC單結晶基板4之承受器7，藉由來自被感應加熱之固體輻射構件3之固體輻射，在比承受器7還高溫下加熱SiC單結晶基板4，使供給於其表面5上原料氣體6之碳以及矽原子連續析出成長而製造SiC結晶膜11。

此製造裝置1，係包括對於固體輻射構件3，空出間隔而設置之基板支持設備（以下，稱為承受器）7。承受器7以及其所支持之SiC單結晶基板4，係相對於固體輻射構件3而空出間隔來配置。因此，承受器7與SiC單結晶基板4，係藉由來自固體輻射構件3之固體輻射熱來加熱。在此，藉由感應加熱設備2所得到之高頻率感應而主要只使固體輻射構件3被感應加熱之故，固體輻射構件3在裝置1內為最高溫，而承受器較固體輻射構件3還低溫。藉由此，抑制承受器7之表面8之蝕刻作用，可防止從承受器7之雜質放出或承受器7之覆膜之裂化。其結果，可期高溫且常時間之結晶成長，而可得到高品質之結晶。



五、發明說明 (15)

製造裝置1，包括使原料氣體6之供給管9。在供給管9之內側中收容著承受器7與固體輻射構件3，任一種都使其相互非接觸而以治具（無圖示）等來支持。

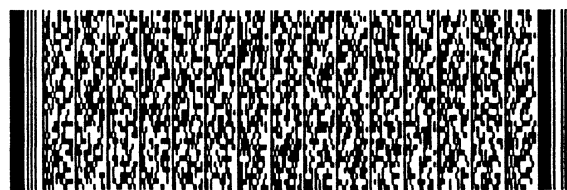
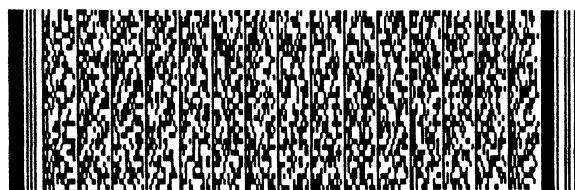
作為供給管9，採用例如石英製之直立型水冷2重管。載子氣體10以及原料氣體6，係如圖中箭號所示從供給管9的下部來導入而從上部排出。因此，再高溫時SiC單結晶基板4以及承受器7附近，使氣體6、10加熱而朝著上升方向產生自然對流時，氣體6、10的流向也和自然對流方向一致，所以可維持順暢的氣體流。

又，在供給管9的周圍設置感應加熱設備2。在本實施形態中，感應加熱設備2係捲繞在供給管9之周圍的感應線圈。給予此感應加熱設備2例如震盪頻率30kHz、最大輸出電力50kW之高頻率震盪來感應加熱固體輻射構件3。

固體輻射構件3係石墨製，在供給管9內平行的配置而為例如圓筒狀。在此固體輻射構件3之內側，承受器7藉由治具而非接觸的設置。在固體輻射構件3的周圍設置著碳精斷熱材。藉由此，可將固體輻射構件3加熱至約1800℃。

承受器7係形成為楔形，尖端朝著氣體流的上游側而配置。在承受器7的2個傾斜之表面8上，分別設置SiC單結晶基板4。因此，SiC單結晶基板4係成長面斜斜地朝著氣體流而由承受器7來支持。藉由此，原料氣體6之成分可斜斜的吹黏在SiC單結晶基板4的成長面上。

又，承受器7係由覆層SiC之石英所製。藉由SiC之覆



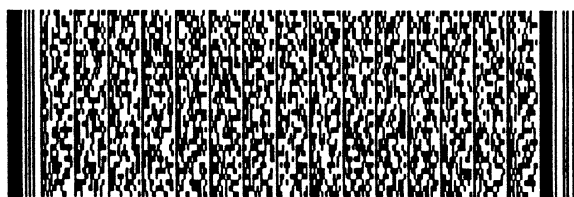
五、發明說明 (16)

層可防止從石墨材放出雜質時，所以可得到高純度之結晶膜。

使用上述之製造裝置1而如下述製造SiC結晶11。

首先，在承受器7上SiC單結晶基板4之成長面與原料氣體流6接觸，而且將SiC結晶成長方向朝原料氣體流6之上游側來安裝。接著，將供給管9之內部抽真空，隨著將雜質儘可能的除去，並減壓至40~50 torr。藉由感應加熱設備2來進行高頻率震盪，感應加熱固體輻射構件3。固體輻射構件3輻射而將SiC單結晶基板4加熱至1400℃~1500℃。然後，以氫氣將SiC單結晶基板的表面蝕刻洗淨後，使載子氣體10與調整到碳原子供給速度為決定速度之C/Si比之原料氣體6流通。藉由此，在SiC單結晶基板4表面5以及承受器7的表面8上連續的析出原料氣體6之成分元素或化合物。此時，在SiC單結晶基板4上成長SiC結晶11，此時，微管分解成小的卜格向量之螺旋差排而閉塞。

如此所得到之SiC結晶11以及SiC單結晶基板4，在C/Si比0.6中，雖無法得到最超純度之結晶，但可得到 10^{16}cm^{-3} 以下之較低的摻雜濃度之結晶，所以可作為例如高電壓SiC半導體元件等來利用。又，SiC結晶11形成後，從SiC結晶11取下SiC單結晶基板4而只將SiC結晶11作為SiC單結晶基板來使用也可。在此情況，可得到微管13含有率低之單結晶基板。若利用此SiC結晶11來形成半導體元件的話，可期待半導體元件之耐電壓性的高性能化、可使用面積擴大、良率增加。



五、發明說明 (17)

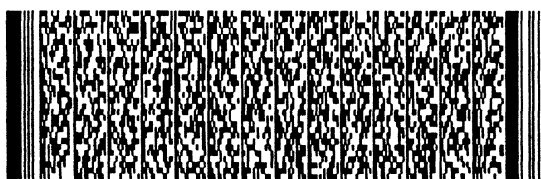
本發明之SiC結晶，係藉由前述SiC結晶的製造方法所製造之SiC結晶，亦即從SiC單結晶基板延伸出來之中空缺陷減少之SiC結晶，以及從SiC單結晶基板延伸出來之中空缺陷減少，且具有所希望的膜質之SiC結晶。這些SiC結晶，也很適合作為製造SiC單結晶膜、SiC半導體、SiC單結晶基板、以及SiC大結晶用之晶種。

本發明之SiC單結晶膜，可為在具有中空缺陷之SiC單結晶基板上以階流(step flow)模式來使其磊晶成長而積層之SiC結晶上，為了得到可控制摻雜物濃度之膜質，而將C/Si比再調整到適當的值，而使SiC結晶磊晶成長而積層之SiC單結晶膜。在此，微管閉塞時與得到可控制摻雜物濃度之膜質時之C/Si比的變更，可階段性地進行，也可逐漸的變更。

又，該SiC單結晶膜，可為在製造時所使用具有中空缺陷之在SiC單結晶基板上之單結晶膜。又，也可為除去具有中空缺陷之SiC單結晶基板之單獨的結晶膜。

本發明之SiC半導體元件，係在前述本發明之SiC單結晶膜中使其摻雜含有既定濃度之摻雜物之半導體元件。作為摻雜物，包括可使其摻雜含有氮、磷之n型半導體元件，使其摻雜含有鋁、硼等之P型半導體元件。特定的來說，前述SiC單結晶膜中摻雜含有既定濃度的氮作為摻雜物之n型的半導體元件。這些SiC半導體，可適合作為在高溫作動之動力裝置用半導體來使用。

本發明之SiC單結晶基板，係包括前述SiC單結晶膜之



五、發明說明 (18)

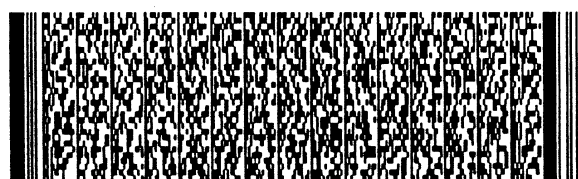
基板。該基板，可單獨為SiC單結晶膜，也可含有在SiC單結晶膜之製造中所使用之具有中空缺陷的SiC單結晶基板。

這些SiC單結晶基板，只要在單結晶表面上沒有露出中空缺陷，即使基板內部存在著中空缺陷，如圖11所示相對於包括延伸出來之微管的元件可在200~300V破壞，具有超過1000V之逆電壓之高耐電壓。因此，可適用於高耐壓、低損失且在高溫可作動之動力裝置用之基板。

本發明之電子裝置，係在前述SiC單結晶基板載置電子元件之裝置。如前述，SiC單結晶膜具有極高的耐電壓，所以可作為高耐壓、低損失，且可在高溫作動之動力裝置。

本發明之SiC大結晶之製造方法，其特徵在於：係在各種SiC大結晶之製造方法中，使用前述SiC結晶作為晶種。

SiC結晶係如前述減少了微管，所以藉由將其作為晶種而可得到微管密度小之SiC大結晶。例如，在藉由昇華堆積法之SiC大結晶之製造方法中，在石墨製之坩鍋中，使前述從SiC結晶構成之晶種在坩鍋的底部，將固體的SiC材料充填在坩鍋上部，將固體SiC材料在昇華溫度（~2400°）加熱使其昇華，由於在坩鍋內的溫度梯度，在維持在較昇華溫度還低之溫度之種結晶上使其再結晶，使SiC大結晶成長。此時，作為固體SiC材料，可使用粒狀SiC、SiC多結晶、SiC單結晶。又，藉由在這些前述固體材料中



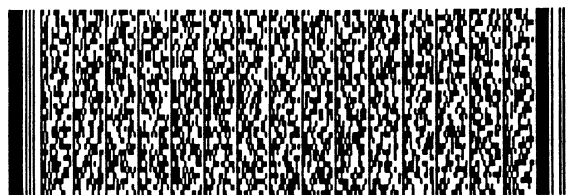
五、發明說明 (19)

加入SiC含有材料，或加入吸收C之Ta等，調整坩鍋內之C/Si比，調整於在碳原子供給速度決定速度之範圍內之所希望的結晶成長速度來使SiC大結晶成長。

又，前述晶種除了昇華堆積法以外，還可使用藉由高溫CVD法之SiC大結晶之製造方法等。又，上述之實施形態係本發明之較佳實施例之一例，但本發明不限於此，只要不脫離本發明之要旨之範圍，可實施種種的變形。例如，在本實施形態中，由於市售之SiC單結晶基板多為偏離角為 8° 者，所以主要說明以階流(step flow)模式之結晶成長與微管閉塞，但藉由螺旋成長而結晶成長之情況中，也將原料氣體中的C/Si比調整至結晶成長速度在碳原子供給速度為決定速度之範圍內來使結晶成長的話，在其成長過程中，同樣的微管會閉塞。此螺旋成長與階流(step flow)模式成長，係被偏離角所左右，在無偏離角者(0°)以及角度小者(0.05°)等中，螺旋成長為表面成長主要的模式。然後，若偏離角變大，則階流(step flow)相對於螺旋成長會變得較強而進行。

使用 8° 偏離(0001)Si面之SiC基板，使C/Si比在0.6~0.9之範圍內變化時之表面形狀觀察實驗，與從結晶學的解析來看，考察到微管的閉塞係由於使C/Si比變化，而產生以下之機制。

首先，在具有偏離角之(0001)Si面之SiC基板上，如圖14以及圖13所示，表面上存在許多的階差12，由於結晶成長，階差12會往一方向(箭號方向)進行前進而階流



五、發明說明 (20)

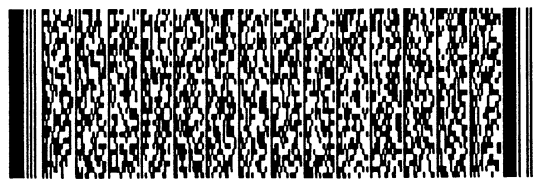
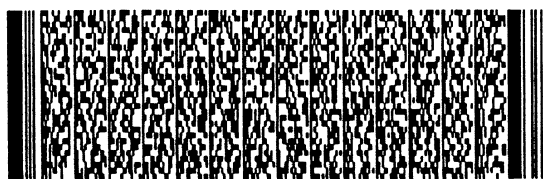
(step flow) 成長。又，大型的螺旋差排之微管13之周邊有從微管產生之螺旋成長階差14螺旋成長。

在階流(step flow)成長與螺旋成長共存之微管13的周邊，由於相對速度的關係，成長模式會變化。平均每單位時間之通過微管13之階流(step flow)的階差12的總數，與以微管13為中心一邊旋轉一邊成長之螺旋成長階差14的總數（螺旋成長階差14之階數之旋轉數倍）之大小，而決定優選之成長模式。

若C/Si比小的話，則平均每單位時間通過微管之階流(step flow)之階差的總數，相對於每單位時間由於微管所生成之階差之總數還大，所以會進行階流(step flow)成長為優勢之表面成長模式。然後，階流(step flow)的階差12與微管13之相互作用變強，所以可知微管的閉塞會以更確定的比率產生。

又，若相反的C/Si比大的話，平均每單位時間通過微管之階流(step flow)之階差總數，較每單位時間由於微管所生成之階差總數，相對的較小，所以會進行表面的螺旋成長為優勢之表面成長模式之結晶成長。然後，階流(step flow)之階差12與微管13之相互作用變弱，所以可知微管的閉塞不易產生。

又，此現象可以以下之擴張的表現來表示。微管係結晶幾乎平行於c軸而從基板延伸出來，微管係沿著c軸螺旋成長來傳播。又，具有與c軸垂直之位置關係之c面，使c面往擴張方向成長，在其先端之階差，係不同於微管而獨



五、發明說明 (21)

立在結晶表面平行進行。

因此，結晶表面顯現之微管部分，在每單位時間中，相對於通過平行之c面端之階差之總數，單位時間內由微管所生成之螺旋成長之階差的總數大，所以可以抑制螺旋成長之優選性，而可阻礙微管之延伸。此螺旋成長之階差之相對速度，係考慮到藉由使C/Si比變小，而可使其減少，所以在小C/Si比進行成長，係對於微管之閉塞可以良好的確定的比率使其有效地發生。此係對於任何偏離角度及任何面位都一樣的。

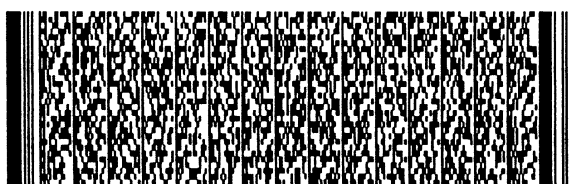
又，在本實施形態中，使用將SiC單結晶基板之加熱藉由將與該基板空出間隔而設置之固體輻射構件3感應加熱所得到之輻射熱來加熱之製造裝置1，但本發明並不限於此，也可使用將支持SiC單結晶基板4之承受器直接感應加熱之SiC單結晶基板4之加熱裝置。又，也可使用滿足與上述裝置1相同之成膜壓力、成膜溫度等成膜條件之CVD裝置。

實施例

根據本發明之實施例與比較例，而更詳細的說明。

實施例1

使用圖2所示之應用於製造裝置1之直立型熱壁型CVD之輻射加熱式反應爐，來使SiC結晶11磊晶成長而製造。在承受器7之上面22之溫度可透過設置於供給管9上方之石英窗藉由高溫計來測定。藉由此高溫計所測定道之溫度設定為成長溫度。因此，以下所示之成長溫度皆為承受器7



五、發明說明 (22)

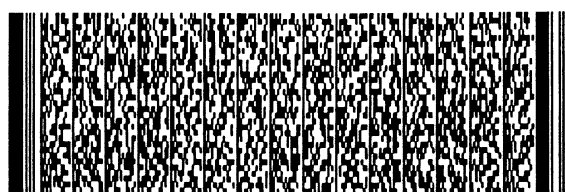
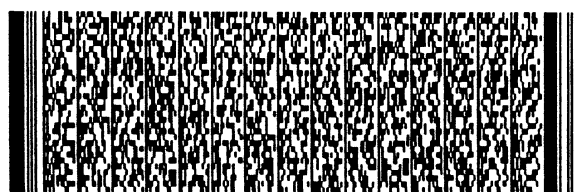
的上面22之測定溫度。

作為SiC單結晶基板，將市售之直徑50mm之8° 偏離之4H-SiC(0001)基板（美國Cree公司製）切斷成既定的大小（1/4）來使用。在爐內之承受器7上設置SiC單結晶基板4，抽真空到 10^{-7} Torr以下，除去爐內的殘留氣體。之後，只導入氫氣，在壓力30 Torr左右，溫度1400℃以下，以高溫氫氣蝕刻SiC單結晶基板4。之後，調整為溫度1550℃、壓力50 Torr，加入氫氣載子氣體10，供給單矽烷以及丙烷所構成之原料氣體6。將單矽烷（30sccm）以及丙烷（6sccm）之C/Si比調整到0.6左右，使SiC結晶11成長。

依照上述步驟使4H-SiC高速成長，對使結晶成長後之SiC結晶11之表面，與除去此SiC結晶11後之SiC單結晶基板4之表面的同一個地方之缺陷的情況以電子顯微鏡拍攝照片來比較。藉由分別將其表面化學處理蝕刻，使缺陷可看見。其結果示於圖6。圖6A為使結晶成長後之SiC結晶11表面，圖6B為除去SiC結晶11後之SiC單結晶基板4之表面。

如圖6A所示，確認到複數的螺旋差排。又，如圖6B所示，由於可看見六角形之蝕刻洞，可了解到SiC單結晶基板4中存在著微管缺陷。因此，確認到SiC單結晶基板之微管缺陷分解成螺旋差排。

因此，根據本發明之SiC結晶之製造法，C/Si比之成長速度在碳原子供給速率為決定速度之約0.6時，存在於



五、發明說明 (23)

SiC單結晶基板4之微管閉塞。

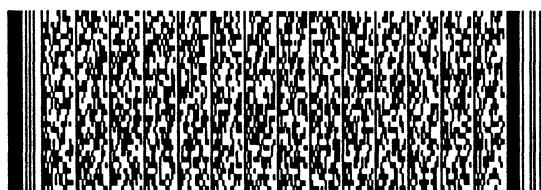
實施例2

使原料氣體6之C/Si比在0.4~1.0之範圍內變化以外，以與實施例相同的條件積層SiC結晶，測定使原料氣體6之C/Si比在0.4~1.0之範圍內變化時之SiC結晶之雜質濃度也就是氮濃度。其結果示於圖5。如同圖所示，在上述條件，作為雜質之氮濃度為最低之C/Si比之最適當範圍為0.8~0.9，在較其低之C/Si比0.4~0.7中，隨著C/Si比變低，氮濃度變高，若在較其高之C/Si比1.0以上，則半導體的性質從n型變化為p型。因此，作為n型且為高電壓元件用之磊晶膜，了解到保持在氮濃度為 10^{15}cm^{-3} 以下之低摻雜濃度而形成之SiC結晶11之C/Si比的適性範圍0.6~0.9左右。又，在比較平坦之表面之SiC結晶11形成之適性範圍為0.5~0.9左右。

因此，了解到在此製造裝置1中，只要C/Si比在0.6~0.9之範圍內，則在雜質濃度及表面形狀之點上沒有實用上的問題。

實施例3

使C/Si比在0.6~0.9內變化之同時，其他的條件同於實施例1來使SiC結晶11成長，調查存在於SiC基板上之微管13之閉塞率。其結果示於圖4。如同圖所示，相對於C/Si比在0.9左右之條件下閉塞率未滿1.0%，若降低C/Si比而成為Si過剩的條件，則微管的閉塞率增加，在0.6成為99%以上之過剩率。



五、發明說明 (24)

因此，在此製造裝置1中C/Si比在碳原子供給速率為決定速度時為0.6時，閉塞率為99%以上之同時，從實施例2之結果來看表面形狀也沒問題，所以了解到可得到最適合半導體元件使用之SiC結晶11。

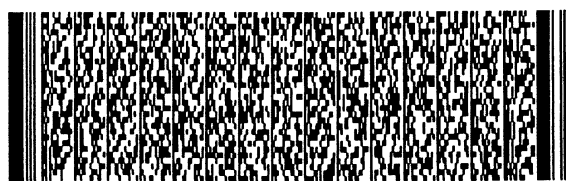
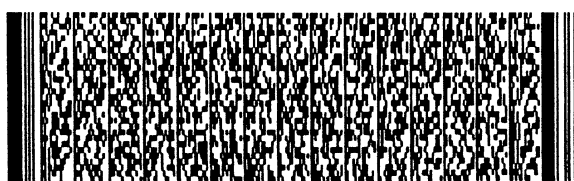
實施例4

與實施例3相同的條件，更將C/Si比擴大到0.4~1.0之範圍使SiC結晶11成長，調查C/Si比與存在於SiC基板之微管13之閉塞率與結晶成長速度。其結果示於圖4B，如同圖所示，在C/Si比超過0.8之範圍中，成長速度飽和幾乎為一定，C/Si比從0.8開始，碳原子供給速度開始決定速度，而在0.8以下由於碳之供給速度決定速度而使結晶成長速度減少。

實施例5

在同於實施例1之條件下，而在較實施例1更低之0.5之C/Si比，在SiC單結晶基板4上形成構成緩衝層之結晶膜，之後，藉由製作最高純度之結晶之C/Si比0.8來使摻雜濃度低的結晶成長，形成使用2層構造之元件。從實施例3以及4之結果來看，即使在C/Si比較0.6低之0.35或0.5等形成緩衝層，也有微管之閉塞效果。又，確認到元件所使用之結晶即使為了將摻雜濃度降低而使C/Si比回復到0.8等的高值，也不會再形成微管。而且，使用如此之2層構造之結晶，不管有無包括大的微管，達成逆電壓1kV以上之耐壓。

實施例6



五、發明說明 (25)

與實施例相同之條件，更使C/Si比為0.8，藉由製造裝置1來在降低缺陷之膜厚 $21\ \mu\text{m}$ ，摻雜濃度 $5 \times 10^{15}\text{cm}^{-3}$ ，直徑0.5mm之Ni/4H-SiC之表面上形成蕭基二極體，評價其電流—電壓特性。其結果以耐電壓及漏電流之關係而示於圖8。此包括閉塞之微管之二極體，直到逆電壓為1000V都不會發生破壞。

比較例1

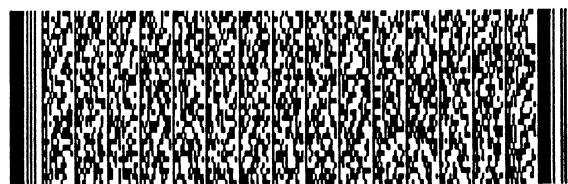
在包括延伸到膜厚 $21\ \mu\text{m}$ ，摻雜濃度 $5 \times 10^{15}\text{cm}^{-3}$ ，直徑0.5mm之Ni/4H-SiC表面之微管之SiC結晶表面上形成蕭基二極體，評價其電流—電壓特性。其結果以耐電壓及漏電流之關係而示於圖8。又，評價前之狀態示於圖7與圖8。圖中，箭號為微管。

此二極體，在逆電壓為400V以下之低領域發生破壞。又，了解到破壞的地方係微管存在之部分（圖7（C））。因此，確認到即使半導體元件中只含有一個延伸之微管，都會由於破壞而使元件全體無法發揮機能。

從前述實施例5之結果與比較例1之結果，確認到藉由結晶成長，發現到微管閉塞之地方耐壓特性大大的改善。

實施例7

C/Si比也對磊晶膜之平坦性有所影響。在進行實驗之直立型熱壁反應爐中，在C/Si=0.8前後之條件，可得到平均面粗糙度（RMS）在0.2nm左右（藉由原子力顯微鏡對於 $10\ \mu\text{m}$ 領域之表面之凹凸之測定結果）之平坦的磊晶膜。然後，在C/Si=0.4之條件中，成長膜厚為 $15\ \mu\text{m}$ 之磊晶膜



五、發明說明 (26)

之情況中，在表面上觀察到高1-3nm，間隔為數 μm 之凹凸，而求得平均面粗糙度為0.37nm。在如此低之C/Si比中，繼續成長之情況中，確認到表面粗糙度有增大的傾向。另一方面，C/Si=0.35之條件中，形成膜厚6 μm 之微管閉塞層後，在C/Si=0.8之條件下形成膜厚38 μm 之 n^- 層。在此情況中，可得到平均面粗糙度為0.25nm（在2吋晶圓面中20點之平均值）之平坦表面。

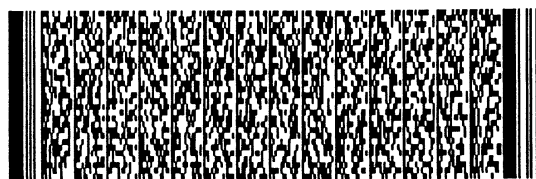
由此來看，了解到藉由在低C/Si比中成長膜厚數 μm 之微管閉塞層後，在適當之C/Si比中進行成長，可得到微管減少之平坦的表面。

實施例8

除了C/Si比之外，與實施例1相同的條件，在低C/Si比（C/Si=0.6）使膜厚成長到45 μm 後，連續地，在高C/Si比（C/Si=0.9）使膜厚成長到40 μm 。藉由此，確認在C/Si=0.6的領域中閉塞的微管不會在C/Si=0.9之領域再形成。

實施例9

除了C/Si比之外，與實施例1相同的條件，以C/Si=0.4，成膜速度7 $\mu\text{m/h}$ ，使構成緩衝層（微管閉塞層）之第1層成長到7 μm ，在其上以C/Si=0.8，成膜速度15 $\mu\text{m/h}$ ，連續的形成膜厚210 μm 之構成高純度層之第2層，在摻雜濃度為 $5 \times 10^{18} \text{cm}^{-3}$ 之微管閉塞層上，成長膜厚210 μm 之高純度層。藉由此，確認到可得到觀察不到表面缺陷之數 mm^2 以上之廣大區域，在微管閉塞層上進行膜厚200 μm 以



五、發明說明 (27)

上之膜厚成長之情況之情況時，也可得到良好的表面。此時，為了得到耐電壓10kV以上之超高電壓元件，而要求較膜厚且低摻雜濃度之磊晶層之點來看，是有意義的。

實施例10

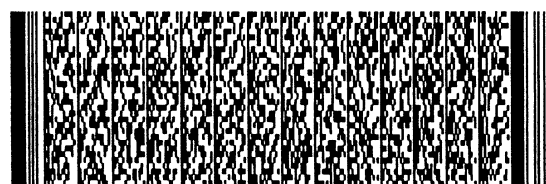
除了C/Si比之外，與實施例1相同的條件，以C/Si比=0.4來使結晶成長，進行 $5 \times 10^{18} \text{cm}^{-3}$ 之氮摻雜。其結果，可得到99.60%之高微管閉塞率。304個微管303個微管閉塞。又，也可得到從基板而貫穿磊晶層之微管密度在 0.3cm^{-2} 以下之2吋晶圓。

實施例11

除了C/Si比之外，與實施例1相同的條件，以C/Si比=0.5來使結晶成長。藉由此，對於氮摻雜在 10^{15}cm^{-3} 前半~ 10^{19}cm^{-3} 前半之寬廣範圍，可得到95%以上之高微管閉塞率。可同時得到高濃度摻雜與高微管閉塞率。此具有高濃度摻雜與高微管閉塞率之SiC結晶或具有結晶膜之SiC單結晶基板，對於減少對元件流過順向電流時之電阻（損失）是有效的。

實施例12

除了C/Si比之外，與實施例1相同的條件，第1層以高C/Si比（0.9）使結晶成長到膜厚 $44 \mu\text{m}$ ，第2層以低C/Si比（0.6）使結晶成長到膜厚 $44 \mu\text{m}$ 。藉由此，即使在遠離基板與磊晶膜之界面之位置，也可藉由整C/Si比來控制微管閉塞率，即使無法得到雜質極少之高純度低摻雜濃度，也較只形成微管閉塞率高，膜厚厚之SiC結晶膜之全部厚



五、發明說明 (28)

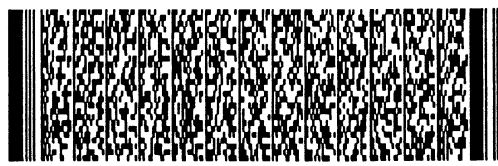
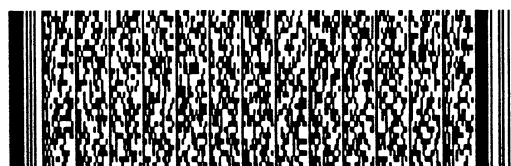
度在低C/Si比(0.6)形成的情況而快速的得到，對於得到高電阻之基板時之有效的。

產業上之可利用性

如上述所示，根據本發明之SiC結晶的製造方法，可製造結晶表面稱為微管之中空缺陷減少之SiC結晶。又，也可對於此SiC結晶賦予所希望之膜質。

以本發明之製造方法製造之SiC結晶，減少中空缺陷，且具有所希望之膜質，所以可適合作為在高溫作動之功率裝置用半導體製造用單結晶膜、高耐壓、低損失且在高溫作動之之功率裝置用之單結晶來使用。又，微管之減少結果，可得到謀求使用面積擴大、良率增加之之半導體元件。然後，提供：使用這些SiC單結晶薄膜之功率裝置用SiC半導體、SiC單結晶基板以及使用該單結晶基板之功率裝置。

又，前述SiC結晶，可適合作為SiC大結晶製造用之晶種來使用，藉由使用該晶種來製造SiC大結晶之製造方法，可製造沒有稱為微管之中空缺陷之大結晶。



圖式簡單說明

圖1係顯示藉由本發明之SiC結晶的製造方法而形成之SiC結晶之模式圖，基板中延伸之微管在所形成之SiC結晶中閉塞，而顯示分解成複數之非中空螺旋差排之情形。

圖2係顯示本發明之實施例中所使用之製造裝置之中央縱剖面側面圖。

圖3係顯示藉由階流(step flow)形成SiC單結晶膜之情況，微管閉塞之情形之平面圖。某階流(step flow)之直線的階梯之圖式分別為，圖3A為到達微管前，圖3B為到達微管時，圖3C為繞過包住微管之下游側時，圖3D係1根螺旋差排分離時，圖3E係微管更離開時。

圖4A係顯示C/Si比與微管之閉塞率之關係之圖表，圖4B更為表示C/Si比與微管閉塞率以及結晶成長速度之關係之圖表。

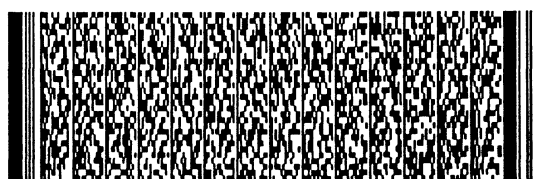
圖5係顯示C/Si比與SiC結晶所含有雜質氮濃度之關係之圖表。

圖6A係顯示從SiC結晶表面之微管分解之複數之小螺旋差排之顯微鏡照片，圖6B係SiC單結晶基板之微管。

圖7A~圖7C係表示包括微管之蕭基二極體表面之顯微鏡照片，分別為，圖7A係表示電壓施加前，圖7B係表示該微管之擴大圖，圖7C係表示在電壓-電流特性試驗中比較低的逆電壓破壞後之蕭基二極體之表面。

圖8係表示蕭基二極體之耐電壓及漏電流之關係之圖表。

圖9A以及圖9B係表示以往之SiC單結晶膜以階流(step



圖式簡單說明

flow) 成長模式來形成之情形之模式圖。圖為階流(step flow)之直線的階差到達微管前之狀態之示意圖，圖9A為平面圖，圖9B為立體圖。

圖10A以及圖10B係顯示以往之SiC單結晶膜形成之情形。圖係階流(step flow)的直線之階梯到達微管前之示意圖。圖10A為平面圖，圖10B為立體圖。

圖11A以及圖11B係顯示以往之SiC單結晶膜形成之情形之微管包圍在下游側時之示意圖。圖11A係平面圖，圖11B為立體圖。

圖12A以及圖12B係顯示以往之SiC單結晶膜形成之情形之離微管更遠時之示意圖。圖12A係平面圖，圖12B為立體圖。

圖13A以及圖13B係顯示微管以及螺旋差排之概略圖，圖13A為微管之立體圖，圖13B為螺旋差排之立體圖。

圖14係SiC單結晶基板之立體圖，顯示在該基板預先設置之複數段之平台以及其偏離角度。

【符號說明】

- | | |
|---------------|--------------|
| 100~SiC單結晶基板； | 101~微管； |
| 102~螺旋錯位； | 103~SiC單結晶膜； |
| 104~螺旋錯位； | 105~卜格向量； |
| 1~製造裝置； | 2~感應加熱設備； |
| 3~固體輻射構件； | 4~SiC單結晶基板； |
| 5~SiC單結晶基板表面； | 6~原料氣體； |



圖式簡單說明

- | | |
|----------------|--------------|
| 7~ 承受器 ； | 8~ 承受器的表面 ； |
| 9~ 供給管 ； | 10~ 載子氣體 ； |
| 11~SiC 結晶 ； | 12~ 階差 ； |
| 13~ 微管 ； | 14~ 錯位 ； |
| 15~ 螺旋差排 ； | 16~ 線狀表面缺陷 ； |
| 22~ 承受器7 的上面 。 | |



四、中文發明摘要 (發明名稱：能減少從基板延伸出來之微管的SiC結晶的製造方法、SiC結晶、SiC單結晶膜、SiC半導體元件、SiC單結晶基板及電子裝置、以及SiC大結晶之製造方法)

【 課 題 】

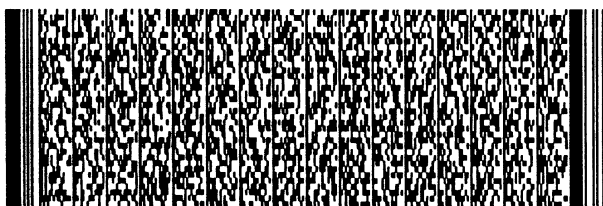
本發明係關於藉由CVD法，提供：使在具有被稱為微管之中空缺陷之SiC單結晶基板上成長SiC結晶時，使中空缺陷閉塞之方法，以及藉由其所得之結晶，接觸將C/Si原子比調整到使結晶成長速度在碳原子供給速率之範圍內之原料氣體，使SiC結晶之複數層磊晶成長積層，SiC單結晶基板之中空缺陷分解成小的卜格向量(Burgers Vector)，而使其不在結晶表面延伸。更以SiC結晶做為緩衝層，而且，使用C/Si比較形成緩衝層時之C/Si比調整至增加方向之原料氣體來再積層SiC結晶，而給予希望的膜質之SiC結晶的製造方法。

五、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

4~SiC單結晶基板； 5~SiC單結晶基板表面；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：能減少從基板延伸出來之微管的SiC結晶的製造方法、SiC結晶、SiC單結晶膜、SiC半導體元件、SiC單結晶基板及電子裝置、以及SiC大結晶之製造方法)

11~SiC結晶；

13~微管；

15~螺旋差排；

16~線狀表面缺陷。

六、英文發明摘要 (發明名稱：)



六、申請專利範圍

1. 一種SiC結晶的製造方法，在具有稱為微管之中空缺陷之SiC單結晶基板上，供給含有碳原子物質以及矽原子含有物質之載子氣體之原料氣體，在常壓或減壓下，在1400℃以上的溫度使前述基板上之SiC結晶磊晶成長，

其特徵在於：

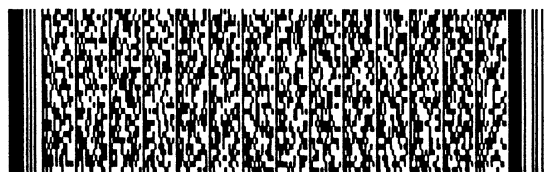
使前述原料氣體中之碳原子與矽原子之原子數比（C/Si比）調整至能使結晶成長速度在碳原子速度為決定速度之範圍內，使SiC結晶之複數層磊晶成長積層，存在於前述基板中之微小缺陷分解成不伴隨複數之卜格向量之細小中空之差排，在SiC結晶表面上不使存在於前述基板之中空缺陷延伸。

2. 如申請專利範圍第1項之SiC結晶的製造方法，其中，調整成至少2種之C/Si比來使磊晶成長。

3. 如申請專利範圍第2項之SiC結晶的製造方法，其中，前述至少2種之C/Si比，在前述SiC單結晶基板上使其磊晶成長之第1層為低C/Si比，在其上之第2層為較其高之C/Si比。

4. 如申請專利範圍第2項之SiC結晶的製造方法，其中，在前述SiC單結晶基板上積層之第1層作為緩衝層，而再在其上積層之第2層，以形成前述緩衝層時之C/Si比調整到還往增加方向之C/Si比之原料氣體之供給下來使其磊晶成長積層，賦予所希望之膜質。

5. 如申請專利範圍第4項之SiC結晶的製造方法，其中，前述第1層為緩衝層，第2層為活性層。



六、申請專利範圍

6. 如申請專利範圍第1項之SiC結晶的製造方法，其中，前述不伴隨卜格向量之細小中空之差排，係螺旋差排或刃差排或部分差排。

7. 一種SiC結晶的製造方法，在前述申請專利範圍第1項之SiC結晶的製造方法中，反應壓力為1~1000 Torr，基板溫度為1400~2400℃，前述C/Si比為0.8以下。

8. 如申請專利範圍第7項之SiC結晶的製造方法，其中，前述反應壓力為10~250 Torr，基板溫度在1500~1750℃，前述C/Si比在0.75~0.35。

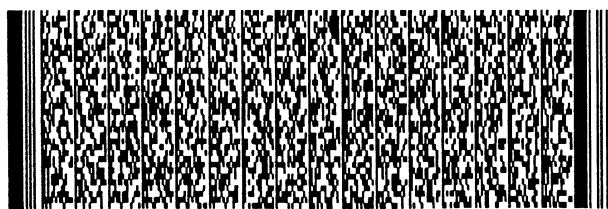
9. 一種SiC結晶的製造方法，在申請專利範圍第4項之SiC結晶的製造方法中，反應溫度為1~1000 Torr，基板溫度為1400~2400℃，前述緩衝層形成時之前述C/Si比為0.75~0.35之同時，賦予所希望之膜質時之前述C/Si比為0.8~0.9。

10. 一種SiC結晶，藉由申請專利範圍第1項之SiC結晶的製造方法所製造。

11. 如申請專利範圍第10項之SiC結晶，其中，前述結晶表面上之從基板延伸之中空缺陷之密度為 $1/\text{cm}^2$ 以下。

12. 如申請專利範圍第10項之SiC結晶，其中，從前述基板延伸到前述表面上之中空缺陷之密度，對於基板中之密度，其再現性最好為50%以下。

13. 如申請專利範圍第12項之SiC結晶，其中，從前述基板延伸到前述表面上之中空缺陷之密度，對於基板中之密度為20%以下。



六、申請專利範圍

14. 一種SiC結晶，至少具有緩衝層之SiC結晶，前述SiC結晶係藉由申請專利範圍第1項之製造方法所形成。

15. 一種SiC結晶，藉由申請專利範圍第2~5項中任一項來形成。

16. 如申請專利範圍第15項之SiC結晶，其中，前述所希望之膜質係不含有既定量以上之顯示半導體性之雜質之膜質。

17. 如申請專利範圍第15項之SiC結晶，其中，前述所希望之膜質係添加既定量之摻雜物之膜質。

18. 一種SiC單結晶膜，其特徵在於：根據申請專利範圍第1~9項中任一項之前述SiC結晶的製造方法來在前述SiC單結晶基板上形成之單結晶膜。

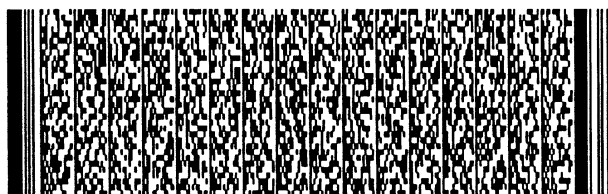
19. 如申請專利範圍第18項之SiC單結晶膜，其中，前述SiC單結晶基板被除去，而為獨立之SiC單結晶膜。

20. 如申請專利範圍第18項之SiC單結晶膜，其中，前述所希望之膜質係不含有既定量以上之顯示半導體性之雜質之膜質。

21. 如申請專利範圍第18項之SiC單結晶膜，其中，前述所希望之膜質係添加既定量之摻雜物之膜質。

22. 一種SiC半導體，其特徵在於：藉由申請專利範圍第18或第19項中任一項之SiC單結晶膜所構成，含有被控制濃度之摻雜物。

23. 如申請專利範圍第22項之SiC半導體，其中，前述摻雜物為氮，係含有既定濃度之該氮之n型半導體。



六、申請專利範圍

24. 一種SiC單結晶基板，其特徵在於：包括申請專利範圍第18~20項中任一項之SiC單結晶膜。

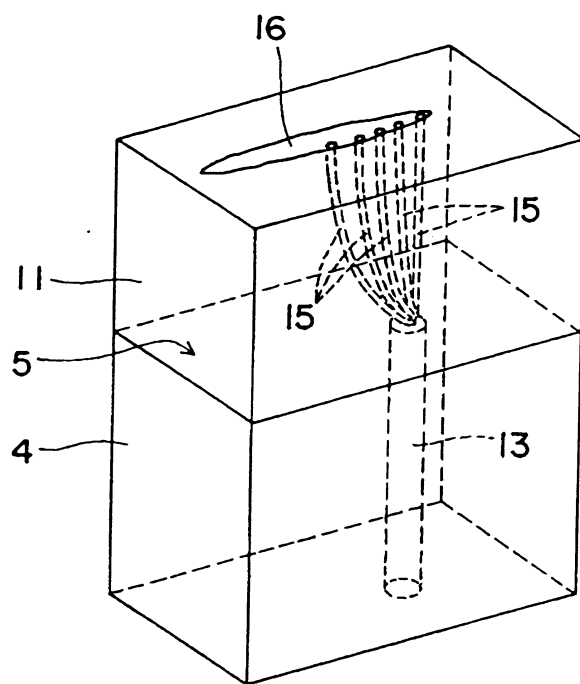
25. 一種電子裝置，其特徵在於包括：申請專利範圍第24項之SiC單結晶基板、以及載置於該基板上之電子元件。

26. 如申請專利範圍第25項之電子裝置，其中，前述電子裝置係蕭基二極體。

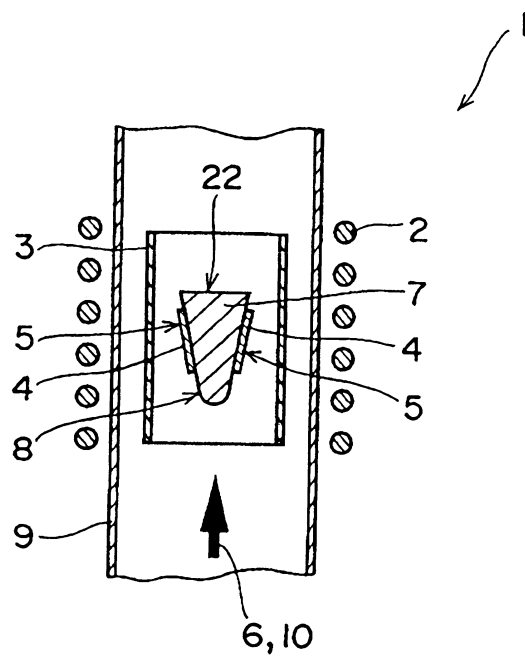
27. 一種SiC大結晶之製造方法，其特徵在於：使用申請專利範圍第10~18項中任一項之SiC結晶作為晶種。

28. 如申請專利範圍第27項之SiC大結晶之製造方法，其中，前述SiC大結晶之製造方法係昇華堆積或高溫CVD法。

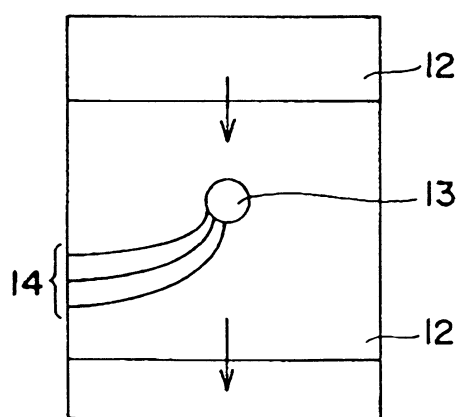




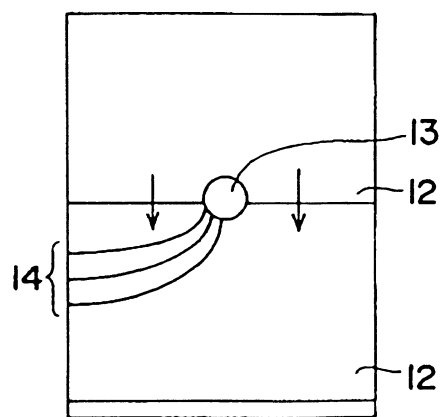
第 1 圖



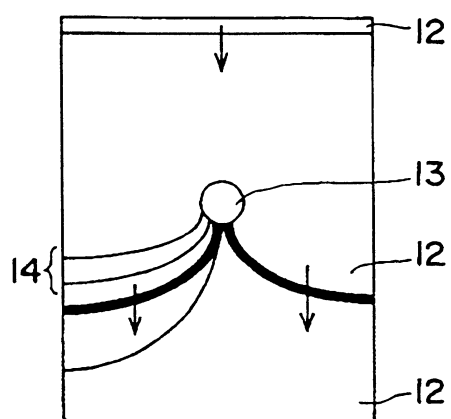
第 2 圖



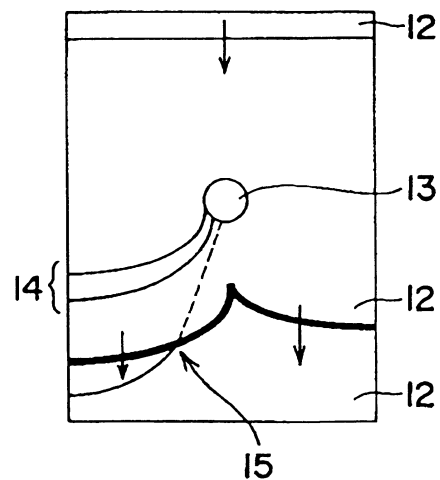
第 3A 圖



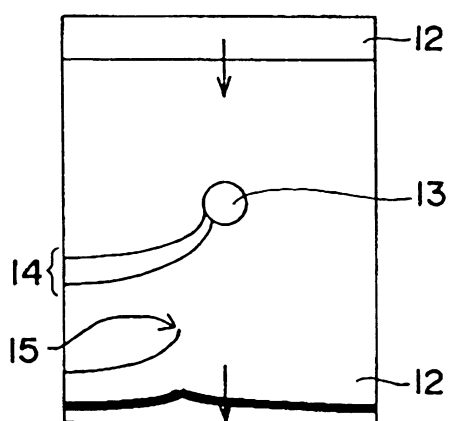
第 3B 圖



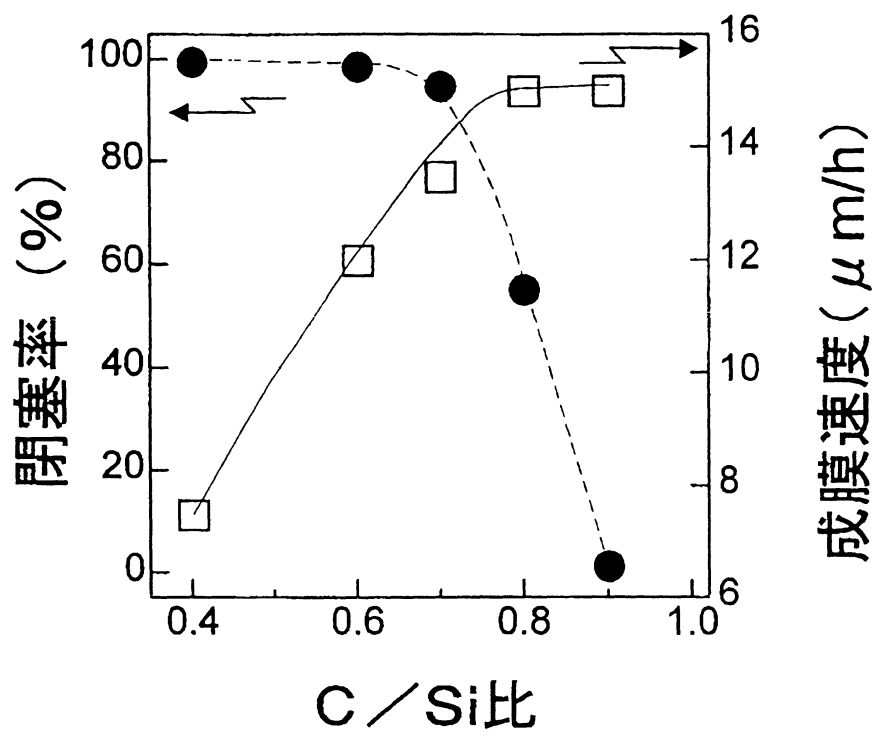
第 3C 圖



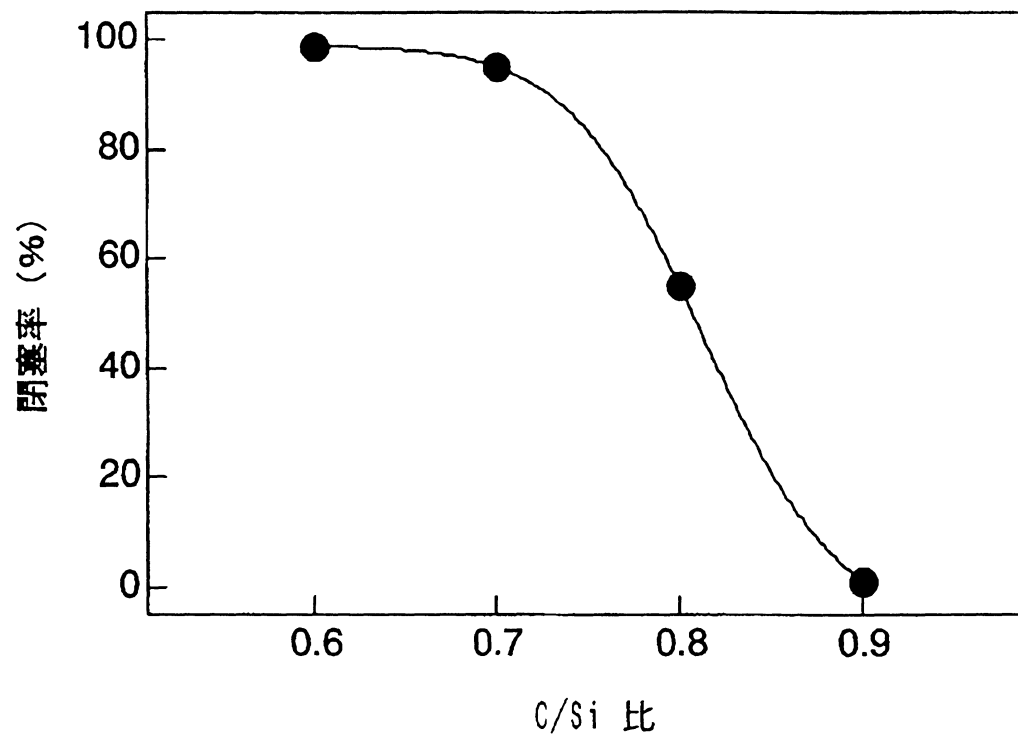
第 3D 圖



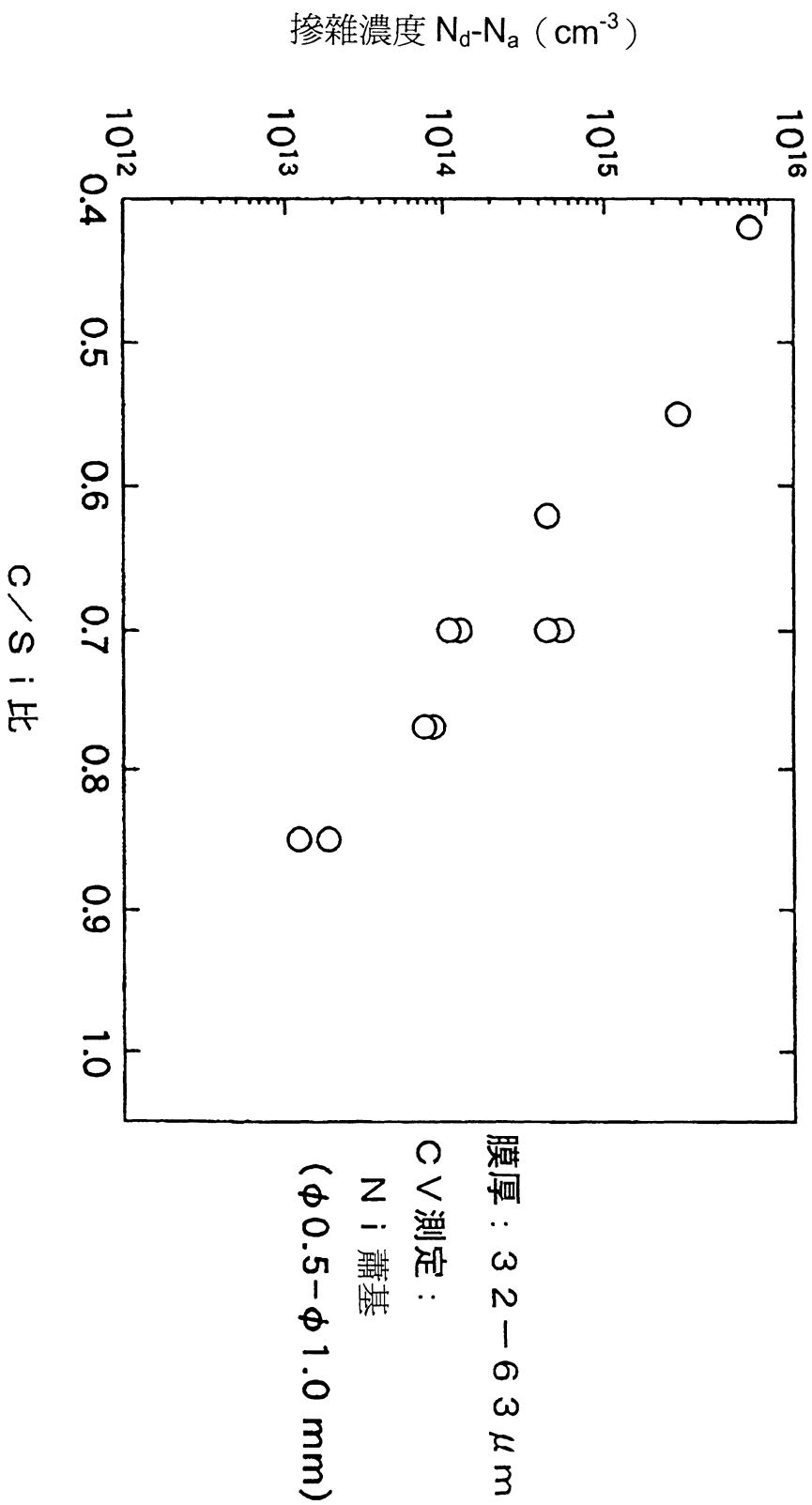
第 3E 圖



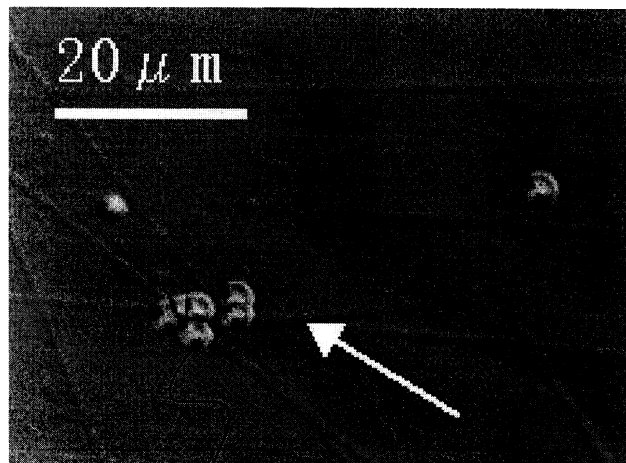
第 4A 圖



第 4B 圖

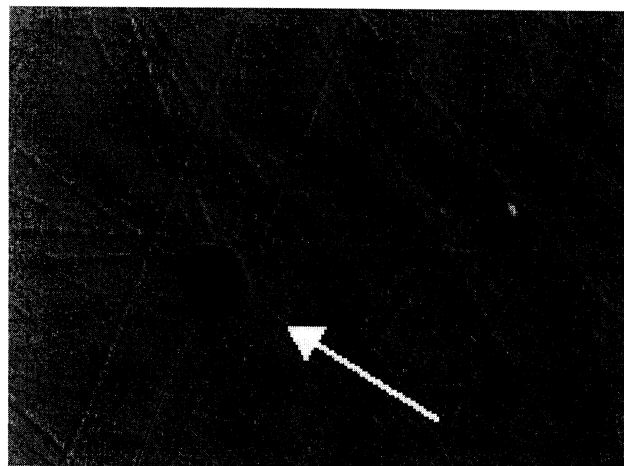


第 5 圖



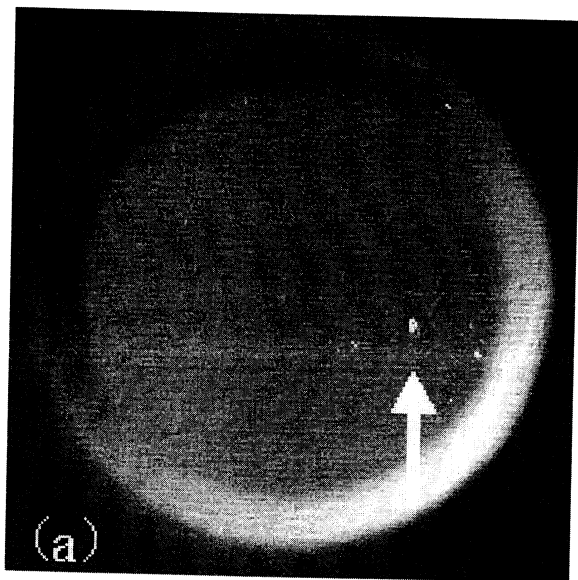
15

第 6A 圖

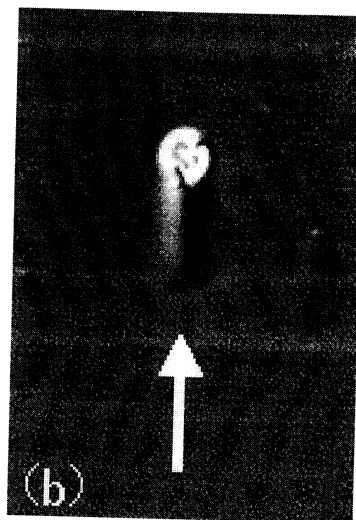


13

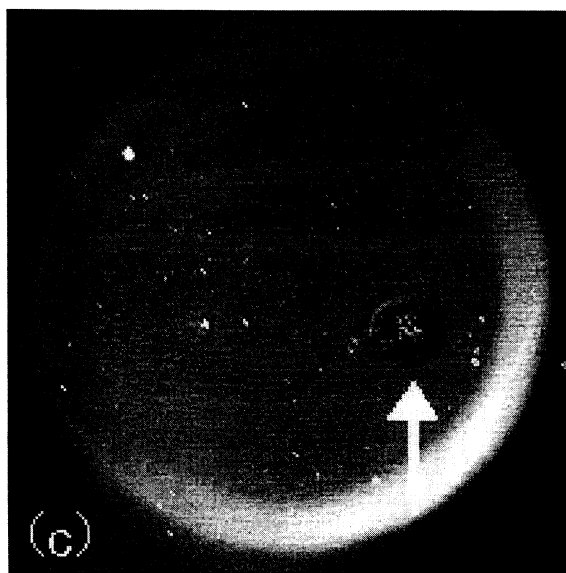
第 6B 圖



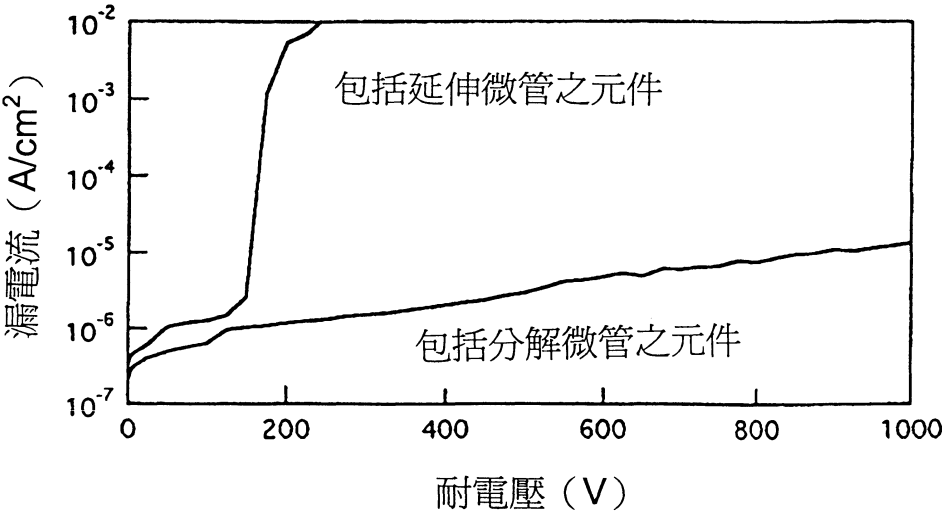
第 7A 圖



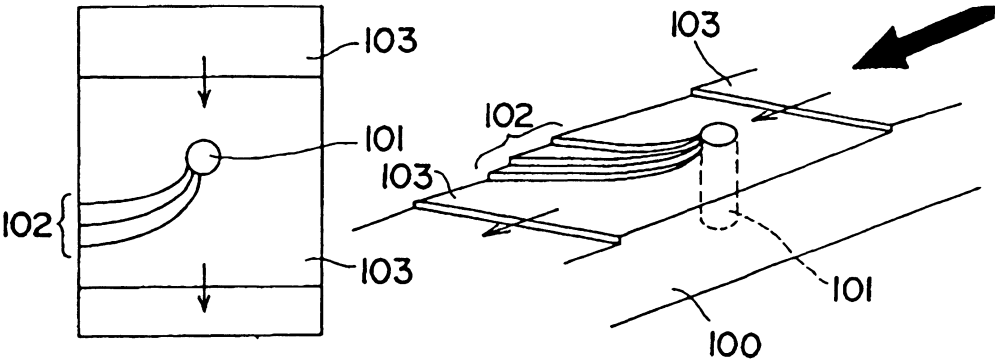
第 7B 圖



第 7C 圖

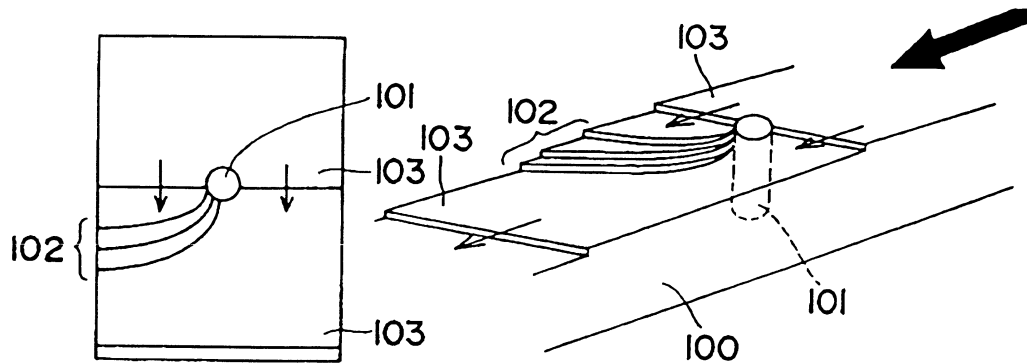


第 8 圖



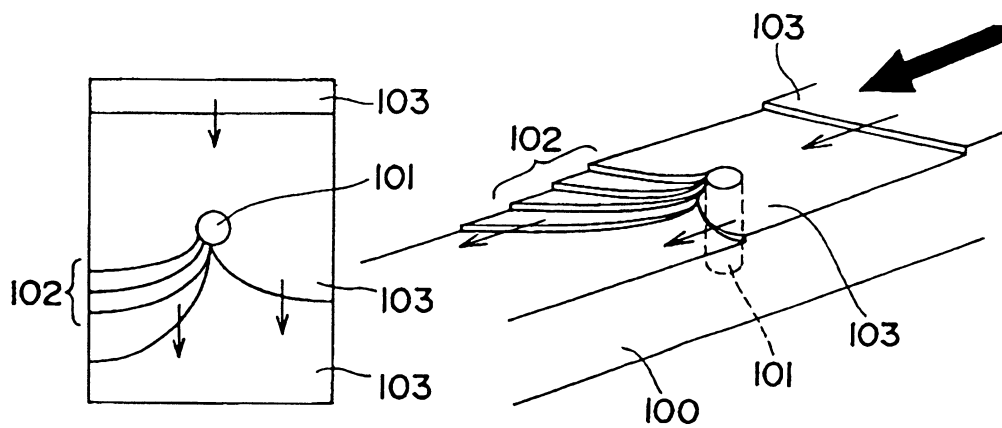
第 9A 圖

第 9B 圖



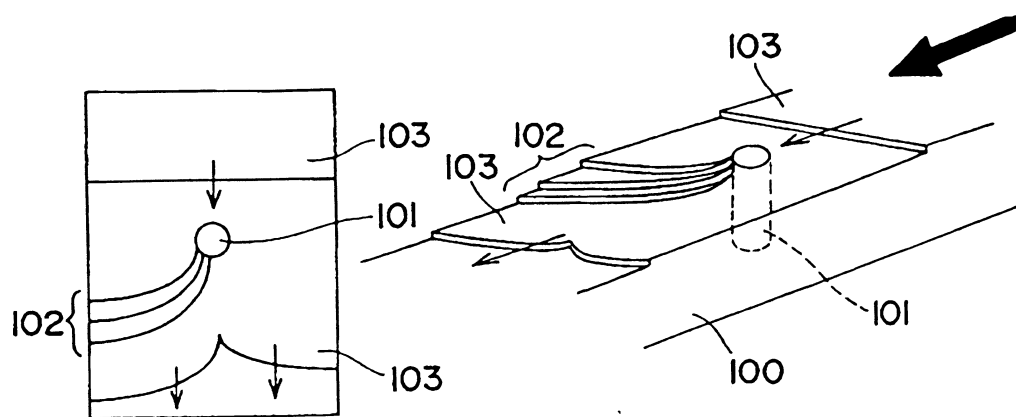
第 10A 圖

第 10B 圖



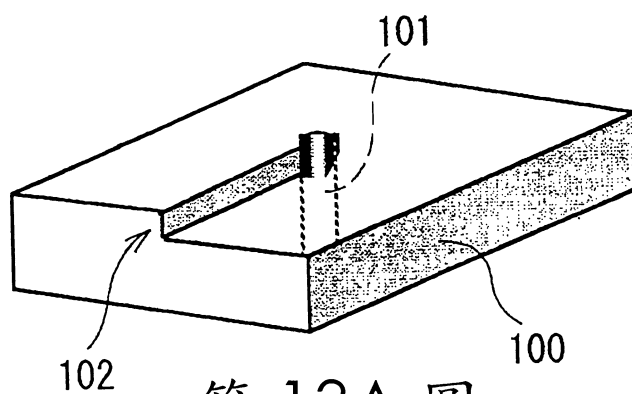
第 11A 圖

第 11B 圖

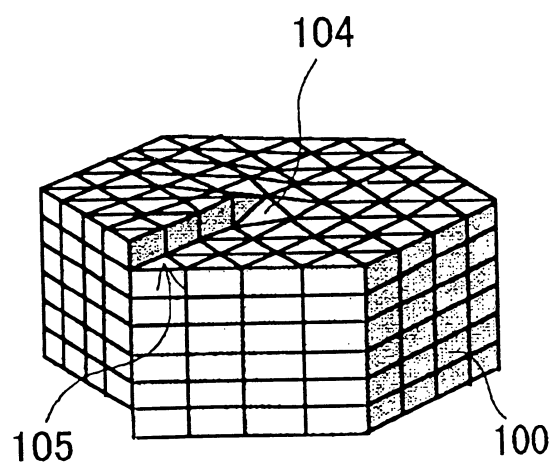


第 12A 圖

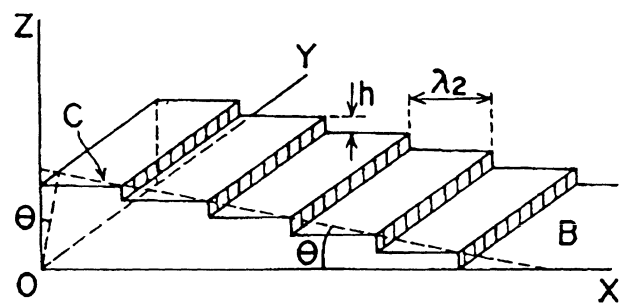
第 12B 圖



第 13A 圖



第 13B 圖



第 14 圖