



República Federativa do Brasil  
Ministério do Desenvolvimento, Indústria  
e do Comércio Exterior  
Instituto Nacional da Propriedade Industrial.

(21) **PI 1102850-5 A2**

(22) Data de Depósito: 28/06/2011  
(43) Data da Publicação: 21/11/2012  
(RPI 2185)



(51) *Int.Cl.:*  
H02P 1/44  
H03K 17/28

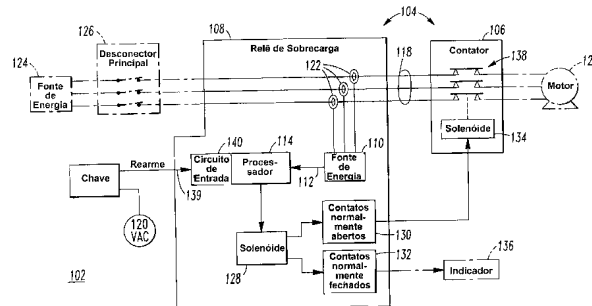
(54) **Título:** CIRCUITO DE ENTRADA PARA SINAL DE CORRENTE ALTERNADA E INICIADOR DE MOTOR

(30) **Prioridade Unionista:** 28/06/2010 US 12/824,585

(73) **Titular(es):** EATON CORPORATION

(72) **Inventor(es):** MARK ALAN VERHEYEN, RONALD ARLIN VANWEELDEN

(57) **Resumo:** CIRCUITO DE ENTRADA PARA SINAL DE CORRENTE ALTERNADA E INICIADOR DE MOTOR. A presente invenção provê um circuito de entrada (20) incluindo uma interface (26) estruturada para emitir um sinal lógico (28) a partir de um sinal de corrente alternada (22) de um par de condutores alongados (24). Uma carga (30) é comutável para os condutores alongados. Um processador (32) emite (35) um sinal de controle (34) para comutar a carga para os condutores alongados, assincronamente com respeito ao sinal de corrente alternada, por um primeiro pré-determinado período de tempo, introduz (36) o sinal lógico, determina (158, 160, 162, 164) se o sinal lógico inserido se ativa uma pluralidade de instantes durante o primeiro pré-determinado período de tempo, e reativamente estabelece um primeiro estado de sinal de corrente alternada, e, caso contrário, estabelece um segundo estado oposto de sinal de corrente alternada, e atrasa (178) por um segundo pré-determinado período de tempo, mais longo que o primeiro pré-determinado período de tempo, para o segundo estado oposto, antes re-emitir, e, caso contrário, atrasa (172) por um terceiro pré-determinado período de tempo, mais longo que o segundo pré-determinado período de tempo, para o primeiro estado, antes re-emitir.



"CIRCUITO DE ENTRADA PARA SINAL DE CORRENTE ALTERNADA E INICIADOR DE MOTOR"

Campo da Invenção

O conceito inventivo se relaciona geralmente a circuitos de entrada e, particularmente, a um circuito de entrada para sinais de corrente alternada. O conceito inventivo também se relaciona a aparelhos elétricos, tais como iniciadores de motor.

Histórico da Invenção

Um acoplamento capacitivo ocorre quando condutores, tais como linhas de entrada/ saída, que são usados para transportar sinais (sem limitação, sinais de sobrecarga de motor, tais como sinais de entrada para restabelecer (resetar) um motor depois de um disparo), próximos de outros condutores energizados. Estes condutores podem ser acoplados próximos no mesmo conduto ou pacote de cabos.

A figura 1 traz uma configuração típica incluindo potencial para acoplamento capacitivo. Uma chave remota S1 2 pode estar distante de 100 pés a milhares de pés do iniciador de motor 4. Neste exemplo, uma linha energizada ("hot line") de 120 VAC 6 fica energizada o tempo todo. O capacitor C1 8 não é real, mas representa a situação de dois condutores alongados 10 se estendendo uma distância relativamente longa em um pacote de cabos (não mostrado), de modo que os condutores são dispostos fisicamente lado a lado e, portanto, atuando como placas de capacitor, relativamente juntas. Quanto maior a distância ao longo da qual o condutor se estende, maior a capacitância. A placa do capacitor assim formado tem uma voltagem 120 VCA aplicada o tempo todo. A outra placa é aterrada através do resistor R1 12, quando a chave S1 2 estiver aberta. A circuitagem (não mostrada) interna ao iniciador de motor 4 ("starter") monitora a voltagem através de R1 12 para determinar se há um sinal de entrada válido. Este particular exemplo tem um limite estabelecido em um pré-determinado valor, tal como 5 VCC. Qualquer sinal acima de 5 VCC será considerado uma única

lógica alta válida e qualquer sinal abaixo de 5 VCC será considerados lógica baixa válida. Com a chave S1 2 aberta, a voltagem em R1 2 é função da magnitude da capacitância do capacitor C1 8 e magnitude da resistência do resistor R1 12. Estes dois componentes formam um filtro passa-alto, cuja voltagem de saída  $V_{out}$  é dada pela Equação 1 abaixo:

$V_{out} = 2\pi \text{ FREQ}(V_{in})(C1)(R1) / ((2\pi \text{ FREQ}(C1)(R1))^2 + 1)0.5$ , onde:  
 $V_{in}$  é voltagem de entrada CA (sem limitação, 120 VAC); e  
 10 FREQ é frequência (sem limitação, 60 Hz) da voltagem de entrada CA.

A conexão com valores apropriados produz os resultados mostrados na Tabela 1, abaixo:

C1 (F)	R1 ( $\Omega$ )	FREQ (Hz)	$V_{in}$ (VAC <sub>RMS</sub> )	$V_{out}$ (VAC <sub>RMS</sub> )	Pico $V_{out}$ (V)	Log. Alta Val 5 VDC
5.00E-08	100000	60	120	106.0	149.9	Não
5.00E-09	100000	60	120	22.2	31.4	Não
5.00E-10	100000	60	120	2.3	3.2	Sim
5.00E-05	100	60	120	106.0	149.9	Não
5.00E-06	100	60	120	22.2	31.4	Não
5.00E-07	100	60	120	2.3	3.2	Sim

Se a impedância de entrada de iniciador de motor for relativamente alta (por exemplo,  $R1 = 100 \text{ k}\Omega$ ), então o cabeamento pode apenas ter apenas capacitância de C1 de cerca de 0,5 nF, antes de o limite ser excedido com a chave S1 2 aberta. A capacitância de C1 8 maior que 0,5 nF provê lógica alta inválida. Quando a impedância de entrada muda para 100  $\Omega$ , a capacitância de C1 8 maior que 0,5  $\mu\text{F}$  provê uma lógica alta inválida. A capacitância de cabeamento pode se tornar 1000 vezes maior antes de falsas leituras poderem ocorrer. Uma operação de capacitância mais alta permitirá extensões de cabeamento muito maiores.

Então um sinal válido em uma linha de entrada pode trazer questões de acoplamento capacitivo devido a trechos de distância relativamente longa, devido a uma voltagem relativamente alta próxima à linha de entrada.

Sabe-se como empregar um circuito de entrada assíncrona que liga um banco de carga por aproximadamente 4 mS a cada passagem por zero. O banco de carga é ligado um período de tempo de 2 mS antes de cada passagem por zero e mantido ligado por um período de tempo de até 2 mS depois da passagem por zero. Isto requer saber exatamente quando ocorre a passagem por zero. A voltagem no banco de carga é relativamente pequena neste intervalo de tempo. Há espaço para introduzir melhoramentos no aparelho de entrada (input).

Ademais, também há espaço para introduzir melhoramentos em aparelhos elétricos, tais como iniciadores de motor.

#### Sumário da Invenção

Estas e outras necessidades serão atendidas por configurações do conceito inventivo, que emitem um sinal para comutar uma carga para um par de condutores alongados, assincronamente com respeito a um sinal de corrente alternada, que, por um primeiro pré-determinado período de tempo, introduzem um sinal lógico a partir do sinal de corrente alternada do par de condutores alongados, determinam se a sinal lógico de entrada se ativa uma pluralidade de instantes durante o primeiro pré-determinado período, e reativamente estabelecem um primeiro estado de sinal de corrente alternada e, caso contrário, estabelecem um segundo estado oposto do sinal de corrente alternada e atraso para um segundo pré-determinado período de tempo, mais longo que o primeiro pré-determinado período de tempo, para um segundo estado oposto, antes de tornar a emitir e, caso contrário, atrasam por um terceiro pré-determinado período de tempo, mais longo que o segundo pré-determinado período de tempo, para o primeiro estado, antes de tornar a emitir. De acordo com um aspecto do conceito inventivo, um circuito de entrada para um sinal de corrente alternada compreende: uma interface estruturada para emitir um sinal lógico a partir do sinal de corrente alternada do par de condutores alongados; uma carga comutável para o

par de condutores alongados; e processador estruturado para: (i) emitir um sinal de controle para comutar a carga para o par de condutores alongados, assincronamente com respeito ao sinal de corrente alternada por um  
5 primeiro pré-determinado tempo; (ii) introduzir o sinal lógico; (iii) determinar se o sinal lógico inserido se ativa uma pluralidade de instantes durante o primeiro pré-determinado tempo, e reativamente estabelecer um primeiro estado do sinal de corrente alternada, e caso  
10 contrário, estabelecer um segundo estado oposto do sinal de corrente alternada; e (iv) atrasar por um segundo pré-determinado período de tempo, mais longo que o primeiro pré-determinado período de tempo para o segundo estado oposto, antes de tornar a emitir e, caso contrário,  
15 atrasar por um terceiro pré-determinado período de tempo, mais longo que segundo pré-determinado período de tempo, para o primeiro estado, antes de tornar a emitir.

O processador pode ser estruturado para determinar se o sinal lógico se ativa uma pluralidade de instantes  
20 consecutivos durante o primeiro período de tempo, e reativamente estabelecer o primeiro estado de sinal de corrente alternada e atrasar por um terceiro período de tempo e, caso contrário, atrasar por um segundo pré-determinado período de tempo.

25 Em outro aspecto do conceito inventivo, um iniciador de motor compreende: um contator; relê de sobrecarga, que compreende uma entrada para um sinal de corrente alternada, a partir de um par de condutores alongados; interface estruturada para emitir um sinal lógico  
30 a partir do sinal de corrente alternada do par de condutores alongados; carga comutável para o par de condutores alongados; e processador estruturado para: (i) emitir um sinal de controle para comutar a carga para o par de condutores alongados assincronamente  
35 com respeito ao sinal de corrente alternada por um primeiro pré-determinado período de tempo; (ii) introduzir o sinal lógico; (iii) determinar se o sinal

lógico inserido se ativa uma pluralidade de instantes durante o primeiro pré-determinado período de tempo, e reativamente estabelecer um primeiro estado do sinal de corrente alternada; e (iv) atrasar por um segundo pré-determinado período de tempo, mais longo que o primeiro 5 pré-determinado período de tempo, para o segundo estado oposto, antes de tornar a emitir e, caso contrário, atrasar um terceiro pré-determinado período de tempo, mais longo que o segundo pré-determinado período de 10 tempo, para o primeiro estado, antes de re-emitir.

#### Descrição Resumida dos Desenhos

Um pleno entendimento do conceito inventivo será provido a partir da descrição que se segue das configurações preferidas, em conexão com os desenhos anexos, nos quais:

15 A figura 1 ilustra um diagrama esquemático de uma configuração de entrada incluindo potencial de acoplamento capacitivo;

A figura 2 ilustra um diagrama de blocos em forma esquemática de um circuito de entrada de acordo com 20 configurações do conceito inventivo;

A figura 3 ilustra um diagrama de blocos em forma esquemática de um iniciador de motor, incluindo o circuito de entrada da figura 2; e

25 A figura 4 ilustra um fluxograma de uma rotina empregada pelo processador da figura 2.

#### Descrição das Configurações Preferidas

Como empregado nesta, o termo "Número" se refere a um número inteiro maior que UM.

30 Como empregado nesta, o termo "Processador" se refere a um dispositivo digital ou analógico programável, que armazene, recupere, e processe dados, tal como, por exemplo, computador pessoal, estação de trabalho, microprocessador, microcontrolador, microcomputador, unidade de processamento central CPU, mainframe, 35 minicomputador, servidor, processador de rede, ou qualquer dispositivo ou aparelho de processamento.

Referindo-se à figura 2, um circuito de entrada 20

é mostrado para um sinal de corrente alternada 22 a partir de um par de condutores alongados 24. O circuito de entrada 20 inclui uma interface estruturada para emitir um sinal lógico 28 a partir do sinal de corrente alternada 22, uma carga 30 comutável para o par de condutores alongados 24, e um processador, tal como, um \_microcomputador ( $\mu$ C) 32. Como será explicado em detalhes, em conexão com a figura 4, o microcomputador  $\mu$ C 32 é estruturado para emitir um sinal de controle 34 a partir da saída 35 para comutar a carga 30 para o par de condutores alongados 24, assincronamente com respeito ao sinal de corrente alternada 22 por um pré-determinado período de tempo (sem limitação, cerca de 121 mS, ou qualquer período de tempo adequado), introduzir (input) o sinal lógico 28 a partir da entrada, tal como de uma porta de entrada 36, determinar se o sinal lógico de entrada 28 se ativa uma pluralidade de instantes durante o primeiro pré-determinado período de tempo, e reativamente estabelecer um primeiro estado de sinal de corrente alternada 22 pela saída (output), tal como, por uma porta de saída 38, e, caso contrário, estabelecer um segundo estado oposto de sinal de corrente alternada na porta de saída 38, e atrasar por um segundo pré-determinado período de tempo (sem limitação, cerca de 750 mS, ou qualquer período de tempo adequado), mais longo que o primeiro pré-determinado período de tempo para o segundo estado oposto, antes de re-emitir o sinal de controle 134, a partir da saída 35 e, caso contrário, atrasar por um terceiro pré-determinado período de tempo (sem limitação, cerca de 2 mS; ou qualquer período de tempo adequado), mais longo que o segundo pré-determinado período de tempo, para o primeiro estado, antes da re-emitir o sinal de controle 34 a partir da saída 35.

#### Exemplo 1

Como será explicado em conexão com a figura 4, a lógica de passagem por zero de aresta crescente e carregamento eletrônico seletivo é implementado pelo computador  $\mu$ C 32

para reduzir, em grande extensão, aspectos de acoplamento capacitivo. O computador  $\mu\text{C}$  32 seletivamente liga um banco de carga 40 com transistor 42, controlado pelo sinal de controle 34 a partir da saída 35, por um pré-determinado período de tempo (sem limitação, cerca de 121 mS). Quando uma pré-determinada contagem (sem limitação, quatro) de arestas crescentes consecutivas de sinal lógico 28 a partir da porta de entrada 356 ocorre no período exemplar de 121 mS, o computador  $\mu\text{C}$  32 detecta os correspondentes ciclos consecutivos de corrente alternada, se a correspondente chave remota S1\_144 for fechada. O banco de carga eletrônico 40 funciona, em parte, como o resistor R1 12 da figura 1. A chave momentânea S1 44 e voltagem de 120 VCA da fonte VCA 46 (do exemplo) são aplicadas ao circuito de entrada 20, fechando a comutação momentânea S1 44 por um período de tempo mínimo de cerca de 121 mS, que cobre, por exemplo, pelo menos quatro ciclos de corrente alternada a 50 Hz (cerca de 20 mS per ciclo) ou 60 Hz (cerca de 16,67 mS per ciclo). A fonte VCA 46 pode ser, por exemplo, uma fonte CA de 50 Hz ou 60 Hz. Geralmente, o computador  $\mu\text{C}$  32 liga o banco de carga eletrônico 40 por 121 mS, verifica uma pré-determinada contagem (sem limitação, qualquer contagem adequada) de arestas crescentes consecutivas válidas de sinal lógico 29, e, então, desliga o banco de carga eletrônico 40 por um pré-determinado período de tempo (sem limitação, 750 mS) para permitir seu resfriamento. A watagem dos resistores de exemplo 48, 50, 52, 54 empregada pela carga 30 é relativamente muito pequena, para fazer que os mesmos sejam fechados relativamente freqüentemente, para evitar exceder sua watagem. Ademais, também se deseja verificar o fechamento de comutação da chave momentânea S1 44 tão freqüentemente quanto possível (sem limitação, a cada 750 mS). No entanto, se a voltagem 120 VCA da fonte VCA 46 subir, por exemplo, 150 VCA, então, isto sobre-aquece a carga 20. Mudar o período de

tempo de exemplo de 720 mS para um período pré-determinado mais longo (sem limitação, 2000 mS) resfria a carga 30. No entanto, verificando apenas a cada 2000 mS (2 segundos), por exemplo, por fechamento de chave momentânea, se acredita que seja um período muito longo, uma vez que um botão pode ser acionado e esquecido. Particularmente interessante, deve ser notado que, algumas vezes, o sinal de corrente alternada 22 não será real (capacitivamente acoplado) e outras vezes o sinal de corrente alternada 22, ao invés será real (a partir de um fechamento de chave real). Qualquer um sinal VCA capacitivamente acoplado cai instantaneamente abaixo de um nível necessário para uma lógica baixa válida, quando o banco de carga eletrônico 40 é ligado por um período de 121 mS (por exemplo), mas sem energia correspondente, daí, a carga 30 opera suficientemente fria, e pode ser religada, por exemplo, após 750 mS. Se, no entanto, o sinal VCA for real e uma voltagem de 120 VCA for aplicada aos resistores de carga 48, 50, 52, 54, então estes resistores serão aquecidos. Por conseguinte, os resistores serão desligados por dois segundos, antes de um pulso do exemplo de 121 mS lhes serem novamente aplicados. Em outras palavras, o computador  $\mu$ C 32 verifica o fechamento de chave a cada 750 mS (por exemplo), se o sinal VCA estiver capacitivamente acoplado (chave aberta), e a cada dois segundos, por exemplo, se o sinal VCA for real (chave fechada).

#### Exemplo 2

O conceito inventivo é aplicável a um banco de carga eletrônico 40 sincronamente ou randomicamente com respeito à voltagem VCA exemplar da fonte VCA por um período de tempo exemplar de 121 mS, para verificar o fechamento real da chave (portanto, não sendo um sinal capacitivamente acoplado) nos condutores 24, que se estendem uma distância relativamente longa.

O conceito inventivo provê uma operação assíncrona com tempo de processamento relativamente pequeno, e nenhum

circuito especial de passagem por zero para detectar passagens por zero CA. Embora haja uma voltagem relativamente alta na carga 30, o uso de ciclos de serviço apropriados com atrasos de 750 mS e 2000 mS  
5 permite que a carga 30 se mantenha relativamente fria.

### Exemplo 3

O banco de carga eletrônico 40 adquire a impedância de entrada relativamente alta a partir da porta de entrada 36 do computador  $\mu$ C 32 e a transforma em uma impedância  
10 relativamente baixa, quando vista a partir do sinal de corrente alternada 22 no conector de entrada 56. A interface inclui um retificador de meia-onda, tal como diodo 58, e um regulador de corrente contínua linear 64 energizado pelo diodo 58, e sendo estruturada para emitir  
15 ondas quadradas 60, incluindo uma voltagem de corrente contínua positiva, quando houver uma metade positiva do sinal de corrente alternada retificada de meia-onda 22. A voltagem de entrada de 120 VCA exemplar é retificada pelo diodo 58, que naturalmente produz ondas quadradas 60  
20 (correspondentes às passagens por zero CA) na saída 62 do regulador CC linear 64. O regulador de corrente contínua linear 64 emite, por exemplo, 25 VCC, quando houver a metade positiva da voltagem de entrada de 120 VCA retificada de meia-onda, mas instantaneamente cai para  
25 cerca de zero Volts, na metade negativa da voltagem de entrada de 120 VCA retificada de meia-onda. Cada uma das ondas quadradas 60 começa a perder o fator de forma (forma de quadrado), quando a forma de onda CA de entrada aplicada se aproxima de níveis relativamente baixos de  
30 magnitude, se parecendo uma onda senoidal retificada de meia-onda, mas ainda provendo uma lógica válida alta e níveis baixos.

Neste exemplo, para o sinal de corrente alternada 22 ser um sinal de entrada válido, quatro passagens  
35 consecutivas por zero de aresta crescente (cada passagem por zero de aresta crescente sendo uma aresta crescente da onda quadrada 60) ocorrem no período de 121 mS

exemplar, no tempo ligado do banco de carga eletrônico 40, que, no tempo desligado, reverte para um período de 750 mS, por exemplo, se não ocorrer nenhuma passagem por zero de aresta crescente válida e para, por exemplo,  
5 2000 mS se ocorrerem quatro passagens consecutivas por zero de aresta crescente, para impedir o sobreaquecimento da carga 30.

A interface 26, ademais, inclui um circuito divisor 66 estruturado para dividir as ondas quadradas 60, e emitir  
10 o sinal lógico 28. O sinal de passagem por zero (ondas quadradas 60) é apropriadamente dividido pelo circuito divisor 66, para prover um sinal lógico 28 de magnitude apropriada diretamente para a porta de entrada 36 do computador  $\mu$ C 32, que é preferivelmente estruturado  
15 para detectar uma aresta crescente do sinal 28.

A interface exemplar 26 adicionalmente inclui um circuito de retenção de pico 68 energizado por ondas quadradas 60, e estruturado para energizar o computador  $\mu$ C 32. O circuito de retenção de pico 68 é estruturado para  
20 emitir voltagem VCC, tal como, por exemplo, +15 VCC 70, a despeito da passagem por zero. O circuito de retenção de pico 68 inclui um diodo 72, e capacitor 74, que adquire a voltagem de ondas quadradas 60, e transfere a voltagem para o circuito de fonte 76, mas não deixa  
25 cair a voltagem +15 VCC 70, ainda que desapareça a voltagem de onda quadrada 60.

O circuito de entrada 20 da figura 2 pode incluir uma placa de reset separada (não mostrada) incluindo conector (não mostrado), que acopla o correspondente conector  
30 (não mostrado), por exemplo, ao relê de sobre-carga 108 da figura 3. Neste exemplo, a placa de reset não inclui o processador 32 da figura 2, que provê a mesma função do processador 114 da figura 3.

#### Exemplo 4

35 O 121 mS do exemplo corresponde a pelo menos quatro positivos consecutivos, que passam por zero durante pelo menos quatro ciclos consecutivos de linha CA do sinal de

corrente alternada 22.

#### Exemplo 5

Como mostrado na figura 2, um condutor 78 dos condutores alongados 24 é eletricamente conectado à fonte VCA 46  
5 próxima da interface 26 e outros condutores 80 dos condutores alongados 24 são eletricamente conectados à interface 26, via conector de entrada 56. O par de condutores alongados 24 se estende por uma distância de cerca de 100 pés a 2 milhas, e sendo remotamente e  
10 eletricamente conectado à chave remota S1 44. O circuito de entrada 20 exemplar permite que as linhas de entrada se estendam por uma distância relativamente longa, sem serem afetadas pelo acoplamento capacitivo das voltagens em condutores próximos, tais como condutores  
15 78, 80, no mesmo pacote de cabo (não mostrado).

#### Exemplo 6

Referindo-se à figura 3, um sistema iniciador de motor 104 é formado por um contator 106 e relê de sobrecarga 108. O relê de sobrecarga 108 inclui uma fonte 110 com  
20 voltagem 112, e processador 114 energizado pela fonte 112 e estruturado para controlar o contator 106.

A fonte 110 do relê de sobrecarga 108 é preferivelmente estruturada para ser parasiticamente energizada por um número de linhas de energia 118 para um motor 120  
25 (em linhas tracejadas). Neste caso, o relê de sobrecarga 108 adicionalmente inclui um número de transformadores de corrente 122 estruturado para sensorear a corrente que flui para o motor 120 e suprir a fonte 110. Quando o nível de disparo de corrente do relê de sobrecarga 108  
30 for estabelecido em um nível relativamente muito baixo para motores que demandam um nível relativamente muito baixo de corrente, a fonte 110 pode levar um período relativamente longo (sem limitação, 30 min a uma hora) para alcançar um pré-determinado nível, no qual  
35 o processador 114 é ligado e faz um disparo. O fechamento da chave S1 44 permite que a fonte 76 (figura 2) efetue operação de OU lógico (ORed) (não mostrada) com a fonte

110, permitindo que o sistema entre, e seja restabelecido (reset), pelo fechamento da chave S1 44.

O sistema iniciador de motor 102 adicionalmente inclui uma fonte 124 (em linhas tracejadas) e desconector principal 126 (em linhas tracejadas), que supre energia elétrica ao relê de sobrecarga 108, quando flui a corrente do motor.

O processador 114 exemplar controla solenóide 128, que, por sua vez, controla contatos normalmente fechados 130 e contatos normalmente abertos 132. Os contatos normalmente fechados 130 controlam o solenóide 134 do contator 106. Os contatos normalmente abertos 132 do exemplo controlam indicador 136, que indica o *status* dos contatos separáveis 139, que pode ser o mesmo ou similar ao sinal de corrente alternada 22 da figura 2, através de um circuito de entrada 140, que pode ser o mesmo ou similar ao circuito de entrada 20 da figura 2. Neste exemplo, o processador 114 pode ser o mesmo ou similar ao computador  $\mu$ C 32 da figura 2.

#### 20 Exemplo 7

Neste exemplo, por exemplo, o sinal 139 de exemplo é um sinal de reset, que reseta o relê de sobrecarga 108. Em outras aplicações, no entanto, pode ser, sem limitação, qualquer sinal adequado, tal como, por exemplo, um sinal de partida ou sinal de permissão por uma distância relativamente longa (sem limitação, de centenas de pés a duas milhas), e captar sinais de outros condutores próximos (capacitivamente acoplados).

#### Exemplo 8

30 A figura 4 traz um fluxograma de rotina 150 empregada pelo computador  $\mu$ C 32 da figura 2. A rotina 150 começa em 152, e a seguir coloca a lógica "SINAL DE ENTRADA VÁLIDO" em zero, em 153. A seguir, em 154, o sinal HABILITAR BANCO DE CARGA 34 é determinado como  
35 verdadeiro. Então, em 156, um timer (parte do computador  $\mu$ C 32) é ajustado em zero, e um número inteiro K é colocado em zero. A seguir, em 158, se determina se

o timer do computador  $\mu\text{C}$  32 está ajustado em um período de tempo T1 (sem limitação, 121 mS, ou qualquer período adequado). Se não, então em 160, se determina se há uma entrada de aresta crescente a partir da entrada 36, se não houver, então a Etapa 158 será repetida. Caso contrário, em 162, o número inteiro k é incrementado de UM. A seguir, em 164, se determina se o número inteiro é maior ou igual que L (sem limitação, qualquer número inteiro adequado maior que UM). Se não, a Etapa 158 será repetida.

Caso contrário, se o teste em 164 resultar verdadeiro, então, em 168, o sinal HABILITAR BANCO DE CARGA 34 é colocado em falso, o número inteiro k colocado em zero, e o timer ajustado em zero. Então, em 170, o SINAL DE ENTRADA VÁLIDO lógico é colocado em UM. Então, em 172, a rotina 150 atrasa por um período T3 (sem limitação, 2000 mS, ou qualquer período de tempo adequado maior que T1 e T2 da Etapa 178), depois do que, a Etapa 153 será repetida.

Caso contrário, se o teste de timer em 158 resultar verdadeiro, então, em 174, o sinal HABILITAR BANCO DE CARGA 34 é determinado falso, o número inteiro k colocado em zero, e o timer zerado. Então, em 176, o SINAL DE ENTRADA VÁLIDO lógico é colocado em zero. Este valor também pode ser emitido para a saída 38. Então, em 178, a rotina 150 atrasa por um período T2 (sem limitação, 750 mS, ou qualquer tempo maior que T1 e menor que T3), depois do que a Etapa 153 será repetida.

As Etapas 158, 160, 162 164 determinam se ocorre sinal 28 em pelo menos L instantes consecutivos durante o primeiro pré-determinado período T1, e reativamente ajustam o estado verdadeiro para o SINAL DE ENTRADA VÁLIDO lógico, e atrasam o terceiro pré-determinado período T3. Ao contrário, as Etapas 158, 174, 176 178 atrasam por um segundo pré-determinado período T2, se o sinal 28 não for válido (sem limitação, se houver três ou mais arestas crescentes) no primeiro pré-determinado período T1.

Conquanto configurações específicas tenham sido descritas em detalhes, deve ser apreciado, por aqueles habilitados na técnica, que várias modificações e alternativas àqueles detalhes poderiam ser imaginadas e desenvolvidas por aqueles habilitados na técnica à luz dos ensinamentos contidos na presente especificação. Por conseguinte, os arranjos particulares descritos têm um caráter meramente ilustrativo, e não limitam, de nenhuma forma, o escopo do conceito inventivo, que será dado, em sua total abrangência, apenas pelas reivindicações anexas e seus equivalentes.

Lista Numérica de Referência

	2	Chave Remota S1
	4	Iniciador de Motor
	6	Linha Energizada (Hot Line) 120 VAC
5	8	Capacitor C1
	10	Dois Condutores Alongados
	12	Resistor R1
	20	Circuito de Entrada
	22	Sinal de Corrente Alternada
10	24	Par de Condutores Alongados
	26	Interface
	28-	Sinal Lógico
	30	Carga
	32	Processador
15	34	Sinal de Controle
	35	Saída
	36	Porta de Saída
	38	Banco de Carga Eletrônico
	42	Transistor
20	44	Chave Remota S1
	48	Resistor
	50	Resistor
	52	Resistor
	54	Resistor
25	56	Conector de Entrada
	58	Diodo
	60	Ondas Quadradas (corresponde a passagem por zero CA)
	62	Saída
	62	Regulador de Corrente Contínua Linear
30	66	Divisor
	68	Circuito de Retenção de Pico
	70	+15 VCC
	72	Diodo
	74	Capacitor
35	76	Circuito Fonte de Energia
	78	Condutor
	80	Condutor

	102	Sistema Iniciador de Motor
	104	Iniciador de Motor
	106	Contator
	108	Relê de Sobrecarga
5	110	Fonte (Supply) de Energia
	114	Processador
	118	Número de Linhas de Energia
	120	Motor
	122	Número de Transformadores de Corrente
10	124	Fonte (Source) de Energia
	126	Desconector Principal
	128	Solenóide
	130	Contatos normalmente ligados
	132	Contatos normalmente desligados
15	134	Solenóide
	136	Indicador
	138	Contatos Separáveis
	139	Sinal de Reset
	140	Circuito de Entrada
20	150	Rotina
	152	Etapa
	153	Etapa
	154	Etapa
	156	Etapa
25	158	Etapa
	160	Etapa
	162	Etapa
	164	Etapa
	168	Etapa
30	170	Etapa
	172	Etapa
	174	Etapa
	176	Etapa
	178	Etapa

REIVINDICAÇÕES

1- Circuito de entrada para sinal de corrente alternada, a partir de um par de condutores alongados, caracterizado pelo fato de compreender:

- 5 - uma interface (26) estruturada para emitir um sinal lógico (28) a partir de um sinal de corrente alternada a partir do citado par de condutores alongados;
- uma carga (30) comutável para o citado par de condutores alongados; e
- 10 - um processador (32) estruturado (150) para:
- (i) emitir (35) um sinal de controle (34) para comutar a citada carga para o citado par de condutores alongados, assincronamente com respeito ao citado sinal de corrente alternada, por um primeiro pré-determinado período de
- 15 tempo;
- (ii) introduzir (36) o sinal lógico,
- (iii) determinar (158, 160, 162, 164) se o sinal lógico de entrada se ativa uma pluralidade de instantes durante o primeiro período de tempo, e reativamente estabelecer
- 20 um primeiro estado para o citado sinal de corrente alternada, e, caso contrário, estabelecer um segundo estado oposto para o citado sinal de corrente alternada, e
- (iv) atrasar (178) por um segundo pré-determinado período
- 25 de tempo, mais longo que o primeiro pré-determinado período de tempo, para o segundo estado oposto antes de repetir a citada emissão, e, caso contrário, atrasar
- (172) por um terceiro pré-determinado período de tempo, mais longo que o segundo pré-determinado período de
- 30 tempo, para o primeiro estado antes de repetir a citada emissão.
- 2- Circuito de entrada, de acordo com a reivindicação 1, caracterizado pelo fato de o citado primeiro pré-determinado período de tempo corresponder a pelo menos
- 35 quatro passagens consecutivas por zero, durante pelo menos quatro ciclos consecutivos de linha de corrente alternada do sinal de corrente alternada.

- 3- Circuito de entrada, de acordo com a reivindicação 1, caracterizado pelo fato de a citada interface compreender um retificador de meia-onda (58) e um regulador linear (64) energizado pelo citado retificador de meia-onda, e estruturado para emitir um sinal (60), incluindo uma voltagem de corrente contínua positiva, quando uma metade positiva do sinal de corrente alternada retificada de meia-onda estiver presente, e cerca de zero Volts, quando uma metade negativa do sinal de corrente alternada retificada de meia-onda estiver presente.
- 4- Circuito de entrada, de acordo com a reivindicação 3, caracterizado pelo fato de a citada interface adicionalmente compreender um circuito divisor (66), estruturado para dividir o sinal do citado regulador linear, e emitir o citado sinal lógico, sendo que o citado processador compreende uma entrada (36) estruturada para introduzir o sinal lógico.
- 5- Circuito de entrada, de acordo com a reivindicação 3, caracterizado pelo fato de a citada interface adicionalmente compreender um circuito de retenção de pico (68) energizado pela citada onda quadrada e estruturado para energizar o citado processador.
- 6- Circuito de entrada, de acordo com a reivindicação 5, caracterizado pelo fato de o circuito de retenção de pico ser estruturado para emitir uma voltagem de corrente contínua (70).
- 7- Circuito de entrada, de acordo com a reivindicação 1, caracterizado pelo fato de um condutor (78) do citado par de condutores alongados ser eletricamente conectado a uma fonte de corrente alternada (46) próxima à citada interface, sendo que o outro condutor (80) do citado par de condutores alongados se estende de uma distância de cerca de 100 pés a cerca de duas milhas, e ademais, remotamente eletricamente conectado à chave remota (44).
- 8- Circuito de entrada, de acordo com a reivindicação 1, caracterizado pelo fato de o citado processador ser estruturado (158, 160, 162, 164) para determinar se

o sinal lógico se ativa uma pluralidade de instantes consecutivos, durante o primeiro pré-determinado período de tempo, e reativamente estabelecer o primeiro estado do citado sinal de corrente alternada e atrasar um pré-determinado terceiro período de tempo e, caso contrário, atrasar por um segundo pré-determinado período de tempo.

5 9- Iniciador de motor, caracterizado pelo fato de compreender:

- um contator (106); e
- 10 - um relê de sobrecarga (108) compreendendo:  
uma entrada (56) para um sinal de corrente alternada (22) a partir de um par de condutores alongados (24); e o circuito de entrada (20) da reivindicação 1.

10- Iniciador de motor, de acordo com a reivindicação 9, 15 caracterizado pelo fato de o citado sinal de corrente alternada ser um de sinal de reset (22), sinal permissivo (22), e sinal de partida (22).

11- Iniciador de motor, de acordo com a reivindicação 9, caracterizado pelo fato de o citado processador 20 ser estruturado (158, 160, 162, 164) para determinar se o sinal lógico se ativa uma pluralidade de instantes consecutivos durante o primeiro pré-determinado período de tempo, e reativamente estabelecer o primeiro estado do citado sinal de corrente alternada e atrasar por um 25 terceiro pré-determinado período, e, caso contrário, atrasar por segundo pré-determinado período.

12- Iniciador de motor, de acordo com a reivindicação 9, caracterizado pelo fato de um condutor (78) do citado 30 par de condutores alongados ser eletricamente conectado a uma fonte de corrente alternada (46) próxima à citada interface, sendo que o outro condutor (80) do citado par de condutores alongados é eletricamente conectado à citada interface, sendo que o citado par de condutores alongados se estende de uma distância de cerca de 100 pés 35 a cerca de duas milhas e, ademais, remotamente eletricamente conectado à chave remota (44).

13- Iniciador de motor, de acordo com a reivindicação 9,

caracterizado pelo fato de a citada interface compreender um retificador de meia-onda (58) e um regulador linear (64) energizado pelo citado retificador de meia-onda, e estruturada para emitir um sinal (60) incluindo uma

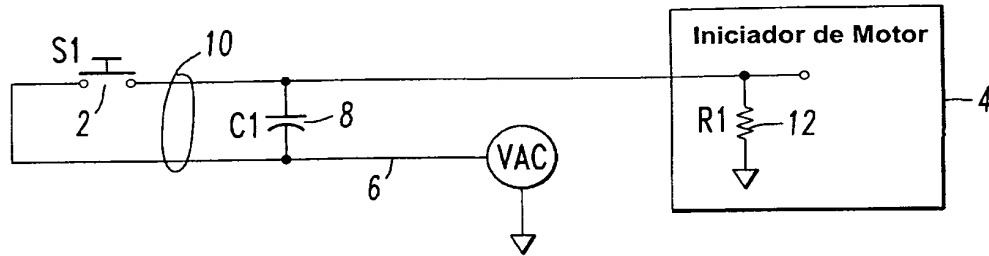
5    vtagem de corrente contínua positiva, quando uma metade positiva do sinal de corrente alternada retificado de meia-onda estiver presente, e cerca de zero Volts, quando uma metade negativa de um sinal de corrente alternada retificado de meia-onda estiver presente.

10  14- Iniciador de motor, de acordo com a reivindicação 13, caracterizado pelo fato de a citada interface adicionalmente compreender um circuito divisor (66) estruturado para dividir o sinal do citado regulador linear, e emitir o citado sinal lógico, sendo que

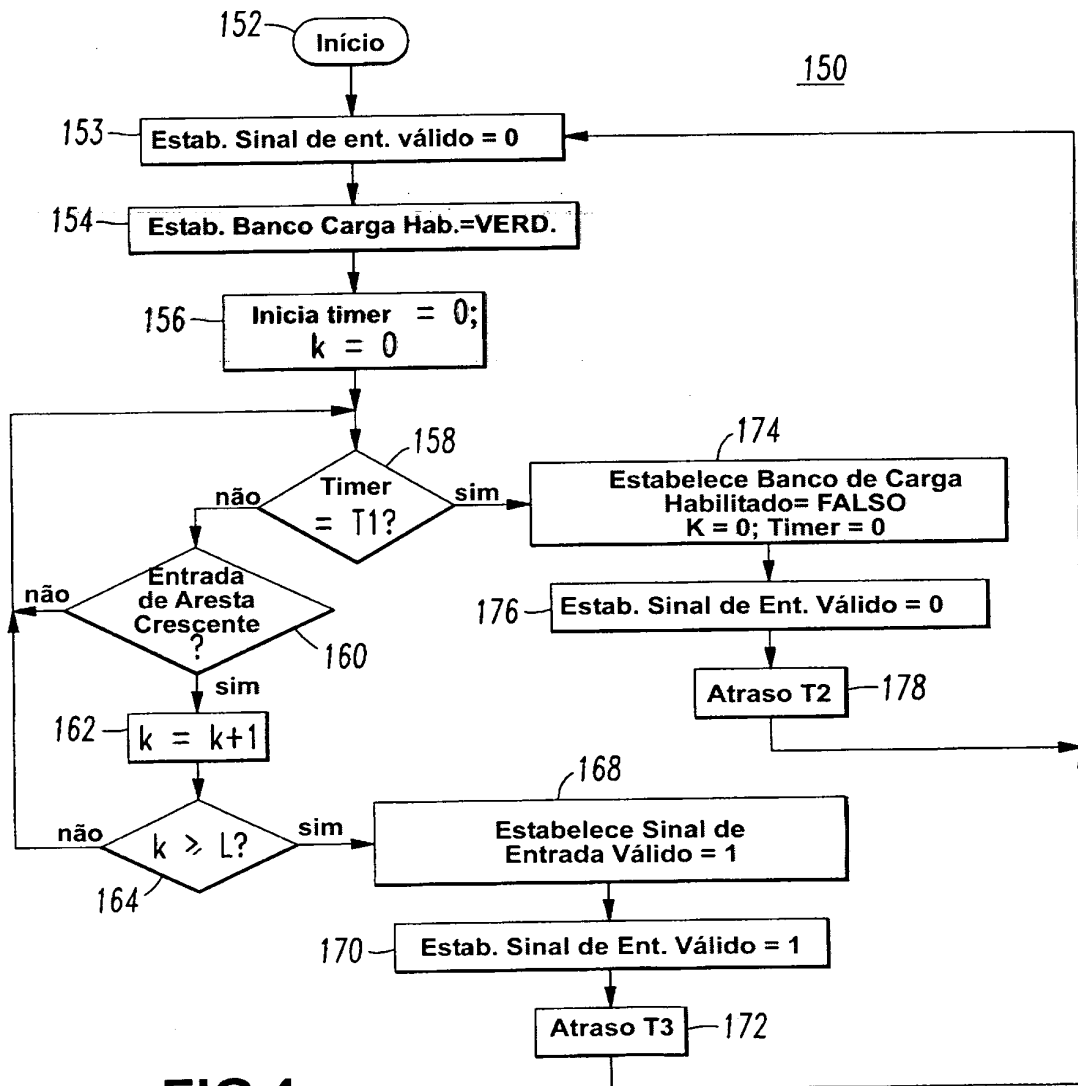
15  o citado processador compreende uma entrada (36) estruturada para introduzir o sinal lógico.

15- Iniciador de motor, de acordo com a reivindicação 13, caracterizado pelo fato de a citada interface adicionalmente compreender um circuito de retenção de

20  pico (68) energizado pelo sinal do citado regulador linear, e estruturado para energizar o citado processador.



**FIG.1**  
TÉCNICA ANTERIOR



**FIG.4**

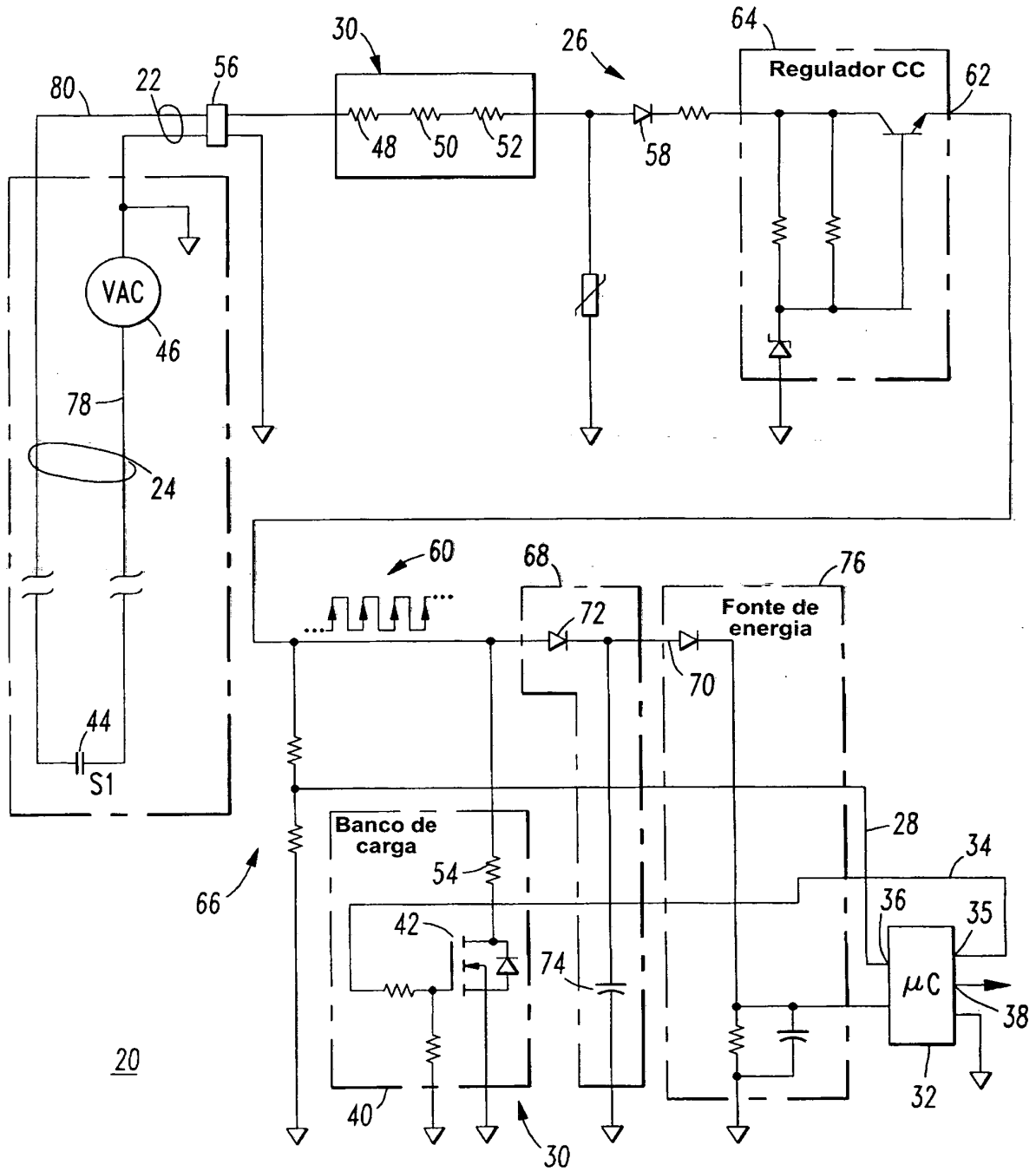


FIG.2

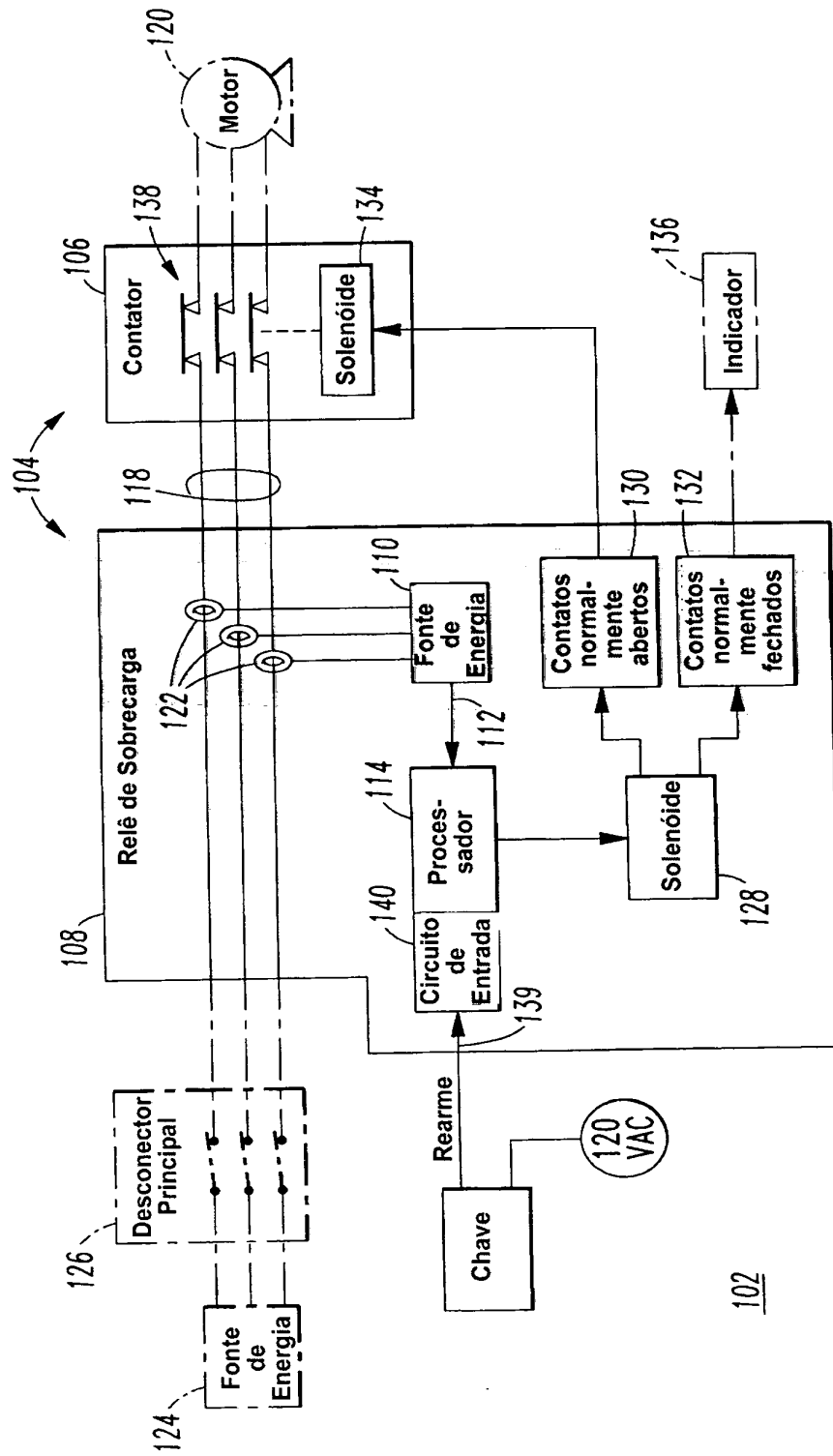


FIG.3

RESUMO

"CIRCUITO DE ENTRADA PARA SINAL DE CORRENTE ALTERNADA E INICIADOR DE MOTOR"

A presente invenção provê um circuito de entrada (20) incluindo uma interface (26) estruturada para emitir um sinal lógico (28) a partir de um sinal de corrente alternada (22) de um par de condutores alongados (24). Uma carga (30) é comutável para os condutores alongados. Um processador (32) emite (35) um sinal de controle (34) para comutar a carga para os condutores alongados, assincronamente com respeito ao sinal de corrente alternada, por um primeiro pré-determinado período de tempo, introduz (36) o sinal lógico, determina (158, 160, 162, 164) se o sinal lógico inserido se ativa uma pluralidade de instantes durante o primeiro pré-determinado período de tempo, e reativamente estabelece um primeiro estado de sinal de corrente alternada, e, caso contrário, estabelece um segundo estado oposto de sinal de corrente alternada, e atrasa (178) por um segundo pré-determinado período de tempo, mais longo que o primeiro pré-determinado período de tempo, para o segundo estado oposto, antes re-emitir, e, caso contrário, atrasa (172) por um terceiro pré-determinado período de tempo, mais longo que o segundo pré-determinado período de tempo, para o primeiro estado, antes re-emitir.