

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第4区分
【発行日】平成17年6月9日(2005.6.9)

【公開番号】特開2001-126474(P2001-126474A)
【公開日】平成13年5月11日(2001.5.11)
【出願番号】特願平11-300322
【国際特許分類第7版】
G 1 1 C 11/407
【F I】
G 1 1 C 11/34 3 6 2 S
G 1 1 C 11/34 3 5 4 C

【手続補正書】
【提出日】平成16年9月3日(2004.9.3)
【手続補正1】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項1】

第1の外部端子から入力されるクロック信号をもとに、第1の内部クロック信号を生成するクロック入力回路と、

第2の内部クロック信号に従って、第2の外部端子から所定の出力信号を出力する出力回路と、

上記第2の外部端子における上記出力信号の位相と上記第1の外部端子における上記クロック信号の位相とが同期すべく上記第1の内部クロック信号を遅延させ、上記クロック信号と所定の位相関係を有する上記第2の内部クロック信号を生成するDLL回路とを具備するものであって、かつ、

上記DLL回路が、

その上記第1の内部クロック信号に対する遅延時間が選択的に切り換えられる可変遅延回路と、

上記出力回路、及び該出力回路の出力端子から上記第2の外部端子までの信号経路と実質同一の遅延特性を有し、上記第2の内部クロック信号をもとに第3の内部クロック信号を生成するダミー出力回路、ならびに、上記クロック入力回路、及び上記第1の外部端子から上記クロック入力回路までの信号経路と実質同一の遅延特性を有し、上記第3の内部クロック信号をもとに第4の内部クロック信号を生成するダミー入力回路を含むダミー遅延回路と、

実質的な上記第1の内部クロック信号と上記第4の内部クロック信号の位相を比較し、その位相差に応じて上記可変遅延回路の遅延時間を制御する位相比較回路とを含んでなることを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

上記クロック入力回路は、差動増幅回路を含むものであり、

上記出力回路は、第1の電源電圧と上記第2の外部端子との間に設けられる第1の出力MOSFET、及び上記第2の外部端子と第2の電源電圧との間に設けられる第2の出力MOSFETを含むものであって、

上記ダミー入力回路は、上記差動増幅回路と実質同一の遅延特性を有するクロックドインバータを含むものであり、

上記出力回路は、上記第 1 及び第 2 の出力 MOS F E T をそれぞれスケールダウンしてなる第 1 及び第 2 のダミー MOS F E T、ならびに該第 1 及び第 2 のダミー MOS F E T にそれぞれ並列形態に設けられ、選択的に有効とされるそれぞれ複数の第 3 及び第 4 のダミー MOS F E T を含むものであることを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 又は請求項 2 において、

上記ダミー遅延回路は、上記第 2 の内部クロック信号の周期を所定数倍に分周してなる第 5 の内部クロック信号をもとに上記第 3 の内部クロック信号を生成するものであって、上記位相比較回路による位相比較動作は、該第 3 の内部クロック信号をもとに生成される上記第 4 の内部クロック信号と、上記第 1 の内部クロック信号の周期を上記所定数倍に分周してなる第 6 の内部クロック信号との間で行われるものであることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1、請求項 2 あるいは請求項 3 において、

上記半導体集積回路装置は、ダブルデータレートモードを有するシンクロナス D R A M であり、

上記出力回路は、

第 1 の出力信号を保持する第 1 の出力ラッチと、

第 2 の出力信号を保持する第 2 の出力ラッチと、

上記第 2 の内部クロック信号の第 1 の論理レベルを受けて上記第 1 の出力ラッチの出力信号たる上記第 1 の出力信号を選択し、その第 2 の論理レベルを受けて上記第 2 の出力ラッチの出力信号たる上記第 2 の出力信号を選択する出力選択回路とを含むものであることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1、請求項 2、請求項 3 あるいは請求項 4 において、

上記可変遅延回路は、上記第 1 の内部クロック信号に対する遅延時間が所定のバイアス電圧の電位に応じて選択的に切り換えられ、

上記位相比較回路は、実質的な上記第 1 の内部クロック信号と上記第 4 の内部クロック信号の位相を比較し、その位相差に応じて上記バイアス電圧の電位を制御することを特徴とする半導体集積回路装置。