

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 18 年 8 月 31 日 (2006.8.31)

【公開番号】特開 2005-31598 (P2005-31598A)

【公開日】平成 17 年 2 月 3 日 (2005.2.3)

【年通号数】公開・登録公報 2005-005

【出願番号】特願 2003-278484 (P2003-278484)

【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 F 9/30 (2006.01)

H 0 1 L 27/32 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 4 N 5/66 (2006.01)

H 0 1 L 51/50 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

G 0 9 G 3/30 J

G 0 9 F 9/30 3 3 8

G 0 9 F 9/30 3 6 5 Z

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 1 E

G 0 9 G 3/20 6 7 0 K

H 0 4 N 5/66 1 0 3

H 0 5 B 33/14 A

H 0 1 L 29/78 6 1 4

【手続補正書】

【提出日】平成 18 年 7 月 18 日 (2006.7.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アノード線と、カソード線と、信号線と、走査線と、画素と、アナログスイッチと、逆電圧印加用トランジスタと、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第 1 の電極が前記信号線に接続される第 1 のトランジスタと、

ゲート電極が前記第 1 のトランジスタの第 2 の電極に接続され、第 1 の電極が前記アノード線に接続される第 2 のトランジスタと、

第 1 の電極が前記第 2 のトランジスタの第 2 の電極に接続される第 3 のトランジスタと

、

第 1 の電極が前記第 3 のトランジスタの第 2 の電極に接続され、第 2 の電極が前記カソード線に接続される発光素子と、を有し、

前記アナログスイッチは、

ゲート電極が前記アノード線に接続される第 4 のトランジスタと、

ゲート電極が前記カソード線又は電源線に接続される第5のトランジスタと、を有し、
前記第4のトランジスタの第1の電極と前記第5のトランジスタの第1の電極とは接続
されて前記アナログスイッチの入力となり、

前記第4のトランジスタの第2の電極と前記第5のトランジスタの第2の電極とは接続
されて前記アナログスイッチの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線又は電源線に接続され、
第1の電極は前記アノード線に接続され、第2の電極は前記アナログスイッチの出力と前
記走査線に接続されることを特徴とする表示装置。

【請求項2】

アノード線と、カソード線と、信号線と、走査線と、画素と、クロックインバータと
、逆電圧印加用トランジスタと、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトラ
ンジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノ
ード線に接続される第2のトランジスタと、

第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと

、
第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソ
ード線に接続される発光素子と、を有し、

前記クロックインバータは、

第1の電極が高電位電源線に接続される第4のトランジスタと、

ゲート電極が前記アノード線又は電源線に接続され、第1の電極が低電位電源線に接続
される第5のトランジスタと、

第1の電極が前記第5のトランジスタの第2の電極に接続される第6のトランジスタと
、を有し、

前記第4のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは接続
されて前記クロックインバータの入力となり、

前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極とは接続
されて前記クロックインバータの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線又は電源線に接続され、
第1の電極は前記アノード線に接続され、第2の電極は前記クロックインバータの出力
と前記走査線に接続されることを特徴とする表示装置。

【請求項3】

アノード線と、カソード線と、信号線と、走査線と、画素と、アナログスイッチと、逆
電圧印加用トランジスタと、制御用回路と、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトラ
ンジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノ
ード線に接続される第2のトランジスタと、

ゲート電極が第1の電源線に接続され、第1の電極が前記第2のトランジスタの第2の
電極に接続される第3のトランジスタと、

第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソ
ード線に接続される発光素子と、を有し、

前記アナログスイッチは、

ゲート電極が前記アノード線に接続される第4のトランジスタと、

ゲート電極が前記カソード線又は第2の電源線に接続される第5のトランジスタと、を
有し、

前記第4のトランジスタの第1の電極と前記第5のトランジスタの第1の電極とは接続

されて前記アナログスイッチの入力となり、

前記第4のトランジスタの第2の電極と前記第5のトランジスタの第2の電極とは接続されて前記アナログスイッチの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線又は第3の電源線に接続され、第1の電極は前記アノード線に接続され、第2の電極は前記アナログスイッチの出力と前記走査線に接続され、

前記制御用回路は、

ゲート電極が前記アノード線に接続され、第1の電極が前記第1の電源線に接続される第6のトランジスタと、

第1の電極が前記アノード線に接続され、第2の電極が前記第1の電源線に接続される第7のトランジスタと、を有することを特徴とする表示装置。

【請求項4】

アノード線と、カソード線と、信号線と、走査線と、画素と、クロックドインバータと、逆電圧印加用トランジスタと、制御用回路と、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第1の電極が前記信号線に接続される第1のトランジスタと、

ゲート電極が前記第1のトランジスタの第2の電極に接続され、第1の電極が前記アノード線に接続される第2のトランジスタと、

ゲート電極が第1の電源線に接続され、第1の電極が前記第2のトランジスタの第2の電極に接続される第3のトランジスタと、

第1の電極が前記第3のトランジスタの第2の電極に接続され、第2の電極が前記カソード線に接続される発光素子と、を有し、

前記クロックドインバータは、

第1の電極が高電位電源線に接続される第4のトランジスタと、

ゲート電極が前記アノード線又は第2の電源線に接続され、第1の電極が低電位電源線に接続される第5のトランジスタと、

第1の電極が前記第5のトランジスタの第2の電極に接続される第6のトランジスタと、を有し、

前記第4のトランジスタのゲート電極と前記第6のトランジスタのゲート電極とは接続されて前記クロックドインバータの入力となり、

前記第4のトランジスタの第2の電極と前記第6のトランジスタの第2の電極とは接続されて前記クロックドインバータの出力となり、

前記逆電圧印加用トランジスタのゲート電極は前記カソード線又は第3の電源線に接続され、第1の電極は前記アノード線に接続され、第2の電極は前記クロックドインバータの出力と前記走査線に接続され、

前記制御用回路は、

ゲート電極が前記アノード線に接続され、第1の電極が前記第1の電源線に接続される第7のトランジスタと、

第1の電極が前記アノード線に接続され、第2の電極が前記第1の電源線に接続される第8のトランジスタと、を有することを特徴とする表示装置。

【請求項5】

請求項3において、前記第2の電源線と前記第3の電源線は同じ電位に保たれていることを特徴とする表示装置。

【請求項6】

請求項1、3及び5のいずれか一において、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記アナログスイッチがオフとされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項7】

請求項 1、3、5 及び 6 のいずれかーにおいて、前記第 4 のトランジスタと前記第 5 のトランジスタの極性は異なることを特徴とする表示装置。

【請求項 8】

請求項 1 又は 2 において、前記第 3 のトランジスタのゲート電極は一定の電位に保たれていることを特徴とする表示装置。

【請求項 9】

請求項 2 又は 4 において、前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され、同時に前記クロックインバータがハイインピーダンス状態とされ、前記逆電圧印加用トランジスタがオンとされることを特徴とする表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれかーにおいて、前記第 1 のトランジスタは線形領域で動作させることを特徴とする表示装置。

【請求項 11】

請求項 1 乃至 10 のいずれかーにおいて、前記第 2 のトランジスタは線形領域で動作させることを特徴とする表示装置。

【請求項 12】

請求項 1 乃至 11 のいずれかーにおいて、前記第 3 のトランジスタは線形領域又は飽和領域で動作させることを特徴とする表示装置。

【請求項 13】

請求項 1 乃至 12 のいずれかーにおいて、前記画素は、
前記第 2 のトランジスタのゲート電極に接続される容量素子と、
前記容量素子と並列に接続される消去用トランジスタと、を有することを特徴とする表示装置。

【請求項 14】

請求項 13 において、前記消去用トランジスタは線形領域で動作させることを特徴とする表示装置。

【請求項 15】

アノード線と、カソード線と、信号線と、走査線と、画素と、アナログスイッチと、を有し、

前記画素は、

ゲート電極が前記走査線に接続され、第 1 の電極が前記信号線に接続される第 1 のトランジスタと、

ゲート電極が前記第 1 のトランジスタの第 2 の電極に接続され、第 1 の電極が前記アノード線に接続される第 2 のトランジスタと、

第 1 の電極が前記第 2 のトランジスタの第 2 の電極に接続される第 3 のトランジスタと

第 1 の電極が前記第 3 のトランジスタの第 2 の電極に接続され、第 2 の電極が前記カソード線に接続される発光素子と、を有し、

前記アナログスイッチは、

ゲート電極が前記アノード線に接続される第 4 のトランジスタと、

ゲート電極が前記カソード線又は電源線に接続される第 5 のトランジスタと、を有し、

前記第 4 のトランジスタの第 1 の電極と前記第 5 のトランジスタの第 1 の電極とは接続されて前記アナログスイッチの入力となり、

前記第 4 のトランジスタの第 2 の電極と前記第 5 のトランジスタの第 2 の電極とは接続されて前記アナログスイッチの出力となり、

前記アナログスイッチの出力が前記信号線に接続されることを特徴とする表示装置。

【請求項 16】

請求項 15 において、

前記アノード線と前記カソード線の電位が反転されて前記発光素子へ逆電圧が印加され

前記アノード線の電位が戻された後に前記カソード線の電位が戻されることを特徴とする表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】表示装置

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

以上のような状態のとき、駆動用トランジスタ53はオンとなり、カソード線69が-10V、アノード線18が5Vであるため、発光素子へは順電圧が印加され、発光する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

このときカソード線69の電圧を5Vとし、逆電圧を印加する。そして、駆動用トランジスタ53と、電流制御用トランジスタ54とをオンとし、逆電圧を効率よく印加する。特に、駆動用トランジスタ53は、飽和領域で動作させるため、 L/W が大きくなるように設計されている場合、抵抗値が高いことが懸念される。そのため、制御用回路118では、第1のnチャネル型トランジスタ61をオンとし、第2のnチャネル型トランジスタ62をオフとし、駆動用トランジスタ53のゲート電極に接続される第2の電源線60の電圧を-10Vとする。その結果、駆動用トランジスタ53のゲート電極へ印加されるゲート電圧を大きくできより効率高く逆電圧を印加することができる。その結果、駆動用トランジスタ53の抵抗による逆電圧印加時の問題を低減することができる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

以上のような状態のとき、駆動用トランジスタ53、電流制御用トランジスタ54はオンとなり、カソード線69が5V、アノード線18が-10Vであるため、発光素子へは逆電圧が印加される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正の内容】

【0094】

本実施の形態では、スイッチング用トランジスタ35、消去用トランジスタ40をnチャネル型トランジスタとし、駆動用トランジスタ36、電流制御用トランジスタ37をpチャネル型トランジスタとする。また駆動用トランジスタ36を飽和領域で、電流制御用トランジスタ37を線形領域で動作させる。そのため、駆動用トランジスタ36のチャネ

ル形成領域のLをWより長くし、好ましくは、駆動用トランジスタ36のWに対するLの比が5以上にするとよい。また各トランジスタの特性はエンハンスメント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0095

【補正方法】変更

【補正の内容】

【0095】

なお駆動用トランジスタ36は、線形領域で動作させてもよい。駆動用トランジスタ36を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0128

【補正方法】変更

【補正の内容】

【0128】

なお駆動用トランジスタ807は、線形領域で動作させてもよい。駆動用トランジスタ807を線形領域で動作させる場合、駆動電圧を低くすることができる。そのため、表示装置の低消費電力化が期待できる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0165

【補正方法】変更

【補正の内容】

【0165】

図14(B)には、第2の制御用回路142の具体的な構成を示す。第2の制御用回路142は、一つのインバータ回路148、リセット線毎に設けられたpチャネル型のトランジスタ147、及びクロックドインバータ149を有する。トランジスタ147の第1の電極はリセット線59に接続され、ゲート電極は第3の電源線160に接続され、第2の電極は7Vに保持されている。インバータ回路148は、第3の電源線160、及び第4の電源線161に接続されている。クロックドインバータ149は、第1の端子と第3の電源線160が接続され、第2の端子と第4の電源線161が接続され、入力配線とリセット線59が接続され、出力配線とレベルシフタ143が接続されている。