

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94122166

※ 申請日期：94 年 6 月 30 日

※IPC 分類：H01L 21/762, 21/20
(2006.01)

一、發明名稱：(中文/英文)

藉由埋式 p+矽鍺層陽極化之應變絕緣層上矽

STRAINED SILICON-ON-INSULATOR BY ANODIZATION OF A
BURIED p+ SILICON GERMANIUM LAYER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文) 傑羅 羅森梭/ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國 籍：(中文/英文)

美國/US

三、發明人：(共 7 人)

姓 名：(中文/英文)

1. 湯瑪斯 N 亞當/ADAM, THOMAS N.

2. 史蒂芬 W 貝戴爾/BEDELL, STEPHEN W.

3. 喬 P 迪索薩/ DE SOUZA, JOEL P.
4. 基斯 E 佛傑/ FOGEL, KEITH E.
5. 亞歷山大 瑞茲尼塞克/ REZNICEK, ALEXANDER
6. 蒂凡卓 K 沙達那/ SADANA, DEVENDRA K.
7. 蓋凡姆 G 雪西迪/ SHAHIDI, GHAVAM G.

國 籍：(中文/英文)

1. 德國/ DE
2. 美國/ US
3. 巴西/ BR
4. 美國/ US
5. 德國/ DE
6. 美國/ US
7. 伊朗/ IR

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；西元 2004 年 7 月 2 日；10/883,887

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體基板材料以及其製作方法。特別是，本發明關於應變半導體，例如應變絕緣層上矽(Si-on-insulator, SSOI)基板材料，以及其可避免晶圓鍵合(wafer bonding)之健全的製造方法。

【先前技術】

半導體工業中，對於藉由將習知的絕緣層上矽(silicon-on-insulator, SOI)基板替換成應變絕緣層上半導體(strained semiconductor-on-insulator, SSOI)基板，以提昇互補金屬氧化半導體(CMOS)裝置的效能，已引起日趨增加的關注。其背後的原因是，SSOI 基板提供比習知 SOI 基板較高之載子(電子/電洞)移動率。此 SSOI 基板中的應力(strain)可為壓縮的或是拉伸的。

製造 SSOI 基板的習知方法一般需要層轉移製程(layer transfer process)，其中位於一鬆弛的(relaxed)SiGe 層上的包含 Si 的應變層被轉移至一操作晶圓上。特別是，此習知製程包含，一開始在一包含 Si 的基板之一表面上，形成厚度為若干微米之鬆弛的 SiGe 層。此鬆弛的 SiGe 層通常具有比 Si 大的一面內晶格參數(in-plane lattice parameter)。接下來，一包含 Si 的層生長於此鬆弛的 SiGe 層上。因為此 SiGe 層具有比 Si 大的面內晶格參數，則此包含 Si 的層承受應力(strain)。

包含位於鬆弛的 SiGe 層上的包含 Si 的應變層之此

結構，則與一操作晶圓結合，而此操作晶圓包含一絕緣層，例如一氧化層。這樣的結合發生於包含 Si 的應變層與此絕緣層之間。此包含 Si 的基板和此鬆弛的 SiGe 層之後則從此結合的結構中被移除，以提供一應變絕緣層上矽基板。

上述中，習知的 SSOI 基板準備方法非常昂貴且低生產的(low-yielding)，因為其結合了兩個相當先進的基板技術，即高品質、厚的 SiGe/應變 Si 成長、以及晶圓結合。此外，此習知的準備方法對於製造大體積的基板是不引人注目的。

綜以上之觀點，供製造 SSOI 基板之具經濟效益且可製造的解決方法，是未來高效能之包含 Si 的 CMOS 產品所需要的。

【發明內容】

本發明提供一具經濟效益且可製造的解決方法，以產生 SSOI 基板，此 SSOI 基板可避免習知技術中產生 SSOI 基板材料所需的晶圓結合。特別是，本發明製造 SSOI 基板的方法，包含在一應變半導體層底下形成一埋式多孔層(buried porous layer)。此埋式多孔層之後則藉由使用高溫氧化/退火(oxidation/anneal)步驟，被轉變為一埋式氧化層，而以致在製程期間只有部份的應變半導體層被消耗。

此方法提供一 SSOI 基板，其包含一應變半導體層

在一氧化層頂上，此氧化層位於一鬆弛的半導體型版(template)上。相異於上述的習知製程，此應變半導體層和此鬆弛的半導體層具有相稱的，亦即相同的晶軸向(crystal orientation)。此外，藉由此發明的方法所形成之氧化層是”高品質”，意即此氧化層具有大約 1microAmp 或較低的漏電流(leakage)，以及大約 2Megavolts/cm 或較高的崩潰電場(breakdown field)。

概括來說，本發明的此方法包含以下步驟：

提供一結構，其包含一基板、一鬆弛的半導體層於此基板上、一摻雜且鬆弛的半導體層於此鬆弛的半導體層上、以及一應變半導體層於此摻雜且鬆弛的半導體層上，而該鬆弛的半導體層、該摻雜且鬆弛的半導體層、以及該應變半導體層具有相同的結晶方向；

將應變半導體層底下之摻雜且鬆弛的半導體層轉變為一埋式多孔層；以及

將包含埋式多孔層的結構退火，以提供一應變絕緣層上半導體基板，其中在該退火期間，該埋式多孔層被轉變為一埋式氧化層。

除了上述方法之外，本發明也相關於所形成的 SSOI 基板。具體來說，本發明之 SSOI 基板包含：

一基板；

一鬆弛的半導體層於此基板上；

一高品質的埋式氧化層於此鬆弛的半導體層上；以及

一應變半導體層於此高品質埋式氧化層上，其中此鬆弛的半導體層和此應變半導體層具有相同的結晶方向。

【實施方式】

本發明提供製造一 SSOI 基板的方法，而此 SSOI 基板由該方法所產生，現在將依據伴隨本發明之圖示，描述更進一步的細節。這些圖示被提供以供說明的用途而非限制。圖示中，相似與相同的元件則依據相似之參考圖號。

本發明中的此方法，一開始首先提供顯示的結構 10，例如圖 1A。結構 10 包含一基板 12、一鬆弛的半導體(例如 SiGe 合金)層 14 位於基板 12 的一表面上、一摻雜且鬆弛的半導體層 16 位於該鬆弛的半導體層 14 上、以及一應變半導體層 18 位於該摻雜且鬆弛的半導體層 16 一表面上。依照本發明，層 14、16、及 18 具有相同的結晶方向，由於這些層各自由磊晶生長法(epitaxial growth)所形成。

在本發明中，可用來製造基板 12 上之層 14、16、及 18 之不同的磊晶生長法(epitaxial growth)製程的例子，包含，例如，快速熱化學氣相沉積(rapid thermal chemical vapor deposition, RTCVD)、低能量電漿沉積(low-energy plasma deposition, LEPD)、超高真空化學氣相

沉積 (ultra-high vacuum chemical vapor deposition, UHVCVD)、氣壓化學氣相沉積 (atmospheric pressure chemical vapor deposition, APCVD)、以及分子束磊晶 (molecular beam epitaxy, MBE)。

本發明中使用的基板 12 可由任何材料或材料層組成，包含例如結晶玻璃或金屬，但此基板 12 較佳為一結晶半導體基板。可被使用為基板 12 之半導體基板例子包含：Si, SiGe, SiC, SiGeC, GaAs, InAs, InP, 以及其他 III/IV 或 II/VI 複合半導體，但不限於此。”半導體基板”這個名詞也包含預成形的絕緣層上矽 (SOI) 或絕緣層上矽鍺 (SGOI) 基板，其中可包含任何數量的埋式絕緣 (連續、不連續、或連續和不連續的結合) 區。一較佳實施例中，此基板 12 是一包含 Si 的基板。此基板 12 可為不摻雜的，或可為一充滿電子或充滿電洞的基板，即摻雜的基板。

鬆弛的半導體層 14 之後使用上述其中之一的製程，以磊晶生長於基板 12 的一表面上。在隨後描述中，當半導體材料為供給層 14 較佳的材料時，鬆弛的半導體層 14 則被參考為一鬆弛的 SiGe 層 14。”SiGe 合金層”這個名詞表示一 SiGe 層，其包含達到 99 原子百分率之 Ge。更具代表性的是，此 SiGe 合金層包含約 1 到 99 原子百分率之 Ge，而 Ge 之原子百分率約從 10 至 50 為更佳。

此鬆弛的 SiGe 合金層 14 可為具有 Ge 連續分布的一單層，或可為一被分類的層，其具有不同含量的 Ge 被包含於此層的不同區域中。如上述，層 14 是一鬆弛的層，

其具有鬆弛的量測度(measured degree)約為 10%或較大。典型來說，此鬆弛的半導體層 14 之表面區域是準穩定態(metastable)，且具有一缺陷(堆疊失誤、堆積、及穿透[threading])密度(defect density)約為 $1E5 \text{ defect/cm}^3$ 或較大。

該鬆弛的半導體層 14 可為摻雜的或未摻雜的。層 14 中摻雜物的類型和濃度是任意的，且可由熟此技藝者預先決定。當摻雜時，鬆弛層 14 一般具有一摻雜物濃度為大於 $1E17 \text{ atoms/cm}^3$ 。摻雜層 14 是在磊晶生長製程期間，由提供 Si 來源或 Ge 來源或兩種來源為一摻雜物來源所形成。

此鬆弛的半導體層 14 之厚度可變化，只要鬆弛層可被形成。鬆弛的半導體層 14 之厚度是依據此層之 Ge 的容量。典型地，對於具有 Ge 容量為少於 50 原子百分率的一鬆弛半導體層 14 來說，層 14 有一厚度約為從 1 至 5000nm，而更典型來說，厚度約為從 1000 至 3000nm。

雖然鬆弛的 SiGe 合金型版(template)為較佳的，但本發明也考慮可形成於鬆弛狀態的其他半導體材料之使用。

接下來，一摻雜且鬆弛的半導體層 16 形成於此鬆弛的半導體層 14 上。此摻雜且鬆弛的半導體層 16 可包含 p 型或 n 型摻雜物，而 p 型摻雜物為較佳的選擇。P 型摻雜物包含 Ga、Al、B、及 BF_2 。此摻雜且鬆弛的半導體層

16 可為一個別的層，如圖 1A 所示，或可為先前形成的鬆弛半導體層 14 之上面部分。”半導體”這個名詞當使用於層 16 之內容，則代表任何半導體材料，包含例如，Si、SiGe、SiC、及 SiGeC。較佳地，此摻雜且鬆弛的半導體層 16 是一包含 Si 的半導體，而 Si 和 SiGe 為較佳之選擇。

依照本發明，此摻雜且鬆弛的半導體層 16 比其周圍的層(即層 14 及 18)摻雜較重。典型地，此摻雜且鬆弛的半導體層 16 包含一 p 型摻雜物，其濃度約為 $1\text{E}19$ atoms/cm³ 或較大，而 p 型摻雜物之濃度更典型約為從 $1\text{E}20$ 至 $5\text{E}20$ atoms/cm³。此摻雜且鬆弛的半導體層 16 是由使用上述磊晶生長製程之其中之一所形成，其中此摻雜物來源被包含於半導體來源。此摻雜且鬆弛的半導體層 16 可具有一面內晶格參數(in-plane lattice parameter)，其比純 Si 的面內晶格參數較大亦或較小。

此摻雜且鬆弛的半導體層 16 是一薄層，而其厚度將定義隨後將被形成的埋式氧化層之厚度。典型地，此摻雜且鬆弛的半導體層 16 有一厚度約為 1 至 100 nm，而更典型來說厚度約為 10 至 200 nm。

在形成此摻雜且鬆弛的半導體層 16 之後，一應變半導體層 18 由使用上述磊晶生長製程之其中之一，而形成於此摻雜且鬆弛的半導體層 16 的上方。此應變半導體層 18 可包含上述與層 16 連接之半導體材料的其中之一。此應變半導體層 18 和摻雜且鬆弛的半導體層 16 可包含相同或不同的半導體材料。此應變半導體層 18 可具有拉伸

或壓縮的應力。

值得注意的是，層 14、16、及 18 的生長可由使用相同或不同的磊晶生長製程而發生。此外，也需考慮在相同的反應室(reactor chamber)中形成層 14、16、及 18 而不破壞真空狀態。

此應變半導體層 18 可為摻雜的或未摻雜的。當摻雜時，應變半導體層 18 一般具有一摻雜物濃度約為 $1E15$ atoms/cm³ 或較大。層 18 的厚度約為從 5 至 2000nm，而更典型來說，厚度約為從 10 至 500nm。

本發明的一實施例中，此應變半導體層 18 和摻雜且鬆弛的半導體層 16 包含相同或不同之包含 Si 的半導體，而以 Si 或 SiGe 為較佳之選擇。

本發明的較佳實施例中，當該摻雜且鬆弛的半導體層 16 是一 p-摻雜層，且具有摻雜物濃度約為 $1E20$ atoms/cm³ 或較大，則此應變半導體層 18 和鬆弛的半導體層 14 都為摻雜層，且具有摻雜物濃度約為 $1E15$ atoms/cm³ 或較大。

依照本發明，層 14、16、及 18 具有與基板 12 相同的結晶方向，由於這些相異的層是由磊晶生長法所形成。因此，層 14、16、及 18 可具有一(100)、(110)、(111)或任何其他結晶方向。

接下來，圖 1A 所示之結構被提供至一電解陽極化 (electrolytic anodization) 製程，此製程可將該摻雜且鬆弛的半導體層 16 轉變為一多孔區域。電解陽極化製程被執行後，該結構則顯示例如為圖 1B。圖示中，參考圖號 20 表示為多孔區域或多孔層。

執行此陽極化製程是當一偏壓由也被置於包含 HF 的溶液中之一電極施加至此結構時，將圖 1A 所示的結構浸沒入一包含 HF 的溶液中。在此製程中，此結構典型被適用為此電化學胞 (electrochemical cell) 之正極，是當另一半導體材料，例如 Si 或一金屬被使用為負極時。

一般來說，此 HF 陽極化將該摻雜且鬆弛的半導體層 16 轉變為一多孔的半導體層 20。此多孔的半導體層 20 的形成率和所形成的性質 (多孔性和微細構造)，是由材料性質即摻雜類型和濃度，以及此陽極化製程本身的反應條件 (電流密度、偏壓、照明、以及包含 HF 的溶液之添加物) 所決定。概括說來，在本發明中所形成之多孔半導體層 20 具有一多孔性約為 0.1% 或較高。

“包含 HF 的溶液”這個名詞包含濃縮的 HF(49%)、HF 和水的混合物、HF 和一元醇 (monohydric alcohol) 如甲醇、乙醇、丙醇等等之混合物、或 HF 與至少一表面活性劑 (surfactant) 混合。基於 49% 的 HF，呈現於 HF 溶液之表面活性劑的數量典型約為 1 至 50%。

將該摻雜且鬆弛的半導體層 16 轉變為多孔的半導

體層 20 之陽極化製程，是使用一固定電流源而執行，此電流源以約從 0.05 至 50 milliAmps/cm² 之電流密度運作。一光源可選擇性地被使用以照明此實例。較佳地，本發明的此陽極化製程由使用一固定電流源而被利用，其電流密度約以 0.1 至 5 milliAmps/cm² 運作。

陽極化製程通常在室溫下或高於室溫的溫度下被執行。隨著此陽極化製程，該結構通常被去離子水沖洗並被乾燥。陽極化通常發生在少於約 10 分鐘的時間週期，而更典型為少於 1 分鐘的時間週期。

如圖 1B 所示的結構，包含多孔半導體層 20，其隨後被加熱，即退火，至一溫度而將多孔半導體層 20 轉變為一埋式氧化區 22。此造成之結構顯示例如為圖 1C。如圖所示，此結構包含一應變半導體層 18 在一埋式氧化層 22 頂上。此埋式氧化層 22 位於鬆弛的半導體層 14 之頂上，而鬆弛的半導體層 14 則照順序位於基板 12 的頂上。

應注意的是，在加熱步驟期間，一氧化層 24 形成於層 18 的頂上。該表面氧化層，即氧化層 24，通常但非總是，在加熱步驟後，使用一習知的濕蝕刻製程將其從該結構移除，其中一化學蝕刻劑例如 HF，其具有相較使用之半導體有較高的選擇性，以供移除氧化層。此去除表面氧化層 24 之結構則顯示於圖 1D。

值得注意的是，當氧化層 24 被移除時，上述步驟可被重複任意次，以提供一多層結構，從底部至頂部，包

含基板/(鬆弛的半導體/埋式氧化物/應變半導體)_x，其中 x 大於 1。當 x 等於 1 時，圖 1D 顯示的結構則形成。

本發明的一些實施例中，複數個埋式氧化層可由在基板 12 上形成連續材料層 14、16、及 18 而獲得，而之後執行本發明之電解陽極化製程和退火製程。

該表面氧化層 24 在本發明的加熱步驟後形成，其具有一可變厚度，範圍約從 10 至 1000 nm，而較佳厚度為約 20 至 500 nm。埋式氧化層 22 通常具有與前述中供摻雜且鬆弛的半導體層 16 相同的厚度。

具體來說，本發明的加熱步驟是一退火步驟，其在一大於 400°C 的溫度被執行，較佳為大於 1100°C。供本發明加熱步驟的典型的溫度範圍約從 1200°C 至 1320°C。

此外，本發明的加熱步驟是在一氧化環境中被實行，而此環境包含一種以上包含氧的氣體，例如 O₂、NO、N₂O、臭氧(ozone)、空氣、以及其他類似包含氧的氣體。此包含氧的氣體可與互相混合(例如 O₂ 與 NO 的混合物)，或此氣體可被一惰性氣體稀釋，例如 He、Ar、N₂、Xe、Kr、或 Ne。當一被稀釋的環境被使用時，此稀釋的環境包含約從 0.1 至 100%之包含氧的氣體，而其餘的可達到 100%為惰性氣體。

此加熱步驟可以一可變的時間週期實行，範圍通常從大於 0 分鐘至約 1800 分鐘，而較佳為約從 60 至 600

分鐘。此加熱步驟可在一單目標溫度被實行，或不同的溫度斜坡和浸泡循環，使用不同的斜坡率和浸泡次數可被實行。

此加熱步驟在一氧化環境下被執行，以達成氧化層即層 22、24 的呈現。應注意的是，此多孔的半導體區反應於以一增大的速率散佈的氧氣。

加熱和隨後的表面氧化層 24 移除之後，此結構可被呈交至一熱製程(即烘烤[baking]步驟)，此步驟可減少呈現於最後結構中摻雜物的含量。此烘烤步驟通常執行於一包含氫的環境，例如 H_2 。將摻雜物從此結構熔掉通常發生在此步驟於大於 $800^{\circ}C$ 執行時，而更典型為當溫度大於 $1000^{\circ}C$ 。此熱步驟是選擇性的，且不需要在所有實例中被執行。而使用此熱製程去熔掉摻雜物可被執行於任何階段。

典型來說，可將摻雜物從此結構熔掉的熱製程被執行的時間週期約 1 至 60 分鐘。如上所述，此烘烤步驟減少 SSOI 基板中摻雜物的數量。雖然此步驟可用來減少 SSOI 基板內之任何摻雜物，但在此特別利用來去除此結構中的硼。

在執行上述製程步驟後，習知 CMOS 製程可被實行以形成一或更多個 CMOS 裝置，例如場效電晶體(FETs)於該應變半導體層的上方。此 CMOS 製程是熟此技藝者已熟知，故不在此詳述此製程之細節。

本發明於上述的方法中提供一 SSOI 基板，包含一應變半導體層 18 於一氧化層 22 上方，此氧化層 22 位於一鬆弛的半導體層 14 之上方，而此鬆弛的半導體層則位於基板 12 上。相異於上述的習知製程，此應變半導體層 18 和鬆弛的半導體層 14 具有一相稱的，即相同的晶軸向 (crystal orientation)。此外，由本發明方法所形成的此氧化層 22 是”高品質的”，意即此埋式氧化層 22 有約為 1 microAmp 或較低的一漏電流 (leakage)，以及約為 2 Megavolts 或較高的一崩潰電場 (breakdown field)。

在圖 1A-1D 所描述的實施例說明其中沒有被圖案化的層。另一實施例中，也考慮形成一結構，其包含一圖案化的應變半導體層 18 於一埋式氧化層 22 上。如此之圖案化的 SSOI 結構則舉例於圖 2A 所示。此圖案化結構是使用與上述相同的基本製程步驟所形成，除了陽極化之前，如圖 1A 所示之應變半導體層 18 藉由微影化和蝕刻所圖案化。此微影化步驟包含施加一光阻劑 (photoresist) 於一應變半導體層 18、暴露此光阻劑於發光之圖案、以及利用一習知的光阻顯影機 (resist developer) 將圖案顯影至暴露的光阻劑。該蝕刻步驟可包含一濕蝕刻製程或一乾蝕刻製程，其可選擇性地移除暴露的應變半導體層 18。從此結構去除圖案化的光阻劑後，上述之陽極化和氧化則被執行。一些實施例中，不在應變半導體層底下之氧化層 22 可被移除而暴露該鬆弛的半導體層 14。

又本發明的另一實施例中，一圖案化的 SSOI 基板可被形成，例如圖 2B 所說明。此圖案化的 SSOI 基板的

形成，是由先實施磊晶生長、陽極化、及氧化之製程步驟，再來由微影和蝕刻以圖案化此結構。此蝕刻步驟可停止於氧化層 22 之一表面，而提供圖 2A 所示之結構，或當到達此鬆弛的半導體層 14 時，此步驟可被停止，如圖 2B。用來移除層 18 和 22 的暴露部份之蝕刻可包含一單蝕刻步驟，或可使用多蝕刻步驟。

CMOS 製程也可被執行於此圖案化的 SSOI 基板。

本發明已由較佳實施例被顯示及描述，熟此技藝者可知此形式和細節可在不偏離本發明的範疇與精神下作改變。因此並不意圖去限制本發明於實施方式中描述和說明之形式與細節，而本發明之範圍於以下之申請專利範圍中提出。

【圖式簡單說明】

圖 1A-1D 為圖像(橫截面觀點)說明利用於製造本發明的 SSOI 基板之基本製程步驟；此發明的 SSOI 基板顯示於圖 1D，包含均未圖案化的一應變半導體層和一埋式氧化層；

圖 2A-2B 為圖像(橫截面觀點)說明使用本發明的方法製造之圖案化的 SSOI 基板。

【主要元件符號說明】

- 10 結構
- 12 基板
- 14 鬆弛的半導體層
- 16 摻雜且鬆弛的半導體層
- 18 應變半導體層
- 20 多孔半導體層
- 22 埋式氧化層
- 24 氧化層

五、中文發明摘要：

本案提供一具經濟效益且可大量製造之應變絕緣層上半導體(strained semiconductor-on-insulator, SSOI)製造方法，其可避免晶圓鍵合。此方法包含生長不同的磊晶半導體層於一基板上，其中至少一個半導體層為一摻雜且鬆弛的(doped and relaxed)半導體層，且位於一應變半導體層底下；經由一電解陽極化(electrolytic anodization)製程將此摻雜且鬆弛的半導體層轉變為一多孔(porous)半導體層，並氧化多孔半導體層而將其轉變為一埋式氧化層。此方法提供一 SSOI 基板，其包含一鬆弛的半導體層於一基板上；一高品質的埋式氧化層於此鬆弛的半導體層上；以及一應變半導體層於此高品質埋式氧化層上。依據本發明，此鬆弛的半導體層和此應變半導體層具有相同的結晶方向。

六、英文發明摘要：

A cost efficient and manufacturable method of fabricating strained semiconductor-on-insulator (SSOI) substrates is provided that avoids wafer bonding. The method includes growing various epitaxial semiconductor layers on a substrate, wherein at least one of the semiconductor layers is a doped and relaxed semiconductor layer underneath a strained semiconductor layer; converting the doped and relaxed semiconductor layer into a porous semiconductor via an electrolytic anodization process, and oxidizing to convert the porous semiconductor layer into a buried oxide layer. The method provides a SSOI substrate that includes a relaxed semiconductor layer on a substrate; a high-quality buried oxide layer on the relaxed semiconductor layer; and a strained semiconductor layer on the high-quality buried oxide layer. In accordance with the present invention, the relaxed semiconductor layer and the strained semiconductor layer have identical crystallographic orientations.

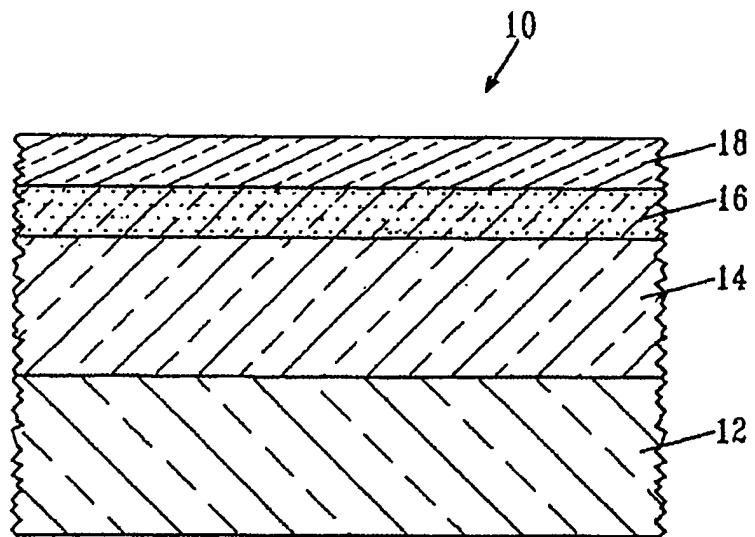


圖1A

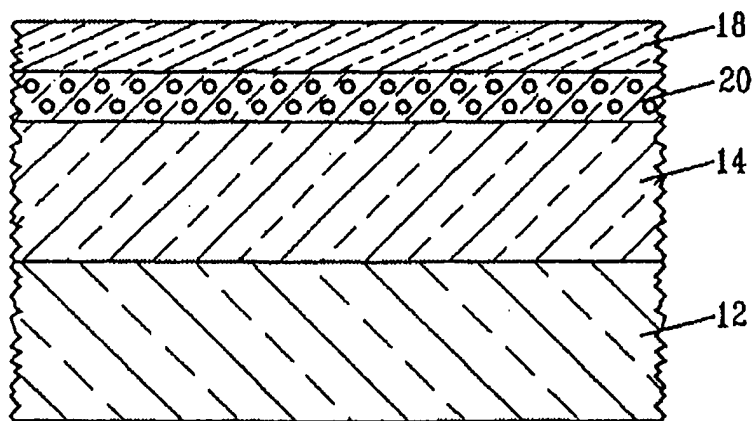


圖1B

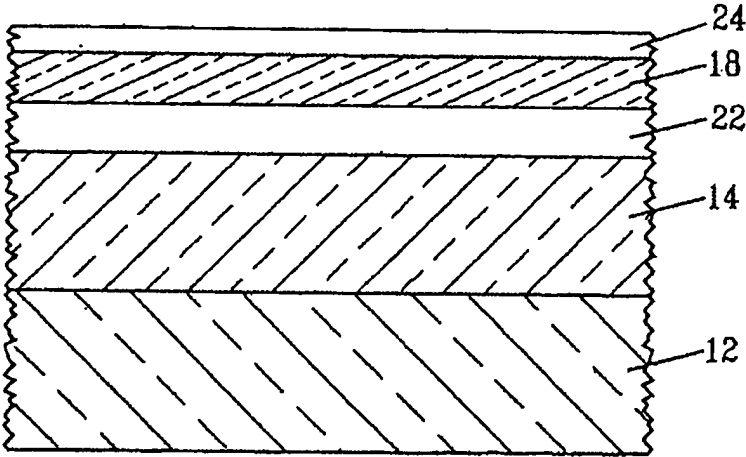


圖1C

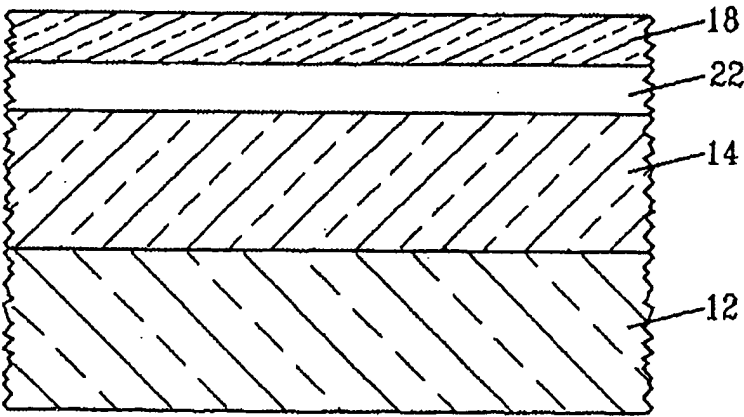


圖1D

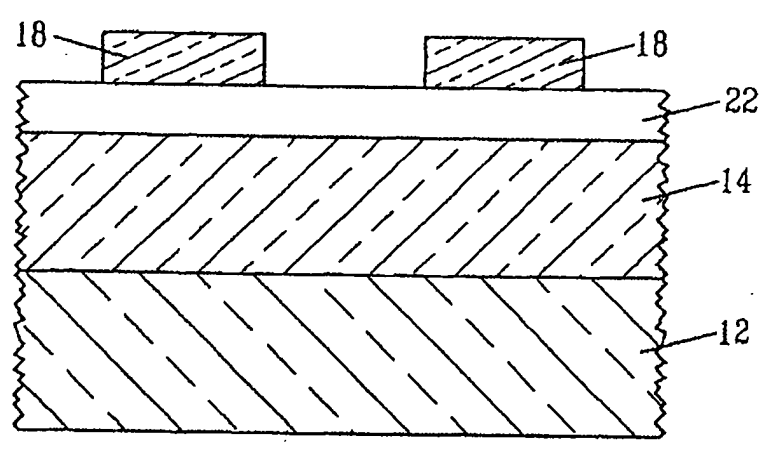


圖2A

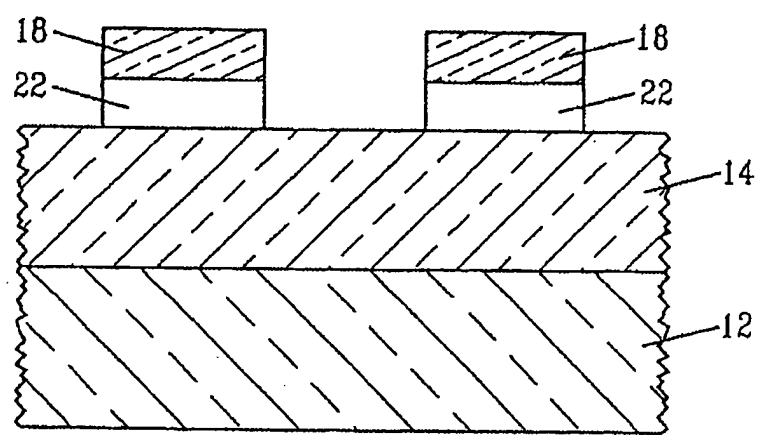


圖2B

七、指定代表圖：

(一)本案指定代表圖為：圖 1D。

(二)本代表圖之元件符號簡單說明：

- 12 基板
- 14 鬆弛的半導體層
- 18 應變半導體層
- 22 埋式氧化層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種製造一應變絕緣層上半導體 (strained semiconductor-on-insulator, SSOI) 基板之方法，包含以下步驟：

一提供步驟，提供一結構，該結構包含一基板、一鬆弛的 (relaxed) 半導體層於該基板上、一摻雜且鬆弛的半導體層於該鬆弛的半導體層上、以及一應變半導體層於該摻雜且鬆弛的半導體層上，該鬆弛的半導體層、該摻雜且鬆弛的半導體層、以及該應變半導體層具有相同的結晶方向 (crystallographic orientations)；

一轉變步驟，將應變半導體層底下之摻雜且鬆弛的半導體層轉變為一埋式多孔層；以及

一退火步驟，將包含埋式多孔層的結構退火，以提供一應變絕緣層上半導體基板，其中在該退火期間，該埋式多孔層被轉變為一埋式氧化層。

2. 如請求項 1 所述之方法，其中該提供步驟包含該鬆弛的半導體層、該摻雜且鬆弛的半導體層、以及該應變半導體層之磊晶生長法 (epitaxial growth)。

3. 如請求項 2 所述之方法，其中該磊晶生長法包含熱化學氣相沉積 (thermal chemical vapor deposition)、低能量電漿沉積 (low-energy plasma deposition)、超高真空化學氣相沉積 (ultra-high vacuum chemical vapor deposition)、氣壓化學氣相沉積 (atmospheric pressure chemical vapor deposition)、或分子束磊晶 (molecular beam epitaxy)。

4.如請求項 1 所述之方法，其中該基板是一結晶半導體 (crystalline semiconductor) 基板。

5.如請求項 4 所述之方法，其中該結晶半導體基板是摻雜的。

6.如請求項 4 所述之方法，其中該結晶半導體基板是一包含矽的基板。

7.如請求項 1 所述之方法，其中該鬆弛的半導體層包含一 SiGe 合金層，該 SiGe 合金層達到 99 原子百分率之 Ge。

8.如請求項 1 所述之方法，其中該鬆弛的半導體層具有鬆弛的量測程度(measured degree)約為 10%或較大。

9.如請求項 1 所述之方法，其中該鬆弛的半導體層有一準穩定態(metastable)表面區域，且該表面區域具有一缺陷密度(defect density)大約為 $1\text{E}5 \text{ defect/cm}^3$ 或較大。

10.如請求項 1 所述之方法，其中該鬆弛的半導體層是一被分類的 SiGe 合金層，該 SiGe 合金層具有不同含量的 Ge。

11.如請求項 1 所述之方法，其中該鬆弛的半導體層是被摻雜的。

12.如請求項 1 所述之方法，其中該摻雜且鬆弛的半導體層包含一 p 型摻雜物。

13.如請求項 12 所述之方法，其中該 p 型摻雜物呈現於該摻雜且鬆弛的半導體層，而濃度約為 $1E19 \text{ atoms/cm}^3$ 或較高。

14.如請求項 1 所述之方法，其中該摻雜且鬆弛的半導體層包含一包含 Si 的半導體。

15.如請求項 14 所述之方法，其中該包含矽的半導體包含 Si 或 SiGe。

16.如請求項 1 所述之方法，其中該摻雜且鬆弛的半導體層是該鬆弛的半導體層之一上面區域。

17.如請求項 1 所述之方法，其中該應變半導體層承受一壓縮的或拉伸的應力(strain)。

18.如請求項 1 所述之方法，其中該應變半導體層包含一包含 Si 的半導體。

19.如請求項 18 所述之方法，其中該包含矽的半導體包含 Si 或 SiGe。

20.如請求項 1 所述之方法，其中該應變半導體層是一被摻雜的層，且具有一摻雜物濃度約為 $1E15 \text{ atoms/cm}^3$ 或較高。

21.如請求項 1 所述之方法，其中該鬆弛的半導體層、該摻雜且鬆弛的半導體層、以及該應變半導體層具有一(100)、(110)、或(111)的晶軸向(crystal orientation)。

22.如請求項 1 所述之方法，更包含在該轉變步驟之前，圖案化該應變半導體層。

23.如請求項 1 所述之方法，其中該轉變步驟包含電解陽極化(electrolytic anodization)製程。

24.如請求項 23 所述之方法，其中該電解陽極化製程在一包含 HF 的溶劑中被執行。

25.如請求項 23 所述之方法，其中該電解陽極化製程由使用一固定的電流源來執行，該電流源運作於一電流密度從約 0.05 到約 50milliAmps/cm²。

26.如請求項 1 所述之方法，其中該埋式多孔層具有一多孔性約為 0.1%或較大。

27.如請求項 1 所述之方法，其中該退火被執行於一包含氧的環境，該環境可選擇性地包含一惰性氣體。

28.如請求項 1 所述之方法，其中該退火被執行於一大於 400 °C 的溫度。

29.如請求項 1 所述之方法，更包含一烘烤步驟，可減少摻雜物呈現於該應變絕緣層上半導體基板中。

30.一種製造一應變絕緣層上半導體基板之方法，包含：
磊晶生長一應變半導體層於一磊晶摻雜且鬆弛的半導體

層之一表面上，該摻雜且鬆弛的半導體位於一磊晶鬆弛的 SiGe 型版(template)頂上；

電解陽極化該摻雜且鬆弛的半導體層，以轉變該摻雜且鬆弛的半導體層為一多孔層；以及

氧化該應變半導體層和該多孔層，藉此該多孔層被轉變為一埋式氧化層，而其位於該應變半導體層和該鬆弛的 SiGe 型版之間。

31.一種半導體結構，包含：

一摻雜之包含矽的結晶半導體(crystalline semiconductor)基板；

一鬆弛的 SiGe 合金層，位於該基板上，該鬆弛的 SiGe 合金層的 Ge 含量達到 99 原子百分率，該鬆弛的 SiGe 合金層具有鬆弛的量測程度約為 10%或較大，該鬆弛的 SiGe 合金層有一準穩定態(metastable)表面區域且該表面區域具有一缺陷密度(defect density)大約為 $1E5 \text{ defect/cm}^3$ 或較大；

一埋式氧化層，位於該鬆弛的 SiGe 合金層上，該埋式氧化層有一漏電流(leakage current)約為 1microAmp 或較低，該埋式氧化層有約為 2Megavolts 或較高之一崩潰電場(breakdown field)；

一應變含 Si 半導體層，位於該埋式氧化層上，具有一摻雜物濃度約為 $1E15 \text{ atoms/cm}^3$ 或較高，其中該鬆弛的 SiGe 合金層和該應變含 Si 半導體層具有相同且選自(100)、(110)、及(111)的結晶方向(crystallographic orientation)，且其中該應變含 Si 半導體層與該埋式氧化層皆被圖案化；以及

一個以上互補的金屬氧化半導體裝置，位於該應變含 Si 半導體層的一表面上。