

公告本

申請日期	84 年 12 月 22 日
案 號	84113768
類 別	G11C 1/407

Int. Cl⁶

A4
C4

312789

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體記憶裝置和使用其之記憶體模組
	英 文	
二、發明 創作人	姓 名	(1) 佐々木敏夫 (2) 柳澤一正 (3) 管野利夫
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都西多摩郡瑞穂町石畑一八七八 一三 (2) 日本國東京都國分寺市光町一一四一一五一一 〇六 (3) 日本國東京都小平市鈴木町一一一六六三 シンフォニー二一 二〇五號
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(2) 日立東部半導體股份有限公司 日立東部セミコンダクタ株式会社
	住、居所 (事務所)	(1) 日本 (2) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國埼玉縣入間郡毛呂山町旭台一五番地
	代 表 人 姓 名	(1) 金井務 (2) 山本雅幸

裝

訂

線

312739

申請日期	84 年 12 月 22 日
案 號	84113768
類 別	

A4

C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 井上清 (5) 津久井誠一郎 (6) 青木正和
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國東京都杉並區高円寺南五-三五-一
	住、居所	(5) 日本國埼玉縣狹山市富士見二-二三-三一 (6) 日本國埼玉縣所沢市東所沢三-二四-二〇
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

312769

申請日期	84 年 12 月 22 日
案 號	84113768
類 別	

A4

C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 鈴木茂 (8) 堀口真志
	國 籍	(7) 日本 (8) 日本 (7) 日本國東京都國分寺市西恋ヶ窪二-二五-一三
	住、居所	(8) 日本國川崎市多摩區中野島六-二九-二-二〇七
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

312789

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 1 月 27 日 07-031403 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

四、中文發明摘要(發明之名稱：

半導體記憶裝置和使用其之記憶體模組

本發明乃有關：半導體記憶裝置及使用此裝置之記憶體模組(memory module)者，主要乃關於利用在大記憶容量之動態型RAM(dynamic type Random Access Memory)之缺陷補救(defect relief)技術而極為有效之技術者。

本發明之目的乃在提供：具有多樣性之半導體記憶裝置及使用此裝置可達成實質上之製品良率之提升之記憶體模組者。

本發明之特徵乃在：將在記憶墊塊(memory mat)單位存在有缺陷(defect)之第1半導體裝置之輸出入端子，與具有冗餘記憶墊塊(redundant memory mat)之第2半導體記憶裝置之輸出入端子，在安裝基板上加以結合，來進行記憶墊塊為單位之補救(relief)。對於缺陷記憶墊塊，則進行實質上之電源斷路。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵為：

含有：接受位址信號之第1輸入緩衝電路，

及根據通過上述第1緩衝器被輸入之位址信號，來進行記憶格之選擇動作之位址選擇電路，

及接受向上述記憶格之寫入信號之第2輸入緩衝器，

及輸出來自上述記憶格之讀出信號之輸出緩衝器，

及被結合於上述記憶格，而獲得上述讀出信號之感測放大器，

及缺陷資訊被寫入之記憶機構，

及由被記憶在上述記憶機構之缺陷信號來進行對上述感測放大器之工作電壓之斷路之電源斷路電路等；

而根據上述缺陷資訊，使上述第1及第2之輸入緩衝器及輸出緩衝器之輸出成為高阻抗狀態；等為構成者。

2. 如申請專利範圍第1項所述之半導體記憶裝置；進一步備有：進行以上述記憶格被結合之字線及數元線為單位之缺陷補救之冗餘電路。

3. 如申請專利範圍第2項所述之半導體記憶裝置；在上述記憶機構乃設有：輸入與上述缺陷資訊相對應之電氣信號之輸入電極，而在此種輸入電極乃被供給：根據從外部端子所供給之信號被形成之上述電氣信號者。

4. 一種記憶體模組，主要在備有複數之半導體記憶裝置之記憶體模組中；其特徵為：

第1之半導體記憶裝置乃各具有複數之記憶墊塊（memory mat），而各記憶墊塊亦含有：

六、申請專利範圍

接受位址信號之第 1 輸入緩衝電路，

及根據通過上述第 1 緩衝器被輸入之位址信號，來進行記憶格之選擇動作之位址選擇電路，

及接受向上述記憶格之寫入信號之第 2 輸入緩衝器，

及輸出來自上述記憶格之讀出信號之輸出緩衝器，

及被結合於上述記憶格，而獲得上述讀出信號之感測放大器，

及缺陷資訊被寫入之記憶機構，

及由被記憶在上述記憶機構之缺陷信號來進行對上述感測放大器之工作電壓之斷路之電源斷路電路等；

而根據上述缺陷資訊，使上述第 1 及第 2 之輸入緩衝器及輸出緩衝器之輸出成為高阻抗狀態；

第 2 之半導體記憶裝置，則含有：補救上述第 1 半導體記憶裝置內之缺陷記憶墊塊之冗餘記憶墊塊；等為構成者。

5. 如申請專利範圍第 4 項所述之記憶體模組；上述第 1 半導體裝置之與上述缺陷墊塊相對應之外部資料端子，與上述第 2 半導體記憶裝置之與上述冗餘記憶墊塊相對應之外部資料端子，乃在安裝基板上被相對應連接者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(1)

<發明之背景>

本發明乃關於：半導體記憶裝置及使用此裝置之記憶體模組(memory module)者，主要乃關於：利用在大記憶容量之動態型RAM(dynamic type RAM)之缺陷補救(defect relief)技術而極為有效之技術者。

至於缺陷補救技術，亦需有日本特開平4-181589號專利公報以及日本特開昭61-150200號專利公報被提出。

與上述日本特開平4-181589號專利公報相關之半導體記憶器，其以往以字線(word line)或數位線(bit line)(資料線或數位線)為單位之缺陷補救，乃被認為無從補救，故為進行直流不良之補救，乃將正常電路分割成複數之記憶塊(記憶墊塊)，以形成與此種記憶塊(memory block)相對應之預備記憶墊塊，當正常電路之記憶塊發生缺陷，即將此連整個記憶塊加以置換為預備記憶墊塊，等為構成者。

<發明之概要>

上述之缺陷補救技術，乃為在1個半導體切片(chip)內形成由大電路規模所成之預備記憶墊塊者，其使用效率不會成為太高。因為，由以往之字線或數位線單位之缺陷補救技術，尚可補救某種程度之缺陷之故。因此，即使搭載如上述之預備之記憶塊，在大半之半導體切片卻成為不會去使用它之狀態，結果實質上之佔有面積逐增大。進

五、發明說明(2)

行以記憶塊為單位之補救之概率，實際上乃並不比預期者為高，故與將此種半導體切片當作不良切片加以廢棄之情形比較，實不能說格外為優異；此種情況已由本案發明人之檢討逐漸被判明。

亦即，在進行塊補救(block relief)之半導體切片，因如上述，佔有面積將增大，而由1枚之半導體晶片(ware)所能形成之半導體切片之數目將變小，故即使以塊單位被進行缺陷補救，作為全體之製品數量亦不會成為太多。與此相對，在僅為以往之字線或數元線單位之缺陷補救時，此部分將使半導體切片之佔有面積變小，故可使由一枚之半導體晶片所能形成之半導體切片之數目增多，因為即使將如上述之需進行記憶塊為單位之缺陷補救之半導體切片，作為不良切片加以廢棄，作為全體之製品數量，亦將無多大之減少之故。

本發明之目的乃在提供：具有多樣性之半導體記憶裝置，及使用它即可提高實質上之製品良率之記憶體模組者。本發明之前述及其他之目的以及新穎之特徵，將可由本說明書之記述及附圖獲得明確之瞭解。

茲將本申請案所揭示之本發明之中代表性者之概要簡單說明如下。亦即，將內部位址信號或預解碼(predecode)信號及控制信號通過第1輸入緩衝電路來加以供給，並將此種位址信號或預解碼信號由位址選擇電路來加以解讀，而從記憶格被矩陣配置於複數之字線與複數之數元線之交點所成之記憶器陣列，來進行1乃至複數為

五、發明說明(3)

單位之記憶格之選擇動作；並設置：接受向上述記憶格之寫入信號之第2輸入緩衝器，及輸出從記憶格之讀出信號之輸出緩衝器，及缺陷資訊將被寫入之記憶機構等，以形成由被記憶於此種記憶機構之缺陷信號來進行對感測放大器(sense amplifier)之實質上之電源斷路所成之具有複數之記憶墊塊之電路構成。

依據上述構成，當在記憶墊塊內發生直流性不良時，將可使此種記憶墊塊在電氣上被分離，而作為其餘部分仍可被有效利用之半導體記憶裝置來加以使用。

茲將本申請案所揭示之本發明之中其他代表性者之概要簡單說明如下。亦即，將內部位址信號或預解碼信號及控制信號通過第1輸入緩衝電路來加以供給，並將此種位址信號或預解碼信號由位址選擇電路來加以解讀，而從記憶格被矩陣配置於複數之字線與複數之數元線之交點所成之記憶器陣列，來進行1乃至複數為單位之記憶格之選擇動作；並設置：由接受向上述記憶格之寫入信號之第2輸入緩衝器，及輸出從記憶格之讀出信號之輸出緩衝器等所成之複數之記憶墊塊；以及與此等記憶墊塊相對應被設置而位址資訊將被寫入之記憶電路；以及與指定此種記憶墊塊之位址信號比較，將與上述位址資訊相對應之記憶墊塊被選擇之事加以檢出，使相對應之記憶墊塊之第2輸入緩衝器或輸出緩衝器之動作成為有效，同時與各個記憶墊塊相對應之複數組之輸出入端子等；為構成者。

依據上述構成，將可獲得對記憶電路指派(assign)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

任意之位址為構成之半導體記憶裝置，且可作為按需要來進行以記憶墊塊為單位之缺陷補救之冗餘用半導體記憶裝置來利用。

進一步，再將本申請案所揭示之發明之中更為其他之代表性者之概要簡單加以說明如下。亦即，將內部位址信號或預解碼信號及控制信號通過第1輸入緩衝電路來加以供給，並將此種位址信號或預解碼信號由位址選擇電路來加以解讀，而從記憶格被矩陣配置於複數之字線與複數之數元線之交點所成之記憶陣列，來進行1乃至複數為單位之記憶格之選擇動作；並設置：接受向上述記憶格之寫入信號之第2輸入緩衝器，及輸出從記憶格之讀出信號之輸出緩衝器，及缺陷資訊將被寫入之記憶機構等；並將：由被記憶於此種記憶機構之缺陷信號來進行對感測放大器之實質上之電源斷路所成之具有複數之記憶墊塊之第1半導體記憶裝置，及由同樣構成之複數所成之記憶墊塊及與此種記憶墊塊相對應被設置而位址資訊將被寫入之記憶電路，及與指定此種記憶墊塊之位址信號比較並檢出與上述位址資訊相對應之記憶墊塊被選擇之事，使相對應之記憶墊塊之第2輸入緩衝器或輸出緩衝器之動作成為有效，同時具有與各個記憶墊塊相對應之複數組之輸出入端子之第2半導體記憶裝置等搭載於一個安裝基板上；而在上述第1半導體記憶裝置中則使缺陷記憶墊塊在電氣上分離，在第2半導體記憶裝置亦將與此種記憶墊塊相對應之位址資訊寫入記憶電路，同時亦將與上述缺陷墊塊相對應之外部資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

料端子及在上述第 2 半導體記憶裝置與此種記憶墊塊相對應之上述輸出入端子等，相對應在安裝基板上來加以連接；等為構成者。

依據上述機構，由於能夠一面使用在記憶墊塊為單位存在有缺陷之第 1 半導體裝置，一面將第 2 半導體記憶裝置加以組合來在安裝基板進行補救，故將可提高半導體記憶裝置之實質上之良品率。

< 附圖之簡單說明 >

〔圖 1〕 表示本發明之半導體記憶裝置之一實施例之概略方塊圖。

〔圖 2〕 表示圖 1 之記憶墊塊之一實施例之方塊圖。

〔圖 3〕 表示圖 2 之記憶器陣列部之一實施例之要部電路圖。

〔圖 4〕 說明適用本發明之動態型 R A M 之概略動作所用之定時圖。

〔圖 5〕 適用本發明之動態型 R A M 之一實施例之一半之記憶器陣列之佈置圖。

〔圖 6〕 適用本發明之動態型 R A M 之一實施例之另一半之記憶器陣列之佈置圖。

〔圖 7〕 表示本發明之半導體記憶裝置之一實施例之概略方塊圖。

〔圖 8〕 表示圖 7 之輸出控制電路 O B C 及資料輸

五、發明說明 (6)

出入緩衝器 I O B 所含之輸出緩衝器之一實施例之電路圖。

〔圖 9〕 表示本發明之其他半導體記憶裝置之一實施例之概略方塊圖。

〔圖 10〕 表示圖 9 之位址比較電路及輸出選擇電路以及輸出驅動器之一實施例之電路圖。

〔圖 11〕 表示本發明之其他半導體記憶裝置之一實施例之概略方塊圖。

〔圖 12 A，圖 12 B〕 表示本發明之記憶體模組之一實施例之方塊圖。

〔圖 13〕 表示本發明之記憶體模組之其他一實施例之方塊圖。

〔圖 14〕 表示本發明之記憶體模組之其他一實施例之方塊圖。

〔圖 15〕 說明本發明之記憶體模組之裝配方法所用之流程圖。

〔圖 16〕 表示本發明之半導體記憶裝置之其他一實施例之方塊圖。

〔圖 17〕 表示本發明之記憶模組之一實施例之概略構成圖。

〔圖 18〕 表示本發明之記憶模組之其他一實施例之概略構成圖。

〔圖 19〕 適用本發明之 D R A M 之電腦系統之作爲記憶儲存部之記憶板 (memory board) 之要部概略圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

< 實施例 >

圖 1 乃表示本發明之半導體記憶裝置之一實施例之概略方塊圖者。該圖之各電路方塊乃由周知之半導體積體電路之製造技術，在如單晶矽之 1 個半導體基板上所形成。本實施例之半導體記憶裝置，大別之，乃由：8 個之記憶墊塊 (memory mat) MAT 0 ~ MAT 7，及輸出入介面及控制電路所構成。上述輸出入介面乃由：位址輸入緩衝器 XAB，YAB，資料輸出入緩衝器 IOB 及多工器 (multiplexor) MPX 等所構成。

控制電路乃由：接受從外部端子所供給之控制信號 /RAS，/CAS，/WE 及 /OE 而發生內部電路之動作所必需之各種控制信號或定時信號等之控制電路 CONT，及形成上述記憶墊塊之選擇信號之墊塊解碼器 (mat decoder) MATDEC，及輸出控制電路 OBC 及再新控制電路 REFC 等所構成。在此，附於控制信號 /RAS，/CAS，/WE 及 /OE 等之記號 / (slash) 乃作為表示低電平或有效電壓之上劃線 (over-bar) 之代號來使用者。基板偏壓電路 VBBG，乃接受從未圖示之電源電壓端子所供給之電源電壓，來形成應供給此基板之反饋偏壓 (back bias)。雖未有特別之限制，此基板偏壓電路 VBBG，乃由來自控制電路 CONT 之控制信號或基板電位之監察信號等，形成按動作模態基板電流之供給能力可加以轉換之狀態，並動作成將基板電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

位保持在略為一定之狀態。

在本實施例中，在上述8個之記憶墊塊MAT0～MAT7之中，最終乃有1個記憶墊塊被選擇，而與其相對應之輸出入I/O將經由多工器MPX被連接在資料輸出入緩衝器IOB。亦即，例如本實施例，如資料端子D₀～D₃，進行以4數元(bit)為單位之資料之輸出入時，在各記憶墊塊MAT0～MAT7，與上述輸出入之資料端子D₀～D₃相對應，將被進行以4數元為單元之資料之輸出入。各記憶墊塊MAT0～MAT7，乃如後述，各個將與1個半導體成為等值(equivalence)。

經過上述位址緩衝器XAB及YAB被供給之位址信號之中，選擇各記憶墊塊MAT0～MAT7之字線所用之位址信號X，乃為選擇數元線(bit line)所用之位址信號Y，乃經過內部之位址匯流排，被供給至各記憶墊塊MAT0～MAT7。然後，指定記憶墊塊MAT0～MAT7之中的一個記憶墊塊之位址信號，將由墊塊MATDE被解讀，而墊塊選擇信號將被供給至各記憶墊塊MAT0～MAT7之選擇端子MS。如上述，由8個之記憶墊塊MAT0～MAT7所成時，雖未特別限制，但例如，X系之位址信號乃由2數元(2 bit)，Y系之位址信號則由1數元所成，並解讀其各個來選擇1個之記憶墊塊；故可將上述墊塊解碼器MATDEC看作是一種預解碼器(pred decoder)。

圖2乃表示上述記憶墊塊之一實施例之方塊圖。各記

五、發明說明 (9)

憶墊塊 M A T 0 ~ M A T 7 即使各個被形成 1 個之半導體記憶器，換言之，即使形成如上述之位址緩衝器 X A B 及 Y A B 等，亦設有：取入如上述經過內部位址匯流排被供給之位址信號 X A D 及 Y A D 以及墊塊選擇信號 M S 或由上述控制電路 C O N T 所形成之各種控制信號等之輸入緩衝器。

其理由乃為：在上述輸入緩衝器設置：如時鐘控制反相 (clocked inverter) 電路之含有輸出高阻抗之 3 狀態輸出機能，而當在記憶墊塊發生直流不良時，使如上述之輸入緩衝器之輸出成為高阻抗狀態，將此種記憶墊塊在電氣上加以分離，以防止在此有定常性之直流電流流入之故。由於此種理由，以 Y 解碼器為代表之內部電路之工作電壓 V c c ，將經由開關 S W 3 被供給。並且，記憶器陣列之板壓 V P L 亦經由同樣之開關 S W 1 被供給。被供給至感測放大器所含半預充電電路之半預充電電壓 H V C ，亦同樣經由開關 S W 2 被供給。

熔絲 F u s e 乃在記憶器陣列等發生直流性缺陷時被切斷並記憶缺陷資訊。此種切斷資訊，在一方面乃被傳至開關控制電路，而使如上述之各開關 S W 1 ， S W 2 及 S W 3 成為斷路狀態。並且，經過輸出緩衝器使圖 1 之輸出控制電路 O B C ，及在輸出入緩衝器之與前述同樣具有 3 狀態輸出機能之輸入緩衝器及輸出緩衝器，一起成為輸出高阻抗狀態。

經過上述輸入緩衝器之位址信號 X A D ，將被供給至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

X 解碼器而在此選擇記憶器陣列之 1 條字線。X 解碼器亦含有字線驅動器。經過上述輸入緩衝器之位址信號 Y A D，將被供給至 Y 解碼器而在此形成記憶器陣列之 4 對之互補數元線之 Y 選擇信號。Y 選擇信號將被傳至：將感測放大器中所含之記憶器陣列之互補數元線連接於輸出入線之行開關 (column switch)，此種輸出入線將與上述輸出入緩衝器相對應被連接。

在本實施例中，雖未圖示，但亦設有 X 系及 Y 系之冗餘電路。上述 X 系之冗餘電路乃含有：記憶不良位址之記憶電路，及位址比較電路。將被記憶之不良位址與輸入之 X 位址加以比較，若為不一致，則直接選擇與輸入之位址相對應之字線，若記憶之不良位址與輸入之 X 位址為一致，則禁止正規電路之不良字線之選擇動作，同時輸出選擇預備字線之選擇信號。同樣之電路亦被設在 Y 系電路，由此來檢出對不良數元線之記憶器接達，則使 Y 解碼器所作不良數元線之選擇動作停止，代之以：選擇已被預備設置之數元線之選擇信號將被形成。

在圖 3 乃表示有：上述記憶器陣列部之一實施例之要部電路圖。在該圖中，乃有：4 條之字線，2 對之互補數元線及與此等相關之感測放大器及預充電電路等作為代表例示性地被表示。在該圖，乃有所謂之共用感測 (shared sense) 方式，以感測放大器為中心，記憶器陣列 A R Y - L 及 A R Y - R 被左右配置，其中左側之陣列 A R Y - L 將如上述被表示，右側之陣列 A R Y - R 則由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

黑盒 (black box) 被表示。而且，僅在構成與一對之互補數元線 B L L 及 $\neg$ B L L 相對應之各電路之 M O S F E T，方作為代表被附加有電路記號。

動態型記憶格乃由：位址選擇用 M O S F E T Q_m 及資訊記憶用電容器 C s 所構成。位址選擇用 M O S F E T Q_m 之閘極乃被連接在字線 W L i，此 M O S F E T Q_m 之汲極則被連接在數元線 $\neg$ B L L，源極亦有資訊記憶用電容器 C s 被連接。資訊記憶用電容器 C s 之另一方之電極則被共同化而有板壓 V P L 被供給。

上述數元線 B L L 及 $\neg$ B L L，乃如該圖所示被平行配置，並為取得數元線之容量平衡等，按必要將被適宜交叉。此種互補數元線 B L L 及 $\neg$ B L L，將由開關 M O S F E T Q_1 及 Q_2 ，被連接在感測放大器之輸入節點 (node)。感測放大器乃由：閘極與汲極被交叉連接而形成閘鎖形態之 N 溝通型 M O S F E T Q_5 ， Q_6 及 P 溝通型 M O S F E T Q_7 ， Q_8 所構成。N 溝通型 M O S F E T Q_5 及 Q_6 之源極則被連接在共同源極線 C S N。P 溝通型 M O S F E T Q_7 及 Q_8 之源極，亦被連接在共同源極線 C S P。如在共同源極線 C S P 有例示性之表示，乃設有 P 溝通型 M O S F E T 之電源開關 M O S F E T Q_{14} ，當定時信號 ϕ_{SAP} 被成為低電平則 M O S F E T Q_{14} 將成為 O N 狀態，而進行感測放大器之動作所需之電壓供給。在與 N 溝通型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

M O S F E T Q 5 及 Q 6 相對應之共同源極線 C S N , 亦設有未圖示之 N 溝通型 M O S F E T , 並在線之動作定時供給電路之接地電位。

使此等感測放大器活性化之電源開關 M O S F E T , 為進行穩定之感測 (sense) 動作, 乃在感測放大器開始放大動作之時點, 使僅能供給較小電流之電源開關 M O S F E T 成為 O N 狀態, 而因感測放大器之放大動作使數元線 B L L 與 / B L L 之電位差達到某種程度增大之時點, 則流放較大電流之電源開關 M O S F E T 成為 O N 狀態等, 將放大動作按階段性來進行。

上述電源開關 M O S F E T Q 1 2 等, 乃除如上述之感測放大器之活性化, 非活性化之外, 在如後述, 與發生直流性不良之記憶墊塊相對應者中, 為防止直流電流之流動, 亦可如前述以溶絲之溶斷, 由被記憶之缺陷資訊 M F 來定常性地為使其成為 O F F 狀態來使用。亦即, 亦可被利用為兼具有: 作為圖 2 之電源開關之機能。

在上述感測放大器之輸出入節點, 乃設有由: 使互補數元線短路之 M O S F E T Q 1 1 , 及向互補數元線供給半預充電電壓 H V C 之開關 M O S F E T Q 9 及 Q 1 1 所構成之預充電電路。此等 M O S F E T Q 9 ~ Q 1 1 之閘極, 亦共同有預充電信號 P C 被供給。此預充電信號 P C , 乃由上述缺陷資訊 M F 被固定在低電平, 亦可利用為使上述 M O S F E T Q 9 ~ Q 1 1 等成為 O F F 狀態之用途。與此同時, 供給半預充電電壓 H V C

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

本身之開關 S W 2 亦同樣被成爲 O F F 狀態。如此，連半預充電電壓 H V C 本身亦斷路，乃因爲在發生例如：供給此種半預預充電電壓 H V C 之信號路徑，與電路之接地電位或電源電壓等發生短路等之直流不良之情形，亦需加以因應之故。

M O S F E T Q 1 2 及 Q 1 3，乃構成：由行選擇信號 Y S 被進行開關控制之行開關。在本實施例，亦形成：由 1 個行選擇信號 Y S 可選擇 4 對之數元線之構成。因此，上述行選擇信號 Y S 將共同被供給至：與該圖所例示之 2 對之數元線及未圖示之其餘之 2 對數元線相對應之 4 個感測放大器之輸出入節點所設之構成行開關之 M O S F E T 之閘極；而經由此種開關 M O S F E T，4 對之數元線與 4 對之輸出入線 I / O 亦各被連接。

在圖 4 乃表示有：說明本發明之動態型 R A M 之概略動作所用之定時圖。(A) 乃表示讀出動作 (R E A D) 之例子；將與列址閃控信號 (row address strobe signal) / R A S 之低電平同步取入列 (R O W 系) 位址信號 A D D，將其解讀後進行字線 W L 之選擇動作。在字線之選擇動作之前，預充電信號 P C 將被成爲低電平，使數元線 B L 與 / B L 以浮動狀態來保持半預充電電壓。然後，進行字線之選擇動作，並在互補數元線 B L 與 / B L 之中，例如選擇被連接於數元線 / B L 之記憶格；若被此種記憶格所保持之記憶資訊爲 O V，則因與數元線 / B L 之充電共用 (charge share)，數元線 / B L 之電位將降

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

低 ΔV 之部分。與此相對，未連接記憶格之數元線 $B L$ ，則將維持半預充電電壓。

因感測放大器之活性化信號（共同源極線） $C S N$ 之低電平，感測放大器之 N 溝通側之放大 $M O S F E T$ $Q 5$ ， $Q 6$ 將開始放大動作，將低電平側之數元線 $\backslash B L$ 抽出至低電平，然後，由被延遲成為高電平之活性化信號（activation signal）（共同源極線） $C S P$ ，使 P 溝通側 $M O S F E T$ $Q 7$ ， $Q 8$ 開始放大動作，將高電平側之數元線 $B L$ 抬高至如電源電壓 $V C C$ 之高電平。

在如前述之共用感測放大器，在感測放大器之放大動作開始前，未選擇字線之記憶體陣列側之 $M O S F E T$ $Q 1$ ， $Q 2$ 或 $Q 3$ ， $Q 4$ ，將由選擇信號 $S H R L$ 或 $S H R R$ 之低電平使其成為 $O F F$ 狀態。上述感測放大器之放大信號則被寫入選擇狀態之記憶格。亦即，數元線 $\backslash B L$ 之電路之接地電位 $O V$ 將在記憶格之資訊記憶用電容器被再寫入（再新）。此後，雖未圖示，將進行 Y 系之選擇動作，被選擇之線之放大信號乃被輸出。

（ B ）則表示寫入動作（ $W R I T E$ ）之例子；與上述同樣，與列址閃控信號 $\backslash R A S$ 之低電平同步，取入列（ $r o w$ 系）位址信號，將其加以解讀後進行字線 $W L$ 之選擇動作。在該圖中，雖被省略，但與前述同樣，在字線之選擇動作之前，預充電信號 $P C$ 將被成為低電平，數元線 $B L$ 與 $\backslash B L$ 將以浮動狀態來保持半預充電電壓。然後，將進行字線之選擇動作，而在互補數元線 $B L \backslash$ 與 $B L$

五、發明說明 (15)

之中之任何一方之數元線將獲得 ΔV 之讀出信號，此亦將由感測放大器被放大。然後，被選擇之記憶格將有原來之記憶資訊被寫入，而進行再新動作。

在寫入動作時，寫入使能信號 WE 將被成為低電平。與此相對應，輸入緩衝器將成為有效，寫入信號將被供給至輸出入線 I/O 。與行址閃控信號 RAS 之低電平同步取入行 (column系) 位址信號 ADD ，將其解讀後乃形成互補數元線之選擇信號 YS 。由此，行開關 MOSFET Q12 ， Q13 等將成為 ON 狀態，記憶器陣列之被選擇之互補數元線 BL ， BL ，與輸出入線 I/O 將被連接，其寫入信號將被傳至如上述之被選擇之互補數元線 BL 與 BL ，故記憶格之記憶電容器 Cs 之保持電平，將被變化為與寫入信號相對應之例如高電平。

在圖 5 及圖 6 乃表示有：本發明被適用之動態型 RAM 之一實施例之記憶器陣列之佈置圖。本實施例之動態型 RAM ，雖未有特別之限制，但形成具有約 64M 數元 (64Mbit) 之記憶容量。在圖 5 及圖 6，乃表示有：形成橫長狀之切片 (chip) 左右各一半部分 (L ， R) 之佈置圖；被設在上述橫長狀之切片中央部分之 Y 補救電路 (Yrelief circuit)，在兩圖中乃被重複表示。此 Y 補救電路，如上述，乃為進行以互補數元線為單位之缺陷補救者。

以兩個記憶器陣列為中心將被設置感測放大器及輸出入線 ($\text{SA \& I/O}$)。位址配置 (address allocate

五、發明說明 (16)

), 若以 1 數元單位之接達為例來說明, 則上側 U 與下側 L 將被指派 (assign) X 位址之最大位數元 / X 1 2 及 X 1 2。如上述, 以 Y 解碼器 Y D E C 為中心被分成各 8 個之兩群之記憶器陣列, 則將被指派位址信號 / X 1 1 及 X 1 1。在該圖為有由 X 1 1 所指定之下半部被省略。上述被分成兩群之 8 個記憶器陣列, 將被分成各 4 個, 而被指派 / X 1 0 及 X 1 0。在該圖, 乃有: 被指派於下側 L 之 4 個記憶器陣列之位址 X 1 0 分為大小被例示。然後, 雖在該圖被省略, 但在以感測放大器為中心被分成各兩個之記憶器陣列, 卻被指派 / X 9 及 X 9, 以感測放大器為中心被分之記憶器陣列, 則被指派 / X 8 及 X 8。

被設在切片之縱方向 (上下) 之列解碼器 X D E C 及陣列控制電路 A R Y C T R L 及墊塊外輸出入線 I / O, 乃由: 字驅動器 W D, X 解碼器及墊塊控制電路 M A T C T R L 及墊塊輸出入線所構成。在切片之較長方向之中央部亦設有: 位址側及 I / O 側之輸入緩衝器或輸出緩衝器等之輸出入介面電路。

附於記憶墊塊之箭頭, 乃表示位址之方向者。亦即, 再新之順序, 在該圖中乃為從上向下方向順次進行。若按該圖箭頭之方向順次進行再新, 則將成為 8 1 9 2 週期 (cycle), 而記憶器接達若被限制, 亦例如將由位址 X 1 2, 1 1 及 1 0 被指定之記憶墊塊同時加以選擇, 使 8 記憶墊塊同時被再新, 即可以 1 0 2 4 週期來使所有之再新終了。行方向之位址配置, 將可夾持 Y 補救電路使左

五、發明說明 (17)

側及右側被指派 Y 位址之最上位數元 / Y 1 2 及 Y 1 2 。
如上述以 X 解碼器 X D E C 等為中心被分成左右之記憶器
陣列，則將被指派位址信號 / Y 1 1 及 Y 1 1 。然後，在
1 個記憶器陣列內，亦將被指派 / X 1 0 及 X 1 0 。

在本實施例中，將全體分為 8 方塊，將此作為記憶墊
塊，以此種記憶墊塊之單位，最終使其進行記憶器接達。
例如，由 X 1 2，X 1 1 及 Y 1 2 分為 8 方塊時，乃在圖
5 及圖中，以 Y 解碼器 Y D E C 向縱方向被分成各 4 個之
記憶器陣列，將被作為 1 個記憶墊塊。此外，如上述，在
記憶器陣列內同時選擇 4 對之數元線，將此直接加以輸出
等構成之情形，由於 X 位址與 Y 位址將各減少 1 數元，故
上述之位址配置將成為：X 1 2 成為 X 1 1，而 X 1 1 則
成為 X 1 0，Y 1 2 亦成為 Y 1 1，在一個記憶墊塊使其
以 4 數元為單位來接達即可。

惟若由於如此構成，與 1 條字線相對應之互補數元線
之數將增大，而連接於字線之記憶格之數亦增大，使字驅
動器之負荷加重等對記憶器接達將發生不良影響，則適宜
在字線方向，將記憶器陣列加以分割來構成即可。如此，
記憶器陣列之佈置即可採取種種之實施形態。

如上述，由 X 位址信號及 Y 位址信號來指定 1 個記憶
墊塊時，將被決定：等待 Y 位址之輸入而最終被選擇之記
憶墊塊。為此，由最終之墊塊選擇信號僅使 1 個記憶墊塊
動作，則記憶器接達將趨於緩慢。為此，在如上述之 8 個
記憶墊塊之中，在由 X 位址被指定之 2 個記憶墊塊，如上

五、發明說明 (18)

述之列系之位址選擇動作將同時被進行。然後，對於由 Y 位址之輸入被指定之 1 個記憶墊塊之輸出入緩衝器，將成為有效，而最終之 1 個記憶墊塊之動作將被進行。因此，在另一方之記憶墊塊，因僅有列系之選擇動作被進行，故等於所謂之再新動作將被進行。

讓記憶墊塊僅以 X 位址來指定，在包括列系之位址選擇電路或輸入位址信號等之輸入緩衝器中，僅使 1 個記憶墊塊成為動作狀態，亦可。如此構成時，指定被供給記憶墊塊內之字線之 X 位址，與 Y 位址雖將成為不平衡，但對 1 個 Y 位址指派複數對之數元線，以複數數元 (b i t) 為單位來進行記憶器接達等之安排，將可使記憶器陣列內之數元線與字線之關係成為最適合狀態。

圖 7 乃表示有：本發明之半導體記憶裝置之一實施例之概略方塊圖。該圖之各電路方塊乃為說明：圖 1 之記憶墊塊與多工器 M P X 以及輸出入電路 I O B 之關係所用者。該圖之輸出選擇斷路電路，乃由前述墊塊解碼器 M A T D E C，及輸出控制電路 O B C 所構成。

此輸出選擇斷路電路乃接受來自缺陷記憶墊塊之缺陷資訊 M F O - 7，及來自墊塊解碼器 M A T D E C 之墊塊選擇信號及來自控制電路之輸出控制信號等，對資料輸出入緩衝器 I O B 之通常之動作控制，及來自缺陷記憶墊塊之輸出動作，具有使輸出緩衝器成為輸出高阻抗狀態之機能。亦即，在通常動作時，資料輸出入緩衝器，於寫入動作時輸入緩衝器將被成為動作狀態，輸出緩衝器則被成為

五、發明說明 (19)

輸出高阻抗狀態。在讀出動作時，輸入緩衝器將被成爲輸出高阻抗狀態，輸出緩衝器則被成爲動作狀態。記憶器未被接達時，輸入緩衝器及輸出緩衝器將均被成爲輸出高阻抗狀態。除此種動作控制之外，在如上述之讀出動作時，從缺陷記憶墊塊之讀出被指示時，輸出緩衝器將被成爲輸出高阻抗狀態。

墊塊選擇信號將形成：與各記憶墊塊之輸出入電路 I / O₀₋₃相對應被設置之多工器之選擇信號。如前述實施例，在記憶墊塊之資料輸出入電路設置輸出入緩衝器，並設有：由缺陷資訊強制地使其成爲輸出高阻抗狀態之機能時，將可省略此種多工器。相反地，於設置此種多工器時，則可在記憶墊塊側省略設置如上述之輸出入緩衝器。亦即，以多工器來製作如上述同樣之輸出高阻抗狀態，亦可。如此作法時，被輸入多工器之控制信號，乃成爲：記憶墊塊之缺陷資訊 M F 及墊塊選擇信號將取得邏輯積 (logical product) 之控制信號。

在圖 8，乃表示有：上述輸出控制電路 O B C 及資料輸出入緩衝器 I O B 所含之輸出緩衝器之一實施例之電路圖。輸出控制電路，其作爲代表被例示之墊塊選擇信號 M S₀，M S₇，及從與其相對應之未圖示之記憶墊塊 M A T₀，M T₇所供給之缺陷資訊 M F₀，M F₇等，將被供給至及 (A N D) 閘電路 G 1，G 2。未圖示之其他墊塊選擇信號及與其相對應之缺陷資訊，亦將被供給至同樣之閘電路。此種及閘電路 G 1，G 2 及未圖示之其他

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

同樣之閘電路之輸出信號，將被供給至或 (O R) 閘電路 G 3 而形成罩 (mask) 信號 M S K 。在該圖中，為防止電路圖趨於複雜，例示之 M O S F E T 之電路記號雖與前述圖 3 者重複，但各個仍為實現個別之電路機能者。

寫入使能信號 W E ，及輸出使能信號 / O E ，將被供給至及閘電路 G 4 ，而在此將形成輸出控制信號 O C 。亦即，由信號 W E 之高電平被指示讀出動作時，於信號 / O E 之高電平時乃使輸出緩衝器成為非動作狀態，與此種信號 / O E 之低電平同步則使控制電路 O C 成為低電平，以使輸出緩衝器活性化。

惟對缺陷記憶墊塊進行記憶器接達時，缺陷信號 M F i 及墊塊選擇信號 M S i 將一起成為高電平，罩信號 M S K 亦被成為高電平。因此，如上述，信號 W E 被成為高電平，而信號 / O E 被成為低電平時，由罩信號 M S K 之高電平，在輸出緩衝器，經過或閘電路 G 6 ，於 P 溝通型輸出 M O S F E T Q 1 之閘極將有高電平，經過及閘電路 G 7 ，於 N 溝通型輸出 M O S F E T Q 2 之閘極則將有低電平，各被供給；故此種輸出緩衝器之輸出端子 D₀ 將被成為輸出高阻抗狀態。被設在其他 3 個之資料端子 D₁ ~ D₃ 之輸出緩衝器亦相同。

在圖 9 ，乃表示有：本發明之其他半導體記憶裝置之一實施例之概略方塊圖。在該圖，亦表示有：半導體記憶裝置之概略之全體方塊及其所形成之 1 個記憶墊塊之放大方塊等。惟本發明之其他半導體記憶裝置，乃為主要使用

五、發明說明 (21)

於前述圖 1 之半導體記憶裝置之缺陷補救記憶器者，為此主要表示有與圖 1 之半導體記憶裝置不同之部分。因此，作為半導體記憶裝置所必需之位址信號或控制信號之輸入緩衝器，或控制電路及基板電壓發生電路等均被省略。該圖之各電路方塊，乃與前述圖 1 同樣，由周知之半導體積體電路製造技術，形成於如單晶矽之 1 個半導體基板上。

本實施例之記憶墊塊，乃由與前述圖 1 略為相同構成之記憶器陣列，X 解碼器，感測放大器及 Y 解碼器等所構成。然後，在本實施例，因為使用於補救之用為前提，故與記憶墊塊發生時相對應，將溶絲 (fuse) 或開關電路加以省略。

雖未有特別之限制，但在本實施例，記憶墊塊之數目全體共有 4 個，各個記憶墊塊之輸出入線，乃直接延伸被供給至資料輸出入電路 $I O B_0 \sim I O B_3$ 。與各記憶墊塊相對應之資料輸出入電路 $I O B_0 \sim I O B_3$ 則各被連接在獨立之資料端子 $D_0 \sim D_{15}$ 。亦即，與 1 個記憶墊塊相對應之資料輸出入電路，乃各有 4 個之資料相對應，故由 4 組所成之資料輸出入電路 $I O B_0 \sim I O B_3$ ，則等於設有 16 個之資料端子 $D_0 \sim D_{15}$ 。

為了主要進行以記憶墊塊為單位之缺陷補救，乃設有記憶被認為缺陷之記憶墊塊之位址所用之 EPROM。本實施例之 EPROM 並非指：改寫可能 (erasable & programmable) 之意思，而是指：使用與周知之

EPROM 同樣在電氣上書寫為可能之記憶格之意。亦即

五、發明說明 (22)

，使 E P R O M 之紫外線消去機能成為不能，而作為一次為限之書寫可能之 R O M 來使用。E P R O M 控制電路乃為進行對上述 E P R O M 之寫入動作及讀出動作之控制電路。

例如，如上述從 4 個記憶墊塊所構成時，與 1 條字線相對應對各記憶墊塊將被指派：與前述圖 1 之半導體記憶裝置之記憶墊塊 M A T 0 ~ M A T 7 相對應之各 3 數元之位址，及表示此種數元為有效抑或無效之旗標數元等之 4 數元，而在 4 個之記憶墊塊則將有合計 1 6 個之記憶格被連接。例如，將 4 個記憶墊塊全部使用於缺陷補救時，將有各被指派之位址及表示此種位址為有效之旗標數元，以 0 與 1 之組合被寫入。

當被進行記憶器接達，則上述字線將被選擇並讀出與 4 個份之記憶墊塊相對應之位址信號及旗標數元 (flag bit)，並被供給至位址比較電路。在位址比較電路，將有與記憶墊塊相對應之 4 個比較電路所成，而各個均被輸入之位址信號與上述 E P R O M 被讀出之位址資訊，將被進行比較。此時，上述旗標數元被成為無效時，其位址比較輸出將被成為無效。亦即，由於未被使用於缺陷補救，將可防止：被成為 0 0 0 等之記憶墊塊在 0 0 0 之記憶墊塊之指定被選擇。

此外，指定記憶墊塊之位址由 X 位址及 Y 位址所成時，先行被輸入之 X 位址將先被比較，若在此時點一致，則將進行與其相對應之記憶墊塊之列系之選擇動作。然後，

五、發明說明 (23)

由 Y 位址之輸入，若被判明為不一致之位址，則此記憶墊塊最終將未被選擇，而僅成為在記憶墊塊內進行再新動作。

由位址比較電路，在記憶墊塊為單位被形成之比較一致信號，將被供給至輸出選擇電路。亦即，當與缺陷之記憶墊塊相對應之記憶器接達被進行，則替代此種缺陷記憶墊塊，本實施例之半導體記憶裝置之 1 個記憶墊塊將如上述已被接達，資料輸出入電路之任何 1 個動作將成為有效，而將進行寫入或讀出動作。

在圖 10 乃表示有：上述位址比較電路與輸出選擇電路及輸出驅動器之一實施例之電路圖。位址比較電路，乃如 1 個電路 CAM 3 作為代表被例示，互補之位址信號 A12 及 $\overline{A12}$ 將通過：由 EPROM 格 (EPROM cell) 之記憶資訊及其反轉信號 (inversion signal) 被開關控制之傳送閘 MOSFET Q1 ~ Q4 取入。例如，被記憶於 EPROM 格之記憶資訊為 0 之低電平時，與位址信號 A12 相對應之 P 溝通型 MOSFET Q1 及 N 溝通型 MOSFET Q2，將被成為 ON 狀態。此時，位址信號 A12 若為低電平，則一致信號將作為低電平被輸出。若位址信號 A12 為高電平，則不一致信號將作為高電平被輸出。相反地，被記憶在 EPROM 格之記憶資訊為 1 之高電平時，與位址信號 $\overline{A12}$ 相對應之 P 溝通型 MOSFET Q3 及 N 溝通型 MOSFET Q4 將被成為 ON 狀態。此時，位址信號 $\overline{A12}$ 若為低電平

五、發明說明 (24)

，則一致信號將作為低電平被輸出。若位址信號 A 1 2 為高電平，則不一致信號將作為高電平被輸出。

其他之位址信號 A 1 0，／ A 1 0 及 A 1 1，
／ A 1 1 和與其相對應之 E P R O M 格之記憶資訊之間之比較動作，亦與上述相同。對於如上述之 3 數元之位址信號 A 1 0 ～ A 1 2，全數元為一致時，反或閘電路 G 1 將形成低電平之比較一致信號 M H i，將使與其相對應之輸出驅動器之動作成為有效。亦即，與輸出控制信號 W E．
／ O E 之低電平相對應，輸出驅動器乃將輸出入線 I ／ O 之信號傳至輸出端子 D j。若即使有 1 數元為不一致信號，則反或閘電路 G 1 將形成高電平之輸出信號，故構成輸出控制電路之或閘電路 G 2 之輸出，將不管控制信號 W E．
／ O E 之低電平而維持高電平，輸出驅動器將維持輸出高阻抗狀態。此外在該圖中，為防電路圖趨於複雜，被附在例示性之閘電路之電路記號，雖與前述圖 8 者重複，但各個仍將實現個別之電路機能。

在圖 1 1，乃表示有：本發明之其他半導體記憶裝置之一實施例之概略方塊圖。該圖之各電路方塊乃為主要在說明圖 9 之記憶墊塊與輸出入電路 I O B 之關係者。該圖之輸出選擇電路乃由：上述圖 1 0 表示有具體電路之 E P R O M 及位址比較電路以及輸出選擇電路等所構成。

上述位址比較電路乃將被記憶於 E P R O M 之缺陷位址資訊，和與其相對應之墊塊位址，以位址比較電路來加以比較，來形成作為預備被設置之記憶墊塊之墊塊選擇信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

及

五、發明說明 (25)

號。此位址比較電路之輸出信號亦被傳至輸出選擇電路，而在輸出選擇電路則形成：與應被置換在上述缺陷之記憶墊塊之記憶墊塊相對應之輸出入電路之動作成為有效之選擇信號。在該圖中，雖被省略，但仍將通過被傳至各記憶墊塊之位址信號及輸入緩衝器來被取入。

上述之墊塊選擇信號，在 4 個記憶墊塊之中，最終乃為了選擇 1 個之記憶墊塊而被使用。如前述，以位址多工方式使 X 位址信號及 Y 位址信號被輸入，在由此種 X 位址及 Y 位址來指派記憶墊塊之位址者，若僅以 X 位址成為一致，則在與其相對應之記憶墊塊，將進行列系之位址選擇動作。若 Y 位址亦一致，則與其相對應，輸出入電路將被選擇，而最終將有一個記憶墊塊替代缺陷記憶墊塊被選擇。若 Y 位址為不一致，則僅由上述列系之位址選擇動作，在此種記憶墊塊將被實施再新動作。

在圖 1 2 A，1 2 B 乃表示有：本發明之記憶體模組之一實施例之方塊圖。圖 1 2 A 乃針對 1 6 數元為單位之記憶器接達被進行之記憶模組者。在圖 1 2 A，乃以前述圖 1 所示之 4 數元為單位來進行記憶器接達之半導體記憶裝置作為本體記憶器，合計 4 個被並聯連接，以整體來進行 1 6 數元為單位之記憶器接達之情形。對上述 4 個之本體記憶器，如圖 9 所示，乃將其他之半導體記憶裝置作為補救用記憶器，將 1 個加以組合。

圖 1 2 B 則針對 1 6 數元之資料及 2 數元之配類數元 P 0，P 1 之合計 1 8 數元為單位之記憶接達被進行之記

五、發明說明 (26)

憶體模組者。爲此，將前述圖 1 所示之 4 數元爲單位來進行記憶器接達之半導體記憶裝置作爲本體記憶器，合計 5 個連接成並聯，則以整體 18 數元爲單位之記憶器接達將被進行。與配類數元被記憶之本體記憶器之其餘 2 數元相對應之一半記憶區域，乃不使用。對上述 5 個之本體記憶器，如圖 9 所示，以其他半導體記憶裝置作爲補救用記憶器，則將有一個被組合。惟與 5 個之本體記憶器相對應，記憶墊塊將使用全部有 5 個被搭載者，但 I / O 數元爲一部分良品（例如 4 數元中有 2 數元爲良品），或搭載一、世氏”（generation）前之 D R A M（X 1 bit type）兩個，亦可。

雖未特別之限制，本體記憶器亦選擇各具有 1 個之缺陷記憶墊塊者，並被搭載於構成記憶體模組之印刷基板等之安裝基板。與各本體記憶器之各 1 個之缺陷記憶墊塊相對應，溶絲將被切斷，而向此種缺陷記憶墊塊之實質性接達亦將被禁止，同時由如上述之電源電路之斷路及輸入緩衝器等之輸出高阻抗，亦將阻止在此種缺陷部分經常有直流電流流入。在補救用記憶體，則在 E P R O M 將各有其缺陷位址被記憶。

本體記憶器之資料端子，在如上述之安裝基板，將各與其補救記憶器相對應之記憶墊塊之資料端子並聯被連接。由此，當在本體記憶器有對缺陷記憶墊塊之接達，則在設於補救記憶器之記憶墊塊將被進行接達，而由在安裝基板上被共同化之資料端子來進行資料之輸出入。

五、發明說明 (27)

如本實施例，將本體記憶器之記憶方塊為單位之補救，置換於被設在其他補救用記憶器之記憶墊塊為構成者，由於在本體記憶器未形成有：由大電路規模所成補救用之記憶墊塊，故其佔有面積趨小，可以由1個半導體晶片 (wafer) 來形成之記憶切片 (memory chip) 之數目將能加以增大。以字線或數元線為單位發生缺陷者，則可以內藏之冗餘電路來將其加以補救作為良品來製品化。

缺陷字線或缺陷數元線之數目較預備之字線或數元線之數目為多時，或因直流不良以內藏之冗餘電路無法補救者，不需如以往加以廢棄，將以記憶墊塊為單位被作為缺陷來進行上述溶絲之切斷。然後，作為記憶模組來使用時，若作為另外被準備之補救記憶來加以組合，則由此將可實質上使其製品化。由此等，將可大幅提高作為全體之製品良率。

在圖13，乃表示有：本發明之記憶體模組之其他一實施例之方塊圖。在本實施例，乃針對32數元為單位之記憶器接達被進行之記憶體模組。為此，乃將前述圖1所示之4數元為單位來進行記憶器接達之半導體記憶裝置作為本體記憶器，將合計8個加以並聯連接，以整體32數元為單位來進行記憶器接達為構成。對上述8個之本體記憶器，如圖9所示，乃將其他之半導體記憶裝置作為補救用記憶器加以組合兩個。在本體記憶器之缺陷記憶墊塊之補救，由於與圖12A及12B之實施例相同，故將省略其說明。

五、發明說明 (28)

被搭載於記憶體模組之本體記憶體器，亦不必一定為具有 1 個缺陷記憶墊塊者。亦即，在被設在補救記憶體之記憶墊塊數目之範圍內，於本體記憶體器存在有缺陷記憶體器即可。例如，在圖 1 2 A 中，即使 1 個本體記憶體器存在有兩個缺陷記憶墊塊，亦可加以補救。在此時，與補救記憶體之兩個記憶墊塊相對應之輸出入端子，將在同樣之本體記憶體器之輸出入端子 $D_0 \sim D_3$ 被並聯連接。此時，在其餘之 3 個本體記憶體器之中至少有 1 個本體記憶體器，將使用不存在缺陷記憶墊塊之良品切片 (chip)。

在本體記憶體器中，被指派在同樣位址之記憶墊塊，被認為缺陷亦可。在此情形下，於此種位址指定時，實質上乃本體記憶體器之全部將被成為非動作狀態，代之以：補救用記憶體器之全記憶墊塊將同時被選擇，並將進行資料 $D_0 \sim D_{15}$ 等之寫入及讀出。

惟如此作法，則在本實施例之記憶體模組，對特定之位址，其從匯流排驅動器所觀察時之負荷將成為較重，將招致：記憶體器接達將發生不均勻之結果。為此，在本體記憶體器之缺陷記憶墊塊之位址，實宜於記憶體模組內被分散為佳。

在圖 1 4，乃表示有：本發明之記憶體模組之其他一實施例之方塊圖。此實施例，亦與圖 1 2 A 同樣，乃為針對 1 6 數元為單位之記憶體器接達被進行之記憶體模組。半導體積體電路裝置之製造，乃利用照相印刷技術來進行量產者，故如罩模圖案 (mask pattern) 受傷時在物理上之

五、發明說明 (29)

同樣位置，發生缺陷之可能性極高。在此情形下，等於是製造出多數之需要同樣位址之缺陷記憶墊塊補救之本體記憶器。

在此實施例中，將使用如上述在物理上於同樣位址具有缺陷記憶墊塊之本體記憶器。如上述，為避免在特定位址從匯流排驅動器觀察時之負荷成為較重之不合理情形，等效性地將進行位址之變更。亦即，將被輸入本體記憶器之位址信號 A 1 2 及 A 1 1，以兩個本體記憶器來進行相反之輸入。由如此之位址之更換，即使在同樣之本體記憶器，在物理上，於同樣位址之記憶墊塊發生缺陷，以與外部所輸入之位址被施以相反之供給者之間之關係來說，在邏輯上亦為其他之記憶墊塊被選擇，作為記憶體模組來看時則相對地可被變更為個別之位址。

在圖 1 5，乃表示有：說明本發明之記憶體模組之裝配（組立）方法所用之流程圖。在切片（chip）選別工程，乃由步驟（1）來判定有無缺陷，認為無缺陷者乃以完全良品來出貨。在步驟（2）則在被認為有缺陷者之中，若被判定為以字線或數元線為單位之片上（on chip）補救為可能之缺陷，則以片上補救良品被出貨。到此為止，乃與具有片上補救機能之動態型 R A M 之切片選別工程相同。

在此實施例中，因設有記憶墊塊為單位之分離機能，故在步驟（3）被判定為墊塊補救為可能之缺陷，則與被認為缺陷之記憶墊塊相對應之 R O M 溶絲將被溶解，由步

五、發明說明 (30)

驟 (4) 來判定由缺陷記憶墊塊之如前述之電氣上分離，直流電流 (泄漏電流) 是否在容許值內後，將作為系統上補救可能之良品，被移送至下一模組裝配工程。

在模組之裝配工程，將針對上述補救可能之記憶墊塊數 F_m ，來調查本體記憶器之缺陷記憶墊塊數 R_m ，若為 $F_m < R_m$ ，則將本體記憶器與補救記憶器加以組合。此時，擬組合之本體記憶器，為了使缺陷記憶墊塊之位址不致重疊，亦即為了維持補救記憶器側之高速驅動能力，補救記憶器之 I / O 將選別僅有 1 組成為活性化狀態者作為記憶體模組。此時，亦將採取：將本體記憶器之位址如上述加以更換使用之方法。在步驟 (6)，若同一位址空間為重疊時，乃由與良品切片之混合存在，將同一位址空間之重疊加以零化，以作為模組良品來處理。若良品混合存在為不可能，則變更切片之組合。

在圖 1 6 乃表示有：本發明之半導體記憶裝置之其他實施例之方塊圖。在此實施例，乃利用如上述進行缺陷記憶墊塊之電氣上切離之機能，來附加 DC 電流核對 (check) 機能為構成。亦即，供給如前述之缺陷記憶墊塊在電氣上加以分離所用之溶絲 Fuse 予以切斷同樣之電氣信號，以記憶墊塊為單位來切斷直流電流等之用途，亦可加以利用。為此，在記憶墊塊側乃設有供給 DC 電流核對信號之信號線，此種信號線之信號乃為由來自上述溶絲 Fuse 之信號及邏輯信號，來形成上述缺陷信號 MF，以控制開關 SW 1，SW 2 及 SW 3 者。

五、發明說明 (31)

如上述之試驗機能，亦可在探測 (probing) 時將 D C 電流核對信號由探針 (probe) 來供給；如此作法乃僅能利用於半導體晶片 (wafer) 上之試驗。因此，在此實施例中亦設有 D C 電流核對信號生成電路。檢出超過容許值之直流電流時，乃以位址信號及控制信號來設定試驗模態，以記憶墊塊為單位來供給 D C 電流核對信號，並檢出此時之半導體記憶器之直流電流。直流電流若維持超過容許值之狀態，則可知在其記憶墊塊乃不存在直流性之缺陷，由此亦可知上述直流電流之流入其他記憶墊塊乃另有原因。

指定存在有直流缺陷之記憶墊塊時，在此種記憶墊塊因有板極 (plate) 電壓 V P L ，半預充電電壓 H V C 及電源電壓 V C C 等之斷路，或輸入緩衝器被成為輸出高阻抗狀態，故即使存在直流缺陷，亦將強制性地使直流電流路徑被斷路，並使作為半導體記憶器之直流電流成為容許值以下，因此，將可知道在上述記憶墊塊有直流缺陷之存在。在此實施例，如上述將記憶墊塊分成 8 個時，進行 8 次之上述試驗，即可簡單找出記憶墊塊為單位之直流缺陷。此外，由上述 8 次之上述試驗，直流電流亦未成為容許值以下時，將可知在輸出入電路等之間接控制電路存在有直流不良之缺陷，此種缺陷亦將被判定為不能補救。

在圖 1 7 乃表示有：本發明之記憶體模組之一實施例之概略構成圖。在此實施例之記憶體模組，乃在印刷基板等之安裝基板表面側搭載有本體記憶器及補救用記憶器。

五、發明說明 (32)

亦即，構成如前述圖 1 2 (A) 或圖 1 4 之記憶體模組之情形，乃以補救用記憶體為中心搭載有左右各兩個之本體記憶體。然後，補救用記憶體之 I / O 線群，亦以印刷配線等被連接於各與本體記憶體之輸出入端子連接之端子群。在該圖中，補救用記憶體之 4 組之 I / O 端子群，乃各以 1 條線來表示。如圖 1 2 (A) 及圖 1 4 之方塊圖所示，補救用記憶體之各個之 I / O 端子群，乃各與本體記憶體之 4 條之輸出入端子相對應被連接在一起。

在圖 1 8 中乃表示有：本發明之記憶體模組之其他一實施例之概略構成圖。此實施例之記憶體模組乃利用印刷基板等之安裝基板之兩面。亦即，在 (A) 所示基板表面側，乃搭載有 4 個之本體記憶體。然後，在 (B) 所示基板背面側，則搭載有 1 個補救用記憶體。然後，與上述同樣，補救用記憶體之 I / O 線群，亦由被設在背面側之印刷配線，被連接在與本體記憶體之輸出入端子連接之端子群。在此實施例中，由於可將由補救用記憶體被補救之記憶體模組，及僅由良品所構成之記憶模組，搭載於同一大小 (size) 之安裝基板；故可將包含補救用記憶體之記憶體模組，及僅由良品所成之記憶體模組加以混合來構成 1 個記憶裝置。

在上述安裝基板，乃於端子群之相反側設有：作為 E P R O M 寫入用端子之高電壓外加用及控制信號用。由此，於補救用記憶體存在有未使用之記憶墊塊時，乃在裝配記憶體模組之後，在本體記憶體側於記憶墊塊發生直流

五、發明說明 (33)

不良，或在內藏之冗餘電路發生被認為補救不能之字線或數元線不良時，可將其以上述補救用記憶器來加以補救。惟在記憶體模組，因與被設在補救用記憶器之記憶墊塊相對應之輸出入端子，乃由本體記憶器之輸出入端子及印刷配線所連接，故乃被限於在上述連接關係之本體記憶器中發生不良之情形。

圖 19 乃表示有：適用本發明之 D R A M (動態型 R A M) 之電腦系統之記憶儲存部之記憶板 (memory board) 之要部概略圖。此記憶板乃為由：複數之本發明之記憶體模組所構成之記憶板。在上述記憶體模組上，乃搭載有：以封裝 (package) 被封止之複數之本發明之本體記憶器及補救用記憶器；此種本體記憶器及補救用記憶器乃由上述記憶體模組上之配線所連接。並由上述記憶體模組上之連接器來連接電腦系統內之位址匯流排或資料匯流排與本體記憶器及補救用記憶器。此乃以：在上述電腦系統內之記憶儲存器之記憶部之記憶板用儲存槽 (slot) 上，插入上述連接器來進行。如此，將由能搭載於記憶板上，亦即記憶體模組上之本體記憶器之數目，來決定電腦系統等記憶裝置之資訊積蓄容量；等為構成。

比實施例之本體記憶器，若其存在有缺陷記憶墊塊時，將不限定於與補救用記憶器組合來使用。亦即，在理論上，僅將不良之記憶墊塊之部分在電氣上加以切離之狀態下，亦可將其他之記憶墊塊有效加以使用。惟如此作法，將成為被指派於半導體記憶器之位址之中，在特定之位址

五、發明說明 (34)

中將不存在記憶區域 (memory area) 者，使用上將較為不方便。

因此，將包括上述缺陷記憶墊塊之一半之記憶區域，如當作無效來使用等，作為半成品 (partial成品) 來利用，較為便利。亦即，發生直流不良時，或被成為不良之字線或數元線之數較預備之字線或數元線之數為多時，僅將與其相對應之記憶墊塊對應之溶絲加以切斷，而在使用時將具有連續之位址之一半之記憶區域加以使用即可。

此實施例之補救用記憶器，亦不限定於與本體記憶器組合來使用。亦即，可將補救用記憶器當作獨立之半導體記憶器來使用。此實施例之半導體記憶器，因搭載有 E P R O M，故可在系統上指派 (assign) 任意之位址。亦即，對被指派在記憶墊塊之記憶器陣列之位址，組合指定記憶墊塊之位址，由此即可指派任意之位址。在如電子筆記本等之小型微電腦系統，乃在較小之位址空間，指派 R O M 等之其他記憶器或輸出入機器，故其時僅向被設在半導體記憶器本身之 E P R O M 之寫入，即可指派使用不致與上述 R O M 重複之任意之位址。

如此，本案之發明之本體記憶器及補救用記憶器，除了將其等加以組合以構成記憶體模組來靈活運用等，實質上將製品良率加以提高之外，如上述亦可當作半成品來利用，或作為位址指派可能之記憶器來利用等，可使其成為具有多樣性者。並且，補救用記憶器亦不需要特別之製品開發。亦即，僅將本體記憶器之記憶墊塊部分及輸出入

五、發明說明 (35)

介面直接加以移植即可形成，其餘之 E P R O M 等之記憶電路及位址比較電路等則重新加以設計即可，因電路規模較小將不致成為大負擔。

從上述實施例可獲得之作用效果如下。亦即，可獲得：

(1) 將內部位址信號或預解碼信號及控制信號通過第 1 輸入緩衝電路來供給，使此種位址信號或預解碼信號由位址選擇電路來解讀，再從於複數之字線與複數之數元線之交點有記憶格被矩陣配置所成之記憶器陣列，以 1 乃至複數之單位來進行記憶格之選擇動作，並設置：接受向上述記憶格之寫入信號之第 2 輸入緩衝器及輸出來自記憶格之讀出信號之輸出緩衝器及寫入缺陷資訊之記憶機構，以形成：由被記憶於此種記憶機構之缺陷信號來進行對感測放大器及記憶格之實質上之電源斷路所成之具有複數之記憶墊塊之電路構成；由此在記憶墊塊內發生直流性不良時，可將此種記憶墊塊在電氣上加以分離，而可作為能有效利用其餘部分之半導體記憶裝置來使用；等之效果。

(2) 將內部位址信號或預解碼信號及控制信號通過第 1 輸入緩衝電路來供給，使此種位址信號或預解碼信號由位址選擇電路來解讀，再從於複數之字線與複數之數元線之交點有記憶格被矩陣配置所成之記憶陣列，以 1 乃至複數之單位來進行記憶格之選擇動作，並設置：接受向上述記憶格之寫入信號之第 2 輸入緩衝器及輸出來自記憶格之讀出信號之輸出緩衝器所成之複數之記憶墊塊，及與

(請先閱讀背面之注意事項再填寫本頁)

一
裝

訂

五、發明說明 (36)

此種記憶墊塊相對應被設置之位址資訊被寫入之記憶電路，及與指定此等記憶墊塊之位址信號比較，以檢出與上述位址資訊相對應之記憶墊塊被選擇之事實，使相對應之記憶墊塊之第 2 輸入緩衝器或輸出緩衝器之動作成為有效，同時設置與各個之記憶墊塊相對應之複數組之輸出入端子等；由此將可獲得能指派任意之位址之半導體記憶裝置，及按必要亦可作為進行以記憶墊塊為單位之缺陷補救之冗餘用半導體記憶裝置來利用；等之效果。

(3) 將內部位址信號或預解碼信號及控制信號通過第 1 輸入緩衝電路來供給，使此種位址信號或預解碼信號由位址選擇電路來解讀，再從於複數之字線與複數之數元線之交點有記憶格被矩陣配置所成之記憶器陣列，以 1 乃至複數之單位來進行記憶格之選擇動作，並設置：接受向上述本體記憶器之寫入信號之第 2 輸入緩衝器及輸出來自記憶格之讀出信號之輸出緩衝器及缺陷資訊被寫入之記憶機構等；並將：由此種記憶機構所記憶之缺陷信號，對感測放大器及記憶格進行實質上之電源斷路所成之具有複數之記憶墊塊之第 1 半導體記憶裝置，及由同樣構成之複數所成之記憶墊塊及與此種記憶墊塊相對應被設置而寫入位置資訊之記憶電路，及與指定此種記憶墊塊之位址信號比較，以檢出與上述位址資訊相對應之記憶墊塊被選擇之事實，使相對應之記憶墊塊之第 2 輸入緩衝器或輸出緩衝器之動作成為有效，同時具有與各個記憶墊塊相對應之複數組之輸出入端子之第 2 半導體記憶裝置等搭載在一個安

五、發明說明 (37)

裝基板上；而在第 1 半導體記憶裝置乃將缺陷記憶墊塊在電氣上加以分離，在第 2 半導體記憶裝置則將與此種記憶墊塊相對應之位址資訊寫入記憶電路，同時亦將與上述缺陷墊塊相對應之外部資料端子及與上述第 2 半導體記憶裝置之此種記憶墊塊相對應之上述輸出入端子等相對應地在安裝基板上加以連接；由此可一面使用存在有以記憶墊塊為單位之缺陷之第 1 半導體裝置，一面將第 2 半導體記憶裝置加以組合，並在安裝基板上進行補救，故可獲得能夠提高半導體記憶裝置之實質上之良品率等之效果。

(4) 在上述記憶器陣列及位址選擇電路，設置進行字線或數元線為單位之缺陷補救之冗餘電路，由此可將字線或數元線為單位之不良，以較小之電路規模來加以補救；由於與記憶墊塊為單位之補救之組合，將可獲得提高實質上之製品良率之效果。

(5) 在上述記憶機構，乃可設置：將與等效地寫入缺陷資訊同樣之電氣信號加以輸入之輸入電極；在此種輸入電極則亦可附加：根據探測 (probing) 或來自外部端子之控制信號來傳給上述電氣信號，由此將可高效率檢出記憶墊塊為單位之直流缺陷之機能；等之效果。

(6) 在上述第 1 半導體記憶裝置，乃存在有：被設在物理上同樣位置之記憶墊塊上具有缺陷之兩個半導體記憶裝置，由於指定記憶墊塊之位址信號乃由互為不同之位址端子被輸入，故從第 2 半導體記憶裝置來觀察時將等效性方面不同之記憶墊塊視為缺陷，因此從匯流排驅動器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

側來觀察之負荷將可加以分散，以防止記憶動作之延遲；等之效果。

上面已將本發明人所作發明根據實施例來具體說明，惟本申請案之發明卻不限定於前述實施例，在不逸越其要旨之範圍內將有種種之變更可能，亦為當然之理。例如，在動態型 R A M，位址信號亦可將 X 位址及 Y 位址從各獨立之位址端子來供給。在此情形下，由位址輸入將可進行應被選擇之記憶墊塊之判定，故即使在記憶墊塊之位址指派 Y 位址，亦可僅使被指定之記憶墊塊活性化。在補救用記憶器，將記憶墊塊之位址加以記憶之記憶電路，除使用如前述之 E P R O M 者之外，亦可為：以再寫入為前提之構成之 E P R O M，或使用溶絲 (F u s e) 者。在此情形下，溶絲除以雷射光來加以切斷者外，流入電流來加以溶斷者亦可。如上述，記憶資訊因為 1 6 數元等，比較小，故與搭載 E P R O M 之情形比較，佔有面積之增大將不致成為太大之問題，製造過程之追加將成為不需要。

記憶墊塊內之記憶器陣列及感測放大器或解碼器之佈置或記憶墊塊在半導體切片 (chip) 上之佈置等，亦能採取種種之實施形態。本發明除前述之動態型 R A M 之外，亦將可廣為利用在如靜態 (static) 型 R A M 或 E P R O M 等之各種半導體記憶裝置。

茲將本申請案所揭示之發明之中代表性者所可獲得之效果，簡單說明如下。亦即，將內部位址信號或預解碼信號及控制信號通過第 1 輸入緩衝電路來供給，使此種位址

五、發明說明 (39)

信號或預解碼信號由位址選擇電路來解讀，再從於複數之字線與複數之數元線之交點有記憶格被矩陣配置所成之記憶陣列，以 1 乃至複數之單位來進行記憶格之選擇動作，並設置：接受向上述記憶格之寫入信號之第 2 輸入緩衝器及輸出來自記憶格之讀出信號之輸出緩衝器及寫入缺陷資訊之記憶機構等，以形成：由被記憶於此種記憶機構之缺陷信號來進行對感測放大器及記憶格之實質上之電源斷路所成之具有複數之記憶墊塊之電路構成；由此在記憶墊塊內發生直流性不良時，可將此種記憶墊塊在電氣上加以分離，而可作為能夠有效利用其餘部分之半導體記憶裝置來使用。

將內部位址信號或預解碼信號及控制信號通過第 1 輸入緩衝電路來供給，使此種位址信號或預解碼信號由位址選擇電路來解讀，再從於複數之字線與複數之數元線之交點有記憶格被矩陣配置所成之記憶陣列，以 1 乃至複數之單位來進行記憶格之選擇動作，並設置：接受向上述記憶格之寫入信號之第 2 輸入緩衝器及輸出來自記憶格之讀出信號之輸出緩衝器所成之複數之記憶墊塊，及與此種記憶墊塊相對應被設置之位址資訊被寫入之記憶電路，及與指定此等記憶墊塊之位址信號比較，以檢出與上述位址資訊相對應之記憶墊塊被選擇之事實，使相對應之記憶墊塊之第 2 輸入緩衝器或輸出緩衝器之動作成為有效，同時設置與各個之記憶墊塊相對應之複數組之輸出入端子等；由此等將可將獲得能指派任意之位址之半導體記憶裝置，及按

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (40)

必要亦可作為進行以記憶墊塊為單位之缺陷補救之冗餘用半導體記憶裝置來利用。

將內位址信號或預解碼信號及控制信號通過第1輸入緩衝電路來供給，使此種位址信號或預解碼信號由位址選擇電路來解讀，再從於複數之字線與複數之數元線之交點有記憶格被矩陣配置所成之記憶器陣列，以1乃至複數之單位來進行記憶格之選擇動作，並設置：接受向上述記憶格之寫入信號之第2輸入緩衝器及輸出來自記憶格之讀出信號之輸出緩衝器及缺陷資訊被寫入之記憶機構等；並將：由此種記憶機構所記憶之缺陷信號，對感測放大器及記憶格進行實質上之電源斷路所成之具有複數之記憶墊塊之第1半導體記憶裝置，及由同樣構成之複數所成之記憶墊塊及與此種記憶墊塊相對應被設置而寫入位置資訊之記憶電路，及與指定此種記憶墊塊之位址信號比較，以檢出與上述位址資訊相對應之記憶墊塊被選擇之事實，使相對應之記憶墊塊之第2輸入緩衝器或輸出緩衝器之動作成為有效，同時具有與各個記憶墊塊相對應之複數組之輸出入端子之第2半導體記憶裝置等搭載在一個安裝基板上；而在第1半導體記憶裝置乃將缺陷記憶墊塊在電氣上加以分離，在第2半導體記憶裝置則將與此種記憶墊塊相對應之位址資訊寫入記憶電路，同時亦將與上述缺陷墊塊相對應之外部資料端子及與上述第2半導體記憶裝置之此種記憶墊塊相對應之上述輸出入端子等相對應地在安裝基板上加以連接；由此可一面使用存在有以記憶墊塊為單位之缺陷之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (41)

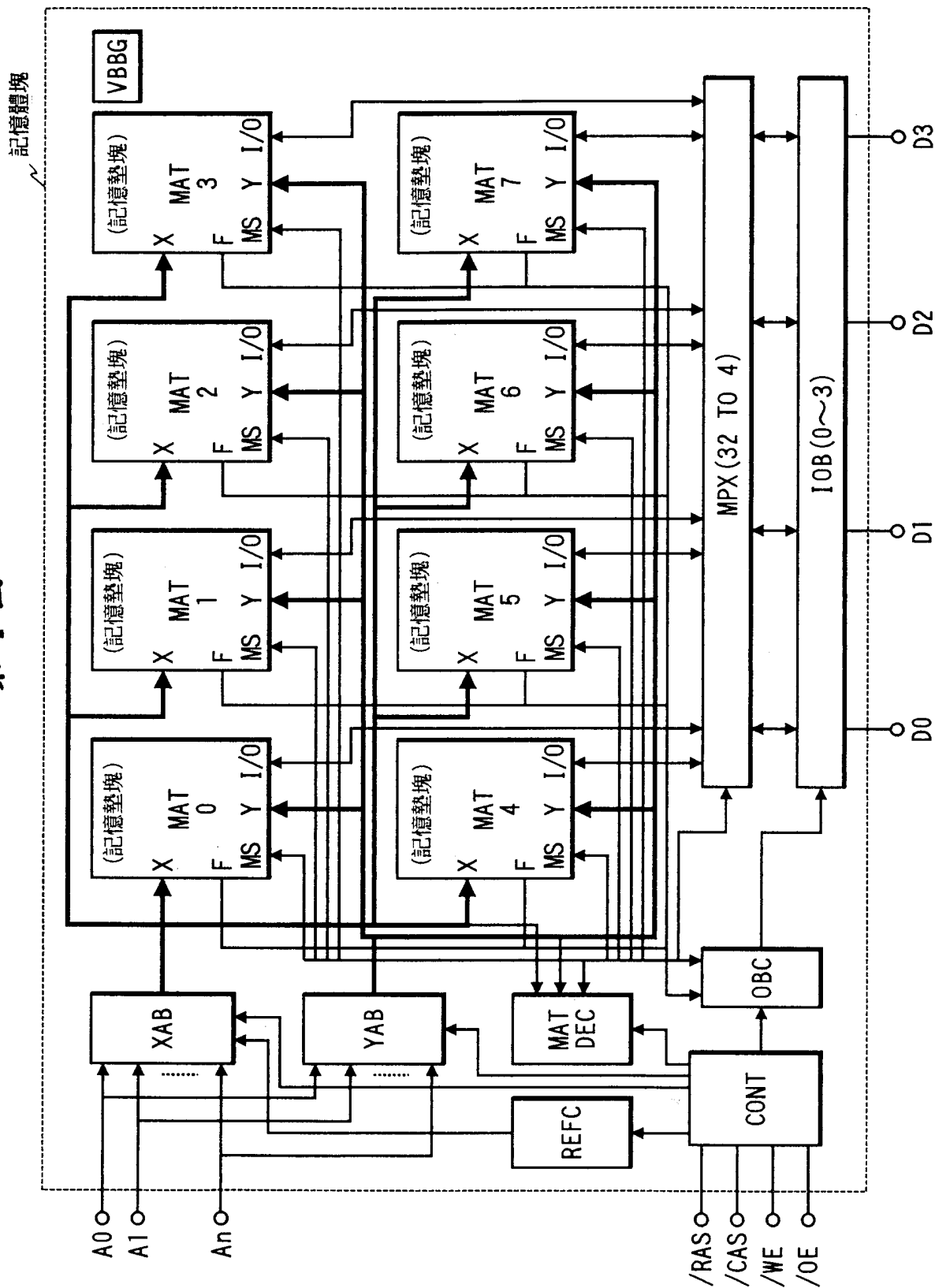
第 1 半導體裝置，一面將第 2 半導體記憶裝置加以組合，並在安裝基板上進行補救；故可將半導體記憶裝置之實質上之良率加以提高。

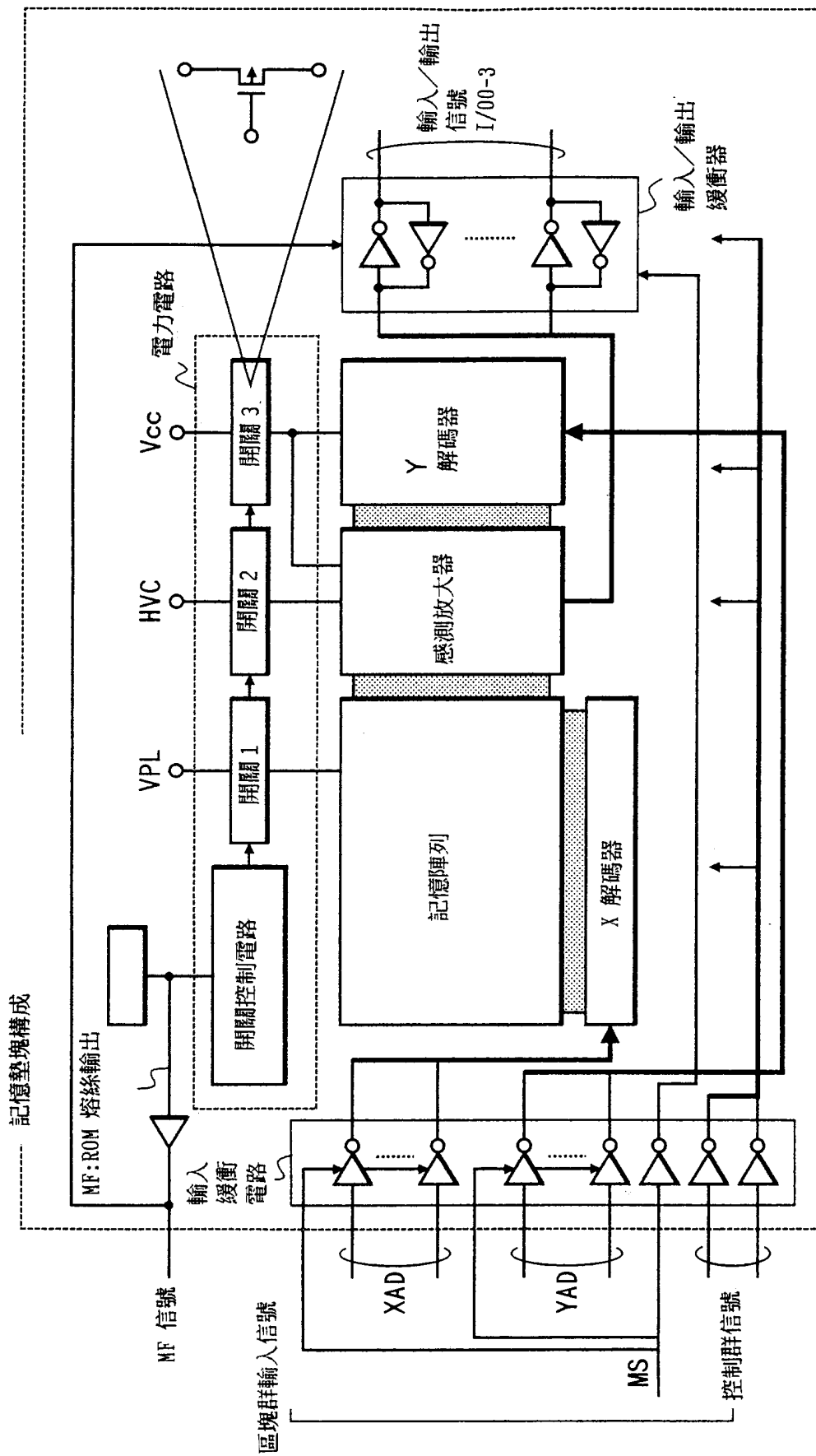
在上述記憶器陣列及位址選擇電路，因設有進行以字元線或數元線為單位之缺陷補救之冗餘電路，由此將可以字線或數元線為單位之不良，以較小之電路規模來加以補救，並由與記憶墊塊為單位之補救之組合，將可提高實質上製品良率。

在上述記憶機構，乃設有：將與等效地寫入缺陷資訊同樣之電氣信號加以輸入之輸入電極；在此種輸入電極亦將可附加：根據探測 (probing) 或來自外部端子之控制信號來供給上述電氣信號，由此將能高效率檢出記憶墊塊為單位之直流缺陷之機能。

在上述第 1 半導體記憶裝置，乃存在有：被設在物理上同樣位置之記憶墊塊上具有缺陷之兩個半導體記憶裝置，由於指定記憶墊塊之位址信號乃由互為不同之位址端子被輸入，故從第 2 半導體記憶裝置來觀察時，乃將等效性方面不同之記憶墊塊視為缺陷，因此從匯流排驅動器側來觀看之負荷將可加以分散，以防止記憶動作之延遲。

第1圖

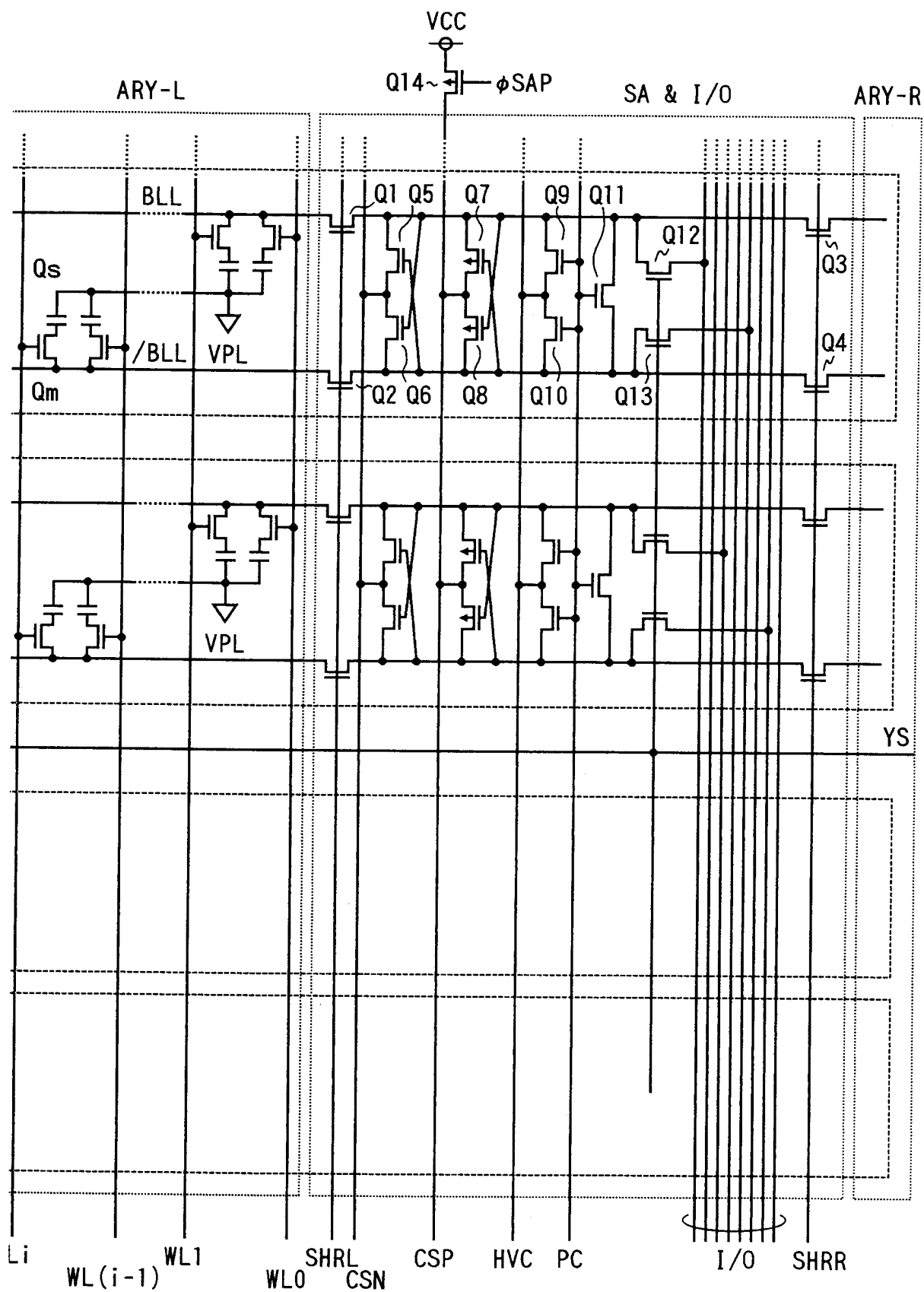




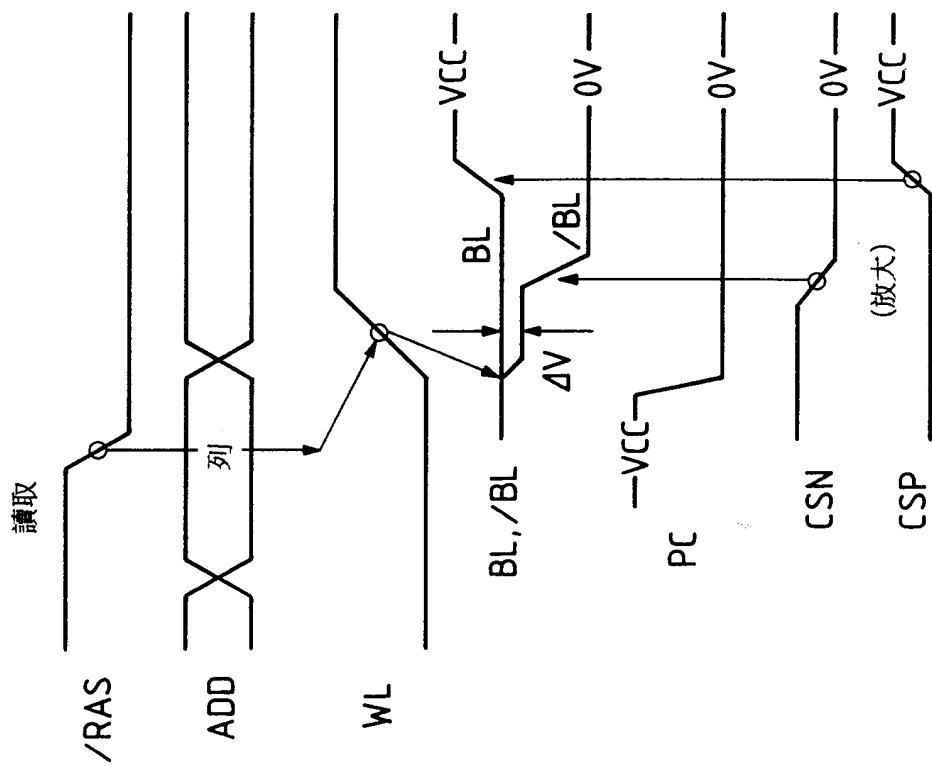
第 2 圖

312789

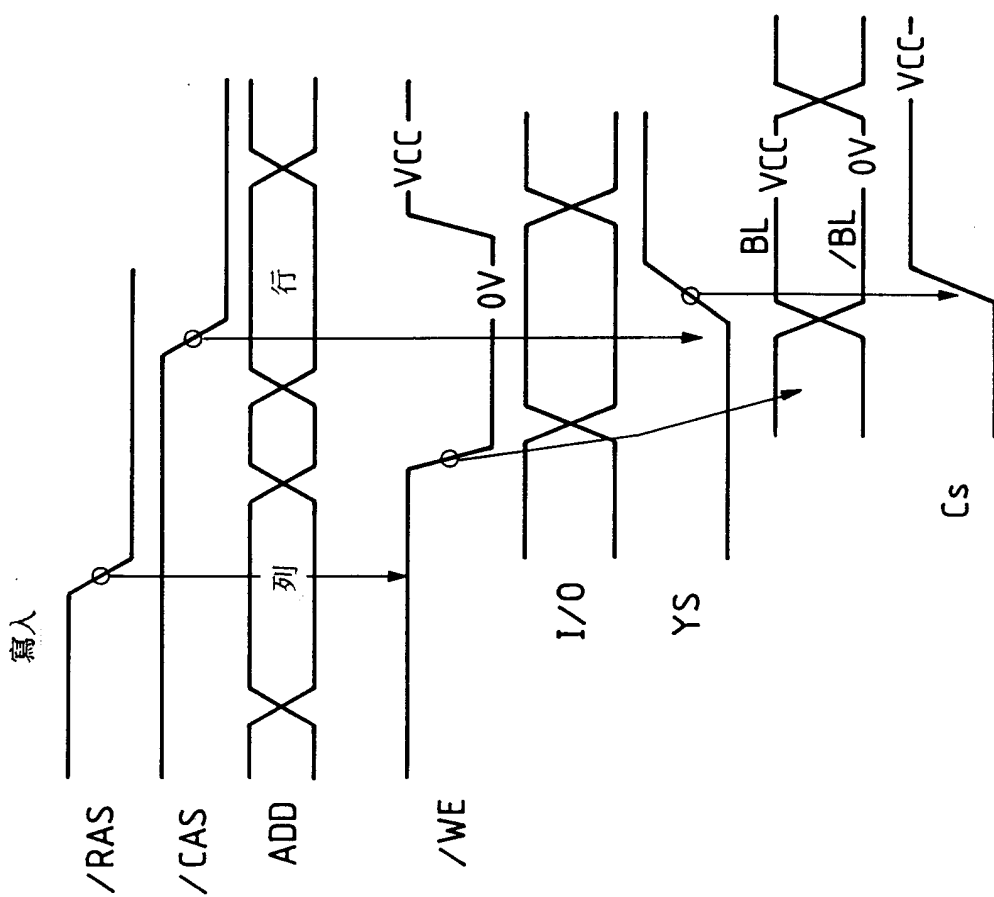
第 3 圖



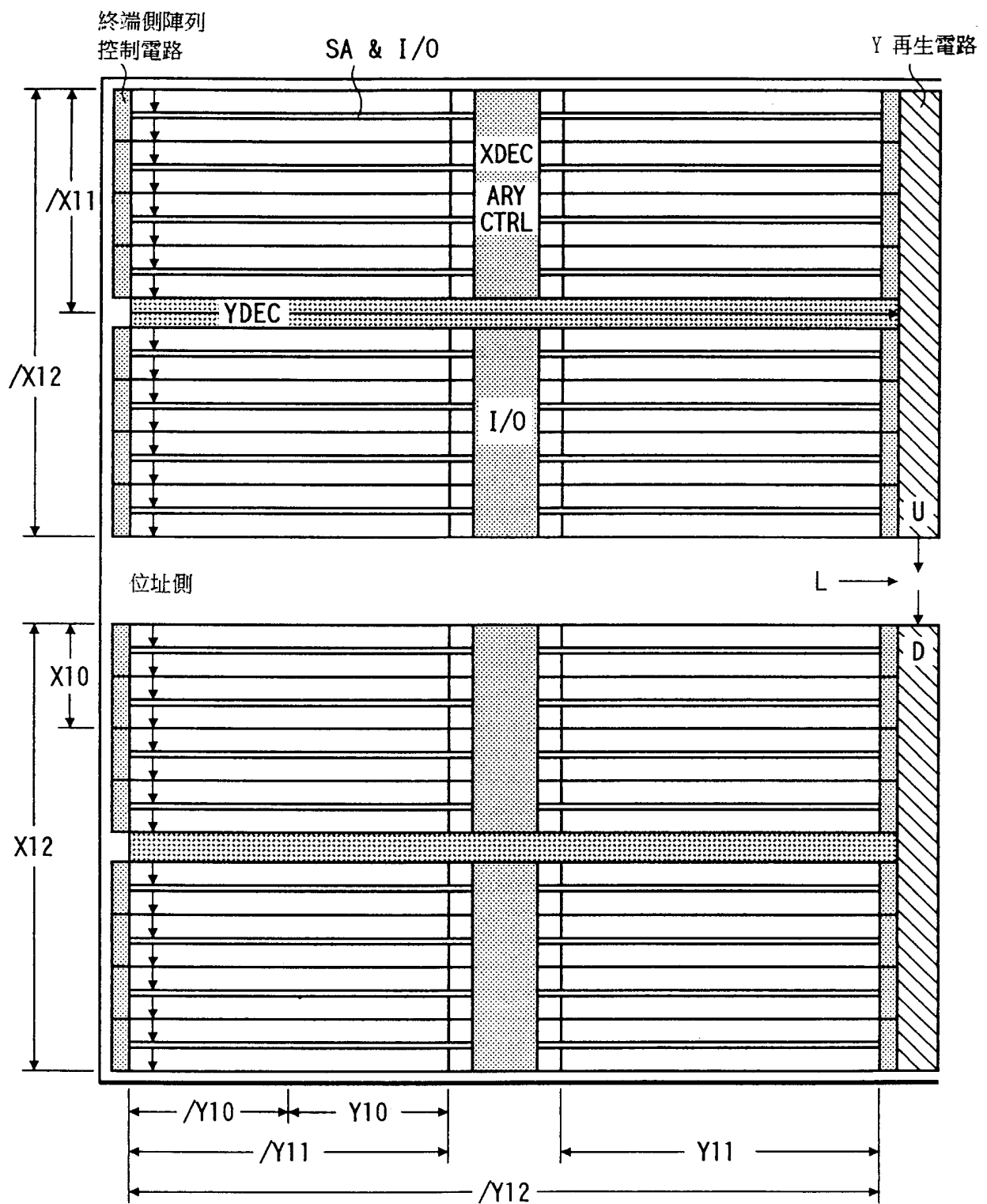
第4圖A



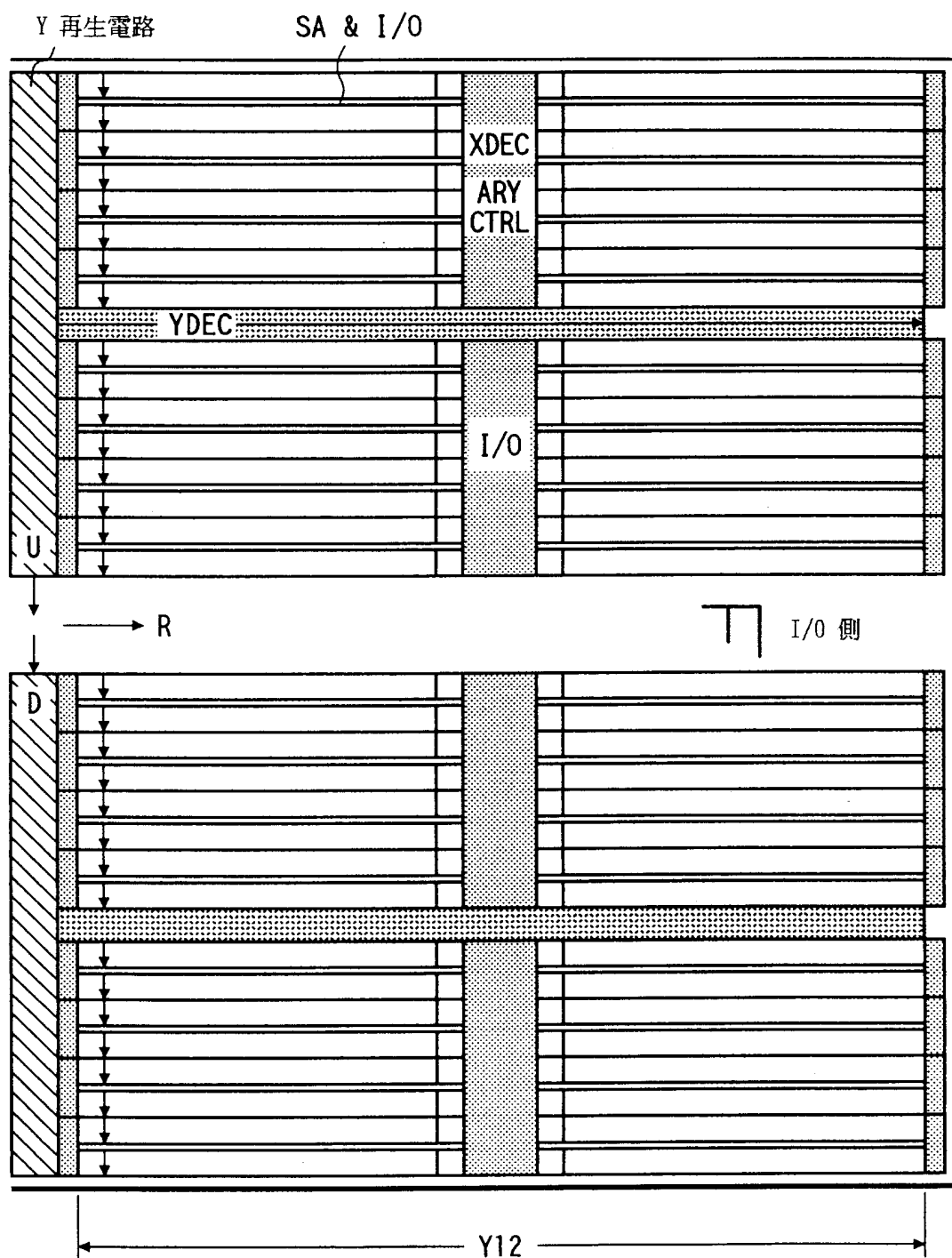
第4圖B



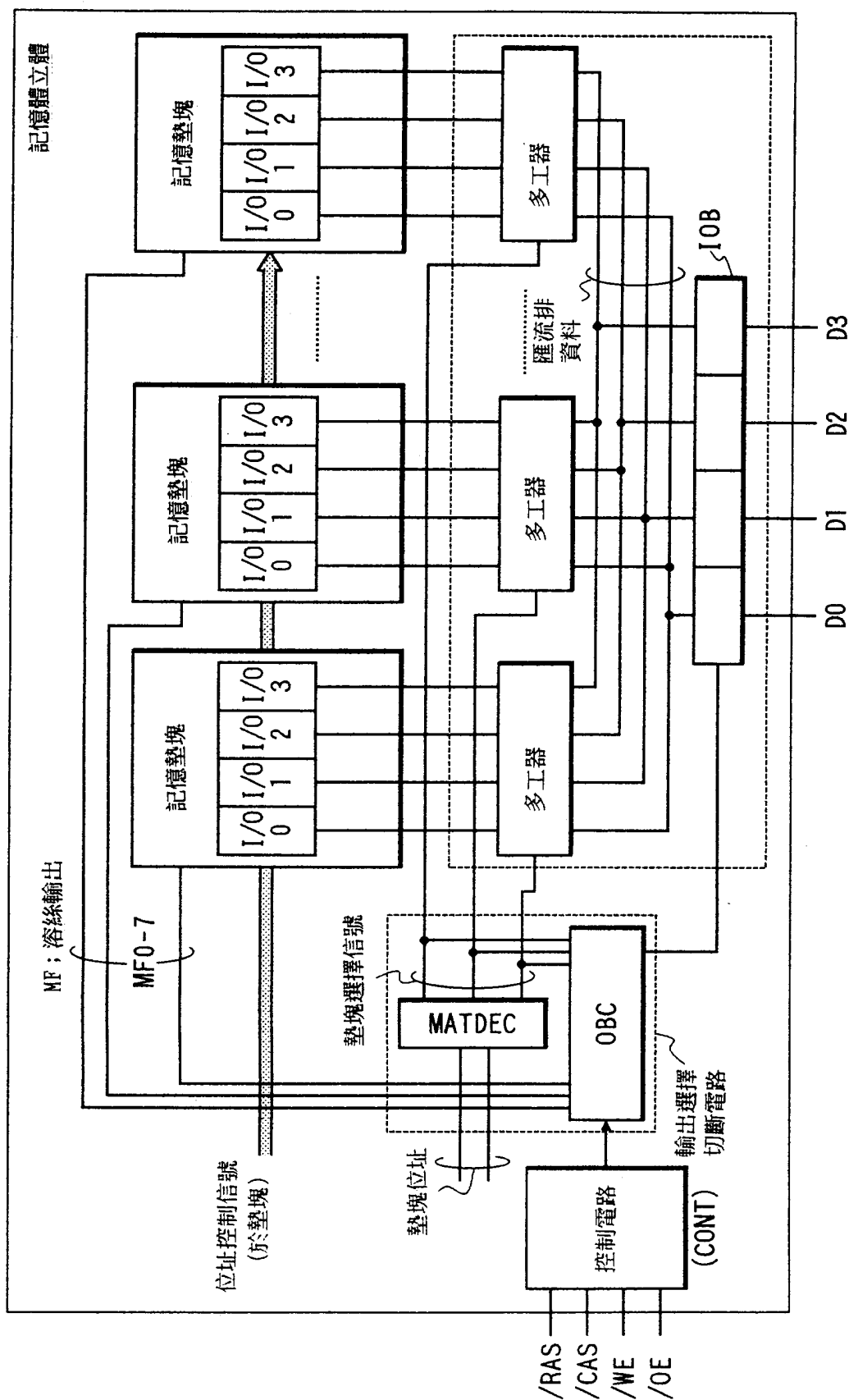
第 5 圖



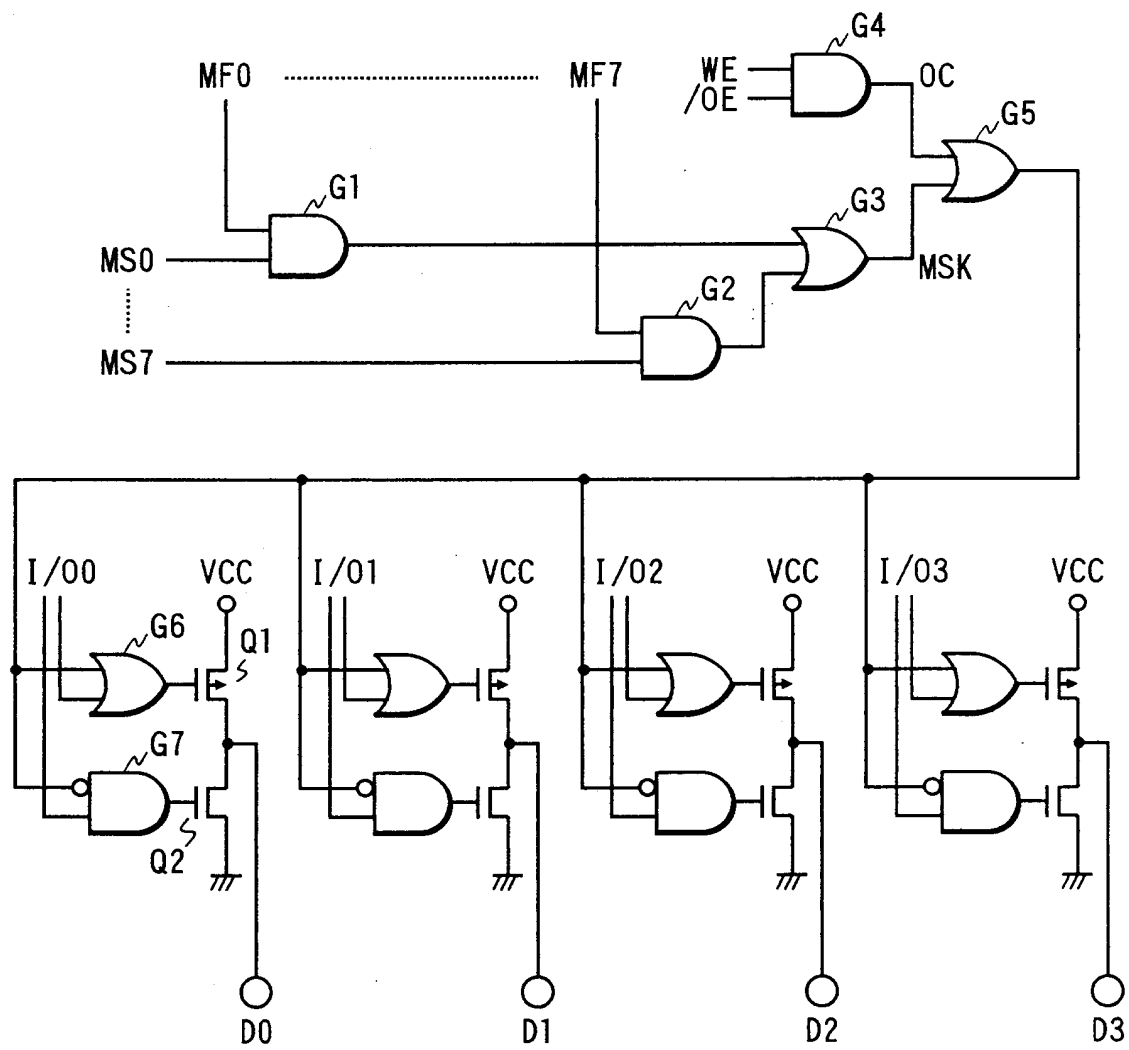
第 6 圖



第 7 圖



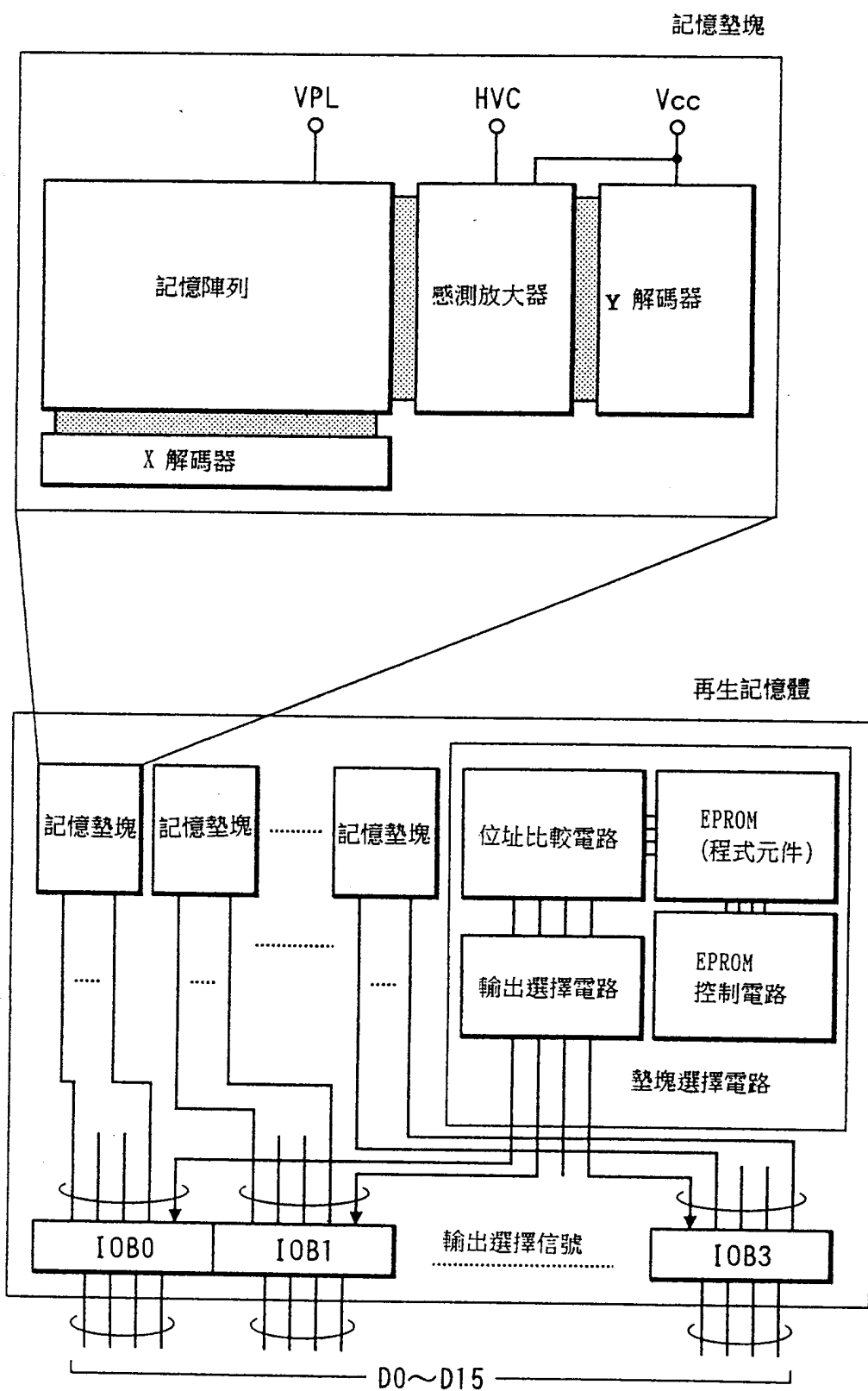
第 8 圖

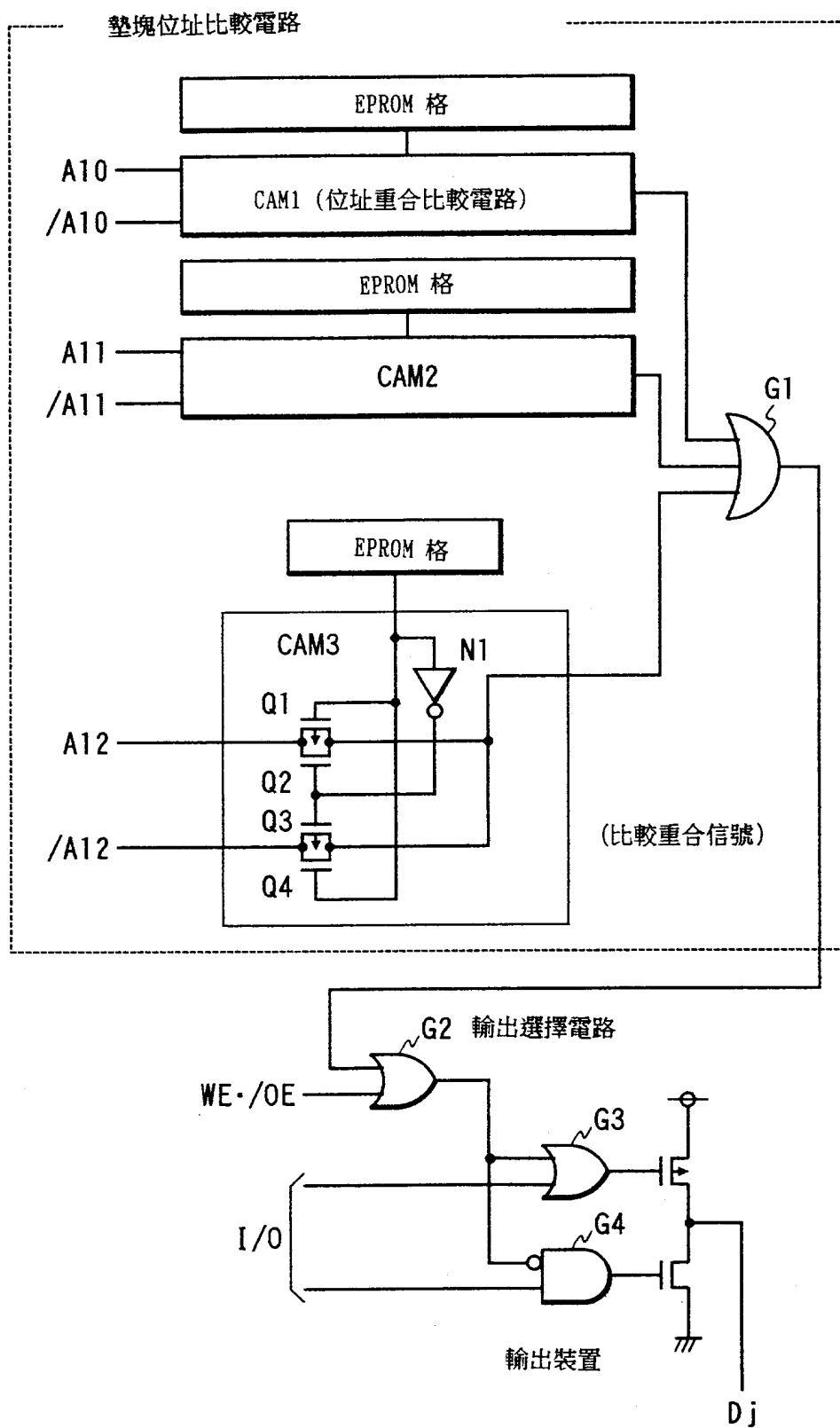


85年6月26日 修正
補充

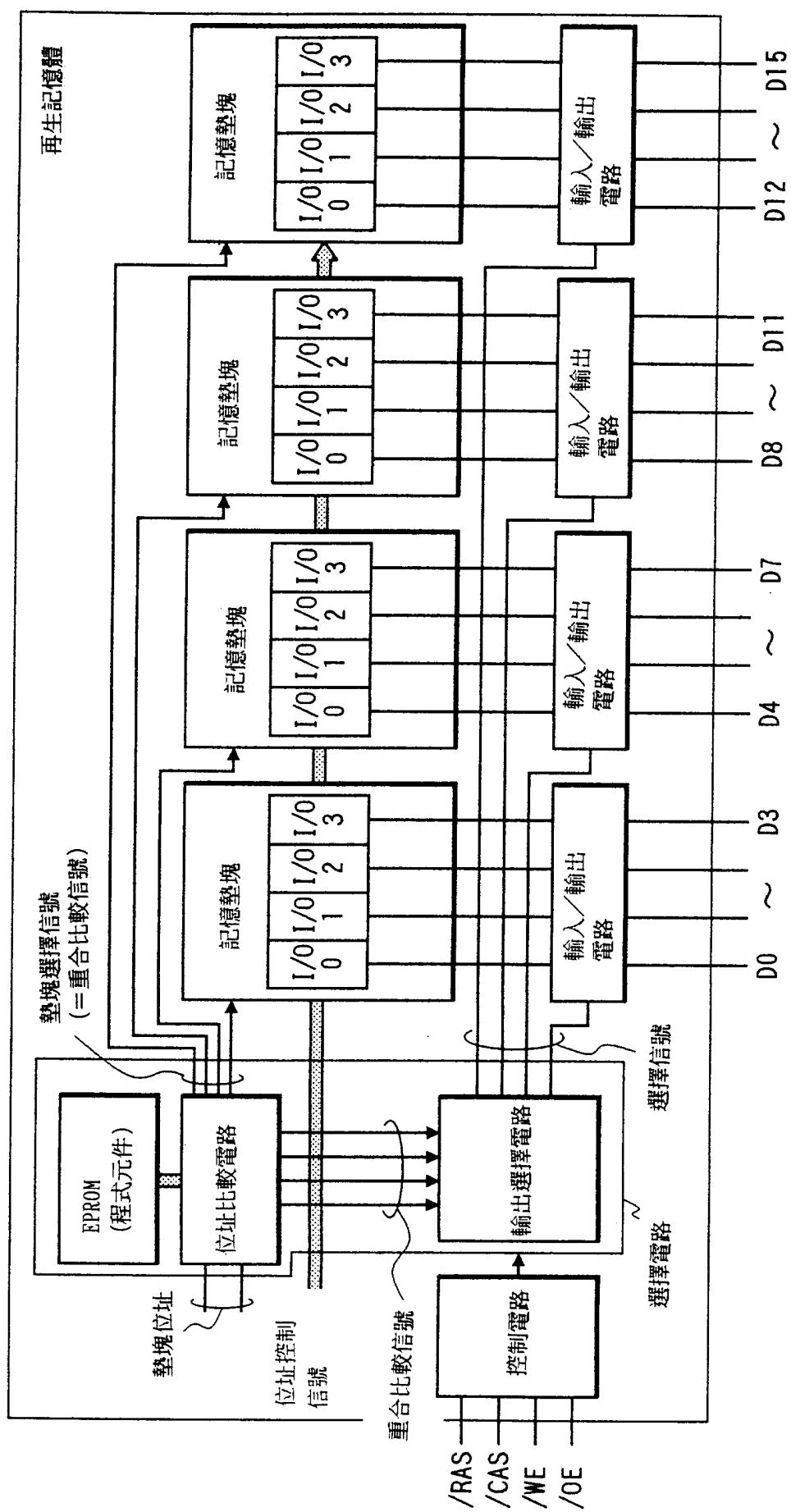
第 9 圖

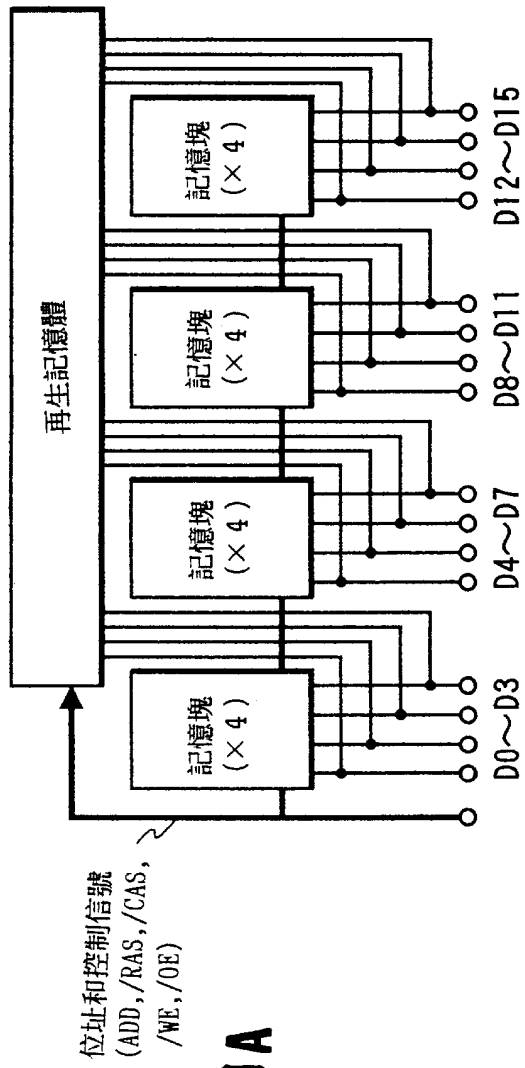
第84113768號專利申請案修正圖式
民國 85 年 6 月 26 日修正



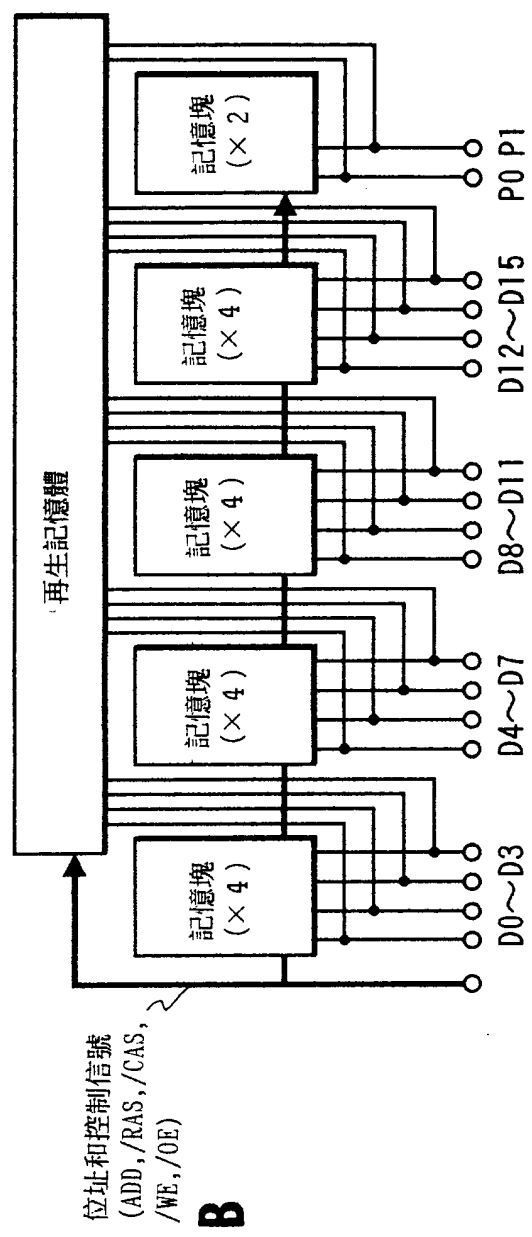


目錄



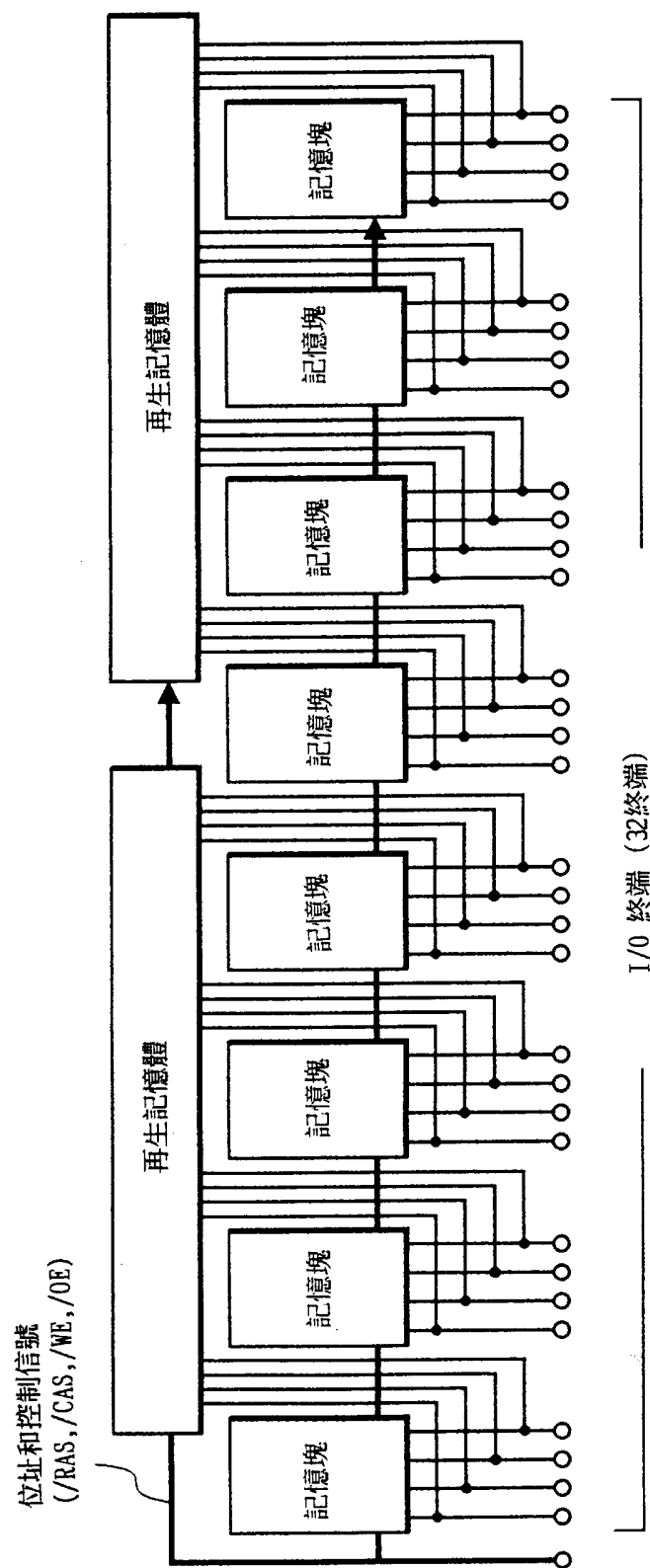


第12圖A

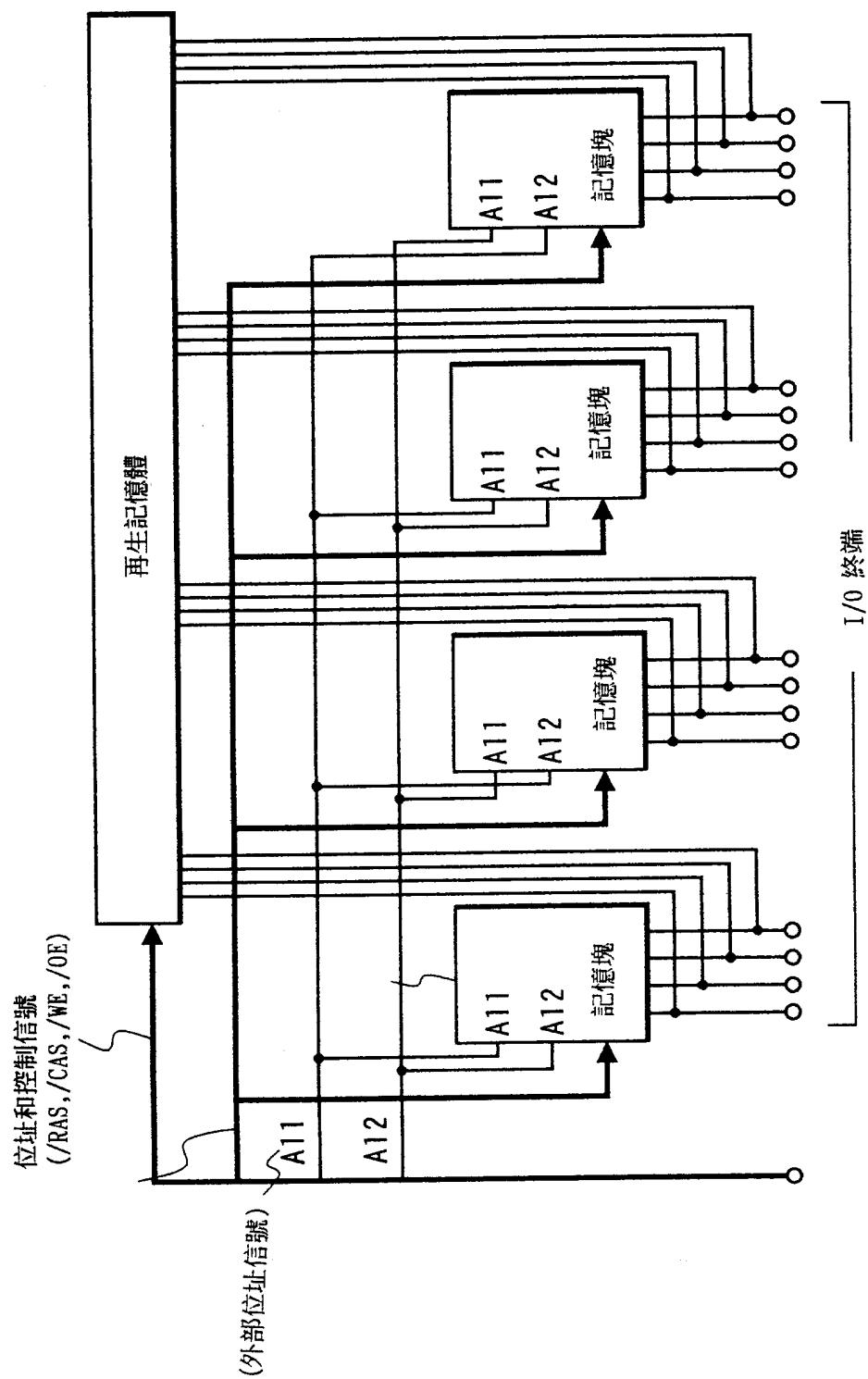


第12圖B

第13圖

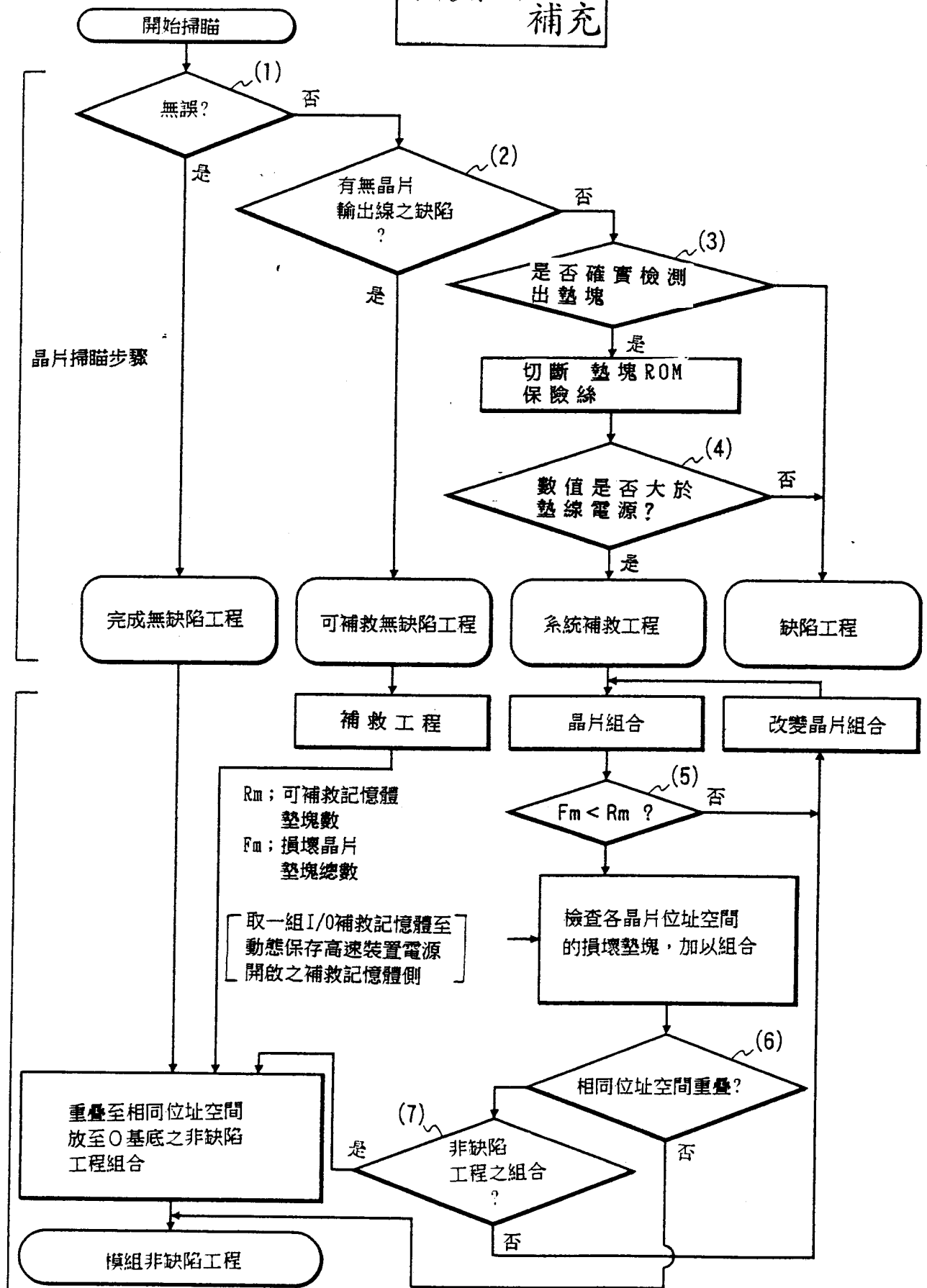


第14圖

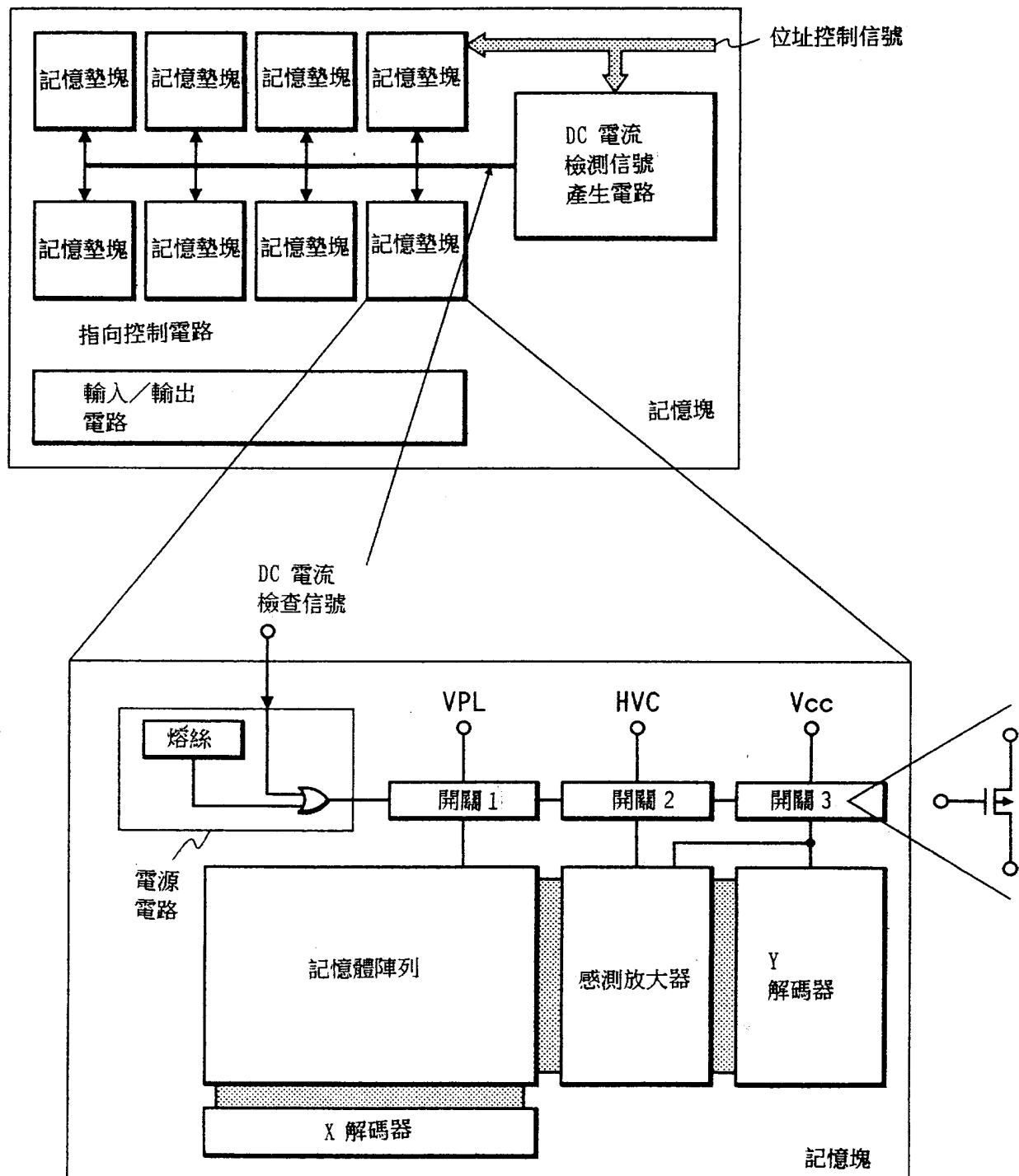


第15圖

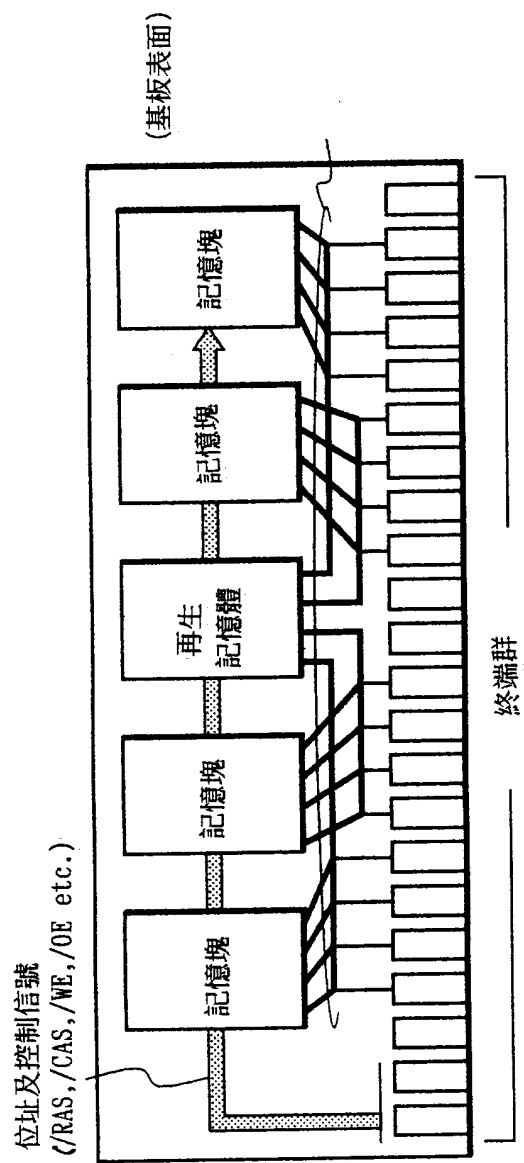
85年6月26日 修正
補充



第16圖

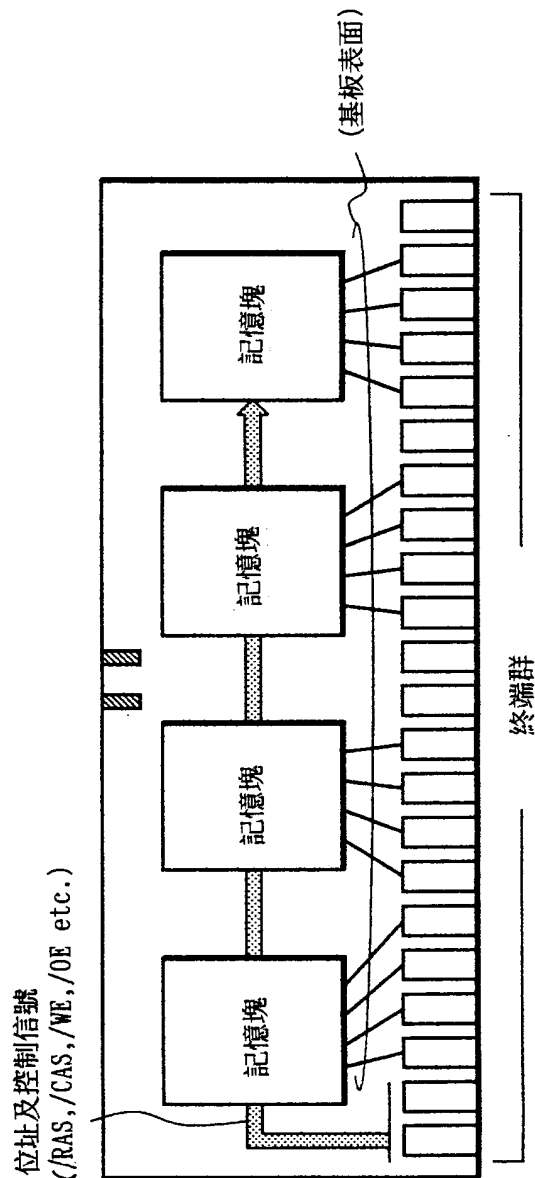


第17圖

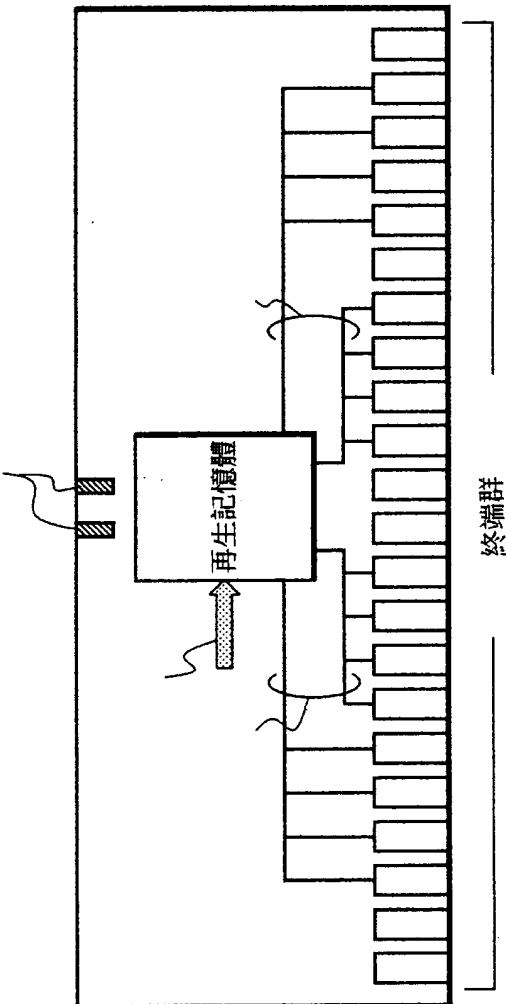


終端群 [位址和控制信號, I/O信號, 電源, 地線等]

第18圖 A



第18圖 B



第19圖

