(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01J 29/00

(45) 공고일자 2000년09월15일
(11) 등록번호 10-0265872
(24) 등록일자 2000년06월17일

(21) 출원번호	10-1998-0011016	(65) 공개번호	특1998-0080863
(22) 출원일자	1998년03월30일	(43) 공개일자	1998년11월25일
(30) 우선권주장	97-081280 1997년03월31일 일본(JP)		
	98-071859 1998년03월20일 일본(JP)		

(73) 특허권자 캐논 가부시끼가이샤 미다라이 후지오
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고
(72) 발명자 야마자끼 고지
일본 가나가와껭 아쯔기시 미즈히끼 2쪼메 6-29캐논 다이이찌 호나쯔기료 내
후시미 마사히로
일본 가나가와껭 자마시 신덴주꾸 350-26
미쯔따께 히데아끼
일본 가나가와껭 요꼬하마시 아오바꾸 가쯔라다이 2쪼메 37-3-303
(74) 대리인 구영창, 장수길, 주성민

심사관 : 권순근

(54) 전자-방출 디바이스를 사용하는 전자 장치 및 화상 형성 장치

요약

전자 장치는 전자-방출 디바이스를 갖는 배면 기판, 전자가 복사되는 전면 기판, 및 이들 기판들 간의 간격을 유지하기 위한 지지 부재를 포함한다. 전계의 분포가 제어되고, 상기 지지 부재로부터 멀어지는 방향으로 작용하는 힘이 상기 전자가 상기 지지 부재에 충돌하지 못하도록 방출된 전자에 인가된다. 이때, 상기 전자는 상기 전면 기판을 향해 가속된다. 상기 배면 기판측에 미치는 편향력에 의한 편향도는 상기 전면 기판측에 미치는 편향력에 의한 편향도보다 크기 때문에, 상기 배면 기판측에 대한 편향력은 상대적으로 약해진다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 실시예에서 중간층의 구조를 설명하기 위한 도면.

도 2는 스페이서의 대전의 모델을 도시한 그래프.

도 3a 내지 도 3c는 중간층의 조합을 도시한 도면.

도 4는 본 실시예에서 형광 물질 정렬의 예를 설명하기 위한 도면.

도 5a 및 도 5b는 디스플레이 패널의 전면 플레이트 상에 형광 물질 정렬의 다른 예를 도시한 평면도.

도 6a 및 도 6b는 본 실시예에 사용된 평탄 표면-도전 방출형 전자-방출 디바이스를 각각 도시한 평면도 및 단면도.

도 7a 내지 도 7e는 평탄 표면-도전 방출형 전자-방출 디바이스를 제조하는 단계를 각각 도시한 도면.

도 8은 형성 공정에서 인가 전압의 파형을 도시한 그래프.

도 9a 및 도 9b는 활성화 공정에서 인가 전압의 파형 및 방출 전류 Ie의 변화를 각각 도시한 그래프.

도 10은 본 실시예에 사용된 스텝 표면-도전 방출형 전자-방출 디바이스의 단면도.

도 11a 내지 도 11f는 스텝 표면-도전 방출형 전자-방출 디바이스를 제조하는 단계를 각각 도시한 도면.

도 12는 본 실시예에 사용된 표면-도전 방출형 전자-방출 디바이스의 전형적인 특성을 도시한 그래프.

도 13은 본 실시예에서 화상 디스플레이 장치의 디스플레이 패널을 도시한 부분적으로 절단한 사시도.

도 14는 도 13에서 라인 A - A'를 따라 절단한 디스플레이 패널의 단면도.

도 15는 본 실시예에 사용된 다중 전자-빔원의 기판의 부분 평면도.

도 16은 도 15에서 라인 B - B'를 따라 절단한 단면도.

도 17은 본 실시예의 화상 디스플레이 장치용 구동 회로의 개략적인 배열을 도시한 블럭도.

도 18은 본 실시예에서 스페이서의 동작에 의한 전자의 행적 궤도를 도시한 도면.

도 19는 표면-도전 방출형 전자-방출 디바이스의 예를 도시한 도면.

도 20은 FE형 디바이스의 예를 도시한 도면.

도 21은 MIM형 디바이스의 예를 도시한 도면.

도 22는 화상 디스플레이 장치의 디스플레이 패널을 부분 절단한 사시도.

도 23은 본 실시예에서 중간층의 구조를 설명하기 위한 도면.

도 24는 본 실시예에서 중간층의 또 다른 구조를 설명하기 위한 도면.

도 25는 본 실시예에서 중간층의 또 다른 구조를 설명하기 위한 도면.

도 26은 본 실시예에 사용된 다중 전자-빔원의 기판의 부분 평면도.

도 27은 본 실시예에서 중간층의 또 다른 구조를 설명하기 위한 도면.

<도면의 주요 부분에 대한 부호의 설명>

13: 디바이스 구동 배선

25: 등전위선

30: 전면 플레이트

31: 배면 플레이트

50: 본체

51: 고-저항막

52, 53: 전극

111: 디바이스

112: 전자빔 궤도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전자 방출에 관련된 전자 장치에 관한 것으로, 특히 전자에 의해 화상을 형성하기 위한 화상 형성 장치에 관한 것이다.

종래에는, 두가지 형태의 디바이스들, 즉 열음극 디바이스 및 냉음극 디바이스가 전자 방출 디바이스로서 공지되어 있다. 냉음극 디바이스들의 공지된 예는 표면 도전(surface-conduction emission: SCE)형 방출 디바이스, 전계 방출형 전자-방출 디바이스(이하에, FE형 전자 방출 디바이스라 불리움), 및 금속/절연체/금속형 전자 방출 디바이스(이하에, MIM형 전자 방출 디바이스라 불리움)가 있다.

표면-도전 방출형 디바이스의 공지된 예는 예를 들면, 1965년 엠. 아이. 엘린슨에 의해 Radio Eng. Electron Phys., 10, 1290에 기술되어 있으며 다른 예는 후술될 것이다.

표면-도전 방출형 전자-방출 디바이스는 막 표면에 평행하게 전류가 흐름으로써 기판 상에 형성된 작은 면적의 박막으로부터 전자들이 방출되는 현상을 이용한다. 표면-도전 방출형 전자-방출 디바이스는 상술된 엘린슨에 따른 SnO_2 박막 이외에, Au 박막[지. 디트머, "Thin Solid Films", 9,317(1972)], In_2O_3/SnO_2 박막[엠. 하트웰 및 시. 지. 폰스타드, "IEEE Trans. ED Conf.", 519(1975)], 탄소 박막[히사시 아라끼 등, "Vacuum", Vol. 26, No. 1, p. 22(1983)] 등을 이용하는 전자-방출 디바이스를 포함한다.

도 19는 이들 표면-도전 방출형 전자-방출 디바이스의 디바이스 구조의 전형적인 예로서 상술된 엠. 하트웰 등에 의해 표면-도전 방출형 전자-방출 디바이스를 도시한 평면도이다. 도 19를 참조하면, 참조 번호(3001)는 기판을 지칭하고, 참조 번호(3004)는 스퍼터링에 의해 형성된 금속 산화물로 이루어진 도전성 박막을 지칭한다. 이 도전성 박막(3004)은 도 19에 도시된 바와 같이, H형 패턴을 갖는다. 전자 방출부(3005)는 도전성 박막(3004)에 대하여 대전 공정(후술될 형성 공정이라 불리움)을 수행함으로써 형성된다. 도 19에서의 간격 L은 0.5 내지 1㎜로 설정되고, 폭 W는 0.1㎜로 설정된다. 전자 방출부(3005)는 설명의 편의상 도전성 박막(3004)의 거의 중앙에 직각 모양으로 도 19에 도시되어 있다. 그러나, 이는 전자 방출부(3005)의 실제 위치 및 모양을 정확히 도시하지 않는다.

엠. 하트웰 등에 의해 허여된 상기 표면-도전 방출형 전자-방출 디바이스에서, 전자 방출부(3005)는 전형적으로 전자 방출 전에 도전성 박막(3004)에 대해 통전 형성 공정이라 칭하는 대전 공정을 수행함으로써 형성된다. 즉, 형성 공정은 대전에 의해 전자 방출부를 형성하는 것이다. 예를 들면, 일정한 DC 전압 또는 매우 낮은 비율, 예를 들면 1V/min로 증가하는 DC 전압이 도전성 박막(3004)의 양단에 걸쳐 인가되

어 도전성 박막(3004)을 국부적으로 파괴시키거나 변형시켜, 이로 인해 전기적으로 고저항을 갖는 전자 방출부(3005)를 형성한다. 도전성 박막(3004)의 파괴되거나 또는 변형된 부분이 균열을 갖는다는 것을 알아야 한다. 형성 공정후 도전성 박막(3004)에 적절한 전압을 인가할 시, 균열 부근에서 전자가 방출된다.

FE형 전자 방출 디바이스의 공지된 예가 1956년 더블유. 피. 디크 및 더블유. 더블유. 돌랜에 의한 "Field emission", Advance in Electron Physics, 8, 89, 및 1976년 시. 에이. 스핀트에 의한 "Physical properties of thin-film field emission cathodes with molybdenim cones", J. Appl. Phys., 47, 5248에 기술되어 있다.

도 20은 FE형 디바이스 구조의 전형적인 예(상술된 씨. 에이. 스핀트 등에 의한 디바이스)를 도시한 단면도이다. 도 20을 참조하면, 참조 번호(3010)는 기판을 지칭하며, 참조 번호(3011)는 도전성 재료로 이루어진 이미터 배선층을 지칭하며, 참조 번호(3012)는 이미터 원뿔을 지칭하며, 참조 번호(3013)는 절연층을 지칭하고, 참조 번호(3014)는 게이트 전극을 지칭한다. 이 디바이스에서, 이미터 원뿔(3012) 및 게이트 전극(3014) 간에 전압이 인가되어, 이미터 원뿔(3012)의 선단부로부터 전자을 방출한다.

또 다른 FE형 디바이스 구조로서, 도 20의 다층 구조 이외에, 기판의 표면과 거의 평행하게 되도록 기판 상에 이미터 및 게이트 전극을 배열하는 예가 있다.

MIM형 전자-방출 디바이스의 공지된 예가 1961년 씨. 에이. 미드에 의한 "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32,646에 기술되어 있다. 도 21은 MIM형 디바이스 구조의 전형적인 예를 도시한다. 도 21은 MIM형 전자-방출 디바이스의 단면도이다. 도 21을 참조하면, 참조 번호(3020)는 기판을 지칭하며, 참조 번호(3021)는 금속으로 이루어진 하부 전극을 지칭하며, 참조 번호(3022)는 약 100Å의 두께를 갖는 박막 절연층을 지칭하고, 참조 번호(3023)는 금속으로 이루어지고 약 80 내지 300Å의 두께를 갖는 상부 전극을 지칭한다. MIM형 전자-방출 디바이스에서, 상부 전극(3023) 및 하부 전극(3021) 간에 적절한 전압이 인가되어, 상부 전극(3023)의 표면으로부터 전자를 방출한다.

상술된 냉음극 디바이스가 열음극 디바이스의 것보다 낮은 온도에서 전자를 방출할 수 있기 때문에, 어떠한 히터도 필요하지 않는다. 따라서, 냉음극 디바이스는 열음극 디바이스의 것보다 간단한 구조를 갖고 소형화될 수 있다. 다수의 디바이스가 기판 상에 고밀도로 배열되더라도, 기판의 열용해와 같은 문제는 거의 발생하지 않는다. 또한, 냉음극 디바이스의 응답 속도는 높은 반면에 열음극 디바이스의 응답 속도는 낮은데, 그 이유는 히터에 의한 가열시 동작하기 때문이다.

이러한 이유로 인해, 냉음극 디바이스의 응용은 심도있게 연구되어 왔다.

냉음극 디바이스 중에서, 상기 표면-도전 방출형 전자-방출 디바이스는 간단한 구조를 가지며 용이하게 제조될 수 있으므로 유리하다. 이러한 이유로 인해, 많은 디바이스들은 넓은 면적 상에 형성될 수 있다. 본 출원인에 의해 출원된 일본 특허 공개 공보 제64-31332호에 개시된 바와 같이, 다수의 디바이스들을 배열하고 구동하기 위한 방법이 연구되어 왔다. 표면-도전 방출형 전자-방출 디바이스를 예를 들어, 화상 디스플레이 장치와 같은 화상 형성 장치 및 화상 기록 장치, 전자-빔원 등에의 적용에 관하여 연구되어 왔다.

화상 디스플레이 장치에 대한 응용으로서, 특히, 본 출원인에 의해 출원된 미국 특허 제5,066,883호, 및 일본 특허 공개 공보 제2-257551호 및 제4-28137호에 개시되어 있는 바와 같이, 도전 방출형 전자-방출 디바이스 및 전자빔의 수용시 광을 방출하는 형광 물질의 조합을 이용하는 화상 디스플레이 장치가 연구되어 왔다. 표면-도전 방출형 전자-방출 디바이스 및 형광 물질의 조합을 사용하는 이러한 형태의 화상 디스플레이 장치는 종래의 다른 화상 디스플레이 장치보다 우수한 특성을 갖도록 기대된다. 예를 들어, 최근의 보편적인 액정 디스플레이 장치와 비교하여, 상기 디스플레이 장치는 자체-방출형이기 때문에 백라이트가 필요치 않고, 광범위한 시야각을 갖는다는 점에서 우수하다.

나란히 배열된 복수의 FE형 전자-방출 디바이스를 구동하는 방법이, 예를 들어, 본 출원인에 의해 출원된 미국 특허 제4,904,895호에 개시되어 있다. FE형 전자-방출 디바이스를 화상 디스플레이 장치에 적용한 공지된 예로서, 알. 메이어 등에 의해 보고된 평탄 디스플레이 장치[1991년 알. 메이어에 의한 "Recent Development on Microtips Display at LETI", Tech. Digest of 4th Int. Vacuum Microelectronics Conf., Nagahama, 페이지 6-9]가 공지되어 있다

나란히 배열된 다수의 MIM형 전자-방출 디바이스를 화상 디스플레이 장치에 적용한 예가 본 출원인에 의해 출원된 일본 특허 공개 공보 제3-55738호에 개시되어 있다.

상술된 것과 같은 전자-방출 디바이스를 사용하는 화상 디스플레이 장치 중에서, 얇은 평탄 디스플레이 장치는 작은 공간과 가벼운 중량 때문에 CRT(Cathode-Ray Tube: 냉음극선관) 디스플레이 장치의 대용으로서 많은 관심이 모아지고 있다.

도 22는 패널의 부분이 패널의 내부 구조를 도시하기 위해 제거되는 평탄 화상 디스플레이 장치에 대한 디스플레이 패널의 예를 도시한 사시도이다.

도 22에서, 참조 번호(3115)는 배면 플레이트를 지칭하며, 참조 번호(3116)는 측벽을 지칭하며, 참조 번호(3117)는 전면 플레이트를 지칭한다. 배면 플레이트(3115), 측벽(3116) 및 전면 플레이트(3117)는 디스플레이 패널의 내부를 진공으로 유지하는 엔벨로프(기밀 용기)를 형성한다.

배면 플레이트(3115)는 N×M개의 냉음극 디바이스(3112)(M 및 N은 "2" 이상인 양의 정수이며, 많은 디스플레이 픽셀에 따라 적절히 설정됨)가 제공되는 기판(3111)을 내부에 고정시킨다. 도 23에 도시된 바와 같이, N×M개의 냉음극 디바이스(3112)는 M개의 행-방향 배선(3113) 및 N개의 열-방향 배선(3114)으로 배열된다. 기판(3111), 냉음극 디바이스(3112), 행-방향 배선(3113) 및 열-방향 배선(3114)으로 구성된 부분은 "다중 전자-빔원"이라 불리울 것이다. 행-방향 배선(3113) 및 열-방향 배선(3114) 간의 교차에서, 절연층(도시되어 있지 않음)은 배선들 간에 형성되어, 전기적인 절연을 유지한다.

더우기, 형광 물질로 이루어진 형광막(3118)은 전면 플레이트(3117) 아래에 형성된다. 형광막(3118)은

적색(R), 녹색(G) 및 청색(B)인 3가지 주요 컬러 형광 물질(도시되어 있지 않음)로 착색된다. 흑색 도전성 재료(도시되어 있지 않음)는 형광막(3118)을 구성하는 형광 물질들 간에 제공된다. 더우기, Al 등으로 이루어진 금속 백(3119)은 배면 플레이트(3115)측 상에 형광막(3118)의 표면 상에 제공된다.

도 22에서, 기호 Dx1 내지 Dxm, Dy1 내지 Dyn, 및 Hv는 전기 회로(도시되어 있지 않음)와 디스플레이 패널을 전기적으로 접속하기 위해 제공된 기밀 구조의 전기 접속 단자를 지칭한다. 단자 Dx1 내지 Dxm은 다중 전자-빔원의 행-방향 배선(3113)에 전기적으로 접속되며, 단자 Dy1 내지 Dyn은 열-방향 배선(3114)에 접속되고, 단자 Hv는 금속 백(3119)에 접속된다.

기밀 용기의 내부는 약 10^{-6} Torr의 진공이 유지된다. 화상 디스플레이 장치의 디스플레이 면적이 더 커짐에 따라, 화상 디스플레이 장치는 기밀 용기의 내부 및 외부 간의 압력차에 의해 유발되는 배면 플레이트(3115) 및 전면 플레이트(3117)의 변형, 손상을 방지하기 위한 수단을 필요로 한다. 배면 플레이트(3115) 및 전면 플레이트(3117)를 가열함으로써 변형과 손상이 방지된다면, 화상 디스플레이 장치의 중량이 증가할뿐만 아니라, 사용자가 화상을 비스듬히 볼 때 화상 왜곡 및 시차가 발생된다. 이에 반해, 도 22에서, 디스플레이 패널은 비교적 얇은 유리로 이루어지는 구조 지지 부재(3120)(스페이서 또는 립(rib)이라 칭함)를 포함한다. 이러한 구조에 따르면, 다중 전자-빔원이 형성된 기판(3111) 및 형광막(3118)이 형성된 전면 플레이트(3117) 간의 간격은 일반적으로 서브밀리미터 내지 수 ㎜로 유지된다. 상술된 바와 같이, 기밀 용기의 내부는 높은 진공으로 유지된다.

상술된 디스플레이 패널을 사용하는 화상 디스플레이 장치에서, 외부 단자 Dx1 내지 Dxm 및 Dy1 내지 Dyn을 거쳐 냉음극 디바이스(3112)에 전압이 인가될 때, 전자가 냉음극 디바이스(3112)에 의해 방출된다. 동시에, 수백 V 내지 수 kV의 고전압은 외부 단자 Hv를 통해 금속 백(3119)에 인가되어, 방출된 전자를 가속화시켜 상기가 전면 플레이트(3117)의 내부면과 충돌하게 한다. 결과적으로, 형광막(3118)을 구성하는 각 형광 물질이 광을 방출하도록 여기되어, 이로 인해 화상을 디스플레이한다.

화상 형성 장치 등의 상술된 전자빔 장치는 장치 내부의 진공을 유지하기 위한 엔벨로프, 이 엔벨로프 내부에 배열된 전자원, 전자원으로부터 방출된 전자빔이 복사되는 타겟, 타겟을 향해 전자빔을 가속하기 위한 가속 전극 등을 포함한다. 이들 이외에, 엔벨로프에 인가된 대기압에 대하여 그 내부로부터 엔벨로프를 지지하기 위한 지지 부재(스페이서)는 엔벨로프 내부에 배열된다.

이 화상 디스플레이 장치의 디스플레이 패널은 다음과 같은 문제가 있다.

스페이서 부근에 방출되는 전자들중 일부는 스페이서 또는 스페이서에 부가한 방출된 전자의 동작에 의해 생성된 이온에 충돌한다. 더우기, 전면 플레이트에 등전위선된 전자들중 일부는 반사되고 산란되며, 산란된 전자들중 일부는 스페이서에 충돌하여 스페이서를 충전한다. 냉음극 디바이스에 의해 방출된 전자의 궤도는 스페어서의 대전에 의해 변경되고, 전자는 형광 물질 상의 적당한 위치와 차이가 있는 위치에 도달한다. 그 결과, 변형된 화상은 스페어서의 부근에 디스플레이된다.

이 문제를 해결하기 위하여, 스페어서의 대전은 스페이서를 통해 작은 전류가 흐름으로써 제거된다(이하에 대전 제거라 불리움). 이 경우에, 고-저항막이 절연 스페이서의 표면 상에 형성되어 스페이서의 표면을 통해 작은 전류가 흐른다. 사용되는 고-저항막은 주석 산화막, 주석 산화물 및 인듐 산화물의 혼합 결정 박막, 아일랜드(island)형 금속막 등이다.

냉음극 디바이스로부터 방출되는 전자수가 증가함에 따라, 대전 제거 능력은 점점 약해지고, 대전량은 전자빔의 세기에 따라 좌우한다. 이에 따라, 스페이서 부근의 장치에 의해 방출되는 전자빔은 전자빔의 세기(휘도)에 따라 타겟 상의 적당한 위치로부터 쉬프트한다. 예를 들면, 동화상을 디스플레이할 시, 화상은 변동한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 지지 부재 부근에 지지 부재를 포함하는 새로운 구조를 제공하는 것이다.

본 발명에 따른 전자 장치의 제1 특징은 다음의 구성을 갖는다.

전자-방출 디바이스를 갖는 배면 기판, 전자가 복사될 부재를 갖는 전면 기판, 및 배면 기판과 전면 기판 간의 간격을 유지하기 위한 지지 부재를 포함하는 전자 장치는 배면 기판으로부터 전면 기판을 향해 전자를 가속시키기 위한 전계가 인가되며, 지지 부재의 표면은 배면 기판에 접속된 부분으로부터의 길이 d1 및 세로 방향으로 단위 길이당 저항 R1을 갖는 제1 영역, 전면 기판에 접속된 부분으로부터 길이 d3 및 세로 방향으로 단위 길이당 저항 R3을 갖는 제3 영역, 및 제1 영역 및 제3 영역 간에 삽입되고 세로 방향으로 단위 길이당 저항 R2를 갖는 제2 영역을 가지며, R1과 R3 모두 R2보다 작고, 제1 및 제3 영역의 길이 및 저항은 다음의 조건: a) d1 < d3, b) R1 > R3중 적어도 하나를 만족하는 것을 특징으로 한다.

제1 특징에서, 배면 기판측 상에 단위 길이당 제1 영역의 저항을 단위 길이당 제2 영역의 저항보다 작게 설정함으로써, 지지 부재로부터 멀어지는 방향으로 작용하는 힘은 전자-방출 디바이스에 의해 방출되는 전자에 인가될 수 있다. 보다 상세하게, 단위 길이당 제1 영역의 저항은 단위 길이당 제2 영역의 저항보다 낮게 설정되면, 전자를 가속시키기 위한 전계는 지지 부재 및 배면 기판 간의 접속부 부근에 그 등전위면의 법선이 지지 부재로부터 멀어지는 방향으로의 성분을 가지게 된다. 따라서, 전자는 지지 부재로부터 멀어지는 방향으로 힘을 받는다. 특히 제1 특징에서, 전자의 편향은 조건 a) 및 b)중 적어도 하나를 만족시킴으로써 바람직하게 제어된다. 특히, 조건 a)를 만족하는 구조는 나머지 요건들이 변경되지 않은 채로 유지되면서 d1 ≥ d3를 만족하는 구조와 비교된다. 그 결과, 조건 a)를 만족하는 구조는 전면 기판의 전자 복사면 상에 전자-방출 디바이스로부터의 투영점으로부터 전자의 실제 복사점의 쉬프트량 면에서 더 작다. 또한, 조건 b)를 만족하는 구조는 나머지 요건들이 변경되지 않은 채로 유지되면서 R1 ≤ R3를 만족하는 구조와 비교된다. 그 결과, 조건 b)를 만족하는 구조는 전면 기판의 전자 복사면 상에 전자-방출 디바이스로부터의 투영점으로부터 전자의 실제 복사점의 쉬프트량 면에서 더 작다. 이는 전면 기판 부근에 전자의 속도가 배면 기판 부근에 전자 속도보다 높기 때문에, 그 결과 전면 기판의 전자 복사면 상에 전자-방출 디바이스로부터의 투영점으로부터 전자의 실제 복사점의 쉬프트량에 대한 편향의 영

향은 제3 영역에서보다 제1 영역에서 더 크다. 따라서, 이 쉬프트량은 제1 영역의 편향력 또는/및 힘을 인가하는 거리를 제3 영역의 편향력 또는/및 힘을 인가하는 거리보다 작게 설정함으로써 억제될 수 있다. 또한, R1 ≤ R3 및 d1 ≥ d3를 만족하는 구조는 나머지 요건들이 변동되지 않은 채로 유지되면서 d1 < d3를 만족하는 구조와 비교된다. 그 결과, 쉬프트량은 d1 < d3를 만족하는 구조에서보다 작다. R1 ≤ R3 및 d1 ≥ d3를 만족하는 구조는 나머지 요건들이 변동되지 않은 채로 유지되면서 R1 > R3와 비교된다. 그 결과, 쉬프트량은 R1 > R3를 만족하는 구조에서보다 작다. 이들 결과로부터, 전자 장치는 조건 a) 및 b)중 적어도 하나를 만족하는 다양한 구조를 사용할 수 있다.

R1 및 R3이 R2보다 충분히 낮고, 제2 영역측 상의 제1 영역의 단부는 배면 기판에 접속되는 제1 영역의 부분에서와 같은 전위를 갖는 것으로 간주되며, 제2 영역측 상의 제3 영역의 단부는 전면 기판에 접속되는 제3 영역의 부분에서와 같은 전위를 갖는 것으로 간주될 때, 편향은 d3 > d1을 설정함으로써 제1 영역에서보다 제3 영역에서 더 용이하게 인가될 수 있다.

본 발명에 따른 전자 장치의 제2 특징은 다음의 구성을 갖는다.

전자-방출 디바이스를 갖는 배면 기판, 전자가 복사될 부재를 갖는 전면 기판, 및 배면 기판과 전면 기판 간의 간격을 유지하기 위한 지지 부재를 포함하는 전자 장치는 배면 기판으로부터 전면 기판을 향해 전자를 가속시키는 전계가 인가되며, 지지 부재의 표면은 배면 기판에 접속된 부분으로부터의 길이 d1을 갖는 제1 영역, 전면 기판에 접속된 부분으로부터의 길이 d3을 갖는 제3 영역, 및 제1 영역 및 제3 영역 간에 삽입된 제2 영역을 갖고, 제1 및 제3 영역에서 지지 부재의 표면 상에 수직 방향으로 단위 길이 당 포텐샬 차가 제2 영역에서의 지지 부재의 표면 상의 수직 방향의 단위 길이당 전위차보다 작고, ΔV1을 배면 기판에 접속된 부분의 전위 및 제2 영역측 상의 제1 영역의 부분의 전위 간의 전위차로 하고, ΔV3을 전면 기판에 접속된 부분의 전위 및 제2 영역측 상의 제3 영역의 부분의 전위 간의 전위차로 하며, 전위차는 ΔV1/d1 > ΔV3/d3를 만족하는 것을 특징으로 한다.

이 구조에서, 제1 및 제3 영역에서 지지 부재의 표면 상에 세로 방향으로 단위 길이당 전위차는 제2 영역에서 지지 부재의 표면 상에 세로 방향으로 단위 길이당 전위차보다 작다. 이러한 이유로, 제1 영역에서 지지 부재로부터 멀어지는 방향으로의 힘 및 제3 영역에서 지지 부재를 향한 방향으로의 힘을 전자는 받는다. 지지 부재의 제1 및 제3 영역이 단위 길이당 다른 전위차를 갖는다면, 제3 영역에서 단위 길이당 전위차는 제1 영역에서 단위 길이당 전위차보다 특히 작게 설정되며, 배면 기판 부근에 제1 영역에서의 편향보다 큰 힘은 전자가 가속되어 거의 편향되지 않는 전면 기판 부근의 전자에 인가된다.

상술된 각 특징에서, 제3 영역에서 대전을 편하게 하기 위해, 제3 영역은 대전이 가장 용이하게 발생하는 전면 기판에 접속된 부분으로부터 전면 기판 및 배면 기판 간의 거리의 1/10 이상에 대응되는 위치까지 연장하는 것이 바람직하다.

상술된 각 특징에서, 제2 영역의 표면의 도전율보다 높은 도전율을 갖는 부재는 제1 또는 제3 영역의 표면 상에 노출될 수 있다. 다양한 부재들은 제2 영역의 표면의 도전율보다 높은 도전율을 갖는 부재로서 가용하다. 이 더 높은 도전율의 부재는 다양한 구조를 채택할 수 있고, 제1 또는 제3 영역의 표면 상에 형성된 막 또는 표면을 가지며 내부가 거의 균일한 부재이다.

상술된 각 특징에서의 구조의 구체적인 예로서, 제2 영역은 또한 도전성 재료로 이루어지고, 전면 기판 및 배면 기판 간에 전류가 흘러 지지 부재의 대전을 편하게 한다. 소정의 도전율을 제2 영역에 부여하기 위하여, 도전막은 지지 부재의 표면 상에 제2 영역으로서 형성될 수 있다. 특히, 높은 절연 특성을 갖는 부재가 지지 부재용 기판으로서 사용될 때, 도전막은 절연 부재의 표면 상에 효과적으로 형성된다. 지지 부재의 적당한 판저항은 10^6 내지 10^{12}Ω이다.

상술된 각 특징에서, 원치 않는 방전의 확률을 감소시키기 위해, 제2 영역측 상의 제1 영역의 단부의 전위 및 제2 영역측 상의 제3 영역의 단부의 전위 간의 전위차, 및 제2 영역측 상의 제1 영역의 단부 및 제2 영역측 상의 제3 영역의 단부 간의 간격은 8kV/㎜ 이하의 관계를 가지며, 보다 바람직하기로는 4kV/㎜ 이하의 관계를 갖는다.

상술된 각 특징에서, 지지 부재는 바람직하게 배선 또는 전극을 거쳐 배면 기판 또는 전면 기판에 접속된다. 배선 또는 전극이 전면 또는 전면 기판 상에 형성된 후 지지 부재로서 역할을 하는 부재를 배열하는데 있어, 사전에 기판 상에 형성된 배선 또는 전극에 대한 접합부에 도전체가 형성된다. 이 구조는 전기적으로 양호한 접속을 실현할 수 있다. 이는 배면 기판으로부터 전면 기판을 향해 전자를 가속시키기 위한 전계를 인가하기 위해 전면 기판 상에 가속 전극을 배열하는 것이 또한 바람직하다. 지지 부재는 바람직하게 전면 기판측 상의 가속 전극에 전기적으로 접속된다.

상술된 각 특징에서, 전자-방출 디바이스는 냉음극형 전자-방출 디바이스 또는 표면-도전 방출형 전자-방출 디바이스이다. 전자 장치는 복수의 전자-방출 디바이스들을 포함할 수 있다.

본 발명에 따른 화상 형성 장치의 제1 특징은 다음의 구성을 갖는다.

상술된 전자 장치들중 어느 하나를 사용하는 화상 형성 장치는 전자가 복사될 부재 상에 화상이 형성되는 것을 특징으로 한다.

본 발명에 따른 화상 형성 장치의 제2 특징은 다음의 구성을 갖는다.

상술된 전자 장치들중 어느 하나를 사용하는 화상 형성 장치는 전자가 복사될 부재가 전자의 복사시 광을 방출하는 발광체를 갖는 것을 특징으로 한다.

화상 형성 장치에서, 발광체는 형광 물질일 수 있다.

본 발명은 도 1을 참조하여 보다 상세히 기술될 것이다. 참조 번호(30)는 형광 물질 및 금속 백을 포함하는 전면 플레이트(전면 기판)를 지칭하며, 참조 번호(31)는 전자원 기판을 포함하는 배면 플레이트(배면 기판)을 지칭하며, 참조 번호(50)는 스페이서용 본체를 지칭하며, 참조 번호(51)는 스페이서의 표면 상에 고-저항막을 지칭하며, 참조 번호(52)는 전면 플레이트와 콘택트하는 스페이서의 측면 상에 전극(중

간층)을 지칭하며, 참조 번호(53)는 배면 플레이트와 콘택트하는 스페이서의 측면 상에 전극(중간층)을 지칭하며, 참조 번호(13)는 디바이스 구동 배선을 지칭한다. 이들 부분들(50, 51, 52, 53, 및 13)은 지지 부재를 구성한다(프릿(도 1에 도시되어 있지 않음)은, 또한 중간층(52)과 전면 플레이트(30), 및 중간층(53)과 배면 플레이트(31)(예를 들면, 중간층(53)과 배선(13))이 프릿을 통하여 각각 접속될 때 지지 부재의 구성 요소가 됨). 참조 번호(111)는 디바이스를 지칭하며, 참조 번호(112)는 전형적인 전자빔 궤도를 지칭하며, 참조 번호(25)는 등전위선을 지칭한다. 기호 a는 전면 플레이트의 하부면으로부터 중간층(52)의 하부단까지의 거리에 대응하는 제3 영역의 길이(저항 R3을 갖는 영역의 길이)를 지칭하고, 기호 b는 배면 플레이트(31)의 상부면으로부터 중간층(53)의 상부단까지의 거리에 대응하는 제1 영역의 길이(저항 R1을 갖는 영역의 길이)를 지칭한다.

스페이서의 대전을 방지하기 위하여, 대전 방지막으로서 역할을 하는 고-저항막의 저항은 감소될 수 있다. 그러나, 이는 전력 소모 및 열 발생의 증가를 야기한다. 이로 인해, 고-저항막의 저항을 감소시키지 않고 스페이서 부근에 전위 기울기를 제어함으로써, 빔이 제어된다. 보다 상세하게, 전자원 기판측 상에 스페이서의 전극(53)에 의해 스페이서로부터 멀어져 빔이 일시적으로 이동된다. 다음으로, 전면 플레이트와 콘택트하는 스페이서의 측면 상에 전극(52)에 의해 적당한 위치로 빔이 복귀된다. 이 때, 스페이서 부근에 공간은 등전위선(52)에 의해 가리켜진 전위 분포를 갖는다. 빔은 전면 플레이트(30)에 더 가까운 곳에 더 가속되기 때문에, 전면 플레이트와 콘택트하는 스페이서의 측면 상에 전극(52)은 전자원 기판과 콘택트하는 스페이서의 측면 상에 전극(53)보다 길어져야 하고, 전면 플레이트측 상에 전위 기울기는 급경사가 되어야 한다.

어떠한 전자도 스페이서에 직접 충돌하지 않을 때, 전면 플레이트 부근에 스페이서의 대전은 크다. 대전량의 변화는 빔의 변동에 대부분의 영향이 있다고 간주된다. 이로 인해, 전면 플레이트와 콘택트하는 스페이서의 측면 상에 전극(52)은 이 대전 영역을 피복하기 위해 형성된다. 따라서, 전자 방출량에 대한 전면 플레이트의 빔 도달 위치의 의존성이 감소될 수 있다.

본 발명의 전자 장치는 다음 형태를 갖는다.

① 냉음극 디바이스는 한 쌍의 전극들 간에 전자-방출부를 포함하는 도전막을 갖는 냉음극 디바이스이고, 바람직하게는 표면-도전 방출형 전자-방출 디바이스이다.

② 전자원은 복수의 냉음극 디바이스들이 복수의 행-방향 배선들 및 복수의 열-방향 배선들에 의한 매트릭스로 와이어되는 단순 매트릭스 레이아웃을 갖는 전자원이다.

③ 전자원은 병렬로 배열되고 각 디바이스의 두 단자에 접속되는 복수의 냉음극 디바이스들의 복수의 행들(이하에, 행 방향이라 불리움)이 배열되고, 이 배선에 수직한 방향(이하에, 열 방향이라 불리움)을 따라 냉음극 디바이스들 위에 배열되는 제어 전극은 냉음극 디바이스에 의해 방출된 전자를 제어하는 사다리형 레이아웃을 갖는 전자원이다.

④ 본 발명의 개념에 따르면, 본 발명은 디스플레이용으로 적합한 화상 형성 장치로 제한되지는 않는다. 또한, 상술된 화상형성 장치는 감광성 드럼 및 발광 다이오드 등으로 구성된 광 프린터용 발광 다이오드 대신에 발광원으로서 사용될 수 있다. 이 때, m 행-방향 배선 및 n 열-방향 배선을 적당히 선택함으로써, 화상 형성 장치는 선형 발광원뿐만 아니라 2차원 발광원으로서 응용될 수 있다. 이 경우에, 화상 형성 부재는 본 실시예에서 사용된 형광 물질과 같이, 광을 직접 방출하는 물질에 제한되지는 않지만, 전자의 충전에 의해 잠상을 형성하는 부재일 수 있다.

본 발명의 다른 특징 및 이점이 첨부된 도면과 결합하여 취해진 다음 설명으로부터 명백해질 것이며, 유사한 참조 문자가 전 도면들에 걸쳐 동일하거나 또한 유사한 부분을 나타낸다.

발명의 구성 및 작용

본 발명의 실시예는 첨부한 도면을 참조하여 이하에 상세히 설명될 것이다.

<화상 디스플레이 장치의 개요>

우선, 본 발명이 적용되는 화상 디스플레이 장치의 디스플레이 패널의 구성 및 디스플레이 패널의 제조 방법이 이하에 설명될 것이다.

도 13은 패널의 내부 구조를 도시하기 위하여 패널의 일부를 제거한 디스플레이 패널의 사시도이다.

도 13에서, 참조 번호(1015)는 배면 플레이트를 지칭하며, 참조 번호(1016)는 측벽을 지칭하고, 참조 번호(1017)는 전면 플레이트를 지칭한다. 이들 부분들은 디스플레이 패널 진공의 내부를 유지하기 위한 기밀 용기를 형성한다. 기밀 용를 구성하기 위해, 충분한 세기를 얻고 기밀 조건을 유지하기 위해 각 부분 밀폐-접속할 필요가 있다. 예를 들면, 프릿 유리는 접합 부분에 인가되고, 대기 또는 질소 분위기로 400 내지 500℃로 소결되어, 그 부분들은 밀폐-접속된다. 용기의 내부로부터 진공을 배기하기 위한 방법이 후술될 것이다. 기밀 용기의 내부가 약 10^{-6} Torr로 배기되기 때문에, 전면 플레이트측 상에 중간층(1031) 및 배면 플레이트측 상에 중간층(1032)을 갖는 스페이서(1020)는 대기압 또는 불시의 충격에 의한 기밀 용기의 손상을 방지하기 위해 대기압에 견디는 구조로서 배열된다.

배면 플레이트(1015)는 N×M개의 냉음극 디바이스(1012)가 형성된다(M, N은 2 이상의 양의 정수이며, 많은 디스플레이 픽셀에 따라 적절히 설정되는 기판(1011)을 고정시킨다. 예를 들어, 고품질 텔레비젼 디스플레이용 디스플레이 장치에서, 바람직하게 N은 3,000 이상, M은 1.000 이상이다. 본 실시예에서, N은 3072이고, M은 1024임). N×M개의 냉음극 디바이스(3112)들은 M개의 행-방향 배선(1013) 및 N개의 열-방향 배선(1014)으로 배열된다. 이들 부분들(1011 내지 1014)로 구성된 부분은 "다중 전자-빔원"이라 불리운다.

본 발명의 화상 디스플레이 장치에 사용된 다중 전자-빔원에서, 냉음극 디바이스의 재료, 모양, 및 제조 방법은, 전자원이 단순 매트릭스에 냉음극 디바이스를 와이어함으로써 준비되는 한 제한되지 않는다. 따

라서, 다중 전자-빔원은 표면-도전 방출(SCE)형 전자-방출 디바이스 또는 FE형 또는 MIM형 냉음극 디바이스를 사용할 수 있다.

냉음극 디바이스로서 SCE형 전자-방출 디바이스(후술됨)를 기판 상에 배열하고 이들을 단순 매트릭스로 와이어함으로써 준비된 다중 전자-빔원의 구조가 설명될 것이다.

도 15는 도 13에서 디스플레이 패널에 사용된 다중 전자-빔원의 평면도이다. 도 6a 및 6b(후술됨)에 도시된 것과 유사한 SCE형 전자-방출 디바이스는 기판(1011) 상에 배열된다. 이들 디바이스들은 행-방향 배선 전극(1013) 및 열-방향 배선 전극(1014)에 의해 단순 매트릭스로 와이어된다. 각 행-방향 배선 전극(1013) 및 열-방향 배선 전극(1014)의 교차점에서, 절연층(도시되어 있지 않음)이 전극들 간에 형성되어 전기적인 절연을 유지한다.

도 16은 도 15에서 라인 B - B'를 따라 절단한 단면도를 도시한다.

이 구조를 갖는 다중 전자-빔원은 행-방향 배선 전극(1013), 열-방향 배선 전극(1014), 전극 절연막(도시되어 있지 않음), 및 SCE형 전자-방출 디바이스의 디바이스 전극과 도전성 박막을 형성한 다음, 행-방향 배선 전극(1013) 및 열-방향 배선 전극(1014)을 거쳐 디바이스에 전기를 공급하여 형성 공정 및 활성화 공정(둘다 후술될 것임)을 수행한다.

이 실시예에서, 다중 전자-빔원의 기판(1011)은 기밀 용기의 배면 플레이트(1015)에 고정된다. 그러나, 다중 전자-빔원의 기판(1011)이 충분한 세기를 가지면, 다중 전자-빔원 자체의 기판(1011)은 기밀 용기의 배면 플레이트로서 사용될 수 있다.

더우기, 형광막(1018)은 전면 플레이트(1017) 아래에 형성된다. 이 실시예가 컬러 디스플레이 장치이기 때문에, 형광막(1018)은 적색, 녹색 및 청색인 3원색 형광 물질로 착색된다. 도 5a에 도시된 바와 같이, 형광 물질부는 줄무늬형이고, 줄무늬들 간에 흑색 도전 재료(1010)가 제공된다. 흑색 도전 재료(1010)를 제공하는 목적은, 전자빔 복사 위치가 다소 연장하여 쉬프트되는 경우라도 디스플레이 컬러의 쉬프팅을 방지하며, 외광의 반사를 차단함으로써 디스플레이 콘트라스트(contrast)의 저하 방지하고, 전자빔 등에 의한 형광막의 대전을 방지하는 것이다. 흑색 도전 재료(1010)는 주로 흑연을 포함하지만, 상술된 목적이 달성될 수 있는 한 임의의 다른 재료가 사용될 수 있다.

더우기, 형광막의 3원색은 도 5a에 도시된 바와 같은 줄무늬에 제한되지 않는다. 예를 들면, 도 5b에 도시된 바와 같은 델타 배열 또는 임의의 다른 배열이 사용될 수 있다.

단색 디스플레이 패널이 형성될 때, 단일-컬러 형광 물질은 형광막(1018)에 이용되고, 흑색 도전 재료는 생략될 수 있다는 것을 알아야 한다.

더우기, CRT의 분야에서 공지된 금속 백(1019)은 형광막(1018)의 배면 플레이트측면 상에 제공된다. 금속 백(1019)을 제공하는 목적은 형광막(1018)으로부터 방출된 광의 일부를 미러-반사시킴으로써 광-이용률을 개선하고, 음이온 들간에 충돌로부터 형광막(1018)을 보호하고, 전자빔 가속 전압을 인가하기 위한 전극으로서 금속 백(1019)을 사용하며, 형광막(1018)을 여기시킨 전자에 대한 도전 통로로서 금속 백을 사용하는 것이다. 금속 백(1019)은, 전면 플레이트(1017) 상에 형광막(1018)을 형성하여 형광막(1018)의 전면을 평탄화한 후 그 위에 Al을 진공 탈기함으로써 형성된다.

형광막(1018)이 저전압용 형광 재료를 포함하는 경우, 금속 백(1019)은 사용되지 않는다는 것을 알아야 한다.

더우기, 가속 전압의 인가 또는 형광막의 도전율 향상인 경우, ITO 재료 등으로 이루어진 투명 전극은, 본 실시예가 이러한 전극들을 사용하지 않더라도 전면 플레이트(1017) 및 형광막(1018) 간에 제공될 수 있다.

도 14는 도 13에서 라인 A - A'를 따라 절단한 개략적인 단면도이다. 각 부분의 참조 번호들은 도 13에서의 것과 동일하다. 이 실시예에서, 스페이서(1020)는 전면 플레이트 부근에 대전을 효과적으로 완화하기 위한 전극으로서 역할을 하는 저-저항막(21) 이외에, 절연 부재(1)의 표면 상에 대전을 완화하기 위한 고-저항막(11)을 포함한다. 저-저항막(21)은 절연 부재(1)의 표면 상에 형성되어 대전을 완화시킨다. 또한, 저-저항막(21)은 전면 플레이트(1017)의 내면(금속 백(1019) 등)에 맞서는 스페이서의 접합면(3) 및 전면 플레이트(1017)의 내면에 콘택트하는 스페이서의 측면(5) 상에 형성된다. 상기 목적을 달성하기 위하여 필요한 수의 이러한 스페이서는 전면 플레이트의 내면 및 기판(1011)의 표면 상에 필요한 간격으로 접합 재료(1040)로 고정된다. 또한, 고-저항막(11)은 절연 부재(1)의 표면중에서 기밀 용기에서 진공에 노출되는 최소한의 표면을 형성하고, 스페이서(1020) 상에 저-저항막(21) 및 접합 재료(1040)를 거쳐 전면 플레이트(1017)의 내면(금속 백(1090) 등) 및 기판(1011)의 표면(행- 또는 열-방향 배선(1013 또는 1014))에 전기적으로 접속된다. 이 실시예에서, 각 스페이서(1020)는 얇은 플레이트형을 가지며, 대응하는 행-방향 배선(1013)을 따라 연장되며, 거기에 전기적으로 접속된다.

스페이서(1020)는 바람직하게 기판(1011) 상에 행- 및 열-방향 배선(1013과 1014) 및 전면 플레이트(1017)의 내면 상에 금속 백(1019) 간에 인가된 고전압을 견디기에 충분한 우수한 절연성, 및 스페이서(1020)의 표면이 대전되지 못하게 할 충분한 도전율을 갖는다.

스페이서(1020)의 절연 부재(1)로서, 예를 들어 실리카 유리 부재, Na와 같은 소량의 불순물을 함유한 유리 부재, 소다-라임 유리 부재, 또는 알루미나 등으로 구성되는 세라믹 부재 등이 가용하다. 절연 부재(1)는 바람직하게 기밀 용기 및 기판(1011)의 열 팽창 계수에 근사한 열 팽창 계수를 갖는다.

막(21)이 형성되는 영역에서의 전위의 변화가 무시된다면, 고전위측 상의 전면 플레이트(1017)(금속 백(1019) 등)에 인가된 가속 전압 Va을 대전을 방지하기 위한 고-저항막(11)의 저항 Rs로 나눔으로써 구해진 전류는 스페이서(1020)의 고-저항막(11)에 흐른다. 스페이서의 저항 Rs는 대전 방지 및 소비 전력의 관점으로부터 소정의 범위 내에 설정된다. 판저항 R/sq는 바람직하게 대전 방지 관점으로부터 10^{12} Ω/sq 이하로 설정된다. 충분한 대전 방지 효과를 얻기 위해, 판저항 R은 바람직하게 10^{11} Ω/sq 이하로 설정된

다. 이러한 판저항의 하한값은 각 스페이서의 모양 및 스페이서들 간에 인가된 전압에 의해 좌우되고, 바람직하게는 10^5 Ω/sq 이상으로 설정된다.

전자를 가속하기 위한 전계의 인가 방향으로 단위 길이당 고-저항막의 저항의 소정 범위는 막의 두께, 스페이서의 폭 및 판저항에 따라 좌우되고, 바람직하게는 10^7 내지 10^{13} Ω/㎜이다.

절연 부재(1) 상에 형성된 고-저항막의 두께 t는 바람직하게 10㎚ 내지 1㎛의 범위 내에 속한다. 재료의 표면 에너지, 기판의 접착 특성, 및 기판의 온도에 따라 두께가 변하더라도, 10㎚ 이하의 두께를 갖는 박막은 일반적으로 아일랜드형 모양으로 형성되고 불안정 저항을 나타내어, 그 결과 재생 특성이 불량하다. 이와는 반대로, 두께 t가 1㎛ 이상이면, 막 응력은 증가하여 막의 피일링(peeling)의 가능성이 증가한다. 더우기, 막을 형성하는데 더 오랜 기간이 필요하므로, 생산성이 악화된다. 두께는 50 내지 500㎚의 범위 내인 것이 바람직하다. 판저항 Rsq는 ρ/t이고, 대전 방지막의 비저항 ρ은 바람직한 범위의 R/sq 및 t를 고려하여, 0.1Ω㎝ 내지 10^8Ω㎝의 범위인 것이 바람직하다. 보다 바람직한 범위 내에서 판저항 및 막의 두께를 설정하기 위해, 비저항 ρ은 바람직하게 10^2 내지 10^6Ω㎝로 설정된다.

상술된 바와 같이, 스페이서 상에 형성된 고-저항막에 전류가 흐르거나, 또는 전체 디스플레이가 동작 중에 열을 발생할 때, 스페이서의 온도는 상승한다. 고-저항막의 저항 온도 계수가 큰 음수이면, 저항값은 온도 증가에 따라 감소된다. 그 결과, 스페이서(1020)에 흐르는 전류는 증가되어 온도를 상승시킨다. 전류는 전원의 한계 이상으로 증가된다. 이러한 과다한 전류 증가를 야기시키는 저항 온도 계수가 음수이며 그 절대값이 1% 이상이라는 것이 경험적으로 공지되어 있다. 즉, 고-저항막의 저항 온도 계수는 바람직하게 -1% 미만으로 설정된다.

대전 방지 특성을 갖는 고-저항막(11)용 재료로서, 예를 들어 금속 산화물이 사용될 수 있다. 금속 산화물들 중에서, 크롬 산화물, 니켈 산화물 또는 구리 산화물이 바람직하게 사용된다. 이것은 이들 산화물이 비교적 낮은 2차 전자 방출 효율을 갖고, 냉음극 디바이스(1012)에 의해 방출된 전자가 스페이서(1020)와 충돌하더라도 용이하게 충전되지 않기 때문이다. 이러한 금속 산화물 이외에, 탄소 재료는 바람직하게 사용될 수 있는데, 그 이유는 낮은 2차 전자 방출 효율을 갖기 때문이다. 비정질 탄소 재료가 고저항을 갖기 때문에, 스페이서(1020)의 저항은 소정의 값으로 용이하게 제어될 수 있다.

대전 방지 특성을 갖는 고-저항막(11)에 대한 또 다른 재료로서 알루미늄-천이 금속 질화물이 바람직한데, 그 이유는 저항은 천이 금속의 조성을 조절함으로써 우수한 도전체의 저항으로부터 절연체의 저항까지의 넓은 저항 범위로 제어될 수 있기 때문이다. 이 질화물은 디스플레이 장치(후술될 것임)에 대한 제조 공정에서 저항의 적은 변화 만을 겪는 안정한 재료이다. 또한, 이 재료는 -1% 미만의 저항 온도 계수를 가져, 실제로 용이하게 사용될 수 있다. 천이 금속 원소로서는, Ti, Cr, Ta 등이 가용하다.

알루미늄-천이 금속 및 질화물로 이루어진 막(알루미늄-천이 금속을 함유한 질화물막)은 스퍼터링, 질소 분위기로의 반응성 스퍼터링, 전자빔 증착, 이온 플레이팅 또는 이온-원조 증착과 같은 박막 형성 수단에 의해 절연 부재 상에 형성된다. 금속 산화물막은, 산소가 질소 대신에 사용되는 것 이외에 동일한 박막 형성 방법에 의해 또한 형성될 수 있다. 이러한 금속 산화물막은 또한 CVD 또는 알코시드(alkoxide) 코팅에 의해 형성될 수 있다. 탄소막은 증착, 스퍼터링, CVD, 또는 플라즈마 CVD에 의해 형성된다. 비정질 탄소막이 형성되려고 할 때, 특히, 막 형성의 공정에서 대기에 수소는 함유되고, 탄화 수소 가스는 막 형성 가스로서 사용된다.

스페이서(1020)의 저-저항막(21)은 또한 고-저항막(11)을 고전위측 상에 전면 플레이트(1017)(금속 백(1019) 등)에 전기적으로 접속시키는 기능을 한다. 저-저항막(21)은 또한 이하에 중간 전극층(중간층)이라 불리울 것이다. 이 중간 전극층(중간층)은 이하에 설명된 바와 같은 복수의 기능을 갖는다.

① 저-저항막은 고-저항막(11)을 전면 플레이트(1017) 및 기판(1011)에 전기적으로 접속하는 역할을 한다.

상술된 바와 같이, 고-저항막(11)은 스페이서(1020)의 표면이 충전되지 못하게 하기 위해 형성된다. 그러나, 고-저항막(11)이 전면 플레이트(1017)(금속 백(1019) 등), 및 직접 또는 접합 재료(1040)를 거쳐 기판(1011)(배선(1013과 1014) 등)에 접속될 때, 큰 콘택트 저항은 접속부들 간에 인터페이스에 생성된다. 그 결과, 스페이서의 표면 상에 생성된 전하는 신속하게 제거될 수 없다. 그러나, 접속된 상태는 전면 플레이트(1017)와 콘택트하는 스페이서(1020)의 접합면(3) 및 측면부(5) 상에 저-저항 중간층을 형성함으로써 개선될 수 있다.

② 저-저항막은 고-저항막(11)의 전위 분포를 균일하게 하는 역할을 한다.

냉음극 디바이스(1012)에 의해 방출된 전자는 전면 플레이트(1017) 및 기판(1011) 간에 형성된 전위 분포에 따라 형성된 궤도를 따른다. 전자 궤도가 스페이서(1020) 부근에 분포되지 않도록, 스페이서(1020)의 전체 전위 분포는 제어되어야 한다. 고-저항막(11)이 직접 또는 접합 재료(1040)를 거쳐 전면 플레이트(1017)(금속 백(1019) 등) 및 기판(1011)(배선(1013과 1014) 등)에 접속되며, 접속된 상태의 변화는 접속부들 간에 인터페이스의 콘택트 저항으로 인해 발생한다. 그 결과, 고-저항막(11)의 전위 분포는 소정의 값으로부터 유추될 수 있다. 이를 피하기 위해, 저-저항 중간층은 전면 플레이트(1017) 및 기판(1011)과 콘택트하는 스페이서(1020)의 스페이서 단부(접합면(3) 또는 측면부(5))의 전체 길이를 통해 형성되고, 소정의 전위가 중간층부에 인가되면, 고-저항막(11)의 전체 전위는 효과적으로 제어될 수 있다.

③ 중간층은 방출된 전자의 궤도를 제어하는 역할을 한다.

냉음극 디바이스(1012)에 의해 방출된 전자는 전면 플레이트(1017) 및 기판(1011) 간에 형성된 전위 분포에 따라 형성된 궤도를 따라간다. 스페이서 부근에 냉음극 디바이스에 의해 방출된 전자는 스페이서 구조과 수반하여 제약(배선 및 디바이스의 위치 변경)이 발생된다. 이 경우에, 변형과 불균일이 없는 화상을 형성하기 위해서, 냉음극 디바이스에 의해 방출된 전자의 궤도를 제어하여 전면 플레이트(1017) 상에 소정의 위치에 전자를 복사해야 한다. 전면 플레이트(1017) 및 기판(1011)과 콘택트하여 측면부(5) 상에

저-저항 중간층의 형성은 스페이서(1020) 부근에 전위 분포가 소정의 특성을 가져, 이로 인해 방출된 전자의 궤도를 제어한다.

저-저항막(21)용 재료로서, 고-저항막(11)의 것보다 상당히 낮은 저항을 갖는 재료가 선택될 수 있다. 예를 들어, Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu 및 Pd와 같은 금속, 그 합금, Pd, Ag, Au, RuO_2, 및 Pd-Ag과 같은 금속 또는 금속 산화물 및 유리 등으로 구성된 프린트된 도전체, In_2O_3-SnO_2와 같은 투명 도전체, 및 폴리실리콘과 같은 반도체 재료로부터 적당히 선택된다.

접합 재료(1040)는 스페이서(1020)를 행-방향 배선(1013) 및 금속 백(1019)에 전기적으로 접속하도록 하는 도전율을 가질 필요가 있다. 즉, 도전성 접착제, 금속 입자를 함유하는 프릿 유리 또는 도전성 충전재가 적절히 사용된다.

도 13에서, 기호 Dx1 내지 Dxm, Dy1 내지 Dyn 및 Hv는 전기 회로(도시되어 있지 않음)와의 디스플레이 패널의 전기적인 접속을 위해 제공된 기밀 구조에 대한 전기 접속 단자를 지칭한다. 단자 Dx1 내지 Dxm은 다중 전자-빔원의 행-방향 배선(1013)에 전기적으로 접속되며, 단자 Dy1 내지 Dyn은 다중 전자-빔원의 열-방향 배선(1014)에 접속되고, 단자 Hv는 전면 플레이트의 금속 백(1019)에 접속된다.

기밀 용기의 내부로부터 공기를 배기하고 내부를 진공 상태로 만들기 위해, 기밀 용기를 형성한 후, 배기관(도시되어 있지 않음) 및 진공 펌프(도시되어 있지 않음)가 접속되고, 기밀 용기가 약 10^{-7} Torr의 진공으로 배기된다. 그 후, 배기관이 밀폐된다. 기밀 용기의 내부 진공 조건을 유지하기 위해, 밀폐 직전/직후 기밀 용기 내의 선정된 위치에 게터막(getter film; 도시되어 있지 않음)이 형성된다. 이 게터막은 예를 들어 Ba를 주로 포함하는 게터 재료를 가열 및 증착하며, 가열 또는 고주파 가열로 형성된 막이다. 이 게터막의 흡착 작용은 용기 내부를 1×10^{-5} 또는 1×10^{-7}Torr의 진공으로 유지한다.

상기 디스플레이 패널을 사용하는 화상 디스플레이 장치에서, 외부 단자 Dx1 내지 Dxm 및 Dy1 내지 Dyn을 거쳐 냉음극 디바이스(1012)에 전압이 인가될 때, 전자는 냉음극 디바이스(1012)에 의해 방출된다. 동시에, 수백 V 내지 수 kV의 고전압이 외부 단자 Hv를 거쳐 금속 백(1019)에 인가되어 방출 전자를 가속화시켜 이 방출 전자가 전면 플레이트(1017)의 내면과 충돌하게 한다. 이 동작으로, 형광막(1018)을 구성하는 각 컬러 형광 물질이 여기되어 발광하여, 화상을 디스플레이한다.

본 발명의 실시예에서 냉음극 디바이스로서 각 SCE형 전자-방출 디바이스(1012)에 인가될 전압은 일반적으로 12 내지 16 V로 설정되며, 금속 백(1019) 및 냉음극 디바이스(1012) 간의 거리 d는 약 0.1㎜ 내지 8㎜로 설정되고, 금속 백(1019) 및 냉음극 디바이스(1012) 양단에 인가될 전압은 약 0.1kV 내지 10kV로 설정된다

본 발명의 실시예에 따른 디스플레이 패널의 기본 구조 및 제조 방법, 및 화상 디스플레이 장치의 일반적인 설명이 기술되었다.

<다중 전자-빔원의 제조 방법>

다음으로, 본 발명의 실시예에 따른 디스플레이 패널에 사용되는 다중 전자-빔원의 제조 방법이 설명될 것이다. 본 발명의 화상 디스플레이 장치에 사용되는 다중 전자-빔원이 단순 매트릭스로 냉음극 디바이스를 배열함으로써 얻어지는 한, 냉음극 디바이스의 재료, 모양, 및 제조 방법은 제한되지 않는다. 따라서, 냉음극 디바이스로서, SCE형 전자-방출 디바이스 또는 FE형 또는 MIM형 디바이스가 사용될 수 있다.

디스플레이 화면의 면적이 넓은 저렴한 디스플레이 장치가 필요한 상황하에서, 이 냉음극 디바이스들 중에 SCE형 전자-방출 디바이스는 특히 바람직하다. 보다 상세하게, FE형 디바이스의 전자-방출 특성은 이미터 원뿔 및 게이트 전극의 상대적 위치 및 형태에 의해 영향을 크게 받아, 고도의 정밀한 기술이 이 디바이스를 제조하는데 요구된다. 이것은 큰 디스플레이 면적 및 저렴한 제조 비용을 달성하는데 있어 불리한 요인이 된다. MIM형 디바이스에 따르면, 절연층 및 상부 전극의 두께는 감소되고 균일해져야 한다. 이는 또한 큰 디스플레이 면적 및 저렴한 제조 비용을 달성하는데 있어 불리한 요인을 제공한다. 이와 대조하여, SCE형 전자-방출 디바이스는 비교적 간단한 제조 방법에 의해 제조될 수 있으므로, 디스플레이 영역의 증가 및 제조 비용의 감소를 실현할 수 있다. 본 발명자는 또한 SCE형 전자-방출 디바이스 중에, 전자-방출부 또는 그 주변부가 미세한 입자막을 구비하는 전자-빔원은 전자-방출 특성에 뛰어나고, 또한 용이하게 제조될 수 있다. 따라서, 이러한 형태의 전자-빔원은 고휘도의 다중 전자-빔원 및 대형 화면 화상 디스플레이 장치에 사용될 가장 적절한 전자-빔원이다. 실시예의 디스플레이 패널에서, 미세한 입자막으로부터 형성된 전자-방출부 또는 주변부를 각각 갖는 SCE형 전자-방출 디바이스가 사용된다. 우선, 바람직한 SCE형 전자-방출 디바이스의 기본 구조, 제조 방법 및 특성이 설명되고, 단순-매트릭스 와이어된 SCE형 전자-방출 디바이스를 갖는 다중 전자-빔원의 구조가 나중에 설명될 것이다.

<SCE 디바이스의 바람직한 구조 및 제조 방법>

전자-방출부 또는 그 주변부가 미세한 입자막으로부터 형성되는 SCE형 전자-방출 디바이스의 전형적인 구조는 평탄형 구조와 스탭형 구조를 포함한다.

<평탄 SEC형 전자-방출 디바이스>

우선, 평탄 SCE형 전자-방출 디바이스의 구조 및 제조 방법이 설명될 것이다. 도 6a는 평탄 SCE형 전자-방출 디바이스의 구조를 도시한 평면도이고, 도 6b는 디바이스의 단면도이다. 도 6a 및 도 6b에서, 참조 번호(1101)는 기판을 지칭하며, 참조 번호(1102와 1103)는 디바이스 전극을 지칭하며, 참조 번호(1104)는 도전성 박막을 지칭하며, 참조 번호(1105)는 형성 공정에 의해 형성된 전자-방출부를 지칭하고, 참조 번호(1113)는 활성화 공정에 의해 형성된 박막을 지칭한다.

기판(1101)으로서는, 예를 들어 석영 유리 및 소다-라임 유리의 다양한 유리 기판, 알루미나의 다양한 세라믹 기판, 또는 예를 들어 그위에 SiO_2로 형성된 절연층을 갖는 임의의 기판을 사용할 수 있다.

기판에 평행하고 상호 대향하여 제공된 디바이스 전극(1102와 1103)은 도전성 재료를 포함한다. 예를 들

어, Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd 및 Ag 또는 이들 금속의 합금과 같은 임의의 재료의 금속, 그렇치 않으면 In_2O_3-SnO_2와 같은 금속 산화물, 또는 폴리실리콘과 같은 반도전성 재료를 사용할 수 있다. 전극은 진공-탈기와 같은 막-형성 기술 및 포토리소그래피 또는 에칭과 같은 패터닝 기술의 조합에 의해 용이하게 형성되나, 임의의 다른 방법(예를 들어, 인쇄 기술)이 사용될 수 있다.

전극(1102와 1103)의 형태는 전자-방출 디바이스의 적용 목적에 따라 적절히 설계된다. 일반적으로, 전극들 간의 간격 L은 수백 Å에서 수백 ㎛까지의 범위에서 적절한 값을 선택함으로써 설계된다. 디스플레이 장치을 위한 가장 바람직한 범위는 수 ㎛에서 수십 ㎛까지이다. 전극 두께 d인 경우, 적절한 값은 수백 Å에서 수백 ㎛까지 범위로부터 선택된다.

도전성 박막(1104)은 미세한 입자막을 포함한다. "미세한 입자막"은 막-구성 부재로서 많은 미세한 입자(입자의 무게를 포함함)를 함유하는 막이다. 초미세적인 관점에서, 일반적으로 개별 입자는 선정된 간격으로 또는 상호 근접하여, 또는 상호 오버랩되는 막에 존재한다.

한 입자는 수 Å에서 수천Å까지의 범위 내의 직경을 갖는다. 바람직하게, 직경은 10Å에서 200Å까지의 범위 내에 있다. 막의 두께는 다음과 같은 조건을 고려하여 적절히 설정된다. 즉, 디바이스 전극(1102 또는 1103)에의 전기적 접속에 필요한 조건, 나중에 설명될 형성 공정에 필요한 조건, 미세한 입자막 자체의 전기 저항을 나중에 설명될 적절한 값으로 설정하기 위한 조건 등이다. 특히, 막의 두께는 수 Å에서 수천 Å까지의 범위, 보다 바람직하게는 10Å에서 500Å까지의 범위로 설정된다.

미세한 입자막을 형성하는데 사용되는 재료는 예를 들어, Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W 및 Pb와 같은 금속, PdO, SnO_2, In_2O_3, PbO 및 GdB_4와 같은 산화물, HfB2, ZrB2, LaB6, CeB6, YB4 및 GdB4와 같은 붕화물, TiC, ZrC, HfC, TaC, SiC 및 WC와 같은 탄화물, TiN, ZrN 및 HfN과 같은 질화물, Si 및 Ge와 같은 반도체이다. 임의의 적절한 재료가 적절히 선택된다.

상술된 바와 같이, 도전성 박막(1104)은 미세한 입자막으로 형성되고, 막의 판 저항은 10^3에서 10^7(Ω/sq)까지의 범위 내에 존재하도록 설정된다.

도전성 박막(1104)이 디바이스 전극(1102와 1103)에 전기적으로 접속되는 것이 바람직하기 때문에, 일단부에서 상호 오버랩하도록 배열된다. 도 6b에서, 개별 부분들은 바닥으로부터 기판, 디바이스 전극, 및 도전성 박막의 순서로 오버랩된다. 이 오버랩핑 순서는 바닥으로부터 기판, 도전성 박막, 및 디바이스 전극일 수 있다.

전자-방출부(1105)는 도전성 박막(1104)의 일부에 형성되는 균열부이다. 전자-방출부(1105)는 주변 도전성 박막보다 높은 저항 특성을 갖는다. 나중에 설명될 형성 공정에 의해 도전성 박막(1104) 상에 균일이 형성된다. 일부 경우에서, 수 Å 내지 수백 Å의 직경을 갖는 입자는 균열부 내에 배열된다. 전자-방출부의 실제 위치 및 모양을 정확히 도시하기 어렵기 때문에, 도 6a 및 도 6b는 개략적으로 균열부를 도시한다.

탄소 또는 탄소 합성 재료를 함유하는 박막(1113)은 전자-방출부(1115) 및 그 주변부를 피복한다. 박막(1113)은 형성 공정후에 나중에 설명될 통전 공정에 의해 형성된다.

박막(1113)은 바람직하게 흑연 단결정, 흑연 다결정, 비정질 탄소, 또는 그 혼합물이고, 그 두께는 500Å 이하, 보다 바람직하게는 300Å 이하이다. 박막(1113)의 실제 위치 및 모양을 정확히 도시하기 어렵기 때문에, 도 6a 및 도 6b는 개략적으로 막을 도시한다. 도 6a는 박막(1113)의 일부가 제거되는 디바이스를 도시한다.

SCE형 전자-방출 디바이스의 바람직한 기본 구조는 상술된 바와 같다. 실시예에서, 디바이스는 다음의 구성을 갖는다.

다시 말해서, 기판(1101)은 소다-라임 유리, 및 디바이스 전극(1102와 1103), Ni 박막을 포함한다. 전극 두께 d는 1000Å이고 전극 간격 L은 2㎛이다.

미세한 입자막의 주재료는 Pd 또는 PdO이다. 미세한 입자막의 두께는 약 1000Å이고, 그 폭 W는 100㎛이다.

다음으로, 바람직한 평탄 SCE형 전자-방출 디바이스를 제조하는 방법이 SCE형 전자-방출 디바이스의 제조 공정을 도시한 단면도인 도 7a 내지 도 7e를 참조하여 설명될 것이다. 참조 번호는 도 6a 내지 도 6b에서와 동일한 것임을 알아야 한다.

(1) 우선, 도 7a에 도시된 바와 같이, 디바이스 전극(1102와 1103)은 기판(1101) 상에 형성된다.

전극(1102와 1103)의 형성시, 우선 기판(1101)은 세척제, 순수, 및 유기 용액으로 완전히 세정된 다음, 디바이스 전극의 재료는 거기에 증착된다(증착 방법으로서, 탈기 및 스퍼터링과 같은 진공 막-형성 기술이 사용될 수 있음). 그 후에, 포토리소그래피 에칭 기술을 사용하는 패터닝은 증착된 전극 재료 상에 수행된다. 따라서, 도 7a에서 디바이스 전극(1102와 1103) 쌍이 형성된다.

(2) 다음으로, 도 7b에 도시된 바와 같이, 도전성 박막(1104)이 형성된다.

도전성 박막(1104)의 형성시, 우선, 유기 금속 용액은 도 7a에서 기판(1101)에 인가된 다음, 인가된 용액은 건조되고 소결되어, 이로 인해 미세한 입자막을 형성한다. 그 후에, 미세한 입자막은 포토리소그래피 에칭 기술에 따라, 선정된 모양으로 패터닝된다. 유기 금속 용액은 주성분(즉, 이 실시예에서 Pd)으로서 도전성 박막을 형성하는데 사용되는 미세한 입자의 재료를 함유한 유기 금속 합성물의 용액을 의미한다. 실시예에서, 유기 금속 용액은 딥핑(dipping)함으로써 인가되나, 스피너(spinner) 및 스프레잉(spraying) 방법과 같은 임의의 다른 방법을 사용할 수 있다.

미세한 입자로 이루어진 도전성 박막의 막-형성 방법으로서는, 이 실시예에서 사용되는 유기 금속 용액의 인가는 진공 탈기 방법, 스퍼터링 방법 또는 화학적 기상 축적 방법과 같은 임의의 다른 방법으로 대체될

수 있다.

(3) 다음에, 도 7c에 도시된 바와 같이, 적절한 전압이 형성 공정 동안 전원(1110)으로부터 디바이스 전극(1102와 1103) 간에 인가된 다음, 형성 공정이 수행되어, 이로 인해 전자-방출부(1105)를 형성한다.

본 발명에서 형성 공정은 도전성 박막의 일부를 적절히 파괴하고, 변형시키거나, 또는 왜곡시켜, 이로 인해 전자 방출에 적당한 구조를 갖도록 막을 변경하기 위해, 미세한 입자막으로 형성된 도전성 박막(1104)의 전기 통전이다. 도전성 박막에서, 전자 방출로 변화된 부분(즉, 전자-방출부(1105))은 박막 내에 적절한 균열을 갖는다. 전자-방출부(1105)를 갖는 박막(1104)을 형성 공정 전의 박막과 비교하면, 디바이스 전극(1102와 1103) 간에 측정된 전기 저항이 크게 증가하였다.

형성 공정이 형성 전원(1110)으로부터 인가된 적절한 전압의 파형예를 도시한 도 8를 참조하여 상세히 설명될 것이다. 바람직하게, 미세한 입자막의 도전성 박막을 형성하는 경우에, 펄스-형 전압이 사용된다. 이 실시예에서, 도 8에 도시된 바와 같이, 펄스 폭 T1을 갖는 삼각파는 T2의 펄스 간격으로 연속해서 인가된다. 인가시, 삼각파 펄스의 파형 피크값 Vpf는 시퀀셜하게 증가된다. 더우기, 전자-방출부(1105)를 형성하는 모니터 펄스 Pm 대 모니터 상태가 적절한 간격으로 삼각파 펄스 간에 삽입되고, 삽입부에 흐르는 전류가 검류계(1111)에 의해 측정된다.

이 예에서, 10^{-5} Torr 진공 대기에서, 펄스 폭 T1는 1ms로 설정되고, 펄스 간격 T2는 10ms로 설정된다. 파형 피크값 Vpf는 각 펄스에서 0.1V씩 증가된다. 삼각파가 5개의 펄스로 인가되었을 때마다, 모니터 펄스 Pm이 삽입된다. 형성 공정의 악영향을 피하기 위해, 모니터 펄스의 전압 Vpm은 0.1V로 설정된다. 디바이스 전극(1102와 1103) 간의 전기 저항이 $1 \times 10^{6}\Omega$, 즉 모니터 펄스의 인가시 검류계(1111)에 의해 측정된 전류가 1×10^{-7}A 이하가 될 때, 형성 공정의 대전이 종료된다.

상기 공정 방법이 이 실시예의 SCE형 전자-방출 디바이스에 바람직하다는 것을 알아야 한다. 예를 들어, 미세한 입자막의 재료 또는 두께, 또는 디바이스 전극 간격 L을 포함하는 SCE형 전자-방출 디바이스의 설계를 변경하는 경우, 대전의 조건은 디바이스 설계에 따라 바람직하게 변경된다.

(4) 다음으로, 도 7d에 도시된 바와 같이, 활성화 전원(1112)으로부터 전극(1102와 1103) 간에 적절한 전압이 인가되고, 활성화 공정은 선행 단계에 얻어진 전자-방출 특성을 개선하기 위해 수행된다.

활성화 공정은 적절한 조건에서 전자-방출부(1105) 부근에 탄소 또는 탄소 합성물(도 7d에서, 탄소 또는 탄소 합성물의 증착된 재료가 재료(1113)로서 도시됨)을 증착하기 위한 형성 공정에 의해 형성된 전자-방출부(1105)의 대전이다. 전자-방출부(1105)를 활성화 공정 전의 것과 비교하면, 동일한 인가 전압에서의 방출 전류는 전형적으로 100배 이상이 되었다.

진공 대기에 존재하는 유기 합성물로부터 주로 유추된 탄소 또는 탄소 합성물을 축적하기 위해, 10^{-4} 또는 10^{-5} Torr 진공 대기에서 전압 펄스를 주기적으로 인가함으로써 활성화된다. 축적된 재료(1113)는 흑연 단결정, 흑연 다결정, 비정질 탄소 또는 그 혼합물중 어느 것이다. 축적된 재료(1113)의 두께는 500Å 이하, 보다 바람직하게는 300Å 이하이다.

활성화 공정이 활성화 전원(1112)로부터 인가된 적절한 전압의 파형예를 도시한 도 9a를 참조하여 더 상세히 설명될 것이다. 이 예에서, 선정된 전압에서의 직각파는 활성화 공정을 수행하도록 인가된다. 보다 상세하게는, 직각파 전압 Vac는 14V로 설정되며, 펄스 폭 T3는 1ms로 설정되고, 펄스 간격 T4는 10ms로 설정된다. 상기 대전 조건이 실시예의 SCE형 전자-방출 디바이스에 바람직하다는 것을 알아야 한다. SCE형 전자-방출 디바이스가 변경되는 경우, 대전 조건은 디바이스 설계의 변경에 따라 바람직하게 변경된다.

도 7d에서, 참조 번호(1114)는 SCE형 전자-방출 디바이스로부터 방출된 방출 전류 Ie를 포획하기 위해, 직류(DC) 고전압 전원(1115) 및 검류계(1116)에 접속되어 있는 애노드 전극(기판(1101)이 활성화 공정 전에 디스플레이 패널으로 일체화되는 경우, 디스플레이 패널의 형광면 상의 Al 층은 애노드 전극(1114)으로서 사용됨)을 지칭한다. 활성화 전원(1112)으로부터 전압을 인가하면서, 검류계(1116)는 활성화 전원(1112)의 동작을 제어하기 위하여, 방출 전류 Ie를 측정하여, 활성화 공정의 절차를 모니터한다. 도 9b는 검류계(1116)에 의해 측정된 방출 전류 Ie의 예를 도시한다. 이 예에서, 활성화 전원(1112)으로부터 펄스 전압의 인가가 시작되고, 점차 포화로 되고, 이 때 거의 증가하지는 않는다. 실질적인 포화점에서, 활성화 전원(1112)로부터의 전압 인가가 정지된 다음, 활성화 공정은 종료된다.

상기 대전 조건이 실시예의 SCE형 전자-방출 디바이스에 바람직하다는 것을 알아야 한다. SCE형 전자-방출 디바이스의 설계를 변경하는 경우, 조건은 디바이스 설계의 변경에 따라 바람직하게 변경된다.

상술된 바와 같이, 도 7e에 도시된 바와 같은 SCE형 전자-방출 디바이스가 제조된다.

<스텝 SCE형 전자-방출 디바이스>

다음으로, 전자-방출부 또는 그 주변부가 미세한 입자막으로 형성되는 SCE형 전자-방출 디바이스의 또 다른 전형적인 구조, 즉 스텝된 SCE형 전자-방출 디바이스가 설명될 것이다.

도 10은 스텝 SCE형 전자-방출 디바이스의 기본 구성을 개략적으로 도시한 단면도이다. 도 10에서, 참조 번호(1201)는 기판을 지칭하며, 참조 번호(1202와 1203)은 디바이스 전극을 지칭하며, 참조 번호(1206)는 전극(1202와 1203) 간의 높이차가 있도록 하는 스텝-형성 부재를 지칭하며, 참조 번호(1204)는 미세한 입자막을 사용하는 도전성 박막을 지칭하며, 참조 번호(1205)는 형성 공정에 의해 형성된 전자-방출부를 지칭하고, 참조 번호(1213)는 활성화 공정에 의해 형성된 박막을 지칭한다.

상술된 평탄 디바이스 구조로부터 스텝 디바이스 구조 간의 차이는 디바이스 전극중 한 전극(이 예에서 1202)이 스텝-형성 부재(1206) 상에 설치되고 도전성 박막(1204)이 스텝-형성 부재(1206)의 측면을 피복한다는 것이다. 도 10에서 디바이스 간격 L은 스텝-형성 부재(1206)의 높이에 대응하는 높이차 Ls로서

이 구조에 설정된다. 기판(1201), 디바이스 전극(1202와 1203), 미세한 입자막을 사용하는 도전성 박막(1204)이 SCE형 전자-방출 디바이스의 설명에서 주어진 재료를 포함할 수 있다는 것을 알아야 한다. 더우기, 스텝-형성 부재(1206)는 SiO_2와 같은 전기적으로 절연인 재료를 포함한다.

다음으로, 스텝된 SCE형 전자-방출 디바이스를 제조하는 방법이 제조 공정을 도시한 단면도인 도 11a 내지 도 11f를 참조하여 설명될 것이다. 이들 도면에서, 개별 부분의 참조 번호는 도 9에서의 것과 동일하다.

(1) 우선, 도 11a에 도시된 바와 같이, 디바이스 전극(1203)은 기판(1201) 상에 형성된다.

(2) 다음으로, 도 11b에 도시된 바와 같이, 스텝-형성 부재를 형성하기 위한 절연층이 증착된다. 절연층은 예를 들어 스퍼터링 방법에 의해 SiO_2를 축적함으로써 형성될 수 있으나, 절연층은 진공 탈기 방법 또는 인쇄 방법과 같은 막-형성 방법에 의해 형성될 수 있다.

(3) 다음으로, 도 11c에 도시된 바와 같이, 디바이스 전극(1202)은 절연층 상에 형성된다.

(4) 다음으로, 도 11d에 도시된 바와 같이, 절연층의 일부는 디바이스 전극(1203)을 노출시키기 위해, 예를 들어, 에칭 방법을 이용함으로써 제거된다.

(5) 다음으로, 도 11e에 도시된 바와 같이, 미세한 입자막을 사용하는 도전성 박막(1204)이 형성된다. 형성시, 상술된 평탄 디바이스 구조와 유사한, 인가 방법과 같은 막-형성 기술이 사용된다.

(6) 다음으로, 평탄 디바이스 구조와 유사한 형성 기술은 전자-방출부(1205)을 형성하기 위해 수행된다(도 7c를 사용하여 설명된 것과 유사한 형성 공정이 수행될 수 있음).

(7) 다음으로, 평탄 디바이스 구조와 유사한 활성화 공정은 전자-방출부 부근에 탄소 또는 탄소 합성물을 증착하기 위해 수행된다(도 7d를 사용하여 설명된 것과 유사한 활성화 공정이 수행될 수 있음).

상술된 바와 같이, 도 11f에 도시된 스텝된 SCE형 전자-방출 디바이스가 제조된다.

<디스플레이 장치에 사용되는 SCE형 전자-방출 디바이스의 특성>

평탄 SCE형 전자-방출 디바이스의 구조와 제조 방법 및 스텝된 SCE형 전자-방출 디바이스의 구조와 제조 방법은 상술된 바와 같다. 다음으로, 디스플레이 장치에 사용되는 전자-방출 디바이스의 특성이 이하에 설명될 것이다.

도 12는 디스플레이 장치에 사용되는 디바이스의 (방출 전류 Ie) 대 (디바이스 전압(즉, 디바이스에 인가될 전압) Vf) 특성, 및 (디바이스 전류 If) 대 (디바이스 인가 전압 Vf) 특성의 전형적인 예를 도시한다. 디바이스 전류 If와 비교하여, 방출 전류 Ie는 매우 작아, 디바이스 전류 If인 경우와 동일한 측정에 의해 방출 전류 Ie를 도시하기 어렵다는 것을 알아야 한다. 또한, 이들 특성들은 디바이스의 크기 또는 모양과 같은 매개 변수 설계의 변경으로 인해 변한다. 이러한 이유로, 도 12의 그래프에서 두 라인은 임의의 단위로 각각 주어진다.

방출 전류 Ie를 고려하면, 디스플레이 장치에 사용되는 디바이스는 다음과 같은 세가지 특성을 갖는다.

우선, 선정된 레벨 이상의 전압("문턱 전압 Vth"이라 불리움)이 디바이스에 인가될 때, 방출 전류 Ie는 극적으로 증가하나, 문턱 전압 Vth보다 낮은 전압인 경우, 어떠한 방출 전류 Ie도 거의 검출되지 않는다.

다시 말해서, 방출 전류 Ie를 고려하면, 디바이스는 정확한 문턱 전압 Vth에 근거하여 비선형 특성을 갖는다.

두번째로는, 방출 전류 Ie는 디바이스 인가 전압 Vf에 따라 변한다. 따라서, 방출 전류 Ie는 디바이스 전압 Vf를 변화시킴으로써 제어될 수 있다.

세번째로는, 방출 전류 Ie는 디바이스 전압 Vf의 인가에 응답하여 빨리 출력된다. 따라서, 디바이스로부터 방출될 전자의 전기 충전량은 디바이스 전압 Vf의 인가 주기를 변화시킴으로써 제어될 수 있다.

상기 세가지 특성을 갖는 SCE형 전자-방출 디바이스는 디스플레이 장치에 바람직하게 인가된다. 예를 들어, 디스플레이 화면의 픽셀수에 대응하여 제공되는 다수의 디바이스를 갖는 디스플레이 장치에서, 제1 특성이 이용되면, 디스플레이 화면의 시퀀셜 스캐닝에 의한 디스플레이가 가능하다. 이는 문턱 전압 Vth 이상이 구동 디바이스에 적절히 인가되는 반면에 문턱 전압 Vth보다 낮은 전압은 선택되지 않은 디바이스에 인가된다는 것을 의미한다. 이와 같이, 구동 디바이스의 시퀀셜한 변화에 의해 디스플레이 화면의 시퀀셜 스캐닝에 의한 디스플레이가 가능하다.

더우기, 방출 휘도는 다중-눈금 디스플레이를 가능케 하는 제2 또는 제3 특성을 이용함으로써 제어될 수 있다.

<단순-매트릭스 와이어된 다중 전자-빔원의 구조>

다음으로, 다수의 상기 SCE형 전자-방출 디바이스가 단순-매트릭스 배선에 따라 배열되는 다중 전자-빔원의 구조가 이하에 설명될 것이다.

도 15는 도 13에서 디스플레이 패널에 사용되는 다중 전자-빔원의 평면도이다. 기판 상에 도 6a 및 도 6b에 도시된 것과 유사한 SCE형 전자-방출 디바이스가 있다. 이들 디바이스들은 행-방향 배선(1013) 및 열-방향 배선(1014)을 갖는 단순 매트릭스에 배열된다. 배선(1013과 1014)의 교차시, 절연층(도시되어 있지 않음)은 전기 절연을 유지하기 위해 와이어들 간에 형성된다.

도 16은 도 15에서 선 B - B'를 따라 절단된 단면도를 도시한다.

이런 형태의 다중 전자-빔원이 기판 상에 행- 및 열-방향 배선(1013과 1014), 와이어 교차시 절연층(도시되어 있지 않음), 디바이스 전극 및 도전성 박막을 형성하여, 이로 인해 형성 공정 및 활성화 공정을 수

행한다는 것을 알아야 한다.

도 17은 NTSC 스킴의 텔레비젼 신호에 기초하여 텔레비젼 디스플레이를 수행하기 위한 구동 회로의 개략적 구성을 도시한 블록도이다.

도 17을 참조하여, 디스플레이 패널(1701)은 상술된 동일한 방법으로 제조되고 동작한다. 스캐닝 회로(1702)는 디스플레이 라인을 스캔한다. 제어 회로(1703)는 스캐닝 회로(1702)에 입력될 신호 등을 발생한다. 쉬프트 레지스터(1704)는 라인 단위로 데이터를 쉬프트시킨다. 라인 메모리(1705)는 쉬프트 레지스터(1704)에서 변조된 신호 발생기(1707)로 1-라인 데이터를 입력한다. 동기 신호 분리 회로(1706)는 NTSC 신호로부터 동기 신호를 분리한다.

도 17에서 각 구성요소의 기능이 이하에 상세히 설명될 것이다.

디스플레이 유닛(1701)은 단자 Dx1 내지 Dxm 및 Dy1 내지 Dyn 및 고전압 단자 Hv를 통해 외부 전기 회로에 접속된다. 디스플레이 패널(1701), 즉 라인 단위로(n 디바이스 단위로) m x n 매트릭스로 와이어된 전자-방출 디바이스(15) 그룹에서 전자원(1)을 시퀀셜하게 구동시키기 위한 스캐닝 신호는 단자 Dx1 내지 Dxm에 인가된다.

상기 스캐닝 신호에 의해 선택된 한 라인에 대응하는 전자-방출 디바이스(15)로부터 출력되는 전자빔을 제어하기 위한 변조 신호는 단자 Dy1 내지 Dyn에 인가된다. 예를 들어, 5㎸의 DC 전압이 DC 전압원 Va에서 고전압 단자 Hv까지 인가된다. 이 전압은 형광 물질을 전자-방출 디바이스(15)로부터 출력된 전자빔에 여기하는데 충분한 에너지를 제공하기 위한 가속 전압이다.

스캐닝 회로(1702)는 다음에 설명될 것이다.

이 회로는 m 스위칭 소자(도 17에서 참조 기호 S1 내지 Sm으로 지칭됨)를 일체화한다. 각 스위칭 소자는 DC 전압원 Vx로부터의 출력 전압 또는 0V(접지 레벨)을 선택하는 역할을 하고 디스플레이 패널(1701)의 단자 Dox1 내지 Doxm중 대응하는 한 단자에 전기적으로 접속된다. 스위칭 소자 S1 내지 Sm은 제어 회로(1703)로부터 출력된 제어 신호 Tscan에 기초하여 동작한다. 실제로, 이 회로는 FET와 같은 스위칭 소자와 겹합하여 용이하게 형성될 수 있다.

DC 전압원 Vx는 도 12에서 전자-방출 디바이스의 특성에 근거하여 설정되어 스캐되지 않은 디바이스에 인가될 구동 전압이 전자 방출 문턱 전압 Vth 이하로 설정되도록 일정한 전압을 출력한다.

제어 회로(1703)는 상호 개별 구성요소의 동작을 일치시키는 역할을 하여 외부적으로 입력 화상 신호에 근거하여 적당한 디스플레이를 수행한다. 제어 회로(1703)는 다음에 설명될 동기 신호 분리 회로(1706)로부터 보내진 동기 신호 Tsync에 근거하여 개별 성분에 대한 제어 신호 Tscan, Tsft, 및 Tmry를 발생시킨다.

동기 신호 분리 회로(1706)는 외부적으로 입력 NTSC 텔레비젼 신호로부터의 동기 신호 성분 및 휘도 신호 성분을 분리하기 위한 회로이다. 잘 공지된 바와 같이, 이 회로는 주파수 분리(필터) 회로를 사용함으로써 용이하게 형성될 수 있다. 동기 신호 분리 회로(1706)에 의해 분리된 동기 신호는 잘 공지된 바와 같이, 수직 및 수평 동기 신호로 구성된다. 이 경우에, 설명의 편의상, 동기 신호는 신호 Tsync로서 도시되어 있다. 텔레비젼 신호로부터 분리된 화상의 휘도 신호 성분은 설명의 편의상 신호 DATA로서 표현된다. 이 신호는 쉬프트 레지스터(1704)에 입력된다.

쉬프트 레지스터(1704)는 화상의 라인 단위로 시간-일련 방식으로 직렬로 입력된 신호 DATA의 직렬/병렬 변환을 수행한다. 쉬프트 레지스터(1704)는 제어 회로(1703)로부터 보내진 제어 신호 Tsft에 근거하여 동작한다. 다시 말해서, 제어 신호 Tsft는 쉬프트 레지스터(1704)에 대한 쉬프트 클럭이다.

직렬/병렬 변환에 의해 구해진 한-라인 데이터(n 전자-방출 디바이스에 대한 구동 데이터에 대응하는)는 쉬프트 레지스터(1704)로부터 n 신호 ID1 내지 IDn으로서 출력된다.

라인 메모리(1705)는 필요한 시간 주기 동안 1-라인 데이터를 저장하기 위한 메모리이다. 라인 메모리(1705)는 제어 회로(1703)로부터 보내진 제어 신호 Tsft에 따라 신호 ID1 내지 IDn의 내용을 적절히 저장한다. 저장된 내용은 입력될 데이터 I'D1 내지 I'Dn로서 변조된 신호 발생기(1707)에 출력된다.

변조된 신호 발생기(1707)는 화상 데이터 I'D1 내지 I'Dn의 각각에 따라 각 전자-방출 디바이스(15)에 대해 적당한 구동/변조를 수행하기 위한 신호원이다. 도 12를 참조하여 상술된 바와 같이, 변조된 신호 발생기(1707)로부터의 출력 신호는 방출 전류 Ie에 대해 다음의 기본 특성을 갖는다. 정확한 문턱 전압 Vth(후술되는 실시예의 표면-도전 방출형 전자-방출 디바이스에서 8V)은 전자 방출로 설정된다. 각 디바이스는, 문턱 전압 Vth 이상의 전압이 인가될 때만 전자를 방출한다.

또한, 도 12에 도시된 바와 같이, 방출 전류 Ie는 전자 방출 문턱 전압 Vth 이상인 전압의 변화에 따라 변한다. 분명히, 펄스형 전압이 이 디바이스에 인가될 때, 전압이 전자 방출 문턱 전압 Vth보다 낮으면, 어떠한 전자도 방출되지 않는다. 그러나, 전압이 전압 방출 문턱 전압 Vth 이상이면, 전자-방출 디바이스는 전자빔을 방출한다. 이 경우에, 출력된 전자빔의 세기는 펄스의 피크값 Vm을 변경함으로써 제어될 수 있다. 또한, 디바이스로부터 출력되는 전자빔 전하의 총량은 펄스의 폭 Pw를 변경함으로써 제어될 수 있다.

입력 신호에 따른 각 전자-방출 디바이스로부터의 출력을 변조하는 스킴으로서, 전압 변조 스킴, 펄스 폭 변조 스킴 등이 사용될 수 있다. 전압 변조 스킴을 실행할 시, 일정한 길이를 갖는 전압 펄스를 발생시키고 입력 데이터에 따라 펄스의 피크값을 변조시키기 위한 전압 변조 회로는 변조된 신호 발생기(1707)로서 사용될 수 있다. 펄스 폭 변조 스킴을 실행할 시, 일정한 피크값을 갖는 전압 펄스를 발생시키고 입력 데이터에 따라 전압 펄스의 폭을 변조시키기 위한 펄스 폭 변조 회로는 변조된 신호 발생기(1707)로서 사용될 수 있다.

쉬프트 레지스터(1704) 및 라인 메모리(1705)는 디지털 신호형 또는 아날로그 신호형으로 될 수 있다.

즉, 화상 신호가 선정된 속도로 직렬/병렬-변환되고 저장되면 충분하다.

상기 성분이 디지털 신호형일 때, 동기 신호 분리 회로(1706)로부터의 출력 신호 DATA는 디지털 신호로 변환되어야 한다. 이를 위하여, A/D 변환기는 동기 신호 분리 회로(1706)의 출력 단자에 접속될 수 있다. 라인 메모리(1705)가 디지털 또는 아날로그 신호를 출력하는지의 여부에 따라 다소 다른 회로가 변조된 신호 발생기에 사용된다. 보다 상세하게는, 디지털 신호를 사용하는 전압 변조 스킴인 경우, D/A 변환 회로는 변조 신호 발생기(1707)로서 사용되고, 필요에 따라 증폭 회로 등이 내부에 추가된다. 펄스 폭 변조 스킴인 경우, 예를 들어, 고속 발진기의 조합에 의해 구성된 회로, 발진기로부터 출력된 신호의 파형수를 계수하기 위한 카운터, 및 카운터로부터의 출력값을 메모리로부터의 출력값과 비교하기 위한 비교기는 변조 신호 발생기(1707)로서 사용된다. 이 회로는 필요에 따라 비교기에서 전자-방출 디바이스에 대한 구동 전압에 출력된 펄스-폭-변조된 신호의 전압을 증폭하기 위한 증폭기를 포함할 수 있다.

아날로그 신호를 사용하는 전압 변조 스킴의 경우에, 예를 들어 연산 증폭기 등을 사용하는 증폭 회로가 변조된 신호 발생기(1707)로서 사용될 수 있고, 쉬프트 레벨 회로 등은 필요에 따라 내부에 추가될 수 있다. 펄스 폭 변조 스킴인 경우, 예를 들어, 전압-제어 발진기(VCO)가 사용될 수 있고, 발진기로부터의 출력을 전자-방출 디바이스에 대한 구동 전압으로 증폭하기 위한 증폭기가 필요에 따라 내부에 추가될 수 있다.

상기 구성중 하나를 가질 수 있는 이 실시예의 화상 디스플레이 장치에서, 외부 단자 Dx1 내지 Dxm 및 Dy1 내지 Dyn를 통해 전압이 개별 전자-방출 디바이스에 인가될 때, 전자는 방출된다. 고전압이 고전압 단자 Hv를 통해 금속 백(1019) 또는 투명한 전극(도시되어 있지 않음)에 인가되어 전자빔을 가속화시킨다. 가속된 전자는 형광막(1018)과 충돌하여 광을 방출하게 하여, 이로 인해 화상을 형성한다.

화상 디스플레이 장치의 상기 구성은 본 발명이 적용될 수 있는 화상 형성 장치의 예이다. 이 구성의 다양한 변화 및 수정이 본 발명의 사상과 범위 내에서 이루어질 수 있다. NTSC 스킴에 근거한 신호가 입력 신호로서 사용되더라도, 입력 신호는 이에 제한되지는 않는다. 예를 들어, PAL 스킴 및 SECAM 스킴이 사용될 수 있다. 또한, 이들 스킴들보다 보다 많은 스캐닝 라인을 사용하는 TV 신호(MUSE와 같은 고-품위 TV) 스킴이 사용될 수 있다.

<중간층의 구조>

본 발명은 도 1을 참조하여 더 상세히 설명될 것이다. 참조 번호(30)는 형광 물질 및 금속 백을 포함하는 전면 플레이트(전면 기판)를 지칭하며, 참조 번호(31)는 전자원 기판을 포함하는 배면 플레이트(배면 기판)를 지칭하며, 참조 번호(50)는 스페이서용 본체를 지칭하며, 참조 번호(51)는 스페이서의 표면 상에 고-저항막을 지칭하며, 참조 번호(52)는 전면 플레이트측 상에 전극(중간층)을 지칭하며, 참조 번호(53)는 배면 플레이트측 상에 전극(중간층)을 지칭하고, 참조 번호(13)는 디바이스 구동 배선을 지칭한다. 이들 부분들(50, 51, 52, 53, 및 13)은 지지 부재(프릿(도 1에 도시되어 있지 않음)은, 또한 중간층(52)과 전면 플레이트(30), 중간층(53)과 배면 플레이트(31)(즉, 중간층(53)과 배선(13))가 개별적으로 프릿을 거쳐 접속될 때 지지 부재의 구성 소자임)를 구성한다. 참조 번호(111)는 디바이스(112), 전형적인 전자빔 궤도를 지칭하고, 참조 번호(25)는 등전위선을 지칭한다. 기호 a는 전면 플레이트의 하부면에서 중간층(52)의 하부단까지의 거리에 대응하는 제3 영역의 길이(비저항 R3를 갖는 영역의 길이)를 지칭하고, 기호 b는 배면 플레이트(31)의 상부면에서 중간층(53)의 상부단까지의 거리에 대응하는 제1 영역의 길이(비저항 R1을 갖는 영역의 길이)를 지칭한다.

스페이서 부근에 방출되는 전자중 일부가 스페이서 또는 어느 이유로 인해 스페이서에 부가한 방출된 전자의 활동에 의해 생성된 이온에 충돌하면, 스페이서는 충전된다. 디바이스에 의해 방출되는 전자의 궤도는 스페이서의 대전에 의해 변경되고, 전자는 스페이서 부근의 화상을 왜곡시키기 위해 적당한 위치와 다른 위치에 도달한다. 이를 피하기 위해, 고-저항막(51)은 스페이서의 표면 상에 형성된다. 전자 방출량이 증가함에 따라, 대전 제거 능력이 더 열화되고, 빔의 도달 위치는 전자 방출량에 따라 변동한다. 이 변동을 방지하기 위해, 전자가 스페이서에 직접 충돌하지 않도록 해야 한다. 이를 위하여, 도 1에 도시된 바와 같이, 전자원 기판의 전위와 동일한 전위로 스페이서를 설정하기 위한 중간층(52)은 전면 플레이트와 콘택트하여 스페이서의 측면 상에 형성되고, 전자원 기판의 전위와 동일한 전위로 스페이서를 설정하기 위한 중간층(53)은 전자원 기판과 콘택트하여 스페이서의 측면 상에 형성된다. 이 때, 스페이서 부근에 전위는 등전위선(25)에 의해 가리켜진 분포를 갖는다. 이 전위 분포에 의해, 디바이스(111)에 의해 방출된 전자는 궤도(112)와 같은 궤도를 따라 배면 플레이트 부근에 스페이서로부터 떨어진 공간으로 일시적으로 따라가고 전면 플레이트 부근에 스페이서에 의해 이끌린다. 전자빔이 전면 플레이트에 가까울수록 더 가속화되기 때문에, 중간층(52)은 중간층(53)보다 더 길어지고, 전면 플레이트 부근에 전위는 배면 플레이트 부근의 전위보다 더 가파르게 변화된다.

전자 방출량이, 디바이스에 의해 방출된 전자가 스페이서에 직접 충돌하지 않을 때도 크면, 도 2에 도시된 바와 같이, 스페이서는 전면 플레이트측 상에 보다 크게 충전된다. 대전은 배면 플레이트를 따라 전면 플레이트로부터 전자원 기판과 전면 플레이트 간의 거리의 1/10에 대응하는 부분에서 가장 크다. 이로부터, 전면 플레이트와 콘택트하여 스페이서의 측면 상에 중간층(52)은 전자원 기판과 전면 플레이트 간의 거리의 1/10 이상인 길이를 갖게 된다.

스페이서의 너무 긴 중간층(52와 53)이 방전 파괴 전압의 감소 및 빔 위치의 과도한 쉬프트를 초래하기 때문에, 스페이서 전극의 높이는 가속 전압 및 스페이서의 고-저항막의 노출 길이가 8㎸/㎜ 미만의 관계를 갖도록 설정된다. 방전 파괴 전압을 더 증가시키기 위해, 스페이서 전극의 길이는 가속 전압 및 고-저항막의 노출 길이가 4㎸/㎜ 미만의 관계를 갖도록 바람직하게 설정된다.

도 3a 내지 도 3c에 도시된 바와 같이, 중간층은 전면 플레이트에 대해 스페이서의 접합면 및/또는 전자원 기판에 대해 스페이서의 접합면으로 연장할 수 있다. 이 경우에, 스페이서와 전면 플레이트 및/또는 전자원 기판 간의 도전 상태는 바람직하게 개선된다.

본 발명의 실시예가 이하에 더 상세히 설명될 것이다.

다음의 실시예 각각에서, 다중 전자-빔원은 전극들 간에 도전성 미세한 입자막 상에 전자-방출부를 각각 갖는 N x M(N=3,072, M=1,024) SCE형 전자-방출 디바이스를 와이어함으로써 매트릭스(도 13 및 도 15를 참조)에서 M 행-방향 배선 및 N 열-방향 배선 만큼 준비된다.

적절한 수의 스페이서는 화상 형성 장치의 대기압 저항을 구하기 위해 배열된다.

<제1 실시예>

제1 실시예는 도 18을 참조하여 설명될 것이다. 참조 번호(30)는 형광 물질 및 금속 백을 포함하는 전면 플레이트를 지칭한다. 참조 번호(31)는 전자원 기판을 포함하는 배면 플레이트를 지칭하며, 참조 번호(50)는 스페이서를 지칭하며, 참조 번호(51)는 스페이서의 표면 상에 도전성 박막을 지칭하며, 참조 번호(52)는 전면 플레이트측 상에 중간층을 지칭하며, 참조 번호(53)는 배면 플레이트측 상에 중간층을 지칭하며, 참조 번호(13)는 열- 또는 행-방향 배선을 지칭하며, 참조 번호(111-1)는 스페이서에 대해 가장 가까운 열 또는 행 상의 디바이스(이하에 가장 가까운 라인이라 불리움)를 지칭하며, 참조 번호(111-2)는 스페이서에 대해 두번째로 가까운 열 또는 행 상의 디바이스(이하에 두번째로 가까운 라인이라 불리우며, 두번째로 가깝고 후속 열 또는 행이 이하에 n번째로 가까운 라인이라 불리움)를 지칭하며, 참조 번호(112-1)는 가장 가까운 라인으로부터의 전형적인 전자빔 궤도를 지칭하며, 참조 번호(112-2)는 두번째로 가까운 라인으로부터의 전형적인 전자빔 궤도를 지칭하며, 참조 번호(113-1)는 가장 가까운 라인으로부터의 전자빔이 변동하는 범위이며, 참조 번호(113-2)는 두번째로 가까운 라인으로부터의 전자빔이 변동하는 범위이고, 참조 번호(25)는 등전위선이다. 기호 a는 전면 플레이트의 하부면에서 전면 플레이트측 상에 중간층의 상부단까지의 길이를 지칭하며, 기호 b는 배면 플레이트의 상부면에서 배면 플레이트측 상에 중간층의 상부단까지의 길이를 지칭하고, 기호 d는 전자원 기판 및 전면 플레이트 간의 거리를 지칭한다.

제1 실시예의 특징은 중간층(52와 53)을 사용하고, 전기적 접속을 수립하는 것뿐 아니라 스페이서 부근에 전자빔 궤도(112-1과 112-2)를 교정하는 것이다. 전자원 기판 및 전면 플레이트 간의 거리 d는 2㎜로 설정되고, 스페이서의 두께는 200㎛으로 설정된다. 스페이서의 외부면 및 가장 가까운 라인 간의 거리는 250㎛로 설정되고, 두번째로 가까운 라인까지의 거리는 950㎛로 설정된다. 두번째로 가까운 라인에 후속하는 라인들은 700㎛ 간격으로 정렬된다. 이 때, 스페이서의 저항은 10^{10}Ω으로 설정되며, 배면 플레이트측 상의 중간층의 길이는 220㎛로 설정되고, 전면 플레이트측 상의 중간층의 길이는 760㎛로 설정된다. 2㎸의 전압이 디바이스를 구동시키기 위해 전면 플레이트(30)에 인가되었을 때, 가장 가까운 라인으로부터 전면 플레이트(30) 상에 빔의 위치는 디바이스당 3㎂의 전자 방출량 Ie인 경우 약 150㎛ 만큼 스페이서로 쉬프트하고, 약 150㎛의 위치 변화(변동)는 디바이스당 0.14 내지 5.6㎂의 Ie로 확인되었다. 두번째로 가까운 라인으로부터의 빔의 위치는 약 150㎛ 만큼 스페이서로 쉬프트하고, 어떠한 위치 변화(변동)도 Ie에 의존하지 않았다. 이들 값들은, 장치가 Ie에 따른 위치 변화(변동)가 가장 가까운 라인인 경우 350㎛이고 두번째로 가까운 라인인 경우 150㎛인 종래 장치에 비교하여 장치가 개선된다는 것을 가리킨다. 이 때, 두번째로 가까운 라인에 후속하는 어떠한 디바이스도 스페이서에 의해 영향을 받았다.

<제2 실시예>

제2 실시예는 전자원 기판 및 전면 플레이트 간의 거리 d가 3㎜로 설정된다는 점에서 제1 실시예와 차이가 있다. 이 경우에, 스페이서의 저항은 10^{10}Ω과 유사하게 설정되고, 배면 플레이트측 상에 중간층(53)의 길이는 300㎛로 설정되고, 전면 플레이트측 상에 중간층(52)의 길이는 1,000㎛로 설정되었다. 3㎸의 전압이 디바이스를 구동시키기 위해 전면 플레이트(30)에 인가되었을 때, 가장 가까운 라인으로부터 전면 플레이트(30) 상에 빔의 위치는 디바이스당 3㎂의 전자 방출량인 경우 약 150㎛ 만큼 스페이서로 쉬프트하고, 약 150㎛의 위치 변화(변동)는 디바이스당 0.14 내지 5.6㎂의 전자 방출량 Ie로 확인되었다. 두번째로 가까운 라인으로부터 빔의 위치는 약 350㎛ 만큼 스페이서로 쉬프트하고, Ie에 따른 약 150㎛의 위치 변화(변동)는 확인되었다. 이들 값들은, Ie에 따른 위치 변화(변동)가 약 400㎛인 종래 장치에 비교하여 장치가 개선된다는 것을 가리킨다.

<제3 실시예>

제3 실시예는 배면 플레이트측 상에 중간층(53)의 길이가 300㎛로 설정되고, 전면 플레이트측 상에 중간층(52)의 길이가 1,000㎛로 설정된다는 점에서 제1 실시예와 차이가 있다. 그 결과, 가장 가까운 라인으로부터 빔의 위치는 약 70㎛ 만큼 스페이서로부터 쉬프트되고, Ie에 따른 위치 쉬프트(변동)는 약 70㎛이었다. 두번째로 가까운 라인으로부터 빔의 위치는 약 70㎛ 만큼 스페이서로 쉬프트하고, Ie에 따른 어떠한 위치 변화도 확인되지 않았다. 이들 값들은, 가장 가까운 라인으로부터 빔의 위치가 약 150㎛ 만큼 스페이서로 쉬프트하고, Ie에 따른 위치 변화가 350㎛이며, 두번째로 가까운 라인으로부터 빔의 위치가 약 150㎛ 만큼 스페이서로 쉬프트하고, Ie에 따른 위치 변화가 150㎛인 종래 장치와 비교하여 장치가 개선된다는 것을 가리킨다.

<제4 실시예>

제4 실시예는 상부 및 하부 중간층으로서 다른 저항을 갖는 막을 형성하는 것을 특징으로 한다. 제1 실시예에서와 동일한 구조에서, 전자원 기판 및 전면 플레이트 간의 거리 h는 2.3㎜로 설정된다.

도 23은 제4 실시예에서 스페이서부를 도시한 단면도이다. 참조 번호(31)는 전자원 기판을 포함하는 배면 플레이트를 지칭하며, 참조 번호(30)는 형광 물질 및 금속 백을 포함하는 전면 플레이트를 지칭하며, 참조 번호(50)는 스페이서를 지칭하며, 참조 번호(314)는 배면 플레이트측 상에 중간층을 지칭하며, 참조 번호(315)는 전면 플레이트 상에 중간층을 지칭하며, 전면 플레이트측 상에 중간층을 지칭하며, 참조 번호(13)는 배선을 지칭하며, 참조 번호(111)는 디바이스를 지칭하며, 참조 번호(112)는 전자빔 궤도를 지칭하며, 참조 번호(51)는 고-저항막을 지칭한다. 제4 실시예에서, 전면 플레이트 상에 중간층(314)의 길이 d3는 1,100㎛로 설정되고, 전면 플레이트측 상에 중간층(315)의 길이 d1는 250㎛로 설정되었다. 배선 방향으로 각 스페이서의 길이는 50㎜로 설정되었다.

이 경우에, 스페이서의 고-저항막은 전면 플레이트 및 배면 플레이트 간의 단위 길이당 약 5 x 10^{9}Ω/㎜의

저항을 갖도록 설정되었다. 배면 플레이트 상에 중간층(314)은 단위 길이당 1 x 10^{1}Ω/㎜ 미만의 저항을 갖도록 설정되고, 전면 플레이트측 상에 중간층(315)는 단위 길이당 약 1 x 10^{4}Ω/㎜의 저항을 갖도록 설정되었다. 5㎸의 전압이 디바이스를 구동시키기 위해 전면 플레이트(30)에 인가되었을 때, 가장 가까운 라인으로부터 전면 플레이트(30) 상에 빔의 위치는 디바이스당 3㎂의 전자 방출량인 경우 약 120㎛ 만큼 스페이서로 쉬프트하고, 약 90㎛의 위치 변화(변동)는 디바이스당 0.14 내지 5.6㎂의 전자 방출량 Ie로 확인되었다. 두번째로 가까운 라인으로부터 빔의 위치는 약 290㎛ 만큼 스페이서로 쉬프트하고, Ie에 따른 약 60㎛의 위치 변화(변동)가 확인되었다. 이들 결과들로부터, Ie에 따른 위치 변화(변동)가 작은 화상 형성 장치는 제1 실시예와 유사하게 제공될 수 있다.

제4 실시예에서, 배면 플레이트측 상에 전극(314)은 Ar 분위기로 Al의 스퍼터링에 의해 1,000Å의 두께가 형성되었다. 전면 플레이트측 상에 중간층은 Ar 분위기로 얇은 산화물 타겟을 스퍼터링함으로써 2,000Å의 두께가 형성된다. 고-저항막(51)은 NiO를 사용하는 이온 빔 증착에 의해 2,000Å의 두께가 형성되었다. 스페이서 기판은 알루미나로 이루어졌다.

<제5 실시예>

제5 실시예는 배면 플레이트측 상에 중간층 부재로서 블록형 저-저항 부재를 적용하는 경우를 예시한다.

도 24는 제5 실시예에서의 스페이서부를 도시한 단면도이다. 참조 번호(31)는 전자원 기판을 포함하는 배면 플레이트를 지칭하며, 참조 번호(30)는 형광 물질 및 금속 백을 포함하는 전면 플레이트를 지칭하며, 참조 번호(20)는 스페이서를 지칭하며, 참조 번호(210)는 블록형 저-저항 부재를 지칭하며, 참조 번호(13)는 배선을 지칭하며, 참조 번호(111)는 디바이스를 지칭하며, 참조 번호(112)는 전자빔 궤도를 지칭하고, 참조 번호(51)는 고-저항막을 지칭한다.

제5 실시예에서, 전면 플레이트측 상에 중간층(310)의 길이 d3는 1,100㎛로 설정되고, 저-저항 부재의 높이 d1은 150㎛로 설정되었다. 배선 방향으로 각 스페이서의 길이는 40㎜로 설정되었다. 제5 실시예에서, 배면 플레이트측 상에 블록형 저-저항 부재(210)은 배선 전극으로서 기능한다. 제5 실시예에서, 전면 플레이트(30)의 내부면 및 배면 플레이트(31)의 내부면 간의 거리 h(이하에 패널 두께라 불리움)는 2,3㎜로 설정되었다. 이 경우에, 약 300㎛ 만큼 스페이서로부터 떨어진 공간의 디바이스 열(이하에 가장 가까운 라인이라 불리움)로부터의 전자는 블록형 저-저항 부재로 이루어져 스페이서로부터 멀어지는 방향으로 궤도를 따라 간다음, 스페이서 상에 전극(310) 및 양전하에 의해 스페이서로 이끌렸다. 그 결과, 전자는 형광 물질 상에 적당한 위치에 도달하였다. 이 때, 약 1,100㎛ 만큼 스페이서로부터 멀리 떨어진 곳의 디바이스 라인(이하에 두번째로 가까운 라인이라 불리움) 상에 디바이스에 의해 방출되는 전자의 궤도는 후속 디바이스에 영향을 미치지 않았다. 상기 실시예와 유사하게, 왜곡 및 변동이 없는 화상을 얻을 수 있다.

제5 실시예에서, 블록형 저-저항 부재로서는, 350 x 300㎛ 알루미늄 부재가 사용되었다. 그러나, 저-저항 부재는 Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, 및 Pd와같은 금속 및 이들 금속들의 합금으로 이루어질 수 있다. 제4 실시예뿐만 아니라 제5 실시예에서, 전면 플레이트측 상에 전극(310)은 Ar 분위기로 Al를 스퍼터링함으로써 800Å의 두께로 형성되었다. 제5 실시예에서, 스페이서의 고-저항막(51)은 제4 실시예와 유사한 NiO로 형성되었다. 배면 플레이트측 상에 중간층(310) 및 전면 플레이트측 상에 저-저항 부재(210) 각각은 단위 길이당 약 1 x 10^{1}Ω/㎝ 미만의 저항을 가졌다. 제5 실시예에서, 스페이서는 소다-라인 유리로 이루어졌다.

<제6 실시예>

제6 실시예는 배면 및 전면 플레이트측 상에 중간층 부재로서 블록형 저-저항 부재를 적용하는 경우를 예시한다.

도 25는 제6 실시예에서 스페이서부를 도시한 단면도이다. 제6 실시예에서의 구조는 제5 실시예에서의 구조와 동일하다. 참조 번호(31)는 전자원 기판을 포함하는 배면 플레이트를 지칭하며, 참조 번호(30)는 형광 물질 및 금속 백을 포함하는 전면 플레이트를 지칭하며, 참조 번호(20)는 스페이서를 지칭하며, 참조 번호(210)는 전면 플레이트측 상에 블록형 저-저항 부재를 지칭하며, 참조 번호(310)는 배면 플레이트측 상에 블록형 저-저항 부재를 지칭하며, 참조 번호(13)는 배선을 지칭하며, 참조 번호(111)는 디바이스를 지칭하며, 참조 번호(112)는 전자빔 궤도를 지칭하고, 참조 번호(51)는 고-저항막을 지칭한다. 전면 플레이트(30)의 내부면 및 배면 플레이트(31)의 내부면 간의 거리 h(이하에 패널 두께라 불리움)는 1.5㎜로 설정되고, 저-저항 부재(310)의 높이 d1은 250㎛로 설정되었다. 이 경우에, 약 300㎛ 만큼 스페이서로부터 떨어진 곳의 디바이스 열(이하에 가장 가까운 라인이라 불리움)로부터의 전자는 블록형 저-저항 부재로 이루어져 스페이서로부터 멀어지는 방향으로 궤도를 따라간 다음, 전면 플레이트측 상에 스페이서의 저-저항 블록 및 스페이서의 고-저항부(52)의 양전하에 의해 스페이서로 이끌렸다. 그 결과, 전자는 형광 물질 상에 적당한 위치에 도달했다. 이 때, 약 1,100㎛ 만큼 스페이서로부터 떨어진 곳의 디바이스 라인(이하에 두번째로 가까운 라인이라 불리움) 상에 디바이스에 의해 방출된 전자의 궤도는 후속 디바이스에 영향을 미치지 않았다. 상기 실시예와 유사하게, 왜곡 및 변동이 없는 화상이 얻어질 수 있다.

제6 실시예에서, 350 x 300㎛ 알루미늄 부재 및 900 x 300㎛ 알루미늄 부재는 배면 및 전면 플레이트측 상에 블록형 저-저항 부재로서 각각 사용되었다. 그러나, 각 저-저항 부재는 금, 플라티늄, 로듐, 및 구리와 같은 금속, 및 이들 금속들의 합금으로 이루어질 수 있다. 배면 플레이트측 상에 중간층(210) 및 전면 플레이트측 상에 저-저항 부재(210) 각각은 단위 길이당 1 x 10^{1}Ω/㎜의 저항을 가졌다. 제6 실시예에서, 스페이서는 알루미늄 질화물로 이루어졌다.

<제7 실시예>

제7 실시예는 본 발명의 전자-방출 디바이스로서 사용되는 평탄 전계 방출(FE)형 전자-방출 디바이스에 관한 것이다.

도 26은 평탄 전계 방출(FE)형 전자-방출 디바이스의 평면도이다. 참조 번호(3101)는 전자-방출부를 지칭하며, 참조 번호(3102과 3103)는 전위를 전자-방출부(3101)에 인가하기 위한 한 쌍의 디바이스 전극을 지칭하며, 참조 번호(3113)는 행-방향 배선을 지칭하며, 참조 번호(3114)는 열-방향 배선을 지칭하고, 참조 번호(1020)는 스페이서를 지칭한다.

전자 방출에서, 디바이스 전극(3102와 3103) 양단에 걸쳐 전압이 인가되어 전자-방출부(3101)에 예리한 선단부가 전자를 방출하게 한다. 형광 물질과 충돌하도록 전자원에 대향하여 가속 전압(도시되어 있지 않음)에 의해 전자가 이끌리고, 형광 물질이 광을 방출하게 한다. 제7 실시예에서, 화상 장치는 제1 실시예에서와 동일한 방법에 의해 스페이서를 배열함으로써 형성되고, 빔 쉬프트가 스페이서 부근에서도 금지된 고품질 화상을 얻기 위해 제1 실시예에서와 유사하게 구동된다.

<제8 실시예>

제8 실시예는 다른 저항을 갖는 막이 상부 및 하부 중간층으로서 형성되고, 배면 플레이트측 상에 중간층이 전면 플레이트측 상에 중간층보다 길어진다는 것을 특징으로 한다.

도 27는 제8 실시예를 설명하기 위해 제1 실시예에서 스페이서 부근에 화상 형성 장치의 단면도이다. 제8 실시예에 따르면, 제1 실시예에서의 것과 동일한 구조에서, 전자원 기판 및 전면 플레이트 간의 거리 h는 3.0㎜로 설정된다.

도 27를 참조하면, 참조 번호(31)는 전자원 기판을 포함하는 배면 플레이트를 지칭하며, 참조 번호(30)는 형광 물질 및 금속 백을 포함하는 전면 플레이트를 지칭하며, 참조 번호(50)는 스페이서를 지칭하며, 참조 번호(324)는 배면 플레이트측 상에 중간층을 지칭하며, 참조 번호(325)는 전면 플레이트측 상에 중간층을 지칭하며, 참조 번호(13)는 배선을 지칭하며, 참조 번호(111)는 디바이스를 지칭하며, 참조 번호(112)는 전자빔 궤도를 지칭하고, 참조 번호(51)는 고-저항막을 지칭한다. 제8 실시예에서, 전면 플레이트측 상에 중간층(325)의 길이 d3는 800㎛로 설정되고, 배면 플레이트측 상에 중간층(324)의 길이 d1은 1,100㎛로 설정되고, 배선 방향으로 각 스페이서의 길이는 80㎜로 설정되었다.

이 경우에, 스페이서의 고-저항막은 전면 플레이트 및 배면 플레이트 간에 단위 길이당 약 6×10^{9}Ω/㎜의 저항을 가졌다. 배면 플레이트측 상에 중간층은 단위 길이당 약 9×10^{8}Ω/㎜의 저항을 갖고, 전면 플레이트측 상에 중간층(325)은 단위 길이당 약 1×10^{4}Ω/㎜의 저항을 가졌다. 6.5㎸의 전압이 디바이스를 구동시키기 위해 전면 플레이트(30)에 인가되었을 때, 가장 가까운 라인으로부터 전면 플레이트 상에 빔의 위치는 디바이스당 3㎂의 전자 방출량 Ie인 경우 약 110㎛ 만큼 스페이서로 쉬프트하고, 약 150㎛의 위치 변화(변동)는 디바이스당 0.14 내지 5.6㎂의 전자 방출량로 확인되었다. 두번째로 가까운 라인으로부터 빔의 위치는 약 300㎛ 만큼 스페이서로 쉬프트하고, 약 70㎛의 위치 변화(변동)가 확인되었다. 이들 결과들로부터, Ie에 따른 위치 변화(변동)가 작고, 제1 실시예와 유사한 화상 형성 장치가 제공될 수 있다.

제8 실시예에서, 전면 플레이트측 상에 전극(325)은 Ar 분위기로 Al 스퍼터링함으로써 1,000Å의 두께로 형성되었다. 배면 플레이트측 상에 전극(324)은 Ar 분위기로 크롬 산화물 타겟을 스퍼터링함으로써 2,000Å의 두께로 형성되었다. 고-저항막(51)으로서는, 닉켈 산화물이 사용되고, 닉켈 타겟은 1,500Å의 두께로 산소 플라즈마로 스퍼터링되었다. 스페이서 기판은 붕소실리케이트 유리로 이루어졌다.

비록 전면 플레이트측 상에 중간층이 배면 플레이트측 상에 중간층보다 짧지만, 전면 플레이트측 상에 단위 길이당 중간층의 저항 및 전면 플레이트측 상에 단위 길이당 중간층의 저항 간에 상당한 차이로 설정되고, 전면 플레이트측 상에 단위 길이당 중간층의 저항이 더 낮추어지는 한, 만족스러운 굴절이 전자에 인가될 수 있다.

발명의 효과

상술된 바와 같이, 본 발명에 따르면, 전자-방출 디바이스에 의해 방출되어 복사될 부재에 도달하는 전자에 바람직한 굴절이 인가될 수 있다. 특히, 전자가 지지 부재에 충돌하지 못하게 하면서, 전자가 소정의 도달 위치에 더 가까운 위치에 도달한다. 방출된 전자수에 따른 전자 도달 위치의 변동이 감소될 수 있다. 또한, 화상 디스플레이 장치가 화상 형성 장치로서 사용될 때, 화상의 왜곡 및 변동은 감소될 수 있다.

본 발명의 많은 명확하고 광범위하게 다른 실시예가 그 사상 및 범위로부터 벗어나지 않고 이루어질 수 있으며, 본 발명은 첨부된 청구범위에 정의된 것 이외에 그 특정 실시예에 제한되지 않는다는 것을 알아야 한다.

(57) 청구의 범위

청구항 1

전자 장치에 있어서,

전자-방출 디바이스를 갖는 배면 기판(rear substrate);

전자가 복사될 부재를 갖는 전면 기판(front substrate); 및

상기 배면 기판과 상기 전면 기판 간의 간격을 유지하기 위한 지지 부재

를 구비하되,

상기 전면 기판을 향해 상기 배면 기판으로부터 전자를 가속시키기 위한 전계가 인가되며,

상기 지지 부재의 표면이 상기 배면 기판에 접속된 부분으로부터의 길이 d1 및 세로 방향으로 단위 길이

당 저항 R1을 갖는 제1 영역, 상기 전면 기판에 접속된 부분으로부터의 길이 d3 및 세로 방향으로 단위 길이당 저항 R3을 갖는 제3 영역, 및 상기 제1 및 제3 영역 간에 삽입되고, 세로 방향으로 단위 길이당 저항 R2를 갖는 제2 영역을 가지며,

R1 및 R3 모두는 R2보다 낮고, 상기 제1 및 제3 영역의 길이 및 저항은 다음 조건: a) d1 < d3, b) R1 > R3중 적어도 한 조건을 만족하는 것을 특징으로 하는 전자 장치.

청구항 2

제1항에 있어서,

상기 지지 부재의 제3 영역의 길이 d3는 상기 전면 기판 및 상기 배면 기판 간의 거리의 적어도 1/10에 대응하는 것을 특징으로 하는 전자 장치.

청구항 3

제1항에 있어서,

상기 제2 영역의 표면의 도전율보다 높은 도전율을 갖는 부재가 상기 제1 영역의 표면 상에 노출되는 것을 특징으로 하는 전자 장치.

청구항 4

제1항에 있어서,

상기 제2 영역의 표면의 도전율보다 높은 도전율을 갖는 부재가 상기 제3 영역의 표면 상에 노출되는 것을 특징으로 하는 전자 장치.

청구항 5

제1항에 있어서,

상기 제2 영역의 표면은 상기 제1 및 제3 영역의 표면의 도전율보다 낮은 도전율을 갖는 부재로 이루어지는 것을 특징으로 하는 전자 장치.

청구항 6

제1항에 있어서,

상기 제2 영역측 상의 상기 제1 영역의 단부의 전위와 상기 제2 영역측 상의 상기 제3 영역의 단부의 전위 간의 전위차, 및 상기 제2 영역측 상의 상기 제1 영역의 단부와 상기 제2 영역측 상의 상기 제3 영역의 단부 간의 간격은 8㎸/㎜ 이하의 관계를 갖는 것을 특징으로 하는 전자 장치.

청구항 7

제1항에 있어서,

상기 제2 영역측 상의 상기 제1 영역의 단부의 전위와 상기 제2 영역측 상의 상기 제3 영역의 단부의 전위 간의 전위차, 및 상기 제2 영역측 상의 상기 제1 영역의 단부와 상기 제2 영역측 상의 상기 제3 영역의 단부 간의 간격은 4㎸/㎜ 이하의 관계를 갖는 것을 특징으로 하는 전자 장치.

청구항 8

제1항에 있어서,

상기 지지 부재는 배선 또는 전극을 거쳐 상기 배면 기판 또는 상기 전면 기판에 접속되는 것을 특징으로 하는 전자 장치.

청구항 9

제1항에 있어서,

상기 전자-방출 디바이스는 냉음극형 전자-방출 디바이스(cold cathode type electron-emitting device)인 것을 특징으로 하는 전자 장치.

청구항 10

제1항에 있어서,

상기 전자-방출 디바이스는 표면-도전 방출형(surface-conduction emission type) 전자-방출 디바이스인 것을 특징으로 하는 전자 장치.

청구항 11

전자 장치에 있어서,

전자-방출 디바이스를 갖는 배면 기판(rear substrate);

전자가 복사될 부재를 갖는 전면 기판(front substrate); 및

상기 배면 기판과 상기 전면 기판 간의 간격을 유지하기 위한 지지 부재

를 구비하되,

상기 전면 기판을 향해 상기 배면 기판으로부터 전자를 가속하기 위한 전계가 인가되며,

상기 지지 부재의 표면이 상기 배면 기판에 접속된 부분으로부터의 길이 d1를 갖는 제1 영역, 상기 전면 기판에 접속된 부분으로부터의 길이 d3을 갖는 제3 영역, 및 상기 제1 및 제3 영역 간에 삽입되는 제2 영역을 가지며,

상기 제1 및 제3 영역의 상기 지지 부재의 표면 상에서 세로 방향으로의 단위 길이당 전위차가 상기 제2 영역의 상기 지지 부재의 표면 상에서 세로 방향으로의 단위 길이당 전위차보다 작고,

△V1을 상기 배면 기판에 접속된 부분의 전위와 상기 제2 영역측 상의 상기 제1 영역의 단부의 전위 간의 전위차로 하고, △V3을 상기 전면 기판에 접속된 부분의 전위와 상기 제2 영역측 상의 상기 제3 영역의 단부의 전위 간의 전위차로 하면, 상기 전위차는 △V1/d1 > △V3/d3을 만족하는 것을 특징으로 하는 전자 장치.

청구항 12

제11항에 있어서,

상기 지지 부재의 상기 제3 영역의 길이 d3는 상기 전면 기판과 상기 배면 기판 간의 거리의 적어도 1/10에 대응하는 것을 특징으로 하는 전자 장치.

청구항 13

제11항에 있어서,

상기 제2 영역의 표면의 도전율보다 높은 도전율을 갖는 부재는 상기 제1 영역의 표면 상에 노출되는 것을 특징으로 하는 전자 장치.

청구항 14

제11항에 있어서,

상기 제2 영역의 표면의 도전율보다 높은 도전율을 갖는 부재는 상기 제3 영역의 표면 상에 노출되는 것을 특징으로 하는 전자 장치.

청구항 15

제11항에 있어서,

상기 제2 영역의 표면은 상기 제1 및 제3 영역의 표면의 도전율보다 낮은 도전율을 갖는 부재로 이루어지는 것을 특징으로 하는 전자 장치.

청구항 16

제11항에 있어서,

상기 제2 영역측 상의 상기 제1 영역의 단부의 전위와 상기 제2 영역측 상의 상기 제3 영역의 단부의 전위 간의 전위차, 및 상기 제2 영역측 상의 상기 제1 영역의 단부와 상기 제2 영역측 상의 상기 제3 영역의 단부 간의 간격은 8㎸/㎜ 이하의 관계를 갖는 것을 특징으로 하는 전자 장치.

청구항 17

제11항에 있어서,

상기 제2 영역측 상의 상기 제1 영역의 단부의 전위와 상기 제2 영역측 상의 상기 제3 영역의 단부의 전위 간의 전위차, 및 상기 제2 영역측 상의 상기 제1 영역의 단부와 상기 제2 영역측 상의 상기 제3 영역의 단부 간의 간격은 4㎸/㎜ 이하의 관계를 갖는 것을 특징으로 하는 전자 장치.

청구항 18

제11항에 있어서,

상기 지지 부재는 배선 또는 전극을 거쳐 상기 배면 기판 또는 상기 전면 기판에 접속되는 것을 특징으로 하는 전자 장치.

청구항 19

제11항에 있어서,

상기 전자-방출 디바이스는 냉음극형 전자-방출 디바이스인 것을 특징으로 하는 전자 장치.

청구항 20

제11항에 있어서,

상기 전자-방출 디바이스는 표면-도전 방출형 전자-방출 디바이스인 것을 특징으로 하는 전자 장치.

청구항 21

전자가 복사될 부재 상에 화상이 형성되는 제1항 내지 제20항중 어느 한 항에 따른 전자 장치를 구비하는 화상 형성 장치.

청구항 22

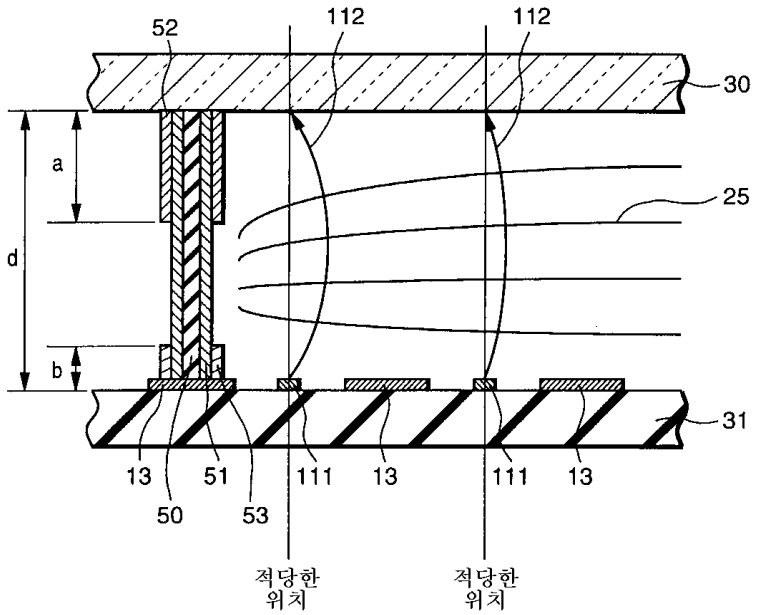
전자가 복사될 부재가 전자의 복사시 발광하는 발광 물질을 갖는 제1항 내지 제20항중 어느 한 항에 따른 전자 장치를 구비하는 화상 형성 장치.

청구항 23

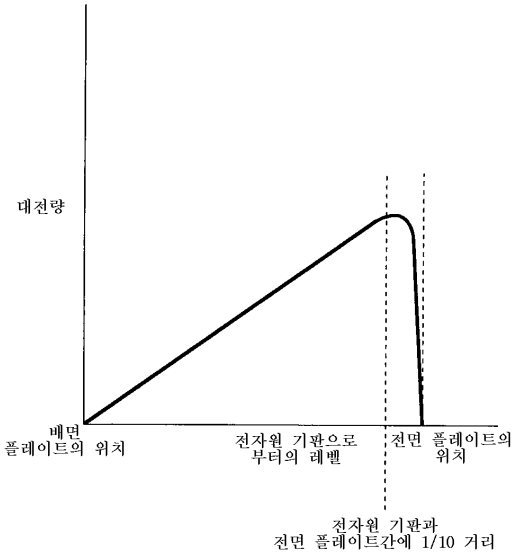
전자가 복사될 부재가 전자의 복사시 발광하는 형광 물질을 갖는 제1항 내지 제20항중 어느 한 항에 따른 전자 장치를 구비하는 화상 형성 장치.

도면

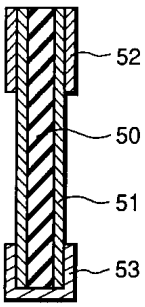
도면1



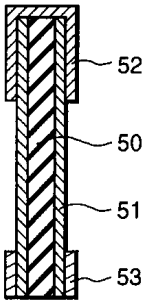
도면2



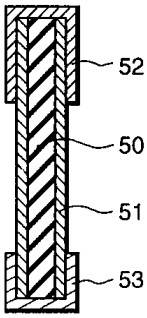
도면3a



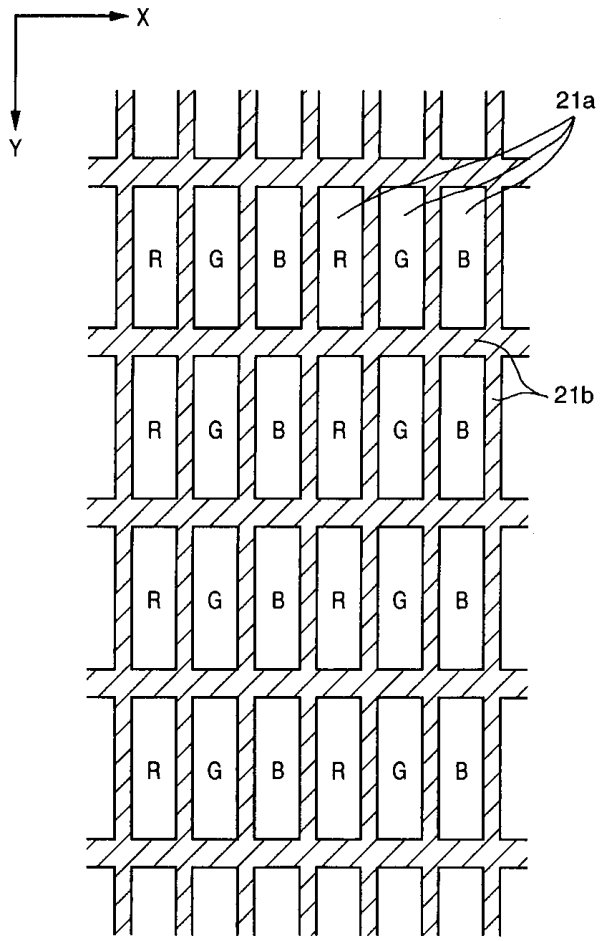
도면3b



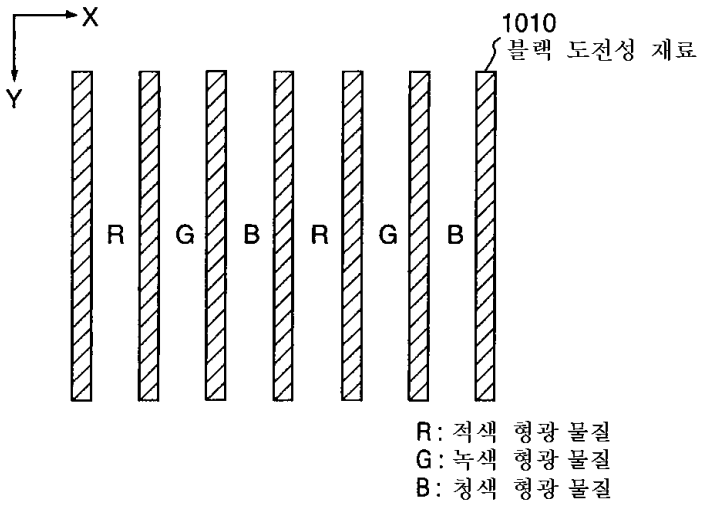
도면3c



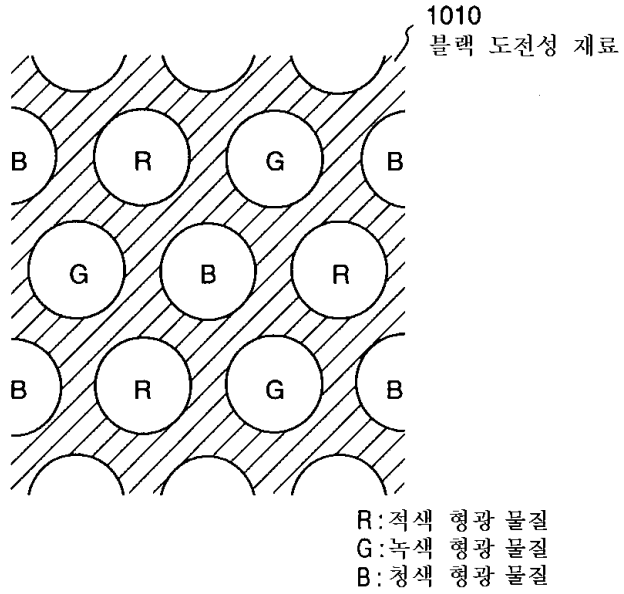
도면4



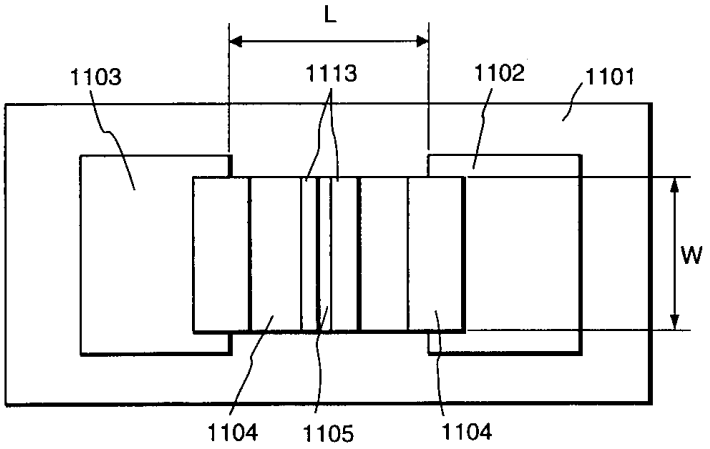
도면5a



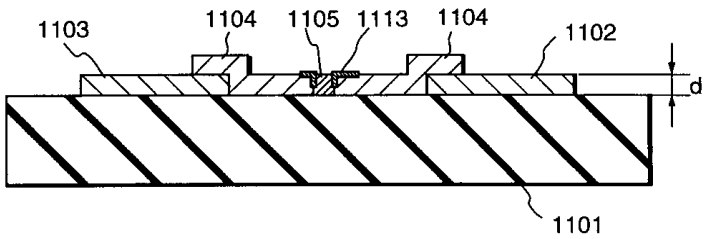
도면5b



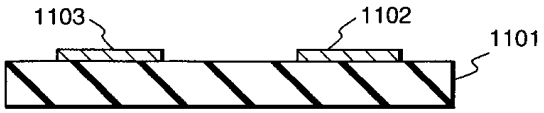
도면6a



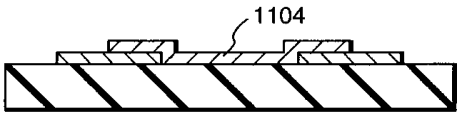
도면6b



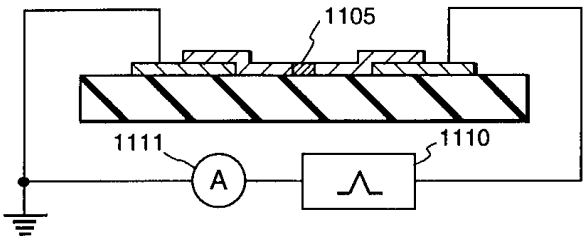
도면7a



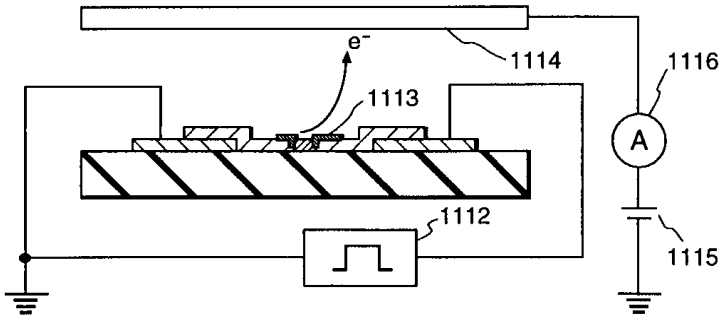
도면7b



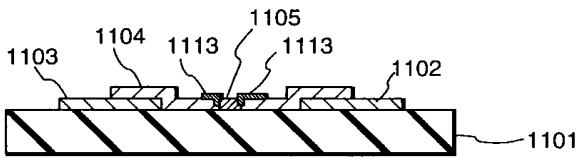
도면7c



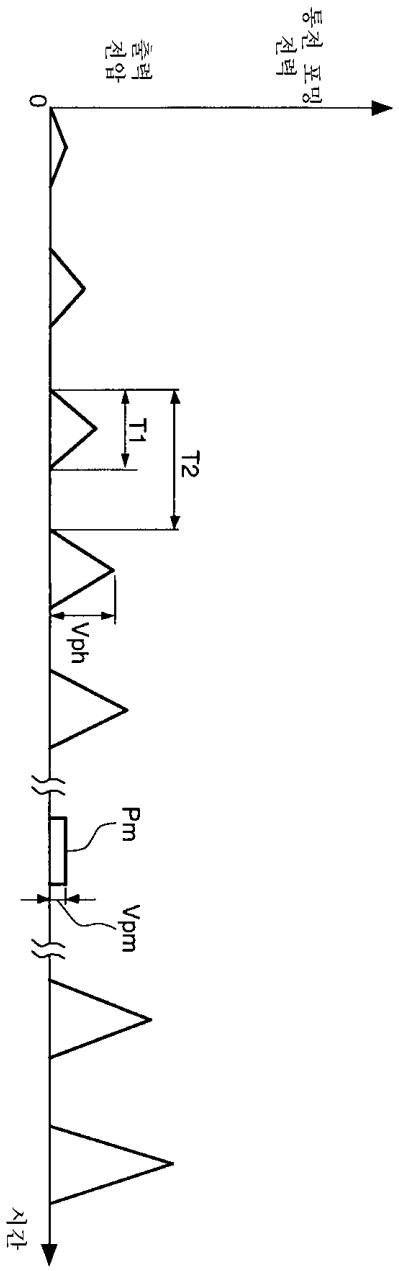
도면7d



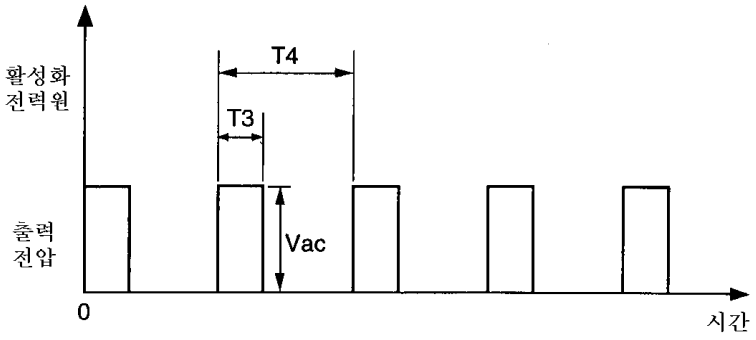
도면7e



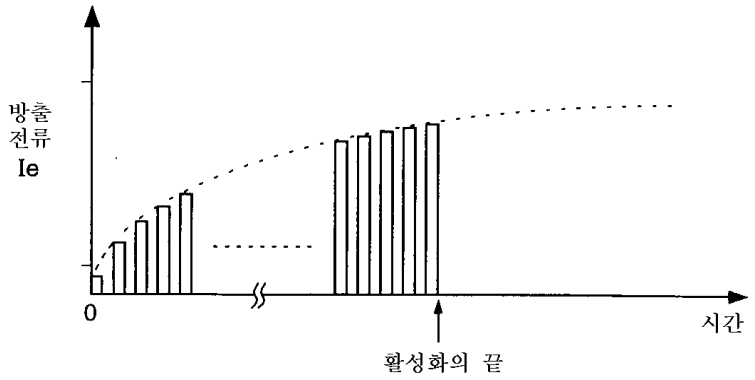
도면8



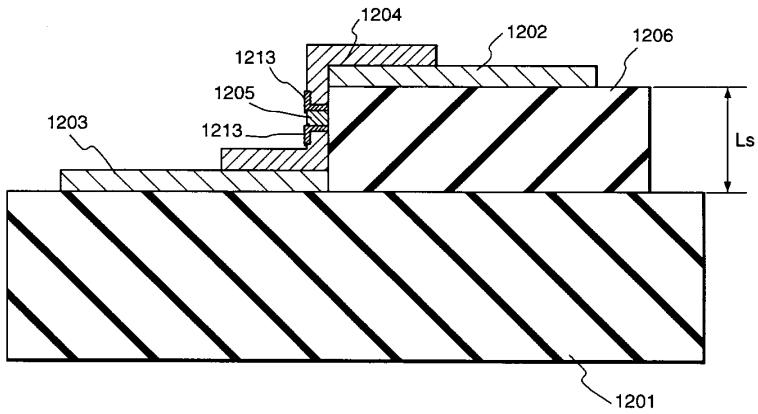
도면9a



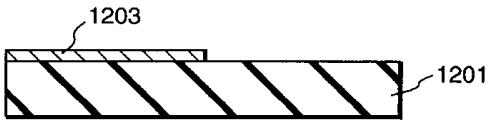
도면9b



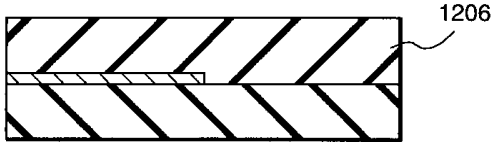
도면10



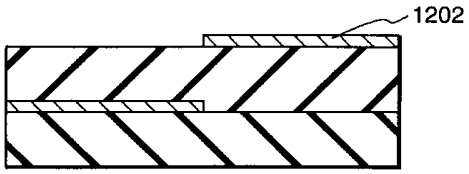
도면11a



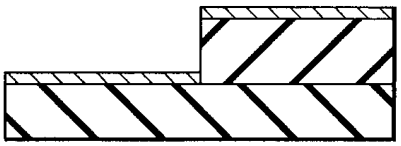
도면11b



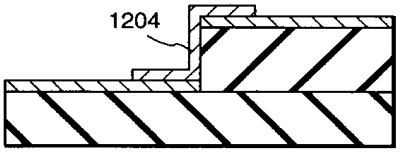
도면11c



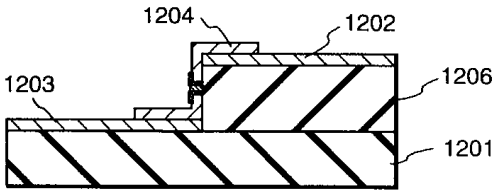
도면11d



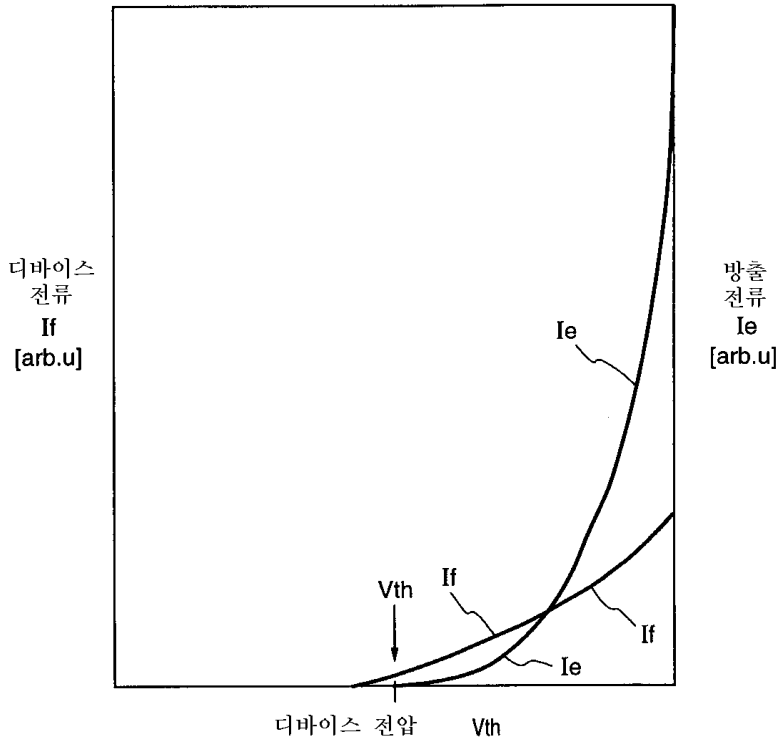
도면11e



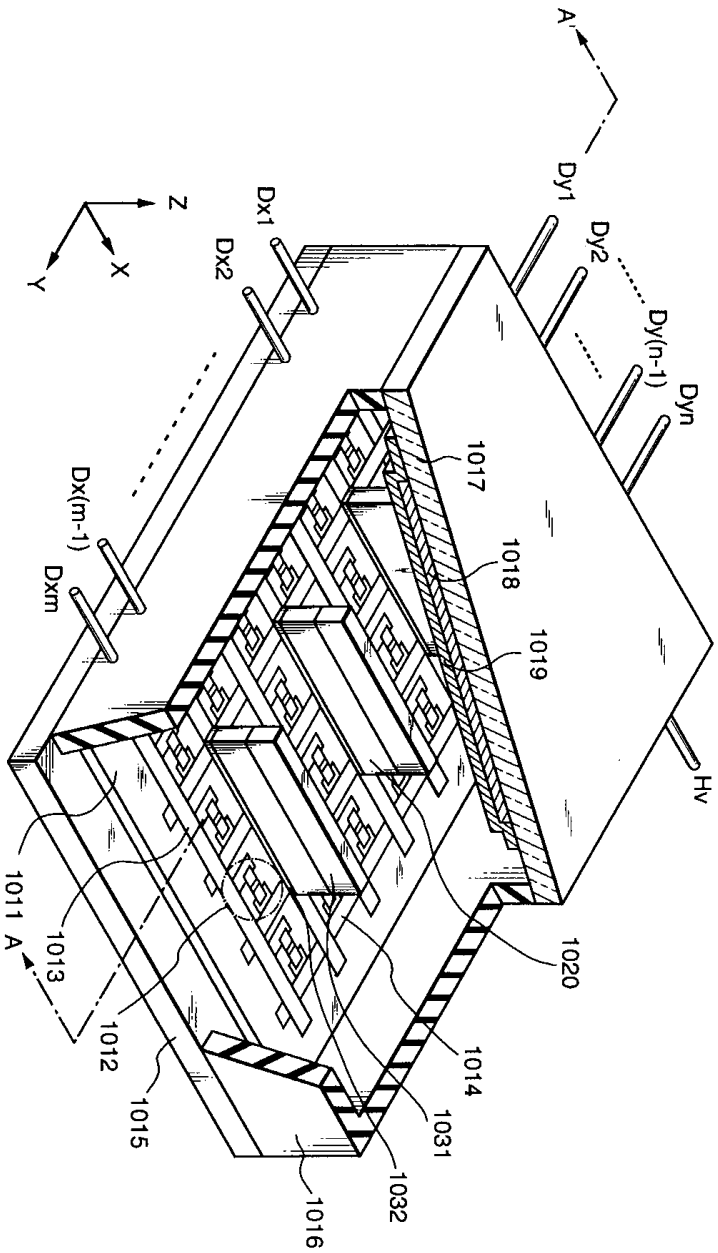
도면11f



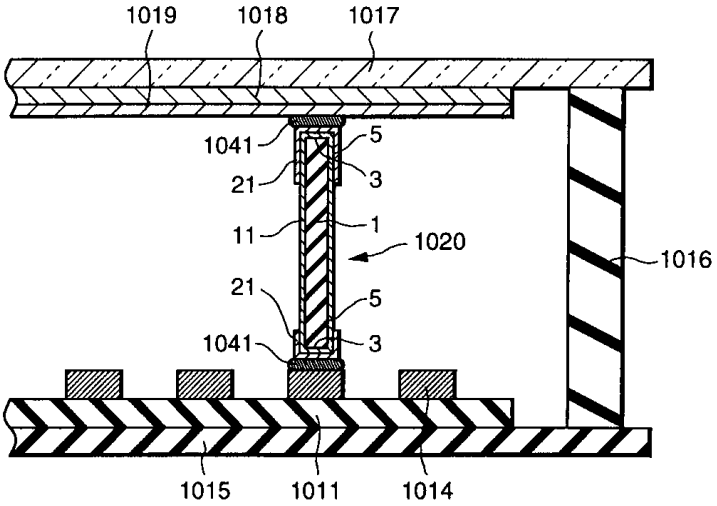
도면12



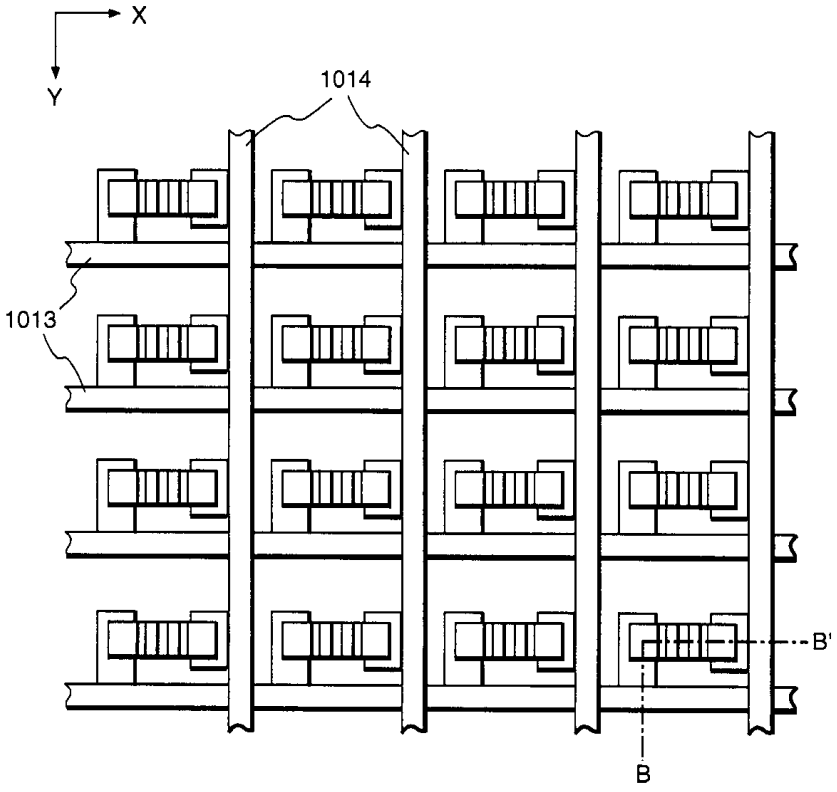
도면13


A'
Dy1
Dy2
Dy(n-1)
Dyn
Z
Y
X
Dx1
Dx2
Dx(m-1)
Dxm
1017
1018
1019
Hv
1011
A
1013
1012
1015
1016
1032
1031
1014
1020

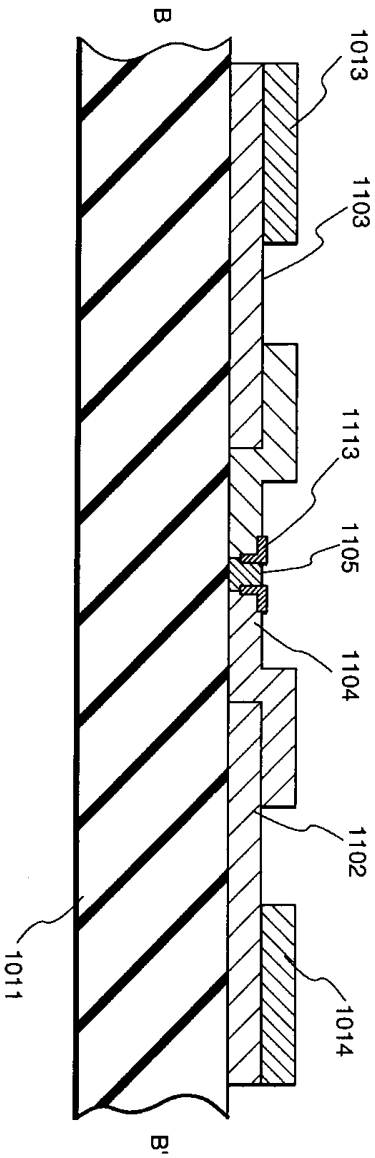
도면14


1019
1018
1017
1041
5
21
3
11
1
1020
1016
21
5
1041
3
1015
1011
1014

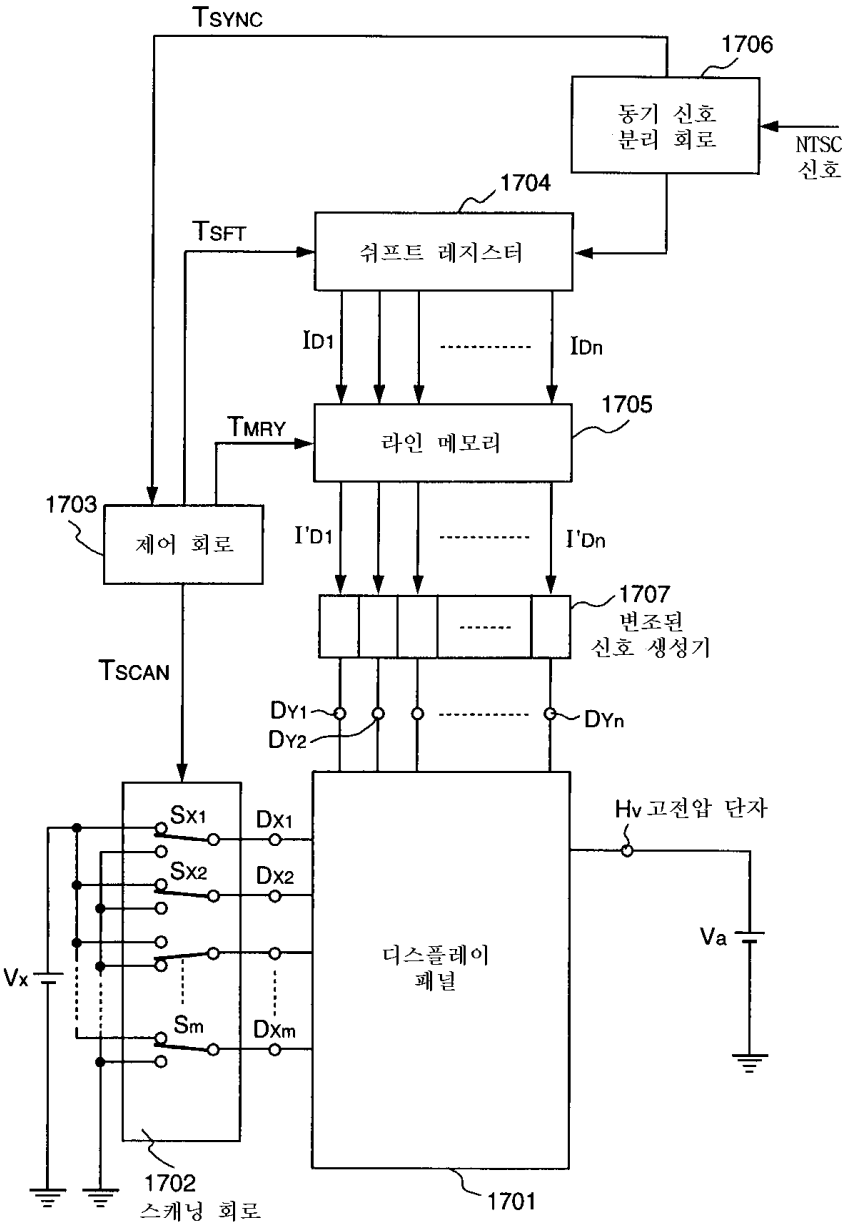
도면15


X
Y
1014
1013
B'
B

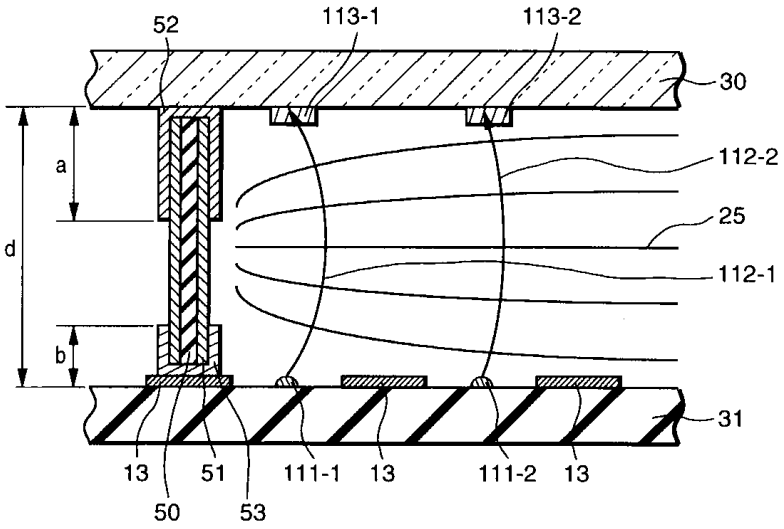
도면16



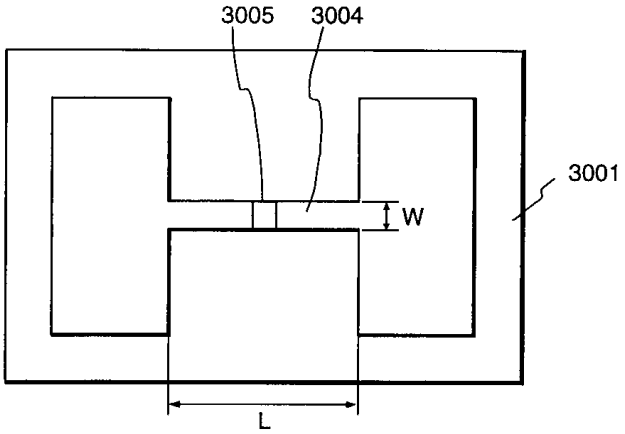
도면17


TSYNC
1706
동기 신호
분리 회로
NTSC
신호
1704
TSFT
쉬프트 레지스터
ID1
IDn
1705
TMRY
라인 메모리
1703
제어 회로
I'D1
I'Dn
1707
변조된
신호 생성기
TSCAN
DY1
DY2
DYn
SX1
DX1
SX2
DX2
Sm
DXm
Vx
Hv 고전압 단자
Va
디스플레이
패널
1702
스캐닝 회로
1701

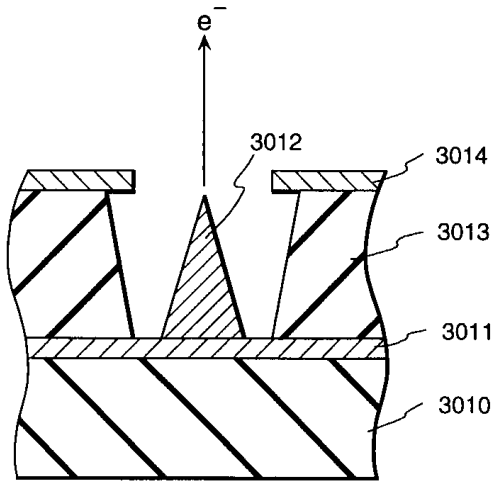
도면18



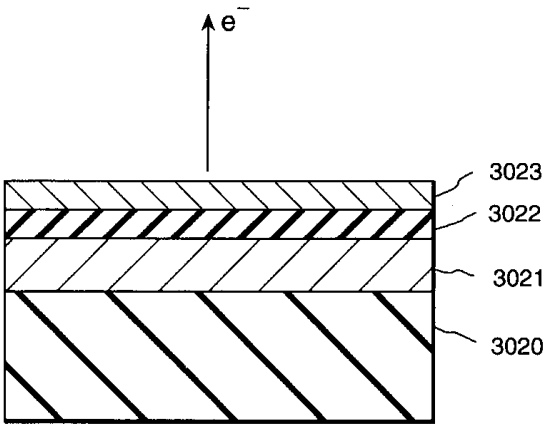
도면19



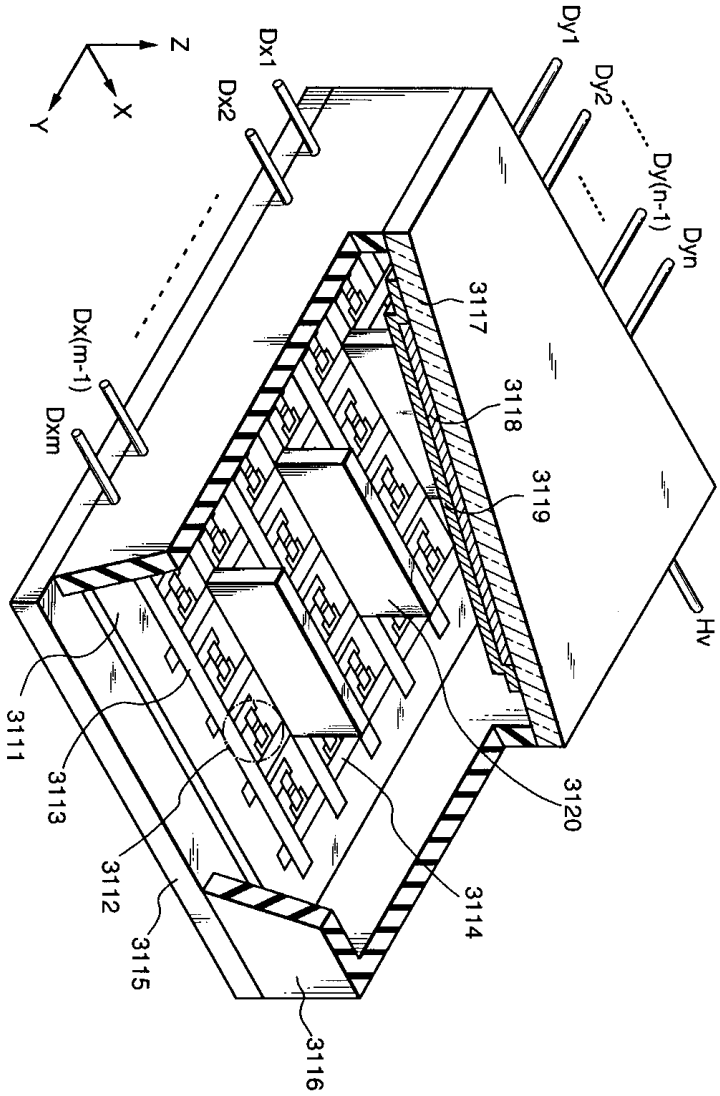
도면20



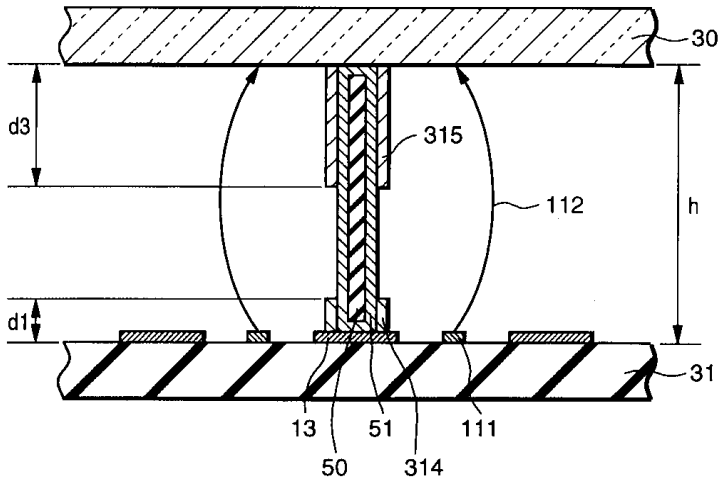
도면21


e⁻
3023
3022
3021
3020

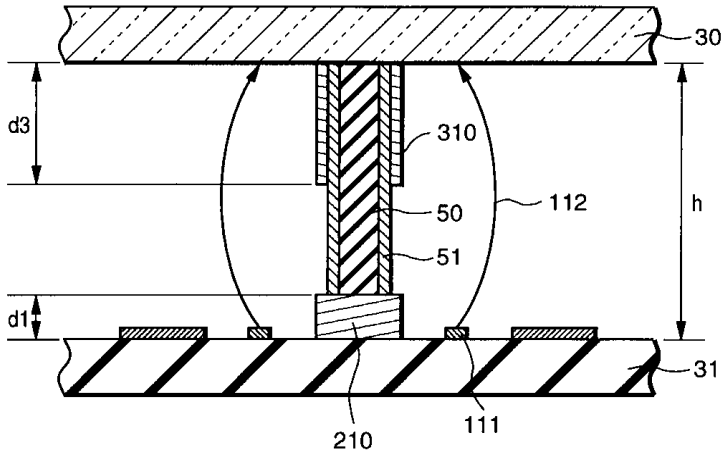
도면22


Z
Y
X
Dx1
Dx2
Dx(m-1)
Dxm
Dy1
Dy2
Dy(n-1)
Dyn
Hv
3111
3112
3113
3114
3115
3116
3117
3118
3119
3120

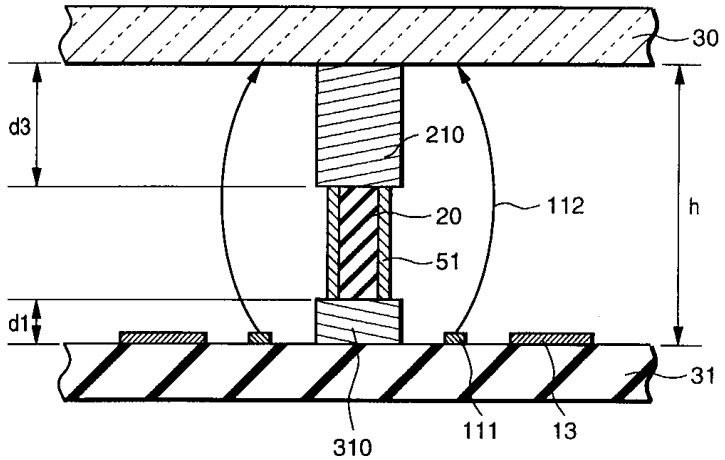
도면23



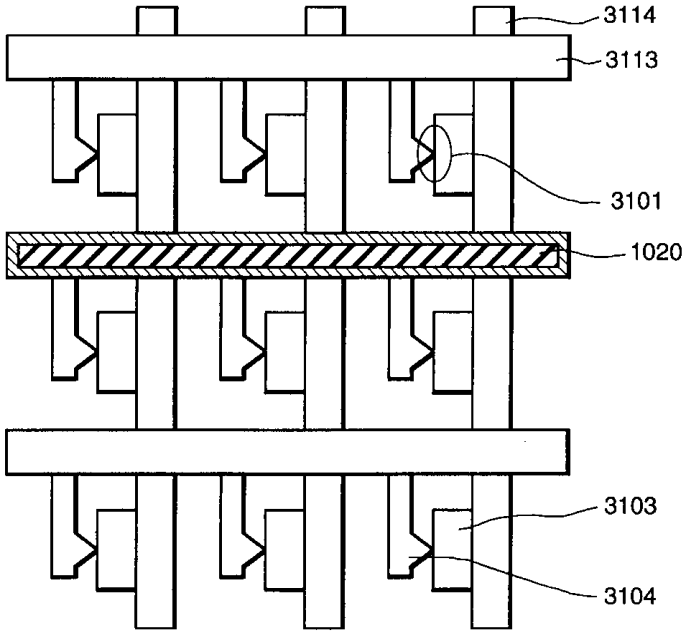
도면24



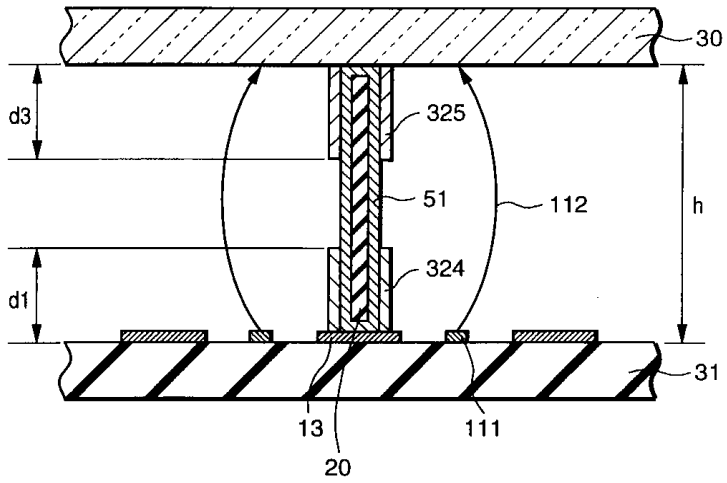
도면25



도면26


3114
3113
3101
1020
3103
3104

도면27


30
d3
325
51
112
h
324
d1
31
13
20
111