

申請日期	89 7 15
案 號	89114175
類 別	G11C 7/00

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

~~新~~型

一、發明名稱	中 文	無寫入回復時間及最大週期時間之再新記憶體
	英 文	REFRESH-TYPE MEMORY WITH ZERO WRITE RECOVERY TIME AND NO MAXIMUM CYCLE TIME
二、發明人	姓 名	1.金昌來 2.朴鍾烈 3.鄭珉喆 4.韓相集
	國 籍	1.-4.均南韓
住、居所	住、居所	1.大韓民國京畿道城南市盆唐區野塔洞#215梅花MAUL203-1804 2.大韓民國京畿道龍仁市器興邑農書里7-1番地MARONIEDONG405 3.大韓民國漢城市江南區新沙洞517-2番地201 4.大韓民國京畿道水原市八達區英通洞969-1番地泰英APT., 935-1401
	三、申請人	姓 名 (名稱)
代 表 人 姓 名	國 籍	韓商三星電子股份有限公司
	南 韓	
住、居所 (事務所)	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	尹鍾龍

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 2000年6月30日 09/609,200 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( 1 )

### 發明背景

#### 1. 發明領域

本發明相關於半導體記憶體裝置及動作的方法，更特定於，半導體記憶體裝置及動作的方法，其中記憶體細胞需要儲存資料的更新，其中更新的動作在內報執行，並且其中此裝置以類似於靜態RAM的時序需求做外部動作。

#### 2. 相關技藝的說明

隨機存取記憶體(RAM)裝置儲存電子資料在一個陣列的個別可定址元件，熟知的記憶體細胞。在市場很普遍兩種基本形態的RAM細胞-靜態RAM (SRAM)細胞與動態RAM (DRAM)細胞。SRAM細胞有一靜態拴鎖結構(例如，包含六個電晶體，或是四個電晶體及兩個暫存器)，其可以無限期的儲存資料。DRAM細胞有一儲存節點(例如，電容器)以及單一的存取電晶體。資料藉由設定此儲存節點的電荷狀態而儲存在細胞中。

因為所有的電容器表現出電荷洩漏，DRAM細胞的特徵為它不能無限期的保存資料。一電荷儲存節點最終將會放電到被誤讀為放電的儲存節點的一個點，造成資料錯誤。要防止這個的發生，DRAM細胞被週期性的"更新"，也就是，充電的細胞被重新充電。這個週期性的更新每秒必須重返每個細胞許多次來防止資料遺失。

DRAM更新需要一個更新電路來確保每個細胞被重返，在資料遺失發生前。早期的DRAMs(特定的DRAMs，以類似於靜態RAM的時序需求做外部動作)依賴外部的記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 2 )

控制器來執行必要的更新電路功能。今天，許多DRAMs併入一更新電路到其內部的邏輯電路中，並因此執行“內部的更新”。傳統上，內部更新的DRAMs已與SRAMs有不同的外部動作需求。特定的，先前技藝的內部更新DRAMs利用兩個外部動作需求中的至少一個，其不存在於SRAM的情況：一加到每個寫入週期後部的有限寫入回復時間，以及最大寫入週期時間。將如下面解釋的，一個需要的寫入回復時間使得DRAM寫入存取時間慢於正常的讀取存取時間，而最大的寫入週期時間加入了外部寫入週期長度的上限。

不管其奇怪特質，DRAM有某些獨特的優點，在與SRAM做比較時。其中最主要的是DRAM記憶體細胞的大小通常在量值等級上小於以類似處理技術建立的SRAM記憶體細胞。這個大小的差異解釋成或是較便宜的裝置，或是相同記憶體成本下可以儲存更多資料。因此所希望的是DRAM可以取代SRAM而不須在周圍電路加入額外的外部動作需求。

1989年6月12日發給Kazuhiro Sawada及其他者的美國專利編號第4,984,208，標題為“Dynamic Read/Write Memory with Improved Refreshing Operation”，揭示兩個DRAM電路，一個有寫入回復時間需求，而另一個有最大的週期時間需求。

圖1說明有寫入回復時間需求的內部更新DRAM電路的動作，如‘208專利的背景中所揭示的。寫入動作顯示在圖1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明( 3 )

的時間 $t_0$ 與 $t_3$ 之間。此寫入動作在時間點 $t_0$ 設定寫入位址在ADD並接著將寫入致能信號 $WE\#$ 成爲低電位而由外部啓動。在要寫入的資料於I/O上設定好時，寫入致能信號 $WE\#$ 在 $t_1$ 時回到高電位，信號通知DRAM電路現在可以從I/O上讀取資料。但是在圖1，在時間 $t_1$ 時，此電路藉由選擇更新字線RWL剛開始一個更新動作。因此陣列寫入存取的開始必須延遲到更新動作在 $t_2$ 結束時。在 $t_2$ 上，字線NWL1最後被設定而在I/O上的資料被寫入。資料與位址必須要維持在裝置的輸入上夠久以便更新結束且陣列的寫入存取開始。

圖1中，寫入回復時間 $t(WR)$ 爲另一個記憶體動作可以開始前 $WE\#$ 脈衝上升緣後所需要的額外時間。然而SRAM可以在感測到 $WE\#$ 脈衝的上升緣時完成寫入動作，而這個DRAM不能。這是因爲DRAM不能在資料可在I/O上取用前預先選擇字線NWL1，以便更新動作可以在過度期間發生。圖1顯示出最糟的情況，必須加以設計的，其中更新動作在 $WE\#$ 成爲高電位時剛好開始。

圖2說明在'280專利中說明的第二個DRAM的動作。圖2中，當 $WE\#$ 成爲低電位，更新動作已經開始(選擇RWL)。當更新動作結束時，對應到ADD上位址的字線NWL1被選擇，並在 $WE\#$ 脈衝期間維持選擇。因此當資料在I/O成爲有效，可以立即被寫入，而允許寫入動作結束以及在 $WE\#$ 回到高電位時開始另一個動作。因此，圖2中的動作不需要寫入回復時間，並出現與SRAM相同的時

## 五、發明說明( 4 )

序。

如圖3中說明的，第二個DRAM的動作提出一個潛在的問題，其並未出現在SRAM。因為NWL1在寫入致能脈衝的期間 $t(WP)$ 維持選擇，更新動作在 $WE\#$ 為低電位時不能開始。因此，如果外部電路啟動“長寫入”，也就是，等待太久才釋放 $WE\#$ ，這可能延遲更新動作太久來防止資料損毀。

要防止資料損毀，根據圖2及3的一個DRAM動作在外部電路上加入最大的寫入週期時間。換句話說， $t(WP)$ 可加以限制，例如，每個寫入週期期間內的一到十微秒。這限制了這種裝置之應用於可以同時容忍並確保符合最大寫入週期時間的需求。

### 發明概要

普遍可接收需要一種使用更新形態記憶體細胞的記憶體裝置，但在動作在與SRAM相同的時間參數。實行這個的本發明較佳具體實例，藉由以零寫入回復時間以及沒有最大寫入週期時間限制的操作。在這些較佳的具體實例中，一更新動作及成功的讀/寫入動作可以在外部的讀/寫週期內以零寫入回復時間同時完成。但是如果讀/寫週期變長，多重的更新動作也可以在單一的週期內完成。因為更新可以在長的外部讀/寫週期繼續，較佳的具體實例不必要有最大週期時間的限制。

揭示操作一個具有更新形態記憶體細胞陣列的半導體記憶體裝置的方法。在這個方法中，一個外部寫入命令使得

## 五、發明說明-( 5 )

裝置將寫入位址及資料儲存在暫存器中，而非記憶體細胞陣列。結果，這個方法不需要記憶體細胞陣列的字線為靜態的致能，在外部的寫入命令期間，以便裝置回應該命令。這允許更新動作在外部寫入命令的期間內需要時繼續，無論外部寫入命令要花多久時間完成。

在某些較佳具體實例中，外部寫入命令也觸發一脈衝的稍後寫入到與最後外部寫入命令結合之暫存器資料的記憶體細胞陣列。這使暫存器閒置以便可以用來儲存寫入位址以及與目前外部寫入命令結合的資料。但是或許更重要的，因為稍後的寫入是脈衝的，其時序由此裝置控制，這個寫入用一已知時間期間來存取記憶體細胞陣列—不論外部寫入週期的長度有多長。在這已知時間期間外，更新動作可以被允許。

並也揭示一種具有更新形態記憶體細胞陣列的半導體記憶體裝置。此裝置包含一更新電路、一資料輸入暫存器、一寫入位址暫存器、寫入電路、讀取電路及控制電路。此寫入電路在外部要求的目前寫入動作期間啟動一脈衝的寫入動作，以便將儲存在資料輸入暫存器中的資料寫入到儲存在寫入位址暫存器中之位址上的細胞陣列。此寫入電路也儲存在目前外部要求的寫入動作期間接收的寫入位址到寫入位址暫存器，摒除存在目前外部要求的寫入動作期間接收的資料到資料輸入暫存器。

讀取電路在外部要求的目前寫入動作期間啟動一脈衝的讀取動作。讀取動作的讀取位址與儲存在寫入位址暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 7 )

開始，但是此動作接著根據內部產生的信號而繼續。

稍後寫入參考為對記憶體細胞陣列的內部脈衝寫入動作。稍後寫入的獨特特點是陣列位址的設定及資料寫入發生在位址與資料送到此裝置的期間內的外部寫入動作後一段時間，利用儲存在過渡性質時期暫時性暫存器的外部寫入位址及資料。此稍後寫入可以發生，例如，在接下來的外部寫入動作期間。稍後寫入的另一個特色是要求讀取資料發生在裝置實際寫入資料到陣列中之前的可能性。

現在回到本發明的第一具體實例，圖4包含一半導體記憶體裝置90的方塊圖。

在裝置90中，記憶體細胞陣列200包含更新記憶體細胞、字線WL以及位元線BL。每個記憶體細胞連結到一個字線及一個位元線。列解碼器140及行解碼器150提供定址一特定記憶體細胞的方法。在一個存取期間，此位元線BL被預先充電而接著當主要的脈衝產生器320產生一脈衝在PWLb時列解碼器140根據一系列位址信號選擇一字線。選定的字線導通連接到此線之每個記憶體細胞中的存取電晶體，讓電荷在每個記憶體細胞的儲存節點及連接到此記憶體細胞的特定一位元線BL間共用。感測放大器410接著被PSA上的脈波所啓動；每個感測放大器感測目前連結到其特定位元線的記憶體細胞是被充電或放電，藉由測量在位元線上的電壓。此信號被放大，藉之更新記憶體細胞。

在讀取或寫入動作期間，一或多個細胞接著被讀取或寫入。當主要脈衝產生器在PCSL產生一脈衝時，行解碼器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明( 8 )

150 根據行位址信號選擇一個行選擇線 CSL。每個行選擇線連結一或多個對應的位元線到裝置 90 的輸入/輸出電路，允許讀取及寫入連結到選定字線的記憶體細胞。

對裝置 90 的外部記憶體存取由讀取及寫入命令啟動。這些命令可以由，例如，位址 ADDi 的一或多個外部輸入、晶片致能(也稱為晶片選擇)CE# 以及寫入致能 WE# 的信號轉變所啟動。例如，讀取命令可以由出現在 ADDi 上的新位址，或藉由設定 CE#(在兩種情況下 WE# 均為解設定)啟動。類似的，寫入命令可以好幾種方式啟動。一個一般的方式是在 CE# 為設定時設定 WE#。類似的，如果在 WE# 設定時設定 CE#，一寫入命令被啟動。最後，在 CE# 及 WE# 都設定時，新的寫入命令可以藉由 ADDi 上的位址變動而啟動。雖然本專利聲明企圖涵蓋這些，以及其他一般啟動讀取及寫入命令的方法，接下來的範例只使用一個讀取及一個寫入命令方法，以便簡化本揭示。

位址緩衝電路 100 接收並緩衝外部信號 ADDi 及 CE#。當這些信號的其中之一改變(而 CE# 的最後狀態為致能的)，ATD(位址轉變檢測器)電路 330 回應此 ADDi 或 CE# 轉變並產生短脈波 PATD。

寫入致能緩衝電路 300 接收並緩衝外部信號 WE# 及 CE#。WE# 送到讀取/寫入脈波控制電路 310 做為緩衝信號 WEb。當 CE# 及 WE# 其中之一轉變為設定，而另外一個已經設定，寫入致能緩衝電路 300 產生一脈波 SPGL\_WE。當 WE# 轉變為解設定，寫入致能緩衝器電路

## 五、發明說明-( 9 )

300產生一脈波SPGH\_WE。

讀取/寫入脈波電路310產生內部控制信號，其操作多工器130、主要脈波產生器320以及更新控制電路510。對控制電路310的輸入為PATD、WEB、SPGL\_WE及SPGH\_WE及PRFH(更新控制電路510產生的更新脈波)。控制電路310在此更新週期內產生一更新選擇信號RFHTD，在讀取週期內的一個讀取選擇信號RATD，以及在寫入週期內的一個寫入選擇信號PWTD。另外，控制電路310產生一更新要求動作阻斷信號NERFH來控制更新控制電路510，當更新不被允許時。

多工器130使用信號RATD、PWTD及RFHTD來選擇三個可能的位址信號中的一個做為列解碼器140及行解碼器150輸入位址 $A_i$ 。當新的位址在外部位址線 $ADD_i$ 上接收時，三個位址信號的第一個是內部的位址 $A_{i\_R}$ ，位址緩衝電路100儲存此位址並輸出做為 $A_{i\_R}$ ，無論此位址對應到讀取命令或是寫入命令。三個位址信號的第二個是寫入位址 $A_{i\_W}$ 。寫入位址暫存器110儲存 $A_{i\_R}$ ，在寫入週期內，並接著輸出儲存值為 $A_{i\_W}$ ，直到在下一個寫入週期內儲存一個不同值。第三個位址信號是更新位址 $A_{i\_cnt}$ 。一般，多工器130選擇 $A_{i\_R}$ ，在陣列200的脈波讀取期間，在陣列200的脈波寫入期間選擇 $A_{i\_W}$ ，以及在陣列200的脈波更新期間選擇 $A_{i\_cnt}$ 。

裝置90的更新電路包含更新計時器500、更新控制電路510、更新位址計數器520以及讀取/寫入脈波控制電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 10 )

310。

更新計時器500在更新要求線SRFHB上產生一脈波，例如在固定的時間間隔。此間隔期間是要確保可防止資料遺失的更新速率。

當NERFH為解設定時，更新控制電路510接收SRFHB脈波。當NERFH為設定時，更新控制電路510不接收此SRFHB脈波。

更新位址計數器520以預定順序定址每條字線及行選擇線的方式通過位址。更新位址計數器520改變其輸出Ai\_cnt當PRFH脈衝時。

讀取/寫入脈波控制電路產生更新控制信號RFHTD及NERFH以回應其輸入。RFHTD啟動一更新動作。NERFH在脈波讀取動作及脈波寫入動作期間禁能更新動作要求。

半導體記憶體裝置90還包含電路來正確的處理稍後寫入，包含寫入位址暫存器110、比較器120、旁通控制電路160、資料輸入暫存器440以及資料輸出多工器430。寫入位址暫存器10儲存Ai\_R的值，根據SPGH\_WE上的脈波信號(也就是，為部寫入週期結束時)。在此同時(同樣的根據SPGH\_WE)，資料輸入暫存器440儲存目前在資料輸入緩衝器460中的資料輸入資訊。暫存器110及440固定的輸出這些儲存值，直到在下一個SPGH\_WE脈波時被取代。

當一個外部寫入命令啟動時，在資料輸入暫存器440中資料的稍後寫入在目前的外部寫入命令完成前執行。這個

## 五、發明說明( 11 )

稍後寫入儲存到，記憶體細胞陣列200，在最後的外部寫入命令期間輸入到資料輸入暫存器440的資料Din\_W，在對應到寫入位址Ai\_W的一陣列位址上，其在最後外部寫入命令期間是此裝置的輸入。接著，在目前寫入命令結束時，當SPGH\_WE受到脈衝，此脈衝動作寫入位址暫存器110及資料輸入暫存器440(使得它們個別的儲存，目前寫入位址及目前資料輸入資訊)。

裝置90必須可以在需要時讀出，已經外部寫入裝置90的任何資料，包含稍後寫入資料。比較器120將寫入位址暫存器內容(Ai\_W)與目前要求的讀取位址(Ai\_R)比較。當匹配時，這會指示出外部讀取動作已經要求一尚未儲存在記憶體細胞陣列200中的資料(但是暫時儲存在資料輸入暫存440)。比較器120因而設定Add\_comp到旁通控制電路160。旁通控制電路160設定此BYPASS信號，當Add\_comp設定而此脈波旁通致能PBYPASS也被設定。此BYPASS信號使得資料輸出多工器430選擇輸出(to output data buffer 450)儲存在資料輸入暫存器440中的資料，取代從記憶體細胞陣列200取出的資料(其，在此具體實例中，也被取出但已過期)。對所有其他讀取位址，此比較器產生不匹配，而出現在輸出資料緩衝器450中的資料是從細胞陣列200取出的資料。

圖5包含一說明普通讀取動作的時序圖，圖6包含一說明普通寫入動作的時序圖而圖7包含一說明旁通一讀取動作的時序圖。每一個均依序的加以解釋。

## 五、發明說明( 12 )

首先參考圖 5，ADDi(對位址 A0)中的改變觸發一脈波讀取動作。此 ATD 電路在 PATD 上產生一短脈波。在此讀取/寫入脈波控制電路中，一脈波分布器藉由在 ATDD 上產生長度  $t_F$  的脈波回應此 PATD 脈波。在 ATDD 上的脈波，不同的知道是“假的更新”，可以在一普通讀取週期中在將到來之更新動作期間內完成提供一時間期間。此 ATDD 脈波也設定 NERFH，防止被要求新的更新動作。

在假更新脈波的結束時，在 RATD 產生一短脈波來啓動一脈波讀取動作。這個脈波選擇  $Ai\_R$ (其包含位址 A0) 做為位址多工器的輸出位址  $Ai$ 。此 RATD 脈波還啓動陣列定址脈波(所知的 PWLb) 做一讀取的存取，造成  $WL0$  被選擇自  $t1$  開始一預定脈波寬度。當資料 DQA0 從資料輸出緩衝器輸出時之後此脈波讀取動作很快的完成。

在脈波讀取動作的期間內，讀取/寫入脈波控制電路中，脈波分布器藉由產生一普通的讀取要求(NRR)脈波回應於假更新脈波的結束。此 NRR 脈波提供足夠的時間讓脈波讀取動作完成。在 NRR 脈波結束時，NERFH 被解設定，並允許更新的要求。應注意到在更新被禁能的期間時間為  $t_{ACCESS}$ ，等於假更新脈波與普通讀取脈波的結合長度。

同樣顯示在圖 5 中的是與 SRFHB 時間相關的三個要求信號：SRFHB1，其發生在 ADDi 轉換為值 A0 之前；SRFHB2，其發生在 NERFH 設定時；以及 SRFHB3，其發生在相同的外部讀取週期內，但是在脈波讀取動作完成後。

## 五、發明說明( 13 )

更新要求信號SRFHB1就在ADDi轉變為A0之前被更新控制電路接收。因此PRFH設定，藉由在RFHTD上觸發一脈波啓動脈波更新動作。此脈波選擇Ai\_cnt，其定址目前更新字線，做為位址多工器的輸出位址Ai。此RFHTD脈波還在PWLb上啓動字線選擇脈波，使得WL\_RFH1被選擇做為自t0開始的預定脈波寬度。如圖5中所示，選擇WL\_RFH1脈波的字線在假更新時間內完好的結束。

更新要求信號SRFHB2在NERFH設定時(在tACCESS期間內)被更新控制電路接收。此更新控制電路因而回應於SRFHB2延遲設定PRFH，直到NERFH解設定信號通知脈波讀取動作的結束。在NERFH解除設定時，字線WL\_RFH2的脈波更新動作啓動而更新發生在t2，類似於字線WL\_RFH1在t0時的更新。

更新要求信號SRFHB3在接近自位址A0讀取結束時被更新控制電路接收。此更新控制電路未被NERFH阻斷，並因而啓動第三個脈波的更新動作。字線WL\_RFH3在t3更新，在部份延伸到下一個(A1)外部讀取週期的脈波更新期間內。

前述的脈波讀取動作可以讓至少一個更新發生在每個普通讀取動作期間內(在假更新時間內)。同樣如顯示的，在相對長外部讀取週期時間不會有問題發生，因為更新動作在一脈波普通讀取存取字線後被重新致能，即使是在長讀取週期後。

現在回到圖6，顯示後面有一讀取動作R3的兩個連續外

## 五、發明說明( 14 )

部寫入動作 W1 及 W2 的時序。應注意到在時序圖開始處，一外部寫入動作 W0 才剛結束。

外部寫入動作 W1 在 ADD 轉換到 A1 時開始，而相對應的低電位轉變在寫入致能 WE#。應注意就在這之前，在 WE# 上的高電位轉變信號通知外部寫入動作 W0 的結束，觸發在 SPGH\_WE 上一個脈波。這個脈波使得 Ai\_W 儲存來自 Ai\_R 的 A0，而 Din 儲存 Din0。

外部寫入動作 W1 的開始觸發一脈波的寫入動作來將 Din0 寫入到位址對應 A0 的細胞陣列。WE# 在的低電位轉變觸發 SPGL\_WE 上的一脈波。此讀取/寫入脈波控制電路藉由對假更新間隔內產生一分布的脈波 WTDD 回應此脈波，類似於之前範例的假更新間隔。

在假更新間隔結束時，此讀取/寫入脈波控制電路在 PWTD 上產生一短脈波以及在 NWR 的散布脈波。散布脈波的結束點定義脈波寫入命令的結束點。此 PWTD 脈波使得位址多工器選擇 Ai\_W (也就是，在此範例中的值 A0。) 做為到列與行解碼器的位址 Ai。此 PWTD 脈波也啟動此主要脈波產生器中的一寫入脈波順序，使得字線 WL0 在時間 t1 被選擇。在 WL0 被選擇的時間內，Din0 從 Din\_W 寫入到資料陣列。

一旦脈波寫入週期完成，此裝置可以繼續更新動作直到外部信號(例如，WE# 的高電位轉變)信號通知此外部寫入週期的結束。在高電位轉變時，在 SPGH\_WE 上的一脈波儲存 A1 及 Din1，使得這些些值分別出現在 Ai\_W 及

## 五、發明說明( 15 )

Din\_W。

外部寫入週期W2緊接在外部寫入週期後。W2的處理類似W1的處理，並包含一脈波的寫入動作來儲存A1到記憶體細胞陣列中。

一讀取週期R3緊接在W2之後，說明不需要有回復時間。讀取週期R3的處理如同在圖5中的讀取週期所做。一個額外值得注意的是Ai\_W及Din\_W維持其資訊(也就是，A2及Din2)經過及在外部讀取週期R3之後，將會這樣的進入下一個寫入週期，根據這個具體實例。

圖6中的更新動作類似於經由參考圖5所做的說明。因此沒有最大寫入週期時間需要指明，因為可以發現到更新可以發生在普通的外部寫入週期內，無論長度為何(當然會存在有最小週期時間，在對所以記憶體裝置這樣做時)。

圖7包含一旁通讀取動作的時序圖。旁通讀取發生在外部讀取要求資訊，其尚未儲存在記憶體細胞陣列中，當資料在等待一適當時間的稍後寫入。因為資料不能從記憶體細胞陣列讀出(尚不能)，旁通讀取識別出此資料已存在於資料輸入暫存器而資料輸入暫存器資訊回授到資料輸出，有效的“旁通”記憶體細胞陣列。

圖7顯示某些與圖6相同的信號做為外部寫入週期W1的結束。在圖7中，然而，兩個外部讀取週期R2及R1接在W1之後。外部讀取週期R1關閉來需求一個旁通讀取，因為從外部寫入週期W1(以相同的陣列位址A1)讀出的資料尚未寫入到記憶體細胞陣列。雖然更新動作在圖7中為簡

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明( 16 )

潔起見而加以忽略，可以理解的是更新動作也可能在圖7中顯示的時間間隔內定址字線WL。

讀取週期R2類似於先前加以解釋的讀取時序圖。讀取週期R2顯示出資料SAout\_A2從對應到A2的記憶體細胞處感測，並輸出在感測放大器輸出SAout上，並接著選擇到Dout因為BYPASS被禁能。

讀取週期R1動作有些不同。應注意一旦在週期R1內A1出現在Ai\_R，Ai\_R與Ai\_W的比較被估算為真值，使得Add\_comp成為高電位。因此當在R1期間PBYPASS上的旁通脈波使得旁通控制電路檢視Add\_comp，電路設定BYPASS為資料輸出多工器。這使得在外部讀取週期R1的脈波讀取動作後多工器選擇DinW，而非SAout。這產生正確的結果，因為資料Din1，在DinW等待寫入到A1，並因而是對應到位址A1的最後寫入資料。

圖8包含讀取/寫入脈波控制電路310(參閱圖4)一具體實例的方塊圖。這個特定的具體實例觸發啟動PATD的脈波讀取動作以及啟動SPGL-WE的脈波寫入動作。

電路310的上半部在讀取動作期間工作。更新存取控制311包含脈波散布器-此脈波散布器將PATD脈波散布而產生假的更新脈波在ATDD上。ATDD連接為普通讀取存取控制312的輸入。區塊312藉由產生兩個脈波回應假更新脈波的尾端邊緣——短脈波在RATD來啟動陣列讀取，及一較長的脈波在NRR來阻斷陣列讀取期間的更新動作。OR閘313組合ATDD及NRR來產生信號NERFHR。NERFHR因

## 五、發明說明-( 17 )

而延續 ATDD 及 NRR 脈波的組合期間(也就是，此脈波讀取存取時間 tACCESS)。

電路 310 的下半部在寫入動作期間工作。更新存取控制 314 包含一脈波散布器來散布 SPGL-WE 脈波，藉之產生假更新脈波在 WTDD 上。WTDD 連接做為普通寫入存取控制 315 的輸入。區塊 315 藉由產生兩個脈波回應假更新脈波的尾端邊緣回應一短脈波在 PWTDD 上來啟動陣列寫入，及一較長的脈波在 NWR 來阻斷陣列寫入期間的更新動作。OR 閘 316 組合 WTDD 及 NWR 來產生信號 NERFHW。NERFHR 因而延續 WTDD 及 NWR 脈波的組合期間(在此具體實例中，此脈波寫入存取時間，也就是 tACCESS)。

NERFHR 及 NERFHW 由 OR 閘 317 組合而產生 NERFH。NERFH 為更新要求阻斷信號，其在脈波讀取動作及脈波寫入動作的期間內作用。

圖 8 使用固定脈波長度的 WTDD。一替代性具體實例使用可變動的脈波長度，最大期間等於假更新脈波期間，而最小期間接近於零。這個具體實例可以讓一脈波寫入在外部寫入命令中較早被執行，當情況允許時。

WTDD 的可變動脈波長度係藉由在相關於任何執行更新動作狀態的信號觸發此脈波尾端邊緣加以計算。這個信號可以是，例如，一長度等於假更新脈波的脈波，但在每次更新動作開始時由 PRFH 觸發。

圖 9 顯示一替代性的實做 318，其可以替代圖 8 的普通寫入存取控制電路 315。圖 9 的電路變動脈波寫入動作的時

## 五、發明說明( 18 )

序，取決於在外部寫入動作開始點上的更新動作是否正在進行中。這可以讓這種情形下的稍後寫入動作在外部寫入週期中儘早執行，更早的空出外部寫入週期中的陣列存取邏輯來執行更新(以及更早空出寫入位址及資料輸入暫存器)。

圖9的電路動作如下。當SPGL\_WE脈波接收時加大脈波產生器321形成散布脈波A(大約是假更新時間的長度)。前端邊緣脈波產生器322出發一短脈波B啟動散布脈波A的前端邊緣。尾端邊緣脈波產生器323出發一短脈波C啟動散布脈波A的尾端邊緣。脈波B及C其中之一將會當作是PWTD脈波，取決於開關324及325的狀態。

開關325為閉合而開關324為開啓的，當PRFH信號轉變為低電位時(也就是，在更新動作開始的時候)。因此一旦更新動作已經開始，在SPGL\_WE設定後的假更新時間結束時信號C將成為PWTD。

當PRFH信號的狀態為其他(沒有更新動作)而SPGL\_WE設定，開關324閉合而開關325為開啓的。因此信號B將變成PWTD而避免了假更新時間。

開關324及325在NERFHW設定的期間是不可以改變的。

圖10顯示本發明的替代具體實例，其使用多級的暫存器。寫入位址暫存器及110A及110B串連的連接，如此較低接的級(110A)提供輸入到下一級(110B)-因此外部的寫入位址在被用來寫入到記憶體細胞陣列200前被延遲兩個寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明-( 19 )

入週期。同樣的，資料輸入暫存器級440A於440B以串連形式連接，如此輸入資料也在被用來寫入到記憶體細胞陣列200前延遲了兩個寫入週期。在任何特定的外部寫入命令之後，最後兩組輸入資料等待儲存到記憶體細胞陣列200。

顯示在圖10中的替代具體實例顯示出有點複雜的旁通讀取動作。兩個比較器級120A與120B被使用，每個寫入位址暫存器級用一個。每個比較器級將 $A_i\_R$ 與儲存在其指定的暫存器級中的位址做比較，而產生信號 $Add\_comp1$ (級120A)與 $Add\_comp2$ (級120B)。一個兩級的資料輸出多工器430A、430B選擇 $Saout$ 、 $Din\_W2$ 或 $Din\_W1$ 中的一個做為脈波讀取動作的輸出資料。雖然資料輸出多工器顯示為兩級的多工器，也可以實做為單一的三個輸入多工器。

對本技藝具一般技巧的人將發現到在此教授的概念可以許多其他方式適用於特定的應用。雖然在接下來外部寫入週期期間內的稍後寫入一般需要稍微簡單一點的邏輯，也可以在外部讀取動作期間排程一脈波的稍後寫入動作。針對寫入動作討論的可變動期間的假更新脈波概念同樣可以用在讀取動作期間。其中佈局與存取記憶體細胞陣列的特定方法對於本發明而言不是關鍵性的，用來操作更新電路的特定方法也不是。可以發現到所揭示內部時序信號代表根據本發明某些操作的可能方法，許多明顯的超出所揭示的方法，某些可能更有效率，電路設計人員可取得的。這樣的實做細節包含在本發明中，並企圖落在發明專利範圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 20 )

的範疇中。

前述的具體實例為示範的。雖然本規格在許多地方參考“一個”、“另一個”或是“某些”具體實例，不並不必要表示每個這樣的參考是相同的具體實例，或是此特色只適用於單一具體實例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:無寫入回復時間及最大週期時間之再  
新記憶體)

揭示一種半導體記憶體裝置及其動作的方法。此記憶體裝置使用更新形態的記憶體細胞，但以與SRAM相同的時序參數動作。一更新操作及成功的讀/寫動作可以在一個讀寫週期內以零寫入回復時間同時完成。但是如果讀/寫週期變長，多重的更新動作也可以在此讀/寫週期內完成。因此，此裝置的動作沒有最大寫入週期時間的限制。

在此揭示的方法中，外部的寫入命令使得裝置將寫入位址及資料儲存到暫存器中，而非記憶體細胞陣列。當外部寫入命令信號通知資料出現，不需要寫入回復時間，因為暫存器不需要位址設定時間。因為記憶體細胞陣列未包含在這個處理中，更新的動作可在外部寫入命令期間依需求

英文發明摘要(發明之名稱: REFRESH-TYPE MEMORY WITH ZERO  
WRITE RECOVERY TIME AND NO  
MAXIMUM CYCLE TIME)

A semiconductor memory device and method for its operation are disclosed. The memory device uses refresh-type memory cells, but operates within the same timing parameters as an SRAM. A refreshing operation and a successful read/write operation can both be performed in a read/write cycle, with zero write recovery time. But if the read/write cycle goes long, multiple refreshing operations can also be performed during the read/write cycle. Thus the device operates with no maximum write cycle time limitation.

In the disclosed method, an external write command causes the device to store the write address and data to registers instead of to the memory cell array. When the external write command signals that data is present, zero write recovery time is needed, since the

## 四、中文發明摘要 (發明之名稱: )

進行，無論外部寫入命令要花多少時間完成。在外部寫入命令終結之後的一個方便時間點上(例如，在下一個外部寫入命令期間)，一個短脈衝的寫入動作將資料轉移到記憶體細胞陣列。

## 英文發明摘要 (發明之名稱: )

registers require no address setup time. Because the memory cell array is not involved in this transaction, refresh operations can proceed as needed during the external write command, no matter how long the external write takes to complete. At a convenient time after the end of the external write command (e.g., during the *next* external write command), a short pulsed write operation transfers the data to the memory cell array.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種具有更新形態記憶體細胞陣列的半導體記憶體裝置，此裝置包含：

一 位址緩衝器在讀/寫動作期間內接收外部位址資訊並產生內部位址信號；

一 寫入位址暫存器在一外部寫入動作期間儲存由位址緩衝器接收的內部位址信號，並輸出此儲存的內部位址信號做為寫入位址信號直到下一個寫入動作；

一 更新電路來在更新動作期間內產生更新動作要求並產生更新位址信號來更新記憶體細胞陣列的記憶體細胞；

一 控制電路來產生內部的控制信號，內部控制信號包含在脈波讀取動作期間產生的一讀取選擇信號，在脈波寫入動作期間產生的寫入選擇信號以及在更新動作期間產生的一更新選擇信號，以及每個外部讀/寫動作的存取子間隔內產生更新阻斷信號來禁能更新動作要求，在該期間內裝置執行脈波的讀取或寫入動作；

一 位址多工器來選擇內部位址信號，寫入位址信號及更新位址信號中的一個做為陣列位址信號，根據內部控制信號；

一 列與行解碼器來定址記憶體細胞陣列中的一或多個細胞，根據陣列位址信號；

一 資料輸入暫存器來儲存在外部寫入動作期間內接收的資料輸入資訊，直到下一個外部寫入動作；

一 比較器來在讀取動作期間比較內部位址信號與寫入

(請先閱讀背面之注意事項再填寫本頁)

訂  
線



## 六、申請專利範圍

位址信號；以及

一資料輸出多工器來在讀取動作期間選擇儲存在資料輸入暫存器中的資料輸入資訊，或是從記憶體細胞陣列中的一或多個細胞輸出的資料，根據比較器的輸出信號，其中資料輸出多工器選擇儲存在資料輸入暫存器中的資料輸入資訊，當內部位址信號匹配寫入位址信號時，否則會選擇來自記憶體細胞的資料。

2. 如申請專利範圍第1項的半導體記憶體裝置，其中在第一外部寫入動作期間內接收的寫入位址及資料資訊直到下一個外部寫入動作才寫入到對應於寫入位址的記憶體細胞中。
3. 如申請專利範圍第1項的半導體記憶體裝置，其中此記憶體細胞陣列包含字線及位元線，每個記憶體細胞連結到一字線及位元線，其中列解碼器藉由致能一字線定址此記憶體細胞陣列，以及其中此行解碼器藉由致能一或多行選擇線定址記憶體細胞陣列，每一行選擇線連結到選定的位元線，其中致能一字線或行選擇線包含產生一脈波致能信號在該線上。
4. 如申請專利範圍第1項的半導體記憶體裝置，其中更新阻斷信號是在檢測到外部讀/寫命令信號轉變時產生的。
5. 如申請專利範圍第1項的半導體記憶體裝置，其中更新動作在更新動作要求在外部讀寫命令信號轉變前輸入時致能的，並且在更新動作要求在讀/寫存取子間隔期

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

間輸入時禁能一段時間期間。

6. 如申請專利範圍第1項的半導體記憶體裝置，其中更新動作在更新動作要求於一存取子間隔外輸入時致能，以及其中當更新動作要求在存取子間隔期間輸入時更新動作延遲到存取子間隔結束後。
7. 一種半導體記憶體裝置，其有包含需要更新儲存資料記憶體細胞之記憶體細胞陣列，此半導體記憶體裝置包含：
  - 一控制電路在每個外部讀取或寫入動作的存取子間隔內產生更新阻斷信號同時此裝置執行此記憶體細胞陣列的一脈波存取，以及另外的藉由產生更新動作信號回應於更新動作要求；以及
  - 一稍後寫入電路來在目前寫入動作的存取子間隔期間寫入在先前外部寫入動作期間接收的資料到記憶體細胞陣列，以及儲存在目前寫入動作期間接收到的資料直到接下來的寫入動作。
8. 如申請專利範圍第7項的半導體記憶體裝置，其中更新阻斷信號延遲在一存取子間隔期間接收的更新動作要求直到此存取子間隔結束之後。
9. 如申請專利範圍第7項的半導體記憶體裝置，其中存取子間隔的期間係決定為一個脈波更新動作所需要的近似更新存取時間與此記憶體細胞陣列的一脈波存取所需要的近似讀/寫存取時間的總和。
10. 如申請專利範圍第7項的半導體記憶體裝置，其中此更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

新阻斷信號在一外部讀取動作期間內檢測到外部讀取命令轉變時以及在一外部寫入動作期間內檢測到外部寫入命令轉變時產生。

11. 如申請專利範圍第10項的半導體記憶體裝置，其中外部寫入命令信號的轉變為此裝置被選擇時外部寫入致能信號的一或多個轉變所指示的一事件，在外部寫入致能設定時外部晶片選擇信號的轉變，以及此裝置同時被選擇及寫入致能時外部定址信號的轉變。
12. 如申請專利範圍第10項的半導體記憶體裝置，其中一更新動作在更新動作要求是在外部讀/寫命令信號轉變之前輸入時致能，並在更新動作要求是在讀/寫存取子間隔期間內輸入時禁能一段時間期間。
13. 如申請專利範圍第7項的半導體記憶體裝置，其中更新動作在更新動作要求是在存取子間隔外輸入時致能，以及其中當更新動作要求在存取子間隔期間內輸入時更新動作延遲到存取子間隔結束之後。
14. 一種操作具有更新形態記憶體細胞陣列及更新電路的半導體記憶體裝置的方法，此方法包含：

當目前的寫入動作是外部要求的，啟動一脈波寫入動作以便寫入之前儲存在資料輸入暫存器的資料到先前儲存在寫入位址暫存器中的一細胞陣列位址，儲存在目前寫入動作期間接收的寫入位址到此寫入位址暫存器，以及儲存在目前寫入動作期間接收的資料到資料輸入暫存器；

## 六、申請專利範圍

當讀取動作是外部要求的，啓動此在對應到讀取動作期間接收的讀取位址的陣列位址上的記憶體細胞陣列脈波讀取動作，將讀取位址與儲存在寫入位址暫存器中的位址比較，以及當位址匹配時，選擇儲存在資料輸入暫存器中的資料做為輸出，否則的話選擇脈波讀取動作所傳回的資料做為輸出；

當一更新動作要求在外部的讀/寫動作要求之前，啓動一脈波的更新動作並在完成此外部讀寫動作要求的脈波讀/寫動作之前完成該脈波的更新動作；

當更新動作要求發生在脈波讀/寫動作期間，在完成此脈波讀/寫動作之後啓動一脈波更新動作；以及

當一更新動作要求發生在外部的讀/寫動作期間但是在外部讀/寫動作期間啓動的脈波讀/寫動作完成之後，在此更新要求的時間啓動一脈波的更新動作。

15. 如申請專利範圍第14項的方法，其中每個脈波的讀取動作包含一更新子間隔，期間一更新動作是在目前要求的讀取動作可完成前要求的。
16. 如申請專利範圍第14項的方法，其中脈波的寫入動作包含一夠長到讓在目前要求的寫入動作之前要求的更新動作完成的更新子間隔長度。
17. 如申請專利範圍第16項的方法，其中更新子間隔的期間隨著先前要求的更新動作時序而變化，從沒有未定更新動作的最小期間到可以讓未定更新動作完成的最大期間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

18. 一種操作具有更新形態記憶體細胞陣列及更新電路的半導體記憶體裝置的方法，此方法包含：

在第一外部寫入週期內，儲存在此寫入週期期間內接收的寫入位址在一寫入位址暫存器以及儲存在寫入週期內接收到的輸入資料在一資料輸入暫存器中；

在較後的外部寫入週期內，啟動一脈波的寫入動作來儲存來自資料輸入暫存器的輸入資料到在對應到儲存在寫入位址暫存器中之寫入位址的記憶體細胞陣列；

當一更新動作要求在外部的寫入週期之前，啟動一脈波的更新動作並在該外部寫入週期內完成一脈波的寫入動作之前完成該脈波的更新動作；

當更新動作要求發生在脈波寫入動作期間，在完成此脈波寫入動作之後啟動一脈波更新動作；以及

當一更新動作要求發生在外部的寫入週期內但是在外部寫入週期啟動的脈波寫入動作完成之後，在此更新要求的時間啟動一脈波的更新動作。

19. 如申請專利範圍第18項的方法，其中脈波寫入動作在一信號通知外部寫入週期開始的寫入命令信號轉變時啟動。
20. 如申請專利範圍第19項的方法，其中脈波寫入動作包含一夠長到讓在目前要求的寫入命令信號轉變之前要求的更新動作完成的更新子間隔長度。
21. 如申請專利範圍第18項的方法，其中寫入位址在信號通知外部寫入週期結束的寫入命令信號轉變時儲存在寫入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

位址暫存器中。

22. 如申請專利範圍第18項的方法，其中輸入資料在信號通知外部寫入週期結束的寫入命令信號轉變時儲存在資料輸入暫存器中。

23. 一種具有更新形態記憶體細胞陣列及更新電路的半導體記憶體裝置，此裝置包含：

一資料輸入暫存器；

一寫入位址暫存器；

寫入電路裝置來在一外部要求的目前寫入動作期間啓動具一設定期間的脈波寫入動作，以便寫入之前儲存在資料輸入暫存器中的資料到之前儲存在寫入位址暫存器中的細胞陣列位址，儲存在目前寫入動作期間接收的寫入位址到寫入位址暫存器，以及儲存在目前寫入動作期間內接收的資料到資料輸入暫存器；

讀取電路裝置來在外部要求的讀取動作期間啓動一有設定期間的脈波讀取動作，將讀取動作用的讀取位址與儲存在寫入位址暫存器中的位址比較，而當位址匹配時，選擇儲存在資料輸入暫存器中的資料，否則的話選擇儲存在對應於讀取位址的細胞陣列位址上的資料；以及

控制電路裝置來產生脈波寫入動作，脈波讀取動作及脈波更新動作時序信號，以及在脈波寫入動作及脈波讀取動作期間禁能來自更新電路的更新動作要求。

24. 如申請專利範圍第23項的半導體記憶體裝置，其中此寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

入電路裝置包含一寫入致能緩衝器電路來信號通知脈波寫入動作的開始，回應於外部寫入命令信號的前端邊緣，以及操作資料輸入暫存器以及寫入位址暫存器來回應於外部寫入命令信號的尾端邊緣。

25. 如申請專利範圍第23項的半導體記憶體裝置，其中此讀取電路裝置包含一位址轉變檢測器來在新的讀取位址出現在外部裝置界面時產生脈波信號，一比較器將新的讀取位址與寫入位址暫存器內容比較並在位址匹配時設定旁通信號，以及一資料輸出多工器來在旁通信號設定時選擇資料輸入暫存器內容以及在旁通信號為解設定時選擇目前細胞陣列的輸出。

26. 如申請專利範圍第23項的半導體記憶體裝置，其中此控制電路裝置包含一脈波控制電路產生脈波讀取動作的時序控制信號，回應於來自讀取電路裝置的啟動信號，產生脈波寫入動作的時序控制信號，回應於來自寫入電路裝置的啟動信號，產生脈波更新動作的時序控制信號，回應於來自更新電路的啟動信號，以及在脈波讀取動作及脈波寫入動作期間設定更新動作禁能信號到更新電路。

27. 一種具有更新形態記憶體細胞陣列及更新電路的半導體記憶體裝置，此裝置包含：

一寫入位址暫存器來儲存來自目前外部寫入動作的寫入位址直到脈波寫入動作發生在目前外部寫入動作結束後的某段時間；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一資料輸入暫存器來儲存來自目前外部寫入動作的輸入資料直到脈波寫入動作發生；

一讀/寫脈波控制電路來產生脈波讀取動作、脈波寫入動作及脈波更新動作的時序控制信號，以及在脈波讀取及寫入動作期間產生更新動作禁能信號，脈波寫入動作的時序控制信號啓動儲存在資料輸入暫存器中之輸入資料的稍後寫入在對應於儲存在寫入位址暫存器中的記憶體細胞陣列位址上；

一位址多工器來選擇更新位址、外部輸入位址及來自寫入位址暫存器的寫入位址中的一個做爲記憶體細胞陣列的輸入位址，回應於讀/寫脈波控制電路產生的時序控制信號；

一位址比較器來將外部輸入位址與儲存在寫入位址暫存器中的位址做比較；以及

一資料輸出多工器來選擇在外部讀取動作期間的裝置輸出，儲存在資料輸入暫存器的輸入資料以及自對應到外部輸入位址的記憶體細胞陣列位址讀出的資料，此選擇回應於位址比較器所執行的比較。

28. 如申請專利範圍第27項的半導體記憶體裝置，其中稍後寫入動作將來自目前外部寫入動作的輸入資料寫到對應到來自目前外部寫入動作的寫入位址之記憶體細胞陣列位址，其脈波寫入動作發生在下一個外部寫入動作。
29. 如申請專利範圍第27項的半導體記憶體裝置，其中每個脈波讀取動作及脈波寫入動作包含一起始的延遲來允許

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

任何在脈波讀取動作或寫入動作啓動之前要求的更新動作的完成。

30. 如申請專利範圍第29項的半導體裝置，其中起始延遲的期間介於最小期間，當沒有要求任何更新動作或進行中，到夠長到足以完成在脈波讀取動作或寫入動作起始之前要求的最大期間。
31. 如申請專利範圍第27項的半導體記憶體裝置，其中更新動作在更新動作禁能信號解設定的任何時間上被允許。
32. 如申請專利範圍第27項的半導體記憶體裝置，其中寫入位址儲存在外部寫入命令信號的尾端邊緣上寫入位址暫存器中。
33. 如申請專利範圍第27項的半導體記憶體裝置，其中的寫入位址在下面外部寫入命令信號的前端邊緣的設定延遲之後儲存在寫入位址暫存器。
34. 如申請專利範圍第27項的半導體記憶體裝置，其中輸入資料在外部寫入命令信號的尾端邊緣上儲存在資料輸入暫存器中。
35. 如申請專利範圍第27項的半導體記憶體裝置，其中此寫入位址暫存器及資料輸入暫存器每一個包含多級的暫存器，每個較低階的級有下一級，提供輸入到下一級，其中每個寫入位址暫存器級的位址比較器包含比較器級，每個比較器級將外部輸入位址與儲存在其指定寫入位址暫存器級中的位址比較，而其中資料輸出多工器在沒有比較器級指示出位址匹配時選擇從記憶體細胞陣列讀出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

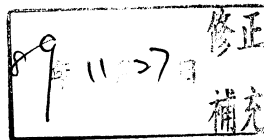
的其中一資料，以及否則的話是從儲存在對應到指示出位址匹配之最低階比較器級的資料輸入暫存器級的輸入資料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(6)

中的位址比較。當這兩個位址不同時，從記憶體細胞陣列讀出的資料被選擇作為輸出。然而當這兩個位址匹配時，來自資料輸入暫存器的資料被選擇作為輸出。

控制電路產生脈充寫入動作、脈衝讀取動作以及脈衝更新動作的時序信號。控制電路還在脈衝寫入動作及脈衝讀取動作期間禁能來自更新電路的更新動作要求。

## 圖示簡述

本發明可藉由閱讀參考圖示之揭示而獲得最佳理解，其中：

圖 1、2 及 3 為先前技藝之 DRAM 動作的時序圖；

圖 4A 及 4B 為顯示本發明之具體實例的方塊圖；

圖 5 為說明本發明一具體實例中讀取動作的時序圖；

圖 6 為說明本發明一具體實例中寫入動作的時序圖；

圖 7 為說明本發明一具體實例中旁通讀取動作的時序圖；

圖 8 包含可用在本發明一具體實例中的讀取/寫入脈衝控制電路的方塊圖；

圖 9 包含圖 8 電路一部份之替代設計的方塊圖；以及

圖 10A 及 10B 包含本發明一替代具體實例的方塊圖。

## 具體實例的詳細說明

在下面的說明中，好幾個術語已經定義其意義。脈衝動作，例如脈衝讀取或脈衝寫入，參考為內部排定順序的動作，相反於根據外部信號的轉變而開始及結束的動作。例如，脈衝的寫入動作可以根據內部的或外部的開始信號而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

煩請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

473733

89.11.27 修正  
月 日 補充

第89114175號專利申請案  
中文圖式修正本(89年11月)

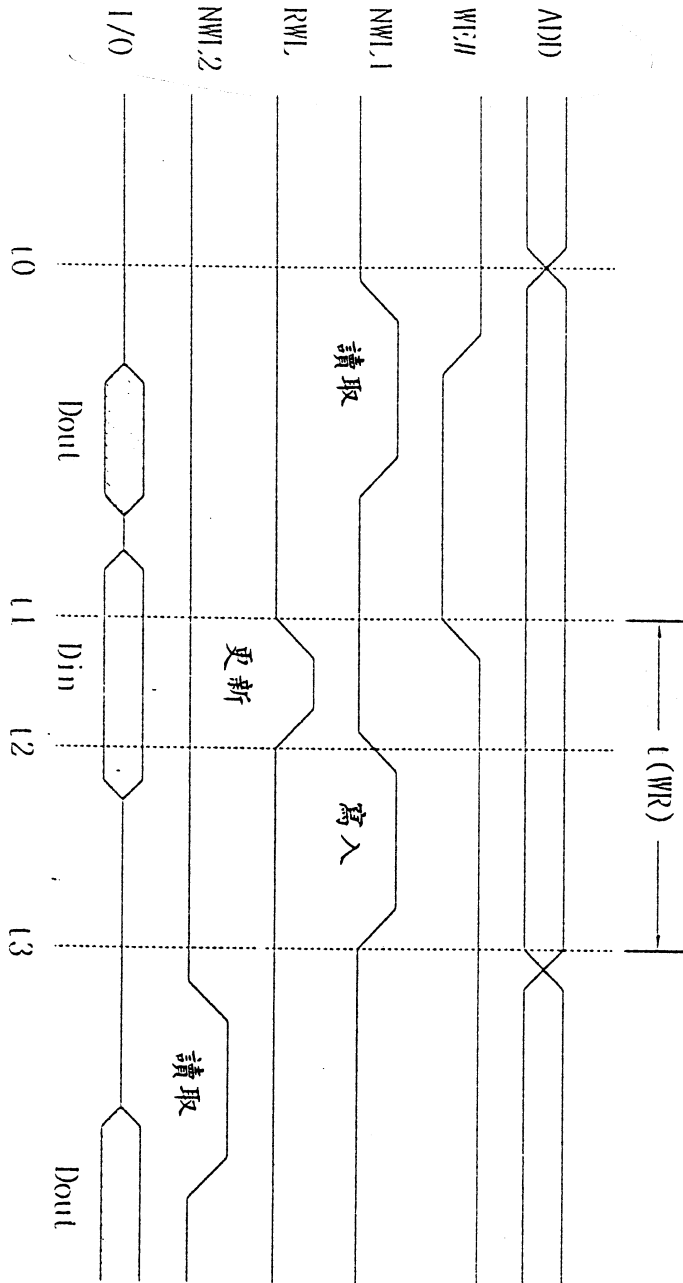


圖 1 (先前技藝)

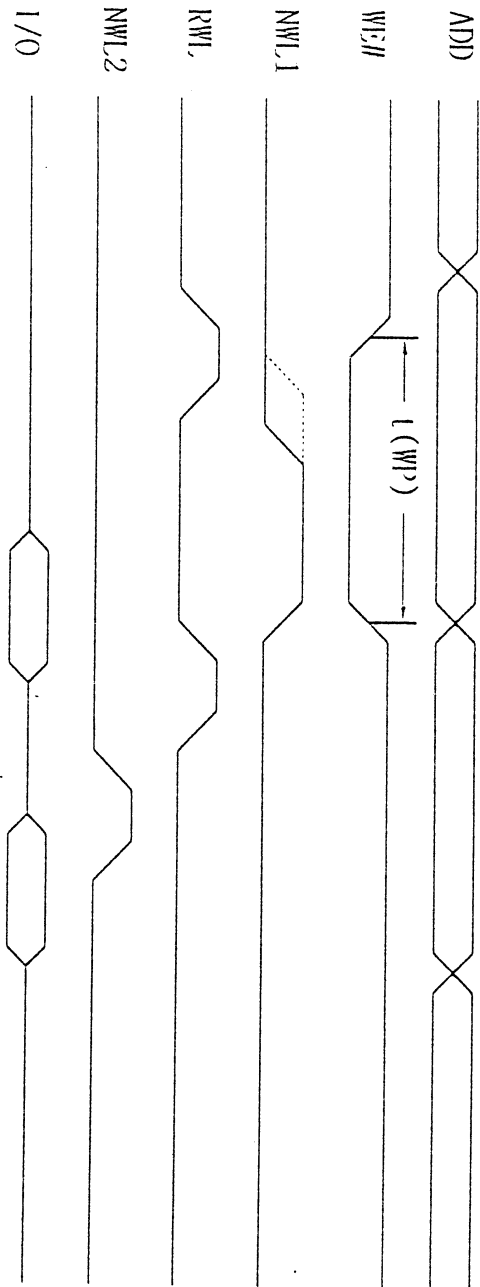


圖 2

(先前技藝)

473733

年 月 日

修正  
補充

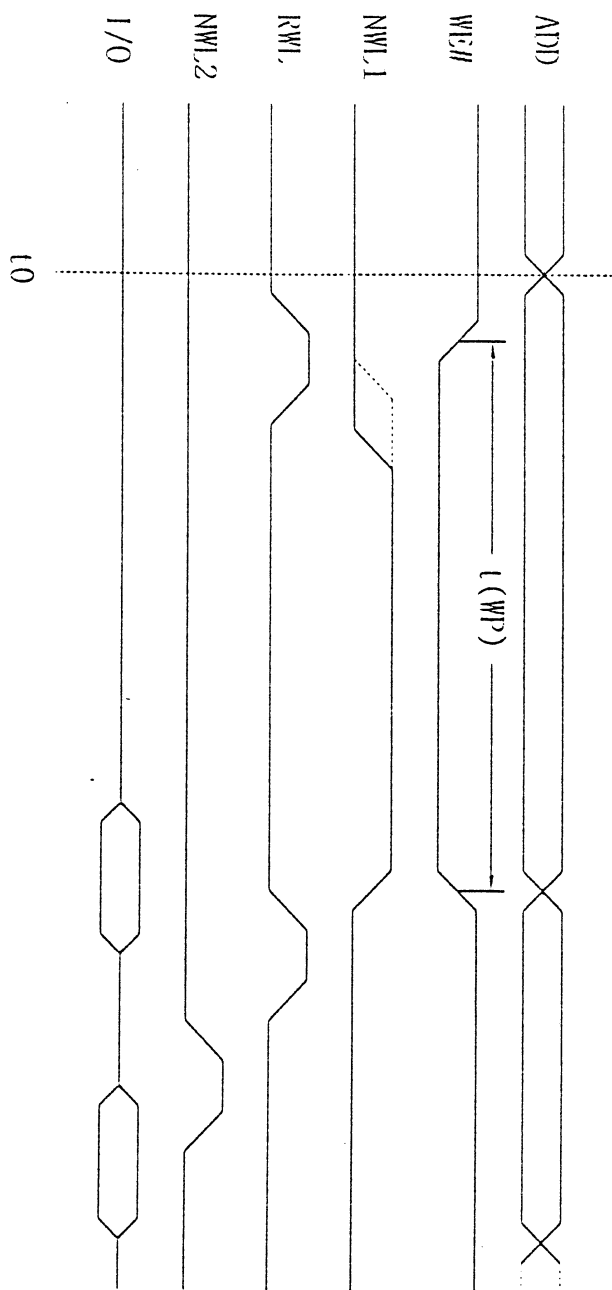


圖 3 (先前技藝)

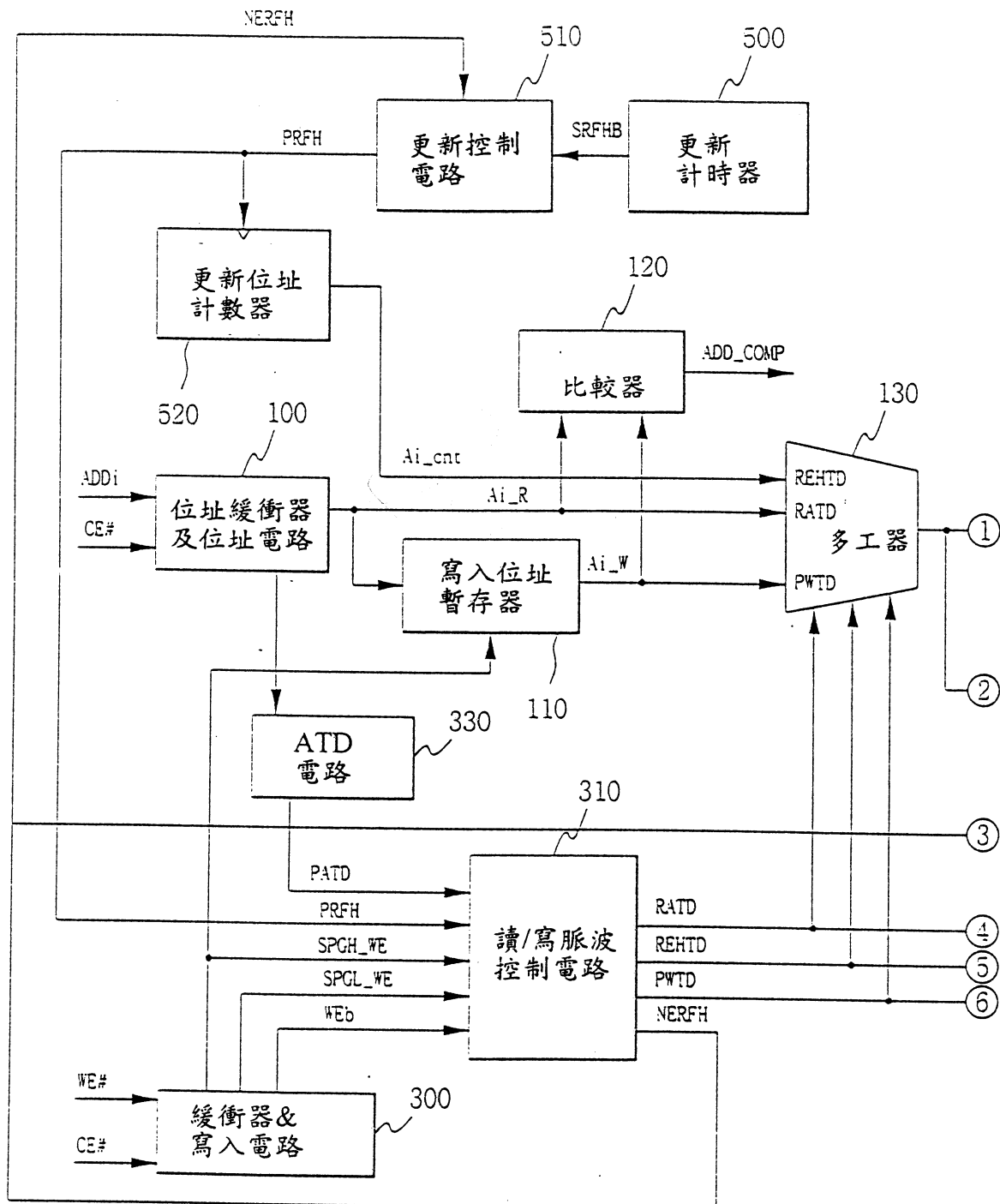


圖4A

89.11.27修正  
年月日  
補充

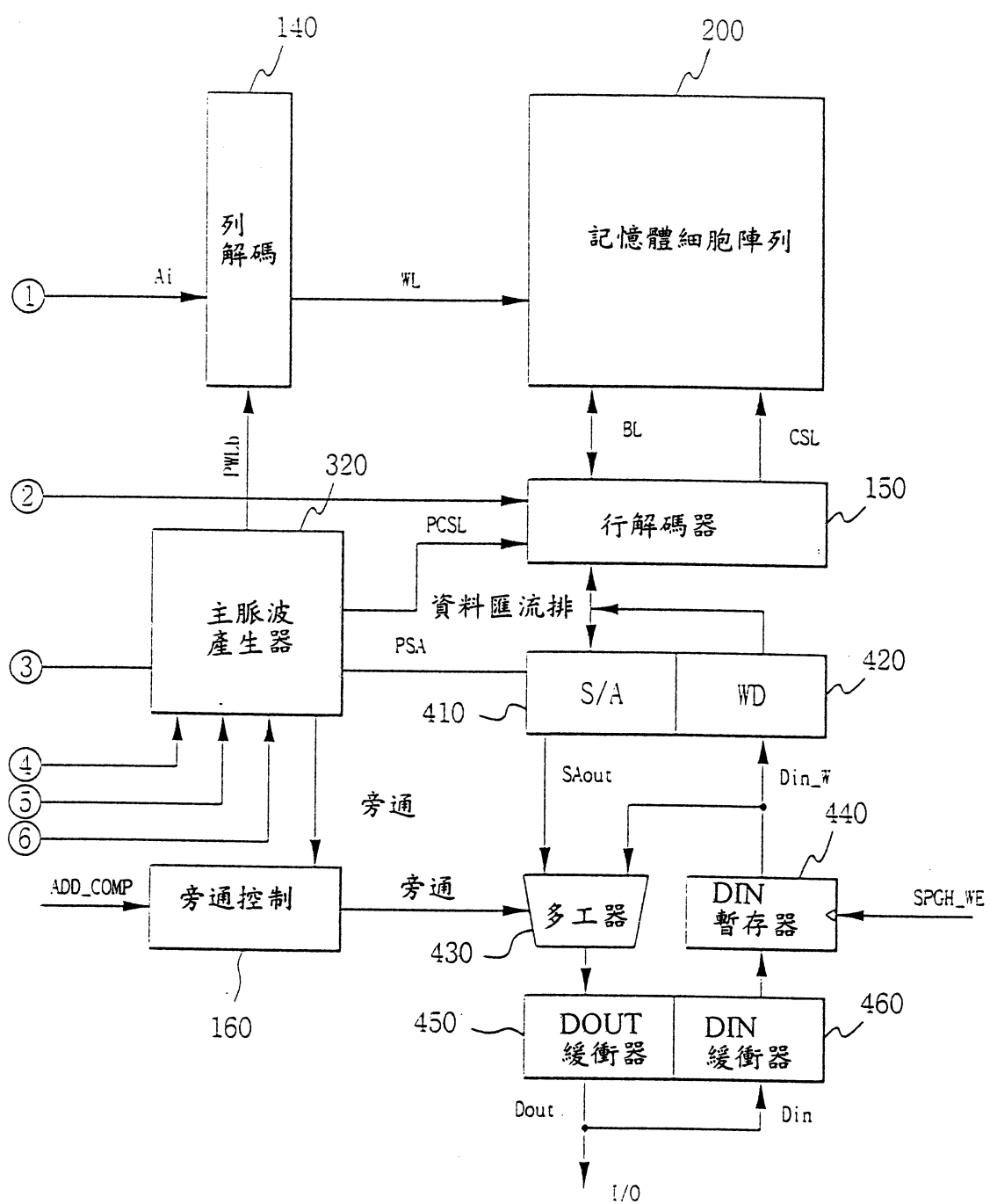


圖4B



473733

年 月 日

修正  
補充

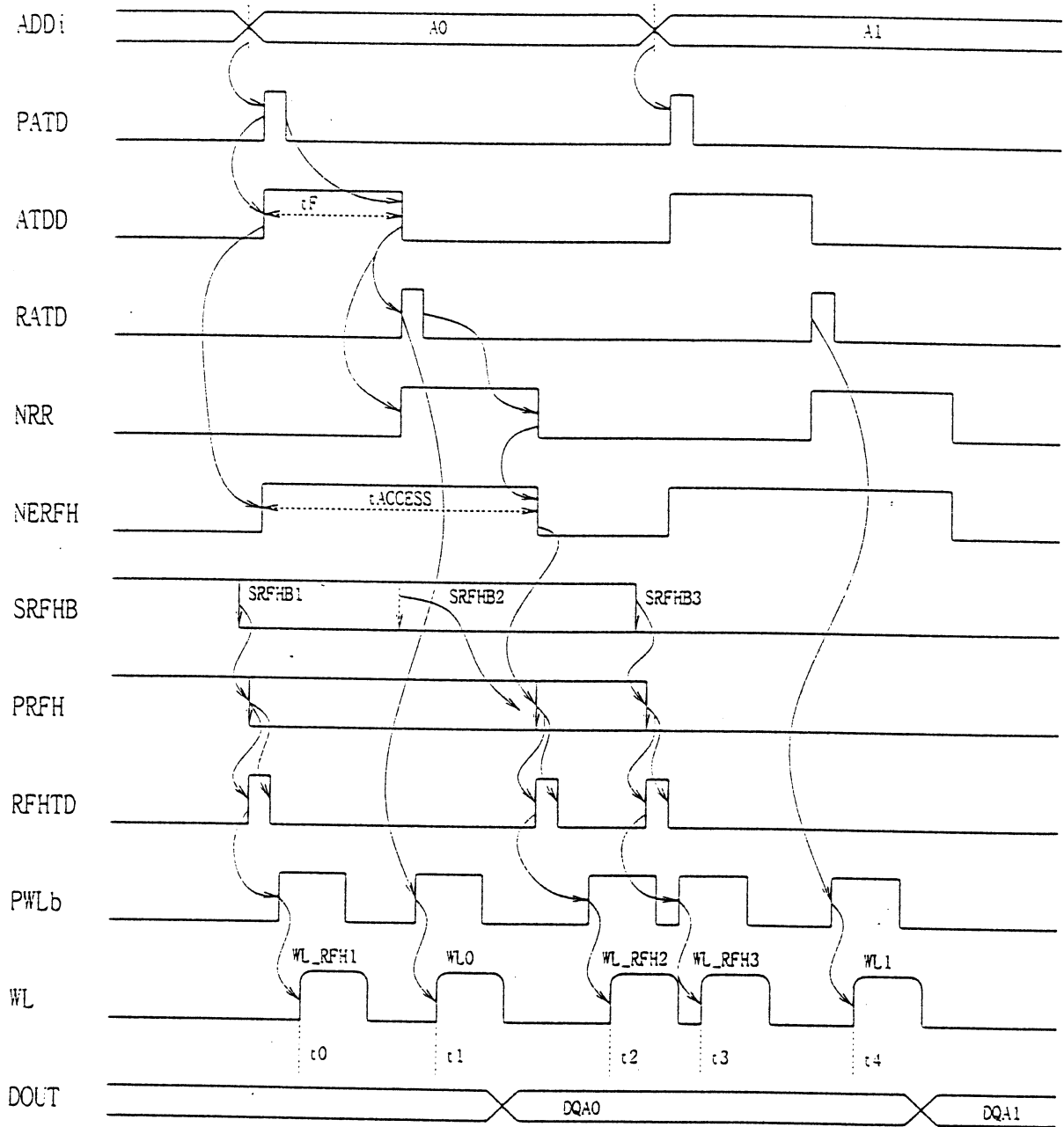


圖 5

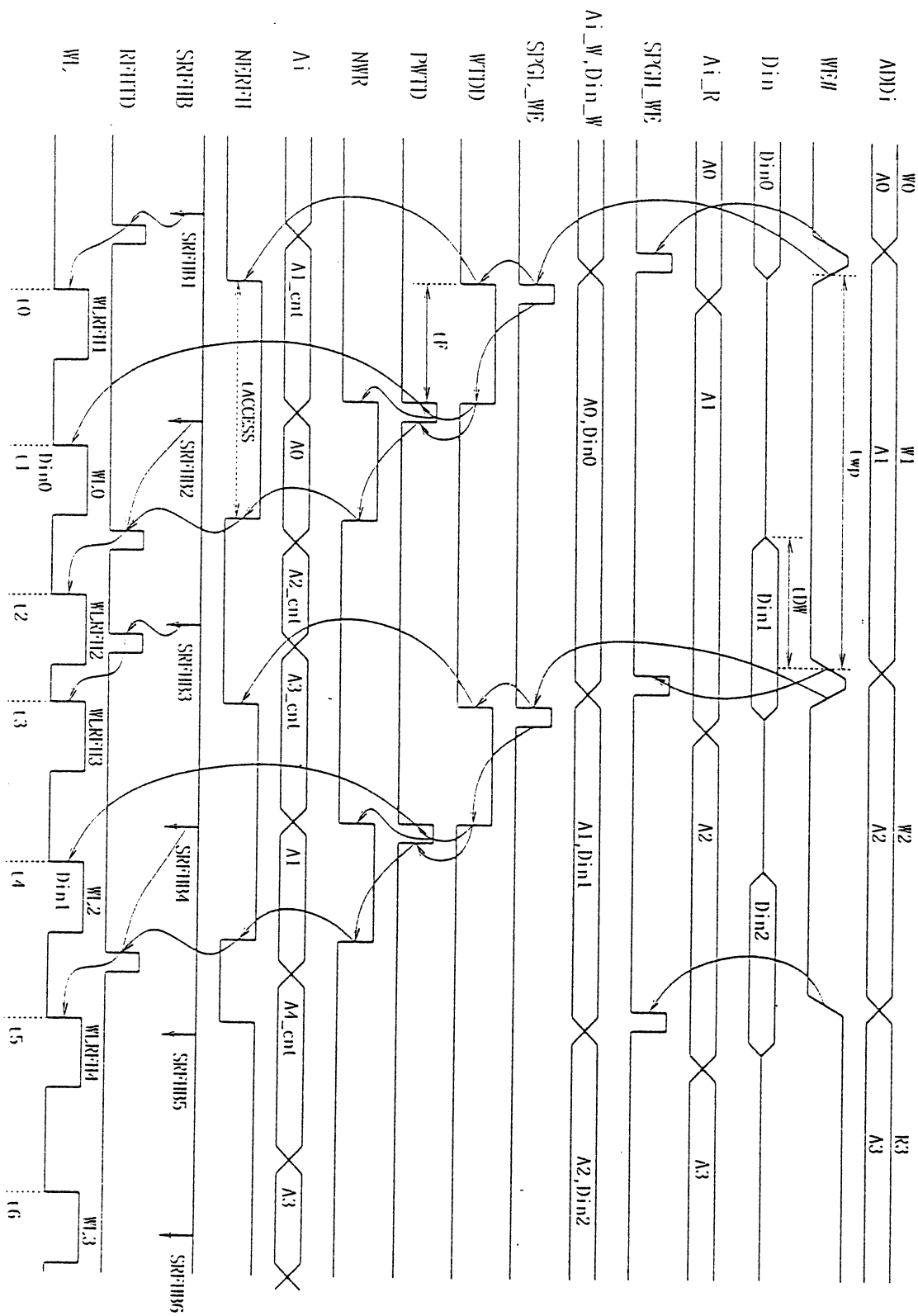


圖 6

473733

89. 11. 27 修正  
年 月 日 補充

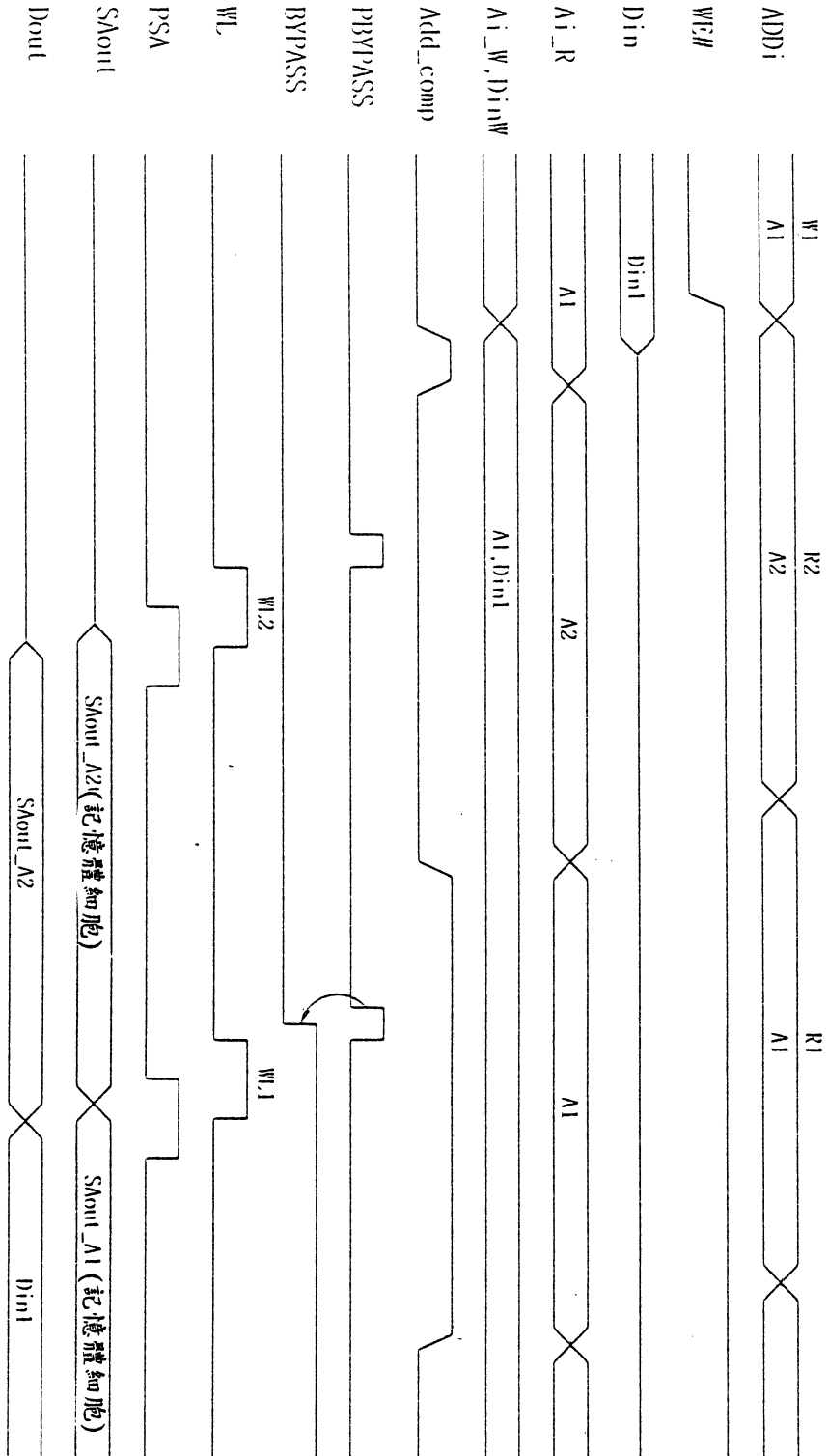


圖 7

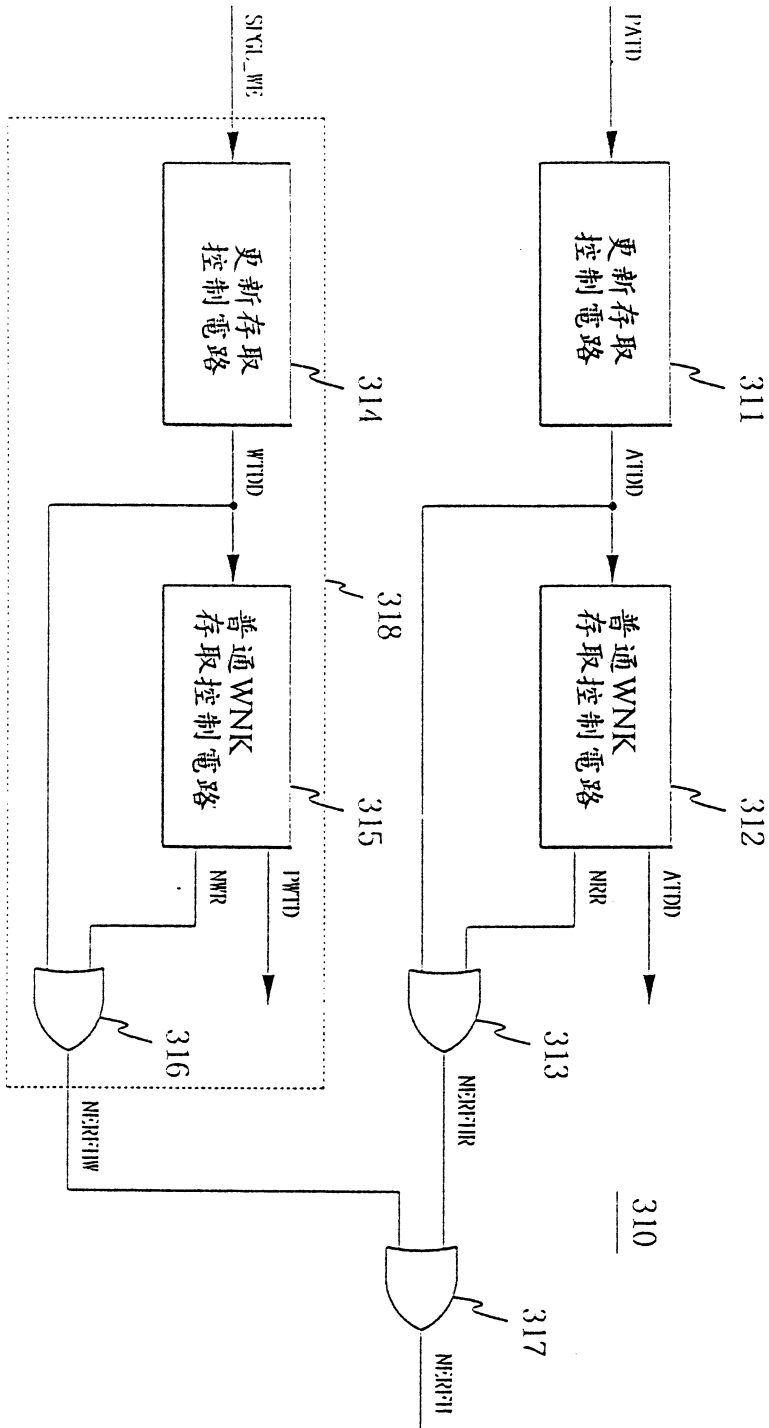


圖 8

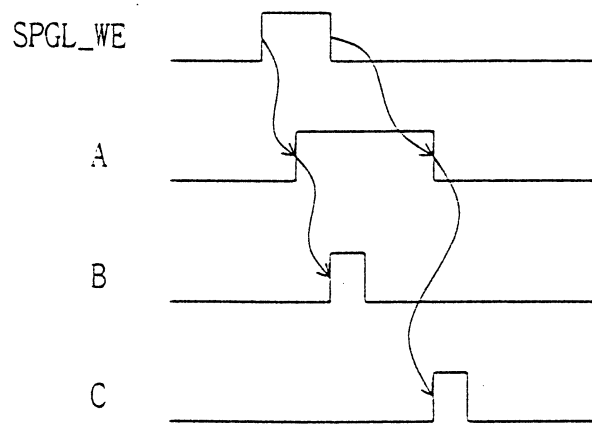
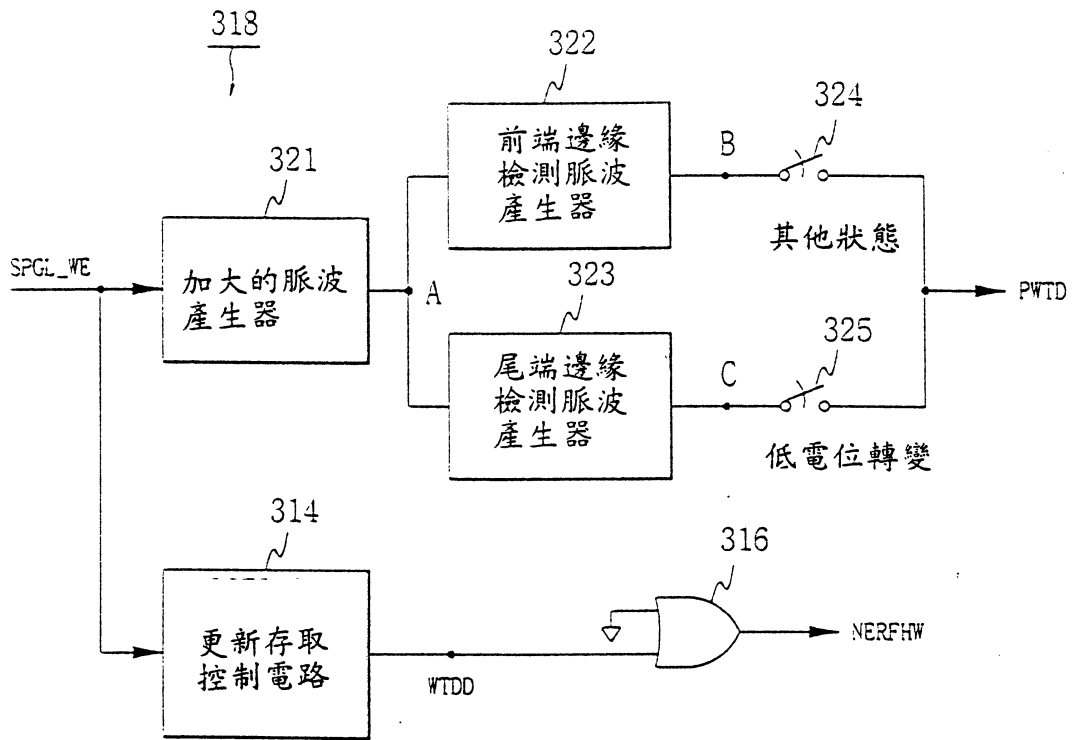


圖 9

473733

89.11.27 修正  
年 月 日  
補充

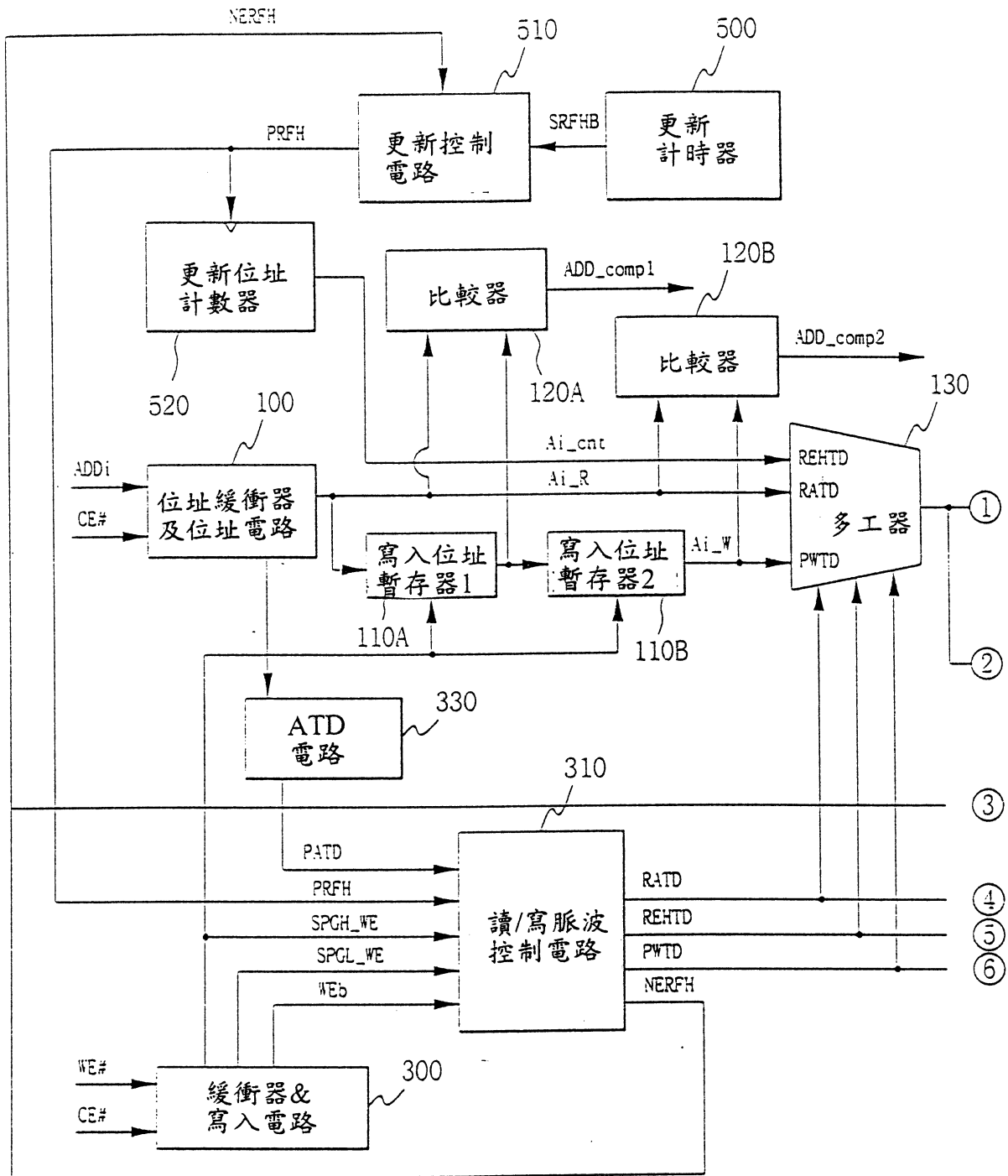


圖10A

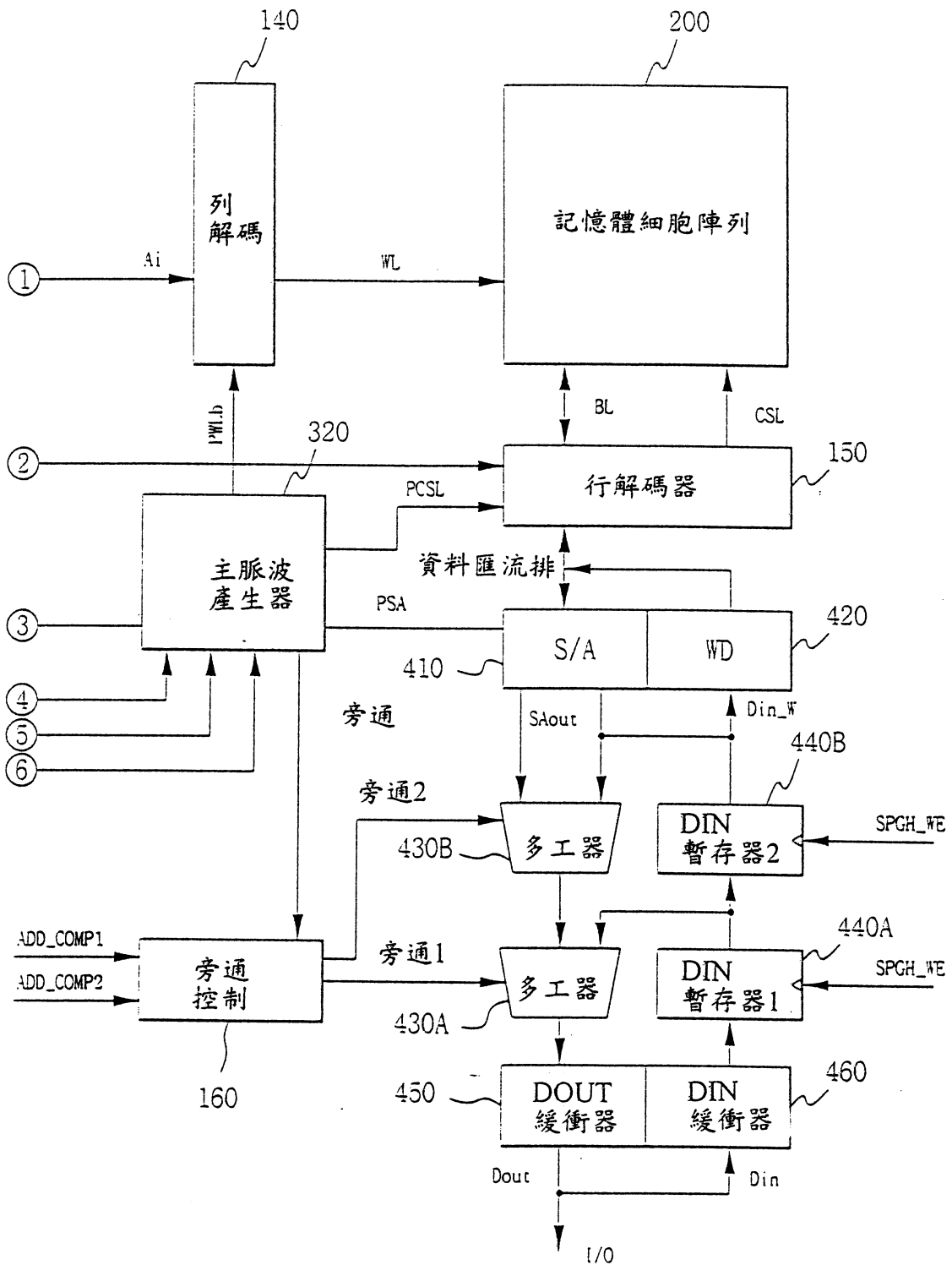


圖 10B