

(21)申請案號：102110027

(22)申請日：中華民國 102 (2013) 年 03 月 21 日

(51)Int. Cl. : *H01L41/08 (2006.01)*

H01L41/22 (2013.01)

(30)優先權：2012/03/22 日本

2012-065739

(71)申請人：富士軟片股份有限公司 (日本) FUJIFILM CORPORATION (JP)

日本

(72)發明人：藤井隆滿 FUJII, TAKAMICHI (JP) ; 向山明博 MUKAIYAMA, AKIHIRO (JP)

(74)代理人：詹銘文；葉璟宗

申請實體審查：無 申請專利範圍項數：12 項 圖式數：14 共 56 頁

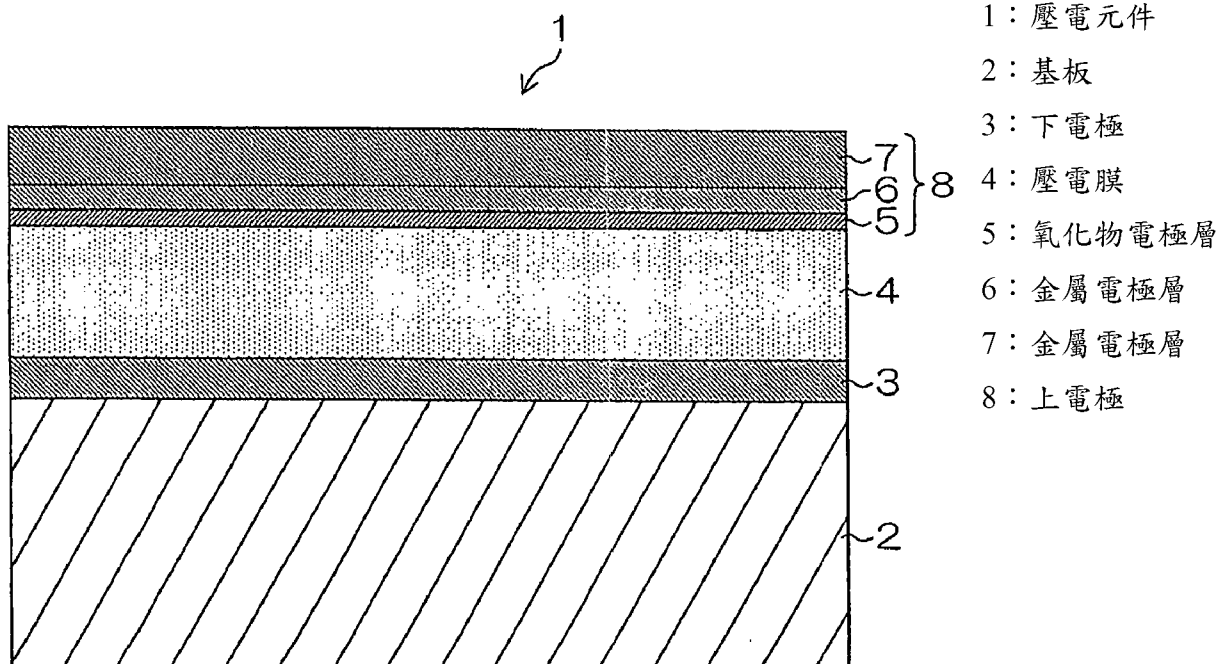
(54)名稱

壓電元件和其製造方法以及電子元件製造方法

PIEZOELECTRIC DEVICE AND METHOD OF MANUFACTURING THE SAME, AND ELECTRONIC DEVICE MANUFACTURING METHOD

(57)摘要

壓電元件包括：基板；提供在基板上的下電極；以疊層的方式設置在下電極上的壓電膜，壓電膜是由在原子組成百分比中包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦銹酸鉛 (PZT) 所形成；以疊層的方式設置在壓電膜上的氧化物電極層；以疊層的方式設置在氧化物電極層上的包含抗氧化貴金屬的第一金屬電極層；以疊層的方式設置在第一金屬電極層上的第二金屬電極層；以及藉由打線接合連接至第二金屬電極層的線。



(21)申請案號：102110027

(22)申請日：中華民國 102 (2013) 年 03 月 21 日

(51)Int. Cl. : H01L41/08 (2006.01)

H01L41/22 (2013.01)

(30)優先權：2012/03/22 日本

2012-065739

(71)申請人：富士軟片股份有限公司 (日本) FUJIFILM CORPORATION (JP)

日本

(72)發明人：藤井隆滿 FUJII, TAKAMICHI (JP) ; 向山明博 MUKAIYAMA, AKIHIRO (JP)

(74)代理人：詹銘文；葉璟宗

申請實體審查：無 申請專利範圍項數：12 項 圖式數：14 共 56 頁

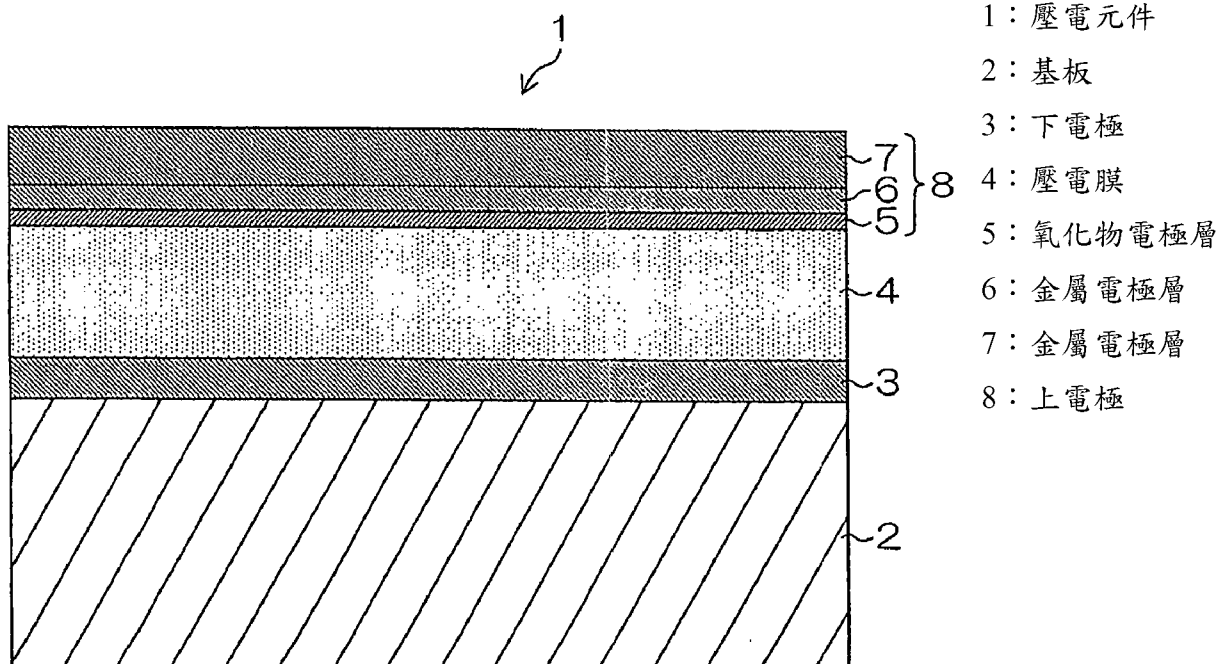
(54)名稱

壓電元件和其製造方法以及電子元件製造方法

PIEZOELECTRIC DEVICE AND METHOD OF MANUFACTURING THE SAME, AND ELECTRONIC DEVICE MANUFACTURING METHOD

(57)摘要

壓電元件包括：基板；提供在基板上的下電極；以疊層的方式設置在下電極上的壓電膜，壓電膜是由在原子組成百分比中包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦銹酸鉛 (PZT) 所形成；以疊層的方式設置在壓電膜上的氧化物電極層；以疊層的方式設置在氧化物電極層上的包含抗氧化貴金屬的第一金屬電極層；以疊層的方式設置在第一金屬電極層上的第二金屬電極層；以及藉由打線接合連接至第二金屬電極層的線。



發明摘要

※ 申請案號：102110027

※ 申請日：102.3.21

※IPC 分類：

H01L 41/08 (2006.01)

【發明名稱】

H01L 41/22 2013.01

壓電元件和其製造方法以及電子元件製造方法

PIEZOELECTRIC DEVICE AND METHOD OF
MANUFACTURING THE SAME, AND ELECTRONIC DEVICE
MANUFACTURING METHOD

【中文】

壓電元件包括：基板；提供在基板上的下電極；以疊層的方式設置在下電極上的壓電膜，壓電膜是由在原子組成百分比中包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦鋯酸鉛（PZT）所形成；以疊層的方式設置在壓電膜上的氧化物電極層；以疊層的方式設置在氧化物電極層上的包含抗氧化貴金屬的第一金屬電極層；以疊層的方式設置在第一金屬電極層上的第二金屬電極層；以及藉由打線接合連接至第二金屬電極層的線。

【英文】

A piezoelectric device includes: a substrate; a lower electrode provided on a substrate; a piezoelectric film provided by being laminated on the lower electrode, the piezoelectric film being formed of lead zirconate titanate (PZT) containing 6 at% or more in atomic composition percentage of at least one type of metal element selected

from V group and VI group; an oxide electrode layer provided by being laminated on the piezoelectric film; a first metal electrode layer containing an oxidation-resistant precious metal provided by being laminated on the oxide electrode layer; a second metal electrode layer provided by being laminated on the first metal electrode layer; and a wire connected to the second metal electrode layer.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

- 1：壓電元件
- 2：基板
- 3：下電極
- 4：壓電膜
- 5：氧化物電極層
- 6：金屬電極層
- 7：金屬電極層
- 8：上電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

from V group and VI group; an oxide electrode layer provided by being laminated on the piezoelectric film; a first metal electrode layer containing an oxidation-resistant precious metal provided by being laminated on the oxide electrode layer; a second metal electrode layer provided by being laminated on the first metal electrode layer; and a wire connected to the second metal electrode layer.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

- 1：壓電元件
- 2：基板
- 3：下電極
- 4：壓電膜
- 5：氧化物電極層
- 6：金屬電極層
- 7：金屬電極層
- 8：上電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

壓電元件和其製造方法以及電子元件製造方法

PIEZOELECTRIC DEVICE AND METHOD OF
MANUFACTURING THE SAME, AND ELECTRONIC DEVICE
MANUFACTURING METHOD

【技術領域】

【0001】 本揭露主題 (subject matter) 是有關於一種壓電元件及一種壓電元件的製造方法，且特別是有關於一種藉由使用壓電膜的壓電效應及逆壓電效應操作的例如是致動器、加速感測器 (acceleration sensor) 或角速度感測器的元件的結構及製造技術、以及有壓電元件裝載於其上的電子元件的製造技術。

【先前技術】

【0002】 使用由鈦鋯酸鉛 (lead zirconate titanate; PZT) 所製造的壓電膜的壓電致動器及壓電感測器或其相似物已是廣為人知的 (請參見日本專利申請案特開第 2009-123974 號、日本專利申請案特開第 2009-244202 號、日本專利申請案特開第 2010-249713 號、日本專利申請案特開第 2006-308291 號以及日本專利申請案特開第 11-083500 號)。日本專利申請案特開第 2009-123974 號描述在包括壓電元件的電子元件的製程中，由於例如是焊料回焊 (solder reflow) 的加熱製程而在壓電材料中發生極化減少 (又稱

作為去極化)以劣化壓電性能的問題(日本專利申請案特開第 2009-123974 號的第 0005 段至第 0006 段)。日本專利申請案特開第 2009-123974 號提出一種用於得到不會因為加熱製程而降低極化且抗熱性優秀的元件的壓電膜的組成及應力、以及此種壓電膜的極化製程方法。

【0003】日本專利申請案特開第 2009-244202 號揭露一種從一個矽基板(晶圓)得到具有所需壓電特徵的多個角速度感測器的製造方法。日本專利申請特開第 2009-244202 號提出對形成在基板上的多個角速度感測器的各者進行抗性檢查及有效地僅對被決定作為符合標準項的角速度感測器進行極化製程的製造方法。

【0004】日本專利申請案特開第 2010-249713 號描述一種使用壓電薄膜來製造角速度感測器的方法，且揭露一種結構，此結構中的膜是將 Ti 及 W 及 Au 的其中一者形成作為上電極(第 0013 段及第 0025 段)。日本專利申請案特開第 2010-249713 號亦描述將大約為 20V 直流電(direct-current; DC)電壓施加於插置壓電膜的上下電極間，以使得極化向量(polarization vector)均勻(第 0031 段)。請注意由 Ti 層及 Au 層的疊層膜(laminated layer)所製造的上電極的結構亦被描述於日本專利申請特開第 2009-244202 號的第 0053 段及日本專利申請特開第 2006-308291 號的第 0029 段。

【0005】日本專利申請特開第 11-083500 號揭露一種結構，此結構中使用樹脂銀導體(resin silver conductor)(一種具有分散的銀顆

粒的酚樹脂)作為極化製程後形成在壓電物質(PZT)上的電極的材料,且此材料在低於PZT的居里溫度(Curie temperature)被固化以形成電極(第0052段)。在日本專利申請案特開第11-083500號中所描述的結構中,若在相等於或高於壓電物質的居里溫度的溫度下進行加熱,認為壓電物質的特徵會劣化(極化被破壞)。

【發明內容】

【0006】如在上述的專利公報中所描述,以往,壓電膜需要極化製程。再者,若在製造元件後,對習知的PZT或其他材料進行焊料回焊製程或相似製程,則在壓電膜中發生去極化(depolarization)(極化降低),且因此,例如是回焊的加工製程需要在盡可能低的溫度下進行,以將壓電物質的特徵的減少最小化,或者需要在例如是回焊的高溫製程後進行再極化製程(repolarization process)。

【0007】圖13及圖14為使用壓電膜(PZT)製造電子元件的習知製程的流程圖。圖13為在極化製程後進行回焊的流程,而圖14為在回焊後進行極化製程的流程。

【0008】在圖13的實例中,在矽(Si)基板上形成下電極後(步驟S210至步驟S212),在下電極上形成PZT膜,並圖案化至所需形狀(步驟S214)。在PZT膜上,形成上電極且將上電極圖案化以形成目標疊層結構(步驟S216),並接著處理矽層以便使矽層具有所需的形狀及厚度(步驟S218)。接著,進行極化製程(步驟

S220) 以達到需要的極化狀態。在極化製程後，藉由將晶圓切塊為個別元件單元（步驟 S222）來進行隔絕（isolation），藉由打線接合（打線接合）連接至積體電路（步驟 S224），並接著進行封裝（步驟 S226）。在電子電路板上安裝經封裝的元件，且進行焊料回焊製程（步驟 S228）。藉此，製造裝載有上述元件的電子電路板，且接著在組裝製程後製造最終產品（電子元件）（步驟 S230）。

【0009】 在圖 14 中，與參照圖 13 所述者完全相同的製程或相似的製程以相同的步驟數字表示。在圖 14 的實例中，在如步驟 S228 所描述的實施/回焊/組裝製程後，進行極化製程（步驟 S229），且接著得到最終產品（電子元件）（步驟 S230）。

【0010】 在圖 13 的形態中，其技術方案需要例如是使用具有盡可能高的居里點（Curie point）的壓電材料、以不進行回焊的安裝方法來製造元件、或者盡可能低地降低回焊溫度。再者，當回焊後不進行極化製程時，可能發生例如是回焊的時候壓電性能被劣化及回焊溫度變化直接導致元件的性能變化的問題。

【0011】 相反而言，以圖 14 的形態，因為極化製程是在製程的最後階段進行，在各個晶片上一個接著一個地進行製程是繁瑣的。具體而言，在回焊製程後進行極化製程是非常固難的。

【0012】 以這些觀點來說，本申請案的發明人已研究不進行極化製程的製造過程，得到一種使用壓電膜的概念，可以在不進行極化製程的狀況下得到預定的極化狀態，且驗證了其適用性。一種經 Nb 摻雜的（Nb-doped）PZT 膜具有以下性質：在不受到極化製

程的狀態下（非極化狀態下）已非常優秀的壓電常數（日本專利申請案特開第 2011-078203 號）。即使經過加熱，此材料並不易於去極化，且因此在膜形成後的製程中易於處理（沒有溫度限制）。

【0013】然而，當本申請案的發明人試著製造使用此壓電材料的壓電元件時已發現一趨勢，若在藉由將上電極形成在疊置在下電極上的壓電膜上的元件被製造後，進行例如是焊料回焊的加熱製程，雖然在壓電材料中不會發生去極化，仍增加了大約 10% 的介電常數（電容改變）。藉由將高的電壓施加在下電極與上電極間來進行極化製程（再極化製程），可減少因加熱製程所增加的介電常數，且將其變得較接近起始值（亦即，在加熱製程前的介電常數）。然而，即使進行此再極化製程，介電常數仍不能完全地回到加熱製程前的起始值。為此，此增加造成設計及元件的性能上的改變。這是非習知的新問題，且仍未發現其原因。

【0014】本揭露的主題是鑑於這些狀況而完成，且關注到上述的新問題。本揭露主題的目的是提供即使在例如是回焊的加熱製程後，仍具有小的電容改變及經確保的穩定性能的高可靠度的壓電元件。本揭露主題的另一目的是提供上述壓電元件的製造方法及一種有上述壓電元件裝載於其上的電子元件的製造方法。

【0015】為了達到上述的目的，根據本揭露主題的壓電元件包括：基板；提供在基板上的下電極；以疊層的方式設置在下電極上的壓電膜，壓電膜是由原子組成百分比包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦鋯酸鉛（PZT）所形

成；以疊層的方式設置在壓電膜上的氧化物電極層；以疊層的方式設置在氧化電極層上的包含抗氧化貴金屬的第一金屬電極層；以疊層的方式設置在第一金屬電極層上的第二金屬電極層；以及藉由打線接合連接至第二金屬電極層的線；且壓電元件是藉由使用壓電膜的壓電效應及逆壓電效應中的至少一者來操作。

【0016】 上電極是由氧化物電極層、第一金屬電極層、以及第二金屬電極層所構成。氧化物電極層抑制氧從壓電膜中被取出，且氧化物電極層作用為附著層。第一金屬電極層作用為氧阻擋層，且扮演增加與第二金屬電極層附著性的角色。第二金屬電極層為用於藉由打線接合與線連接的膜層，且使用適合用於打線接合的材料。

【0017】 請注意，詞彙的解釋，「B 疊層在 A 上」(B is laminated on A) 不僅意指 B 直接疊層在 A 上使得 B 與 A 接觸，亦可以意指 B 經由一個或多個膜層而疊層在 A 上。

【0018】 本揭露主題的其他態樣由說明書及圖式的描述變得顯而易見。

【0019】 根據本揭露主題，得到不需要極化製程、即使在例如是回焊的加熱製程後仍具有小的電容改變及具有經確保的穩定性能的壓電元件是可能的。

【圖式簡單說明】

【0020】

圖 1 為根據本揭露主題的一實施例的壓電元件的主要部分的結構的例示剖面圖。

圖 2 為壓電膜的雙極性極化-電場遲滯效應 (polarization-electric field hysteresis)(P-E 遲滯效應 ; P-E hysteresis) 的實例圖。

圖 3 為試驗具有不同 Nb 量的壓電膜的偏置比 (bias ratio) 所得到的實驗結果及是否需要極化製程的表。

圖 4 為實例 1 至 4 及比較例 1 至 7 的樣本的測試條件及評估結果的表。

圖 5 為使用本質 PZT 的樣本的測試條件及評估結果的表。

圖 6 為根據本揭露主題的實施例的壓電元件的結構的實例的平面圖。

圖 7 為根據一實施例的壓電元件的側面圖。

圖 8 為沿圖 6 的線 B-B 的截面圖。

圖 9 為驅動檢測電路的結構的實例的塊圖。

圖 10 為具有角速度感測器及 ASIC (特定應用積體電路 ; application specific integrated circuit) 封裝於其中的感測器元件的結構的實例的例示圖。

圖 11 為根據本實施例製造壓電元件及有此壓電元件裝載於其上的電子元件的製程的流程圖。

圖 12A 至圖 12G 為用於描述製造上述壓電元件的製程的圖。

圖 13 為製造有壓電元件裝載於其上的電子元件的習知製程的第一實例的流程圖。

圖 14 為製造有壓電元件裝載於其上的電子元件的習知製程的第二實例的流程圖。

【實施方式】

【0021】 根據以下附圖詳細地描述本揭露主題的實施例。

【0022】 < 實施例 >

【0023】 圖 1 為根據本揭露主題的實施例的壓電元件的主要部分的結構的例示剖面圖。如圖 1 所描示，本實例的壓電元件 1 的構造為將下電極 3 及壓電膜 4 (在此實例中，使用經 Nb 摻雜的 PZT) 依序疊層在由矽 (Si) 或相似物所製造作為支撐層的基板 2 上、將氧化物電極層 5 疊層在壓電膜 4 上、將抗氧化的第一金屬電極層 6 疊層在氧化物電極層 5 上、且接著更將適合用於打線接合第二金屬電極層 7 疊層在第一金屬電極層 6 上的疊層結構。

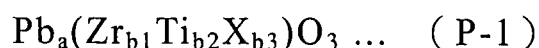
【0024】 請注意圖 1 及其他圖中所描示各膜層的膜厚度及他們的比例會為了便於描述而在繪示時作出適當改變，且不一定反映真實的膜厚度及比例。又，在說明書中，為了表示疊層結構，在基板厚度方向上遠離基板 2 的表面的方向被稱為「上方」(upward direction)。因為圖 1 中的結構為下電極 3 及其他膜層的各者 (膜層 3 至 7)，在基板 2 保持水平時，依序疊層在基板 2 的上表面上，此關係匹配於當採用重力方向 (圖 1 中的下方) 為下方向時的垂直關係。然而，基板 2 的態勢可以被傾斜或反轉。為了即使當視基板 2 的態勢而定的疊層結構不與參照重力方向的垂直方向匹配

時，仍不混淆疊層結構的垂直關係的表示，下文中在厚度方向上以遠離基板 2 的表面的方向作為參考而表示「上方」。舉例而言，即使圖 1 被垂直翻轉，仍表示為下電極 3 是形成在基板 2 上，且壓電膜 4 是疊層在下電極 3 上。

【0025】 基板 2 的材料不受特別限制，且例如可以使用矽（Si）；氧化矽、玻璃、不銹鋼（SUS（Steel Use Stainless））、氧化釔相穩定氧化鋯（yttria-stabilized zirconia；YSZ）、氧化鋁、藍寶石（sapphire）、SiC 以及 SrTiO_3 。又，作為基板 2，可使用疊層式基板，其例如是具有 SiO_2 膜及 Si 主動層依序疊層在矽基板上的 SOI（絕緣層上矽；Silicon on Insulator）基板。

【0026】 下電極 3 的組成不受特別的限制，且下電極 3 的組成的實例可以包括金屬，其例如是 Au（金）、Pt（鉑）、Ag（銀）、Ir（銱）、Al（鋁）、Mo（鉬）、Ru（鈷）、TiN（氮化鈦）、 IrO_2 、 RuO_2 、 LaNiO_3 以及 SrRuO_3 、這些金屬的金屬氧化物以及其組合。特別地說，下電極較佳具有包含鉑族金屬的結構。又，為了改善基板 2 的附著性、較佳為使用 Ti 或 TiW 作為附著層的結構、且更佳型式為將鉑族金屬疊層在附著層上以形成下電極 3。

【0027】 作為壓電膜 4，壓電膜是由使用以下通式（P-1）所表示的一種或多種的鈣鈦礦型（perovskite-type）氧化物所形成（其可包含不可避免的雜質）。



（在式（P-1）中，X 是由 V 族及 VI 族元件中選出的至少一個金

屬元素； $a>0$ 、 $b_1>0$ 、 $b_2>0$ 、 $b_3>0$ ；同時 $a\geq 1.0$ 且 $b_1+b_2+b_3=1.0$ 作為標準，只要維持鈣鈦礦結構，這些數值可包括 1.0 的公差。）

【0028】 當 $b_3=0$ 時，藉由通式 (P-1) 所表示的鈣鈦礦型氧化物是鈦鋯酸鉛 (PZT)，且當 $b_3>0$ 時，由通式 (P-1) 所表示的鈣鈦礦型氧化物是 PZT 的 B 位置部分被由 V 族及 VI 族元素中選出的至少一型的金屬元素取代的氧化物。

【0029】 X 可為 VA 族、VB 族、VIA 族、以及 VIB 族中的金屬元素的任一者，且較佳是由包括 V、Nb、Ta、Cr、Mo 及 W 的群組中選出的至少一型。

【0030】 【關於膜形成方法】

【0031】 作為壓電膜 4 的形成方法，較佳為化學氣相沈積。舉例而言，除了濺鍍外，可以施用多個方法中的任意者，例如離子電鍍 (ion plating)、MOCVD (金屬有機化學氣相沈積)、以及 PLD (脈衝雷射沈積；pulse laser deposition)。又，可以使用化學氣相沈積外的其他方法 (例如，溶膠凝膠法)。

【0032】 在本實施例中，描述使用以 Nb 摻雜的 PZT 膜的實例。以下，壓電膜 4 可被稱為「經 Nb 摻雜的 PZT 膜」。在經 Nb 摻雜的 PZT 膜 (壓電膜 4) 上，形成具有氧化物電極層 5、抗氧化的第一金屬電極層 6 以及適合用於打線接合的第二金屬電極層 7 的疊層結構的上電極 8。亦即，上電極 8 具有第一膜層的氧化物電極層 5 置放在與壓電膜 4 的界面上、第二膜層的抗氧化的第一金屬電極層 6 以及第三膜層的第二金屬電極層 7 的疊層式結構。被包括於

上電極 8 中的各膜層（膜層 5 至 7）具有以下描述的角色。

【0033】 第一膜層的氧化物電極層 5 是置放在與壓電膜 4 的界面上，且氧化物電極層 5 扮演避免氧從經 Nb 摻雜的 PZT 膜中被取出的角色。又，因為經 Nb 摻雜的 PZT 膜為氧化物且氧化物電極層 5 亦為氧化物，因為氧化物與氧化物的疊層性（lamination），這些膜層具有優秀的附著性，且氧化物電極層 5 作用為附著層。作為氧化物電極層 5，可以使用例如是 ITO、LaNiO、IrO_x、RuO_x、以及 PtO_x 中的任一者（其中表示組成比的 x 可為相等於 1 或大於 1 的任意數）。

【0034】 請注意通常使用 Ti 或相似物作為設置在與習知的 PZT（不經 Nb 摻雜的本質 PZT）膜的界面上的電極層。然而，因為 Ti 易於被氧化，即使 Ti 是薄的，其仍變成絕緣體，對於壓電驅動及感測有不良影響。再者，當 Ti 被氧化時，氧從 PZT 中被取出，造成 PZT 的壓電特徵將易於改變。在本實施例的氧化物電極層 5 中不會發生這些問題。

【0035】 作為上電極 8 的第二膜層，抗氧化作用的第一金屬電極層 6 疊置在第一膜層的氧化物電極層 5 上。第一金屬電極層 6 扮演阻擋氧從氧化物電極層 5 及壓電膜 4 擴散的角色（抑制氧原子的移動）且保持與第二金屬電極層 7 的附著性。用於作為第一金屬電極層 6 的「抗氧化作用的金屬（抗氧化的金屬）」，較佳例如是 Ir、Pt、Ru、以及 Pd 的貴金屬中的任一者。

【0036】 又，另一較佳結構是使用 Ir、Ru 或其他金屬的氧化物作

為第一層且使用與第一層相同的金屬（Ir、Ru 或其他金屬）作為第二層。更進一步地說，可用以下方式連續地（無縫地）形成第一層及第二層：藉由化學氣相沈積法，以反應氣體形成金屬氧化物，且在排出反應氣體的狀態中形成金屬。舉例而言，可以無縫地形成 Ir 氧化物的膜（ IrO_x 中 x 為相等於 1 或大於 1 的任意數）及 Ir 的膜。

【0037】 第三層的第二金屬電極層 7 是用於藉由使用打線接合以及異向性導電膜（anisotropic conductive film；ACF）而與 ASIC（特定應用積體電路）及其他電子電路（包括引線圖案（lead wiring pattern））電性連接的膜層。為此目的，此第三層需要是打線接合的優秀材料。作為此條件，較佳為具有相對低的熔點的金屬。作為指導原則，需要熔點為攝氏 1500 度以下的金屬。舉例而言，第二金屬電極層 7 較佳具有包含 Al、Au、Ti、Cu、Cr 以及 Ni 中的任一者的結構。

【0038】 雖然包括於上電極 8 的各膜層（元件符號 5 至 7 所表示者）的厚度不受特別的限制，第一層的氧化物電極層 5（附著層）及第二層的抗氧化的金屬電極層（第一金屬電極層 6 或氧阻擋層）的厚度較佳為 5 nm（奈米）以上，較佳為 10 nm 以上。

【0039】 因為打線接合，第三層的第二金屬電極層 7 較佳為厚的，且較佳的厚度為 50 nm 以上。然而，若厚度太厚時，附著性可能會被劣化。因此，第二金屬電極層 7 較佳的厚度為 1000 nm 以下。

【0040】 雖然圖 1 中未繪示，最上層的第二金屬電極層 7 經由未

繪示的線（圖 10 中以元件符號 120 表示接合線）連接至電子電路（圖 1 中未繪示且在圖 10 中標示為元件符號 90）。

【0041】 <關於壓電膜的特徵>

【0042】 圖 2 描示壓電膜 4 的雙極性極化-電場遲滯效應（P-E 遲滯）。圖 2 的水平軸表示驅動電壓（電場），而垂直軸表示極化。驅動電壓由電壓施加方向上的壓電膜的厚度及電場強度的乘積所表示，而電場值可以藉由將驅動電壓值除以壓電物質的厚度來得到。圖 2 中的「V1」是在正場側上的矯頑電場（coercive electric field） E_{c1} 及在電壓施加方向上的壓電膜的厚度的乘積，而「V2」是負場側上的矯頑電場 E_{c2} 及在施加電壓方向上的壓電膜的厚度的乘積。

【0043】 如圖 2 所描示，經 Nb 摻雜的 PZT 膜的 P-E 遲滯特徵具有在負場側上及正場側上的矯頑電場，且相對於代表極化的 y 軸是不對稱的。在圖 2 中，在負場側上的矯頑電場 E_{c1} 及在正場側上的矯頑電場 E_{c2} 具有 $|E_{c1}| < E_{c2}$ 的關係。在因此向正場側偏置的不對稱的 P-E 遲滯中，當施加正電場時，矯頑電場 E_{c2} 是大的，且因此膜較不易於極化。當施加負電場時，矯頑電場 E_{c1} 的絕對值是小的，且因此膜較易於極化。

【0044】 當 P-E 遲滯的「偏置比（bias ratio）」是藉由以下[方程式 1]所定義時，圖 2 中所描示的 P-E 遲滯的偏置比大約是 76%。

$$[\text{方程式 1}] (E_{c2} + E_{c1}) / (E_{c2} - E_{c1}) \times 100 (\%) \dots (1)$$

【0045】 如此，在未進行極化處理的狀態下，整體的具有向右（向

正場側) 偏置的 P-E 遲滯曲線的壓電膜 4 已經過預先極化。

【0046】 因為在本實施例中的 P-E 遲滯特徵是偏置於正場側，從 [方程式 1] 算出的值表示「偏置比」。相反地，在壓電物質具有偏置於負場側的 P-E 遲滯特徵的案例中，偏置比是從 [方程式 1] 所得到的值的絕對值。

【0047】 <關於 Nb 摻雜量、偏置比、及是否需要極化製程>

【0048】 偏置比與 Nb 摻雜量有相關性。圖 3 為藉由試驗具有不同 Nb 量的壓電膜的偏置比所得到的實驗結果及是否需要極化製程的表。Nb 量是藉由原子組成百分比 (原子%; at%) 表示。Nb 量為 0 是指未經 Nb 摻雜的本質 PZT。如表中所描述，可以發現，在偏置比為 10% 以上時不需要極化製程，亦即，Nb 量為 6 (原子%) 以上。

【0049】 Nb 的上限可以根據壓電膜實際上是否適合形成來決定。通常，壓電性能是隨著增加 Nb 摻雜量而改善。然而，若 Nb 摻雜量過度地多時，傾向發生與應力有關的裂紋。若膜厚為薄時，不會傾向發生裂紋。因此，Nb 的摻雜量亦是視將要實際使用的壓電膜的膜厚來決定。在假設壓電致動器或壓電感測器是被應用於通常電子元件的案例中，Nb 量的上限大約在 20% 的程度上。亦即，壓電膜 4 的 Nb 摻雜量較佳為 6 原子% 以上與 20 原子% 以下。

【0050】 藉由使用此壓電材料，將不需要習知上需要的極化製程。

【0051】 【實例】

【0052】 接著，描述實例 1 至 4 及比較例 1 至 7。圖 4 描示實例 1

至 4 及比較例 1 至 7 的測試條件及評估結果。樣本符號 1 至 6 分別對應於比較例 1 至 6、樣本符號 7 至 9 分別對應於實例 1 至 3、樣本符號 10 對應於比較例 7、且樣本符號 11 對應於實例 4。

【0053】 在樣本符號 1 至 9 中，隨著上電極的結構變動，使用添加 13 原子%的 Nb 的經 Nb 摻雜的 PZT 作為壓電膜。在樣本符號 10 及 11 中，隨著上電極的結構變動，使用添加 6 原子%的 Nb 的經 Nb 摻雜的 PZT 作為壓電膜。對各樣本來說，量測回焊（加熱製程）前的電容及回焊後的電容以檢驗其改變率。又，亦評估打線接合性能及是否需要對各樣本進行極化製程，及從全盤的觀點來決定元件是否良好。

【0054】 在圖 4 的表中，「A」為表示評估為優秀的標記，而「C」表示評估為有缺點或不適合的標記。在判定全盤評估時，當以下三個條件全部都滿足時判定為「A」：打線接合性能評估為「A」；極化製程為「不需要」；以及電容改變小於 4%。

【0055】 請注意在本說明書中，在表示膜的疊層結構時，藉由「A/B/C」表示的結構中，A 材料層、B 材料層以及 C 材料層分別是依序從下層至上層疊層。亦即，在「/」前所標示的材料形成下層，而在「/」後所標示的材料形成上層。

【0056】 <實例 1（樣本符號 7）>

【0057】 作為實例 1，壓電元件是由以下程序所製造，且對其進行評估。

【0058】 （製程 1）

【0059】藉由濺鍍在矽（Si）晶圓上形成膜厚度為 20 nm 的 TiW 膜，且形成膜厚度為 150 nm 的 Ir 膜，置於 TiW 膜上（下電極形成製程）。此 TiW（20nm）/Ir（150nm）的疊層膜作用為下電極。請注意下電極的材料及各膜層的膜厚度不受限於上述實例，且可以作出多種設計。

【0060】（製程 2）

【0061】接著，在下電極上形成經 Nb 摻雜的 PZT 膜（13 原子% 添加量）（壓電膜形成製程）。在本實例中，在膜形成溫度 500°C 下，藉由濺鍍形成膜厚度為 4 微米（ μm ）的膜。為了方便描述，經 Nb 摻雜的 PZT 膜在下文中被稱為「Nb-PZT 膜」。使用高頻（RF；射頻（radio frequency））磁控濺射（magnetron sputtering）元件以形成 Nb-PZT 膜。作為膜形成氣體，使用 97.5% 的 Ar 與 2.5% 的 O_2 混合氣體。作為靶材，使用組成為 $\text{Pb}_{1.05}((\text{Zr}_{0.52}\text{Ti}_{0.48})_{0.88}\text{Nb}_{0.12})\text{O}_3$ 的材料。膜形成壓力為 2.2 mTorr。請注意在所得到的 Nb-PZT 膜中的 Nb 的量為 13 原子%。

【0062】（製程 3）

【0063】藉由使用光阻在 Nb-PZT 膜上形成用於上電極的圖案（patterning）。

【0064】（製程 4）

【0065】接著，形成作用為上電極的第一層 Ir 氧化物（表示為「 IrO_x 」，其中 x 表示 Ir 與 O 的組成比，且可以是大於 0 的任意值，較佳為 1 以上）。在圖 4 中，此氧化物被表示為「IrO」（氧化物金

屬層形成製程)。藉由使用 Ir 靶的反應式濺鍍 (reactive sputtering) 及藉由使用在 0.5 Pa 的壓力下的 50% 的 Ar 與 50% 的 O₂ 的混合氣體來形成 IrO_x (圖 1 中的元件符號 5)。具體地說, 在 0.5 Pa 的膜形成壓力及室溫下, 來自高頻 (射頻; RF) 電源供應的 600 W 的電功率的條件下, 以 10 ccm (每分鐘立方公分) 的流速引入 Ar 以形成厚度大約為 10 nm 的 IrO_x。

【0066】 (製程 5)

【0067】 接著, 在 0.1 Pa 的壓力下, 使用相同的靶以 10 ccm 的低速度的 100% 的 Ar 氣體以形成厚度為 20 nm 的 Ir (上電極的第二層及圖 1 的元件符號 6) (抗氧化的金屬層形成製程)。

【0068】 可非連續地形成在製程 4 中的 IrO_x 及製程 5 中的 Ir。更佳地說, 藉由在 IrO_x 膜形成期間停止 (停止供應) 氣體 O₂ 來進行無縫膜形成, 以使膜逐漸地從 IrO_x 變為 Ir。因此, 藉由在膜形成期間連續地消除氧, 可以無縫地完成膜的形成。藉此, 可以形成具有高附著力的 IrO_x/Ir。在此膜中, 氧 (O) 由 IrO_x 中逐漸地減少, 且膜變成 Ir。

【0069】 請注意, 在金屬氧化物膜形成期間停止氧氣, 從而連續地改變金屬氧化物的組成, 使其成為金屬, 以形成無縫的膜, 這種方式並不限於 Ir, 也可應用於另一金屬材料。

【0070】 (製程 6)

【0071】 接著, 在 100% 的 Ar 且 0.1 Pa 的壓力下, 在 Ir 上形成厚度為 300 nm 的金 (圖 1 的上電極的第三層及元件符號 7) (適合打

線接合的金屬層形成製程)。

【0072】 (製程 7)

【0073】 藉由剝離 (lift off) 得到的基板來製造上電極的圖案。

【0074】 (製程 8)

【0075】 量測由此得到的基板的上電極 (400 微米 ϕ (直徑)) 與下電極間的電容。更進一步地說，在 260°C 的大氣壓力下進行退火製程。比較回焊前與回焊後 (事實上為退火製程前與退火製程後) 的電容以計算改變率。此實例 1 的樣本 (樣本符號 7) 的電容改變率為良好的 1.3%。

【0076】 (製程 9)

【0077】 接著，使用 Au 線及 Al 線進行打線接合。且，檢驗打線適合性 (bonding suitability)。實例 1 的樣本 (樣本符號 7) 是優秀的。

【0078】 (製程 10)

【0079】 又，Nb-PZT 的狀態是遲滯特徵被極化的狀態。

【0080】 <實例 2 (樣本符號 8) >

【0081】 在實例 2 中，形成 Al 層來取代實例 1 中的第三層的 Au。其他條件相似於實例 1 中的條件。如實例 1，在此實例 2 中，檢驗回焊前及回焊後的電容改變、以及打線接合適合性，且其結果是優秀的。

【0082】 <實例 3 (樣本符號 9) >

【0083】 在實例 3 中，形成 ITO (銻錫氧化物或錫摻雜的銻氧化

物)來取代實例 1 中的第一層的 IrO_x 。接著，形成 Pt 作為氧阻擋層(第二層)，並且使用 Al 作為適合用於打線接合的金屬層(第三層)。如實例 1，在此樣本(樣本符號 9)中，檢驗回焊前及回焊後的電容改變、以及打線接合適合性，且展現優秀的特徵。

【0084】 <實例 4(樣本符號 11)>

【0085】在實例 4 中，使用具有 6 原子%的 Nb 量的 Nb-PZT 膜來取代實例 1 中的壓電膜，且進行相似的實驗。如實例 1，在上述實例 4 的樣本(樣本符號 11)中，檢驗回焊前及回焊後的電容改變及打線接合適合性，且展現優秀的特徵。

【0086】 <比較例 1(樣本符號 1)>

【0087】如實例 1，製備形成在 Si 晶圓上具有下電極及具有 13 原子%的 Nb 量的 Nb-PZT 膜(厚度為 4 微米)的基板，且形成 TiW (20 nm)作為上電極的第一層及形成 Au (300 nm)作為第二層。在此樣本(樣本符號 1)中，在 260°C 的回焊前後，電容大幅地改變(13.5%的改變率)。在樣本的電容大幅地改變的樣本中，變化是由於熱製程的溫度分布而發生。再者，此可以造成作為產品的元件性能的變化，且因此此樣本是不適合的。請注意，在使用 Nb-PZT 的比較例 1 中的上電極，即使在回焊製程後，仍然是極化的，因此不需要在習知元件中所需要的再極化製程。

【0088】 <比較例 2 至 7>

【0089】相似地，關於上電極，如比較例 2 至 7(樣本符號 2 至 7)製造樣本，並且進行評估。

【0090】 具有比較例 2 至 7 的結構的樣本各自具有在回焊後顯著從起始值改變的電容。這構成設計的問題，且由於回焊溫度的變動，亦不利地造成特徵的變動。請注意，已經發現：在極化製程中，電容的改變可以藉由施加大的電壓（施加 30 V 級數的電壓於厚度為 4 微米的壓電膜）而大約地回到起始的電容。

【0091】 雖然尚未清楚地知道其原因，據推測，微量的氧從壓電物質中取出，移動至上述電極，因而改變電容。

【0092】 在極化製程中施加高的電壓以使回焊後的電容改變回到起始的電容是在產品製造過程中非常困難的。

【0093】 相反而言，如實例 1 至 4 中的示範性描述，根據本揭露主題所應用的結構，回焊後的電容的改變是小的，且可以在好的狀態下使用元件。

【0094】 < 參考例 >

【0095】 更進一步地說，作為參考例，使用本質 PZT 的樣本的條件及評估結果。藉由形成 Ti/Au 作為在未經 Nb 摻雜的本質 PZT 膜上的上電極來製造參考例的樣本。如已描述的一樣，本質 PZT 必須在經過極化製程後才能使用，其使得製程複雜。本質 PZT 在膜形成以後並沒有極化，且藉由進行極化製程，其電容值為常數。然而，回焊製程以後，其電容值再次接近膜形成後當下的值。此原因可能是，藉由去極化而部分地消除了膜的極化。實際上，藉由在回焊後再次進行極化製程，電容穩定於一常數。因此，本質 PZT 中的現象與 Nb-PZT 中的現象在概念上完全不同。

【0096】 Nb-PZT 比本質 PZT 更具優勢的原因是不需要極化製程。然而，即使使用 Nb-PZT 來取代本質 PZT，在如比較例 1 至 7 的習知上電極的結構中，回焊（加熱製程）後的電容仍顯著地被改變。此問題為前所未知的新問題，且其原因仍未知。

【0097】 本申請案的發明人已注意了此新問題、透過實施檢驗其原因、且已發現抑制氧從 Nb-PZT 移動至上電極的電極結構對於解決上述問題是有效的。藉由採述以上實施例及實例 1 至 4 中所示範性描述的上電極，元件可以在回焊前後電容的改變很小的條件下使用。

【0098】 <應用實例>

【0099】 接著，描述壓電元件的再一具體實例。

【0100】 圖 6 為根據本揭露主題的實施例的壓電元件的結構的實例的平面圖，且圖 7 為其側視圖。在此，將角速度感測器描述為壓電元件的具體實例。角速度感測器 10 是將要被裝載在振動型迴轉感應器（vibration-type gyro sensor）上的元件。角速度感測器 10 包括臂部件 12 及支撐臂部件 12 的基底部件 14。為了方便說明，在圖 6 的平面圖中，引入 x 軸作為橫向（水平）方向、引入 y 軸作為縱向方向、且引入直角坐標 xyz 軸的 z 軸為垂直於紙面的方向。

【0101】 臂部件 12 沿著 y 方向從基板部件 14 呈棒狀延伸。臂部件 12 具有固定於基部部件 14 的基底端部件 12A，且臂部件 12 作用為所謂的懸臂結構（cantilever structure）振動器，懸臂結構以

此固定的基底端部件 12 作為固定端來產生位移。從基底部件 14 延伸的具有臂部件 12 的感測器形可以例如是從單晶矽（Si）基板被切斷而為一預定形狀的整體式結構（integrated structure）。

【0102】 請注意本發明所實施的全部尺寸及具體尺寸不受特別的限制。

【0103】 例如是基底部件 14 的厚度 t_1 、元件的全長度 L_1 、基底部件 14 的橫向寬度 W_1 、臂部件 12 的長度 L_2 、以及臂部件 12 的厚度 t_2 的具體數值可以根據例如是產品的元件尺寸、使用的頻率、以及其他者的設計規格而被設計為適當者。舉例而言， $t_1=300\text{ }\mu\text{m}$ 、 $L_1=3\text{ mm}$ 、 $W_1=1\text{ mm}$ 、 $L_2=2.5\text{ mm}$ 、而 $t_2=100\text{ }\mu\text{m}$ 。

【0104】 在四方桿（square pole）中形成臂部件 12，當於垂直於縱方向（y 方向）的平面（xz 平面）上切割四方桿時，四方桿實質上具有四方截面形狀（例如，矩形或正方形）。圖 8 描示沿著圖 6 的 B-B 線的截面。然而，為了方便描述，適當地修正繪示的各膜層的厚度，膜厚度的比例不需要反映真實的膜厚度。

【0105】 臂部件 12 具有疊層結構，其中在矽層 30（對應「基板」）上依序疊層下電極 32、壓電膜 34、以及上電極 40。此實例的上電極 40 具有多層結構，其中在壓電膜 34 上依序疊層 IrO 層 42（對應於「氧化物電極層」）、Ir 層 44（對應於「第一金屬電極層」）、以及 Au 層 46（對應於「第二金屬電極層」）。亦即，上電極 40 具有「IrO/Ir/Au」的疊層結構。

【0106】 圖 8 的矽層 30、下電極 32、壓電膜 34、以及上電極 40

分別對應於圖 1 中所描述的基板 2、下電極 3、壓電膜 4、以及上電極 8。圖 8 的 IrO 層 42、Ir 層 44、以及 Au 層 46 分別對應於圖 1 的氧化物電極層 5、第一金屬電極層 6、以及第二金屬電極層 7。

【0107】在圖 6 的臂部件 12 中，藉由對上電極 40 進行圖案化來形成互相隔離的驅動電極 50 及偵測電極（61 及 62）。平行地沿著縱向方向（Y 方向）來形成驅動電極 50 及偵測電極（61 及 62），以便將驅動電極 50 及偵測電極（61 及 62）隔離而使得偵測電極（61 及 62）彼此不接觸。偵測電極（61 及 62）是置放在驅動電極 50 的左側及右側。將標示為元件符號 61 的偵測電極稱為第一偵測電極，而將標示為元件符號 62 的偵測電極稱為第二偵測電極。用於壓電驅動的元件就此形成，其具有在驅動電極 50 與下電極 32 間插置有壓電膜 34 的結構。在此用於壓電驅動的元件中，壓電膜 34 在電極間的驅動電壓的應用下變形，從而振動臂部件 12。亦即，用於壓電驅動的元件為藉由使用逆壓電效應操作的部分。

【0108】另一方面，也形成用於偵測的第一元件，其具有在第一偵測電極 61 與下電壓 32 間插置有壓電膜 34 的結構。又，形成用於偵測的第二元件，其具有在第二偵測電極 62 與下電壓 32 間插置有壓電膜 34 的結構。這些用於偵測的元件偵測因壓電膜 34 的變形而發生在電極間的電壓。亦即，用於偵測的元件為藉由使用壓電效應操作的部分。

【0109】基底部件 14 具有用於外部連接的端（墊 70 至 73），其對

應於電極（50 至 52）及引線 80 至 83。電極及引線形成近似雙邊直線的對稱形，其相對於平行於 y 軸的中心線是對稱的，且作為對稱軸的該中心線通過臂部件 12 的中心。因為以殘餘應力的觀點來看，打線圖案需要盡可能對稱的形狀，可形成虛設的線以增加打線圖案的對稱性。

【0110】 上述的角速度感測器 10 是經由墊 70 至 73 而連接於驅動檢測電路。

【0111】 圖 9 為驅動檢測電路 90（對應於「電子電路」）的結構的實例的塊圖。驅動檢測電路 90 具有 ASIC 的架構。驅動檢測電路 90 具有連接於角速度感測器 10 的第一偵測電極 61 的第一偵測訊號輸入端 91、連接於第二偵測電極 62 的第二偵測訊號輸入端 92、連接於驅動電極 50 的驅動電壓輸出端 93、連接於下電極 32 的共同電極端 94 以及用於輸出感測器訊號的感測器輸出端 96。

【0112】 驅動電極 50、第一偵測電極 61、第二偵測電極 62、下電極 32 是分別經由接合線 98-1、98-2、98-3 以及 98-4 連接於對應的端（91、92、93 以及 94）。

【0113】 驅動檢測電路 90 包括加法電路（addition circuit）102、增幅電路 104、相移電路（phase shift circuit）106、AGC（自動增益控制器；auto gain controler）108、差動增幅電路（differential amplification circuit）110、同步檢測電路（synchronization detection circuit）112 以及平滑電路 114。此電路結構被揭露在日本專利申請案特開第 2008-157701 號中。從第一偵測訊號輸入端 91 及第二

偵測訊號端 92 所輸入的訊號兩者皆被輸入至加法電路 102 及差動增幅電路 110 中。

【0114】 將加法電路 102、增幅電路 104、相移電路 106 以及 AGC 108 經由元件符號為 91 至 94 的端連接至角速度感測器 10，從而建構相移型振盪電路（phase-shift-type oscillation circuit）。

【0115】 給予共同電極端 94 一參考電壓。藉由經由驅動電壓輸出端 93 而在下電極 32 與驅動電極 50 間施加用於壓電驅動的電壓（驅動電壓），臂部件 12 以自感（self-induced）方式振動。在此時，臂部件 12 的振動方向為臂部件 12 的厚度方向（z 方向）。

【0116】 當臂部件 12 以自感方式振動時，若相對於臂部件 12 的縱向方向（y 軸）存在角速度，則臂部件 12 的振動方向因科氏力（Coriolis force）而改變。隨著此振動方向的改變，第一偵測訊號（從第一偵測電極 61 所得到的訊號）及第二偵測訊號（從第二偵測電極 62 所得到的訊號）中的一輸出將增加，而另一輸出減少。藉由輸入這些訊號至差動增幅電路 110 以偵測訊號量的改變量，可以偵測相對於縱向方向（y 軸）的角速度。藉由差動增幅電路 110、同步檢測電路 112 以及平滑電路 114，設置用於偵測臂部件 112（振動器）的角速度的檢測電路系統。

【0117】 圖 10 為具有角速度感測器 10 的感測元件及被封裝構件 130 所封裝的 ASIC 的結構的示意圖。角速度感測器 10 是經由接合線 120 連接於 ASIC（驅動檢測電路 90）。圖 10 中的接合線 120 對應於圖 4 中標示為元件符號 98-1 至 98-4 的組件。請注意角速度

感測器 10 所連接的電子電路並不受限於 ASIC（驅動檢測電路 90），且角速度感測器 10 可以被連接至例如是引線框（lead frame）的線構件。封裝可為陶瓷封裝或樹脂封裝、或者可具有另一結構。又，封裝的結構不受特別的限制。舉例而言，封裝可具有中空結構，可為氣密密封的真空狀態、或者可具有藉由填滿絕緣樹脂而密封的結構。

【0118】 如上所述，具有角速度感測器 10 的感測器晶片 140 以及 ASIC（驅動檢測電路 90）整體地容納於封裝構件 130 中，作為感測器元件。此感測器晶片 140 是裝載在未繪示的電子電路板上（例如，玻璃環氧樹脂電路板），接下來隨著焊料回焊製程後的電子電路板完成感測器晶片 140。

【0119】 <製造方法的描述>

【0120】 圖 11 為製造根據本實施例的壓電元件及有此壓電元件裝載於其上的電子元件的製程的流程圖。圖 12A 至圖 12G 為用於描述製造上述壓電元件的圖。參考這些圖式，描述製造方法。

【0121】 （製程 1）

【0122】 首先，製備由矽（Si）製造的基板 230（請參見圖 11 及圖 12A 中的步驟 S10）。雖然在此描述的實例中是使用單晶塊材矽基板（monocrystalline bulk silicon substrate），但也可使用 SOI（絕緣層上矽；Silicon On Insulator）基板。基板 230 是將要作為參考圖 8 所描述的矽層 30 的部分。

【0123】 （製程 2）

【0124】 接著，在基板 120 的一側的表面上（圖 12A 中的上表面）形成下電極 32（請參見圖 11 及圖 12B 中的步驟 S12）。在本實例中，藉由濺鍍形成厚度為 20 nm 的 TiW 膜，並接著形成厚度為 150 nm 的 Ir 膜以便疊置於 TiW 膜上。此 TiW（20 nm）/Ir（150 nm）疊層膜作為下電極 32。請注意下電極 32 的材料及各膜層的膜厚度不受限於上述實例，可以採用多種設計。

【0125】 （製程 3）

【0126】 接著，在下電極 32 上形成經 Nb 摻雜的 PZT 膜（壓電膜 34），並進行圖案化至所需的形狀（請參見圖 11 及圖 12C 中的步驟 S14）。在本實例中，在 500°C 的膜形成溫度下，藉由濺鍍在下電極 32 上形成厚度為 4 μm 的經 Nb 摻雜的 PZT 膜（標示為元件符號 34）。具體的膜形成條件如實例 1 中所描述。

【0127】 （製程 4）

【0128】 更進一步地說，在此 PZT 薄膜上形成上電極 40，並進行圖案化至所需的形狀（圖 11 及圖 12D 至 12G 中的步驟 S16）。此實例中的上電極 40 具有 IrO/Ir/Au 的疊層結構。具體的膜形成方法如實例 1 中所描述。

【0129】 （製程 5）

【0130】 接著，處理 Si 基板 230 以使其具有所需的形狀及厚度（步驟 S18，「Si 元件處理製程」）。

【0131】 （製程 6）

【0132】 接著，藉由切塊將晶圓隔離為個別的元件單元（步驟

S22，「切塊製程」)。

【0133】 (製程 7)

【0134】 接著，進行將藉由個別隔離所得到的元件電性連接至積體電路 (步驟 S24，「打線接合製程」)。

【0135】 (製程 8)

【0136】 接著，以封裝材料進行元件封裝 (步驟 S26，「封裝製程」)。藉此，得到經封裝的感測器元件。

【0137】 (製程 9)

【0138】 在電子電路基板上安裝 (implement) 經封裝的元件 (「安裝製程」)，且進行回焊製程 (「回焊製程」，步驟 S28)。回焊是一種已知的安裝技術，且在此製程中，當在例如是印刷板的電子電路上安裝電子組件時，電子組件是預先裝載在塗覆有焊膏 (solder paste) 的基板上並經加熱而集體接合。通常，在此實例中，不僅可將元件安裝在電子電路板上，亦可將其他多種電子組件安裝在電子電路板上，且各電子組件被固定 (焊接合；soldered bonding) 於電子電路板。以此方式，製造有元件裝載於其上的電子電路板。接著，在電子元件組裝製程中 (步驟 S28) 中組裝電子電路板，從而製造最終的產品 (電子元件) (步驟 S30)。

【0139】 在此，電子元件的實例可以包括多種元件，其例如是行動電話、數位相機、個人電腦、數位音樂播放器、遊戲機、以及例如是電子內視鏡 (electronic endoscope) 的醫療元件，且目標元件不受特別的限制。

【0140】顯然地，當圖 11 中所描示的流程及圖 13 及圖 14 中所描述的習知製程彼此比較時，根據本實施例（圖 11）的流程中可省略「極化製程」。

【0141】根據本實施例，隨著經 Nb 摻雜的膜的採用，不需要習知的極化製程。又，根據本實施例，可以抑制回焊後電容的改變，且也不需要再極化製程。根據本實施例，由於壓電性能不因回焊而劣化，可以抑制元件性能的變化，且可以確保感測器的穩定性。為此，與習知結構相比，感測器的精確度是增加的，且亦擴大了感測器的用途。

【0142】 <改良例 1>

【0143】角速度感測器不受限於圖 6 中所繪示者，且角速度感測器可以經設置為如日本專利申請案特開第 2009-244202 號中所描述的具有多個臂部件的一者。又，感測器不受限於用於驅動的致動器（使用逆壓電效應）及壓電物質（使用壓電效應）中的一者，且亦可以將本揭露主題應用於僅使用壓電效應的感測器元件及僅使用逆壓電效應的致動器。

【0144】可以使用本揭露主題於多種目的，如角速度感測器、加速度感測器、壓力感測器、致動器、電源產生器、或其他，且特別地說，本揭露主題達成感測微小的電壓驅動區域或微小的電壓的效果。

【0145】 <改良例 2>

【0146】雖然在以上實施例中回焊已被描述為加熱製程，除了回

焊以外的其他製程（例如高溫燃燒）可以同樣地被支持。

【0147】 <改良例 3>

【0148】 雖然經 Nb 摻雜的 PZT 膜已示範性地被描述在以上實施例中，基於抑制氧在壓電膜與上電極之間移動的相似問題解決原則，可以將本揭露主題應用於經從 V 族及 VI 族的元素族中所選出的至少一型的金屬元素 X 所摻雜的 PZT 膜。

【0149】 又，在可以達成各膜層的目的的範圍內，可以選擇多種材料作為包括於上電極 8 中的氧化物電極層 5、第一金屬電極層 6、以及第二金屬電極層 7 中的各膜層的材料。

【0150】 請注意，本揭露主題不限制於上述實施例，且所屬技術領域中具有通常知識者可以對本揭露主題的技術理念作出多種改良。

【0151】 <所揭露的發明的多種態樣>

【0152】 可以從以上實施例的詳細描述而理解的是，本說明書包括多種技術理念的揭露，此些技術理念包括如以下所描述的發明態樣。

【0153】 （第一態樣）

【0154】 一種壓電元件，包括：基板；提供在基板上的下電極；以疊層的方式設置在下電極上的壓電膜；以疊層的方式設置在下電極上的壓電膜，壓電膜是由原子組成百分比包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦鋇酸鉛（PZT）所形成；以疊層的方式設置在壓電膜上的氧化物電極層；以疊層

的方式設置在氧化電極層上的包含抗氧化貴金屬的第一金屬電極層；以疊層的方式設置在第一金屬電極層上的第二金屬電極層；以及藉由打線接合連接至第二金屬電極層的線，且壓電元件是藉由使用壓電膜的壓電效應及逆壓電效應中的至少一者來進行操作。

【0155】 根據此態樣，壓電元件具有藉由將下電極、壓電膜、氧化物電極層、第一金屬電極層、以及第二金屬電極層從接近基板的表面依序疊層在基板上所形成的疊層結構。設置上電極，其具有氧化物電極層、第一金屬電極層、以及第二金屬電極層的疊層結構。藉由使用壓電膜的壓電效應及逆壓電效應中的至少一者操作壓電元件，壓電元件具有在上電極與下電壓間插置有壓電膜的結構。

【0156】 氧化物電極層扮演避免氧從壓電膜中被取出的角色，且氧化物電極層作用為增加壓電膜與上電極間的附著性的附著層。

【0157】 第一金屬電極作用為抑制氧從壓電膜移動至第二金屬電極層的氧阻擋層。藉此，將避免壓電膜組成的改變、上電極結構的改變、以及附著性的減少，且可以抑制在例如是回焊的加熱後的電容的改變。

【0158】 因為藉由打線接合將第二金屬電極連接於電子電路，考慮與線的親和力（打線接合性能）來使用材料。

【0159】 根據此態樣，即使是加熱及不需要極化的情形下，可以達到電容改變小的壓電元件（壓電性能的劣化少）。又，用於此態

樣中使用的壓電膜具有優秀的壓電特徵，且可以被使用於以壓電位移（變形）操作的多種目的，例如是致動器、感測器、電子電源產生器。

【0160】（第二態樣）

【0161】在根據第一態樣的壓電元件中，壓電膜可以是包含 6 原子%以上的作為金屬元素的 Nb 的經 Nb 摻雜的 PZT 膜。

【0162】（第三態樣）

【0163】在根據第二態樣的壓電元件中，壓電膜是由化學氣相沈積法所形成。

【0164】在膜形成的時候，藉由化學氣相沈積法所形成的經 Nb 摻雜的 PZT 膜為已經在極化的狀態中，且傳統上本質 PZT 所需的極化製程是不需要的。

【0165】（第四態樣）

【0166】在根據第一態樣至第三態樣中的任一者的壓電元件中，氧化物電極層可以由 ITO、LaNiO、 IrO_x 、 RuO_x 、以及 PtO_x 中的任一者製造（其中表示組成比為相等於 1 或大於 1 的任意數）。

【0167】（第五態樣）

【0168】在根據第一態樣至第四態樣中的任一者的壓電元件中，第一金屬電極層可以包含 Ir、Pt、Ru、以及 Pd 中的任一者。

【0169】（第六態樣）

【0170】在根據第一態樣至第五態樣中的任一者的壓電元件中，第一金屬電極層可以包含 Al、Au、Ti、Cu、Cr 以及 Ni 中的任一

者。

【0171】 因爲一般的接合線是由 Au、Cu、Al 或相似物所製造的，當考慮與這些線中的任意者的接合能力時，較佳使用 Al、Au、Ti、Cu、Cr 以及 Ni 中的任一者作爲第二金屬電極層。

【0172】 （第七態樣）

【0173】 在根據第一態樣至第六態樣中的任一者的壓電元件中，氧化物電極層及第一金屬電極層可以包含相同的金屬元素。

【0174】 （第八態樣）

【0175】 在根據第一態樣至第七態樣中的任一者的壓電元件中，氧化物電極層及第一金屬電極層可以無縫地形成。

【0176】 根據此態樣，附著性被進一步地增強。

【0177】 （第九態樣）

【0178】 根據第一態樣至第八態樣中的任一者的壓電元件可以更包括經由線連接至壓電元件的電子電路，且壓電元件及電子電路可以藉由封裝材料封裝。

【0179】 根據此態樣，壓電元件較不易於被例如是回焊的加熱製程影響，且可以提供穩定的元件性能。

【0180】 （第十態樣）

【0181】 一種壓電元件的製造方法包括：在基板上形成下電極的下電極形成步驟；將壓電膜疊層在下電極上的壓電膜形成步驟，壓電膜是由在原子組成百分比中包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦鋯酸鉛（PZT）所形成；將氧

化物電極層疊層在壓電膜上的氧化物電極層形成步驟；在氧化物電極層上形成包括抗氧化貴金屬的第一金屬電極層的第一金屬電極層形成步驟；將第二金屬電極層疊層在第一金屬電極層上的第二金屬電極層形成步驟；以及藉由打線接合將第二金屬電極層連接至電子電路的打線接合步驟，且製造藉由使用壓電膜的壓電效應及逆壓電效應中的至少一者操作的壓電元件。

【0182】（第十一態樣）

【0183】根據第十態樣的壓電元件的製造方法可以更包括，在打線接合後，藉由使用封裝材料來封裝壓電元件及電子電路的封極步驟。

【0184】（第十二態樣）

【0185】電子元件製造方法包括：根據申請專利範圍第 10 項或第 11 項的壓電元件的製造方法的各個步驟；回焊步驟，將根據前述壓電元件的製造方法製造的壓電元件安裝在電子電路板上，並且進行焊料接合；以及包括前述回焊步驟的製造電子元件的步驟，所述電子元件在回焊步驟後具有電子電路板，且在所述製造電子元件的步驟中，於回焊步驟前後均不對壓電膜執行極化製程。

【符號說明】

【0186】

1：壓電元件

2：基板

- 3：下電極
- 4：壓電膜
- 5：氧化物電極層
- 6：金屬電極層
- 7：金屬電極層
- 8：上電極
- 10：感測器
- 12：臂部件
- 14：基底部件
- 12A：基底端部件
- 30：矽層
- 32：下電極
- 34：壓電膜
- 40：上電極
- 42：IrO 層
- 44：Ir 層
- 46：Au 層
- 50：驅動電極
- 61：偵測電極
- 62：偵測電極
- 70：墊
- 71：墊

72：墊

73：墊

80：引線

81：引線

82：引線

83：及引線

90：驅動檢測電路

91：端

92：端

93：端

94：端

96：端

98-1：接合線

98-2：接合線

98-3：接合線

98-4：接合線

102：加法電路

104：增幅電路

106：相移電路

108：AGC

110：差動增幅電路

112：同步檢測電路

- 114：平滑電路
- 120：接合線
- 130：封裝構件
- 140：晶片
- 230：基板
- S10：步驟
- S12：步驟
- S14：步驟
- S16：步驟
- S18：步驟
- S22：步驟
- S24：步驟
- S26：步驟
- S28：步驟
- S30：步驟
- S210：步驟
- S212：步驟
- S214：步驟
- S216：步驟
- S218：步驟
- S220：步驟
- S222：步驟

S224：步驟

S226：步驟

S228：步驟

S229：步驟

S230：步驟

L1：長度

L₂：長度

t₁：厚度

t₂：厚度

W₁：寬度

W₂：寬度

B-B：線

申請專利範圍

1. 一種壓電元件，包括：

基板；

下電極，設置在所述基板上；

壓電膜，以疊層的方式設置在所述下電極上，所述壓電膜是由在原子組成百分比中包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦鋇酸鉛（PZT）所形成；

氧化物電極層，以疊層的方式設置在所述壓電膜上；

第一金屬電極層，包含抗氧化貴金屬，所述第一金屬電極層以疊層的方式設置在所述氧化電極層上；

第二金屬電極層，以疊層的方式設置在所述第一金屬電極層上；以及

線，藉由打線接合連接至所述第二金屬電極層，其中

藉由使用所述壓電膜的壓電效應及逆壓電效應中的至少一者操作所述壓電元件。

2. 如申請專利範圍第 1 項所述的壓電元件，其中

所述壓電膜是經 Nb 摻雜的 PZT 膜，所述經 Nb 摻雜的 PZT 膜包含 6 原子%以上的 Nb 作為所述金屬元素。

3. 如申請專利範圍第 2 項所述的壓電元件，其中

所述壓電膜是由化學氣相沈積法所形成。

4. 如申請專利範圍第 1 項至第 3 項中任一項所述的壓電元件，其中

所述氧化物電極層是由 ITO、LaNiO、IrO_x、RuO_x 以及 PtO_x 中的任一者所製造，其中 x 表示組成比，且其為相等於 1 或大於 1 的任意數。

5. 如申請專利範圍第 1 項至第 3 項中任一項所述的壓電元件，其中

所述第一金屬電極層包含 Ir、Pt、Ru 以及 Pd 中的任一者。

6. 如申請專利範圍第 1 項至第 3 項中任一項所述的壓電元件，其中

所述第二金屬電極層包含 Al、Au、Ti、Cu、Cr 以及 Ni 中的任一者。

7. 如申請專利範圍第 1 項至第 3 項中任一項所述的壓電元件，其中

所述氧化物電極層及所述第一金屬電極層包含相同的金屬元素。

8. 如申請專利範圍第 7 項所述的壓電元件，其中

所述氧化物電極層及所述第一金屬電極層是無縫地形成 (seamlessly formed)。

9. 如申請專利範圍第 1 項至第 3 項中任一項所述的壓電元件，更包括經由所述線連接至所述壓電元件的電子電路，其中

所述壓電元件及所述電子電路是藉由封裝材料來封裝。

10. 一種壓電元件的製造方法，包括：

下電極形成步驟，在基板上形成下電極；

壓電膜形成步驟，將壓電膜疊層在所述下電極上，所述壓電膜是由在原子組成百分比中包含 6 原子%以上的從 V 族及 VI 族中選出的至少一型的金屬元素的鈦鋯酸鉛（PZT）所形成；

氧化物電極層形成步驟，將氧化物電極層疊層在所述壓電膜上；

第一金屬電極層形成步驟，在所述氧化物電極層上形成包括抗氧化貴金屬的第一金屬電極層；

第二金屬電極層形成步驟，將第二金屬電極層疊層在所述第一金屬電極層上；以及

打線接合步驟，藉由打線接合將所述第二金屬電極層連接至電子電路，其中

製造出藉由使用所述壓電膜的壓電效應及逆壓電效應中的至少一者來操作的所述壓電元件。

11. 如申請專利範圍第 10 項所述的壓電元件的製造方法，更包括在所述打線接合步驟後，藉由使用封裝材料將所述壓電元件及所述電子電路封裝的封裝步驟。

12. 一種電子元件的製造方法，包括：

如申請專利範圍第 10 項或第 11 項所述的壓電元件的製造方法的各步驟；

回焊步驟，將根據所述壓電元件的製造方法製造的所述壓電元件安裝在電子電路板上，並且進行焊料接合；以及

包括所述回焊步驟的製造電子元件的步驟，所述電子元件在

所述回焊步驟後具有所述電子電路板，且在所述製造電子元件的步驟中，於所述回焊步驟前後均不對所述壓電膜執行極化製程。

圖式

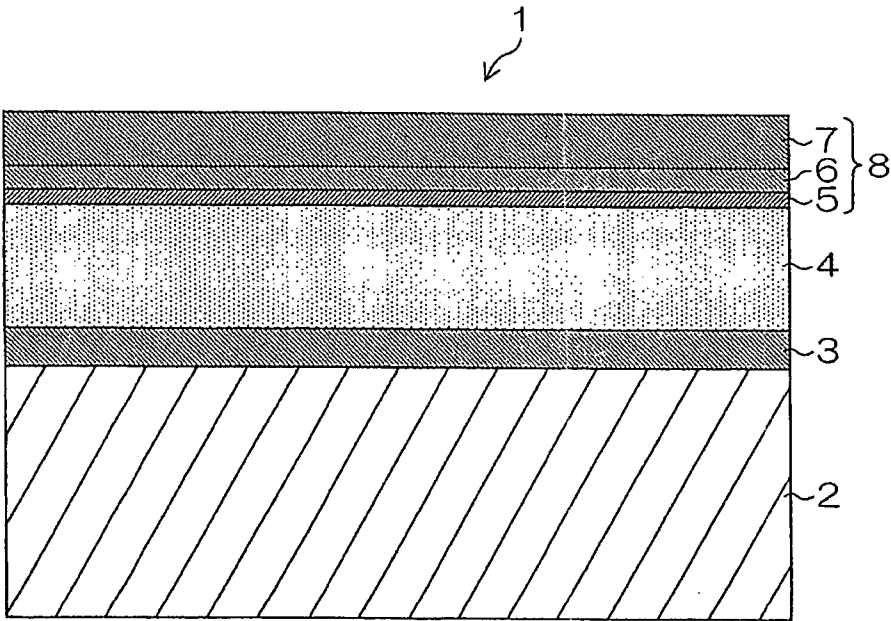


圖 1

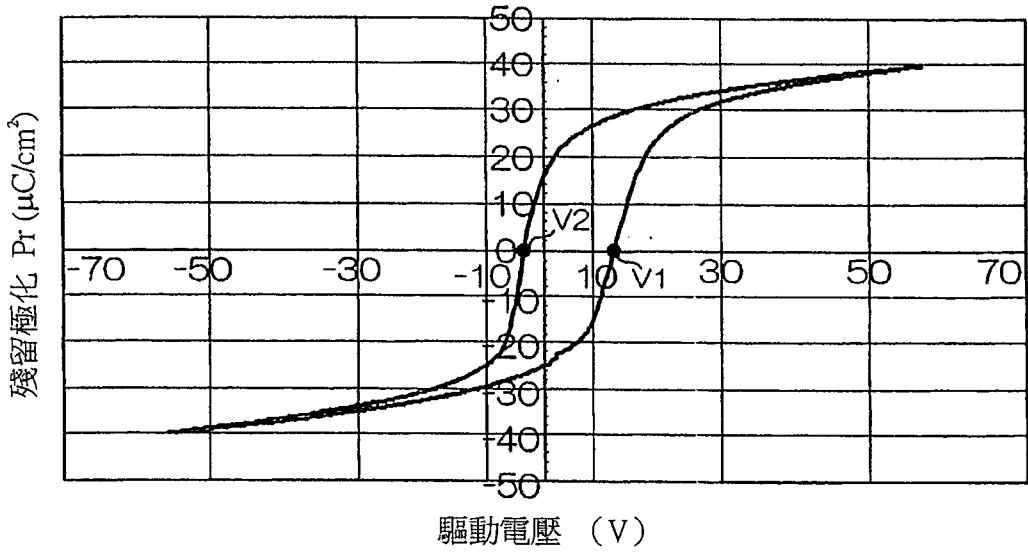


圖 2

Nb 量 (at%)	矯頑電場 Ec2 (kV/cm)	矯頑電場 Ec1 (kV/cm)	偏置比 (%) (Ec2+Ec1) / (Ec2-Ec1) ×100	極化製程
0	50	-50	0%	需要
3	52	-48	4%	需要
6	49	-40	10%	不需要
12	42	-6	75%	不需要

圖 3

	上電極	電容 (pF)	攝氏 260 度回焊後的 電容(pF)	打線接合 性能	極化 製程	非極化的狀態 中的電容變化	評估	No.
摻雜 13% 的 Nb 的 PZT	TiW/Au	451	512	A	不需要	13.5%	C(比較例 1)	1
	TiW/Al	455	389	A	不需要	-14.5%	C(比較例 2)	2
	Ti/Al	449	477	A	不需要	6.2%	C(比較例 3)	3
	Ti/Au	455	473	A	不需要	4.0%	C(比較例 4)	4
	IrO	443	460	C	不需要	3.8%	C(比較例 5)	5
	IrO/Al	454	475	A	不需要	4.6%	C(比較例 6)	6
	IrO/Ir/Au	454	460	A	不需要	1.3%	A(實例 1)	7
	IrO/Ir/Al	456	462	A	不需要	1.3%	A(實例 2)	8
	ITO/Pt/Al	460	472	A	不需要	2.6%	A(實例 3)	9
摻雜 6% 的 Nb 的 PZT	Ti/Al	304	319	A	不需要	4.9%	C(比較例 7)	10
	IrO/Ir/Al	305	315	A	不需要	3.3%	A(實例 4)	11

圖 4

	上電極	膜形成後 的電容 (pF)	極化後的 電容 (pF)	攝氏 260 度回焊後的 電容 (pF)	打線接合 特徵	極化 製程	極化後的 電容 (pF)	未極化的 改變	評估
本質 PZT	Ti/Au	255	175	232	A	需要	170	-	不同 概念

圖 5

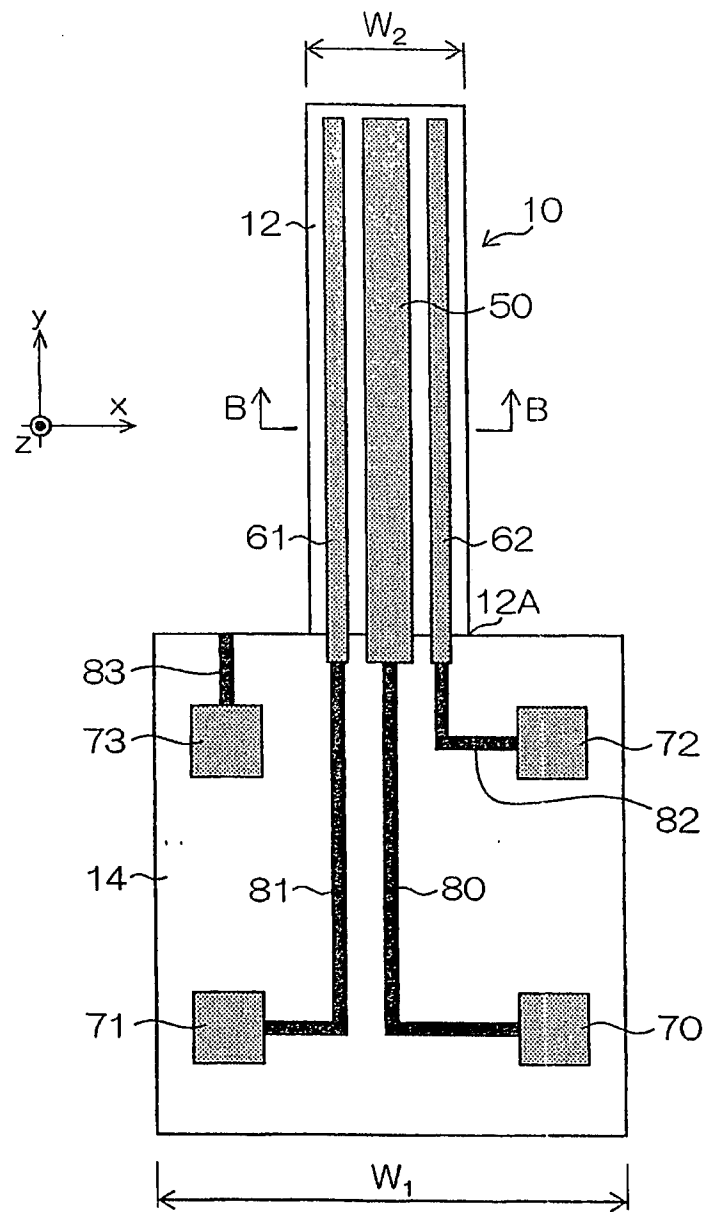


圖 6

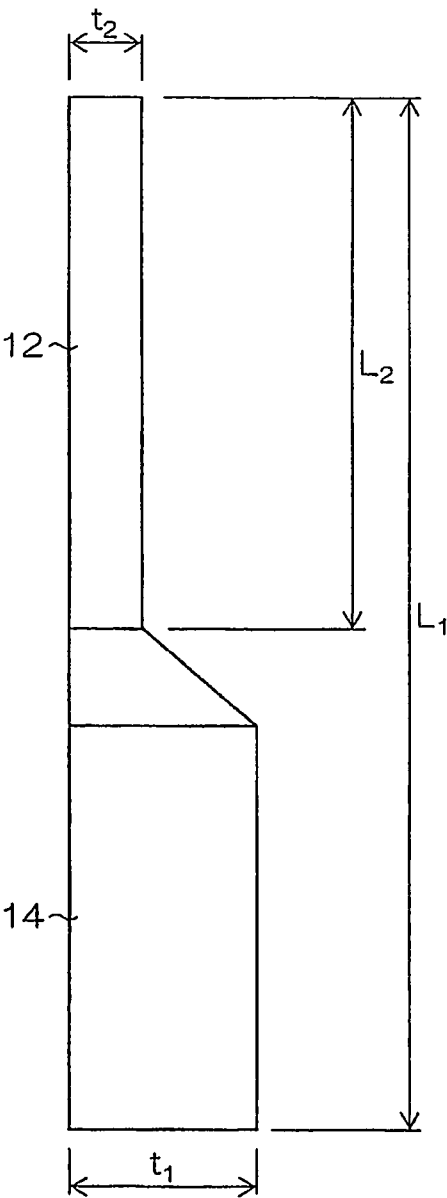


圖 7

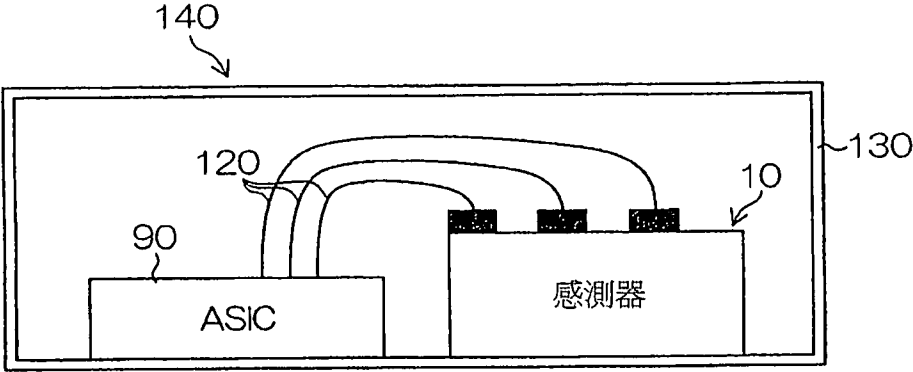


圖 10

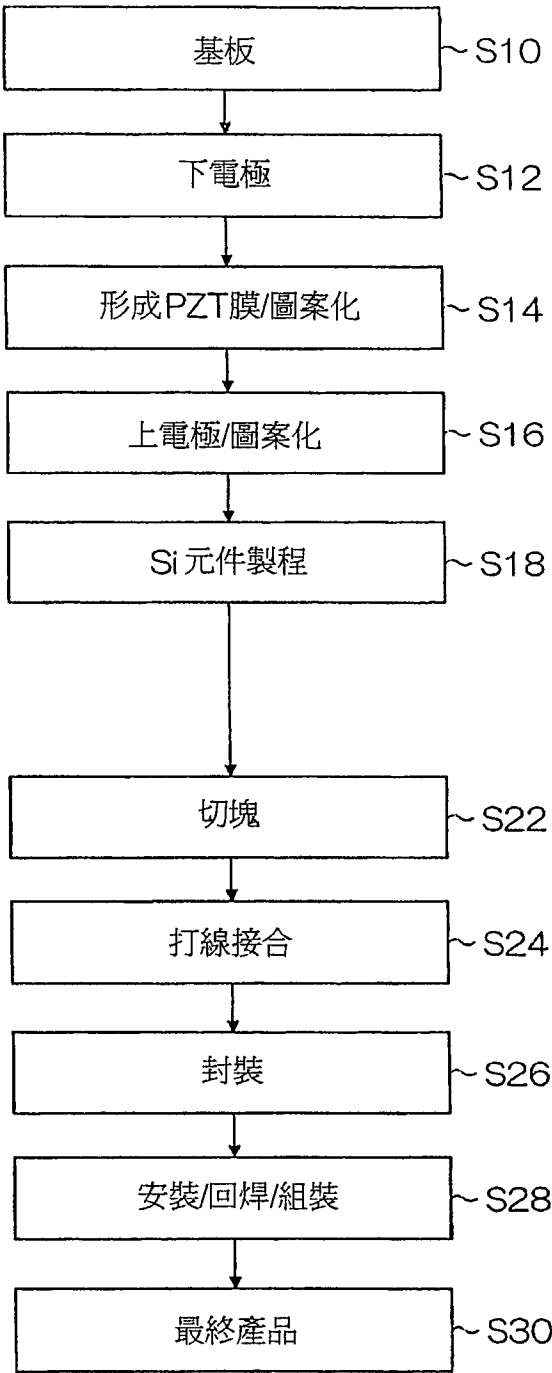
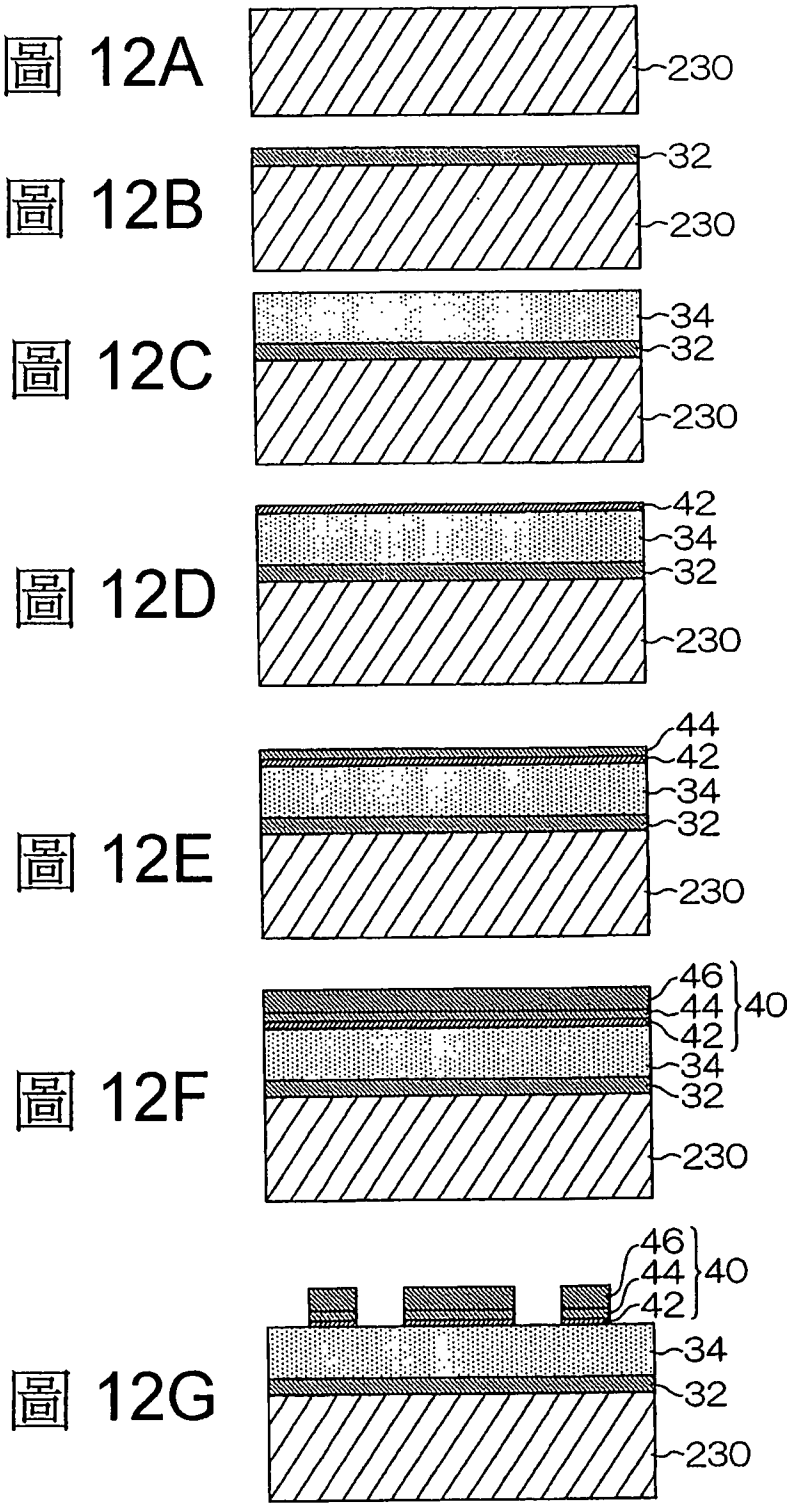


圖 11



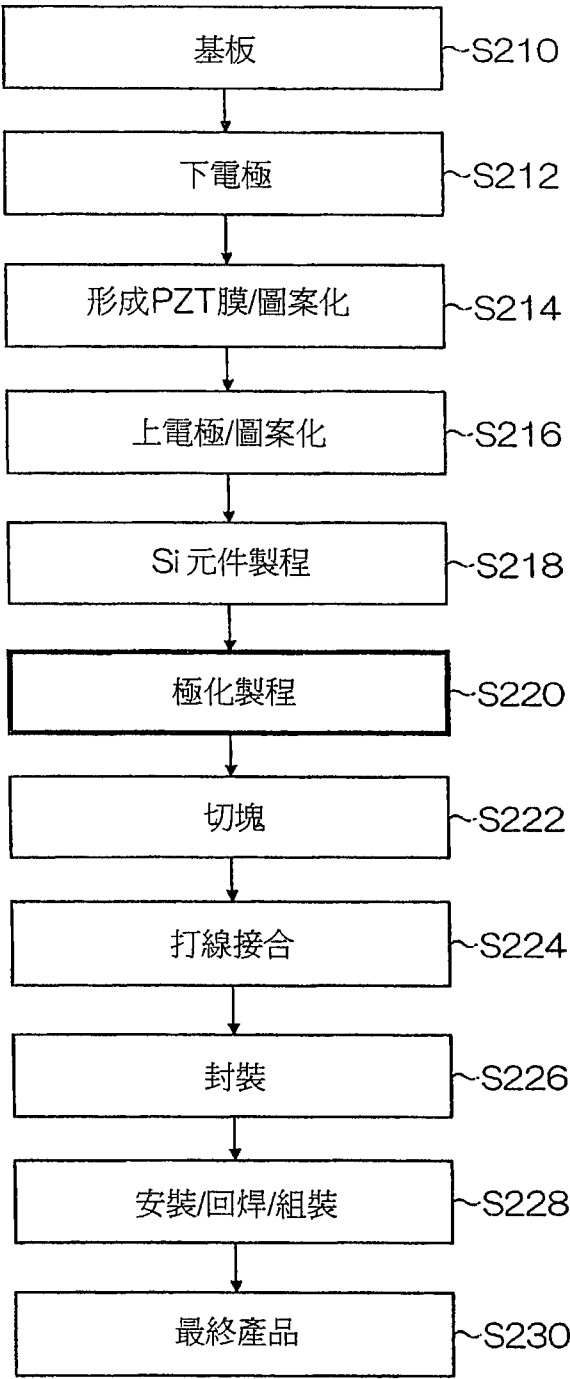


圖 13

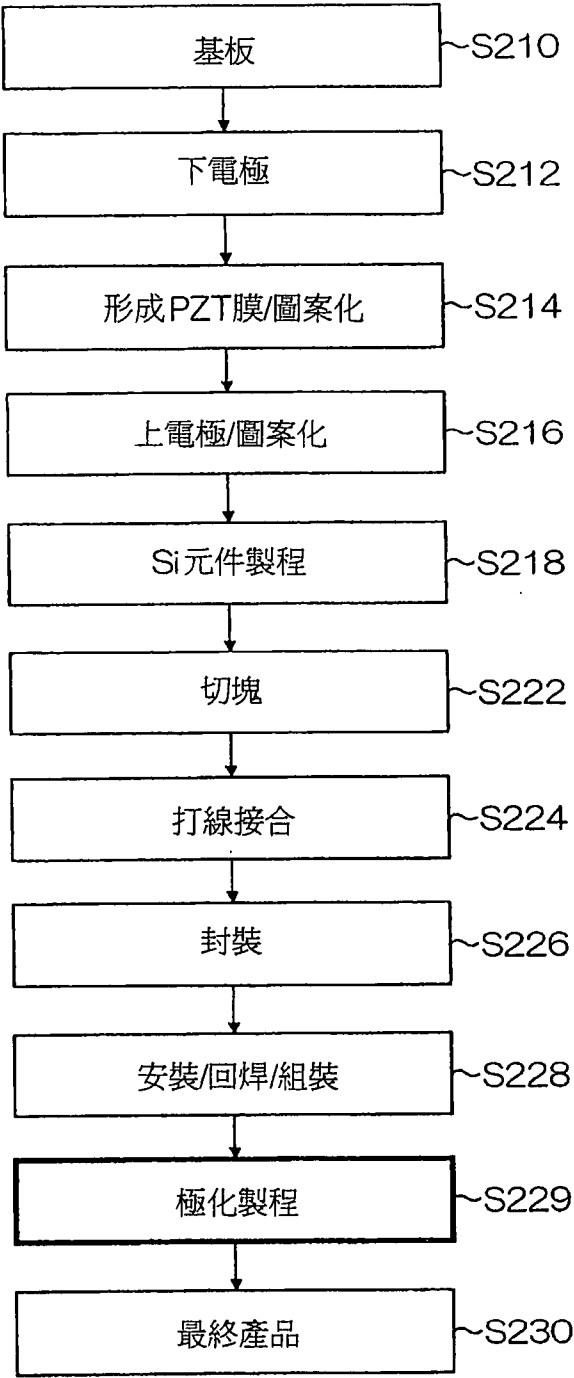


圖 14