



[12] 发明专利说明书

专利号 ZL 99812152.5

[45] 授权公告日 2005 年 7 月 20 日

[11] 授权公告号 CN 1211931C

[22] 申请日 1999.8.13 [21] 申请号 99812152.5

[30] 优先权

[32] 1998. 8. 14 [33] US [31] 60/096,489

[32] 1999. 2. 26 [33] US [31] 09/259,665

[32] 1999. 3. 31 [33] US [31] 09/283,013

[86] 国际申请 PCT/US1999/018550 1999.8.13

[87] 国际公布 WO2000/010254 英 2000.2.24

[85] 进入国家阶段日期 2001.4.13

[71] 专利权人 夸尔柯姆股份有限公司

地址 美国加州圣地埃哥

[72] 发明人 S·J·霍尔特

审查员 王艳坤

[74] 专利代理机构 上海专利商标事务所有限公司

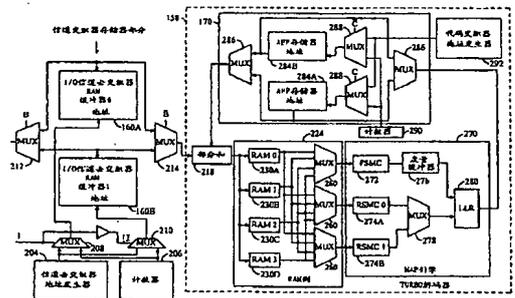
代理人 洪玲

权利要求书 3 页 说明书 11 页 附图 7 页

[54] 发明名称 用于最大后验概率解码器的存储器体系结构

[57] 摘要

本发明是一种解码技术的改进的新技术，特别适用于 turbo 或迭代编码技术。依据本发明的一个实施例，一种解码系统包括用于存储码元估计的块的信道去交织器 RAM、一组 S 个状态度量计算器以及一组 S+1 个窗口 RAM。每个状态度量计算器用于产生一组状态度量计算，其中所述 S+1 个窗口 RAM 中的 S 个对所述 S 个状态度量计算器提供码元估计。剩余的一个窗口 RAM 接收来自所述信道去交织器 RAM 的码元估计。



1. 一种解码系统，包括：
 - a) 用于存储码元估计的块的信道去交织器 RAM；
 - b) S 个状态度量计算器的组，所述每个状态度量计算器用于产生一组状态度量计算；
 - c) S+1 个窗口 RAM 的组，其中，
所述 S+1 个窗口 RAM 中的 S 个把码元估计提供给所述 S 个状态度量计算器，
剩余的一个窗口 RAM 接收来自所述信道去交织器 RAM 的码元估计。
2. 如权利要求 1 所述的系统，其特征在于 S 等于 3。
3. 如权利要求 1 所述的系统，其特征在于所述窗口 RAM 明显地小于所述信道去交织器 RAM。
4. 如权利要求 1 所述的系统，其特征在于所述状态度量计算器在等于或小于窗口 RAM 的尺寸的窗口上处理数据。
5. 一种解码器，包括：
信道交织器存储器，用于存储接收估计的信道交织器块；
解码器引擎，用于对接收估计进行解码；
解码器缓冲器，用于同时把第一组接收估计和第二组接收估计读出到所述解码器引擎并写入来自所述信道交织器存储器的第三组接收估计。
6. 如权利要求 5 所述的解码器，其特征在于所述解码器缓冲器还用于同时读出第四组接收估计。
7. 如权利要求 5 所述的解码器，其特征在于所述解码器引擎是 MAP 解码器引擎。
8. 如权利要求 5 所述的解码器，其特征在于所述解码器引擎包括：
前向状态度量计算器，用于响应于所述第一组接收估计产生前向状态度量；
反向状态度量计算器，用于响应于所述第二组接收估计产生反向状态度量。
9. 如权利要求 6 所述的解码器，其特征在于所述解码器引擎还包括：
前向状态度量计算器，用于响应于所述第一组接收估计产生前向状态度量；

第一反向状态度量计算器，用于响应于第二组接收估计产生反向状态度量；以及

第二反向状态度量计算器，用于响应于所述第四组接收估计产生反向状态度量。

10. 如权利要求 5 所述的解码器，其特征在于所述解码器缓冲器包括：

第一存储器，用于读写接收样本；

第二存储器，用于读写接收样本；以及

第三存储器，用于读写接收样本。

11. 一种数据解码方法，包括以下步骤：

a) 把第一状态度量计算器耦合到第一组接收估计以产生一初始化值；

b) 把第二状态度量计算器耦合到第二组接收估计以产生第一组状态度量；

c) 把第三状态度量计算器耦合到第三组接收估计以产生第二组状态度量；

d) 把第四组接收估计写到数据缓冲器，其中

同时进行步骤 a、b、c 和 d。

12. 如权利要求 11 所述的方法，其特征在于使用先前计算得到的初始化值产生所述第二组状态度量，并用先前计算得到的一组状态度量来处理所述第二组状态度量而产生数据估计。

13. 如权利要求 11 所述的方法，其特征在于还包括以下步骤：

把所述第一状态度量计算器耦合到所述第二组接收估计；以及

把所述第三状态度量计算器耦合到所述第一组接收估计。

14. 一种解码方法，包括以下步骤：

a) 沿第一方向对第一窗口进行第一解码，同时沿第二方向对第二窗口进行第二解码；

b) 存储第一解码的结果；

c) 使用来自第二解码的结果对第三解码进行初始化；

d) 沿所述第二方向在所述第一窗口上进行第三解码，并使用在第三解码期间计算得到的度量和所述结果来计算 LLR 值；以及

与步骤 d) 同时

沿第一方向对另一窗口进行第四解码、第五解码以及在新的窗口上沿第二方向进行第六解码；

e) 存储来自所述第五解码的第五解码结果，把第六解码结果用于一初始

化值。

15. 如权利要求 14 所述的方法，其特征在于所述第二方向与所述第一方向相反。

用于最大后验概率解码器的存储器体系结构

技术领域

本发明涉及编码(coding)。更具体的是,本发明涉及用于进行最大后验概率(MAP)解码的改进的新技术。

背景技术

“Turbo(特博)编码”代表前向纠错(FEC)领域的一个重要进步。有各种各样的turbo编码,但大多数编码采用由与迭代解码组合的交织步骤分开的多个译码(encoding)步骤。这种组合提供了先前就通信系统的噪声容限而言不可获得的性能。即,turbo编码允许使用现有的前向纠错技术以先前所不可接受的 E_b/N_0 电平进行通信。

许多系统使用前向纠错技术,因此,它们也会因使用turbo编码而受益。例如,turbo码可提高无线卫星链路的性能,其中卫星的有限下行链路发送功率使得可在低的 E_b/N_0 电平上进行操作的接收机系统成为必要。在无线卫星链路中使用turbo码可减小数字视频广播(DVB)系统的碟形卫星天线的尺寸,或者允许在一给定的频率带宽内发送更多的数据。

诸如数字蜂窝式和PCS电话系统等数字无线电信系统也使用前向纠错。例如,IS-95无线电接口标准(over-the-air interface standard)及其衍生的诸如IS-95B等定义了一种数字无线通信系统,该系统使用卷积译码来提供编码增益,以增加系统的容量。在名为“用于在CDMA蜂窝式电话系统中产生信号波形的系统和方法”的5,103,459号美国专利中描述了基本上依据使用IS-95标准的处理RF信号的系统和方法,该专利已转让给本发明的受让人并在这里引用作为参考(’459专利)。

由于象IS-95等数字无线通信系统主要用于移动通信,所以重要的是具有把功率使用减到最少且小型而轻便的器件。通常,这需要开发用于进行大多数或所有必要的处理的半导体集成电路(“芯片”)。虽然卷积译码相对复杂,但进行卷积译码和解码所需的电路可在单块芯片上与任何其它必要的电路一起形成。

Turbo 编码(尤其是解码操作)明显地比卷积译码(和解码)更复杂。但是,非常想要在包括移动数字通信系统和卫星通信系统的数字无线电信系统中包含 turbo 编码。因而,本发明旨在增加可进行某些解码操作的速率,以有助于在各种系统中使用 turbo 编码。

发明内容

本发明是一种用于对 turbo 或迭代、编码技术有特殊应用的解码技术的改进的新技术。依据本发明的一个实施例,一种解码系统包括用于存储码元(symbol)估计的块的信道(channel)去交织器 RAM 以及一组 S 状态度量(metric)计算器。每个状态度量计算器用于产生一组状态度量计算以及一组 S+1 窗口 RAM,其中所述 S+1 窗口 RAM 的 S 提供了对所述 S 状态度量计算器的码元估计。其余的窗口 RAM 接收来自所述信道去交织器 RAM 的码元估计。

附图概述

从以下详细描述并结合附图,将使本发明的特征、目的和优点变得更加明显起来,图中相同的标号指相应的部分,其中:

图 1A 和 1B 是无线通信系统的方框图;

图 2 是发送系统的方框图;

图 3A 和 3B 是 turbo 编码器的图;

图 4 是接收处理系统的方框图;

图 5 是解码器和信道去交织器的一部分的方框图;

图 6 是示出示例的一组解码步骤的流程图。

本发明的较佳实施方式

本发明是一种用进行 turbo 编码的改进的新技术。就数字蜂窝式电话系统来描述示例实施例。虽然在此范围内使用是有利的,但可在不同环境、配置或数字数据发送系统(包括卫星通信系统和诸如数字电缆和电话系统等有线线路通信系统)中结合本发明的不同实施例。

总的来说,可使用软件控制的处理器、集成电路或分立的逻辑来形成这里所述的各种系统,然而,以集成电路来实现是较佳的。有利的是,以电压、电流、电磁波、磁场或磁粉、光场或光粒子或其组合来表示可在本申请中引用的

数据、指令、命令、信息、信号、码元和码片。此外，每一方框图中所示的方框可表示硬件或方法步骤。

图 1A 是依据本发明一个实施例构成的蜂窝式电话系统的高度简化的图。为了进行电话呼叫或其它通信，用户单元 10 经由 RF 信号与基站 12 相接。基站 12 经由基站控制器(BSC)14 与公共交换电话网相接。

图 1B 是依据本发明另一个实施例构成的卫星通信系统的高度简化的图。上行链路站 40 把包含诸如视频程序设计(programming)等信息的 RF 信号发送到卫星 42。卫星 42 把 RF 信号转发回地面，在这里接收机 44 把接收的 RF 信号转换成数字数据。

图 2 是依据本发明一个实施例的使用构成的示例发送系统的方框图。该发送系统可在用户单元 10、基站 12 或上行链路站 40 以及产生数字信号以发送的任何其它系统中使用。所示的发送处理仅表示本发明的一个可能的实施例，因为各种其它发送处理方案可结合并受益于使用本发明的各实施例。

把数据 70 提供给 CRC 发生器 72，发生器 72 对给定的每个接收到的预定数量的数据产生 CRC 校验和数据。把获得的数据块提供给 turbo 编码器 76，编码器 76 产生提供给信道交织器 78 的代码码元。这些代码码元通常包括原始数据(系统码元)的重发和一个或多个一致校验(parity)码元。

对每一系统码元所发送的一致校验码元的数目与编码率有关。对于一种编码率 $\frac{1}{3}$ ，对每一个系统码元发送一个一致校验码元，对接收到的每个数据位(包括 CRC)总共产生两个码元。对于一码率 $\frac{1}{3}$ 的 turbo 编码器，对每个系统码元产生两个一致校验码元，对接收到的每个数据位产生总共三个码元。

把来自 turbo 编码器 76 的代码码元提供给信道交织器 78。信道交织器 78 对接收到的码元的块进行交织，输出经交织的码元，这些码元被映射器 80 接收。通常，信道交织器 78 进行块或位颠倒交织，实际上可把所有其它类型的交织器用作信道交织器。

映射器 80 取得经交织的代码码元并根据预定的映射方案产生一定位宽度的码元字。然后把这些码元字加到调制器 82，调制器 82 根据接收到的码元字产生经调制的波形。虽然可利用各种其它的调制方案，但典型的调制技术包括 QPSK、8-PSK 和 16 QAM。然后，对经调制的波形进行上变频以在 RF 频率发送。

图 3A 是依据本发明的第一实施例构成的 turbo 编码器的方框图。在本发明的第一实施例中，turbo 编码器构成并行串接的 turbo 编码器。在 turbo 编

码器 76 的形式内，组成编码器 90 和代码交织器 92 接收来自 CRC 发生器 72 的数据，如上所述，此 CRC 发生器 72 输出输入数据和 CRC 校验和位。组成编码器 90 还产生尾标(tail)位，以在每一帧的结尾处提供已知状态。

众所周知，为了最佳的性能，编码交织器 92 应该是高度随机化的交织器。在 1998 年 9 月 22 日提交的名为“具有基于状态机的交织器的编码系统”的 09/158,459 号未决美国专利申请、1998 年 10 月 13 日提交的名为“具有基于状态机的交织器的编码系统”的 09/172,069 号未决部分继续申请以及 1998 年 12 月 4 日提交的名为“使用线性同余(cogruential)序列的 Turbo 码交织器”的 09/09/205,511 号美国专利申请中描述了作为代码交织器的提供极佳性能及最小复杂性的交织器，所有的申请都转让给本申请的受让人，并在这里引用作为参考。组成编码器 90 输出系统码元 94(通常为原始输入位的拷贝)和一致校验码元 96。组成编码器 98 接收代码交织器 92 的交织输出并输出附加的一致校验码元 99。组成编码器 90 还可加上尾标位，以在每一帧的结尾处提供已知状态。

把组成编码器 90 和组成编码器 98 的输出多路调制(mux)成为总编码速率 R 为 $1/3$ 的输出数据流。可增加附加的组成代码和代码交织器对，以减小编码率，从而增强前向交错。或者，可截去(puncture)(不发送)一致校验码元 96 和 99 中的一些，以增加编码率。例如，通过刺穿每隔一个截去一致校验码元 96 和 99 可增加编码率至_或完全不发送一致校验码元 96。

组成编码器 90 和 98 可以是包括块编码器或卷积编码器的各种类型的编码器。作为常规的编码器，组成编码器 90 和 98 通常具有诸如 4(四)等小的约束长度以减少复杂性，且它们是递归系统卷积(RSC)译码器。较低的约束长度减少了接收系统处的相应解码器的复杂性。

通常，这两个编码器对于以组成编码率 $R=_$ 接收到的每一位输出一个系统码元和一个一致校验码元。然而，图 1A 的 turbo 编码器的总编码速率为 $R=1/3$ ，因为不使用来自组成编码器 98 的系统位。如上所述，还可平行地增加附加的交织器和编码器对，以减少编码率，因此提供较高的纠错，或可进行截去来增加编码率。

图 3B 示出依据本发明另一个实施例的作为串联串接的 turbo 编码器的 turbo 编码器 76。在图 3B 的 turbo 编码器内，由组成编码器 110 接收来自 CRC 发生器 72 的数据，把获得的代码码元加到代码交织器 112。把获得的经交织的

一致校验码元提供给组成编码器 114, 该组成编码器 114 进行附加的编码器以产生一致校验码元 115。通常, 组成编码器 110(外部编码器)可以是包括块译码器或卷积译码器的各种类型的译码器, 但组成编码器 114(内部编码器)最好是递归编码器, 且通常是递归系统译码器。

作为递归系统卷积(RSC)译码器, 组成编码器 110 和 114 以编码率 $R < 1$ 产生码元。即, 对于给定数目的输入位 N , 产生 M 个输出码元, 这里 $M > N$ 。图 1B 的串联串接 turbo 编码器的总编码率为组成编码器 110 的编码速率乘以组成编码器 114 的编码率。还可串联地增加附加的交织器和编码器对以减小编码率, 继而提供附加的差错保护。

图 4 是依据本发明一个实施例构成的接收系统的方框图。天线 150 把接收到的 RF 信号提供给 RF 单元 152。RF 单元进行对 RF 信号进行下变频、滤波和数字化。映射器 154 接收数字化的数据并把软决策(decision)数据提供给信道去交织器 156。Turbo 解码器 158 对来自信道去交织器 156 的软决策数据进行解码并把获得的硬决策数据提供给接收系统处的处理器或控制单元, 它们可使用 CRC 校验和数据来检查数据的准确性。

图 5 是依据本发明一个实施例构成的 turbo 解码器 158 和信道去交织器的一部分的方框图。如图所示, turbo 解码器 158 构成对来自图 3A 所示的 turbo 解码器的数据进行解码。

在所述的实施例中, 提供了两组(bank)信道交织器存储器-信道去交织器 RAM 160a 和 160b-每一组能存储一个信道交织器块。由信道地址发生器 204 和计数器 206 来控制这两个信道交织器存储器组的地址输入, 经由多路复用器 208 和 210 把信道地址发生器 204 和计数器 206 加到地址输入端。由信号 I 和 \bar{I} (I 的逻辑反)来控制多路复用器 208 和 210, 因此当由信道去交织器地址发生器 204 控制一信道去交织器 204 时, 由计数器 206 控制另一个信道去交织器。一般, 虽然使用各种其它类型的控制系统与本发明的用途相一致, 但可由运行存储在存储器中的软件的微处理器以及由分立的逻辑电路来提供任何控制功能。

信道交织器存储器组的 I/O 端口耦合到多路复用器 212 和 214。多路复用器 212 接收从映射器 140 到两个信道去交织器存储器组之一的软决策数据。多路复用器 214 把存储在两个信道去交织器存储器组之一中的软决策数据输出到部分和 218。由信号 B 和 \bar{B} 分别控制多路复用器 212 和 214, 因此当一个信道去交织器 RAM 在接收来自映射器 140 的样本时, 另一个把样本输出到部分和

218。

在操作期间，信道去交织器地址发生器 204 被加到接收来自映射器 140 的样本的信道去交织器存储器组。信道去交织器地址发生器以与图 3 的信道交织器 78 所进行的交织的相反顺序产生地址。因而，以未交织的顺序(相对于信道交织器而言未交织)把样本读入信道去交织器存储器组 160。

计数器 206 被加到把软决策读出到部分和 218 的信道去交织器存储器组。由于以相反的顺序读入软决策数据，所以可简单地使用计数器 206 以去交织的顺序读出软决策数据。还可使用各种其它的软决策数据缓冲方法，包括使用双端口存储器。此外，可使用产生去交织器地址的其它方法，包括开关计数器 206 和信道去交织器地址发生器 204。

在 turbo 编码器 158 内，部分和 218 接收来自信道去交织器的接收估计(软决策数据)以及来自 APP 存储器 170 的先验概率(APP)数据。众所周知，APP 值是根据前一解码迭代所发送的数据的估计。在第一个迭代期间，把 APP 值设定为相等的概率状态。

来自信道去交织器存储器的估计包括系统码元的估计以及与信道交织器块有关的每个数据位的两个一致校验码元的估计。部分和 218 把 APP 值加到系统码元，以产生“精细的系统估计”。把精细的系统估计与两个一致校验码元估计一起读入 RAM 文件 224。

在 RAM 列(file)224 内，把估计值写入窗口 RAM 230a-d(标为 RAM 0-RAM 3)。在本发明的一个实施例中，按顺序把估计写入 RAM 0-3 的地址空间。此过程从 RAM 0 开始，并进到 RAM 3。在任何给定的时间，只对一个窗口 RAM 进行写入。如以下更详细所述，把其余的三个窗口 RAM(未被写入的那些)经由多路复用器 260 施加到(被读取)MAP 引擎 270。

在本发明的一个实施例中，利用滑动窗口体系结构来进行映射解码。在名为“用于对经卷积译码的代码字进行解码的软决策输出解码器”的 08/743,688 号未决美国专利申请中描述了进行此滑动窗口解码的系统和方法，该申请已转让给本发明的受让人，并在这里引用作为参考。

在该申请中，对数据的“窗口”进行 MAP 解码。在本发明的所述实施例中，RAM 窗口组(window bank)230 的尺寸为 $L \times q$ ，这里， L 为在窗口中发送的数据位的数目， q 为存储精细的系统码元和对每个数据位所产生的两个一致校验码元的估计所需的存储器的位数。在本发明的一个实施例中，对于十八位(18)位

的 q ，把六(6)位用于两个一致校验码元估计，把七(7)位用于精细的系统码元估计(如上所述，它是接收系统码元估计与 APP 值之和)。

如上所述，把包括精细的系统码元估计和一致校验码元估计的估计按顺序写入窗口 RAM 230a-d。通常，只对一个窗口 RAM 230 进行写，而由 MAP 引擎 270 读取其余三个窗口 RAM 230。

在示例的处理中，把来自一新的信道块的数据首先写入窗口 RAM 230a，然后是窗口 RAM 230b。因而，窗口 RAM 230a 包含前 $L(1L)$ 组估计(这里，一组包括精细的系统估计和两个一致校验估计)，窗口 RAM 230b 包含次 $L(2L)$ 组估计。在把前两个 L 组估计存储在窗口 RAM 230 中后，多路复用器 260 开始把存储在窗口 RAM 230 中的数据施加到最大后验概率(MAP)解码器 270 内的状态度量计算器(SMC)中。在本发明的一个实施例中，这三个 SMC 包括前向 SMC(FSMC) 272 和两个反向 SMC(RSMC) 274a 和 274b。

在不断把数据写入 RAM 列 224 中时，多路复用器 260 依据表 I 把存储在四个窗口 RAM 中的三个窗口 RAM 内的估计施加到 MAP 解码器 270 内的三个状态度量计算器。

时间 SMC	1L	2L	3L	4L	5L	6L	7L	8L
FSMC		RAM 0 0→L-1	RAM 1 L→2L-1	RAM 2 2L→3L-1	RAM 3 3L→4L-1	RAM 0 4L→5L-1	RAM 1 5L→6L-1	
RSMC 0		<i>RAM 1</i> <i>2L-1→L</i>	RAM 0 L-1→0	<i>RAM 3</i> <i>4L-1→3L</i>	RAM 2 3L-1→2L	<i>RAM 1</i> <i>6L-1→5L</i>	RAM 0 5L-1→4L	
RSMC 1			<i>RAM 2</i> <i>3L-1→2L</i>	RAM 1 2L-1→L	<i>RAM 0</i> <i>5L-1→4L</i>	RAM 3 4L-1→3L		RAM 1 6L-1→5L
LLR								

表 I

与应用于特定状态度量的特定窗口 RAM 一起，表 I 还列出此时包含在该窗口 RAM 中的这组估计，因此，由相应的 SMC 来处理这些估计。

依据 MAP 处理，沿前向对窗口处理一次，沿反向对窗口处理一次。此外，沿反向对大多数窗口处理附加的一次，以产生用于其它反向状态度量处理的初始化状态。在表 I 中，由斜体文本来表示初始化遍(pass)。在所述实施例中，

每一组估计被处理三次，因此，也对存储有这些估计的窗口 RAM 访问三次。使用 3 个窗口 RAM 防止了 RAM 争用。

表 I 还示出，在任何特定的时间，至少一个窗口 RAM 不耦合到任何 SMC，因此，使得可写入新的数据。通过在 RAM 文件 224 中具有不止三个 RAM 窗口，可按照正确的顺序连续而重复地把数据馈送到 MAP 装置以及这三个 SMC 中的一个正确的 SMC，与此同时，经由部分和 218 从信道交织器存储器 160 接收数据。

还应注意，表 I 示出了对六(6)个数据窗口所进行的耦合。因而，示例的信道交织器块的尺寸为 $6L$ ，信道去交织器存储器为 $6L \times q$ 。 $6L$ 的信道块尺寸仅仅是举例，典型的信道块尺寸将比 $6L$ 大。

仍旧参考图 5，在 MAP 解码器 270 内，FSMC 272 如上所述接收来自 RAM 列 224 的估计，并在窗口 L 上计算前向状态度量值。把前向状态度量值存储在度量缓冲器 276 中。此外，依据表 I，RSMC 274 在另一窗口 L 上计算反向状态度量值。在本发明的一个实施例中，每个状态度量计算器包含它自己的分支度量计算器。在本发明的另一个实施例中，最好与一分支度量缓冲器相结合，在这组状态度量上使用单个时间共享的分支度量计算器。

在本发明的一个实施例中，所使用的 MAP 解码器为对数(log)MAP 解码器，它对这些估计的对数进行运算，以减少硬件复杂性。在 S.S. Pietrobon 的“Turbo/MAP 解码器的实现和性能”的参考文献中描述了包括状态度量和复杂度量计算器的对数 MAP 解码器的一个实现，该参考文献已于 1997 年 2 月提交国际卫星通信杂志。Pietrobon 的对数 MAP 解码器未使用以上所引用的“用于对经卷积译码的码字进行解码的软决策输出解码器”的专利申请中所述的滑动窗口体系结构。

使用第一个 RSMC 274 来计算最后一个值，以对另一个 RSMC 274 进行初始化，此另一个 RSMC 274 对前向状态度量已被计算且存储在度量缓冲器 276 中的窗口 L 进行反向状态度量计算。在计算出反向状态度量后，经由多路复用器 278 把它们转发到对数似然比(LLR)计算器 280。LLR 计算器 280 对从多路复用器 278 接收到的反向状态度量和存储在度量缓冲器 276 中的前向状态度量进行对数似然计算。把从 LLR 280 获得的数据估计转发到 APP 存储器 170。

通过使用滑动度量计算过程，减少了进行必要处理所使用的存储器的数量。例如，这组窗口 RAM 230 仅需要大到窗口 L ，而不是整个交织器块的尺寸。类似地，在任意给定的时间只需要把一个窗口 L 的前向状态度量存储在度量缓

冲器 276 内。这明显地减少了电路尺寸。

此外，使用三个度量计算器明显地增加了可进行解码的速率。此速率的增加是由于可平行地进行初始化和解码功能。初始化增加了解码器的准确率。

在本发明的另一个实施例中，可与一反向状态度量计算器相结合使用两个前向状态度量计算器。此外，如果以足够高的速率定时以进行两倍的运算，则可使用较少的状态度量计算器。然而，增加时钟速率增加了功耗，这在许多情况下是不想要的，包括在移动或电池供电的通信系统中。

此外，虽然使用 RAM 列 224 减少了解码器内的电路面积和 RAM 争用，本发明的其它实施例可选择其它的存储器体系结构。

如以上参考示例实施例所述，通过沿第一方向对第一窗口进行第一解码，同时沿第二方向对第二窗口进行第二解码，这样来进行解码。第二方向最好与第一方向相反。

存储第一解码的结果。使用第二解码的结果对沿第二方向对第一窗口所进行的第三解码进行初始化。在第三解码期间，使用第三解码期间计算得到的值和所存储的值来计算 LLR 值。

与第三解码同步，沿第一方向对另一个窗口进行第四解码，以及沿第二方向对再一个窗口进行第五解码。存储第四解码的结果，并使用第五解码来产生初始化值。重复这些步骤，直到对整个信道交织器块进行解码。

本发明的各种可选实施例可省略在所述实施例中所使用的某些步骤。然而，使用所述的这组步骤以最少的存储器和附加电路提供了快速而准确地解码，因此，提供了明显地性能益处。

在本发明的一个实施例中，APP 存储器 1709 包括两个 APP 存储器组 284。多路复用器 286 在被部分和 218 读取和被 LLR 280 写之间切换每个存储器组 284，以提供双缓冲操作。多路复用器 288 如此应用计数器 290 或代码交织地址发生器 292，从而对解码的每个迭代执行 turbo 代码交织和逆交织。

此外，APP 存储器组 284 可大到足以保持一信道交织器块的所有数据估计，其中这些估计是发送的数据而不是一致校验码元。可使用六位分辨率的估计。

通过从信道去交织器缓冲器 160 重复地读出接收估计并以来自 APP 存储器组 170 的 APP 值进行处理来进行整个解码过程。在一系列迭代后，这些估计应收敛于一组值上，然后使用这组值来产生硬决策。然后，使用 CRC 值来检查解码的结果。与解码同步，另一信道去交织器缓冲器接收下一接收估计块。

图 6 是示出在依据本发明一个实施例的信道交织器块的对数 MAP 解码期间所执行的步骤的流程图。参考图 5 所示的元素来讨论这些步骤。

解码在步骤 300 处开始，在步骤 302，把窗口索引 N 设定为 0。在步骤 304，把存储在信道去交织器 RAM 中的估计的窗口 $[N]$ 和窗口 $[N+1]$ 分别写入窗口 $RAM[N \bmod 3]$ 和窗口 $RAM[(N+1) \bmod 3]$ 。如上所述，估计的窗口相应于相对于所发送的数据位的窗口 L 所产生的码元。

在步骤 308，FSMC 处理 $RAM[N \bmod 3]$ (它在此情况下为 $RAM 0$) 中的估计，RSMC 0 处理 $RAM[(N+1) \bmod 3]$ (它为 $RAM 1$) 中的估计。此外，把来自信道去交织器 RAM 的估计的窗口 $[N+2]$ 写入窗口 $RAM[(N+2) \bmod 3]$ (它为 $RAM 2$)。

在步骤 310，递增窗口索引 N ，把 X 设定为 $N \bmod 2$ ，把 Y 设定为 $(N+1) \bmod 2$ 。在步骤 312，确定 $N+1$ 是否相应于待处理的估计的最后一个窗口。如果不是，则执行步骤 314。

在步骤 314，FSMC 处理存储在窗口 $RAM[N \bmod 3]$ 中的估计，RSMC X (在第一遍中 $X=0$) 处理存储在窗口 $RAM[(N+1) \bmod 3]$ 中的估计，RSMC Y (在第一遍中 $Y=1$) 处理存储在窗口 $RAM[(N-1) \bmod 3]$ 中的估计。此外，把来自信道去交织器 RAM 的估计的窗口 $[N+2]$ 写到窗口 $RAM[(N+2) \bmod 3]$ 。

未示出的是，在 RSMC 1 所进行的处理期间，在步骤 314 处产生相应于数据的窗口 $[N-1]$ 的一组 APP 值。通过在窗口上进行解码，把度量缓冲器的尺寸保持为对每个解码步骤所产生的度量的数目的长度 L 倍。由于对每个解码步骤存储大量度量，所以与存储整个信道去交织器块的状态度量相比，明显地减少了度量存储器。

此外，使用第二逆状态度量计算器增加了速度和准确性。例如，第二 RSMC 可在处理前一解码窗口的同时计算下一解码窗口的新的初始值。计算此新的初始值消除了对每个解码步骤进行新的 RSMC 计算的需要，因为可把此新的值用于对所有先前的窗口进行解码。

步骤 314 提供了通过处理以 RAM 列 224 为例的估计而获得的极佳效率例证。尤其是，步骤 314 示出了在解码处理中同时执行四个步骤的能力。这增加了对给定的时钟速率可执行编码的速率。在所述的实施例中，这些步骤包括状态度量计算处理以及把附加的样本写到 RAM 列 224 中。此外，在步骤 314 期间计算 APP 值。

一旦完成步骤 314，在步骤 310 递增窗口索引 N 。如果值 $N+1$ 等于最后一

个窗口，则中止流水线处理，在步骤 316 到 322 处理 RAM 组 224 内的其余估计。

尤其是，在步骤 316，FSMC 处理窗口 $RAM[N \bmod 3]$ ，RSMC X 处理窗口 $RAM[(N+1) \bmod 3]$ ，RSMC Y 处理窗口 $RAM[(N+1) \bmod 3]$ 。在步骤 318，递增窗口索引 N，把 X 设定为 $N \bmod 2$ ，把 Y 设定为 $(N+1) \bmod 2$ 。在步骤 320，FSMC 处理 $RAM[N \bmod 3]$ ，RSMC Y 处理 $RAM[(N-1) \bmod 3]$ 。在步骤 322，RSMC 1 处理 $RAM[N \bmod 3]$ 。在步骤 324，已在处理终结时完成了信道去交织器块。

因而，描述了进行 turbo 编码的改进的新技术。

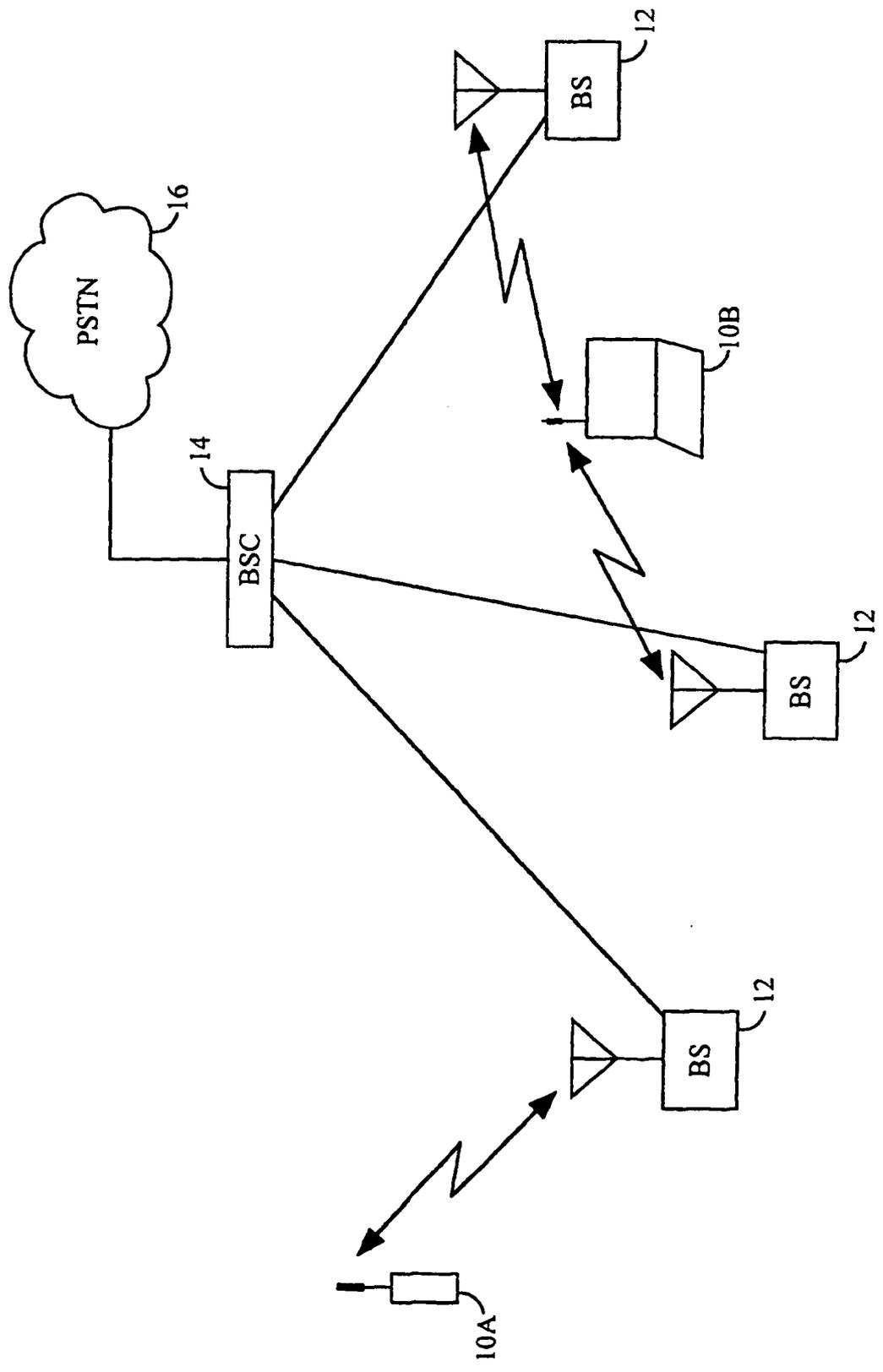


图 1A

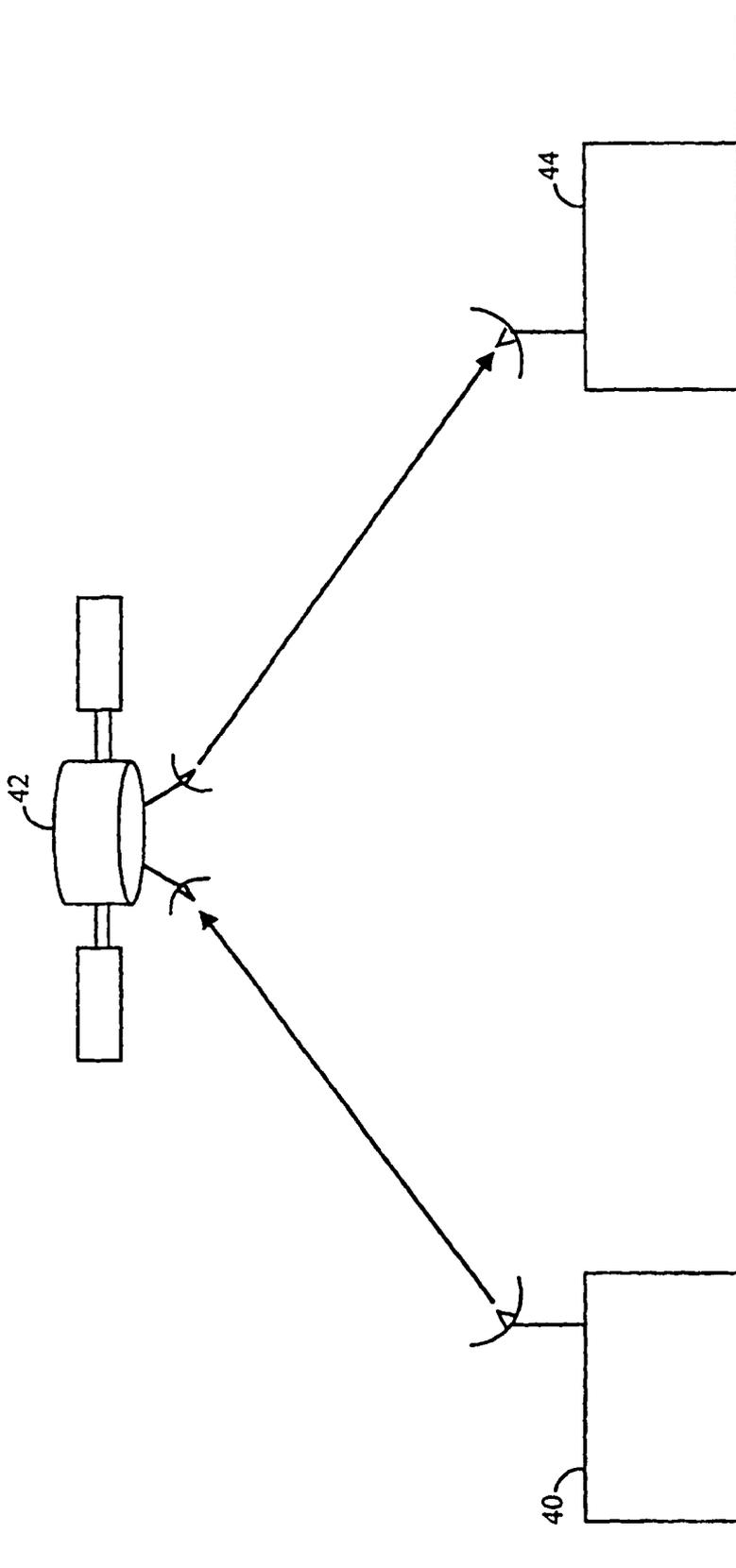


图 1B

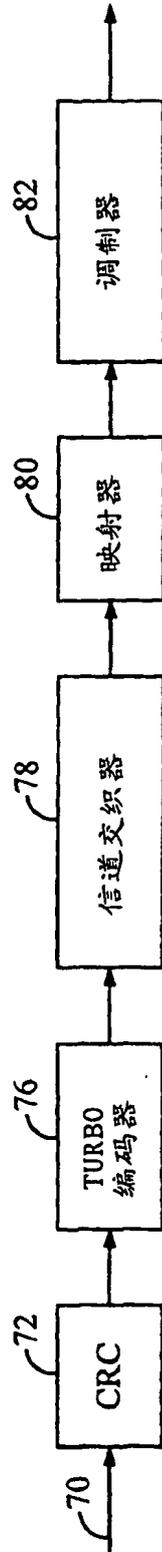


图 2

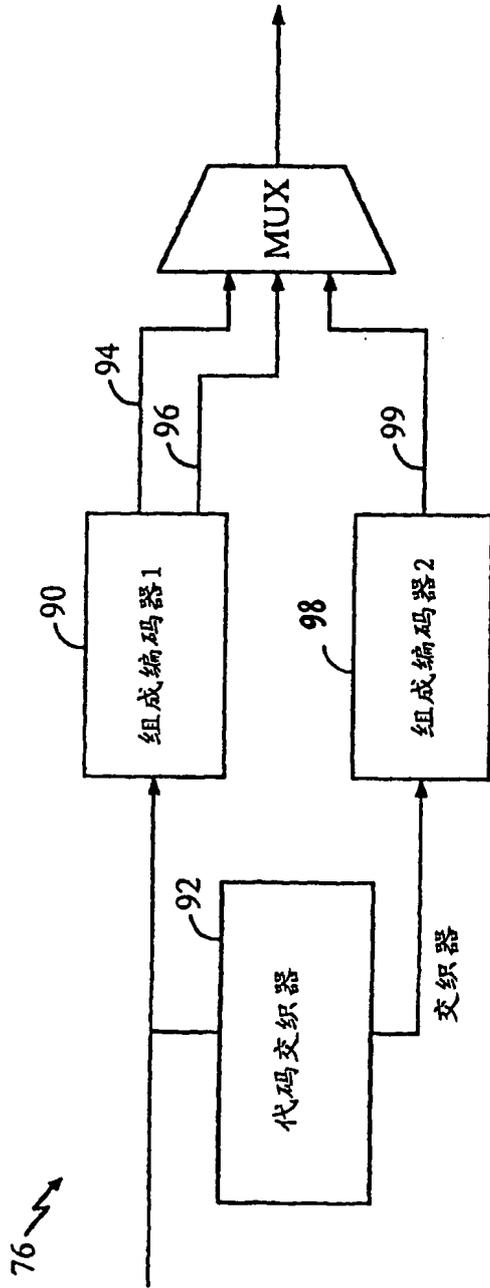


图 3A

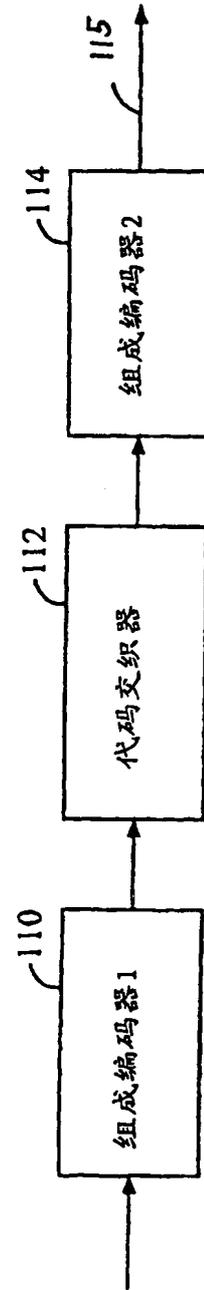


图 3B

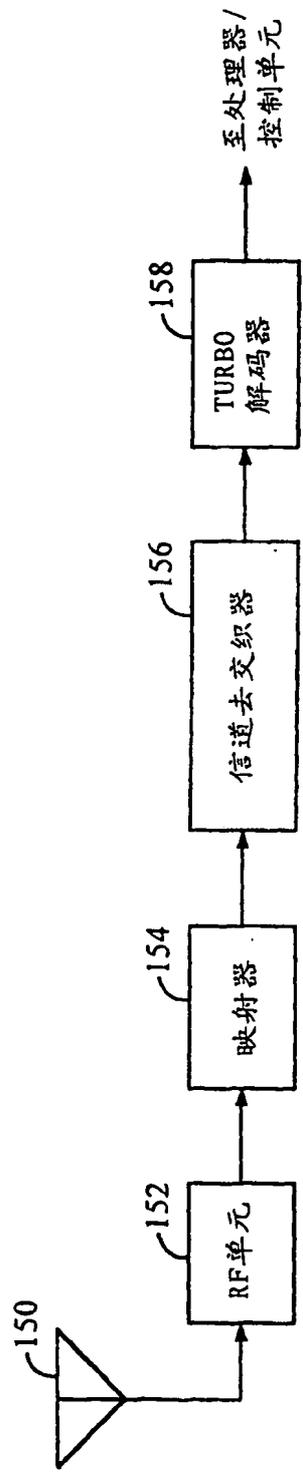


图 4

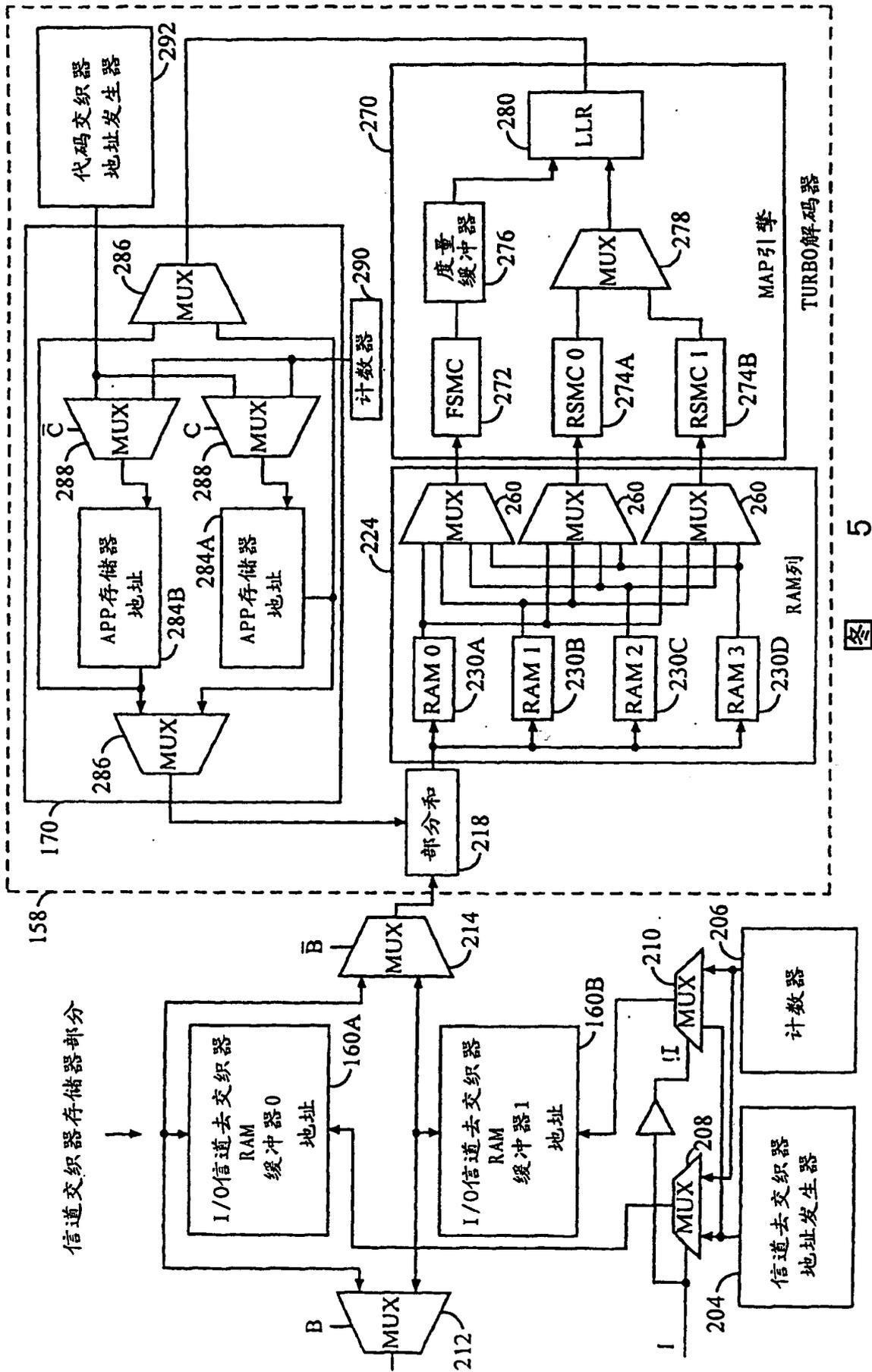
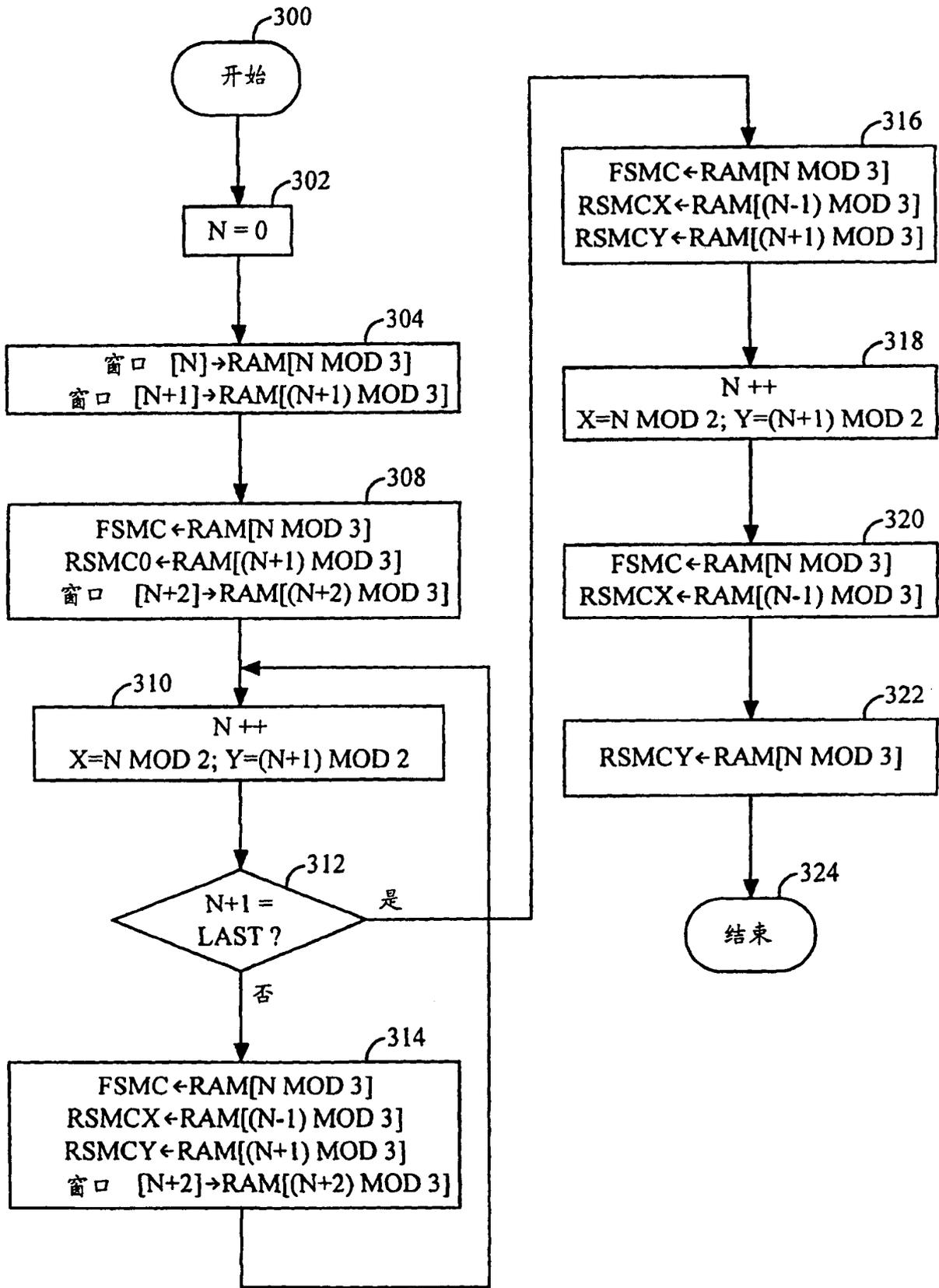


图 5



图