

400471
公告本

400471

申請日期	1998. 11. 13
案 號	87118849
類 別	G06F 1/02, H01L 27/04

A4
C4

(以上各欄由本局填註)

9814997

發明專利說明書

一、發明 名稱	中 文	半導體積體電路
	英 文	SEMICONDUCTOR INTEGRATED CIRCUIT
二、發明 人	姓 名	峰 一 雅
	國 籍	日 本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日 本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

1997年11月14日特願平9-331213(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域

本發明係關於一種具有微電腦及使用者邏輯之半導體積體電路，尤其是關於一種可以將新的邏輯加在匯流排上之微電腦的積體電路，一般而言，此處所使用的“邏輯”一詞係指“邏輯單元”。

相關技術

對於傳統的積體電路，若將一預存在微電腦和使用者額外邏輯彼此相互連接在一起，則有一連接用邏輯製作在該微電腦和該使用者額外邏輯之外部匯流排間，該兩者其中之一會連接到微電腦的外部匯流排/埠轉接端點，而另一則會連接到使用者額外邏輯的外部匯流排，如日本專利JP-A-3-58141中所述，為了恢復微電腦的埠功能因此種連接所造成之資料遺失，會有一種根據用於連接之邏輯的埠仿效功能。

發明概述

但是，上述之傳統技術會有以下之缺點：

在日本專利JP-A-3-58141所提出之積體電路中，第一個不方便處為：整個晶片的電路尺寸會增加，因此會妨礙降低尺寸和成本。

此原因是：因為提供連接用邏輯係當作微電腦和匯流排/埠轉接端外側的延伸，所以埠功能則是根據微電腦和連接用邏輯之預存。

尤其，如示於第2圖之上述日本專利JP-A-3-58141，其為邏輯之範例，其中在匯流排/埠轉接端(示於第1圖

五、發明說明(2)

之3)，也有開關部分(示於第2圖之SW12和SW13)和門(示於第2圖之16)，該匯流排/埠轉接端係提供在第1圖之電腦中，使得具有相同功能之兩種電路能提供在相同的晶片中。

第二個缺點為：在上述之日本專利JP-A-3-58141中，為了要檢查積體電路晶片中所有的部分，需要準備一操作在單晶片模式之測試圖案，也就是使用該微電腦中之CPU的使用者額外邏輯之控制狀態下。

此原因是：除了操作在單晶片模式，在晶片中，存在有一不能操作在其他模式之部分，尤其，連接用邏輯係用以相互相連接該微電腦側匯流排和使用者額外邏輯匯流排，也就是示於第2圖之日本專利JP-A-3-58141中的開關11，若其在除了單晶片模式以外之模式下，則不能啟動，使其必需準備一專用的測試圖案。

第三個缺點為：若示於日本專利JP-A-3-58141第二實施例之積體電路係在額外的邏輯測試模式下啟動，則需要大量的外接端點。

其原因是：中斷要求訊號係藉由使用者額外邏輯輸出，及藉由使用者額外邏輯輸出中斷要求訊號需要當作品片外接端點之輸入或輸出訊號。

因此本發明之目的在於提供一種藉由排除專門用於連接傳統積體電路之邏輯而減少尺寸和重量的積體電路，其係簡化電路中用以實現埠仿效功能之轉換開關成埠訊號門以減少該電路之尺寸和重量。

五、發明說明()

本發明另一目的在於提供一種具有連接用邏輯之操作性測試的積體電路，以利於提升生產力和改善可靠度，其中在準備操作性測試之測試圖案時，需要很多的操作步驟。

本發明尚有一目的，即提供一種積體電路，其中在上述傳統積體電路之傳送測試模式下，該積體電路之晶片外接端點數可以減少，使得可以減少該積體電路之尺寸和重量。

為了達成上述之目的，本發明其中之一形態為：提供一種具有微電腦和一使用者在某一半導體晶片中之額外邏輯的積體電路，其包含一用以相互連接微電腦和使用者邏輯的連接用邏輯，其中該微電腦含有一連接到外接端點之埠電路，該埠電路可經由該外接端點輸出資料到晶片外部，或自晶片外部輸入資料，該埠電路可連接到提供在該微電腦內部之第一匯流排，該連接用邏輯係連接到提供在該微電腦中之第一匯流排，及連接利用於連接使用者額外邏輯之第二匯流排，自該使用者用額外邏輯讀取或寫入到該使用者用額外邏輯係經由連接到該微電腦埠電路之端點致能。

在本發明之積體電路中，用於相互連接微電腦和使用者用額外邏輯之連接用邏輯，具有一檢查連接到使用者用額外邏輯之第二匯流排是否正常操作之匯流排檢查暫存器，此匯流排檢查暫存器之位元寬度和第二匯流排的資料轉移寬度相同，該匯流排檢查暫存器分配讀取和寫入自微電腦，或寫到微電腦之定義位址，而任意選擇的

五、發明說明(4)

資料可經由該第一或第二匯流排寫入或讀取自該微電腦。

根據本發明第三形態之積體電路，該使用者用額外邏輯有一給微電腦之中斷要求訊號，相互連接該微電腦和使用者用額外邏輯之介面專用電路為一藉由使用者額外邏輯，傳輸一中斷要求輸出到微電腦和中斷要求訊號檢查暫存器之電路，該中斷要求訊號檢查暫存器之位元數對應中斷要求訊號數，一任意選擇值被致能寫在該微電腦之中斷要求訊號檢查暫存器的各位元中，本發明提供有一種傳輸各個位元輸出代替輸出到微電腦之中斷要求訊號的電路。

對於另一形態，本發明還提供一種在單一半導體晶片中，具有一微電腦和一使用者用額外邏輯之半導體積體電路，其中直接連接到該微電腦內部匯流排之連接用邏輯係提供在使用者用額外邏輯和微電腦之間，在測試使用者用額外邏輯期間，使用者用額外邏輯不受微電腦之CPU控制，使其能從外部利用微電腦的匯流排/埠轉接端點和讀/寫控制訊號，經由內部匯流排和連接用邏輯，自使用者用額外邏輯讀取或寫入使用者用邏輯，本發明之其他特徵揭露在此處納入參考之相關申請專利範圍中。

圖式簡述

- 第1圖為本發明實施例完整結構之方塊圖；
- 第2圖為本發明實施例細部結構之方塊圖；
- 第3圖為本發明實施例讀取操作之時序圖；
- 第4圖為本發明實施例各部分操作狀態之真值表；

五、發明說明(5)

第5圖為本發明實施例讀取操作圖解之時序圖；

第6圖為本發明實施例讀取操作圖解之時序圖；

第7圖為本發明第二實施例結構之方塊圖；

第8圖為本發明第二實施例之操作模式。

較佳實施例說明

此後將說明本發明之較佳實施例，在優選實施例中，根據本發明之半導體積體電路，其在微電腦之內部匯流排上，不必用到中央處理單元，就能從晶片外部自使用者用額外邏輯讀取，或寫入到使用者用額外邏輯，尤其，該半導體積體電路包含一當作直接相互連接使用者用額外邏輯和微電腦內部匯流排(第1圖之30)相互連接裝置的連接用邏輯(第1圖之4)，和一當作從當作品片外接端點之匯流排/埠轉接外接端點(第1圖之3)到微電腦內部匯流排(第1圖之30)的讀取和寫入裝置之埠電路(第1圖之31)。

在本較佳實施例中，相互連接微電腦內部匯流排和使用者額外邏輯之開關部分很容易改變作測試，尤其是當作連接到使用者額外邏輯(第2圖之5)之匯流排(第2圖之7)操作證明裝置的匯流排檢查暫存器(第2圖之50)，其提供在該使用者額外邏輯之連接用邏輯(第2圖之4)的內部。

在本發明另一實施例中，有提供一輸入中斷要求訊號之多工器(第7圖之63)，和在測試模式期間，當作來自外部使用者額外邏輯(第7圖之5)之中斷要求訊號(第7

五、發明說明(6)

圖之 69)證明裝置之微電腦埠功能，此外，還有提供一當作啟動中斷要求輸入到微電腦之中斷控制器裝置的檢查暫存器(第 7 圖之 65)，和用以輸入來自使用者額外邏輯之中斷要求訊號和檢查暫存器之輸出的多工器(第 7 圖之 71)。

在上述之本發明實施例中，因為自晶片外部讀取或寫入到使用者額外邏輯係利用內部的匯流排和藉由一般微電腦所擁有的埠電路，所以不需要提供一一般傳統上製作在連接用邏輯內部之埠仿效功能。

因為連接到使用者額外邏輯之匯流排可以藉由從微電腦寫一任意選擇的值到匯流排檢查暫存器，然後在微電腦側作測試，所以在連接介面內部之匯流排轉接開關可以藉由相同的測試圖案，無論什麼時候都不用依靠使用者額外邏輯作測試。

此外，在傳送測試模式期間，來自使用者額外邏輯之中斷要求訊號可以利用多工，自微電腦的埠功能端點輸出，而且輸出到微電腦之中斷要求訊號係使用檢查暫存器作測試，所以晶片外接端點數可以減少到小於傳統的數目。

第 1 圖為本發明實施例完整結構之方塊圖，參考第 1 圖，本發明之本實施例包含一微電腦 1，一使用者額外邏輯 5，及一相互連接該微電腦 1 和該使用者額外邏輯 5 之連接用邏輯 4。

該微電腦 1 具有一匯流排/埠轉接外部端點 3 和一內部

五、發明說明(7)

匯流排 30，該連接用邏輯 4 係直接連接到該微電腦 1 之內部匯流排 30，本實施例有提供控制訊號群 61,62，藉由資料輸入/輸出，用以自微電腦 1 存取該使用者額外邏輯。

在本發明之本實施例中，其積體電路至少有兩種操作模式，一為"正常操作模式"，而另一為"使用者額外邏輯測試模式"，例如，這些模式可以經由連接到晶片外部之測試輸入端等設定。

在正常操作模式時，使用者額外邏輯 5 只可以自在微電腦 1 內部之中央處理單元 35(第 2 圖)存取，在此模式下，可以使用匯流排/埠轉接外部端點 3 當作連接到外部周邊元件，如記憶體，未顯示，或提供在微電腦 1 外部之周邊晶片的匯流排，或在沒有周邊元件，如晶片連接的情形下，同樣當作埠，在此模式下，內部匯流排 30 和讀/寫控制訊號群 61,62 都是由藉由在微電腦 1 內部之中央處理單元控制。

在使用者額外邏輯測試模式時，使用者額外邏輯 5 不受在微電腦 1 之中的中央處理單元控制，所以其可以直接經由匯流排/埠轉接外部端點 3，自晶片外部存取，在此同時，該內部匯流排 30 也不受到微電腦 1 之中的中央處理單元控制。

為了要自晶片外部控制從或到使用者額外邏輯 5 之讀/寫，使用模式設定端點 32-34，讀/寫控制訊號群(組) 61,62 也是藉由來自晶片外部之模式設定端點 32-34 控制。

五、發明說明 (8)

實施例

參考本發明較佳實施例之圖式說明。

第1圖為本發明實施例之結構，在第1圖中，微電腦1為一單晶片微電腦，其中中央處理單元和特殊功能方塊都組合在一個晶片之中。

該微電腦1具有一組輸入/輸出端點2，匯流排/埠轉接外部端點3，內部匯流排30，埠電路31，第一和第二輸入端點9,10，模式設定端點31,33,34，及一組控制訊號(訊號線)61。

該組控制訊號61係用以控制從微電腦1到連接用邏輯4的寫和讀。

該連接用邏輯4直接連接到用以傳輸微電腦1位址/資料之內部匯流排30，該連接用邏輯4具有一用於微電腦1之匯流排7，以存取使用者額外邏輯5及一組讀取和寫控制訊號端點(線)62。

該使用者額外邏輯5具有該位址/資料匯流排7，該組讀取和寫控制訊號端62，及一到晶片6外部之輸入/輸出端點。

第2圖為該微電腦1和連接用邏輯4之細部結構方塊圖。

參考第2圖，該微電腦1包含一中央處理單元35，內部匯流排30，埠電路31和存取控制電路60，該內部匯流排30係連接到中央處理單元35，埠電路31，存取控制電路60和連接用邏輯4。

五、發明說明(9)

該連接用邏輯4係由寫/讀控制電路45,位址門46,匯流排緩衝器47-49,和匯流排檢查暫存器50所組成。

在本實施例之積體電路中,該微電腦1之內部匯流排30係為位址/資料多工型式,而使用者額外邏輯5之匯流排為位址/資料分開型式,且分成資料匯流排7a和位址匯流排7b,因此,在連接用邏輯4內部,根供該位址門46,用以將多工式匯流排轉換成分開式。

本實施例還有提供一匯流排檢查暫存器50,用以改善連接用邏輯4檢查之檢測故障率。

本實施例之操作詳細說明於後。

在本實施例中,微電腦1之操作模式係由第一和第二測試輸入端點9,10決定,若第一測試輸入端點9為邏輯"0",則操作模式係設為"正常操作模式",然而,若第一測試輸入端點9為邏輯"1",則操作模式係設為"傳輸測試模式",如第3圖所示。

各模式可以藉由第二測試輸入端點10設為更詳細的模式,即,"正常操作模式"可設為"單晶片操作模式"和"外部延伸模式",而"傳輸測試模式"則可設為"預存在微電腦測試模式"和"使用者額外邏輯測試模式"。

在正常操作模式,本實施例之微電腦1,在重置之後,開始直接自圍繞的ROM取回指令,在另一方面,在傳輸測試模式之預存在微電腦測試模式,在重置之後,指令會直接自晶片外部開始取回,在使用者額外邏輯測試模式中,可以自晶片外部存取,即資料可以輸入/輸出。

在正常操作模式和預存在微電腦測試模式時,只可以

五、發明說明 (10)

自微電腦 1 中之中央處理單元 35 存取，即資料可以自使用者額外邏輯 5 輸入，或輸出到使用者額外邏輯 5，在使用者額外邏輯測試模式時只可以自積體電路外部存取使用者額外邏輯 5。

在該模式下，內部匯流排 30 和讀寫控制訊號 61, 62 之設定係由微電腦 1 中之中央處理單元 35 控制。

此外，若在正常操作模式時，第二測試輸入端點 10 係為邏輯 "1"，則單晶片微電晶體 1 係操作在外部延伸模式，即匯流排 / 埠轉接端點 3 係當作將記憶體或周邊晶片連接到微電腦 1 外部之匯流排操作。

反之，若在正常操作模式時，第二測試輸入端點 10 係為邏輯 "0"，則匯流排 / 埠轉接外部端點 3 係當作埠操作。

當操作在正常操作模式時，讀取和寫入有可能從中央處理單元 35 經由內部匯流排 30 到埠電路 31 和連接用邏輯 4。

在微電腦 1 中之讀 / 寫控制電路 60，在正常操作模式和預存在微電腦測試模式時，由中央處理單元 35 輸出，將控制訊號 42, 43, 44 之值傳送到控制訊號線 61a, 61b, 61c，而在使用者額外邏輯測試模式時，將當作外部端點之模式端點 32, 33, 34 之值傳送到控制訊號線 61a, 61b, 61c。

在連接在邏輯 4 中之讀 / 寫控制電路 45 永遠會將控制訊號 61a, 61b 之值傳送到用在連接用邏輯 4 中之控制訊號 54, 55，而在獨立的操作模式下，控制訊號 61a, 61b 之值會傳送到進入連接用邏輯之控制訊號 62a, 62b。

五、發明說明(一)

下面將說明在正常操作模式和預存在微電腦測試模式時，從使用者額外邏輯5讀取或寫入到使用者額外邏輯5之操作。

在這些模式時，控制訊號42,43,44之狀態會傳送到控制訊號線61a,61b,61c,在另一方面，埠控制訊號39,40,41經由讀/寫控制電路60之內部暫存器的狀態控制。

在第一週期期間，由中央處理單元35輸出之位址在內部匯流排30上傳輸，在此同時，活化由中央處理單元35輸出之控制訊號44(位址頻閃訊號)，讀/寫控制電路60將控制訊號44之狀態傳輸到控制訊號線61c，使內部匯流排30上之位址訊號傳輸到位址門46，當控制訊號44不活化時，位址訊號就會被位址門46門住，在位址匯流排70上之位址訊號會傳輸到使用者額外邏輯5。

在第二之週期期間，資料係傳輸在內部匯流排30之上，在此同時，活化分別當作讀取訊號和寫入訊號之控制訊號42(讀取頻閃訊號)和控制訊號43(寫入頻閃訊號)，在微電腦1中之讀/寫控制電路60會將控制訊號42,43之狀態分別傳送到控制訊號線61a,61b。

在連接用邏輯4中之讀/寫控制電路45傳送控制訊號61b之狀態到控制訊號線54,62b，而傳輸控制訊號61a之狀態到控制訊號線55和62a，為了要讀取資料，需分別不活化和活化控制訊號線54,55而匯流排緩衝器47不驅動資料匯流排7a，且匯流排緩衝器48驅動內部匯流排30。

在寫入資料時，分別活化和不活化控制訊號線54,55，

五、發明說明 (12)

而匯流排緩衝器 47 驅動資料匯流排 7a，而匯流排緩衝器 48 不要驅動內部匯流排 30。

因此，在讀取資料時，由使用者額外邏輯 5 輸出之資料會經由資料匯流排 7a，匯流排緩衝器 48 和內部匯流排 30，並依此順序饋送到中央處理單元 35。

在寫入資料時，由中央處理單元 35 輸出之資料會經由內部匯流排 30，匯流排緩衝器 47 和資料匯流排 7a，並依此順序饋送到使用者額外邏輯 5。

以上為正常操作模式時，自使用者額外邏輯 5 讀取或寫入資料到該使用者額外邏輯 5 之操作說明。

以下說明在使用者額外邏輯測試模式時，從晶片外部到使用者額外邏輯 5 之讀取和寫入的操作，第 4 圖為各部份操作狀態之真值表。

晶片操作在使用者額外邏輯測試模式時，可在內部匯流排 30 從埠電路 31 到連接用邏輯 4 作讀 / 寫操作，此讀 / 寫操作係由微電腦 1 之讀 / 寫控制電路 60 控制。

在此模式下，模式端點 32, 33, 34 之狀態會分別傳送到控制訊號線 61a, 61b, 61c，注意，埠控制訊號 39, 40, 41 係由模式端點 32, 33, 34 之組合控制。

第 5 及 6 圖分別為此模式之讀取操作時序圖和寫入操作時序圖。

在第一週期期間，自匯流排 / 埠轉接端點 3 進入之位址經由內部匯流排 30 轉換到位址匯流排 7b，在此同時，活化模式設定端點 34 (位址頻閃訊號)，而不活化模式設

五、發明說明 (12)

定端點 32 (讀頻閃訊號) 和模式設定端點 33 (寫頻閃訊號)。

讀 / 寫控制電路 60 傳送模式設定端點 34 之狀態到控制訊號線 40 和 61c, 傳送模式設定端點 32 之狀態到控制訊號線 41 和 61a, 而匯流排緩衝器 36 驅動內部匯流排 30, 及匯流排緩衝器 37 未驅動匯流排 / 埠轉接外部端點 3。

因此, 送自匯流排 / 埠轉接外部端點之位址訊號, 在內部匯流排 30 上傳送到位址門 46, 當不活化控制訊號 34 時, 位址訊號係由位址門 46 門住, 該位址訊號係在位址匯流排 7b 上傳送到使用者額外邏輯 5。

在第二週期期間, 資料傳送在內部匯流排 30 上, 在此時, 不活化模式設定端點 34 (位址頻閃訊號), 為了要讀取資料, 若是活化模式設定端點 32 (讀取頻閃訊號), 則微電腦 1 中之讀 / 寫控制電路 60 會將模式設定端點 32 之狀態傳送到控制訊號線 39, 41 和 61a, 其中埠門 38 係在資料通過狀態, 而匯流排緩衝器 37 和 36 則分別在驅動和未驅動狀態。

在寫入資料的情形下, 若活化模式設定端點 33 (寫入頻閃訊號), 則微電腦 1 中之讀 / 寫控制電路 60 會將模式設定端點 33 之狀態傳送到控制訊號線 40, 61b, 其中匯流排緩衝器 36, 37 分別在驅動和未驅動狀態。

在連接在邏輯 4 中之讀 / 寫控制電路 45 將控制訊號 61b 之狀態傳送到控制訊號線 54, 62b, 而將控制訊號 61a 之狀態分別傳送到控制訊號線 55 和 62a, 在讀取資料的情形下, 分別不活化和活化控制訊號 54, 55, 其中匯流排緩衝器

五、發明說明(14)

47未驅動資料匯流排7a，而匯流排緩衝器48則驅動內部匯流排30。

在寫入資料的情形下，活化控制訊號54，不活化控制訊號55，其中匯流排緩衝器47驅動資料匯流排7a，而匯流排緩衝器48則未驅動內部匯流排30。

因此，在讀取資料時，由使用者額外邏輯輸出之資料依序通過資料匯流排7a，匯流排緩衝器48，內部匯流排30，埠門38，然後通過匯流排緩衝器37，使得在匯流排/埠轉接外部端點3輸出。

在寫入資料時，進入匯流排/埠轉接外部端點3之資料，依序通過匯流排緩衝器36，內部匯流排30，匯流排緩衝器47和資料匯流排7a，而輸入到使用者額外邏輯5。

以上為在使用者額外邏輯測試模式時，自使用者額外邏輯5讀取或寫入資料到使用者額外邏輯5之說明。

以下為根據本發明，用以確認連接到使用者額外邏輯之匯流排操作的匯流排檢查暫存器之實施例的說明。

參考第2圖，匯流排檢查暫存器50之輸入端係連接到連接使用者額外邏輯5之資料匯流排7a，而其輸出端則經匯流排緩衝器49連接到資料匯流排7a。

用於匯流排檢查暫存器50之寫入控制訊號56，和匯流排緩衝器49之驅動控制訊號57，係由連接用邏輯4中之讀/寫控制電路45產生，匯流排檢查暫存器50之讀/寫位址由該控制電路45配置，若位址為8個位元，則位址之

五、發明說明(15)

配置會使得可以檢測匯流排各個位元件之0或1，而自16進位法之55和AA存取。

控制訊號56,57係分別由控制訊號61a,61b之輸出和控制電路45內部之位址解碼器輸出的邏輯運算結果。

以下將說明使用匯流排檢查暫存器50檢查故障之順序。

例如，若匯流排檢查暫存器50之資料寬度為8位元，且位址重複地配置在16進位的55和AA，則會遵循以下之程序：首先，將16進位的資料55寫在16進位的位址55，然後，讀取16進位的位址AA，以確認資料為16進位的55，其次，將16進位的資料AA寫在16進位的位址AA，以確認資料為16進位的AA。

上述之操作可以檢測資料匯流排7a和位址匯流排的各位元是0還是1。

參考第7及8圖，其為中斷訊號自使用者額外邏輯5輸出到中央處理單元35之實施例，雖然第7圖只有一個部分需要中斷的說明，但是匯流排結構或相似結構和第1圖及第2圖所示的一樣，第8圖為本實施例之操作模式的表列。

參考第7圖，中斷要求輸出69係經由連接用邏輯4連接到微電腦1，中斷要求訊號69(69a,69b)和由中斷檢查暫存器65輸出之檢查訊號70(70a,70b)係藉由多工器71選擇，且傳送到中斷要求輸入68(68a,68b)，此中斷要求輸入68饋入到微電腦1中之中斷控制器64，同時也饋入到微電腦1中之埠電路31，在埠電路31之內部中，利

五、發明說明 (16)

用多工器 63 選擇中斷要求輸入 68 (68a, 68b) 和埠門 38 之輸出；然後傳送到輸入/輸出端點 67 (67a, 67b)。

由連接用邏輯 4 中之多工器 71 選擇的兩訊號和由埠電路 31 中之多工器 63 選擇的兩訊號可由讀/寫控制電路 60 輸出之控制訊號決定。

如第 8 圖所示，在埠電路 31 中之多工器 63 分別對使用者額外邏輯測試模式和其他模式，選擇中斷要求輸入 68 和埠門 38 之輸出，對於預存在微電腦測試模式和其他模式，在連接用邏輯內部之多工器 71 分別選擇中斷檢查暫存器 65 之輸出 70，和自使用者額外邏輯輸出的中斷要求輸出 69。

中斷檢查暫存器 65 連接到資料匯流排 7a，且可以自中央處理單元 35 讀取資料或寫入資料，此和匯流排檢查暫存器的情形相同 (第 2 圖中之 50)。

以下說明中斷要求輸出訊號 69 和中斷要求輸入訊號 68 之檢查程序。

對於中斷要求輸出訊號 69 之檢查，積體電路係藉由第一和第二測試輸入端點 9, 10 設定為使用者額外邏輯測試模式。

使用者額外邏輯 5 自積體電路外部存取，且啟動產生一中斷要求，活化之中斷要求訊號 69 係經由多工器 71，中斷要求輸入 68，多工器 63 和輸入/輸出端點 67，輸出到積體電路外部，使其可以被檢測到。

對於中斷要求輸入訊號之檢查，積體電路係藉由測試

五、發明說明(17)

輸入端點 9,10 設定為預存在微電腦測試模式，若中斷檢查暫存器 65 之相對應位元由中央處理單元 35 設定，則可以選擇已由多工器 71 設定之位元活化中斷要求輸入 68，該產生之中斷要求訊號會傳送到在中斷控制器中之中斷要求暫存器以設定在中斷控制器中之中斷要求暫存器的對應位元，使其可以藉由中央處理單元 35 讀取資料，且讀取狀態會進到輸入/輸出端點組 2，以便於檢測。

如上所述，本發明有以下值得稱許的功效：

本發明第一個功效為：可以減少積體電路的面積，以減小尺寸和減輕重量。

其原因為：在本發明中，自連接用邏輯除去埠仿效功能，以減少積體電路的晶片面積。

本發明第二個功效為：可以改善積體電路的可靠度。

因為在本發明中，匯流排檢查暫存器係製造在連接用邏輯中，所以可以當作相互連接微電腦中之內部匯流排和使用者額外邏輯之匯流排的開關單元檢查。

本發明第三個功效為：可以減少積體電路的端點數，以改善其可靠度。

其原因為：在本發明中，自使用者額外邏輯輸出之中斷要求訊號的檢查輸出係與微電腦之埠功能同時使用，且寧可使用要求訊號到微電腦之中斷控制器的輸入端當作檢查暫存器的輸出端，而不是使用輸出端點，此可以減少端點數，而檢查暫存器可以提供中斷要求訊號，以利於中斷控制器之檢查。

五、發明說明 (18)

吾人應當瞭解，整個所揭示的實施例會使本發明其他的目的變的更為明瞭，且其修餘例並不會脫離本發明在此所揭露示和附錄之要點和範圍。

此外，也應當瞭解，發明及 / 或申請專利範圍之要素，內容和 / 或項目的任何組合都有可為後述之申請專利範圍的修飾例。

五、發明說明 (19)

參考符號說明

- 1.....微電腦
- 2.....輸入/輸出端點
- 3.....匯流排轉接外部端點
- 4.....連接用邏輯
- 5.....使用者額外邏輯
- 6.....晶片
- 7.....匯流排
- 9.....第一輸入端點
- 10.....第二輸入端點
- 30.....內部匯流排
- 31.....埠電路
- 32, 33, 34. 模式設定端點
- 61, 62.....控制訊號群
- 7a.....資料匯流排
- 7b.....位址匯流排
- 36, 37.....匯流排緩衝器
- 38.....埠門
- 39, 40, 41. 埠控制訊號
- 42, 43, 44. 控制訊號
- 45.....寫入/讀取控制電路
- 46.....位址門
- 47, 48, 49. 匯流排緩衝器
- 50.....匯流排檢查暫存器

五、發明說明(ㄟ)

54, 55, 56, 57... 控制訊號
61a, 61b, 61c... 控制訊號線
62a, 62b... 控制訊號
60... 控制電路
63... 多工器
64... 中斷控制器
67a, 67b... 輸入/輸出端點
68a, 68b... 中斷要求輸入
69a, 69b... 中斷要求訊號
70a, 70b... 檢查訊號
71... 多工器
65... 中斷要求暫存器
35... 中央處理單元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：

半導體積體電路)

本發明係關於一種能夠獨立測試使用者額外邏輯之微電腦，和一種在附有使用者額外邏輯之微電腦傳送測試中的預存在微電腦部分，一連接用邏輯係直接耦合到微電腦之內部匯流排，且製作在使用者額外邏輯和微電腦之間，為了要測試使用者額外邏輯，使用微電腦之匯流排/埠轉接端點和讀/寫訊號以有效的讀取/寫入資料，此外，有一匯流排檢查暫存器製作在連接用邏輯之中，為了要測試微電腦，會讀取檢查暫存器之輸出到連接到邏輯匯流排，以檢查該匯流排。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：SEMICONDUCTOR INTEGRATED CIRCUIT)

Micro-computer capable of independently testing an additional logic for user and a pre-existing micro-computer portion in a shipment test of the micro-computer having the enclosed additional logic for user. A logic dedicated to connection is directly coupled to an internal bus of the micro-computer and is provided between the additional logic for user and the micro-computer. For testing the additional logic for user, a bus/port changeover terminal of the micro-computer and a read/write signal are used to effect readout/writing. Also, a bus inspection register is provided in the logic dedicated to connection. For testing the micro-computer, an output of the inspection register is read out to a bus of the logic dedicated to connection to inspect the bus.

訂

線

六、申請專利範圍

1. 一種在單一半導體晶片中，具有微電腦和使用者額外邏輯之半導體積體電路，包含：

一相互連接微電腦和使用者邏輯之連接用邏輯；

該微電腦具有一連接到外部端點之埠電路；

該埠電路能經由該外部端點輸出資料到晶片外部，或自晶片外部輸入資料，該埠電路連接到製造在該微電腦中之第一匯流排；

該連接用邏輯連接到製造在該微電腦中之該第一匯流排，及連接到用以連接該使用者額外邏輯之第二匯流排；

自使用者額外邏輯讀取資料，或寫入資料到該使用者額外邏輯係經由連接到該微電腦之埠電路的端點。

2. 如申請專利範圍第1項之半導體積體電路，其中用以相互連接該微電腦和使用者額外邏輯之該連接用邏輯具有一匯流排檢查暫存器，該匯流排檢查暫存器係檢查連接到該使用者額外邏輯之第一匯流排是否正常操作；

其中該匯流排檢查暫存器之位元寬和該第二匯流排之資料轉移寬度相同，該匯流排檢查暫存器可以配置，以定義自微電腦讀取資料或寫入資料到微電腦之位址，及

其中任意選擇的資料可以經由該第一和第二匯流排寫入或讀自微電腦。

3. 如申請專利範圍第1項之半導體積體電路，

其中該使用者額外邏輯具有一連到該微電腦之中斷

六、申請專利範圍

要求訊號用的訊號線；

其中相互連接該微電腦和使用者額外邏輯之介面專用電路具有一中斷要求訊號檢查暫存器，和一藉由該使用者額外邏輯傳送中斷要求輸出到該微電腦之電路；

該中斷要求訊號檢查暫存器有許多對應許多中斷要求訊號之位元；

一任意選擇的值可以自該微電腦寫在該中斷要求訊號檢查暫存器之各位元；

有一電路傳送代替該中斷要求訊號之該各個位元的輸出到該微電腦。

4. 如申請專利範圍第2項之半導體積體電路，

其中該使用者額外邏輯具有一將中斷要求訊號傳送到該微電腦之訊號線；

其中相互連接該微電腦和使用者額外邏輯之介面專用電路，其係一種藉由該使用者額外邏輯將中斷要求輸出傳送到該微電腦和中斷要求訊號檢查暫存器；

該中斷要求訊號檢查暫存器有許多對應許多中斷要求訊號之位元；

一任意選擇的值可以自該微電腦寫在該中斷要求訊號檢查暫存器之各位元；

有一電路傳送代替該中斷要求訊號之該各個位元的輸出到該微電腦。

5. 如申請專利範圍第1項之半導體積體電路，

其中該第二匯流排係由資料匯流排和位址匯流排組

六、申請專利範圍

成；

其中該資料匯流排具有一匯流排檢查暫存器，用以檢查第二匯流排是否正常操作，該資料匯流排係經由讀／寫轉接電路連接到第一匯流排，

其中該位址匯流排係經由位址門電路連接到第一匯流排。

6. 如申請專利範圍第5項之半導體積體電路，

其中匯流排檢查暫存器係經由除了連接到該埠電路之外部端點以外之外部端點啟動的讀／寫控制器控制。

7. 如申請專利範圍第6項之半導體積體電路，

其中該讀／寫轉接電路包含一由該讀／寫控制器控制之匯流排緩衝器並聯電路。

8. 如申請專利範圍第1項之半導體積體電路，

其中至少有二種測試模式可經由測試端點應用，第一測試模式係針對微電腦，而第二測試模式係針對使用者額外邏輯。

9. 如申請專利範圍第1項之半導體積體電路，

其中至少有四種操作模式可經由兩測試端點選擇，第一模式為可選擇單晶片操作或外部延伸操作之正常操作，而第二模式為可選擇存在微電腦測試或使用者額外邏輯測試之測試操作。

10. 如申請專利範圍第3項之半導體積體電路，

其中該中斷要求訊號檢查暫存器之輸出和該使用者額外邏輯之輸出供應到一多工器，此多工器組合這兩

六、申請專利範圍

個輸出訊號，然後供應一中斷要求訊號之輸出到該微電腦中之中斷控制器，同時，該中斷要求訊號也有供應到該埠電路。

11. 如申請專利範圍第10項之半導體積體電路，

其中該埠電路包含一埠/檢查開關端點，如經由組合埠門和該中斷要求訊號之多工器，連接到第一匯流排之外部端點，其中該多工器係由讀/寫控制電路控制。

12. 一種在單一半導體晶片中，具有微電腦和使用者額外邏輯之半導體積體電路，

其中直接連接到微電腦和內部匯流排之連接用邏輯，係製作在使用者額外邏輯和微電腦之間；及

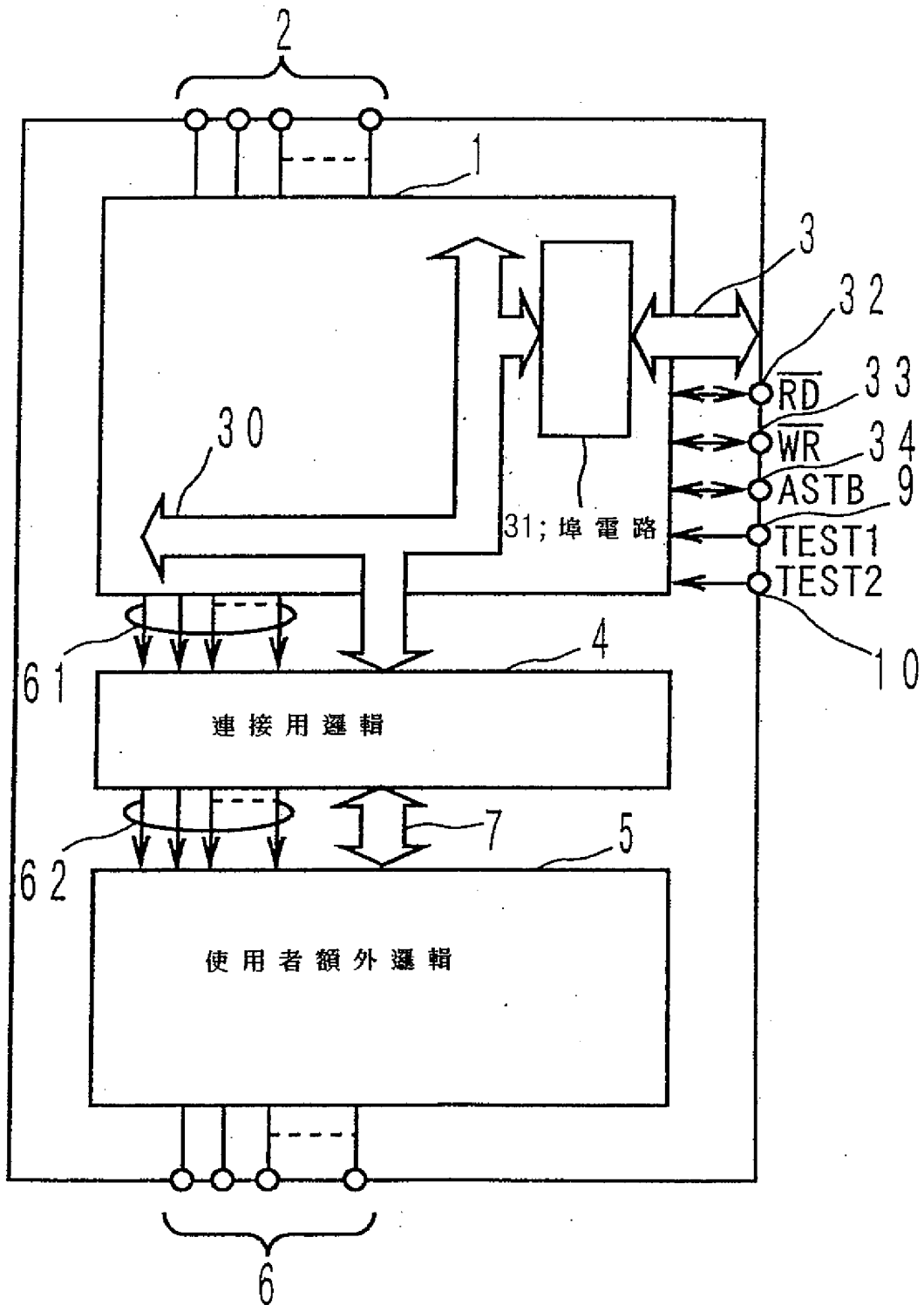
其中在使用者額外邏輯之測試期間，使用者額外邏輯不受微電腦之CPU控制，其使用微電腦之匯流排/埠轉接端點和讀/寫控制訊號，經由該內部匯流排和該連接用邏輯，自該使用者額外邏輯讀取或寫入資料到該使用者額外邏輯。

13. 如申請專利範圍第12項之半導體積體電路，

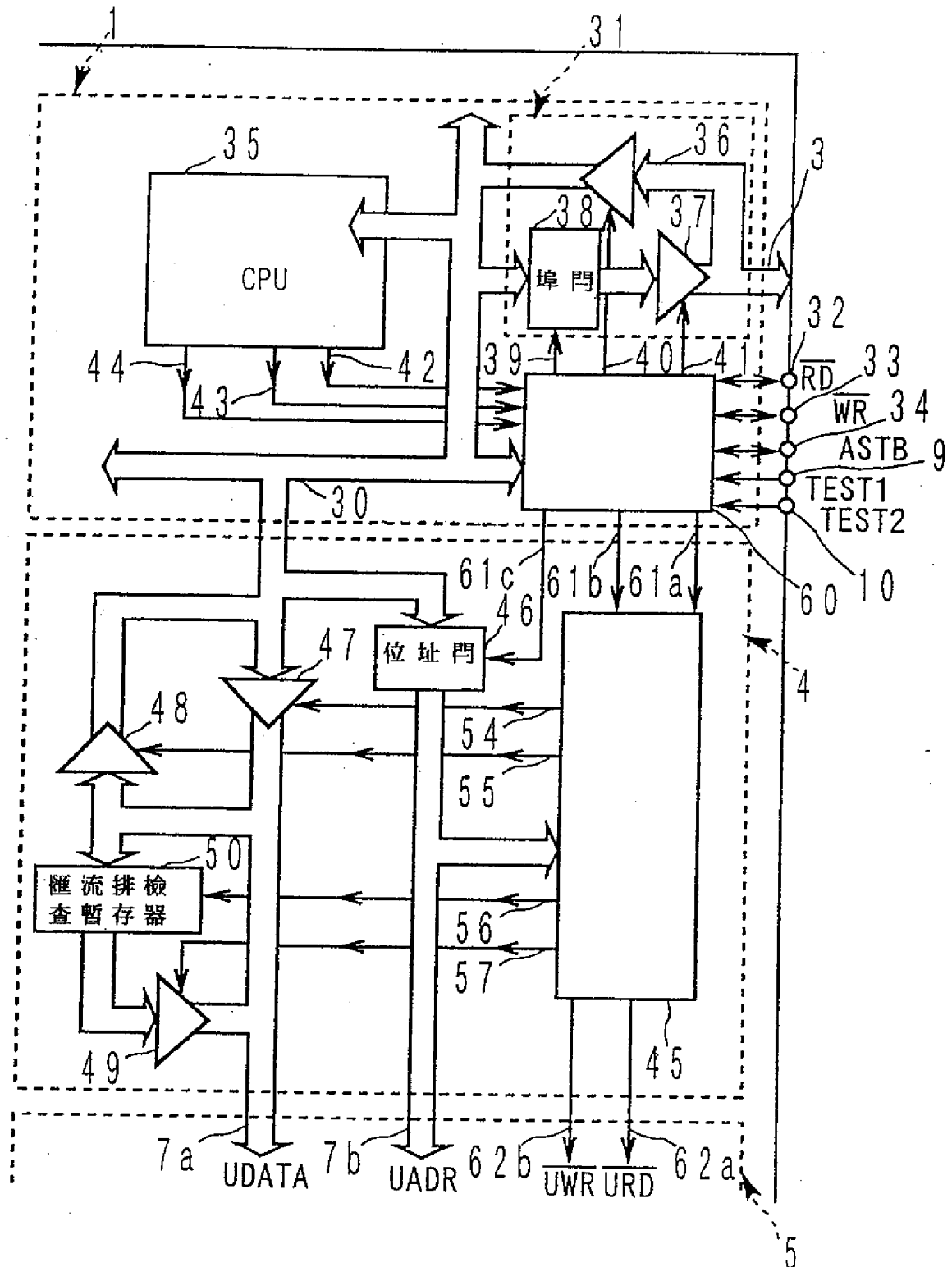
其中該匯流排檢查暫存器係製作在該連接用邏輯之中，及

其中在該微電腦測試期間，匯流排係藉由讀取該檢查暫存器之輸出到該連接用邏輯之匯流排檢查。

87118849



第1圖



第2圖

第一測試 輸入 9	第二測試 輸入 10	模式設定 端點 32	模式設定 端點 33	模式設定 端點 34	匯流排 / 埠 轉接端點 3	操作模式 (詳細的模式)
0	0	埠功能			正常操作	(單晶片操作)
0	1	讀取頻閃 訊號輸出	寫入頻閃 訊號輸出	位址頻閃 訊號輸出		(延伸到外部)
1	0	讀取頻閃 訊號輸入	寫入頻閃 訊號輸入	位址頻閃 訊號輸出	傳送測試	(預存在微 電腦測試)
1	1	讀取頻閃 訊號輸入	寫入頻閃 訊號輸入	位址頻閃 訊號輸入		(使用者額外 邏輯測試)

第3圖

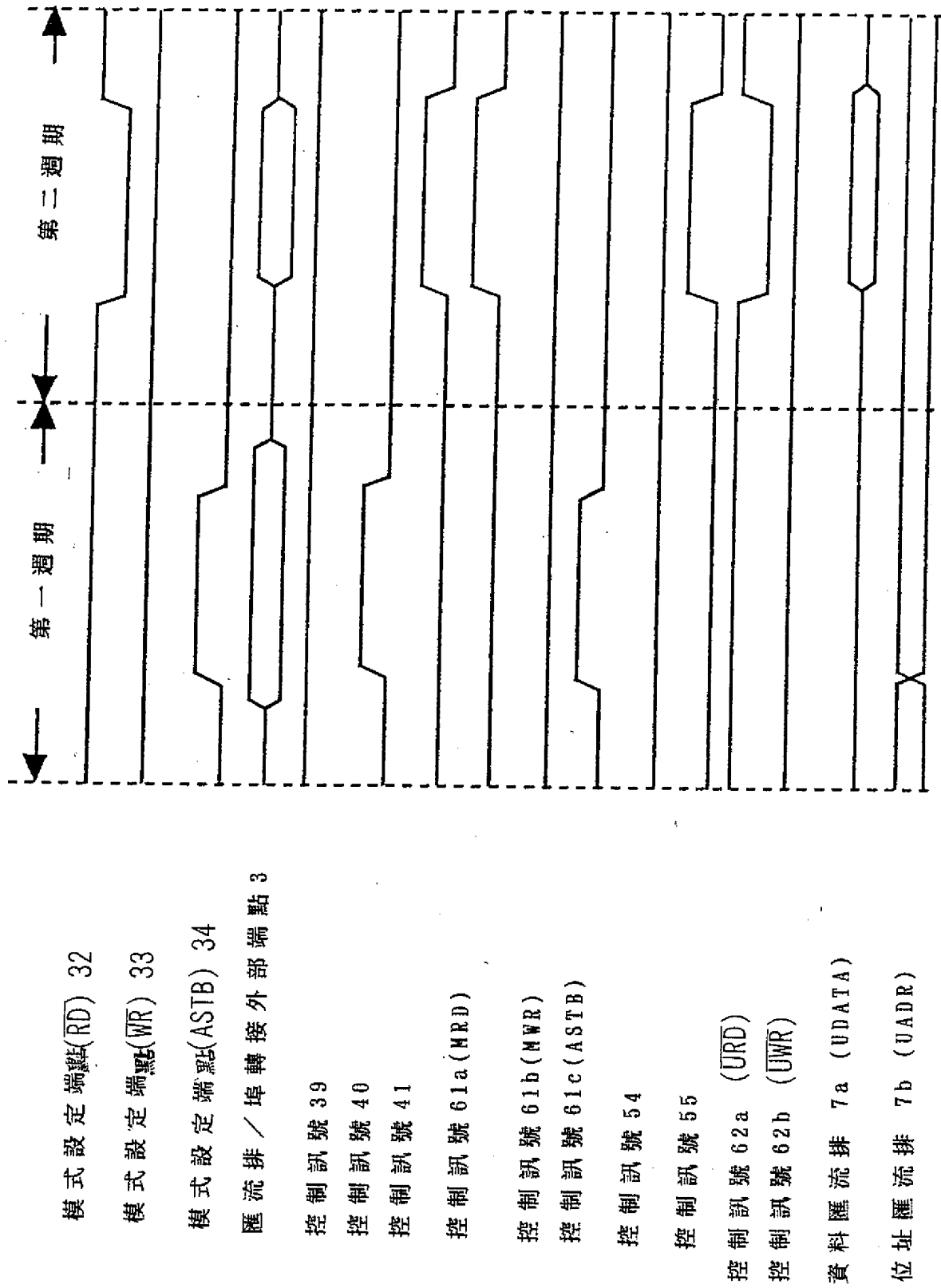
400471

模式設定端點 32 ($\overline{\text{RD}}$)	1	0	1	1
模式設定端點 33 ($\overline{\text{WR}}$)	1	1	0	1
模式設定端點 34 (ASTB)	0	0	0	1
匯流排／埠轉接外部端點 3	高阻抗	資料輸出	資料輸入	位址輸入
匯流排 36	OFF	OFF	ON	ON
緩衝器 37	OFF	ON	OFF	OFF
埠門 38	通過	通過	通過	通過
控制訊號 39	1	1	1	1
控制訊號 40	0	0	1	1
控制訊號 41	0	1	0	0
位址門 46	門住	門住	門住	通過
匯流排 47	OFF	OFF	ON	OFF
緩衝器 48	OFF	ON	OFF	OFF
控制訊號 51	0	0	0	1
控制訊號 52	0	0	1	0
控制訊號 53	0	1	0	0
控制訊號 54	0	0	1*1	0
控制訊號 55	0	1*1	0	0
控制訊號 56	0	0	1*2	0
控制訊號 57	0	1*2	0	0
控制訊號 58	0	0	1*1	0
控制訊號 59	0	1*1	0	0

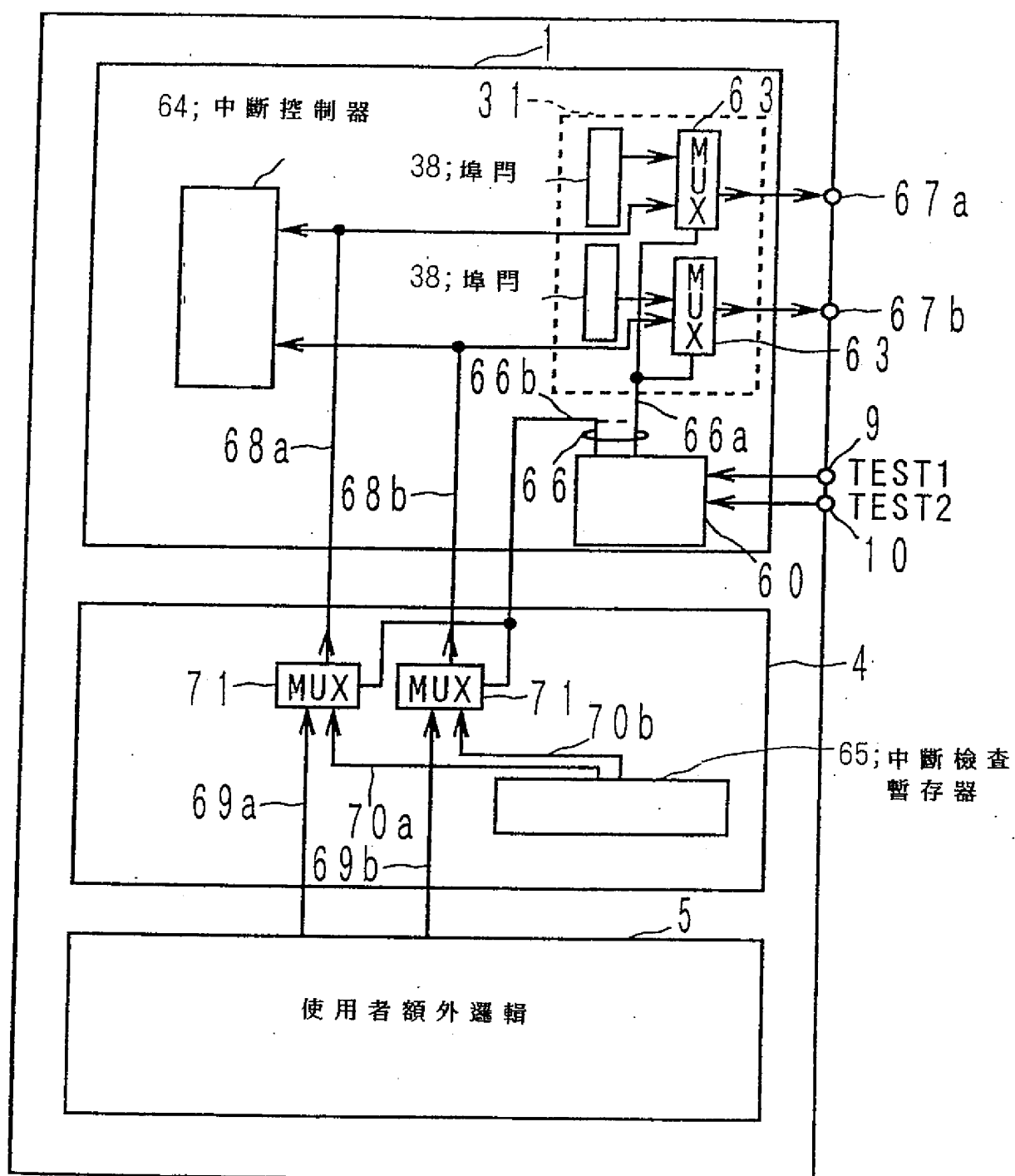
*1...只有當位址在 F800H-F8FFH 時為 1

*2...只有當位址在 F855H 或 F8AAH 時為 1

第4圖



第5圖



第7圖

第一測試 輸入 9	第二測試 輸入 10	埠 / 檢查輸 出轉接端點	中斷要求訊	操作模式
0	0	埠功能	使用者額外 邏輯之中斷 要求訊號輸出	單晶片操作
0	1	埠功能	使用者額外 邏輯之中斷 要求訊號輸出	延伸到外部
1	0	檢查暫存 器輸出	檢查暫存 器輸出	預存在微 電腦測試
1	1	使用者額外 邏輯之中斷 要求訊號 輸出	使用者額外 邏輯之中斷 要求訊號 輸出	使用者額外 邏輯測試

第8圖