(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-211094
(P2009-211094A)
(43)公開日　平成21年9月17日(2009.9.17)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/167	(2006.01)	G02F	1/167		2K101
G09G	3/34	(2006.01)	G09G	3/34	C	5C080
G09G	3/20	(2006.01)	G09G	3/20	611A	
			G09G	3/20	631H	
			G09G	3/20	624B	

審査請求 有　請求項の数 8　ＯＬ　（全 22 頁）　最終頁に続く

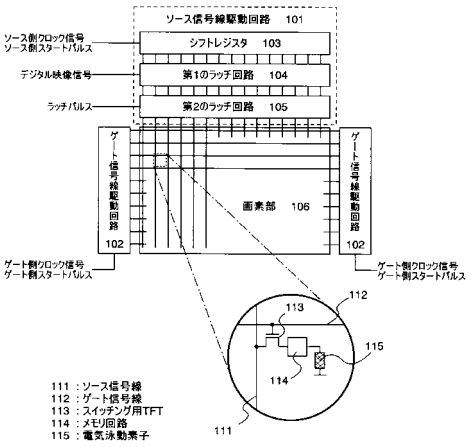
(21)出願番号　特願2009-144467 (P2009-144467)
(22)出願日　平成21年6月17日 (2009.6.17)
(62)分割の表示　特願2001-272650 (P2001-272650)の分割
原出願日　平成13年9月7日 (2001.9.7)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　2K101 AA04 BD61 BE71 EC11 EC41 EC71 EJ33
5C080 AA13 BB05 CC03 DD26 DD27 EE29 EE30 FF11 GG12 GG15 JJ01 JJ02 JJ03 JJ04 JJ06 KK43 KK47

(54)【発明の名称】表示装置及び表示装置の駆動方法、並びに電子機器

(57)【要約】
【課題】電気泳動表示装置で、書き込み回数のさらに少ないアクティブマトリクス型の電気泳動表示装置を提供することを課題とする。
【解決手段】複数の画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示することを特徴とした表示装置において、前記画素電極への映像信号の再書き込み動作を、画素に表示する映像が変化する場合に行うことにより、書き込み回数を低減する。
【選択図】図１



【特許請求の範囲】
【請求項１】
複数の画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示することを特徴とした表示装置において、前記表示装置は前記画素と同一基板上にソース信号線またはゲート信号線を駆動する駆動回路を形成したことを特徴とする表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体表示装置(以下、表示装置と表記する)に関し、特に、絶縁体上に作製される薄膜トランジスタ(以下、ＴＦＴと表記する)を有し、画素に電気泳動素子を用いたアクティブマトリクス型表示装置に関する。
【背景技術】
【０００２】
２００１年６月にサンノゼで行われたＳＩＤ０１において、Ｅ　ＩＮＫ社が電気泳動表示装置を発表し、脚光をあびた。Ｅ　ＩＮＫ社が発表した電気泳動表示装置とは、材料として、電子インクを用い、それを印刷することによって、表示装置を構成している。
【０００３】
図９に示すように、電子インクとは直径８０[μｍ]程度のマイクロカプセル９０６を作り、その中に透明な液体と、プラスに帯電した白い微粒子９０１とマイナスに帯電した黒い微粒子９０２とを封入している。マイクロカプセル９０６に電界をかけると、白い微粒子９０１と、黒い微粒子９０２が逆の方向に移動する。図９に示すように対向電極(透明電極)９０３と画素電極９０４、９０５の間にプラスまたはマイナスの電界をかけると表面に白または黒の微粒子が現れ、白または黒を表示する。この電子インクおよび対向電極(透明電極)は、印刷法によって成膜が可能であり、回路基板上に電子インクを印刷したものが電気泳動表示装置である。
【０００４】
電子インクを用いた電気泳動表示装置は液晶表示装置にくらべて消費電力が小さいというメリットがある。それはまず、反射率が３０[％]前後有り、反射型液晶の数倍の反射率を持っていることである。反射型液晶は反射率が低いため、太陽光下など光の強い場所では有利であるが、光の弱い場所ではフロントライトなどの補助照明が必要になるが、電子インクを用いた電気泳動表示装置では反射率が高いためフロントライトは不要である。フロントライトでは数１００[mW]の電力を必要とするが、この電力は不要となる。また、液晶は有機材料を用いているため、直流駆動を継続すると劣化現象を起こしてしまう。従って、交流反転駆動が必要であるが、反転周波数が低いとフリッカが視認され、使用者に不快感を与えるため、通常６０～１００[Hz]で交流反転駆動をおこなっている。電気泳動表示装置では液晶のように交流反転駆動をする必要がないので、６０[Hz]で毎回書き込みをする必要もない。以上の２点によって、低消費電力化が可能になる。
【０００５】
Ｅ　ＩＮＫ社はＳＩＤ０１　ＤＩＧＥＳＴ　ｐ１５２～１５５において、アモルファスシリコン(ａ－Ｓｉ)ＴＦＴを用いた電気泳動表示装置を発表している。
【０００６】
ａ－ＳｉＴＦＴを用いた表示装置は、画素部１１００の周辺に、ＩＣ等のパッケージにて供給される外付けのソース信号線駆動回路１１０１、１１０２と、ゲート信号線駆動回路１１０３とを有する。それぞれの画素は、ソース信号線１１０４、ゲート信号線１１０５、画素ＴＦＴ１１０６、画素電極１１０７、保持容量１１０８等によって構成される。
【０００７】
図１０は、電子インクとなるマイクロカプセル１００４および対向電極１００１を形成した後の画素の断面図であり、画素電極１００５の電位によって、マイクロカプセル１００４中の微粒子の動作が制御され、白または黒の表示を行う。

【発明の概要】
【発明が解決しようとする課題】
【０００８】
上述したように、従来の電気泳動ディスプレイにおいては、駆動回路を外付けで実装しているため、コスト、額縁の大きさ、端子接続の信頼性などに問題があった。
【０００９】
また、アモルファス用のＴＦＴ基板を用いて、電気泳動ディスプレイを構成する場合に、画素電極にかかる電位を保持するのに、画素の保持容量と、画素ＴＦＴのオフ電流で決定する時定数相当の書き込みをする必要がある。これは、フリッカ対策のように６０[Hz]での書き込みをする必要はないが、ある程度の周期でのリフレッシュ書き込みは必要となる。よって、更なる消費電力低減のため、映像を変えない限り書き込みの必要のない、電気泳動表示装置が求められている。
【００１０】
そこで、本発明は電気泳動表示装置で、書き込み回数のさらに少ないアクティブマトリクス型の電気泳動表示装置を提供することを課題とする。
【課題を解決するための手段】
【００１１】
本発明の電気泳動表示装置では、ドライバ回路を内蔵することによって、コストや消費電力および端子部の信頼性改善をはかり、かつ、画素部に保持性の高いメモリ回路を内蔵することによって、書き込み回数を削減し、消費電力の少ない表示装置を提供される。
【００１２】
以下に、本発明の電気泳動表示装置の構成について記載する。なお、本明細書において、回路の接続について述べる際には、ＴＦＴのソース領域とドレイン領域のうち、いずれか一方を入力電極、残る一方を出力電極と表記する。これは、ＴＦＴの耕造上、ソース領域とドレイン領域とを明確に区別することが困難であることを理由とする。
【００１３】
本発明では、複数の画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示することを特徴とした表示装置において、前記表示装置は前記画素と同一基板上にソース信号線またはゲート信号線を駆動する駆動回路を形成したことを特徴とする表示装置が提供される。
【００１４】
本発明では、複数の画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示することを特徴とした表示装置において、前記画素電極はそれぞれ１つづつのメモリ回路に接続され、メモリ回路の記憶データによって、前記画素電極の電位が変化することを特徴とした表示装置が提供される。
【００１５】
本発明では、画素電極上に、複数の帯電粒子を内蔵したマイクロカプセルを配置し、前記画素電極の電位により前記帯電粒子を制御することによって明暗を表示する表示装置において、基板上に複数の画素電極を有し、前記画素電極は複数のサブ画素電極によって構成され、それ前記サブ画素電極はそれぞれ１つづつのメモリ回路に接続され、メモリ回路の記憶データによって、前記サブ画素電極の電位が変化することを特徴とした表示装置が提供される。
【００１６】
本発明では、ソース信号線駆動回路と、ゲート信号線駆動回路と、ｘ×ｙ個の画素がマトリクス状に配置された画素部とを有し、ｎビットのデジタル映像信号を入力して映像の表示を行う表示装置において、　前記ｘ×ｙ個の画素はそれぞれ、ｎ本のソース信号線と、ゲート信号線と、ｎ個のサブ画素とを有し、　前記ｎ個のサブ画素はそれぞれ、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、　前記スイッチング用トラ

ンジスタのゲート電極はそれぞれ、前記ゲート信号線と電気的に接続され、入力電極は前記ｎ本のソース信号線のうちそれぞれ異なるいずれか１本と電気的に接続され、出力電極は、前記メモリ回路を介して画素電極と電気的に接続され、　前記ソース信号線駆動回路は、　クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力する手段と、　前記サンプリングパルスにしたがって、ｎビットのデジタル映像信号を保持する手段と、　前記保持されたｎビットのデジタル映像信号を転送する手段と、　前記転送されたｎビットのデジタル映像信号を、ｎ×ｘ本のソース信号線に並列に出力する手段とを有し、　前記ゲート信号線駆動回路は、　クロック信号とスタートパルスにしたがって、ｙ本のゲート信号線を順次選択するゲート信号線選択パルスを出力する手段を少なくとも有することを特徴とする表示装置が提供される。

【００１７】

本発明では、ソース信号線駆動回路と、ゲート信号線駆動回路と、ｘ×ｙ個の画素がマトリクス状に配置された画素部とを有し、ｎビットのデジタル映像信号を入力して映像の表示を行う表示装置において、　前記ｘ×ｙ個の画素はそれぞれ、ソース信号線と、ｎ本のゲート信号線と、ｎ個のサブ画素とを有し、　前記ｎ個のサブ画素はそれぞれ、スイッチング用トランジスタと、メモリ回路と、画素電極とを有し、　前記スイッチング用トランジスタのゲート電極はそれぞれ、前記ｎ本のゲート信号線のうちそれぞれ異なるいずれか１本と電気的に接続され、入力電極は前記ソース信号線と電気的に接続され、出力電極は、前記メモリ回路を介して画素電極と電気的に接続され、　前記ソース信号線駆動回路は、　クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力する手段と、　前記サンプリングパルスにしたがって、ｎビットのデジタル映像信号を保持する手段と、　前記保持されたｎビットのデジタル映像信号を転送する手段と、　前記転送されたｎビットのデジタル映像信号を、１ビット毎に順次選択して、前記ソース信号線に出力する手段とを有し、　前記ゲート信号線駆動回路は、　クロック信号とスタートパルスと、マルチプレクス信号とにしたがって、ｎ×ｙ本のゲート信号線を順次選択するゲート信号線選択パルスを出力する手段を少なくとも有することを特徴とする表示装置が提供される。

【００１８】

なお、上述した表示装置の画素部に配置されるメモリ回路については、ＳＲＡＭを用いても良い。

【００１９】

また、本発明では上述した表示装置を用いた電子機器が提供される。

【発明の効果】

【００２０】

従来の電気泳動表示装置では、ドライバ回路が外付けであり、コスト、信頼性などで問題があった。また、液晶と同様の保持容量とスイッチＴＦＴの組み合わせで画素を構成していたので、定期的なリフレッシュが必要であり、消費電力を大きくしていた。

【００２１】

本発明では、前述したように画素とドライバを一体形成することによって、コスト、信頼性の向上をはかり、かつ画素にメモリ回路を内蔵することによって、書き込み回数を低減し、消費電力を下げることが可能になった。

【図面の簡単な説明】

【００２２】

【図１】本発明の電気泳動表示装置の構成例を示す図。

【図２】ソース信号線駆動回路の構成例を示す図。

【図３】本発明の画素の構成例を示す図。

【図４】本発明を利用した３ビット階調対応の画素の構成例を示す図。

【図５】３ビット階調表示対応の画素を有する電気泳動表示装置の駆動タイミングを示す図。

【図６】メモリ回路にＳＲＡＭを用いた画素の構成例を示す図。

【図７】メモリ回路にＳＲＡＭを用いた画素の基板上のレイアウト例を示す図。
【図８】メモリ回路にＳＲＡＭを用いた画素の断面図を示す図。
【図９】電気泳動素子の構成を示す図。
【図１０】従来のアモルファスＴＦＴを用いた電気泳動表示装置の画素の断面図。
【図１１】従来のアモルファスＴＦＴを用いた表示装置を示す図。
【図１２】本発明の工程を説明する断面図。
【図１３】本発明の工程を説明する断面図。
【図１４】本発明の表示装置の応用機器を示す図。
【図１５】本発明の表示装置の応用機器を示す図。
【図１６】ゲート信号線駆動回路の構成例を示す図。
【図１７】ソース信号線駆動回路の構成例を示す図。
【図１８】ソース信号線駆動回路の構成例を示す図。
【図１９】ゲート信号線駆動回路の構成例を示す図。
【図２０】本発明の画素の構成例を示す図。
【図２１】３ビット階調表示対応の画素を有する電気泳動表示装置の駆動タイミングを示す図。
【発明を実施するための形態】
【００２３】
[実施の形態１]
本発明の電気泳動表示装置の構成について以下に説明する。本発明の電気泳動表示装置は、絶縁基板上に、ソース信号線駆動回路またはゲート信号線駆動回路もしくはその両方を有し、画素領域にスイッチング用薄膜トランジスタとメモリ回路を有している。
【００２４】
図１は本発明の表示装置の実施の一形態を表している。以下その動作について説明を行う。
【００２５】
中央に画素部１０６が配置されている。画素部の上側には、ソース信号線に入力する信号を制御するための、ソース信号線駆動回路１０１が配置されている。
ソース信号線駆動回路１０１は、第１のラッチ回路１０４、第２のラッチ回路１０５等を有する。画素部の左右には、ゲート信号線に入力する信号を制御するための、ゲート信号線駆動回路１０２が配置されている。なお、図１においては、ゲート信号線駆動回路１０２は、画素部の左右両側に配置されているが、片側に配置されていても構わない。ただし、画素部の両側に配置した方が、駆動効率、駆動信頼性の面から見て望ましい。
【００２６】
ソース信号線駆動回路１０１は、図２に示すような構成を有している。図２に例として示すソース信号線駆動回路は、水平方向にｘ個の画素を持ち、１ビットのデジタル映像信号を入力して２階調の表示を行う表示装置に対応したソース信号線駆動回路であり、フリップフロップ(ＦＦ)２０１を複数段用いてなるシフトレジスタ２０２、ＮＡＮＤ２０３、第１のラッチ回路(ＬＡＴ１)２０４、第２のラッチ回路(ＬＡＴ２)２０５等を有する。ここで、ＮＡＮＤ２０３に関しては、特に設けなくとも良い。また、図２では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。
【００２７】
図２を用いて動作について簡単に説明する。まず、シフトレジスタ２０２にソース側クロック信号、ソース側クロック反転信号、およびソース側スタートパルスが入力され、それにしたがってシフトレジスタ２０２から順次サンプリングパルスが出力される。図２においては、サンプリングパルスは、ＮＡＮＤ２０３によって、隣接段でのパルスの重複が生じないようになっているが、特にこの手順は設けなくとも良い。その後、ＮＡＮＤ２０３より出力されたサンプリングパルスは、第１のラッチ回路２０４に入力され、そのタイミングに従って、同じく第１のラッチ回路２０４に入力されたデジタル映像信号をそれぞれ保持していく。

【００２８】
第１のラッチ回路２０４において、１水平周期分のデジタル映像信号の保持が完了すると、帰線期間中にラッチラッチパルスが入力され、第１のラッチ回路２０４で保持されているデジタル映像信号は、一斉に第２のラッチ回路２０５へと転送される。
【００２９】
その後、再びシフトレジスタ回路２０２が動作してサンプリングパルスが出力され、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第２のラッチ回路２０５で保持されているデジタル映像信号は、ソース信号線(図２中、Ｓ１、Ｓ２、・・・、Ｓｘと表記)に入力され各画素に書き込まれる。
【００３０】
ゲート信号線駆動回路１０２は、図１６に示すような構成を有している。図１６に例として示すゲート信号線駆動回路は、垂直方向にｙ個の画素を有し、フリップフロップ(ＦＦ)１６０１を複数段用いてなるシフトレジスタ１６０２、ＮＡＮＤ１６０３、バッファ１６０４等を有している。ここで、ＮＡＮＤ１６０３に関しては、特に設けなくとも良い。また、図１６では図示していないが、必要に応じてレベルシフタ回路等を配置しても良い。
【００３１】
図１６を用いて動作について簡単に説明する。まず、シフトレジスタ１６０２にゲート側クロック信号、ゲート側クロック反転信号、およびゲート側スタートパルスが入力され、それにしたがってシフトレジスタ１６０２から順次パルスが出力される。図１６においては、ＮＡＮＤ１６０３を用いて、隣接段のパルスの出力タイミングが重複しないようにしている。その後、バッファ１６０４を通り、ゲート信号線を順次選択していく。あるゲート信号線が選択されている期間が、１水平期間である。
【００３２】
図３に、本発明の電気泳動表示装置の画素部の構成を示す。図３(Ａ)において、点線枠３００で囲まれた部分が１画素であり、その構成を図３(Ｂ)に示す。
【００３３】
それぞれの画素は、ソース信号線３０１、ゲート信号線３０２、スイッチング用ＴＦＴ３０３、メモリ回路３０４、電気泳動素子３０５を有する。スイッチング用ＴＦＴ３０３のゲート電極は、ゲート信号線Ｇ１～Ｇｙのいずれか１本に接続され、スイッチング用ＴＦＴ３０３のソース領域とドレイン領域のうち、一方はソース信号線Ｓ１～Ｓｘのいずれか１本に接続され、もう一方はメモリ回路３０４に接続されている。
【００３４】
ソース信号線Ｓ１～Ｓｘに入力された信号は、ゲート信号線Ｇ１～Ｇｙに入力された信号によって導通状態となったスイッチング用ＴＦＴ３０７～３０９のドレイン・ソース間を介して、メモリ回路３１０～３１２に入力される。このメモリ回路の出力の電位に応じて、電気泳動素子３１３～３１５が移動し、各画素の輝度が表現される。
【００３５】
[実施の形態２]
図４に３ビット(８階調)の場合の画素の構成例を示す。図４に示す画素は、１画素あたり３ビットのデジタル映像信号が入力され、$2^3=8$階調の表示を行う。それぞれの画素は、スイッチング用ＴＦＴ４０７～４０９、メモリ回路４１０～４１２、および電気泳動素子４１３～４１５を有する。スイッチング用ＴＦＴ４０７～４０９のゲート電極はそれぞれ、ゲート信号線Ｇ１～Ｇｙのいずれか一本に接続され、スイッチング用ＴＦＴ１００２のソース領域とドレイン領域とは、一方は、ソース信号線Ｓ１～Ｓｘのいずれか一本に接続され、もう一方は、メモリ回路３１０～３１２のいずれか１つに接続されている。
【００３６】
それぞれの画素において、電気泳動素子を、面積の異なる３つの領域に分けそれぞれの面積比を１：２：４に設定し、それぞれを制御することによって、８階調が実現できる。カラーの場合には$(2^3)^3=512$色が実現できる。次にこの場合の画素の動作について説

明する。

【００３７】

３ビットのデジタル映像信号に対応したソース信号線駆動回路の構成例を図１７に示す。図１７に例として示すソース信号線駆動回路は、水平方向にｘ個の画素を持ち、１個の画素あたり３本のソース信号線を有し、３ビットのデジタル映像信号を入力して$2^3=8$階調の表示を行う表示装置に対応したソース信号線駆動回路であり、フリップフロップ(ＦＦ)１７０１を複数段用いてなるシフトレジスタ１７０２、ＮＡＮＤ１７０３、第１のラッチ回路(ＬＡＴ１)１７０４、第２のラッチ回路(ＬＡＴ２)１７０５等を有する。第１および第２のラッチ回路は、３ビット分が並列に配置され、３ビットデジタル映像信号(Ｄ１～Ｄ３)の保持を行う。ここで、ＮＡＮＤ１７０３に関しては、特に設けなくとも良い。また、図２では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【００３８】

ゲート信号線駆動回路に関しては、図１６に示したものと同様で良い。１つのゲート信号線選択パルスは、１つの画素内のスイッチング用ＴＦＴ４０７～４０９のゲート電極に同時に入力される。

【００３９】

図５に示すタイミングチャートは、ソース側クロック信号(ＣＫ)、ソース側クロック反転信号(ＣＫｂ)、ソース側スタートパルス(ＳＰ)、シフトレジスタ出力(ＳＲ１～ＳＲ２)、サンプリングパルス(Ｓａｍｐ１～ＳａｍｐＸ)、ラッチパルス(Ｌａｔｃｈ)、およびデジタル映像信号(Ｄ１～Ｄ３)について示されている。

タイミングチャートに基づいて、動作を説明する。

【００４０】

ある水平期間５０１に対し、次の水平期間を５０２で示す。それぞれの水平期間は、ドットサンプリング期間５０３、５０５および、水平帰線期間５０４、５０６を有している。すなわち、水平期間とは、１段目のサンプリングパルスが出力されてから、再び１段目のサンプリングパルスが出力されるまでの期間であり、ドットサンプリング期間とは、１段目のサンプリングパルスが出力されてから、最終段のサンプリングパルスが出力されるまでの期間である。

【００４１】

ある水平期間５０１に注目する。ドットサンプリング期間においては、サンプリングパルスの出力にしたがって、デジタル映像信号が第１のラッチ回路に保持される。保持のタイミングは、図５の例ではサンプリングパルスのダウンエッジに従っており、３ビット分、すなわち１画素に入力されるデジタル映像信号が同時に保持される。この操作は、１段目から順に行われ、最終段まで続く。

【００４２】

最終段の第１のラッチ回路における保持動作が終了すると、水平帰線期間に入る。水平帰線期間において、ラッチパルスが入力される(５２１)と、第１のラッチ回路に保持されているデジタル映像信号は、一斉に第２のラッチ回路へと転送される。

【００４３】

その後、水平帰線期間が終了し、次の水平期間５０２に入る。第１のラッチ回路においては、同様にデジタル映像信号の保持が行われる。一方、第２のラッチ回路に保持されているデジタル映像信号は、ドットサンプリング期間５０５の間、正確には次にラッチパルスが入力されるまでの間に、画素部のメモリ回路へと書き込まれる。メモリ回路への書き込み動作は、３ビット分同時に行われる。

【００４４】

以下に本発明の実施例について説明する。

【実施例１】

【００４５】

図６(Ａ)は画素にＳＲＡＭを使用した例である。ＳＲＡＭはインバータを二つ組み合わ

せて保持機能をもたせたもので、ＤＲＡＭのようにリフレッシュ動作を必要とせず、一度保持をおこなったら電源を切らない限り、内容が消えないため、映像が変わらない場合は再書き込みが不要である。よって、電気泳動表示装置との組み合わせにおいて、消費電力の低減に大きな効果を発揮する。

【実施例２】

【００４６】

第二の実施例を図６(Ｂ)に示す。図６(Ｂ)の画素は、実施例１にて示した、メモリ回路にＳＲＡＭを用いたもので、３ビットの階調表現を行う場合の画素構成例である。画素を面積の異なる３つの領域に分けそれぞれの面積比を１：２：４に設定し、白、黒の領域を面積比で変化させることによって、８階調が実現できる。カラーの場合には、$(2^3)^3=5$１２色が実現できる。

【００４７】

駆動回路の構成は図１および図１７で示したものと同じである。また、動作に関しては実施形態にて図５を用いて説明したものと同様であるので、ここでは説明を省略する。

【００４８】

図７は、図６(Ｂ)に示した構成で、実際に画素部をレイアウトした例を示している。１画素中、１ビットＳＲＡＭを３つ有し、それぞれがスイッチング用ＴＦＴと接続され、さらに電気泳動素子と接続されている。図中に付してある番号は、図６(Ｂ)に対応している。電気泳動素子６２０～６２２は、その画素電極の面積を、１：２：４としている。スイッチング用ＴＦＴ６１７～６１９に接続されているゲート信号線には、同じゲート信号線選択パルスが入力される。よって、スイッチング用ＴＦＴ６１７～６１９は、同時にＯＮ・ＯＦＦする。

【００４９】

図７において、Ａ－Ａ‘、Ｂ－Ｂ’、Ｃ－Ｃ‘で示される断面を、図８に示す。本実施例では、スイッチング用ＴＦＴやＳＲＡＭ等は、トップゲート型のポリシリコンＴＦＴによって構成されている。図中に付してある番号は、図６(Ｂ)に対応している。

【実施例３】

【００５０】

実施例１および実施例２においては、３ビット分のデジタル映像信号はそれぞれ別のソース信号線より、並列して画素に書き込まれていたが、ソース信号線を共有して、各ビットを切り替えて順に書き込むことも出来る。

【００５１】

このような書き込みを行う場合のソース信号線駆動回路の構成例を図１８に示す。シフトレジスタ１８０２～第２のラッチ回路１８０５の構成に関しては、図１７に示したものと同様である。

【００５２】

ここでは、１本のソース信号線を介して、３ビットのデジタル映像信号を画素内のメモリ回路に書き込むため、第２のラッチ回路１８０５の出力と、ソース信号線との間に、選択スイッチ１８０６を設ける。第２のラッチ回路１８０５までは、３ビットのデジタル映像信号は、各ビットが並列に処理されてきているが、選択スイッチによって、ソース信号線への入力が順番に行われる。その順序は実施者が適宜設定して構わない。

【００５３】

図１９は、本実施例にて用いるゲート信号線駆動回路の構成例を示している。
シフトレジスタ１９０２～バッファ１９０４の構成に関しては、図１６に示したものと同様で良い。

【００５４】

図１６におけるバッファ１６０４と、図１９におけるバッファ１９０４とは、その段数が異なっているが、バッファ出力をＨレベルで得るか、Ｌレベルで得るかの違いで段数を設定すれば良く、ここではその段数等については問わない。

【００５５】

実施例１および実施例２においては、１つのゲート信号線選択パルスが、１画素内の３つのスイッチング用ＴＦＴを同時に駆動し、それによって３ビット分のデジタル映像信号が同時に書き込まれていたが、本実施例においては、バッファ１９０４の出力の後、マルチプレクサ１９０５を用いて、１水平期間を複数のサブ期間分割する。この分割数は、デジタル映像信号のビット数に等しく、本実施例では３分割した。ソース信号線駆動回路に設けられた選択スイッチの切り替えタイミングと、マルチプレクサによる水平期間の分割タイミングが同期しており、各サブ期間で、各ビットのデジタル映像信号の書き込みを行う。

【００５６】

図２１にタイミングチャートを示す。デジタル映像信号のサンプリングおよびラッチ動作は、実施例１および実施例２と同様である。ある水平期間２１０１においてサンプリング、保持されたデジタル映像信号は、帰線期間中に第２のラッチ回路へと転送される。その後、次の水平期間２１０２において、次の行のデジタル映像信号のサンプリング動作が行われている間、第２のラッチ回路からソース信号線にデジタル映像信号が出力され、画素内のメモリ回路に書き込まれる。

このとき、マルチプレクス信号(ＭＰＸ１～３)によって、画素への書き込み期間が分割され、各ビットのデジタル映像信号が順次画素内のメモリ回路に書き込まれる。なお、ソース信号線駆動回路における選択スイッチが、ソース信号線を選択するタイミングも、マルチプレクス信号に同期する。

【実施例４】

【００５７】

本実施例では、本発明の電気泳動表示装置の画素部とその周辺に設けられる駆動回路部のＴＦＴを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるＣＭＯＳ回路を図示することとする。

【００５８】

また、画素部に関しては、ソース信号線と、スイッチング用ＴＦＴと、画素電極の接続部のみを示す。メモリ回路に関しては、ＳＲＡＭを用いる場合、駆動回路部のＣＭＯＳ回路と同様の構成であるので、特に図示しない。

【００５９】

まず、図１２(Ａ)に示すように、コーニング社の＃７０５９ガラスや＃１７３７ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板５００１上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜５００２を形成する。

例えば、プラズマＣＶＤ法でSiH_4、NH_3、N_2Oから作製される酸化窒化シリコン膜５００２ａを１０～２００[nm](好ましくは５０～１００[nm])形成し、同様にSiH_4、N_2Oから作製される酸化窒化水素化シリコン膜５００２ｂを５０～２００[nm](好ましくは１００～１５０[nm])の厚さに積層形成する。本実施例では下地膜５００２を２層構造として示したが、前記絶縁膜の単層膜または２層以上積層させた構造として形成しても良い。

【００６０】

島状半導体層５００３～５００５は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層５００３～５００５の厚さは２５～８０[nm](好ましくは３０～６０[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(ＳｉＧｅ)合金などで形成すると良い。

【００６１】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやＹＡＧレーザー、ＣＷレーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキ

シマレーザーを用いる場合はパルス発振周波数３０[Hz]とし、レーザーエネルギー密度を１００～４００[mJ/cm^2](代表的には２００～３００[mJ/cm^2])とする。また、ＹＡＧレーザーを用いる場合にはその第２高調波を用いパルス発振周波数１～１０[kHz]とし、レーザーエネルギー密度を３００～６００[mJ/cm^2](代表的には３５０～５００[mJ/cm^2])とすると良い。そして幅１００～１０００[μm]、例えば４００[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を８０～９８[%]として行う。

【００６２】

次いで、島状半導体層５００３～５００５を覆うゲート絶縁膜５００６を形成する。ゲート絶縁膜５００６はプラズマＣＶＤ法またはスパッタ法を用い、厚さを４０～１５０[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、１２０[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマＣＶＤ法でＴＥＯＳ(Tetraethyl Orthosilicate)とO_2とを混合し、反応圧力４０[Pa]、基板温度３００～４００[℃]とし、高周波(１３．５６[MHz])、電力密度０．５～０．８[W/cm^2]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後４００～５００[℃]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【００６３】

そして、ゲート絶縁膜５００６上にゲート電極を形成するための第１の導電膜５００７と第２の導電膜５００８とを形成する。本実施例では、第１の導電膜５００７をＴａで５０～１００[nm]の厚さに形成し、第２の導電膜５００８をＷで１００～３００[nm]の厚さに形成する。

【００６４】

Ｔａ膜はスパッタ法で、ＴａのターゲットをＡｒでスパッタすることにより形成する。この場合、Ａｒに適量のＸｅやＫｒを加えると、Ｔａ膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のＴａ膜の抵抗率は２０[μΩcm]程度でありゲート電極に使用することが出来るが、β相のＴａ膜の抵抗率は１８０[μΩcm]程度でありゲート電極とするには不向きである。α相のＴａ膜を形成するために、Ｔａのα相に近い結晶構造をもつ窒化タンタルを１０～５０[nm]程度の厚さでＴａの下地に形成しておくとα相のＴａ膜を容易に得ることが出来る。

【００６５】

Ｗ膜を形成する場合には、Ｗをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF_6)を用いる熱ＣＶＤ法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、Ｗ膜の抵抗率は２０[μΩcm]以下にすることが望ましい。Ｗ膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、Ｗ中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度９９．９９９９[%]のＷターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してＷ膜を形成することにより、抵抗率９～２０[μΩcm]を実現することが出来る。

【００６６】

なお、本実施例では、第１の導電膜５００７をＴａ、第２の導電膜５００８をＷとしたが、特に限定されず、いずれもＴａ、Ｗ、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第１の導電膜５００７を窒化タンタル(ＴａＮ)で形成し、第２の導電膜５００８をＷとする組み合わせ、第１の導電膜５００７を窒化タンタル(ＴａＮ)で形成し、第２の導電膜５００８をＡｌとする組み合わせ、第１の導電膜５００７を窒化タンタル(ＴａＮ)で形成し、第２の導電膜５００８をＣｕとする組み合わせ等が挙げられる。

【００６７】
　また、ＬＤＤ領域（Lightly Doped Drain：低濃度不純物ドレイン領域）を小さくして済むような場合は、W単層などの構成にしても良いし、構成は同じでも、テーパー角を立てることによって、ＬＤＤの長さを小さくすることができる。
【００６８】
　次に、レジストによるマスク５００９を形成し、電極及び配線を形成するための第１のエッチング処理を行う。本実施例ではＩＣＰ(Inductively Coupled Plasma：誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF_4とCl_2を混合し、１[Pa]の圧力でコイル型の電極に５００[W]のＲＦ(１３．５６[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも１００[W]のＲＦ(１３．５６[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF_4とCl_2を混合した場合にはW膜及びＴａ膜とも同程度にエッチングされる。
【００６９】
　上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第１の導電層及び第２の導電層の端部がテーパー形状となる。テーパー部の角度は１５～４５°となる。
ゲート絶縁膜上に残渣を残すことなくエッチングするためには、１０～２０[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は２～４(代表的には３)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は２０～５０[nm]程度エッチングされることになる。こうして、第１のエッチング処理により第１の導電層と第２の導電層から成る第１の形状の導電層５０１０～５０１３(第１の導電層５０１０ａ～５０１３ａと第２の導電層５０１０ｂ～５０１３ｂ)を形成する。このとき、ゲート絶縁膜５００６においては、第１の形状の導電層５０１０～５０１３で覆われない領域は２０～５０[nm]程度エッチングされ薄くなった領域が形成される。
【００７０】
　そして、第１のドーピング処理を行いＮ型を付与する不純物元素を添加する。
ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10^{13}～5×10^{14}[atoms/cm^2]とし、加速電圧を６０～１００[keV]として行う。ｎ型を付与する不純物元素として１５族に属する元素、典型的にはリン(Ｐ)または砒素(Ａｓ)を用いるが、ここではリン(Ｐ)を用いる。この場合、導電層５０１０～５０１３がｎ型を付与する不純物元素に対するマスクとなり、自己整合的に第１の不純物領域５０１４～５０１６が形成される。第１の不純物領域５０１４～５０１６には1×10^{20}～1×10^{21}[atoms/cm^3]の濃度範囲でｎ型を付与する不純物元素を添加する(図１２(Ｂ))。
【００７１】
　次に、図１２(Ｃ)に示すように、レジストマスクは除去しないまま、第２のエッチング処理を行う。エッチングガスにCF_4とCl_2とO_2とを用い、W膜を選択的にエッチングする。この時、第２のエッチング処理により第２の形状の導電層５０１７～５０２０(第１の導電層５０１７ａ～５０２０ａと第２の導電層５０１７ｂ～５０２０ｂ)を形成する。このとき、ゲート絶縁膜５００６においては、第２の形状の導電層５０１７～５０２０で覆われない領域はさらに２０～５０[nm]程度エッチングされ薄くなった領域が形成される。
【００７２】
　W膜やＴａ膜のCF_4とCl_2の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとＴａのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF_6が極端に高く、その他のWCl_5、TaF_5、$TaCl_5$は同程度である。従って、CF_4とCl_2の混合ガスではW膜及びＴａ膜共にエッチングされる。しかし、この混合ガスに適量のO_2を添加するとCF_4とO_2が反応してＣＯとＦになり、Ｆラジカルまたは Ｆイオンが多量に発生する。その結果、フ

ッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、ＴａはＦが増大しても相対的にエッチング速度の増加は少ない。また、ＴａはWに比較して酸化されやすいので、O_2を添加することでＴａの表面が酸化される。Ｔａの酸化物はフッ素や塩素と反応しないためさらにＴａ膜のエッチング速度は低下する。従って、W膜とＴａ膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をＴａ膜よりも大きくすることが可能となる。

【００７３】

続いて、第２のドーピング処理を行う。この場合、第１のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてｎ型を付与する不純物元素をドーピングする。例えば、加速電圧を７０～１２０[keV]とし、1×10^{13}[atoms/cm^2]のドーズ量で行い、図１２(Ｂ)で島状半導体層に形成された第１の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第２の形状の導電層５０１７～５０２０を不純物元素に対するマスクとして用い、第１の導電層５０１７ａ～５０２０ａの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第２の不純物領域５０２１～５０２３が形成される。この第２の不純物領域５０２１～５０２３に添加されたリン(Ｐ)の濃度は、第１の導電層５０１７ａ～５０２０ａのテーパー部の膜厚に従って緩やかな濃度勾配を有している。具体的には、第１の導電層５０１７ａ～５０２０ａのテーパー部と重なる半導体層において、第１の導電層５０１７ａ～５０２０ａのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である(図１２(Ｃ))。

【００７４】

続いて、図１２(Ｄ)に示すように第３のエッチング処理を行う。エッチングガスにＣＨＦ$_6$を用い、反応性イオンエッチング法(ＲＩＥ法)を用いて行う。第３のエッチング処理により、第１の導電層５０１７ａ～５０２０ａのテーパー部を部分的にエッチングして、第１の導電層が半導体層と重なる領域が縮小される。

第３のエッチング処理によって、第３の形状の導電層５０２４～５０２７(第１の導電層５０２４ａ～５０２７ａと第２の導電層５０２４ｂ～５０２７ｂ)を形成する。このとき、ゲート絶縁膜５００６においては、第３の形状の導電層５０２４～５０２７で覆われない領域はさらに２０～５０[nm]程度エッチングされ薄くなった領域が形成される。

【００７５】

第３のエッチング処理によって、第２の不純物領域５０２１～５０２３の一部、つまり、第１の導電層５０２４ａ～５０２７ａと重ならない領域に、第３の不純物領域５０２８～５０３０が形成される（図１２(Ｄ)）。

【００７６】

そして、図１３(Ａ)に示すように、新たにレジストマスク５０３１を形成し、Ｐチャネル型ＴＦＴを形成する島状半導体層５００３に、第1の導電型とは逆の導電型の第４の不純物領域５０３２を形成する。第１導電層５０２５ｂを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、不純物領域５０３２においては、一部にそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)のドーズ量をリンのドーズ量よりも十分に高くすることにより、Ｐ型を付与することが出来る。なお、不純物領域５０３２においては、そのいずれの領域においても不純物濃度が2×10^{20}～2×10^{21}[atoms/cm^3]となるようにする。

【００７７】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第３の形状の導電層５０２４、５０２５、５０２７がゲート電極として機能する。また、５０２６はソース信号線として機能する。

【００７８】

レジストマスク５０３１を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマ

ルアニール法(ＲＴＡ法)を適用することが出来る。熱アニール法では酸素濃度が１[ppm]以下、好ましくは０．１[ppm]以下の窒素雰囲気中で４００～７００[℃]、代表的には５００～６００[℃]で行うものであり、本実施例では５００[℃]で４時間の熱処理を行う。ただし、第３の形状の導電層５０２４～５０２７に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【００７９】

さらに、３～１００[％]の水素を含む雰囲気中で、３００～４５０[℃]で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【００８０】

次いで、図１３（Ｂ）に示すように、第１の層間絶縁膜５０３３は酸化窒化シリコン膜から１００～２００[nm]の厚さで形成する。その上に有機絶縁物材料から成る第２の層間絶縁膜５０３４を形成する。第２の層間絶縁膜については、基板表面を十分に平坦化する目的もある。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【００８１】

その後、配線５０３５～５０３９、およびゲート信号線５０４０を形成する。

【００８２】

なお、本実施例では、書き込み用ＴＦＴは、ダブルゲート構造で示したが、シングルゲート構造やトリプルゲート構造でも構わないし、マルチゲート構造でも構わない。

【００８３】

以上のようにして、Ｎチャネル型ＴＦＴ、Ｐチャネル型ＴＦＴを有する駆動回路部と、書き込み用ＴＦＴ、保持容量を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【００８４】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を５枚(島状半導体層パターン、第１配線パターン(ソース信号線、容量配線)、Ｐチャネル領域のマスクパターン、コンタクトホールパターン、第２配線パターン)とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【００８５】

続いて、第３の層間絶縁膜５０４１を形成した後、コンタクトホールを形成する。その後、画素部に画素電極をパターニングによって形成する。

【００８６】

次いで、画素電極上に、透明液体と帯電粒子とを封入したマイクロカプセル５０４３を塗布する。マイクロカプセル５０４３は、前述の通り一般的には８０[μm]前後であるので、印刷法等による塗布が可能であり、画素部の所望の位置にのみマイクロカプセルを塗布すれば良い。

【００８７】

その後、透明導電膜でなる対向電極５０４４を形成する。透明導電膜の材料としては、代表的には酸化インジウム・スズ（Indium Tin Oxide：ＩＴＯ）等を用いれば良い。

【００８８】

最後に、表面を保護するための保護膜５０４５を形成し、図１３（Ｃ）に示すようなアクティブマトリクス型電気泳動表示装置が完成する。なお、保護膜は、図１３（Ｃ）においては、基板全面に形成しているが、画素部のみに形成されていても良いし、ＦＰＣ上を除く全面に形成されていても良い。

【００８９】

なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置におけるＴＦＴはトップゲート構造をとっているが、ボトムゲート構造のＴＦＴやデュアルゲート構造

その他の構造のＴＦＴに対しても本実施例は容易に適用され得る。

【００９０】

また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。特に、弾性に富む基板を用いることによって、表示装置自体にフレキシブル性を持たせることも出来る。

【００９１】

本実施例は、実施例１乃至実施例３と自由に組み合わせて実施することが可能である。

【実施例５】

【００９２】

本発明の電気泳動表示装置には様々な用途がある。本実施例では、本発明の電気泳動表示装置を電子機器に適用した例について述べる。

【００９３】

液晶表示装置を組み込んだ半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図１４および図１５に示す。

【００９４】

図１４(Ａ)は携帯電話であり、本体３００１、音声出力部３００２、音声入力部３００３、表示部３００４、操作スイッチ３００５、アンテナ３００６から構成されている。本発明は表示部３００４に適用することができる。

【００９５】

図１４(Ｂ)はビデオカメラであり、本体３０１１、表示部３０１２、音声入力部３０１３、操作スイッチ３０１４、バッテリー３０１５、受像部３０１６から成っている。本発明は表示部３０１２に適用することができる。

【００９６】

図１４(Ｃ)はパーソナルコンピュータであり、本体３０２１、表示部３０２２、キーボード３０２３等で構成される。本発明は表示部３０２２に適用することができる。

【００９７】

図１４(Ｄ)は携帯情報端末であり、本体３０３１、スタイラスペン３０３２、表示部３０３３、操作ボタン３０３４、外部インターフェイス３０３５で構成されている。本発明は表示部３０３３に適用することができる。

【００９８】

図１５(Ａ)はデジタルカメラであり、本体３１０１、表示部（Ａ）３１０２、接眼部３１０３、操作スイッチ３１０４、表示部（Ｂ）３１０５、受像部(図示しない)、バッテリー３１０６等で構成される。本発明は表示部（Ａ）３１０２および表示部（Ｂ）３１０５に適用することができる。

【００９９】

図１５(Ｂ)は携帯書籍であり、本体３１１１、表示部３１１２、記憶媒体３１１３、操作スイッチ３１１４等から構成されており、ミニディスク(ＭＤ)やＤＶＤ(Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ)に記憶されたデータや、受信したデータを表示するものである。本発明は表示部３１１２に適用することができる。

【０１００】

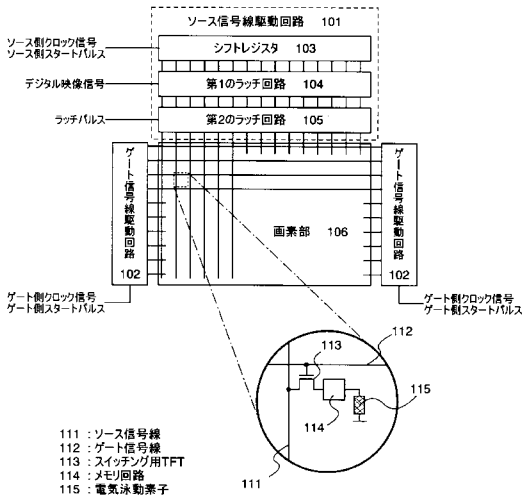
図１５(Ｃ)はテレビであり、本体３１２１、スピーカー３１２２、表示部３１２３、受信装置３１２４、増幅装置３１２５等で構成される。本発明は表示部３１２３に適用することができる。

【０１０１】

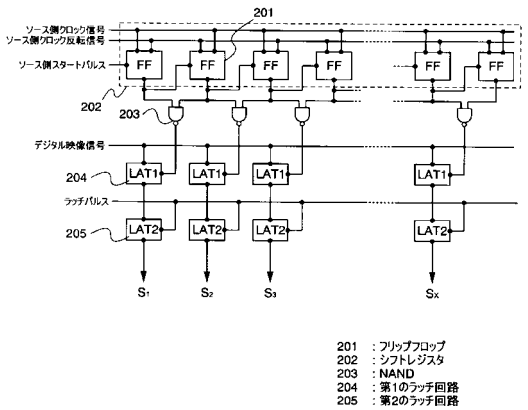
図１５(Ｄ)はプログラムを記録した記録媒体を用いるプレーヤーであり、本体３１３１、表示部３１３２、スピーカー部３１３３、記録媒体３１３４、操作スイッチ３１３５で構成される。なお、この装置は記録媒体としてＤＶＤ(Digital Versatile Disc)、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表

示部３１３２に適用することができる。

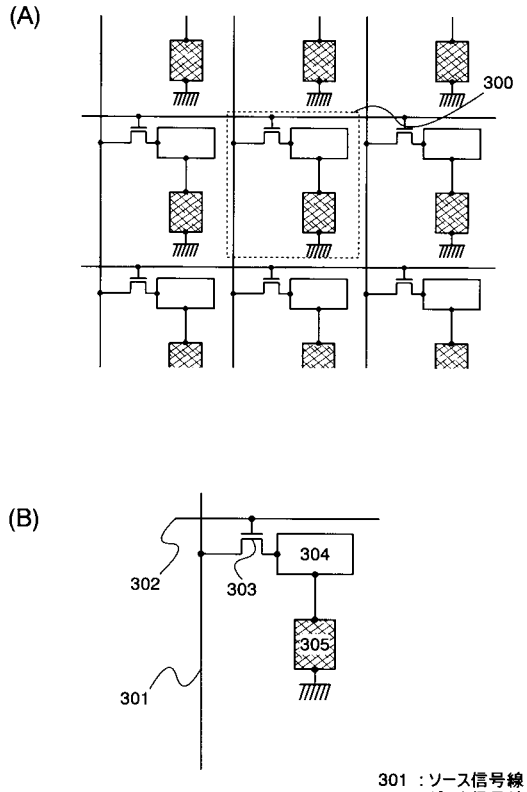
【図１】



【図２】

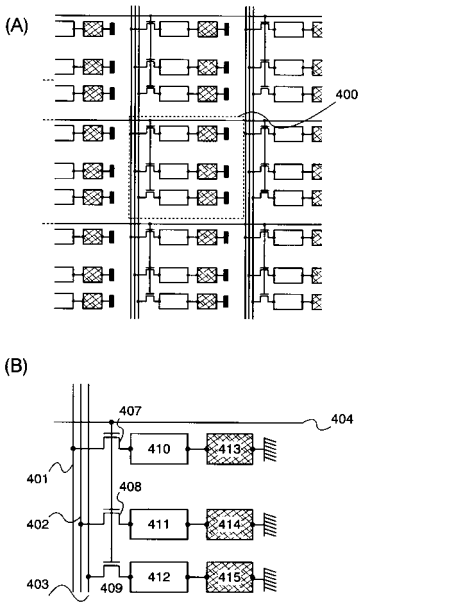


【図３】



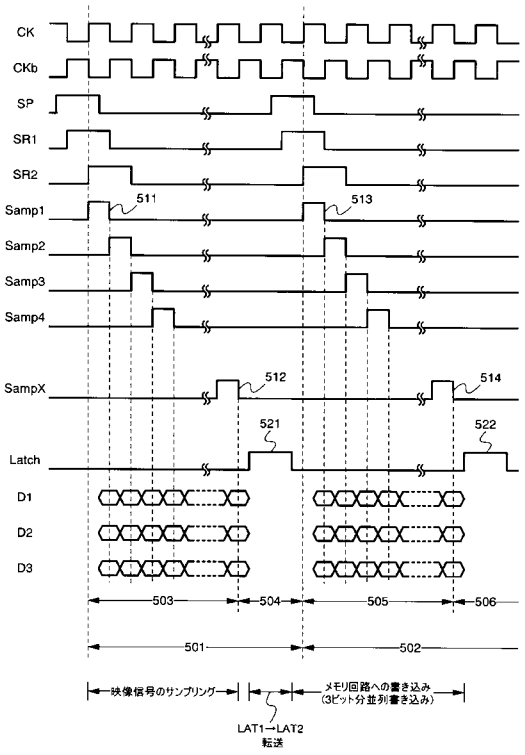
301 ：ソース信号線
302 ：ゲート信号線
303 ：スイッチング用TFT
304 ：メモリ回路
305 ：電気泳動素子

【図４】

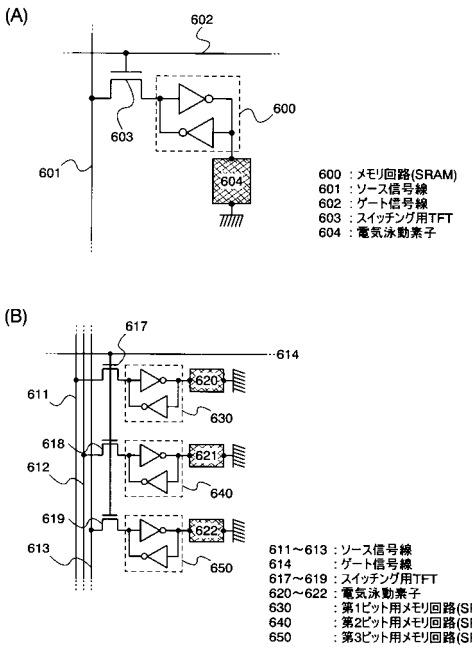


401～403 ：ソース信号線
404～406 ：ゲート信号線
407～409 ：スイッチング用TFT
410～412 ：メモリ回路
413～415 ：電気泳動素子

【図５】



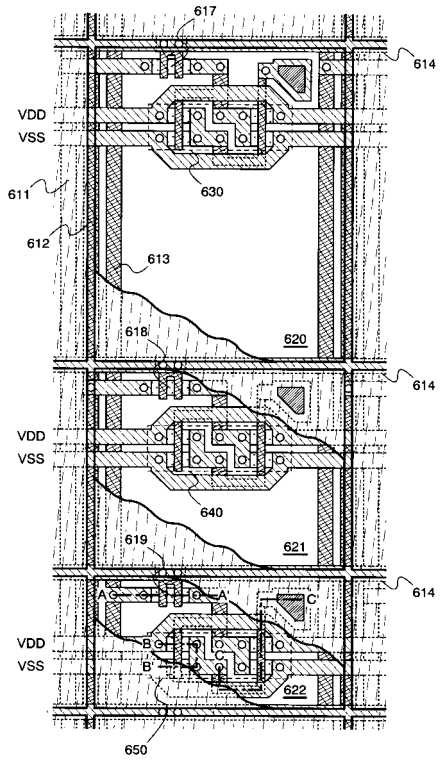
【図６】



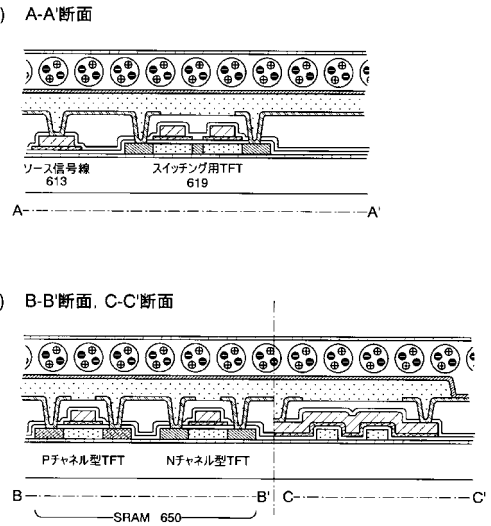
600 ：メモリ回路(SRAM)
601 ：ソース信号線
602 ：ゲート信号線
603 ：スイッチング用TFT
604 ：電気泳動素子

611～613 ：ソース信号線
614 ：ゲート信号線
617～619 ：スイッチング用TFT
620～622 ：電気泳動素子
630 ：第1ビット用メモリ回路(SRAM)
640 ：第2ビット用メモリ回路(SRAM)
650 ：第3ビット用メモリ回路(SRAM)

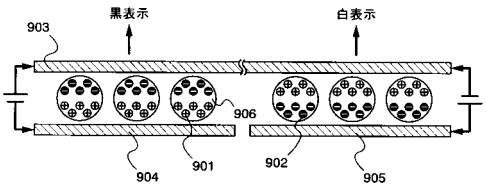
【図７】



【図８】

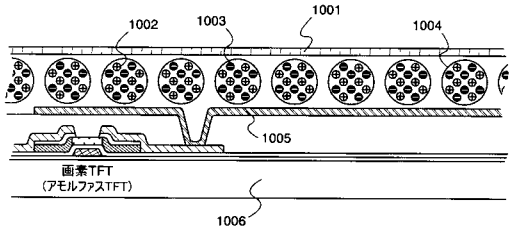


【図９】



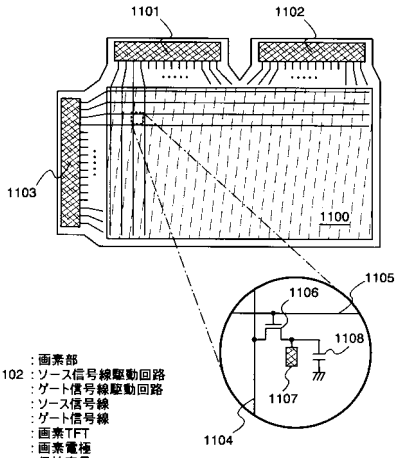
901 ：微粒子(+帯電 白色)
902 ：微粒子(−帯電 黒色)
903 ：対向電極(透明電極)
904, 905 ：画素電極
906 ：マイクロカプセル

【図１０】



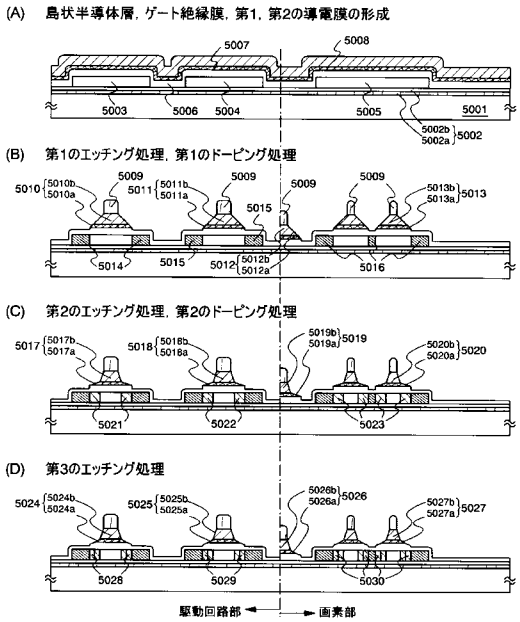
1001 ：対向電極(透明電極)
1002 ：微粒子(+帯電)
1003 ：微粒子(−帯電)
1004 ：マイクロカプセル
1005 ：画素電極
1006 ：基板

【図１１】



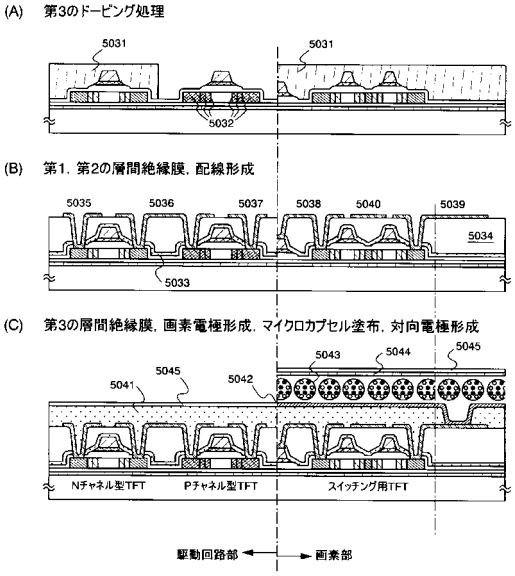
1100 ：画素部
1101, 1102 ：ソース信号線駆動回路
1103 ：ゲート信号線駆動回路
1104 ：ソース信号線
1105 ：ゲート信号線
1106 ：画素TFT
1107 ：画素電極
1108 ：保持容量

【図１２】



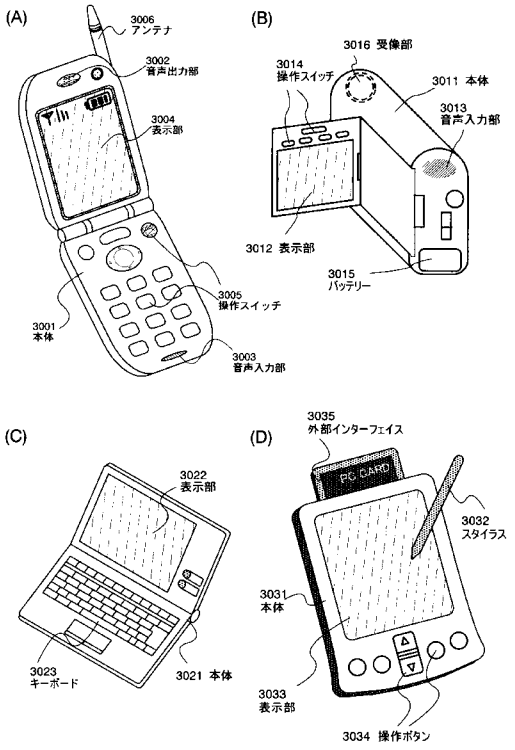
5001	：基板	5010～5013	：第1の形状の導電層
5002	：下地絶縁膜	5014～5016	：第1の不純物領域
5003～5005	：半導体層	5017～5020	：第2の形状の導電層
5006	：ゲート絶縁膜	5021～5023	：第2の不純物領域
5007	：第1の導電膜	5024～5027	：第3の形状の導電層
5008	：第2の導電膜	5028～5030	：第3の不純物領域
5009	：レジストマスク		

【図１３】

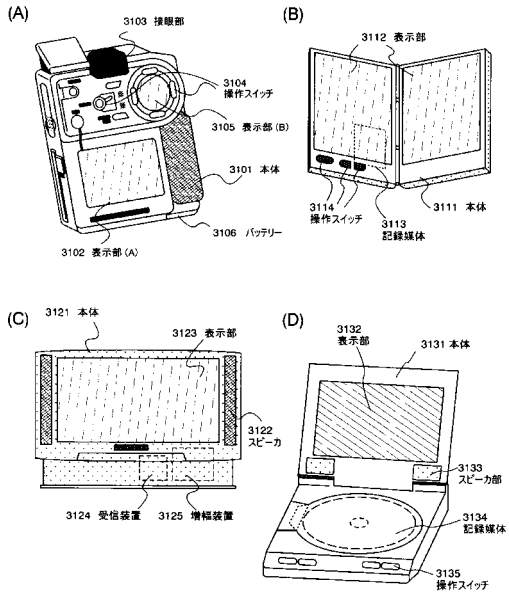


5031	：レジストマスク	5041	：第3の層間絶縁膜
5032	：第4の不純物領域	5042	：画素電極(反射電極)
5033	：第1の層間絶縁膜	5043	：マイクロカプセル
5034	：第2の層間絶縁膜	5044	：対向電極(透明電極)
5035～5039	：配線	5045	：保護膜
5040	：ゲート信号線		

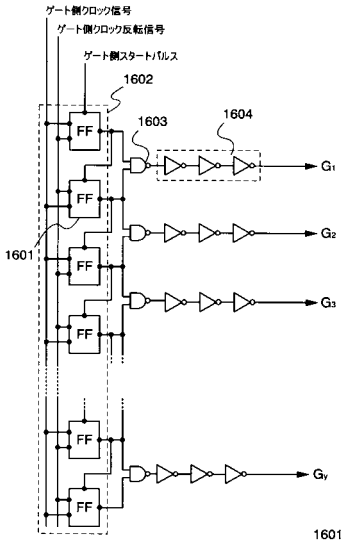
【図１４】



【図１５】

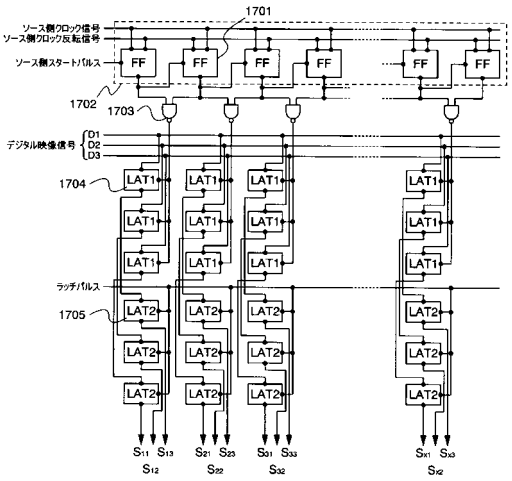


【図１６】



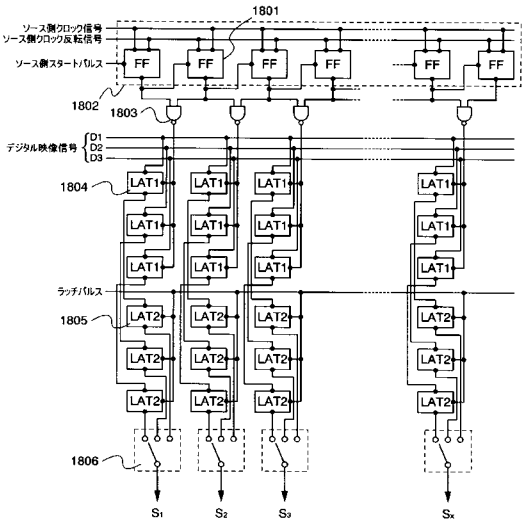
1601 ：フリップフロップ
1602 ：シフトレジスタ
1603 ：NAND
1604 ：バッファ

【図１７】



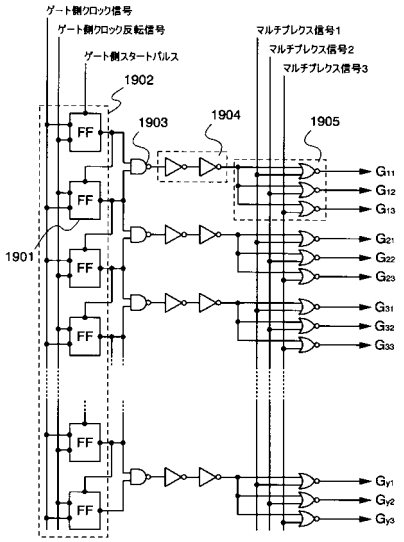
1701 ：フリップフロップ
1702 ：シフトレジスタ
1703 ：NAND
1704 ：第1のラッチ回路
1705 ：第2のラッチ回路

【図１８】



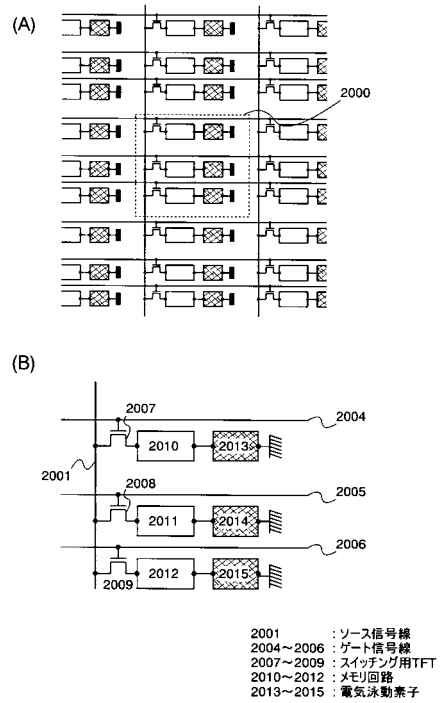
1801 ：フリップフロップ
1802 ：シフトレジスタ
1803 ：NAND
1804 ：第1のラッチ回路
1805 ：第2のラッチ回路
1806 ：選択スイッチ

【図１９】

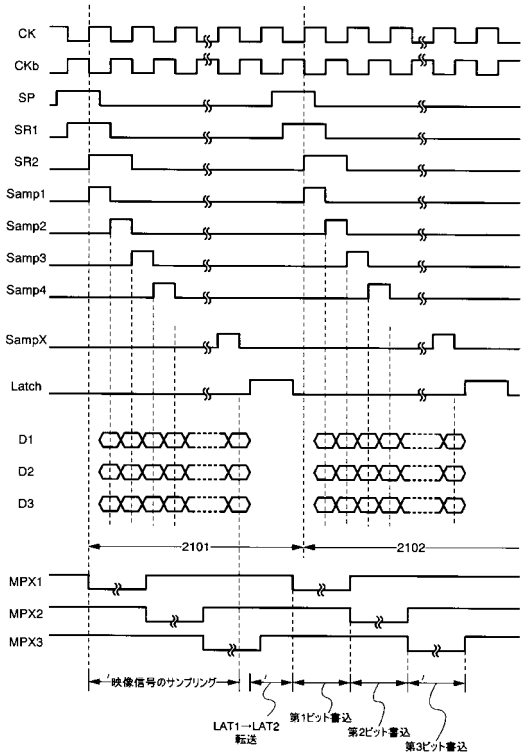


1901 ：フリップフロップ
1902 ：シフトレジスタ
1903 ：NAND
1904 ：バッファ
1905 ：マルチプレクサ

【図２０】



【図２１】



【手続補正書】
【提出日】平成21年7月10日(2009.7.10)
【手続補正２】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
トランジスタ及び電気泳動素子を備える画素を有し、
前記トランジスタを介して前記電気泳動素子に第１の映像信号を入力して、前記画素に映像を表示する動作と、
前記映像が変化する場合のみ、前記トランジスタを介して前記電気泳動素子に第２の映像信号を入力し、前記第１の映像信号を書き換える動作と、を有することを特徴とする表示装置。
【請求項２】
プラスチック基板と、トランジスタ及び電気泳動素子を備える画素と、を有し、
前記トランジスタを介して前記電気泳動素子に第１の映像信号を入力して、前記画素に映像を表示する動作と、
前記映像が変化する場合のみ、前記トランジスタを介して前記電気泳動素子に第２の映像信号を入力し、前記第１の映像信号を書き換える動作と、を有することを特徴とする表示装置。
【請求項３】
フレキシブル性を有する基板と、トランジスタと電気泳動素子とを備える画素と、を有し、

前記トランジスタを介して前記電気泳動素子に第１の映像信号を入力して、前記画素に映像を表示する動作と、
前記映像が変化する場合のみ、前記トランジスタを介して前記電気泳動素子に第２の映像信号を入力し、前記第１の映像信号を書き換える動作と、を有することを特徴とする表示装置。
【請求項４】
請求項１乃至請求項３のいずれか一に記載の表示装置を用いたことを特徴とする電子機器。
【請求項５】
請求項４において、
前記電子機器は、携帯書籍、パーソナルコンピューター、デジタルカメラ、テレビ、プレーヤー、又は携帯情報端末であることを特徴とする電子機器。
【請求項６】
トランジスタ及び電気泳動素子を備える画素を有し、
前記トランジスタを介して前記電気泳動素子に第１の映像信号を入力して、前記画素に映像を表示する動作と、
前記映像が変化する場合のみ、前記トランジスタを介して前記電気泳動素子に第２の映像信号を入力し、前記第１の映像信号を書き換える動作と、を有することを特徴とする表示装置の駆動方法。
【請求項７】
プラスチック基板と、トランジスタ及び電気泳動素子を備える画素と、を有し、
前記トランジスタを介して前記電気泳動素子に第１の映像信号を入力して、前記画素に映像を表示する動作と、
前記映像が変化する場合のみ、前記トランジスタを介して前記電気泳動素子に第２の映像信号を入力し、前記第１の映像信号を書き換える動作と、を有することを特徴とする表示装置の駆動方法。
【請求項８】
フレキシブル性を有する基板と、トランジスタと電気泳動素子とを備える画素と、を有し、
前記トランジスタを介して前記電気泳動素子に第１の映像信号を入力して、前記画素に映像を表示する動作と、
前記映像が変化する場合のみ、前記トランジスタを介して前記電気泳動素子に第２の映像信号を入力し、前記第１の映像信号を書き換える動作と、を有することを特徴とする表示装置の駆動方法。

フロントページの続き

(51)Int.Cl.	FI			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６４２Ｊ	
	Ｇ０９Ｇ	3/20	６２３Ｙ	
	Ｇ０９Ｇ	3/20	６８０Ｇ	
	Ｇ０９Ｇ	3/20	６２２Ｅ	
	Ｇ０９Ｇ	3/20	６２３Ｈ	
	Ｇ０９Ｇ	3/20	６２３Ｌ	