(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 692 33 510 T2** 2006.02.02

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 913 777 B1**
(21) Deutsches Aktenzeichen: **692 33 510.2**
(96) Europäisches Aktenzeichen: **98 119 684.3**
(96) Europäischer Anmeldetag: **06.01.1992**
(97) Erstveröffentlichung durch das EPA: **06.05.1999**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **11.05.2005**
(47) Veröffentlichungstag im Patentblatt: **02.02.2006**

(51) Int Cl.[8]: ***G06F 13/42*** (2006.01)
G06F 1/08 (2006.01)
G06F 13/40 (2006.01)

(30) Unionspriorität:
663314 **01.03.1991** **US**

(84) Benannte Vertragsstaaten:
AT, BE, CH, DE, DK, ES, FR, GB, GR, IT, LI, LU, NL, PT, SE

(73) Patentinhaber:
Advanced Micro Devices, Inc., Sunnyvale, Calif., US

(72) Erfinder:
Johnson, William M., Austin, US; Witt, David B., Austin, US

(74) Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser, 80538 München

(54) Bezeichnung: **Ausgangspuffer für Mikroprozessor**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft im Allgemeinen einen Ausgangspuffer für einen Mikroprozessor. Der Mikroprozessor ist ausgebildet, Zugriffe zu einem externen Speicher synchron mit einem Speichertakt auszuführen, der den externen Speicherzeitablauf steuert, und insbesondere ist der Mikroprozessor ausgebildet, derartige synchronisierte Zugriffe auszuführen, wenn die Mikroprozessorarbeitsgeschwindigkeit gleich ist dem externen Speicherzeitablauf bzw. Takt oder ein vorbestimmtes Vielfaches des externen Zeitablaufs.

[0002] WO-A-84/03156 beschreibt ein Testmodul für die Fehlererkennung und Diagnose eines asynchronen Mikroprozessorbusses. Das Modul enthält Adressbuszwischenspeicher und Datenbuszwischenspeicher bzw. Latches, die Eingänge, Ausgänge und Steuereingänge aufweisen. Die Struktur dieser Zwischenspeicher ist nicht offenbart.

[0003] US-A-4,939,692 beschreibt einen NUR-Lese-Speicher mit gemeinsamen Adress- und Datenleitungen zur Verwendung mit einem Mikroprozessor. Die Leitungen enthalten offensichtlich konventionelle Puffer und Zwischenspeicher, wobei die innere Struktur dieser Komponenten jedoch nicht offenbart ist.

[0004] US-A-4,839,795 beschreibt eine Schnittstellenschaltung für einen Mikroprozessor mit konventionellen Drei-Zustands-Zwischenspeicher mit Eingängen, Ausgängen und Steuereingängen. Wiederum ist der innere Aufbau dieser Einheit nicht offenbart.

[0005] Mikroprozessoren sind im Stand der Technik bekannt, die Aktionen an Bearbeitungsdaten entsprechend den Betriebsinstruktionen ausführen. Damit die Mikroprozessoren auf diese Weise funktionieren können, wird üblicherweise ein externer Speicher mit dem Mikroprozessor verbunden, um die Betriebsinstruktionen des Mikroprozessors, Bearbeitungsdaten und Mikroprozessorergebnisse zu speichern. Der Mikroprozessor greift auf den externen Speicher zu, indem Lade- oder Speicherungsvorgänge ausgeführt werden, wobei bei einem Einladevorgang der Mikroprozessor eine Betriebsanweisung abholt oder Daten aus dem externen Speicher erhält und wobei in einem Speicherungsvorgang der Mikroprozessor Ergebnisse in dem externen Speicher ablegt.

[0006] Damit der Mikroprozessor auf den externen Speicher zugreifen kann, werden der Mikroprozessor und der externe Speicher typischerweise mit mehreren Steuerleitungen und einem oder mehreren Mehrbit-Bussen verbunden. Ein Satz an Steuerleitungen führt Zugriffssteuerungssignale von dem Mikroprozessor zu dem externen Speicher und ein weiterer Satz an Steuerleitungen führt Zugriffsteuerungssignale von dem Mikroprozessor zu dem externen Speicher. Steuerungssignale von dem Mikroprozessor zu dem externen Speicher können Zugriffsanforderungen und Lese/Schreib-Informationen enthalten, um den externen Speicher darüber zu informieren, wenn ein Zugriff ein Lade- oder ein Speichervorgang ist.

[0007] Typischerweise wird ein einzelner Multibit-Bus zum Übertragen externer Speicheradressen von dem Mikroprozessor zu dem externen Speicher verwendet, um dem Mikroprozessor einen Zugriff auf eine bekannte externe Speicherposition zu ermöglichen, um damit die erforderliche Instruktion oder die Daten während des Einladens zu erhalten oder um ein Ergebnis während eines Speichervorgangs abzulegen. Ein weiterer Multibit-Bus wird zum Übertragen der angeforderten Daten oder Instruktionen von dem externen Speicher zu dem Mikroprozessor während eines Einladevorgangs und zum Übertragen von Daten, etwa Ergebnissen, von dem Mikroprozessor zu dem externen Speicher während eines Speicherungsvorganges verwendet.

[0008] Die Zeitablaufsteuerung zwischen dem Mikroprozessor und dem externen Speicher zur Unterstützung von Zugriffen des Mikroprozesses auf den externen Speicher ist äußerst wichtig. Eine geeignete Zeitablaufsteuerung stellt ein effizientes und zuverlässiges Zugreifen sicher, um gewünschte Mikroprozessorarbeitsgeschwindigkeiten zu unterstützen. Eine derartige Zeitablaufsteuerung erfordert, dass der Prozessor Adressen, Steuerungssignale oder Daten zu dem Speicher lediglich während vorbestimmter Zeitperioden ausgibt, wenn der Speicher so aktiviert ist, um derartige Mikroprozessorsignale zu empfangen, und dies erfordert in ähnlicher Weise, dass der externe Speicher Steuerungssignale und Daten für den Prozessor lediglich während vorbestimmter Zeitperioden ausgibt, wenn der Prozessor aktiviert ist, derartige externe Speichersignale zu empfangen. Eine derartige Zeitablaufsteuerung wird im Allgemeinen als ein synchroner externer Speicherzugriff bezeichnet.

[0009] Der synchrone externe Speicherzugriff wird erreicht, indem ein Speichertaktsignal bereitgestellt wird, das Speichertaktpulse mit einer hochpegeligen Phase und einer tiefpegeligen Phase bei einer Speichertaktfrequenz aufweist. Die Speichertaktpulse werden dem externen Speicher und dem Mikroprozessor zum Erstel-

len des Zugriffzeitablaufs zugeführt. Der Mikroprozessor enthält im Allgemeinen seinen eigenen internen Takt, der Prozessortaktpulse mit einer hochpegeligen und tiefpegeligen Phase mit der Prozessorbetriebsfrequenz erzeugt, die zumeist gleich der externen Speichertaktfrequenz ist. Eine Beziehung zwischen den Phasen der Speichertaktpulse und der Prozessortaktpulse wird sodann ermittelt und beibehalten, um die Zeitperioden zu bestimmen, in denen der Mikroprozessor Steuerungssignale, Adressen oder Daten an den externen Speicher ausgibt, und um Zeitperioden zu bestimmen, in denen der externe Speicher Steuerungssignale oder Daten an den Mikroprozessor ausgibt. Die Beachtung dieser Phasenbeziehungen führt zu einem synchronen Zugriff auf den externen Speicher durch den Mikroprozessor.

[0010] Das synchrone Zugreifen wurde auf jene Situationen beschränkt, in denen die Speichertaktfrequenz gleich der Prozessortaktfrequenz ist. Dies ist ungünstig, da ein besseres Leistungsverhalten erreicht werden könnte, wenn ein gegebener Speicher in der Lage wäre, einen Mikroprozessor zu unterstützen, der mit einer Arbeitsfrequenz arbeiten kann, die höher als die externe Speichertaktfrequenz ist. Wenn beispielsweise ein Mikroprozessor mit 25 MHz Arbeitsfrequenz, der mit einem 25 MHz externen Speicher verknüpft ist, durch einen 50 MHz Mikroprozessor ersetzt wird, sollte, obwohl der Speicher ein 25 MHz Speicher ist, für die meisten Fällen das Gesamtleistungsverhalten des Prozessorsystems doppelt so hoch sein. Nachteiligerweise wird im Stand der Technik kein Mikroprozessor bereitgestellt, der selektiv für den synchronen Zugriff auf einen externen Speicher betreibbar ist, der bei der Prozessorbetriebsfrequenz arbeitet, oder zum Zugreifen auf einen externen Speicher, der bei einem Bruchteil der Frequenz, etwa der Hälfte, der Mikroprozessorbetriebsfrequenz arbeitet. Es wäre äußerst vorteilhaft, wenn ein derartiger Mikroprozessor in der Lage wäre, auf externe Speicher in einer Weise zuzugreifen, die für den externen Speicher, die externen Busse und die Steuerleitungen transparent ist, um damit eine derartige synchrone Zugriffsweise bereitzustellen, unabhängig von den relativen Betriebsfrequenzen des Mikroprozessors und des Speichers.

[0011] US-Patent Nr. 4,095,267, Morimoto, 13. Juni 1978, offenbart, dass zur Informationsübertragung zwischen der zentralen Recheneinheit (CPU) und einer Eingabe/Ausgabe-(IO) Einrichtung, die mit einer anderen Taktrate arbeitet, die Taktrate der IO-Einrichtung gleich und synchron zu jener der CPU während des Datentransfers zu machen ist. Insbesondere zeigt dieses Dokument das Umschalten des Taktes einer IO-Einrichtung zwischen einer schnellen (nfs) und einer langsamen Rate (fs). Ferner wird dann das Beispiel einer Verbindung mit einer multidigitalen Anzeigenröhre erläutert, wobei die Anzeige normalerweise bei dem zweifachen CPU-Takt arbeitet und auf den einfachen CPU-Takt während des CPU-Zugriffs verlangsamt wird. Jedoch wird darin nicht angegeben, wie eine geeigneter synchroner Zugriff ohne Verlangsamung des Takts der schnelleren Einrichtung erreicht werden kann.

[0012] Die PCT-Anmeldung WO 89/02128 beschreibt die Verbindung eines schnellen Prozessors mit einem langsameren externen Speicher mittels einer Bus-„Verlängerung", wobei eine vorausgewählte Anzahl von Wartezuständen in einen externen (E) Bustakt eingeführt wird. Der E-Takt ist die Grundlage für die Buszeitabläufe der Zugriffe des Mikroprozessors auf externe Geräte. Wenn ein externer Zugriff stattfindet, werden sowohl der E-Takt als auch der CPU-Takt für die vorbestimmte Anzahl an Wartezuständen angehalten, obwohl die Taktsignale für die internen Zeitgebereinrichtungen nicht angehalten werden, um deren Genauigkeit beizubehalten.

[0013] In Electronic Design, Band 41, Nr. 24, November 1983, Seiten 125 bis 323, "Taktchip zur Anpassung schneller Mikroprozessoren an langsamere Geräte", H. W. Look et al., zeigt, wie ein Mikroprozessortakt selektiv gedehnt werden kann, um langsame periphere Geräte zu berücksichtigen. Die darin gezeigte Lösung zur Verbindung langsamer Speicher oder I/O-Geräte reduziert die Geschwindigkeit des Mikroprozessors auf die Hälfte, um mit der Geschwindigkeit der peripheren Geräte überein zu stimmen. Sowohl dieser Artikel als auch die PCT-Anmeldung offenbaren Systeme, wodurch der CPU-Takt effektiv angehalten wird, um mehr Zeit für den Zugriff auf den langsamen Speicher zu haben.

[0014] Erfindungsgemäß wird ein Ausgangspuffer zur Verwendung in einem Mikroprozessor zum Ausgeben von Ausgangssignalen des Mikroprozessors zu einem externen Speicher über einen externen Bus beschrieben. Der Ausgangspuffer umfasst einen Eingang zum Empfangen eines Eingangssignalpegels, einen Ausgang zum Ansteuern des externen Busses mit dem Pegel des Eingangssignals und einen Steuerungseingang zum Empfangen eines Steuerungssignals. Der Steuerungseingang ist mit dem Ausgang gekoppelt, um zu bewirken, dass der Ausgang den externen Bus mit dem Pegel des Eingangssignals in Reaktion auf das Steuerungssignal ansteuert. Der Ausgangspuffer umfasst ferner eine Trenneinrichtung, die zwischen dem Eingang und dem Ausgang angeschlossen ist und mit dem Steuerungseingang gekoppelt ist, um den Eingang von dem Ausgang in Reaktion auf das Steuerungssignal zu trennen, um damit eine Aktualisierung des Eingangs mit einem neuen Eingangssignalpegel zu ermöglichen, während der externe Bus mit dem Eingangssignalpegel an-

gesteuert ist.

[0015] Der Puffer ist geeignet zur Verwendung mit dem hier beschriebenen Mikroprozessor, der ausgebildet ist, auf einen externen Speicher zum Ausführen von Lade- und Speichervorgängen synchron mit einem Speichertakt zuzugreifen. Der Mikroprozessor weist eine Arbeitsgeschwindigkeit und der externe Speicher weist eine Zugriffsgeschwindigkeit auf, und der externe Speicher ist mit dem Mikroprozessor über einen externen Adressenbus verbunden. Der Speichertakt liefert Speichertaktpulse mit einer ersten Frequenz an den Mikroprozessor und den externen Speicher zum Steuern der Zugriffsgeschwindigkeit des externen Speichers über den Bus. Der Mikroprozessor reagiert auf eine Taktschaltung, die Taktpulse mit einer zweiten Frequenz erzeugt, um die Arbeitsgeschwindigkeit des Mikroprozessors zu steuern, wobei die zweite Frequenz größer oder gleich der ersten Frequenz ist. Der Mikroprozessor umfasst eine zentrale Recheneinheit, um externe Speicheradressen bereitzustellen, wenn der Mikroprozessor auf den externen Speicher zugreift. Der Mikroprozessor umfasst ferner eine Busschnittstelleneinheit, um zu steuern, wann die externen Speicheradressen zu dem externen Speicher über den Bus zu übertragen sind. Der Mikroprozessor zeichnet sich dadurch aus, dass die Busschnittstelleneinheit das synchrone Zugreifen auf den externen Speicher ermöglicht und weist einen Geschwindigkeitssteuerungseingang zum Empfang eines Geschwindigkeitssteuerungssignals bzw. eines Ratensteuerungssignals auf, die eine spezielle Abhängigkeit der zweiten Frequenz zu der ersten Frequenz kennzeichnet, wobei die Busschnittstelleneinheit ferner eine Steuerungseinrichtung aufweist, die auf das Geschwindigkeitssteuerungssignal, den Speichertakt, und die Taktschaltung reagiert, um zu bewirken, dass die externe Speicheradresse auf dem Bus platziert wird, wenn die zweite Frequenz größer als die erstes Frequenz ist, und der Speichertakt und der interne Takt befinden sich in einer ersten vorbestimmten Phasenbeziehung zueinander, um das synchrone Zugreifen auf den externen Speicher mittels des Mikroprozessors zu erreichen.

[0016] In den begleitenden Zeichnungen, die lediglich beispielhaft zu verstehen sind, gilt:

[0017] Fig. 1 ist ein Blockdiagramm eines Verarbeitungssystems;

[0018] Fig. 2 ist ein Blockdiagramm des Mikroprozessors des Verarbeitungssystems aus Fig. 1;

[0019] Fig. 3 ist eine schematische Schaltungsansicht teilweise als Blockdiagramm, wobei ein Teil der Busschnittstelleneinheit des in Fig. 2 gezeigten Mikroprozessors gezeigt ist;

[0020] Fig. 4 ist eine schematische Schaltungsdarstellung eines Ausgangspuffers gemäß einer Ausführungsform der vorliegenden Erfindung, der vorteilhaft verwendet werden kann, um die Busse und die Steuerungsleitungen von dem in Fig. 2 dargestellten Mikroprozessor anzusteuern;

[0021] Fig. 5 ist eine Blockansicht eines weiteren Teils der Busschnittstelleneinheit des in Fig. 2 gezeigten Mikroprozessors;

[0022] Fig. 6 zeigt mehrere Signalformen, die die Funktionsweise des Mikroprozessors aus Fig. 2 beim Ausführen eines synchronisierten externen Zugriffs auf einen externen Speicher zeigt, der bei der gleichen Frequenz wie der Mikroprozessor arbeitet;

[0023] Fig. 7 zeigt mehrere Signalformen, die die Arbeitsweise des Mikroprozessors aus Fig. 2 beim Ausführen eines synchronisierten externen Zugriffs auf einen externen Speicher zeigt, der bei einer Frequenz arbeitet, die die Hälfte der Betriebsfrequenz des Mikroprozessor beträgt.

[0024] In Fig. 1 ist ein Verarbeitungssystem **10** gezeigt. Das System **10** umfasst im Wesentlichen einen Speichertaktgeber **12**, einen externen Taktgeber **14**, einen Mikroprozessor **16** und einen externen Speicher **18**.

[0025] Der externe Speicher **18** umfasst eine Speichersteuerung **20** und einen Hauptspeicher **22**. Derartige externe Speicher sind im Stand der Technik gut bekannt.

[0026] Der Speichertaktgeber **12** ist vorzugsweise so ausgebildet, um Speichertaktpulse mit einer Frequenz bereitzustellen, die die Arbeitsfrequenz des externen Speichers **18** bestimmen und damit die Zugriffsrate bzw. Zugriffsgeschwindigkeit des externen Speichers. Dazu ist der Taktgeber **12** mit der Speichersteuerung **20** und dem Mikroprozessor **16** an einem Eingang, der als MEMCLK bezeichnet ist, verbunden. Wie im Stand der Technik gut bekannt ist, liefert der Speichertaktgeber **12** Speichertaktpulse, die eine hochpegelige Phase und eine tiefpegelige Phase aufweisen.

[0027] Der externe Taktgeber **14** umfasst einen Kristalloszillator **24**, einen Kristall **26** und einen Puffer **28**. Der externe Taktgeber **14** ist mit dem Mikroprozessor **16** an einem Eingang, der als INCLK bezeichnet ist, angeschlossen. Der externe Taktgeber **14** liefert Taktpulse zu dem Mikroprozessor **16** mit einer Frequenz, die die Arbeits- oder Verarbeitungsgeschwindigkeit des Mikroprozessors **16** bestimmt. Die Taktsignale aus dem externen Taktgeber **14** werden von dem Mikroprozessor **16** zur internen Erzeugung zweier Prozessortaktsignale verwendet, die hierin als PH1 und PH2 bezeichnet sind. Die Prozessortaktsignale PH1 und PH2 sind vorzugsweise von gleicher Frequenz, die durch den externen Taktgeber **14** bestimmt ist, und sind von umgekehrter Phase, wobei jeder Prozessortakt PH1 und PH2 eine hochpegelige Phase und eine tiefpegelige Phase besitzt. Als Folge davon ist, wenn PH1 in seiner hochpegeligen Phase ist, PH2 in seiner tiefpegeligen Phase und entsprechend, wenn PH2 in der hochpegeligen Phase ist, ist PH1 in der tiefpegeligen Phase. Beim Ausführen von Zugriffen auf den externen Speicher **18** gibt der Mikroprozessor, wie nachfolgend erläutert ist, Ausgangssignale an den externen Speicher **18** aus, wenn es eine Übereinstimmung der hochpegeligen Phase von PH1 und der hochpegeligen Phase des Speichertakts gibt, und der externe Speicher **18** gibt Ausgangssignale an den Mikroprozessor **16** aus, wenn es eine Übereinstimmung der hochpegeligen Phase von PH2 und der tiefpegeligen Phase des Speichertakts gibt. Durch Beibehalten dieser Phasenbeziehungen zwischen PH1, PH2 und dem Speichertakt ist der Mikroprozessor **16** in der Lage, synchrone Zugriffe auf den externen Speicher **18** auszuführen.

[0028] Wie in Fig. 1 gezeigt ist, werden die Speichertaktpulse von dem externen Taktgeber **12** bereitgestellt. Die Speichertaktpulse könnten jedoch auch von dem Mikroprozessor **16** geliefert werden, wobei MEMCLK als ein Ausgang zum Bereitstellen der Speichertaktpulse für die Speichersteuerung **20** verwendet wird. In einem derartigen Falle ist der Speichertaktgeber **12** nicht erforderlich. Der Mikroprozessor **16** ist ausgebildet, um die Speichertaktpulse in Reaktion auf die Taktpulse, die von dem externen Taktgeber **14** erhalten werden, zu erzeugen.

[0029] Der Mikroprozessor **16** umfasst einen Eingang **30** zum Empfangen eines Steuerungssignals (PWRCLK), das einen logisch 1- oder einen logisch 0-Pegel aufweisen kann. Das Steuerungssignal an dem Eingang **30** wird von einem Schalter **32** bereitgestellt, der mit einer positiven Spannungsquelle verbunden ist, wenn dieser in der dargestellten Position ist, und der mit Masse verbunden ist, wenn der Schalter **32** sich in der Position befindet, die durch den Pfeil **34** gezeigt ist. Wenn der Schalter **32** sich in der in der Figur dargestellten Position befindet, wird dem Eingang **30** eine logische 1 eingeprägt, um zu bewirken, dass der Mikroprozessor **16** die Speichertaktpulse erzeugt und die Speichertaktpulse an dem Ausgang, der mit MEMCLK bezeichnet ist, bereitstellt. Wenn der Schalter **32** sich in seiner anderen Position befindet und damit mit Masse verbunden ist, befindet sich der Eingang **30** auf logisch 0-Pegel, um zu bewirken, dass MEMCLK als ein Eingang zum Empfangen der extern erzeugten Speichertaktpulse von einer externen Taktgeberquelle, etwa dem externen Taktgeber **12**, dient.

[0030] Der Mikroprozessor besitzt einen weiteren Eingang **36** zum Empfangen eines Ratensteuerungssignals (*DIV2), das einen ersten Pegel mit logisch 1 oder einen zweiten Pegel mit logisch 0 besitzt. Der Pegel am Eingang **36** wird durch einen weiteren Schalter **38** bestimmt, der entweder mit einer positiven Spannungsquelle zum Erzeugen des logisch 1-Pegels oder mit Masse zum Erzeugen des logisch 0-Pegels verbunden ist. Der Pegel des Raten- bzw. Geschwindigkeitssteuerungssignals am Eingang **36** informiert den Mikroprozessor **16**, ob die Arbeitsfrequenz des externen Speichers **18** gleich ist zu der Arbeitsfrequenz des Mikroprozessors (wenn das Geschwindigkeitssteuerungssignal logisch 1 ist), oder ob die Arbeitsfrequenz des externen Speichers **18** die Hälfte der Arbeitsfrequenz des Mikroprozessors **16** beträgt (wenn das Geschwindigkeitssteuerungssignal logisch 0 ist). Wenn der Eingang **30** sich auf logisch 1 befindet, um den Mikroprozessor **16** zum Erzeugen der Speichertaktpulse zu veranlassen, dann erzeugt der Mikroprozessor **16** die Speichertaktpulse mit seiner Betriebsfrequenz, wenn der Eingang **36** logisch 1 ist, und mit der Hälfte der Betriebsfrequenz des Mikroprozessors, wenn das Geschwindigkeitssteuerungssignal am Eingang **36** auf logisch 0 ist. Als Folge davon empfängt der Mikroprozessor **16** extern erzeugte Speichertaktpulse oder er erzeugt die Speichertaktpulse. Des weiteren ist der Mikroprozessor **16** ausgebildet, Speichertaktpulse mit seiner eigenen Arbeitsfrequenz oder der Hälfte seiner Arbeitsfrequenz in Abhängigkeit von dem Eingangssignalpegel an dem Eingang **36** zu erzeugen. Wie später dargestellt ist, wird der Geschwindigkeitssteuerungseingangspegel am Eingang **36** auch von dem Mikroprozessor **16** verwendet, um ein synchrones Zugreifen auf den externen Speicher **18** zu ermöglichen, wenn die Arbeitsfrequenz des externen Speichers gleich der Arbeitsfrequenz des Mikroprozessors ist und wenn die Arbeitsfrequenz des externen Speichers die Hälfte der Arbeitsfrequenz des Mikroprozessors beträgt.

[0031] Der Mikroprozessor **16** ist mit der Speichersteuerung **20** mittels mehrerer Zugriffssteuerungsleitungen **40**, **42** und **44** verbunden, die Zugriffssteuerungssignale zwischen dem Mikroprozessor **16** und dem externen Speicher **18** übertragen. Steuerungsleitungen **40** und **42** führen erste Zugriffssteuerungssignale von dem Mi-

kroprozessor **16** zu der Speichersteuerung **20**, wozu ein Steuerungssignal *REQ auf der Leitung **40** und RW auf der Leitung **42** gehören. *REQ ist ein Steuerungssignal, das von dem Mikroprozessor **16** bei Anforderung eines Speicherzugriffs erzeugt wird. Wenn dieses Signal aktiv ist (tiefpegelig), erscheint die Adresse für den Zugriff auf dem Adressenbus **46**, der zwischen dem Mikroprozessor **16** und dem Hauptspeicher **22** angeordnet ist. R*W ist ein Steuerungssignal, das anzeigt, ob der Mikroprozessorzugriff ein Lese-(Lade-) oder ein Schreib-(Speicher)-Zugriff ist. Wenn der Zugriff ein Lesezugriff ist, ist dieses Signal hochpegelig und wenn der Zugriff ein Schreibzugriff ist, ist dieses Signal tiefpegelig.

[0032] Die Steuerungsleitung **44** überträgt ein zweites Zugriffssteuerungssignal von der Speichersteuerung **20** zu dem Mikroprozessor **16**. Das zweite Zugriffssteuerungssignal ist *RDY, das für einen Lesezugriff anzeigt, dass gültige Daten oder eine Instruktion momentan sich auf dem Instruktions/Datenbus **48** befinden, der zwischen dem Mikroprozessor **16** und dem Hauptspeicher **22** angeordnet ist. Für einen Schreibzugriff zeigt dieses Signal an, dass der Zugriff abgeschlossen ist und dass Daten nicht mehr von dem Mikroprozessor **16** auf dem Instruktions/Datenbus **48** ausgegeben werden.

[0033] Der Adressenbus **46** ist ein unidirektionaler Multibit-Bus, der die Adresse überträgt, die von dem Mikroprozessor **16** für die Hauptspeicherspeicherungsposition, auf die zuzugreifen ist, erzeugt wird. Der Instruktions/Datenbus **48** ist ein bidirektionaler Multi-Bit-Bus, der Daten von dem Mikroprozessor **16** zu dem Hauptspeicher **22** überträgt, die dann in der Speicherstelle entsprechend der Adresse, die auf dem Adressenbus **46** bereitgestellt wird, zu speichern sind, und der zum Übertragen von Instruktionen und Daten von dem Hauptspeicher zu dem Mikroprozessor **16** von der Speicherstelle des Hauptspeichers entsprechend der von dem Adressenbus **46** übertragenen Adresse dient.

[0034] Fig. 2 zeigt den Mikroprozessor **16** aus Fig. 1 in Blockansicht. Der Mikroprozessor **16** umfasst im Allgemeinen eine zentrale Recheneinheit **50**, eine Busschnittstelleneinheit **52**, eine Adressbusschnittstelle **54** und eine Datenbusschnittstelle **56**.

[0035] Die zentrale Recheneinheit **50** erzeugt die Adressen für einen externen Speicherzugriff und führt die Daten des aktuellen Programms aus oder bearbeitet diese, das auf dem Mikroprozessor läuft. Die zentrale Recheneinheit **50** ist mit der Adressbusschnittstelle **54** mittels eines internen Multibit-Adressenbusses **58** verbunden, um die externe Speicheradresse für einen Zugriff zu der Adressbusschnittstelle **54** zu führen. Die zentrale Recheneinheit **50** ist ferner mit der Datenbusschnittstelle **56** mittels eines internen Multibit-Datenbusses **60** verbunden, um die Daten der Datenbusschnittstelle **56**, die in dem externen Speicher zu speichern sind, zu transportieren und um die Datenbusschnittstellendaten oder von dem externen Speicher während eines externen Zugriffs empfangene Instruktionen zu empfangen. Die zentrale Recheneinheit **50** ist ferner mit der Busschnittstelleneinheit **52** durch mehrere interne Steuerleitungen **62**, **64** und **66** verbunden. Die interne Steuerleitung **66** führt Zugriffsanforderungen, die von der zentralen Recheneinheit erzeugt werden, zu der Busschnittstelleneinheit. Die internen Steuerleitungen **62** und **64** führen Steuerungssignale für abgeschlossene Daten und Instruktionen von der Busschnittstelleneinheit **52** zu der zentralen Recheneinheit **50**.

[0036] Die Busschnittstelleneinheit **52** erzeugt die Steuerungssignale, die das synchrone Zugreifen auf den externen Speicher durch den Mikroprozessor **16** sicherstellen. Sie gibt auf den Steuerungsleitungen **40** und **42** die Anforderungs- und Lese/Schreib-Steuerungssignale aus, um diese zu dem externen Speicher zuzuführen. Sie empfängt ferner für die Steuerungsleitung **44** die „Fertig"-Signale von dem externen Speicher, wenn ein Lese- oder Schreibzugriff abgeschlossen ist. Ferner erzeugt die Busschnittstelleneinheit die ersten und zweiten Prozessortaktpulse PH1 und PH2 zum Steuern des internen Zeitablaufs des Mikroprozessors. Wie zuvor erwähnt ist, besitzen die ersten und zweiten Prozessortaktpulse PH1 und PH" die gleiche Frequenz und weisen eine zueinander inverse Phase auf, wobei beide einen hochpegeligen Abschnitt und einen tiefpegeligen Abschnitt besitzen. Wenn also PH1 in der hochpegeligen Phase ist, befindet sich PH2 in einer tiefpegeligen Phase, und wenn PH1 in der tiefpegeligen Phase ist, ist PH2 in der hochpegeligen Phase.

[0037] Die Busschnittstelleneinheit ist ferner ausgebildet, um die Speichertaktpulse zu erzeugen, wenn der Pegel des PWRCLK Steuerungssignals auf logisch 1 liegt. Die Busschnittstelleneinheit **52** ist ferner ausgebildet, die Zugriffsanforderungssignale der zentralen Recheneinheit über die Leitung **66** zu empfangen und sie liefert die Steuerungssignale für abgeschlossene Daten und Instruktionen an die zentrale Recheneinheit über die Steuerungsleitungen **62** und **64**.

[0038] Wie im Weiteren deutlich wird, umfasst die Busschnittstelleneinheit eine Speicherzugriffssteuerungseinrichtung, die mit dem Eingang **36** verbunden ist, der das Geschwindigkeitssteuerungseingangssignal empfängt und auf das Geschwindigkeitssteuerungssignal und die Speichertaktpulse reagiert, um den Mikroprozes-

sor zu veranlassen, auf den externen Speicher synchron zu dem Speichertakt zuzugreifen, wenn das Geschwindigkeitssteuerungssignal auf logisch 1 liegt und die Mikroprozessorbetriebsfrequenz gleich der Speichertaktfrequenz ist, und um dem Mikroprozessor zu veranlassen, auf den externen Speicher synchron zu dem Speichertakt zuzugreifen, wenn das Geschwindigkeitssteuerungssignal auf logisch 0 liegt und die Mikroprozessorarbeitsfrequenz zwei mal so groß ist wie die Speichertaktfrequenz. Die Busschnittstelleneinheit liefert ferner Steuerungssignale, die nachfolgend beschrieben sind, zu der Adressbusschnittstelle **54** und der Datenbusschnittstelle **56**, um zu steuern, wann Ausgangssignale, etwa Adressen und Daten, extern von dem Mikroprozessor ausgegeben werden.

[0039] Die Adressbusschnittstelle **54** empfingt die Adressen für den externen Speicher von der zentralen Recheneinheit **50** über den internen Adressenbus **58**. Die Adressbusschnittstelle umfasst ein internes Latch bzw. einen internen Zwischenspeicher (nicht gezeigt), der die Adresse für einen Zugriff in Reaktion auf ein internes Zwischenspeicheradressensteuerungssignal (LATCHIA) zwischenspeichert, das an einem Eingang **70** von der Busschnittstelleinheit empfangen wird. Die Adressenbusschnittstelle umfasst ferner einen weiteren Eingang **72** zum Empfang eines Inkrementadressenausgangszwischenspeichersteuerungssignals (INCAOL), das von der Busschnittstelleneinheit empfangen wird. Der Inkrementadressenausgangszwischenspeicher wird für sequenzielle Zugriffe verwendet, und bewirkt, dass der Ausgangszwischenspeicher auf die nächste Adresse erhöht wird, ohne dass die zentrale Recheneinheit **50** eine Adresse für jede der sequenziellen Zugriffe erzeugen muss. Die Adressenbusschnittstelle **54** umfasst ferner einen weiteren Eingang **74** zum Empfang einer Adressenausgangszwischenspeicher-zu-Adressbus-Steuerungssignals (AOLTOA) von der Busschnittstelleneinheit, das die Adressbusschnittstelle veranlasst, den externen Adressenbus **46** mit der Adresse anzusteuern, die momentan in seinem Zwischenspeicher gespeichert ist. Schließlich umfasst die Adressenbusschnittstelle einen weiteren Eingang **76** zum Empfangen eines Busimpedanzadressenbussteuerungssignals (HIZAB) von der Busschnittstelleneinheit, das bewirkt, dass alle Ausgänge, die den externen Adressenbus **46** ansteuern, einen hochohmigen Zustand anzunehmen, um diese Ausgänge von dem externen Adressenbus abzutrennen.

[0040] Wie in Fig. 2 gezeigt ist, empfängt die Adressenbusschnittstelle ferner das Geschwindigkeitssteuerungssignal und die Speichertaktpulse. Es empfängt ferner Adressenbusschnittstellensteuerungssignale von der Busschnittstelleneinheit über eine interne Steuerungsleitung **78**. Die Adressenbusschnittstelle **54** empfängt ferner die ersten und die zweiten Prozessortaktpulse PH1 und PH2, wie dies gezeigt ist.

[0041] Die Datenbusschnittstelle **56** führt eine Funktion ähnlich zu jener der Adressenbusschnittstelle **54** aus. Sie ist mit der zentralen Recheneinheit mittels des internen Datenbusses **60** verbunden, um Daten von der zentralen Recheneinheit während eines Schreibzugriffes zu empfangen und um Daten oder Instruktionen während eines Lesezugriffes zu der zentralen Recheneinheit zu tiefem. Die Datenbusschnittstelle empfängt ferner Steuerungssignale von der Busschnittstelleneinheit mit einem internen Zwischenspeicherdatenbussteuerungssignal (LATCHID) an einem Eingang **80**. Wie die Adressenbusschnittstelle **54** enthält auch die Datenbusschnittstelle **56** einen internen Zwischenspeicher (nicht gezeigt), um "von der zentralen Recheneinheit über den internen Datenbus **60** empfangene Daten zwischenzuspeichern. Die Datenbusschnittstelle ist ferner ausgebildet, an einem Eingang **82** ein Datenausgangszwischenspeicher-zu-Datenbussteuerungssignal (DOLTOD) von der Busschnittstelleneinheit zu empfangen, um die Datenbusschnittstelle zu veranlassen, die Daten in ihren internen Zwischenspeicher zu dem externen Instruktions-Datenbus **48** zu übertragen. Ein weiterer Eingang **84** der Datenbusschnittstelle **56** empfängt von der Busschnittstelleneinheit ein Zwischenspeicherdatenbussteuerungssignal (LATCHD), das die Busschnittstelleneinheit veranlasst, über den externen Instruktions/Datenbus **48** empfangene Daten zu speichern. Die Datenbusschnittstelle empfängt ferner an einem Eingang **86** ein Hochimpedanzdatenbussteuerungssignal (HIZDB) von der Busschnittstelleneinheit, um die Ausgänge der Datenbusschnittstelle, die den externen Bus **48** ansteuern, zu veranlassen, einen hochohmigen Zustand anzunehmen, um damit diese Ausgänge von dem externen Instruktions/Datebus **48** trennen. Die Datenbusschnittstelle **56** empfängt ferner über eine interne Steuerungsleitung **88** Datenbussteuerungssignale von der Datenbusschnittstelleneinheit **52**. Die Datenbusschnittstelle empfängt ferner, wie gezeigt ist, die Speichertaktpulse, das Geschwindigkeitssteuerungssignal, die ersten und zweiten Prozessortaktsignale PH1 und PH2.

[0042] Wie zuvor erwähnt ist, enthalten die Speichertaktimpulse einen ersten Phasenbereich, der die hochpegelige Phase repräsentiert, und einen zweiten Phasenbereich, der eine tiefpegelige Phase repräsentiert. Der externe Speicher ist ausgebildet, um Eingangssignale von dem Mikroprozessor während des hochpegeligen Phasenbereichs der Speichertaktpulse zu empfangen und Ausgangssignale zu dem Mikroprozessor während des tiefpegeligen Phasenbereichs der Speichertaktpulse auszugeben. Um ein synchrones Zugreifen zu ermöglichen, ist gemäß der vorliegenden Ausführungsform der Mikroprozessor ausgebildet, Ausgangssignale zu dem externen Speicher auszugeben, wenn es eine Übereinstimmung der hochpegeligen Phase der ersten Prozessortaktpulse PH1 und des hochpegeligen Phasenbereichs der Speichertaktpulse gibt, und der Mikro-

prozessor ist ferner ausgebildet, Eingangssignale von dem externen Speicher zu empfangen, wenn es eine Übereinstimmung des hochpegeligen Phasenbereichs der zweiten Prozessortaktpulse PH2 und des tiefpegeligen Phasenbereichs der Speichertaktpulse gibt. Vorzugsweise sind die ansteigenden Flanken der Speichertaktpulse und der ersten Prozessortaktpulse im Wesentlichen übereinstimmend oder die ansteigenden Flanken der ersten Prozessortaktpulse sind geringfügig verzögert in Bezug auf die ansteigenden Flanken der Speichertaktpulse.

[0043] Wenn die Prozessortaktpulse und die Speichertaktpulse die gleiche Frequenz besitzen, ergibt jede ansteigende Flanke der Speichertaktpulse eine zulässige Flanke oder einen Zeitpunkt für den Mikroprozessor, um Ausgangssignale während seiner nächsten hochpegeligen Phase der ersten Prozessortaktpulse auszugeben, und jede ansteigende Flanke der zweiten Prozessortaktpulse definiert die geeignete Flanke oder den geeigneten Zeitpunkt für das Empfangen von Eingangssignalen von dem externen Speichern. Wenn jedoch das Geschwindigkeitssteuerungssignal logisch 0 ist, wodurch angezeigt wird, dass die Speichertaktpulse die halbe Frequenz der Prozessortaktpulse aufweisen, so ist die vorhergehende Beziehung nicht immer gültig. Wie der Fachmann erkennt, gibt es unter diesen Bedingungen Zeitpunkte, wenn die hochpegelige Phase der ersten Prozessortakpulse PH1 nicht mit der hochpegeligen Phase der Speichertaktpulse übereinstimmt, sondern stattdessen mit dem tiefpegeligen Phasenbereich der Speichertaktpulse übereinstimmt, und das gleiche gilt für die zweiten Prozessortaktpulse. Wenn daher der Mikroprozessor auf einen Speicher zugreifen soll, der bei der Hälfte der Frequenz der Arbeitsfrequenz betrieben wird, ist es notwendig, die geeigneten Zeitpunkte für den Mikroprozessor zu bestimmen, um damit Ausgangssignale zu dem externen Speicher auszugeben und um den Mikroprozessor in die Lage zu versetzen, Eingangssignale von dem externen Speicher während der geeigneten Zeitperioden zu empfangen.

[0044] Beim einem Zugriff auf den externen Speichern liefert die zentrale Recheneinheit, wenn die Speichertaktpulse die gleiche Frequenz besitzen wie die Prozessortaktpulse, das Anforderungssignal auf der Leitung **66** während der hochpegeligen Phase der ersten Prozessortaktpulse PH1, und liefert die externe Speicheradresse für den Zugriff auf dem internen Adressenbus **58**. Während der unmittelbar nachfolgenden hochpegeligen Phase der zweiten Prozessortaktpulse PH2 detektiert die Busschnittstelleneinheit die Anforderung auf der Leitung **66** und setzt das Steuerungssignal LATCHIA am Eingang **70** der Adressenbusschnittstelle **54**, um die Adressenbusschnittstelle zu veranlassen, die externe Speicheradresse zu speichern. Wenn der externe Adressenbus verfügbar ist, und wenn es keinen anhängigen Zugriff gibt, setzt bei der unmittelbar folgenden hochpegeligen Phase von PH1 die Busschnittstelleneinheit das Steuerungssignal AOLTOA am Eingang **74** der Adressenbusschnittstelle **54**, um die Adressenbusschnittstelle zu veranlassen, den externen Adressenbus **46** mit der externen Speicheradresse für den Zugriff anzusteuern. Während dieser Zeitperiode liefert die Busschnittstelleneinheit ebenso das Anforderungssignal auf der Steuerungsleitung **40** (aktiv tiefpegelig) und zeigt auf der Leitung **42** an, ob der Zugriff ein Lese- (Lade-) oder ein Schreib- (Speicherungs-) Zugriff ist. Wenn es ein Lesezugriff ist, wird die Leitung **42** auf logisch 1 gesetzt, und wenn es ein Schreibzugriff ist, wird die Leitung **42** auf logisch 0 gesetzt.

[0045] Wenn der Zugriff ein Lesezugriff ist, überprüft die zentrale Recheneinheit **50** während der nächsten unmittelbar folgenden hochpegeligen Phase von PH2 und allen nachfolgenden hochpegeligen Phasen von PH2 den Status des „Daten fertig"-Steuerungssignals auf der Steuerungsleitung **62**. Wenn der Lesevorgang eine große Anzahl an Mikroprozessorzyklen benötigt, beendet die zentrale Recheneinheit die Bearbeitung in diesem Zustand, bis diese das „Daten fertig"-Steuerungssignal über die Leitung **62** empfängt. Wenn die Busschnittstelleneinheit das „Fertig"-Signal über die Steuerungsleitung **44** während einer hochpegeligen Phase von PH2 empfängt, setzt sie das „Daten fertig"-Steuerungssignal auf der Leitung **62**, das dann von der zentralen Recheneinheit **50** erkannt wird. Beim Erkennen des „Daten fertig"-Signals, das auf der Leitung **62** gesetzt ist, weist die zentrale Recheneinheit an, dass der Zugriff abgeschlossen ist und dass die angeforderten Daten auf dem Instruktions/Datenbus **48** zum Empfang der Daten zwischengespeichert sind und diese setzt dann den Arbeitsablauf fort.

[0046] In Fig. 3 ist ein interner Taktgenerator **100** der Busschnittstelleneinheit und eine Freigabeeinrichtung **140** der Busschnittstelleneinheit gezeigt. Der interne Taktgenerator **100** umfasst im Wesentlichen einen Puffer **102**, einen Taktgenerator **104**, einen Frequenzteiler **106** mit Teilungsfaktor **2**, einen Multiplexer **108** und einen Drei-Zustandspuffer **110**.

[0047] Der Puffer **102** umfasst einen Eingang **112** zum Empfangen von Eingangstaktsignalen aus dem externen Taktgeber **14** (Fig. 1). Der Puffer **102** ist mit einem Eingang **114** des Taktgenerators **104** verbunden. Der Taktgenerator **104** besitzt einen ersten Ausgang **116** zum Bereitstellen der ersten Prozessortaktpulse PH1 und einen zweiten Ausgang **118** zum Bereistellen der zweiten Prozessortaktpulse PH2. Wie zuvor erwähnt ist, de-

finieren die Taktpulse PH1 und PH2 die Arbeitsfrequenz des Mikroprozessors, besitzen hochpegelige und tiefpegelige Phasen und weisen eine inverse Phasenrelation auf.

[0048] Der Multiplexer **108** besitzt einen ersten Eingang **120**, der mit dem Ausgang des Puffers **102** verbunden ist. Der Multiplexer **108** besitzt einen zweiten Eingang **122**, der mit dem Ausgang des Frequenzteilers **106** mit dem Faktor 2 gekoppelt ist, der wiederum einen Eingang **124** besitzt, der die eintreffenden Taktpulse, die von dem externen Taktgeber **14** geliefert werden (Fig. 1), empfängt. Der Ausgang **126** des Multiplexers **108** ist mit dem Eingang **128** des Drei-Zustandspuffer **110** verbunden. Der Multiplexer **108** umfasst ferner einen Auswahleingang **130**, der mit der Geschwindigkeitssteuerungssignalsteuerleitung **132** verbunden ist. Der Drei-Zustandspuffer **110** besitzt einen Freigabeeingang **134**, der mit der Steuerungsleitung **136** verbunden ist, die das Steuerungssignal PWRCLK führt. Schließlich umfasst der Drei-Zustandspuffer einen Ausgang **138**, der mit dem Anschluss **139** (MEMCLK) verbunden ist, der als ein Eingang dient, wenn der Mikroprozessor die Speichertaktpulse von einer externen Quelle empfängt, und der als ein Ausgang dient, wenn der Mikroprozessor die Speichertaktpulse liefert.

[0049] Wenn der Mikroprozessor die Speichertaktpulse von einer externen Quelle erhält, liegt das Steuerungssignal PWRCLK auf logisch 0, das über die Leitung **126** dem Freigabeeingang **134** des Drei-Zustandspuffer **110** eingeprägt wird. Dies bewirkt, dass der Drei-Zustandspuffer in den hochohmigen Zustand am Ausgang **138** übergeht und einen hohen Widerstand zwischen dem Anschluss **139** und dem Eingang **128** des Drei-Zustandspuffer hervorruft. Dies macht es möglich, dass der Anschluss **139** als ein Eingang für das Empfangen der extern erzeugten Speichertaktpulse verwendet wird.

[0050] Wenn der Mikroprozessor die Speichertaktpulse erzeugen soll, liegt das Steuerungssignal PWRCLK auf logisch 1 und wird dem Freigabeeingang **134** des Drei-Zustandspuffers eingeprägt. Dies bewirkt, dass der Drei-Zustandspuffer die an seinem Eingang **128** empfangenen Taktpulse zu seinem Ausgang **138** und damit zu dem Anschluss **139**, der nunmehr als ein Ausgang dient, und zu allen anderen Speichertaktpulseingängen des Mikroprozessors und zu dem externen Speicher schiebt. Wenn der Mikroprozessor die Speichertaktpulse mit der gleichen Frequenz wie die Prozessortaktpulse PH1 und PH2 liefern soll, ist das Geschwindigkeitssteuerungssignal auf der Leitung **132** auf logisch 1, das dem Auswahleingang **130** des Multiplexers **108** eingeprägt wird. Dies bewirkt, dass der Multiplexer den Eingang **120** mit seinem Ausgang **126** verbindet, um die Speichertaktpulse mit der gleichen Frequenz wie die Prozessortaktpulse bereitzustellen.

[0051] Wenn der Mikroprozessor die Speichertaktpulse bei einer Frequenz bereitstellt, die die Hälfte der Mikroprozessorarbeitsfrequenz beträgt, liegt das Geschwindigkeitssteuerungssignal auf der Leitung **132** auf logisch 0, das dem Auswahleingang **130** des Multiplexers **108** eingeprägt wird. Dies bewirkt, dass der Multiplexer **108** seinen Eingang **122** mit seinem Ausgang **126** verbindet, um damit dem Drei-Zustandspuffer **110** die Eingangstaktsignale, die von der externen Quelle **14** (Fig. 1) geliefert werden, zuzuführen, die nunmehr durch zwei geteilt sind, um Speichertaktpulse mit der Hälfte der Frequenz der Prozessortaktpulse bereitzustellen.

[0052] Die Freigabeeinrichtung **140** liefert ein erstes Steuerungssignal (Drive output) an einem Ausgang **142**, um zu steuern, wann der Mikroprozessor Ausgangssignale zu dem externen Speicher ausgibt, und liefert ferner ein zweites Steuerungssignal (ENAINPUT) an einem Ausgang **144**, um den Mikroprozessor für das Empfangen von Eingangssignalen von dem externen Speicher zu aktivieren. Wie aus dem Folgenden hervorgeht, werden diese Signale erzeugt, unabhängig davon, ob der Mikroprozessor auf einen Speicher zugreift, der bei der Mikroprozessorarbeitsgeschwindigkeit betrieben wird oder bei der Hälfte der Mikroprozessorarbeitsgeschwindigkeit. Wenn der Mikroprozessor auf einen Speicher zugreift, der bei der Mikroprozessorarbeitsgeschwindigkeit betrieben wird, wird dieser Zustand im Weiteren als der 1X-Modus bezeichnet, und wenn der Mikroprozessor auf einen Speicher zugreift, der bei der Hälfte der Mikroprozessorarbeitsgeschwindigkeit arbeitet, so wird dieser Zustand als der .5X-Modus bezeichnet.

[0053] Zum Erzeugen des ersten Steuerungssignals an dem Ausgang **142** besitzt die Freigabeeinrichtung **140** einen Inverter **146**, ein UND-Gatter **148**, einen p-Kanalfeldeffekttransistor **150**, ein Latch bzw. einen Zwischenspeicher **152**, einen Inverter **154**, ein UND-Gatter **156**, ein UND-Gatter **158**, ein NOR-Gatter **160**, einen Inverter **162** und einen p-Kanalfeldeffekttransistor **164**.

[0054] Das NAND-Gatter **148** besitzt einen Eingang, der die ersten Prozessortaktpulse PH1 empfängt, einen zweiten Eingang, der mit dem Ausgang des Inverters **146** verbunden ist, und einen dritten Eingang, der die Speichertaktpulse empfängt. Der Eingang des Inverters **146** empfängt ein Steuerungssignal HIZCHL, das bestimmt, ob die Ausgänge des Mikroprozessors hochohmig sind. Wenn diese nicht hochohmig sind, liegt das Steuerungssignal an dem Eingang des Inverters **146** auf einem logisch 0-Pegel, so dass der zweite Eingang

des NAND-Gatters **148** auf einem hohen Pegel liegt.

[0055] In dem 1X-Betriebsmodus des Mikroprozessors liefert bei Übereinstimmung der hochpegeligen Phase von PH1 und der hochpegeligen Phasenbereiche der Speichertaktpulse das NAND-Gatter **148** einen tiefen Pegel an dem Gate des p-Kanalfeldeffekttransistors **150**, so dass der Transistors **150** leitet. Dies führt zu einen hohen Pegel an dem Zwischenspeicher **152** zum Halten des ersten Steuerungssignals an dem Ausgang **142** auf einem hohen Pegel, um den Mikroprozessor zu aktivieren, Ausgangssignale zu dem externen Speicher auszugeben. Das UND-Gatter **156** umfasst einen ersten Eingang, der das Geschwindigkeitssteuerungssignal empfängt, das in dem 1X-Modus auf logisch 1 liegt, und umfasst einen weiteren Eingang, der die zweiten Prozessortaktpulse PH2 empfängt. Das UND-Gatter **158** besitzt einen Eingang, der die ersten Prozessortaktpulse PH1 empfängt, einen zweiten Eingang, der das Geschwindigkeitssteuerungssignal über einen Inverter **166** empfängt und einen dritten Eingang, der das invertierte Signal der Speichertaktpulse empfängt. Die Ausgänge der UND-Gatter **156** und **158** sind mit den Eingingen des NOR-Gatters **160** verbunden. Der Ausgang des NOR-Gatters **160** ist mit dem Eingang des Inverters **162** verbunden, der einen Ausgang aufweist, der mit dem Gate des n-Kanalfeldeffekttransistors **164** verbunden ist.

[0056] Wenn PH1 tiefpegelig wird, wird PH2 hochpegelig. Ferner wird das invertierte Signal der Speichertaktpulse ebenso hochpegelig, um damit zu bewirken, dass das UND-Gatter **156** einen hohen Pegel für das NOR-Gatter **160** bereitstellt und das UND-Gatter **158** einen tiefen Pegel für das NOR-Gatter **160** liefert. Dies bewirkt, dass das NOR-Gatter **160** einen tiefen Pegel an dem Eingang des Inverters **162** liefert, der wiederum ein hochpegeliges Signal an dem Gate des Transistors **164** bereitstellt. Dies schaltet den Transistor **164** ein, so dass der Zwischenspeicher **152** von einem hohen Eingangspegel auf einen niedrigen Eingangspegel umschaltet, so dass das erste Steuerungssignal an dem Ausgang **142** tiefpegelig wird. Als Folge davon ist in dem 1X-Modus das erste Steuerungssignal (Drive output) hochpegelig während der Übereinstimmung der hochpegeligen Phase von PH1 und des hochpegeligen Phasenbereichs der Speichertaktpulse, und es auf liegt auf niedrigem Pegel während der tiefpegeligen Phase von PH1 und dem tiefpegeligen Phasenbereich der Speichertaktpulse. Wie später zu sehen ist, wird dadurch der Mikroprozessor aktiviert, Ausgangssignale zu dem externen Speicher auszugeben, wenn die ersten Prozessortaktpulse und die Speichertaktpulse beide auf hohem Pegel sind, und der Mikroprozessor wird dadurch zum Ausgeben von Ausgangssignalen an den externen Speicher deaktiviert.

[0057] In dem .5X-Modus wird das erste Steuerungssignal an dem Ausgang **142** unter gleichen Bedingungen, wie sie zuvor beschrieben sind, d. h., während der Übereinstimmung der hochpegeligen Phase der ersten Prozessortaktpulse und des hochpegeligen Phasenbereichs der Speichertaktpulse, hochpegelig. Es ist jedoch zu beachten, dass das erste Steuerungssignal nicht gesetzt ist, bevor der niedrigpegelige Phasenbereich des Speichertaktpulse beginnt. Dies ermöglicht es, dass der Mikroprozessor Ausgangssignale in dem .5X-Modus über eine längere Zeitdauer hinweg während des gesamten hochpegeligen Phasenbereichs der Speichertaktpulse ausgibt, und dennoch synchron zu dem externen Speichertakt bleibt.

[0058] Zum Erzeugen des zweiten Steuerungssignals an dem Ausgang **144** umfasst die Freigabeeinrichtung **140** ein UND-Gatter **170**, n-Kanalfeldeffekttransistoren **172**, **174** und **176**, ein Latch bzw. einen Zwischenspeicher **178** und zwei Inverter **180** und **182**. In dem 1X-Modus wird das hochpegelige Geschwindigkeitssteuerungssingal dem Gate des n-Kanalfeldeffektransistors **174** eingeprägt. Dies schaltet den Transistor **174** ein, so dass ein tiefer Pegel an dem Eingang des Zwischenspeichers **178** ansteht. Dies bewirkt, dass der Ausgang des Zwischenspeichers **178** kontinuierlich auf hohem Pegel liegt, der dann zu dem Ausgang **144** während jeder hochpegeligen Phase des zweiten Prozessortaktsignals PH2 übertragen wird. Als Folge davon wird in dem 1X-Modus der Mikroprozessor zum Empfangen von Eingangssignalen aus dem externen Speicher während jeder hochpegeligen Phase von PH2 aktiviert.

[0059] In dem .5X-Modus aktiviert der tiefe Pegel des Geschwindigkeitssteuerungssignals den Zwischenspeicher **178**, den Pegel des Speichertakts während der hochpegeligen Phase von PH1 abzutasten. Wenn der Speichertakt auf hohem Pegel ist (unmittelbar nach einer ansteigenden Flanke), so bewirkt die nachfolgende hochpegelige Phase von PH2, dass das zweite Steuerungssignal an dem Ausgang **144** auf logisch 0 liegt, wodurch angezeigt wird, dass dies eine Zeitdauer ist, um Eingangssignale, etwa „Fertig"-Signale, von dem externen Speicher zu ignorieren und keinen externen Zugriff zu versuchen. Wenn der Speichertakt als tiefpegelig während der hochpegeligen Phase von PH1 erkannt wird, dann entspricht die nächste hochpegelige Phase von PH1 in etwa der ansteigenden Flanke des Speichertakts, da der Mikroprozessor in dem .5X-Modus arbeitet. Die ist eine zulässige Zeit, um Eingangssignale abzutasten und Ausgangstreiber zu aktivieren oder Zustände in Zustandsmaschinen in einer Weise zu ändern, wie dies nachfolgend beschrieben ist.

[0060] Man kann somit erkennen, dass die Freigabeeinrichtung **140** Aktivierungsereignisse bzw. Freigabeereignisse zum Ansteuern von Ausgängen und eine Aktivierung zum Empfangen von Eingangssignalen während geeigneter Zeitabschnitte liefert, abhängig davon, ob der Mikroprozessor in dem 1X oder dem .5X-Modus ist. Im .5X-Modus werden die Eingänge aktiviert, um Eingangssignale von dem externen Speicher während jeder zweiten hochpegeligen Phase von PH2 zu empfangen, und Ausgänge werden aktiviert, um Ausgangssignale an den externen Speicher während jeder zweiten hochpegeligen Phase von PH1 und bis zum Auftreten einer abfallenden Flanke der Speichertaktpulse auszugeben.

[0061] Fig. 4 zeigt ein schematisches Schaltbild eines Ausgangspuffers **200**, der vorteilhaft verwendet werden kann an jedem der Ausgänge des Mikroprozessors **16**, die die externen Busse und die Steuerungsleitungen zu dem externen Speicher ansteuern. Der Ausgangspuffer **200** umfast im Wesentlichen einen Eingang **202** zum Empfangen von Eingangssignalpegeln, einen Ausgang **204** zum Treiben der externen Steuerungsleitung **40** mit einem Eingangspegel, der an dem Eingang **202** empfangen wird, zu einem geeigneten Zeitpunkt in einer Weise, wie dies nachfolgend beschrieben wird, einen Steuerungseingang **206** zum Empfangen des ersten Steuerungssignals (Drive output) um zu steuern, wann der Eingangspegel an dem Eingang **202** von dem Ausgang **204** auf die externe Steuerungsleitung **40** auszugeben ist, und einen Hochimpedanzausgangssteuerungseingang **208** zum Empfangen eines Steuerungssignals (High Z output), wenn der Ausgang **204** die externe Steuerungsleitung **40** hochohmig machen soll, um damit den Ausgang **204** von der externen Steuerungsleitung **40** zu trennen.

[0062] Der Ausgang **204** weist eine starke oder „harte" Treibereinrichtung **210** mit einem Paar n-Kanalfeldeffekttransistoren **212** und **214** und eine schwache Treibereinrichtung **216** mit einem p-Kanalfeldeffektransistor **218** und einem n-Kanalfeldeffekttransistor **220** auf. Wie nachfolgend ersichtlicht wird, wird die externe Steuerungsleitung **40**, wenn der Eingangspegel zunächst auf diese ausgegeben wird, von der starken Treibereinrichtung **210** während des Setzens des Steuerungssignals an dem Steuereingang **206** angesteuert, und danach nach der Beendigung des Steuerungssignals an dem Eingang **206** wird der Eingangspegel auf die externe Steuerungsleitung **40** durch die schwache Treibereinrichtung **216** ausgegeben, um den Eingangspegel an dem Ausgang aufrecht zu erhalten. Die schwache Treibereinrichtung ermöglicht es dem Ausgangspuffer, in den hochohmigen Zustand in Reaktion auf das Hochimpedanzausgangssteuerungseingangssignal an dem Eingang **208** rascher überzugehen, als wenn der Eingangssignalpegel von der starken Treibereinrichtung **210** erzeugt wird.

[0063] Der Ausgangspuffer **200** umfasst insbesondere einen Inverter **222**, einen n-Kanalfeldeffekttransistor **224**, ein Latch bzw. einen Zwischenspeicher **226**, einen weiteren Inverter **228**, ein Transfergatter **230**, einen weiteren Inverter **232** und einen n-Kanalfeldeffekttransistor **234**. Der Ausgangspuffer umfasst ferner ein weiteres Transfergatter **236**, einen weiteren Inverter **238** und einen n-Kanalfeldeffekttransistor **240**.

[0064] Der Ausgangspuffer enthält ferner einen weiteren Inverter **242**, einen n-Kanalfeldeffektransistor **244**, ein weiteres Latch bzw. einen weiteren Zwischenspeicher **246**, den Inverter **248**, den Inverter **250**, das NAND-Gatter **252** und das NOR-Gatter **254**. Schließlich umfasst der Ausgangspuffer **200** ein weiteres NOR-Gatter **256** und den n-Kanalfeldeffekttransistor **258**.

[0065] Der Inverter **222** ist zwischen dem Steuereingang **206** und dem Gate des Transistor **224** angeschlossen. Der Transistor **224** ist zwischen dem Eingang **202** und dem Zwischenspeicher **226** angeschlossen. Der Inverter **228** ist zwischen dem Zwischenspeicher **226** und dem Transfergatter **230** angeschlossen, das mit dem Steuereingang **206** verbunden ist. Der Inverter **232** liegt zwischen dem Ausgang des Inverters **228** und dem Gate des Transistors **234** angeschlossen. Der Transistor **234** ist zwischen dem Transfergatter **230** und einem Massepotential angeschlossen. Das Source des Transistors **234** ist mit dem Gate des Transistors **212** verbunden.

[0066] Der Ausgang des Zwischenspeichers **226** ist ferner mit dem Eingang des Inverters **238** und dem Transfergatter **236** verbunden, das auch mit dem Steuereingang **206** verbunden. Der Ausgang des Inverters **238** ist mit dem Gate des Transistors **240** und dem Transfergatter **236** verbunden. Der Transistor **240** ist zwischen dem Transfergatter **236** und Massepotential, wobei sein Source mit dem Gate des Transistors **214** verbunden ist. Das Drain des Transistor **212** ist mit dem Source des Transistors **214** verbunden und ihr gemeinsamer Verbindungspunkt ist mit der externen Steuerungsleitung **40** verbunden.

[0067] Der Transistor **244** ist zwischen dem Ausgang des Inverters **228** und dem Eingang des Zwischenspeichers **246** angeschlossen. Der Ausgang des Zwischenspeichers **246** ist mit dem Eingang des Inverters **248** verbunden, wobei dessen Ausgang mit einem Eingang des NAND-Gatters **252** verbunden ist. Der andere Ein-

gang des NAND-Gatters **252** ist mit dem Ausgang des NOR-Gatters **256** verbunden. Der Transistor **258** ist zwischen dem Ausgang des NOR-Gatters **256** und Massepotential angeschlossen und sein Gate ist mit dem Hochimpedanzausgangssteuerungseingang **208** verbunden. Der Ausgang des NOR-Gatters **256** ist ferner mit dem Eingang des Inverters **250** verbunden, wobei dessen Ausgang mit einem Eingang des NOR-Gatters **254** verbunden ist. Der andere Eingang des NOR-Gatters **254** ist mit dem Ausgang des Inverters **248** verbunden. Der zweite Eingang des NAND-Gatters **252** ist ferner mit dem Ausgang des Inverters **248** verbunden. Der Ausgang des NAND-Gatters **252** ist mit dem Gate des Transistors **218** verbunden, und der Ausgang des NOR-Gatters **254** ist mit dem Gate des Transistors **220** verbunden. Das Drain des Transistors **218** ist mit dem Source des Transistors **220** verbunden, und ihr gemeinsamer Verbindungspunkt ist mit der externen Steuerungsleitung **40** verbunden. Obwohl der Ausgangspuffer **200** als ein beliebiger der Ausgangsanschlüsse des Mikroprozessors verwendet werden kann, der die externen Busse oder die externen Steuerungsleitungen ansteuert, wird zum Zwecke der Darstellung die Funktion des Ausgangspuffers **200** in Bezug auf das Erzeugen des Anforderungssteuerungssignals (*REQ) beschrieben, das zuvor erwähnt wurde, und das durch den Mikroprozessor erzeugt wird, um einen externen Zugriff auf den externen Speicher zu fordern. Wie in **Fig. 4** gezeigt ist, ist der Eingang **202** ausgebildet, ein „frühes Anforderungs-" (EREQ) Steuerungssignal zu empfangen, das als früh bezeichnet wird, da es an dem Eingang **202** vor dem Zeitpunkt anliegt, an welchem es von dem Ausgang auf die externe Steuerungsleitung **40** als das Anforderungssignal auszugeben ist. Das Auftreten des frühen Anforderungssignals ermöglicht es, dass der Eingangspegel des frühen Anforderungssignals im Voraus gesetzt wird, bevor es zu dem externen Speicher als das Anforderungssignal übertragen wird.

[0068] Es ist zu beachten, dass während des Betriebes, wenn das Steuerungssignal am Eingang **206** nicht gesetzt wird (bei niedrigem Pegel), der Transistor **224** eingeschaltet ist, so dass der Eingangspegel an dem Eingang **202** durch den Zwischenspeicher **226** gespeichert werden kann. Wenn ferner das Steuerungssignal an dem Eingang **206** tiefpegelig ist, sind beide Transistoren **212**, **214** ausgeschaltet, so dass kein Ausgangssignal auf der externen Steuerungsleitung **40** bereitgestellt wird.

[0069] Wenn das Steuerungssignal an dem Eingang **206** gesetzt wird (hochpegelig wird), wird der Transistor **224** ausgeschaltet, so dass der Eingangspegel an dem Eingang **202** sich ändern kann, ohne den Zwischenspeicher **226** zu beeinflussen. Folglich dient der Transistor **224** als eine Trenneinrichtung zum Trennen des Eingangs **202** von dem Zwischenspeicher **226** und damit von dem Ausgang des Ausgangspuffers **200**, wenn der vorhergehende Eingangssignalpegel auf die externe Steuerungsleitung **40** ausgegeben wird.

[0070] Das Setzen des Steuerungssignals an dem Eingang **206** macht es möglich, dass die starke Treibereinrichtung **210**, den vorhergehenden Eingangssignalpegel auf die externe Steuerungsleitung **40** ausgibt. Das vorhergehende Eingangssignal wird durch den Zwischenspeicher **226** gespeichert, so dass, wenn der vorhergehende Eingangssignalpegel ein hoher Pegel ist, der starke Treibertransistoren **212** eingeschaltet durch das hochpegelige Freigabesteuerungssignal auf der Leitung **260** und der starke Treibertransistor **214** wird durch das tiefpegelige Freigabesteuerungssignal auf der Leitung **262** ausgeschaltet, so dass das hochpegelige Eingangssignal auf die externe Steuerungsleitung **40** ausgegeben wird.

[0071] Wenn das vorhergehende Eingangssignal tiefpegelig ist, wird der starke Treibertransistor **212** ausgeschaltet durch das hochpegelige Freigabesignal auf der Leitung **260** und der starke Treibertransistor **214** wird durch das tiefpegelige Freigabesteuerungssignal auf der Leitung **262** eingeschaltet. Damit wird das tiefpegelige Eingangssignal des vorhergehenden Eingangssignals auf die externe Steuerungsleitung **40** ausgegeben. Dieser letztere Fall entspricht, wenn der tiefe Pegel auf die externe Steuerungsleitung ausgegeben wird, dem Setzen des Anforderungssteuerungssignals (*REQ).

[0072] Wenn der vorhergehende Eingangssignalpegel auf die externe Steuerungsleitung **40** durch die starke Treibereinrichtung **210** in Reaktion auf das Setzen des Steuerungssignals an dem Eingang **206** ausgegeben wird, wird der vorhergehende Eingangssignalpegel auf die schwache Treibereinrichtung **216** über den Pegel des Ausgangs des Inverters **228**, der über dem Transistor **224** zu dem Zwischenspeicher **246** geleitet wird, übertragen. Diese Übertragung wird möglich, da die hochpegeligen und tiefpegeligen Steuerungssignale auf den Leitungen **260** bzw. **262** mit den Eingängen des NOR-Gatters **256** verbunden sind. Da eines dieser Signale hochpegelig und das andere tiefpegelig sein muss, ist der Ausgang des NOR-Gatters **256** tiefpegelig, und dieses Signal wird von dem Inverter **242** invertiert, um einen hohen Pegel auf das Gate des Transistors **244** zu leiten. Dies lässt den Transistor **244** eingeschaltet, um damit den vorhergehenden Eingangspegel zu dem Zwischenspeicher **246** zu übertragen.

[0073] Wenn das Steuerungssignal (Drive output) an dem Eingang **206** zurückgesetzt wird (tiefpegelig wird), werden sowohl das Hochpegelfreigabesteuerungssignal und das Tiefpegelfreigabesteuerungssignal auf den

Leitungen **260** bzw. **262** tiefpegelig, um damit die starke Treibereinrichtung **210** abzuschalten und zu bewirken, dass der Ausgang des NOR-Gatters **256** hochpegelig wird. Dies bewirkt, dass der Transistor **244** ausgeschaltet wird, um den Zwischenspeicher **246** von dem Ausgang des Inverters **228** zu trennen. Da die zum Ausschalten des Transistors **244** erforderliche Zeitdauer kürzer als die Zeitdauer ist, die zum Aktualisieren des Zwischenspeichers **226** mit dem neuen Eingangssignalpegel erforderlich ist, wird der vorhergehende Eingangssignalpegel durch den Zwischenspeicher **246** bewahrt.

[0074] Nun übernimmt es die schwache Treibereinrichtung **216**, um den Ausgang **204** und damit die externe Steuerungsleitung **40** auf dem Pegel zu halten, der ursprünglich von der starken Treibereinrichtung erzeugt wurde. Wie im Stand der Technik gut bekannt ist, liegt der Unterschied zwischen der starken Treibereinrichtung **210** und der schwachen Treibereinrichtung **216** im Wesentlichen in den physikalischen Abmessungen der starken Treibertransistoren im Vergleich zu den schwachen Treibertransistoren. Bekanntlich sind starke Treibertransistoren größer als schwache Treibertransistoren und sind daher in der Lage, höhere Treiberströme zu führen.

[0075] Die schwache Treibereinrichtung **216** wird verwendet, um einen Dreifachzustand des Ausgangspuffers **200** zu erzeugen, wenn der Ausgang eine hohe Impedanz annehmen soll. Schwache Treiber können sehr viel rascher als starke Treiber in den hochohmigen Zustand versetzt werden. Wenn nach dem Übertragen des vorhergehenden Eingangspegels auf die schwache Treibereinrichtung **216** der Ausgangspuffer **200** in den hochohmigen Zustand versetzt werden soll, wird das Hochimpedanzausgangseingangssteuerungssignal bei **208** als ein hochpegeliges Signal gesetzt, um den Transistor **258** einzuschalten. Dies zieht den Eingang des Inverters **250** auf tiefen Pegel, wodurch beide Transistoren **218** und **220** ausgeschaltet werden, um den Ausgang **204** von den externen Steuerungsleitung **40** zu trennen.

[0076] Wie aus den vorhergehenden ersichtlichen wird, initialisiert der Ausgangspuffer **200** Ausgangssignale zu dem externen Speicher in Reaktion auf das „Drive output" Steuerungssignal an dem Steuerungseingang **206**. Wenn das Steuerungssignal an dem Eingang **206** auf tiefem Pegel ist, wird der Ausgang des Ausgangspuffers **200** unabhängig von dem Eingangspegel an dem Eingang **202** ausgeschaltet. Wenn das Steuerungssignal an dem Eingang **206** gesetzt ist, treibt der Ausgangspuffer **200** die externe Steuerungsleitung mit dem vorhergehenden Eingangssignalpegel, der von dem Zwischenspeicher **226** gehalten wird, während der Eingang **222** von dem Zwischenspeicher **226** getrennt ist, um zu ermöglichen, dass der Eingangspegel an dem Eingang **202** einen neuen Wert annimmt. Wenn das Steuerungssignal an dem Eingang **206** zurückgesetzt ist, wird der vorhergehende Eingangssignalpegel zu der schwachen Treibereinrichtung **216** übertragen, die dann die externe Steuerungsleitung **40** auf dem Pegel hält, der dem vorhergehenden Eingangssignal entspricht. Als Folge davon werden Ausgangssignale zu dem externen Speicher lediglich bei gesetztem „Drive output"-Steuerungssignal initiiert, und der Ausgangspuffer **200** arbeitet in der gleichen Weise, unabhängig davon, ob der Mikroprozessor in dem 1X-Modus oder dem .5X-Modus ist, um synchrone Zugriffe auf den externen Speicher auszuführen. Folglich ist der Entscheidungsprozess, wann Ausgangssignale auszugeben sind, für den Ausgangspuffer **200** transparent.

[0077] In Fig. 5 ist der Steuerungsabschnitt **280** der Busschnittstelleneinheit **52** des Mikroprozessors **16** gezeigt. Die Steuerung umfasst eine Logikeinrichtung **282**, einen Kanalzwischenspeicher **284**, eine Kanalzustandsmaschine **286**, einen Kanaltreiber **288** und eine Kanal-„Fertig"-Einrichtung **290**. Die Logikeinrichtung **282** reagiert, wie nachfolgend zu ersehen ist, auf das zweite Steuerungssignal (ENAINPUT), um einen Mikroprozessoreingang zum Empfangen eines Zugriffssteuerungssignals von dem externen Speicher zu konditionieren, und der Kanalzwischenspeicher **284**, die Kanalzustandsmaschine **286**, der Kanaltreiber **288** und die Kanal-Fertig-Einrichtung **290** arbeiten zusammen, um zu steuern, wann ein Mikroprozessorzugriff beginnt und wann ein Mikroprozessorzugriff zu beenden ist. Des weiteren arbeiten der Kanalzwischenspeicher **284**, die Kanalzustandsmaschine **286**, der Kanaltreiber **288** und die Kanal-Fertig-Einrichtung **290** in der gleichen Weise, unabhängig davon, ob sich der Mikroprozessor in dem 1X-Modus oder dem .5X-Modus befindet, um synchron auf den externen Speicher zuzugreifen.

[0078] Es kann eine Logikeinrichtung, etwa die Logikeinrichtung **282**, gemäß dieser bevorzugten Ausführungsform der vorliegenden Erfindung an jedem Eingang des Mikroprozessors eingesetzt werden, der Zugriffssteuerungssignale von dem externen Speicher empfangen soll. Die Logikeinrichtung **282** umfasst einen Eingang **292**, der mit einer externen Steuerungsleitung von dem externen Speicher verbunden ist, und, wie gezeigt ist, mit der Steuerungsleitung **44** zum Empfangen des Fertig-Signals (*RDY) von dem externen Speicher verbunden ist. Die Logikeinrichtung **282** umfasst ferner einen Inverter **294**, einen Inverter **296**, einen n-Kanalfeldeffekttransistor **298**, einen Inverter **390**, einen n-Kanalfeldeffekttransistor **302** und einen Zwischenspeicher bzw. ein Latch **304**. Die Logikeinrichtung umfasst ferner einen nicht-invertierenden Puffer **306**, ein NAND-Gat-

ter **308** und einen Inverter **310**. Die Logikeinrichtung **282** umfasst ferner einen Steuereingang **312** zum Empfangen des zweiten Steuerungssignals (ENAINPUT), dessen Erzeugung im Zusammenhang mit Fig. 3 erläutert ist.

[0079] Wie zuvor erläutert wurde, liefert der externe Speicher, wenn ein externer Speicherzugriff abgeschlossen ist, ein Fertig-Signal in Form eines tiefpegeligen Logiksignals über die externe Steuerungsleitung **44**. Das Fertig-Signal wird von den Invertern **294** und **296** gepuffert und wird zu dem Zwischenspeicher **304** bei Koinzidenz des zweiten Phasenbereichs (tiefpegelige Phase) der Speichertaktpulse übertragen, wobei der Transistor **298** leitend wird, und der ersten Phase (hochpegelige Phase) und der zweiten Prozessortaktpulse, wobei der Transistor **302** leitend wird. Das Fertig-Signal wird dann in dem Zwischenspeicher **304** zwischengespeichert und über den nicht-invertierenden Puffer **306** zu einem Eingang des NAND-Gatters **308** geleitet. Das Fertig-Signal wird an dem Eingang des NAND-Gatters **308** durch den Zwischenspeicher **304** gehalten. Wenn das zweite Steuerungssignal (ENAINPUT) an dem Eingang **302** gesetzt ist, wird das Fertig-Signal durch den Inverter **310**, der ein internes Fertig-Signal (INTRDY) an dem Ausgang **314** des Inverters **310** liefert, weitergeleitet. Als Folge davon wird das Fertig-Signal von dem externen Speicher von dem Mikroprozessor nicht erkannt bis das zweite Steuerungssignal (ENAINPUT) gesetzt ist. Anders ausgedrückt, wenn das Fertig-Signal von dem externen Speicher empfangen wird, aber das zweite Steuerungssignal auf tiefem Pegel liegt, handelt der übrige Teil der Busschnittstelleneinheitssteuerung so, als ob das Fertig-Signal noch nicht empfangen wurde. Da das interne Fertig-Signal durch das Freigabe-Eingangssteuerungssignal an dem Eingang **312** konditioniert wird, kann der Rest der Busschnittstelleneinheit in gleicher Weise arbeiten, ob der Mikroprozessor nun in dem 1X-Modus oder dem .5X-Modus ist, um synchron auf den externen Speicher zuzugreifen.

[0080] Der Kanalzwischenspeicher **284** wird verwendet, um Zugriffsanforderungen von der zentralen Recheneinheit **50** (Fig. 2) über die interne Steuerungsleitung **66** zu erkennen. Beim Erkennen eines Anforderungssignals auf der Leitung **66** erzeugt der Kanalzwischenspeicher ein andauerndes Anforderungssteuerungssignal (PENREQ) auf der internen Steuerungsleitung **320**, das zu der Kanalzustandsmaschine **286**, dem Kanaltreiber **288** und der Kanal-Fertig-Einrichtung **290** geleitet wird.

[0081] Der Kanaltreiber **288** erzeugt die folgenden Steuerungssignale, die zuvor mit Bezugnahme auf Fig. 2 wie folgt bezeichnet sind: LATCHIA, INCAOL; HIZAB; AOLTA; REQ; und HIZDB. Wenn der Kanaltreiber **288** die Steuerungssignale AOLTOA setzt, um die von der zentralen Recheneinheit gelieferte externe Speicheradresse von dem Adressenausgangszwischenspeicher zu dem Adressenbus zu senden, und das Anforderungssignal (*REQ) setzt, setzt der Kanalzwischenspeicher **284** das momentan andauernde Anforderungssignal der Leitung **320** in Reaktion auf das Rücksetzanforderungssignal (CLREQ) zurück, das von der Kanalzustandsmaschine **286** erzeugt wird. Der Kanalzwischenspeicher **284** speichert das momentan andauernde Anforderungssteuerungssignal und bewahrt die Zugriffsanforderung, bis er das Rücksetzanforderungssteuerungssignal auf der Leitung **322** erkennt.

[0082] Die Kanal-Fertig-Einrichtung **290** ist ausgebildet, um das interne Fertig-Steuerungssignal von der Logikeinrichtung **292** über die interne Steuerungsleitung **324** zu empfangen. Wie nachfolgend erläutert ist, definiert die Kanalzustandsmaschine **286** zwei Betriebszustände, einen Wartezustand und einen Einzelzustand. Während des Wartezustands führt der Mikroprozessor keine Arbeitsschritte aus, die einen externen Zugriff betreffen. In dem Einzelzustand führt der Mikroprozessor Arbeitsschritte aus, die mit einem externen Zugriff in Beziehung stehen, bis der externe Zugriff abgeschlossen ist. Die Kanal-Fertig-Einrichtung **290**, die auf das interne Fertig-Steuerungssignal reagiert, erzeugt ein qualifiziertes Fertig-Steuerungssignal (QRDY) auf der internen Steuerungsleitung **326**, wenn die Kanalzustandsmaschine in dem Einzelzustand ist. Ebenso in Reaktion auf das interne Fertig-Steuerungssignal, und wenn die Kanalzustandsmaschine **286** sich in dem Einzelzustand befindet, liefert der Kanaltreiber **290** die „Instruktion fertig" oder „Daten fertig"-Steuerungssignale über die internen Steuerungsleitungen **64** und **62** und das Zwischenspeicherdatensteuerungssignal über die interne Steuerungsleitung **328**, um die Datenbusschnittstelle zu veranlassen, die von dem externen Speicher empfangenen Daten zu speichern.

[0083] Wie zuvor erwähnt ist, definiert die Kanalzustandsmaschine **286** zwei unterschiedliche Zustände, einen Wartezustand und einen Einzelzustand. Der Einzelzustand initiiert einen externen Zugriff und führt diesen bis zum Abschluss aus, und der Wartezustand beendet den abgeschlossenen Zugriff und hält den Mikroprozessor in einem Wartezustand, bis ein neuer externer Zugriff initiiert wird. Die nachfolgende Tabelle fasst die Zustandsübergänge der Kanalzustandsmaschine **286** zusammen.

aktuell	PENDREQ	ENAINPUT	QRDY	nächster Zustand	CLRREQ
Wartezustand	0	X	X	Wartezustand	0
Wartezustand	1	0	X	Wartezustand	0
Wartezustand	1	1	X	Einzelzustand	1
Einzelzustand	0	X	0	Einzelzustand	0
Einzelzustand	0	X	1	Wartezustand	0
Einzelzustand	1	X	0	Einzelzustand	0
Einzelzustand	1	X	1	Einzelzustand	1

[0084] Wie aus der obigen Tabelle zu entnehmen ist, bewertet die Zustandsmaschine den aktuellen Zustand, wenn ein anstehendes Anforderungssignal erkannt wird. Wenn der aktuelle Zustand ein Wartezustand ist, geht die Zustandsmaschine dann in den Einzelzustand über, wenn das zweite Steuerungssignal (ENAIPUT) anliegt (wodurch die korrekte Flanke des Speichertaktsignals angezeigt wird). Wenn die Kanalzustandsmaschine sich in dem Einzelzustand befindet und eine anhängige Anforderung erkennt, bleibt die Zustandsmaschine **286** in dem Einzelzustand und erzeugt das Rücksetz-Anforderungssteuerungssignal, um den nächsten Zugriff auf den externen Speicher zu beginnen, wenn es ein gültiges qualifiziertes Fertig-Signal gibt, das andeutet, dass ein Fertig-Signal von dem externen Speicher für den aktuellen Zugriff erhalten wurde. Es ist somit zu beachten, dass alle Überginge zu dem nächsten Zustand von dem Vorhandensein des qualifizierten Fertig-Steuerungssignals oder dem Erkennen des zweiten Steuerungssignals (ENAINPUT) abhängen, um in den nächsten Zustand überzugehen. Ansonsten ist der nächste Zustand der gleiche, wie der aktuelle Zustand. Da folglich die Zustandsübergänge in Reaktion auf das zweite Steuerungssignal (ENAINPUT) oder das qualifizierte Fertigsignal (QRDY) erfolgen, die beide auf der korrekten Speichertaktflanke beruhen, ist die Zustandsmaschine unabhängig von dem Speichertakt, unabhängig davon, ob der Mikroprozessor in dem 1X-Modus oder dem .5X-Modus ist.

[0085] Aus dem vorhergehenden kann man erkennen, dass der Mikroprozessor auf das interne Fertig-Signal reagiert, das zum Erzeugen des qualifizierten Fertig-Signals verwendet wird, wenn die Zustandsmaschine in dem Einzelzustand ist, um den abgeschlossenen externen Zugriff zu beenden, indem während des nächsten Zyklusses in den Wartezustand übergegangen wird. Ferner sollte beachtet werden, dass die Kanalzustandsmaschine mit einer Transfereinrichtung **330** verbunden ist, so dass, wenn die Kanalzustandsmaschine den Zustand ändert, sie dieses bei der nächsten ersten Phase (hochpegelige Phase) der zweiten Prozessortaktpulse PH2 ausführt. Wenn somit die Kanalzustandsmaschine sich in dem Wartezustand befindet und eine aktuelle Anforderung und das zweite Steuerungssignal (ENAINPUT) erkennt, so geht sie in den Einzelzustand bei der nächsten hochpegeligen Phase von PH2 über, um einen externen Zugriff zu initiieren. Des weiteren reagiert die Zustandmaschine **286** auch auf das qualifizierte Fertig-Signal, das Fehlen eines aktuellen Anforderungssignals und auf das sich Befinden in dem Einzelzustand zum Übergehen in den Wartezustand bei der nächsten hochpegeligen Phase von PH2 findet, um den abgeschlossenen externen Zugriff zu beenden. Wie zuvor erwähnt ist, ist die Zustandsmaschine unabhängig davon, ob der Mikroprozessor in dem 1X-Modus oder dem .5X-Modus ist, und ist damit unabhängig von dem Entscheidungsfindungsprozess, ob bei ansteigender Flanke des Speichertakts Ausgänge angesteuert werden soll oder Eingänge aktiviert werden sollen, da das Erzeugen des zweiten Steuerungssignals (ENAINPUT) und des qualifizierten Fertig-Steuerungssignals (QRDY) auf einer geeigneten ansteigenden Flanke des Speichertakts beruhen.

[0086] Fig. 6 zeigt eine Reihe von Signalformen, die die Funktionsweise des Mikroprozessors der vorliegenden Erfindung darstellen, wenn dieser synchron auf einen Speicher zugreift, wenn der externe Speicher mit der gleichen Frequenz wie die Prozessorarbeitsfrequenz arbeitet und wenn der Mikroprozessor die Speichertaktpulse erzeugt. Als Folge davon ist das Geschwindigkeitssteuerungssignal (*DIV2) gleich 1 und das PWR-CLK-Steuerungssignal ist ebenso gleich 1.

[0087] Anzumerken ist, dass in diesem Modus (der 1X-Modus) die Frequenz des externen Taktes (INCLK) und die Frequenz der Speichertaktpulse gleich sind. Ferner wird daran erinnert, dass die ersten Speichertaktpulse (PH1) im Wesentlichen den externen Taktpulsen entsprechen und dass die zweiten Prozessortaktpulse (PH2) die gleiche Frequenz wie die ersten Prozessortaktpulse aufweisen, jedoch in der Phase invertiert sind.

[0088] Während des ersten Zyklus des Speichertaktes erzeugt der Mikroprozessor das Anforderungssteuerungssignal. In Reaktion auf das Anforderungssteuerungssignal erzeugt der Kanalzwischenspeicher **284** das anstehende Anforderungssteuerungssignal. Zu diesem Zeitpunkt befindet sich die Kanalzustandsmaschine in dem Wartezustand. Da in diesem Modus das Freigabeeingangs- (ENAINPUT) Steuerungssignal erzeugt wird, wann immer der Speichertakt sich in seiner tiefpegeligen Phase befindet, geht die Kanalzustandsmaschine beim Beginn des zweiten Speicherzyklus und bei gesetzter anstehender Anforderung, wenn sich die Kanalzustandsmaschine in dem Wartezustand befindet, in den Einzelzustand über, um zu veranlassen, dass die externe Speicheradresse auf den externen Adressenbus ausgegeben wird und das Anforderungssignal (*REQ) wird bei Übergang auf diesen Pegel gesetzt. Am Ende des Speicherzyklus mit der Nummer 3 hat der externe Speicher die Daten bereitgestellt und hat das Fertig-Signal gesetzt, indem dieses auf tiefen Pegel gebracht wird. Da die Kanalzustandsmaschine sich in dem Einzelzustand befand und geht mit der Erzeugung des qualifizierten Fertig-Signals bei Beginn des vierten Speicherzyklusses die Kanalzustandsmaschine zurück in den Wartezustand, um den externen Prozess abzuschließen.

[0089] Fig. 7 zeigt eine Reihe von Signalformen, die den Betrieb des Mikroprozessors darstellen, wenn der Mikroprozessor in dem .5X-Modus arbeitet und damit auf einen externen Speicher zugreift, der bei einer Frequenz betrieben wird, die die Hälfte der Mikroprozessorarbeitsfrequenz beträgt. Hierzu ist anzumerken, dass die externen Taktpulse (INCLK) mit einer Frequenz auftreten, die der doppelten Frequenz der Speichertaktpulse entsprechen und damit arbeitet der Mikroprozessor mit einer Frequenz, die zwei mal so groß ist wie die der Speichertaktpulse. Während des gesamten ersten Zyklusses des Speichertaktes befindet sich die Kanalzustandsmaschine in dem Wartezustand. Zu Beginn des zweiten Speicherzyklusses geht im Hinblick auf die anhängige Anforderung innerhalb des Mikroprozessors und bei Erkennen des aktivierten Eingangs die Kanalzustandsmaschine in den Einzelzustand über, um zu bewirken, dass die externe Speicheradresse auf den externen Adressenbus ausgegeben wird und um zu bewirken, dass das Anforderungssignal gesetzt wird. In der zweiten Hälfte des zweiten Speichertaktzyklusses bleibt die Kanalzustandsmaschine in dem Einzelzustand, da das qualifizierte Fertig-Signal noch nicht von dem Kanaltreiber **290** der Busschnittstelleneinheitssteuerung erzeugt wurde. Die Kanalzustandsmaschine bleibt bis zum Ende des dritten Speichertaktzyklusses in dem Einzelzustand, wobei man erkennt, dass der externe Speicher die Daten bereitgestellt hat und das Fertig-Signal gesetzt hat. Das Setzen des Fertig-Signals zusammen mit dem Freigabeeingangssteuerungssignal bewirkt, dass die Kanalzustandsmaschine von dem Einzelzustand zu dem Wartezustand zu Beginn des vierten Speichertaktzyklusses übergeht, um den externen Zugriff zu beenden.

[0090] Wie man aus den Signalformen der Fig. 6 und Fig. 7 erkennen kann, kann der Mikroprozessor synchron auf einen externen Speicher zugreifen, unabhängig davon, ob der externe Speicher mit der gleichen Frequenz wie der Mikroprozessor arbeitet, oder ob der externe Speicher bei einer Frequenz arbeitet, die die Hälfte der Mikroprozessorarbeitsfrequenz beträgt. Ferner wird der Entscheidungsfindungsprozess, bei welcher Speichertaktflanke Ausgangssignale auszugeben sind oder Empfang von Eingangssignalen zu ermöglichen ist, unabhängig von der Mikroprozessorbusschnittstelleneinheitssteuerungszustandsmaschine und den Ausgangspuffern so ausgeführt, dass derartige Entscheidungsfindungsprozesse in einer Weise ausgeführt werden, die für den externen Speicher und die wesentlichen Logikbereich des Mikroprozessors transparent ist.

[0091] Obwohl eine spezielle Ausführungsform der vorliegenden Erfindung gezeigt und beschrieben wurde, können Modfizierungen durchgeführt werden und es ist daher beabsichtigt, alle derartigen Änderungen und Modifizierungen, die innerhalb des Schutzbereichs der Erfindung liegen, in den angefügten Patentansprüche abzudecken.

Patentansprüche

1. Ausgangspuffer (**200**) zur Verwendung in einem Mikroprozessor (**16**) zum Treiben von Ausgangssignalen des Mikroprozessors (**16**) zu einem externen Speicher über einen externen Bus (**40**), wobei der Ausgangspuffer (**200**) umfasst:
einen Eingang (**202**) zum Empfangen eines Eingangssignalpegels;
einen Ausgang (**204**) zum Treiben des externen Busses (**40**) mit den Pegeln der Eingangssignale;
einen Steuerungseingang (**206**) zum Empfangen eines Steuersignals, wobei der Steuerungseingang (**206**) mit dem Ausgang (**204**) so verbunden ist, um den Ausgang (**204**) zum Treiben des externen Busses (**40**) mit dem Pegel des Eingangsignals in Reaktion auf das Steuersignal zu veranlassen; und
eine Trenneinrichtung (**224**), die zwischen dem Eingang (**202**) und dem Ausgang (**204**) angeschlossen und mit dem Steuerungseingang (**206**) verbunden ist, zum Isolieren des Eingangs (**202**) von dem Ausgang (**204**) in Reaktion auf das Steuersignal, um eine Aktualisierung des Eingangs (**202**) mit einem neuen Eingangssignalpegel zu ermöglichen, während der externe Bus (**40**) mit dem Eingangssignalpegel angesteuert wird.

2. Ausgangspuffer (**200**) nach Anspruch 1, wobei der Ausgang (**204**) eine starke Treibereinrichtung (**210**) zum anfänglichen Treiben des Busses (**40**) mit dem Pegel des Eingangssignals in Reaktion auf das Steuersignal und eine schwache Treibereinrichtung (**216**) zum Treiben des Busses (**40**) mit dem Pegel des Eingangssignals nach Beendigung des Steuersignals aufweist.

3. Ausgangspuffer (**200**) nach Anspruch 2, wobei der Ausgangspuffer (**200**) ferner einen ersten Zwischenspeicher (**226**) aufweist, der zwischen der Trenneinrichtung (**224**) und dem Ausgang (**204**) für das temporäre Halten des Eingangspegels angeschlossen ist.

4. Ausgangspuffer (**200**) nach Anspruch 3, wobei der Ausgangspuffer (**200**) so ausgebildet ist, den Eingangssignalpegel von der starken Treibereinrichtung (**210**) zu der schwachen Treibereinrichtung (**216**) in Reaktion auf die Beendigung des Steuersignals zu übertragen.

5. Ausgangspuffer (**200**) nach Anspruch 3 oder Anspruch 4, wobei der Ausgangspuffer (**200**) einen zweiten Zwischenspeicher (**246**) zum Halten des übertragenen Eingangspegels und eine zweite Trenneinrichtung (**244**) zum Isolieren des zweiten Zwischenspeichers (**246**) von dem aktualisierten Eingangspegel in Reaktion auf die Beendigung des Steuersignals aufweist.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

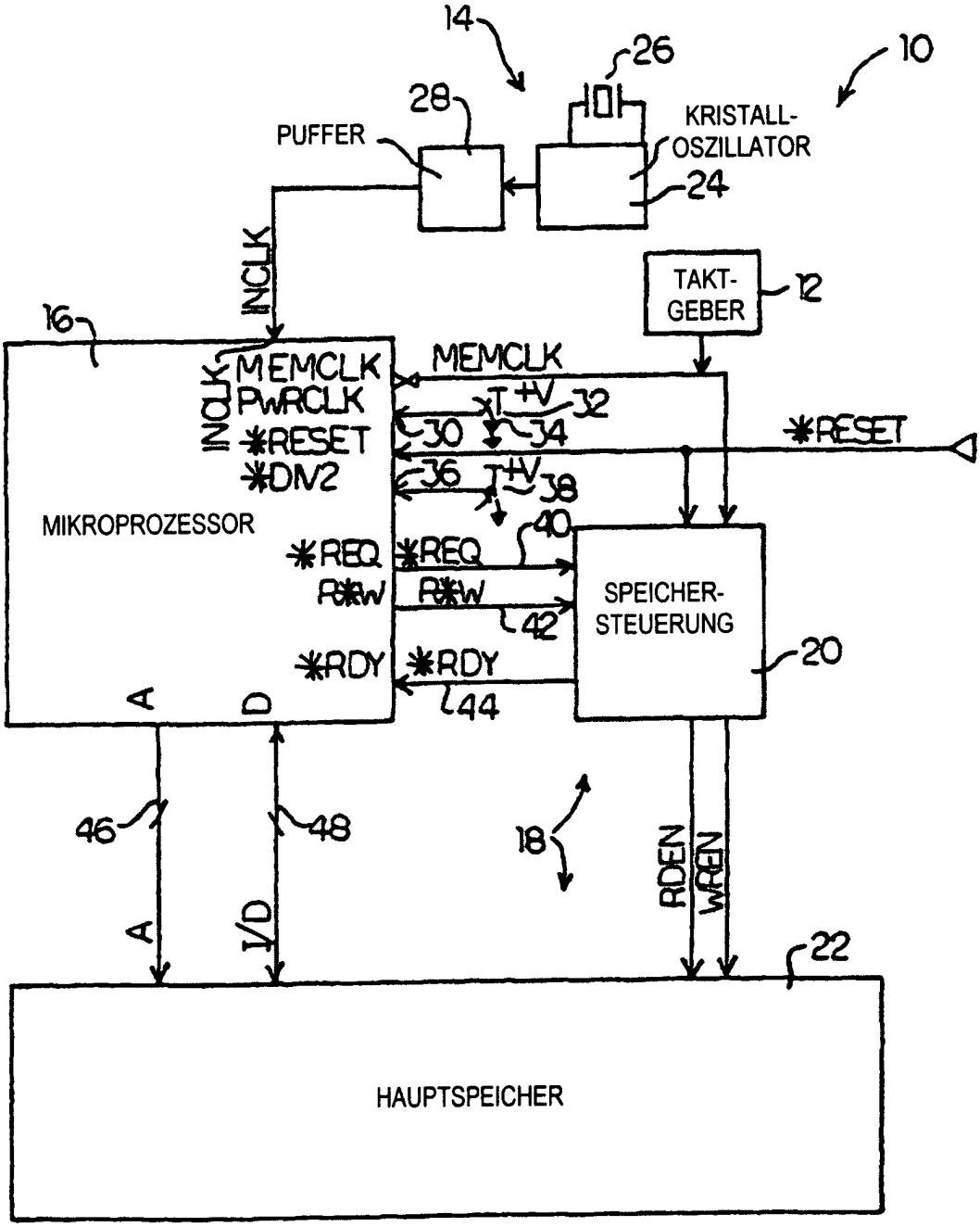


FIG. 1

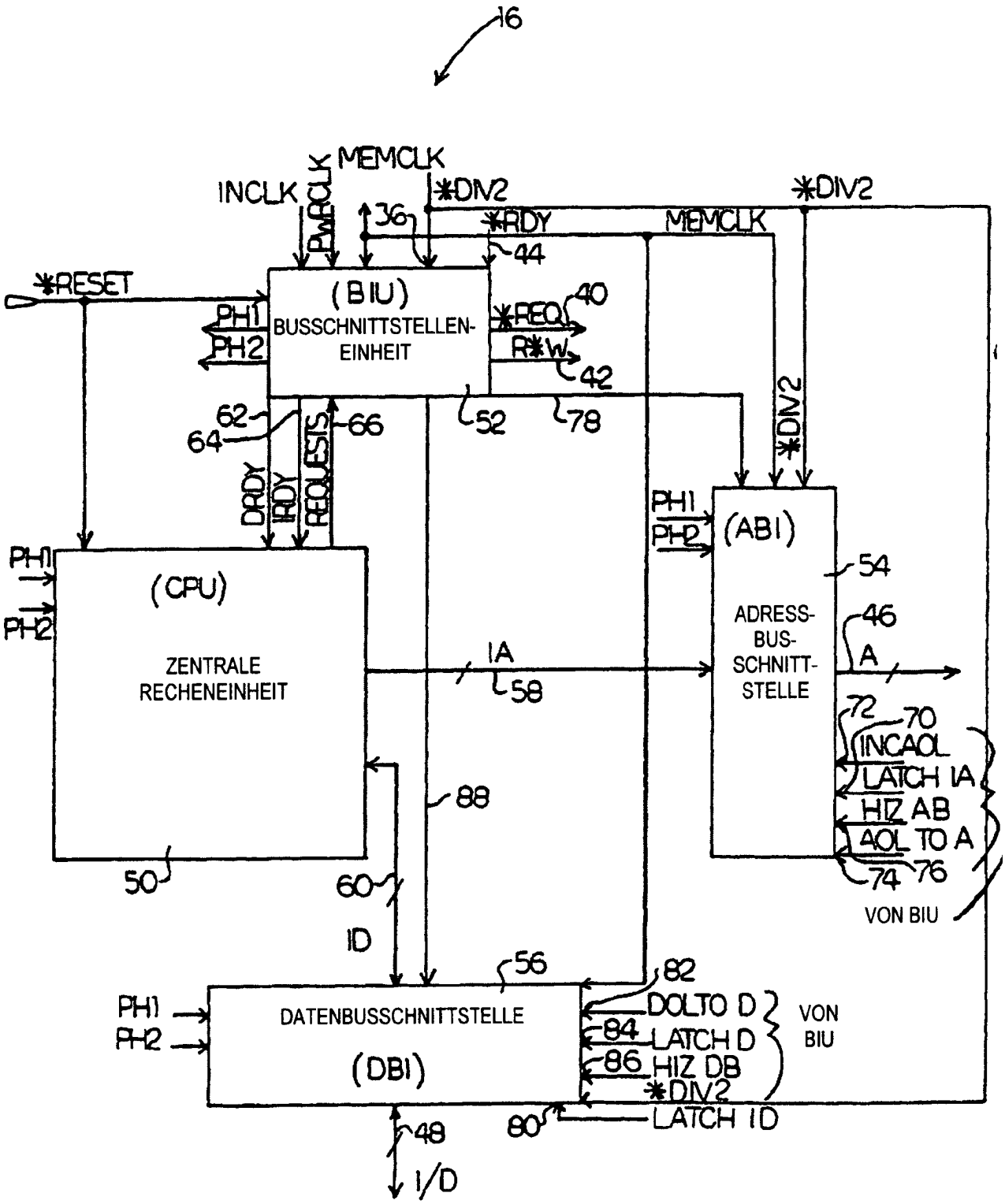

16
MEMCLK
INCLK
PWRCLK
*DIV2
36
*RDY
44
*DIV2
MEMCLK
*RESET
(BIU)
BUSSCHNITTSTELLEN-EINHEIT
PH1
PH2
*REQ
40
R*W
42
*DIV2
62
64
66
52
78
DRDY
RDY
REQUESTS
PH1
PH2
(ABI)
54
ADRESS-BUS-SCHNITT-STELLE
46
A
PH1
PH2
(CPU)
ZENTRALE RECHENEINHEIT
IA
58
72
70
INCAOL
LATCH IA
HIZ AB
AOL TO A
74
76
VON BIU
88
50
60
ID
56
82
PH1
PH2
DATENBUSSCHNITTSTELLE
(DBI)
DOLTO D
84
LATCH D
86
HIZ DB
*DIV2
VON BIU
80
LATCH ID
48
I/D

FIG. 2

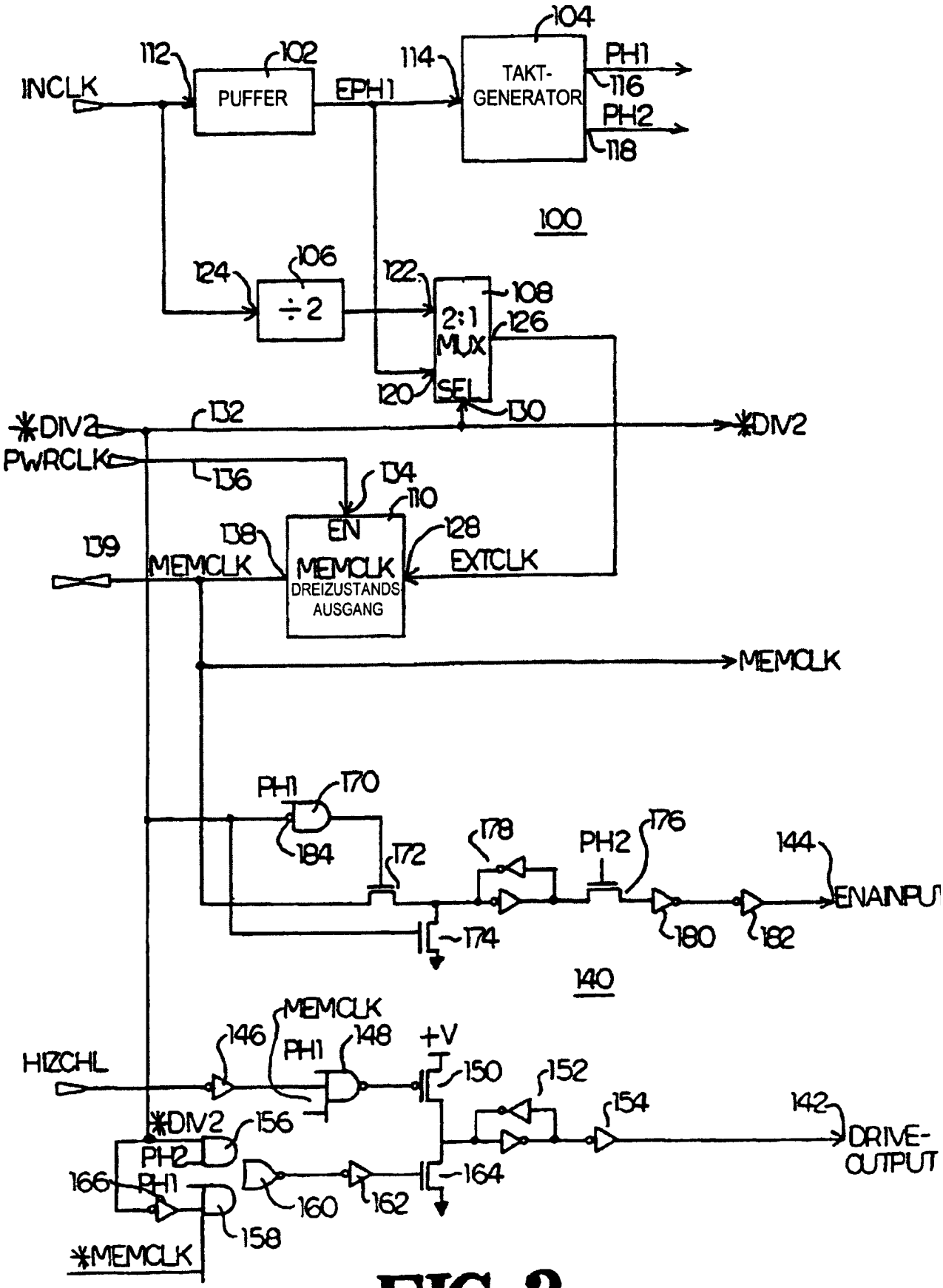

INCLK
112
PUFFER
102
EPH1
114
TAKT-
GENERATOR
104
PH1
116
PH2
118
100
124
÷2
106
122
2:1
MUX
108
126
SEL
120
130
*DIV2
132
*DIV2
PWRCLK
136
134
110
EN
MEMCLK
DREIZUSTANDS-
AUSGANG
138
128
EXTCLK
139
MEMCLK
MEMCLK
PH1
170
184
172
178
PH2
176
144
ENAINPUT
174
180
182
140
MEMCLK
146
PH1
148
+V
HIZCHL
150
152
154
142
DRIVE-
OUTPUT
*DIV2
156
PH2
166
PH1
160
162
164
158
*MEMCLK

FIG. 3

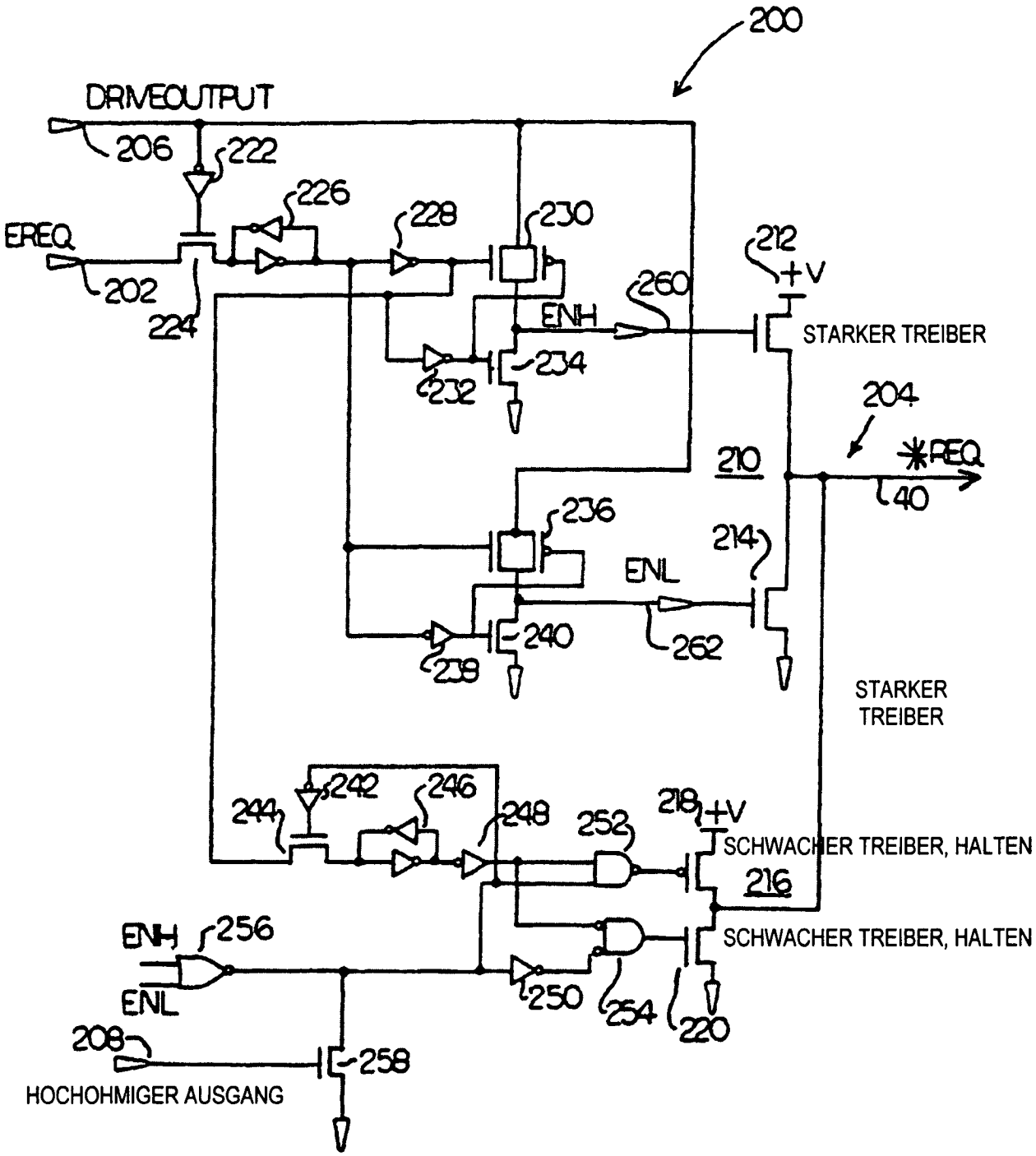

200
DRIVEOUTPUT
206
222
226
228
230
EREQ
202
224
212
+V
260
ENH
STARKER TREIBER
232
234
204
*REQ
210
40
236
214
ENL
240
238
262
STARKER
TREIBER
242
246
244
248
252
218
+V
SCHWACHER TREIBER, HALTEN
216
SCHWACHER TREIBER, HALTEN
ENH
256
ENL
250
254
220
208
258
HOCHOHMIGER AUSGANG

FIG. 4

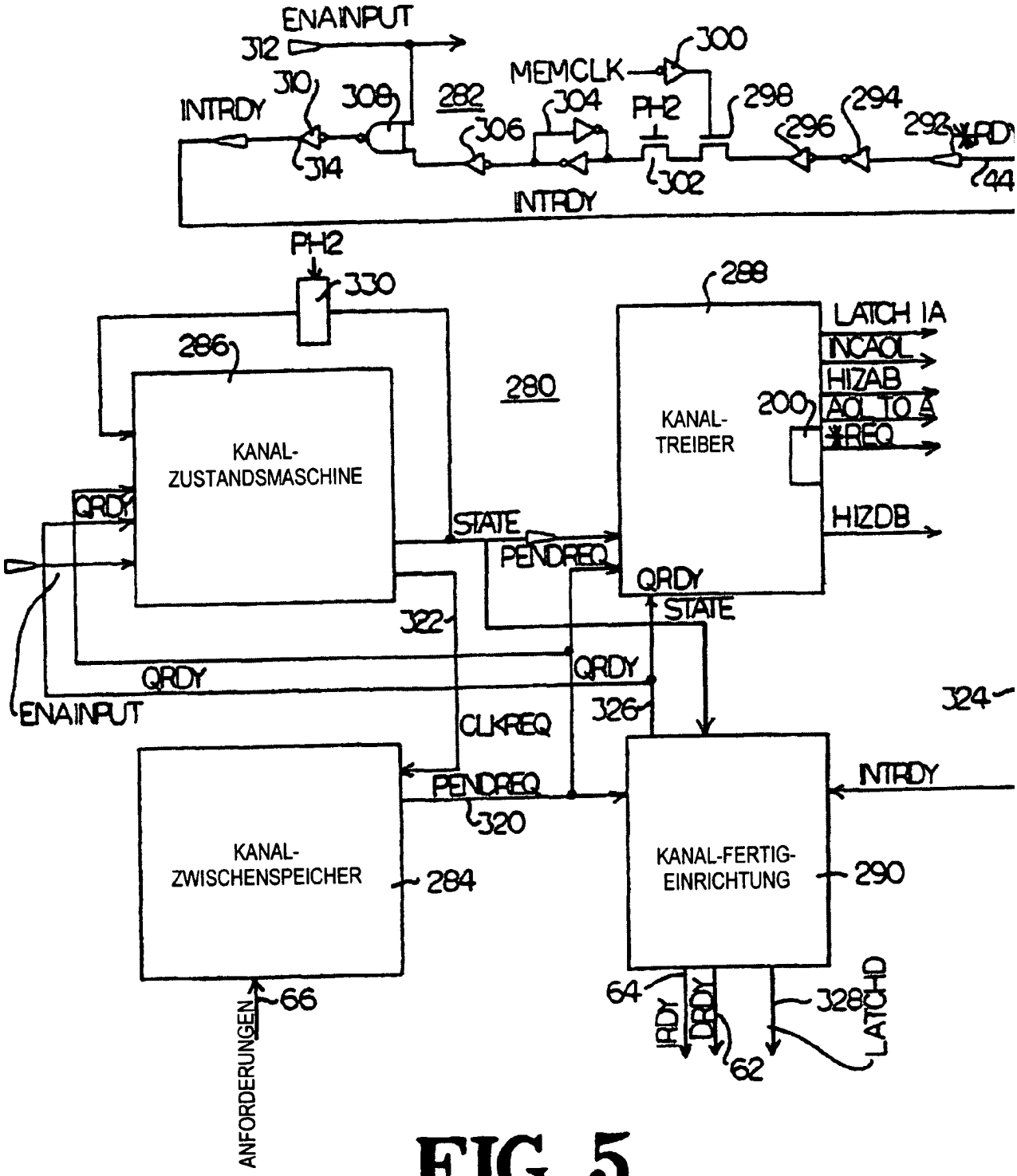

ENAINPUT
312
INTRDY
310
308
282
314
306
MEMCLK
300
304
PH2
302
298
296
294
292
INTRDY
PH2
330
286
KANAL-
ZUSTANDSMASCHINE
280
288
KANAL-
TREIBER
200
LATCH IA
INCAOL
HIZAB
AOL TO A
*REQ
HIZDB
QRDY
STATE
PENDREQ
QRDY
STATE
322
QRDY
QRDY
ENAINPUT
CLKREQ
326
324
PENDREQ
320
INTRDY
KANAL-
ZWISCHENSPEICHER
284
KANAL-FERTIG-
EINRICHTUNG
290
64
IRDY
DRDY
328
LATCHD
62
66
ANFORDERUNGEN

FIG. 5

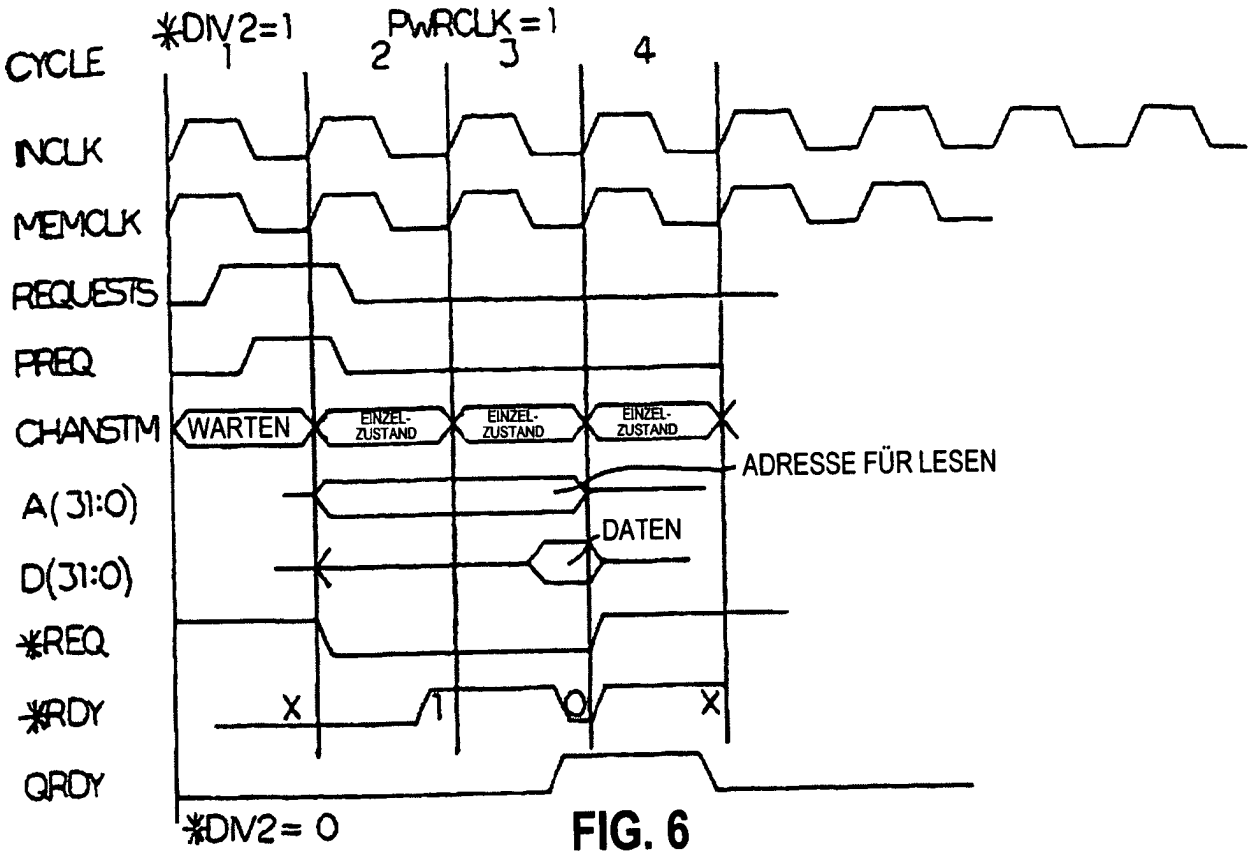

CYCLE
*DIV2=1
PWRCLK=1
1
2
3
4
INCLK
MEMCLK
REQUESTS
PREQ
CHANSTM
WARTEN
EINZEL-ZUSTAND
EINZEL-ZUSTAND
EINZEL-ZUSTAND
ADRESSE FÜR LESEN
A(31:0)
DATEN
D(31:0)
*REQ
*RDY
X
1
0
X
QRDY
*DIV2=0

FIG. 6

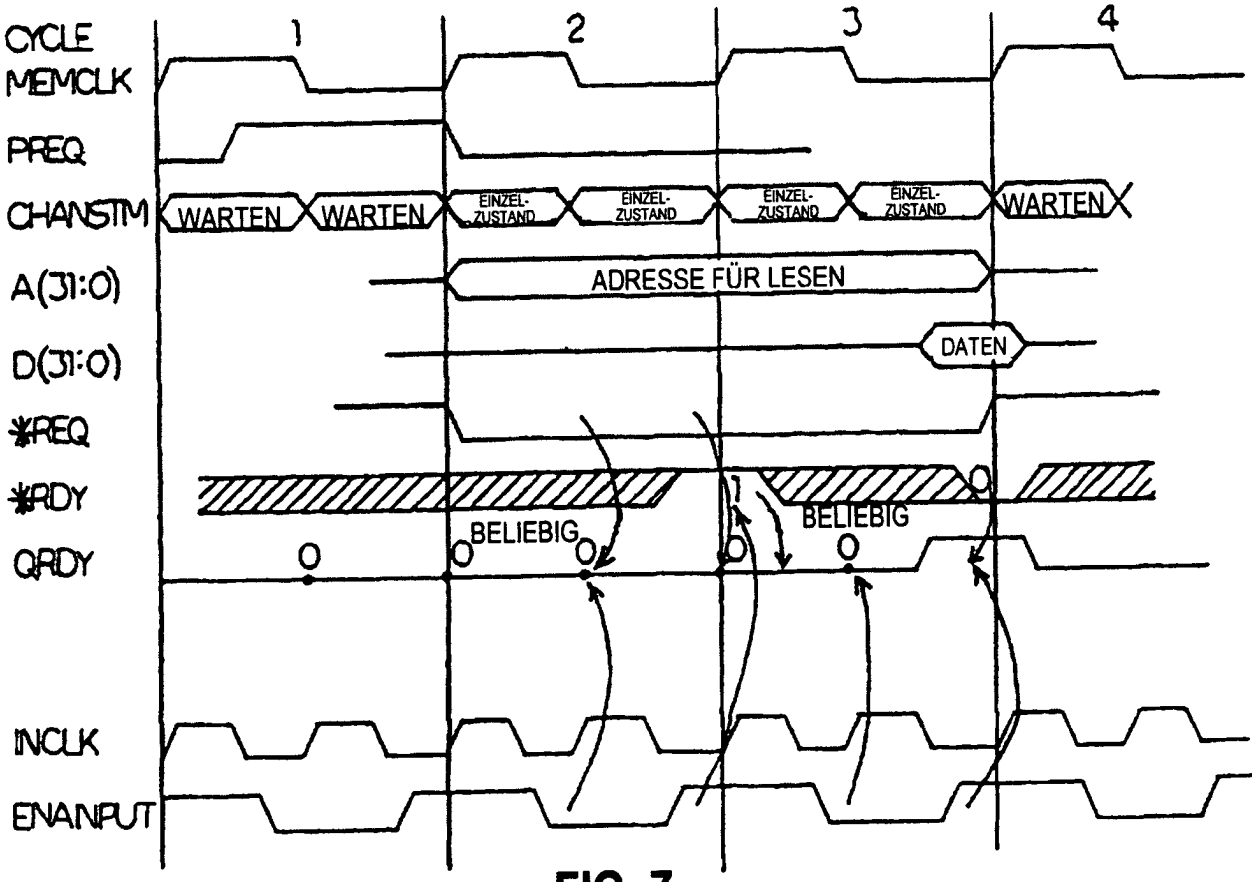

CYCLE
1
2
3
4
MEMCLK
PREQ
CHANSTM
WARTEN
WARTEN
EINZEL-ZUSTAND
EINZEL-ZUSTAND
EINZEL-ZUSTAND
EINZEL-ZUSTAND
WARTEN
A(31:0)
ADRESSE FÜR LESEN
D(31:0)
DATEN
*REQ
*RDY
QRDY
BELIEBIG
BELIEBIG
0
0
0
0
0
INCLK
ENAINPUT

FIG. 7