



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월09일 10-0666377 2007년01월03일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0070498 2005년08월02일 2005년08월02일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 이우성
 경기도 용인시 삼가동 135-8번지 삼성그린빌리지 102호

 박영욱
 경기도 수원시 장안구 정자1동 백설마을 성지아파트 541-706

 김남규
 경기도 수원시 영통구 영통동 1006-5 103호

 김봉현
 인천광역시 부평구 산곡동 311-126 현대아파트 206-403

 강만석
 경기 수원시 영통구 망포동 683 망포마을 현대2차아이파크 201동1304호

(74) 대리인 박영우

(56) 선행기술조사문헌
 KR1020010080841 A
 * 심사관에 의하여 인용된 문헌

심사관 : 최정식

전체 청구항 수 : 총 30 항

(54) 패드 구조물, 이의 형성 방법, 이를 포함하는 반도체 장치 및 그 제조 방법

(57) 요약

개선된 구조를 통하여 향상된 특성을 갖는 패드 구조물, 이의 형성 방법, 이를 포함하는 반도체 장치 및 그 제조 방법이 개시된다. 패드 구조물은 제1 내지 제3 패드 및 스페이서를 포함한다. 제1 패드는 기판의 콘택 영역과 접촉하며 도핑된 폴리실리콘을 포함한다. 제2 패드는 제1 패드와 접촉하며, 금속 실리사이드 또는 금속 실리콘게르마늄을 포함한다. 제3 패드는 제2 패드와 접촉하며 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물과 같은 도전 물질을 포함한다. 스페이서는 제2 및

제3 패드의 측벽에 형성된다. 제2 패드는 제1 패드의 상에 선택적 에피택셜 성장(SEG) 공정에 의해 실리콘층 또는 실리콘 게르마늄층을 성장시킨 후 실리사이드화 공정을 수행하여 형성한다. 금속 실리사이드 또는 금속 실리콘 게르마늄의 과다 형성으로 후속하여 형성되는 인접하는 패드들 사이에 발생하는 전기적인 단락을 방지하여 반도체 장치의 전기적인 특성을 개선할 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

실리콘을 포함하는 제1 패드;

상기 제1 패드 상에 형성되며 금속 실리사이드 또는 금속 실리콘 게르마늄을 포함하는 제2 패드; 및

상기 제2 패드 상에 형성되며 도전 물질을 포함하는 제3 패드를 포함하는 패드 구조물.

청구항 2.

제1항에 있어서, 상기 제2 패드는 상기 제1 패드로부터 성장되는 SEG막을 더 포함하는 것을 특징으로 하는 패드 구조물.

청구항 3.

제2항에 있어서, 상기 제2 패드의 금속 실리사이드 또는 금속 실리콘 게르마늄은 상기 SEG막을 실리사이드화시켜 형성되는 것을 특징으로 하는 패드 구조물.

청구항 4.

제3항에 있어서, 상기 제2 패드는 티타늄 실리사이드, 코발트 실리사이드, 텅스텐 실리사이드, 니켈 실리사이드, 티타늄 실리콘 게르마늄, 코발트 실리콘 게르마늄, 텅스텐 실리콘 게르마늄 및 니켈 실리콘 게르마늄으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것을 특징으로 하는 패드 구조물.

청구항 5.

제1항에 있어서, 상기 제2 및 제3 패드의 측벽에 접촉되며, 저면이 상기 제1 패드 상에 위치하는 스페이서를 더 포함하는 것을 특징으로 하는 패드 구조물.

청구항 6.

제5항에 있어서, 상기 제1 패드는 제1 폭을 가지며, 상기 제2 및 제3 패드는 상기 제1 폭 보다 작은 제2 폭을 가지는 것을 특징으로 하는 패드 구조물.

청구항 7.

실리콘을 포함하는 제1 패드를 형성하는 단계;

상기 제1 패드 상에 금속 실리사이드 또는 금속 실리콘 게르마늄을 포함하는 제2 패드를 형성하는 단계; 및

상기 제2 패드 상에 제3 패드를 형성하는 단계를 포함하는 패드 구조물의 형성 방법.

청구항 8.

제7항에 있어서, 상기 제2 패드를 형성하는 단계는,

상기 제1 패드 상에 절연막을 형성하는 단계;

상기 절연막을 관통하여 상기 제1 패드를 노출시키는 개구를 형성하는 단계;

상기 개구를 부분적으로 채우면서 상기 제1 패드 상에 예비 제2 패드를 형성하는 단계;

상기 예비 제2 패드 상에 금속막을 형성하는 단계; 및

상기 예비 제2 패드 및 상기 금속막을 열처리하여 상기 제2 패드를 형성하는 단계를 더 포함하는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 9.

제8항에 있어서, 상기 예비 제2 패드는 상기 제1 패드로부터 선택적 에피택셜 성장 공정에 의하여 성장된 SEG막을 포함하는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 10.

제9항에 있어서, 상기 절연막 상에 형성된 SEG막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 11.

제9항에 있어서, 상기 선택적 에피택셜 성장 공정을 수행하기 전에, 세정 공정을 수행하는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 12.

제11항에 있어서, 상기 세정 공정은 수소 플라즈마 처리에 의해 수행되는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 13.

제8항에 있어서, 상기 금속막은 티타늄, 코발트, 텅스텐 및 니켈로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 14.

제8항에 있어서, 상기 제2 패드를 형성하는 단계는,

상기 예비 제2 패드 및 상기 금속막에 제1 금속 열처리공정을 수행하여 예비 금속 실리사이드막 또는 예비 금속 실리콘 게르마늄막을 형성하는 단계;

반응하지 않은 금속을 제거하는 단계; 및

상기 예비 금속 실리사이드막 또는 상기 예비 금속 실리콘 게르마늄막을 제2 금속 열처리 공정으로 처리하는 단계를 포함하는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 15.

제14항에 있어서, 상기 제1 금속 열처리 공정은 450℃ 내지 650℃의 온도에서 수행되고, 상기 제2 금속열처리 공정은 750℃ 내지 950℃의 온도에서 수행되는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 16.

제7항에 있어서, 상기 제2 및 제3 패드의 측벽에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 패드 구조물의 형성 방법.

청구항 17.

콘택 영역을 갖는 기관;

상기 기관 상에 형성된 제1 층간 절연막;

상기 제1 층간 절연막에 매립되고, 상기 콘택 영역에 전기적으로 연결되며 실리콘을 포함하는 제1 패드;

상기 제1 패드 및 상기 제1 층간 절연막 상에 형성된 제2 층간 절연막;

상기 제2 층간 절연막을 관통하여 상기 제1 패드를 노출시키는 개구;

상기 개구를 부분적으로 채우며 상기 제1 패드에 접촉되고 금속 실리사이드 또는 금속 실리콘게르마늄을 포함하는 제2 패드; 및

상기 제2 패드 상에 형성되며 상기 개구를 완전히 채우는 제3 패드를 포함하는 반도체 장치.

청구항 18.

제17항에 있어서, 상기 제2 패드는 상기 제1 패드로부터 성장된 SEG막을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 19.

제18항에 있어서, 상기 제2 패드의 금속 실리사이드 또는 금속 실리콘 게르마늄은 상기 SEG막을 실리사이드화시켜 형성되는 것을 특징으로 하는 반도체 장치.

청구항 20.

제17항에 있어서, 상기 제2 패드는 티타늄 실리사이드, 코발트 실리사이드, 텅스텐 실리사이드, 니켈 실리사이드, 티타늄 실리콘게르마늄, 코발트 실리콘게르마늄, 텅스텐 실리콘게르마늄 및 니켈 실리콘게르마늄으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 21.

제17항에 있어서, 상기 제2 및 제3 패드의 측벽에 접촉되며, 저면이 상기 제1 패드 상에 위치하는 스페이서를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 22.

기판 상에 콘택 영역을 형성하는 단계;

상기 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막에 매립되고, 상기 콘택 영역에 전기적으로 연결되며 실리콘을 포함하는 제1 패드를 형성하는 단계;

상기 제1 패드 및 상기 제1 층간 절연막 상에 제2 층간 절연막을 형성하는 단계;

상기 제1 패드를 노출시키는 개구를 형성하는 단계;

상기 개구를 부분적으로 채우면서 상기 패드 상에 예비 제2 패드를 형성하는 단계;

상기 예비 제2 패드 및 상기 제2 층간 절연막 상에 금속막을 형성하는 단계;

상기 예비 제2 패드 및 상기 금속막을 열처리하여 금속 실리사이드 또는 금속 실리콘게르마늄을 포함하는 제2 패드를 형성하는 단계; 및

상기 제2 패드 상에 상기 개구를 완전히 채우는 제3 패드를 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 23.

제22항에 있어서, 상기 예비 제2 패드는 상기 제1 패드로부터 선택적 에피택셜 성장 공정에 의하여 형성된 SEG막을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24.

제23항에 있어서, 상기 제2 층간 절연막 상에 형성된 SEG막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 25.

제23항에 있어서, 상기 선택적 에피택셜 성장 공정을 수행하기 전에, 세정 공정을 수행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 26.

제25항에 있어서, 상기 세정 공정은 수소 플라즈마 처리에 의해 수행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 27.

제22항에 있어서, 상기 금속막은 티타늄, 코발트, 텅스텐 및 니켈로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 28.

제22항에 있어서, 상기 제2 패드를 형성하는 단계는,

상기 예비 제2 패드 및 상기 금속막에 제1 급속 열처리공정을 수행하여 예비 급속 실리사이드막 또는 예비 급속 실리콘 게르마늄막을 형성하는 단계;

반응하지 않은 금속을 제거하는 단계; 및

상기 예비 급속 실리사이드막 또는 상기 예비 급속 실리콘 게르마늄막에 제2 급속 열처리 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 29.

제28항에 있어서, 상기 제1 급속 열처리 공정은 450℃ 내지 650℃의 온도에서 수행되고, 상기 제2 급속 열처리 공정은 750℃ 내지 950℃의 온도에서 수행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 30.

제22항에 있어서, 상기 제2 및 제3 패드의 측벽에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 패드 구조물, 이의 형성 방법, 이를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 개선된 구조를 통하여 향상된 특성을 갖는 패드 구조물, 이의 형성 방법, 이를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

급속도로 발전하는 정보화 사회에 있어서 대량의 정보를 보다 빠르게 처리하게 위해 데이터 전송속도가 높은 고집적 반도체 장치가 요구되고 있다. 그러나, 반도체 장치가 고집적화 됨에 따라 트랜지스터의 게이트 전극의 선폭 및 불순물 영역, 즉 소스/드레인 영역이 점차 감소되고 있는 실정이다. 따라서, 디자인 룰의 감소에 따라 반도체 장치의 배선들 간에 보다 안정적인 전기적 연결을 확보하는 것이 더욱 중요시된다.

종래의 반도체 장치에 있어서, 패드가 형성되는 부위에 기존에 사용하던 폴리실리콘 등이 사용되면 전기 저항(electric resistance)이 높아 소자의 고속 동작을 기대하기 어렵고 전력소비가 증가되는 문제점이 발생된다. 상기와 같은 문제를 해결하기 위해, 상기 패드 영역 상에 금속(M)과 실리콘(Si)의 화합물인 금속 실리사이드(silicide)(MSi₂)막을 형성하는 방법이 널리 사용하고 있다. 상기 금속 실리사이드막은 예를 들어, 텅스텐 실리사이드막, 티타늄 실리사이드막 또는 코발트 실리사이드막 등을 포함한다. 이러한 금속 실리사이드막은 낮은 저항, 낮은 실리콘 소모 및 높은 열적, 화학적 안정성을 갖는 특성 때문에 최근의 고집적 반도체 장치에 빈번하게 사용되고 있다.

금속 실리사이드막을 형성하기 위한 실리사이드이션(silicidation) 공정은 티타늄(Ti), 니켈(Ni) 또는 코발트(Co)와 같은 금속 물질을 화학 기상 증착(CVD) 방법을 사용하여 증착한 후 열처리하여, 하부 막에 실리콘 원소가 존재하는 경우 상기 금속과 실리콘을 반응시켜 금속 실리사이드를 형성하는 과정을 포함한다.

그런데, 이러한 금속 실리사이드막 형성시 고유의 응집(agglomeration)현상으로 인해 부분적으로 금속 실리사이드막이 끊어지거나 과다 형성되는 문제점이 발생한다. 또한 안정된 콘택 저항을 위하여 일정 두께 이상의 실리사이드를 형성하여야 하는데 금속 실리사이드막이 과다 형성될 경우 패드들 사이의 거리가 짧아 정렬마진이 작은 고집적 반도체 장치에서는 패드들 사이에 단락이 발생할 수 있고, 이는 반도체 장치의 전기적인 특성을 저하시키는 원인이 된다.

상기 금속 실리사이드가 적용되는 트랜지스터를 형성하는 방법에 대한 예는 대한민국 등록특허 제439191호, 대한민국 등록특허 제433491호 및 대한민국 공개 특허 제2004-57472호 등에 개시되어 있다.

도 1a 내지 도 1d는 종래의 패드의 형성 방법을 설명하기 위한 단면도들이다.

도 1a를 참조하면, 기판(10) 상에 하부 구조물(15)을 형성한다. 하부 구조물(15)은 게이트 구조물 및 상기 게이트 구조물의 양측에 소스/드레인 영역을 구비하는 트랜지스터를 포함한다. 기판(10) 상에 하부 구조물(15)을 매립하는 제1 층간 절연막(20)을 형성한다. 제1 층간 절연막(20)을 관통하여 기판의 소스/드레인 영역과 접촉하는 콘택(25)을 형성한다. 콘택(25)은 예를 들어, 도핑된 폴리실리콘으로 이루어진다.

도 1b를 참조하면, 콘택(25) 및 제1 층간 절연막(20) 상에 제2 층간 절연막(30)을 형성한다. 제2 층간 절연막(30)을 식각하여 콘택(25)을 노출하는 개구(35)를 형성한다.

개구(35)의 측벽에는 실리콘 질화물과 같은 질화물로 스페이서(40)를 형성한다.

도 1c를 참조하면, 노출된 콘택(25)의 상면, 스페이서(40)가 형성된 개구(35)의 측벽 및 제2 층간 절연막(30) 전면에 티타늄(Ti), 코발트(Co) 또는 텅스텐(W) 등을 포함하는 금속막(45)을 증착한다.

도 1d를 참조하면, 열처리 공정을 수행하여 금속막(45)과 콘택(25)의 실리콘을 반응시킨다. 그 결과, 폴리실리콘으로 이루어진 콘택(25) 및 콘택(25) 상부의 금속막(45)이 실리사이드 반응(silicidation)에 의하여 금속 실리사이드막(MSi₂)(50)으로 형성된다. 금속 실리사이드막(50) 상에 도전막(55)을 증착하여 패드(60)를 형성한다.

상술한 방법에 의하면, 콘택(25)의 폴리실리콘과 금속막(45)이 반응할 때, 실리사이드 고유의 응집 현상에 의해 금속 실리사이드막(50)이 과다 형성될 수 있다. 금속 실리사이드막(50)이 콘택(25) 영역을 벗어나 과다 형성될 경우, 인접하는 다른 콘택과 접촉하여 단락을 초래한다. 이러한 현상은 반도체 장치의 디자인 룰이 감소할수록 반도체 제조 공정의 정렬 마진이 줄어들기 때문에 더욱 심화된다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 구조의 개선을 통하여 향상된 특성을 갖는 패드 구조물을 제공하는 것이다.

본 발명의 제2 목적은 구조 개선을 통하여 향상된 특성을 갖는 패드 구조물의 형성 방법을 제공하는 것이다.

본 발명의 제3 목적은 향상된 특성을 갖는 패드 구조물을 구비하는 반도체 장치를 제공하는 것이다.

본 발명의 제4 목적은 향상된 특성을 갖는 패드 구조물을 구비하는 반도체 장치의 제조 방법을 제공하는 것이다.

발명의 구성

상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따른 패드 구조물은, 실리콘을 포함하는 제1 패드, 상기 제1 패드 상에 형성되며 금속 실리사이드 또는 금속 실리콘게르마늄을 포함하는 제2 패드 및 상기 제2 패드 상에 형성되며 도전 물질을 포함하는 제3 패드를 포함한다.

상술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따른 패드 구조물의 형성 방법에 있어서, 실리콘을 포함하는 제1 패드를 형성한 후, 상기 제1 패드 상에 절연막을 형성한다. 상기 절연막을 관통하여 상기 제1 패드를 노출시키는 개구를 형성한 다음, 상기 개구를 부분적으로 채우면서 상기 제1 패드 상에 예비 제2 패드를 형성한다. 상기 예비 제2 패드 상에 금속막을 형성한 후, 상기 예비 제2 패드 및 상기 금속막을 열처리하여 금속 실리사이드 또는 금속 실리콘게르마늄을 포함하는 제2 패드를 형성한다. 상기 개구를 완전히 채우면서 상기 제2 패드 상에 제3 패드를 형성하여, 제1 내지 제3 패드를 포함하는 패드 구조물을 형성한다.

상술한 본 발명의 제3 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따른 반도체 장치는, 콘택 영역을 갖는 기관, 상기 기관 상에 형성된 제1 층간 절연막, 상기 제1 층간 절연막에 매립되며, 상기 콘택 영역에 전기적으로 연결되는 제1 패드, 상기 제1 패드 및 상기 제1 층간 절연막 상에 형성된 제2 층간 절연막, 상기 제2 층간 절연막을 관통하여 상기 제1 패드를 노출시키는 개구, 상기 개구를 부분적으로 채우며 상기 제1 패드에 접촉되고 금속 실리사이드 또는 금속 실리콘게르마늄을 포함하는 제2 패드, 상기 제2 패드 상에 형성되며 상기 개구를 완전히 채우는 제3 패드를 포함한다.

상술한 본 발명의 제4 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법에 있어서, 기관 상에 콘택 영역을 형성한 후, 상기 기관 상에 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막에 매립되고, 상기 콘택 영역에 전기적으로 연결되며 폴리실리콘을 포함하는 제1 패드를 형성한 다음, 상기 제1 패드 및 상기 제1 층간 절연막 상에 제2 층간 절연막을 형성한다. 상기 제1 패드를 노출시키는 개구를 형성한 후, 상기 개구를 부분적으로 채우면서 상기 패드 상에 예비 제2 패드를 형성한다. 상기 예비 제2 패드 및 상기 제2 층간 절연막 상에 금속막을 형성한 후, 상기 예비 제2 패드 및 상기 금속막을 열처리하여 금속 실리사이드 또는 금속 실리콘게르마늄을 포함하는 제2 패드를 형성한다. 상기 제2 패드 상에 상기 개구를 완전히 채우는 제3 패드를 형성하여 제1 내지 제3 패드를 포함하는 패드 구조물을 형성한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 패드 구조물, 이의 형성 방법 및 이를 포함하는 반도체 장치 및 그 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 의하여 제한되거나 한정되는 것은 아니다. 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상과 특징이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 각 장치 또는 막(층) 및 영역들의 두께는 본 발명의 명확성을 기하기 위하여 확대한 것이다. 또한, 각 장치는 본 명세서에 설명되지 아니한 다양한 부가 장치들을 구비할 수 있으며, 막(층)이 다른 막(층) 또는 기관 상에 위치하는 것으로 언급되는 경우, 다른 막(층) 또는 기관 상에 직접 형성될 수 있거나 또는 그들 사이에 추가적인 막(층)이 개재될 수 있다. 또한, 각 층(막), 영역, 패드, 전극, 패턴 또는 구조물들이 "제1", "제2" 및/또는 "제3"으로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 층(막), 영역, 패드, 패턴 또는 구조물들을 구분하기 위한 것이다. 따라서, "제1", "제2" 및/또는 "제3"은 각 층(막), 영역, 전극, 패드, 패턴 또는 구조물들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.

패드 구조물 및 그 제조 방법

도 2는 본 발명의 일 실시예에 따른 패드 구조물을 도시한 단면도이다.

도 2를 참조하면, 패드 구조물(155)은 제1 패드(115), 제2 패드(145), 제3 패드(150) 및 스페이서(130)를 포함한다.

제1 패드(115)는 패드(100) 상의 콘택 영역과 같은 도전성 구조물과 접촉하며 도핑된 폴리실리콘을 포함한다. 제2 패드(145)는 제1 패드(115) 상에 형성되고 금속 실리사이드 또는 금속 실리콘게르마늄을 포함한다. 제3 패드(150)는 제2 패드(145) 상에 위치하며, 도핑된 폴리실리콘, 금속 또는 금속 질화물과 같은 도전 물질을 포함한다. 스페이서(130)는 제2 및 제3 패드(145, 150)의 측벽에 구비되며, 스페이서(130)의 저면은 제1 패드(115) 상에 위치한다.

패드 구조물(155)은 실리콘 웨이퍼 또는 SOI 기판등과 같은 반도체 기판(100) 상에 형성된다. 반도체 기판(100)에는 하부 구조물(105)이 구비된다. 하부 구조물(105)은 반도체 기판(100) 상에 형성된 콘택 영역, 도전성 패턴, 게이트 구조물 및/또는 트랜지스터 등을 포함한다.

반도체 기판(100) 상에는 하부 구조물(105)을 덮는 제1 절연막(110)이 형성된다. 제1 절연막(110)은 산화물을 포함한다. 예를 들면, 제1 층간 절연막(110)은 BPSG(Boro-Phosphor Silicate Glass), PSG(Phosphor Silicate Glass), USG(Undoped Silicate Glass), SOG(Spin On Glass), FOX(Flowable OXide), PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate) 또는 HDP-CVD(High Density Plasma-Chemical Vapor Deposition) 산화물 등을 포함한다.

제1 개구(112)는 제1 절연막(110)을 관통하여 형성되며 하부 구조물(105)을 노출시킨다. 제1 패드(115)는 제1 개구(112)를 채우며 하부 구조물(105)에 접촉된다. 본 발명의 일 실시예에 따르면 제1 패드(115)는 불순물로 도핑된 폴리실리콘(poly-Si)으로 이루어진다. 제1 패드(115)는 제2 패드(145)와 하부 구조물(105) 사이에 위치하여 제2 패드(120)를 하부 구조물(105)에 전기적으로 연결한다.

제1 패드(115) 및 제1 절연막(110) 상에는 제2 절연막(120)이 형성된다. 제2 절연막(120)은 BPSG, PSG, PE-TEOS, USG, FOX, SOG 또는 HDP-CVD 산화물 등과 같은 산화물로 이루어진다. 본 발명의 일 실시예에 따르면, 제1 및 제2 절연막(110, 120)은 전술한 산화물들 가운데 동일한 산화물로 구성될 수 있다. 본 발명의 다른 실시예에 따르면, 제1 및 제2 절연막(110, 120)은 상술한 산화물들 중에서 서로 상이한 산화물들로 이루어질 수 있다.

제2 절연막(120)에는 제1 패드(115)의 일부를 노출시키는 제2 개구(125)가 형성되며, 제2 패드 및 제3 패드(145, 150)는 제2 개구(125)를 채우면서 제1 패드(115) 및 제1 절연막(110) 상에 형성된다. 본 발명의 일 실시예에 따르면, 제1 개구(112) 및 제2 개구(125)는 실질적으로 동일한 폭을 가진다. 본 발명의 다른 실시예에 있어서, 제2 개구(125)는 제1 개구(112) 보다 큰 폭을 가질 수 있다. 본 발명의 또 다른 실시예에 따르면, 제2 개구(125)는 제1 개구(112) 보다 작은 폭을 가질 수 있다.

제2 및 제3 패드(145, 150)의 측벽에는 스페이서(130)가 구비된다. 스페이서(130)는 제2 절연막(120)에 대하여 식각 선택비를 가지는 물질로 이루어진다. 예를 들면, 스페이서(130)는 실리콘 질화물과 같은 질화물 또는 실리콘 산질화물 등의 산질화물을 포함한다. 본 발명의 다른 실시예에 따르면, 제2 및 제3 패드(145, 150)의 측벽 상에는 스페이서(130)가 위치하지 않을 수도 있다.

제2 및 제3 패드(145, 150)는 제2 절연막(120)을 관통하여 제1 패드(115)에 접촉한다. 제2 패드(145)는 제1 패드(115)와 접촉하며 금속 실리사이드 또는 금속 실리콘게르마늄을 포함한다. 상기 금속 실리사이드 또는 금속 실리콘게르마늄은 예를 들어 티타늄 실리사이드, 코발트 실리사이드, 텅스텐 실리사이드, 니켈 실리사이드, 티타늄 실리콘게르마늄, 코발트 실리콘게르마늄, 텅스텐 실리콘게르마늄 또는 니켈 실리콘게르마늄 등을 포함한다. 제2 패드(145)는 제1 패드(115)로부터 유래된 SEG막을 더 포함한다. 보다 상세하게는, 제2 패드(145)는 선택적 에피택셜 성장(SEG) 공정을 통하여 제1 패드(115)로부터 성장되는 상기 SEG막을 포함한다. 이와 같은 SEG막 전체를 또는 상기 SEG막의 상부를 실리사이드이션 공정을 통하여 금속 실리사이드막 또는 금속 실리콘 게르마늄막으로 변환시킨다. 즉, 제2 패드(145)는 상기 금속실리사이드막 또는 상기 금속 실리콘 게르마늄막으로 구성된 단일막 구조를 가지거나, 상기 SEG막 및 금속실리사이드막 또는 상기 금속 실리콘 게르마늄막을 포함하는 이중막 구조를 가진다.

제3 패드(150)는 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 포함한다. 예를 들면, 제3 패드(150)는 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 알루미늄(Al), 구리(Cu), 텅스텐 질화물(WN), 티타늄 질화물(TiN), 탄탈륨 질화물(TaN) 또는 알루미늄 질화물(AlN)로 구성된다.

도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 패드 구조물의 형성 방법을 설명하기 위한 단면도들이다. 도 3a 내지 도 3f에 있어서, 도 2와 동일한 부재들에 대해서는 동일한 참조 부호를 사용한다.

도 3a를 참조하면, 실리콘 웨이퍼 또는 SOI 기판인 반도체 기판(100) 상에 하부 구조물(105)을 형성한다. 하부 구조물(105)은 반도체 기판(100) 상에 형성된 콘택 영역, 도전성 패딩, 패드, 콘택, 배선, 게이트 구조물 및/또는 트랜지스터 등을 구비한다.

하부 구조물(105)을 덮으면서 반도체 기판(100) 상에 제1 절연막(110)을 형성한다. 예를 들면, 제1 절연막(110)은 BPSG, PSG, USG, SOG, FOX, PE-TEOS 또는 HDP-CVD 산화물 등과 같은 산화물을 포함한다. 제1 절연막(110)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 본 발명의 다른 실시예에 따르면, 제1 절연막(110)을 화학 기계적 연마(CMP) 공정, 에치 백(etch back) 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 이용하여 상면을 평탄화할 수 있다.

제1 절연막(110) 상에 제1 포토레지스트막(도시되지 않음)을 도포한 후, 상기 제1 포토레지스트막을 노광 및 현상하여 제1 절연막(110) 상에 제1 포토레지스트 패턴(도시되지 않음)을 형성한다. 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 제1 절연막(110)을 부분적으로 이방성 식각함으로써, 제1 절연막(110)에 반도체 기판(100)에 형성된 하부 구조물(105)을 노출시키는 제1 개구(112)를 형성한다.

상기 제1 포토레지스트 패턴을 애싱(ashing) 공정 및/또는 스트리핑(striping) 공정을 통하여 제거한 다음, 제1 개구(112)를 채우면서 제1 절연막(110) 상에 제1 도전막을 형성한다. 본 발명의 일 실시예에 따르면, 상기 제1 도전막은 불순물로 도핑된 폴리실리콘을 사용하여 형성한다. 또한, 상기 제1 도전막은 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다.

화학 기계적 연마(CMP) 공정, 에치백 공정 또는 화학 기계적 연마(CMP)와 에치백을 조합한 공정을 이용하여 제1 절연막(110)의 상면이 노출될 때까지 상기 제1 도전막을 부분적으로 제거함으로써, 제1 개구(112)를 매립하는 제1 패드(115)를 형성한다.

도 3b를 참조하면, 제1 패드(115) 및 제1 절연막(110) 상에 제2 절연막(120)을 형성한다. 제2 절연막(120)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 제2 절연막(120)은 BPSG, PSG, USG, SOG, FOX, PE-TEOS 또는 HDP-CVD 산화물 등을 사용하여 형성된다. 본 발명의 일 실시예에 따르면, 제1 및 제2 절연막들(110, 120)은 전술한 산화물들 가운데 동일한 산화물로 구성될 수 있다. 본 발명의 다른 실시예에 따르면, 제1 및 제2 절연막들(110, 120)은 상술한 산화물들 중에서 서로 상이한 산화물들로 이루어질 수 있다.

제1 절연막(120) 상에 제2 포토레지스트막(도시되지 않음)을 도포한 후, 상기 제2 포토레지스트막을 노광 및 현상하여 제2 절연막(120) 상에 제2 포토레지스트 패턴(도시되지 않음)을 형성한다. 상기 제2 포토레지스트 패턴을 식각 마스크로 이용하여 제2 절연막(120)을 부분적으로 이방성 식각함으로써, 제2 절연막(120)에 제1 패드(115)를 노출시키는 제2 개구(125)를 형성한다. 상기 제2 포토레지스트 패턴은 애싱 공정 및/또는 스트리핑 공정에 의하여 제거된다.

제2 개구(125)는 제1 패드(115)의 상면을 노출시킨다. 본 발명의 일 실시예에 따르면, 제2 개구(125)는 제1 개구(112)와 실질적으로 동일한 폭으로 형성된다. 본 발명의 다른 실시예에 따르면, 제2 개구(125)가 제1 개구(112)보다 큰 폭을 가질 수 있다. 본 발명의 또 다른 실시예에 따르면, 제2 개구(125)가 제1 개구(112)보다 작은 폭을 가질 수 있다.

도 3c를 참조하면, 노출된 제1 패드(115) 및 제2 절연막(260)을 덮으면서 제3 절연막(도시되지 않음)을 형성한다. 상기 제3 절연막을 이방성 식각하여 제2 개구(125)의 측벽에 스페이서(130)를 형성한다. 스페이서(130)는 제2 절연막(120)에 대하여 식각 선택비를 가지는 물질로 이루어진다. 예를 들면, 스페이서(130)는 실리콘 질화물과 같은 질화물 또는 실리콘 산 질화물 등의 산질화물을 사용하여 형성된다.

도 3d를 참조하면, 제2 개구(125)를 부분적으로 채우는 소정의 높이를 갖는 예비 제2 패드(135)를 형성한다. 예비 제2 패드(135)는 제2 개구(125)를 완전히 매립하지 않도록 형성한다.

본 발명의 일 실시예에 따르면, 예비 제2 패드(135)는 제2 개구(125)에 의해 노출되는 제1 패드(115)로부터 선택적 에피택셜 성장(Selective Epitaxial Growth; SEG) 공정에 의해 형성한다. 선택적 에피택셜 성장(SEG) 공정은 기저가 되는 하부층의 결정면 및 결정 방향을 따라 막을 형성하는 방법이다. 선택적 에피택셜 성장 공정으로는 저압 화학 기상 증착(LPCVD) 방법 및 극저압 화학 기상 증착(UHVCVD) 방법 등을 이용할 수 있다.

본 발명의 일 실시예에 따르면, 예비 제2 패드(135)는 저압 화학 기상 증착(LPCVD) 방법을 이용한 선택적 에피택셜 공정에 의해 실리콘을 성장시켜 형성된다. 저압 화학 기상 증착(LPCVD) 방법을 이용한 선택적 에피택셜 공정은 수소 가스를 캐리어 가스로 이용하고, SiCl_2H_2 및 HCl 가스를 반응 가스로 사용한다.

본 발명의 다른 실시예에 따르면, 예비 제2 패드(135)는 극저압 화학 기상 증착(UHVCVD) 방법을 이용한 선택적 에피택셜 공정에 의해 실리콘을 성장시켜 형성된다. 반응 가스로는 예를 들어, SiH_4 , Si_2H_6 및 SiCl_2H_2 가스 등을 사용한다. 상기 극저압 화학 기상 증착(UHVCVD) 방법은 저압 화학 기상 증착(LPCVD) 방법보다 더 낮은 온도에서 수행이 가능하다.

본 발명의 또 다른 실시예에 따르면, 예비 제2 패드(135)는 선택적 에피택셜(SEG) 공정을 이용하여 실리콘 게르마늄(SiGe)을 성장시켜 형성한다. 예를 들어, SiH_2Cl_2 , GeH_4 및 HCl 을 반응 가스로 이용하여 약 700°C 내지 약 900°C 정도의 온도 및 약 1torr 내지 약 100torr 정도의 압력 하에서 제1 패드(115)로부터 실리콘 게르마늄층을 성장시킨다. 상기 실리콘 게르마늄층을 성장시킨 후, 이온 주입 공정으로 상기 실리콘 게르마늄층에 주입하여 예비 제2 패드(135)를 형성한다.

상기 선택적 에피택셜 성장(SEG) 공정에 있어서, 의도하지 않은 에피택셜 성장에 의해 제2 절연막(120)의 상면에도 실리콘층 또는 실리콘게르마늄층이 형성될 수 있다. 따라서, 제1 패드(115)의 상면에만 실리콘층 또는 실리콘게르마늄층이 남도록 제2 절연막(120) 상에 형성된 실리콘층 또는 실리콘게르마늄층을 제거한다. 예를 들면, 등방성 식각 공정에 의해 제2 절연막(120) 상의 실리콘층 또는 실리콘게르마늄층을 제거할 수 있다. 상술한 식각 공정을 진행하는 동안 제1 패드(115) 상에 형성된 예비 제2 패드(135)도 식각되어 후속 공정에서 금속 실리사이드 또는 금속 실리콘게르마늄을 형성하기 위한 충분한 높이의 실리콘층 또는 실리콘게르마늄층을 갖지 않을 수 있다. 본 발명의 일 실시예에 따르면, 선택적 에피택셜 성장(SEG) 공정 및 식각 공정을 반복적으로 수행한다. 이에 따라, 제2 절연막(120)에는 실리콘층 또는 실리콘게르마늄층이 형성되지 않고 제1 패드(115) 상에만 원하는 높이의 예비 제2 패드(135)를 형성할 수 있다.

본 발명의 일 실시예에 따르면, 예비 제2 패드(135) 형성 전에 세정(cleaning) 공정을 수행한다. 상기 세정 공정은 제1 패드(115) 표면에 형성된 자연 산화막(native oxide)을 제거하고 제2 개구(125)의 형성 시에 발생한 식각 손상을 큐어링하기 위하여 수행된다. 상기 세정 공정을 수행한 후, 선택적 에피택셜 성장(SEG) 공정을 실시하면 세정 공정을 수행하지 않았을 때 보다 제1 패드(115) 상에 실리콘층 또는 실리콘게르마늄층이 균일하게 형성된다. 본 발명의 일 실시예에 따르면, 상기 세정 공정은 HF 등을 포함하는 산화물을 위한 식각 용액을 사용하는 습식 세정 공정 또는 건식 세정 공정을 포함한다. 본 발명의 일 실시예에 따르면, 상기 세정 공정은 수소 베이킹 공정을 더 포함한다. 본 발명의 다른 실시예에 따르면, 수소 또는 수소와 질소의 혼합 가스를 플라즈마로 처리하는 플라즈마 세정 공정(Plasma Native oxide Cleaning; PNC)으로 수행된다. 상기 플라즈마 처리는 불활성 가스를 더 첨가하여 수행할 수 있다.

도 3e를 참조하면, 예비 제2 패드(135) 및 제2 절연막(120)을 덮으면서 금속막(140)을 형성한다. 금속막(140)은 예를 들어, 티타늄(Ti), 코발트(Co), 알루미늄(Al), 텅스텐(W) 또는 니켈(Ni) 등을 포함한다. 또한, 금속막(140)은 화학 기상 증착(CVD) 공정, 물리 기상 증착(PVD) 공정 또는 원자층 증착(ALD) 공정으로 형성된다. 본 발명의 일 실시예에 따르면, 티타늄(Ti)을 화학 기상 증착(CVD) 공정으로 증착하여 티타늄막을 형성한다. 금속막(140)의 두께는 후속하는 실리사이드이션 공정에서 금속막(140) 아래의 예비 제2 패드(135)가 소모되는 두께를 고려하여 조절한다. 즉, 후속하는 실리사이드이션 공정에 의해 형성되는 금속 실리사이드막 또는 금속 실리콘게르마늄막이 적어도 상기 예비 제2 패드(135)를 완전히 소모하여 제1 패드(115)를 침범하지 않도록 소정 두께로 형성하여야 한다.

본 발명의 다른 실시예에 따르면, 금속 실리사이드 또는 금속 실리콘게르마늄 형성을 위한 열처리 공정 시 금속막(140)의 자연 산화를 방지하기 위해 금속막(140) 상에 티타늄 질화물(TiN) 또는 티타늄 알루미늄 질화물(TiAlN)과 같은 금속 질화물 등을 포함하는 장벽막을 더 형성할 수 있다.

약 450°C 내지 약 650°C 정도의 온도에서 제1 금속 열처리(rapid thermal processing) 공정을 수행하여 예비 제2 패드(135)의 실리콘 또는 실리콘 게르마늄과 금속막(140)을 실리사이드 반응시켜 예비 금속 실리사이드막(도시되지 않음) 또는 예비 금속 실리콘 게르마늄막(도시되지 않음)을 형성한다. 이 경우, 실리콘 또는 실리콘 게르마늄이 존재하지 않는 제2 절연막(120)과 제2 개구(125) 측면의 스페이서(130)에 증착된 금속은 실리사이드 반응을 하지 않는다. 이러한 미반응 금속은 제거된다.

상기 예비 금속 실리사이드막 또는 예비 금속 실리콘 게르마늄막에 약 750°C 내지 약 950°C 정도의 온도에서 제2 금속 열처리 공정을 수행한다. 상기 제2 금속 열처리 공정에 의해 상기 예비 금속 실리사이드막 또는 예비 금속 실리콘 게르마늄막은 금속 실리사이드막 또는 금속 실리콘 게르마늄막으로 변환된다. 이에 따라, 상기 금속 실리사이드막 또는 금속 실리콘 게르마늄막을 포함하는 제2 패드(145)가 형성된다.

본 발명의 일 실시예에 따르면, 예비 제2 패드(135)는 금속막(140)에 의해 모두 실리사이드화된다. 이에 따라, 제2 패드(145)는 예비 제2 패드(135)가 모두 실리사이드화된 금속 실리사이드막 또는 금속 실리콘 게르마늄막만으로 이루어진다. 본 발명의 다른 실시예에 따르면, 예비 제2 패드(135)의 실리콘막 또는 실리콘 게르마늄막의 일부는 금속막(140)과 반응하여 실리사이드화되고, 나머지는 실리사이드화되지 않는다. 예비 제2 패드(135)는 선택적 에피택셜 성장(SEG) 공정에

의해 형성되어 제1 패드(115)로부터 충분한 높이를 갖는 상태이므로 제2 패드(145)의 금속 실리사이드 또는 금속 실리콘 게르마늄이 제1 패드(115)까지 침범하지 않는다. 따라서, 제1 패드(115)에 금속 실리사이드 또는 금속 실리콘 게르마늄이 과다 형성되어 응집 현상이 발생할 가능성이 억제된다.

제2 개구(125)를 완전히 채우면서 제2 절연막(120) 상에 제2 도전막을 형성한다. 상기 제2 도전막은 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 예를 들면, 상기 제2 도전막은 텅스텐, 알루미늄, 티타늄, 탄탈륨, 구리, 텅스텐 질화물, 알루미늄 질화물, 티타늄 질화물, 티타늄 알루미늄 질화물 또는 탄탈륨 질화물 등을 사용하여 형성된다. 또한, 상기 제2 도전막은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다.

도 3f를 참조하면, 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 화학 기계적 연마(CMP)와 에치백을 조합한 공정을 이용하여 제2 절연막(120)이 노출될 때까지 상기 제2 도전막을 부분적으로 제거함으로써, 제3 패드(150)를 형성한다. 그 결과, 제1 패드(115), 제2 패드(145), 제3 패드(150) 및 스페이서(130)를 포함하는 패드 구조물(155)이 형성된다. 제1 패드(115)는 기판(200)의 콘택 영역과 접촉하며 도핑된 폴리실리콘을 포함한다. 제2 패드(145)는 제1 패드(115)와 접촉하며, 금속 실리사이드 또는 금속 실리콘 게르마늄을 포함한다. 본 발명의 다른 실시예에 따르면, 제2 패드(145)는 제1 패드(115)로부터 성장되는 SEG막을 더 포함한다. 제3 패드(150)는 제2 패드(145)와 접촉하며 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물 등의 도전 물질을 포함한다. 스페이서(130)는 제2 및 제3 패드(145, 150)의 측벽에 형성되며 저면이 제1 패드(115)상에 위치한다.

반도체 장치 및 그 제조 방법

도 4는 본 발명의 일 실시예에 따른 반도체 장치의 단면도를 도시한 것이다.

도 4를 참조하면, 상기 반도체 장치는 트랜지스터 구조물들이 형성된 반도체 기판(200), 제1 층간 절연막(225), 제1 패드(240), 제2 패드(245), 제2 층간 절연막(250), 제3 층간 절연막(255) 및 패드 구조물(290)을 포함한다.

상기 트랜지스터 구조물은 반도체 기판(200)에 형성된 제1 콘택 영역(215), 제2 콘택 영역(220) 및 게이트 구조물(210)을 포함한다.

게이트 구조물(210)은 게이트 산화막 패턴(210a), 게이트 도전막 패턴(210b), 게이트 마스크 패턴(210c) 및 게이트 스페이서(210d)를 포함한다. 게이트 구조물(210)은 각기 그 측벽에 형성된 게이트 스페이서(210d)에 의하여 인접하는 게이트 구조물(210)과 서로 전기적으로 분리된다.

반도체 기판(200)에 소스/드레인 영역들인 제1 콘택 영역(215) 및 제2 콘택 영역(220)이 배치된다. 따라서, 반도체 기판(200) 상에는 소스/드레인 영역들에 해당하는 제1 및 제2 콘택 영역들(215, 220) 및 게이트 구조물들(210)을 포함하는 트랜지스터 구조물들이 구비된다.

제1 층간 절연막(225)은 상기 하부 구조물을 덮으면서 반도체 기판(200) 상에 형성된다. 제1 층간 절연막(225)은 BPSG, PSG, PE-TEOS, USG, FOX, SOG 또는 HDP-CVD 산화물 등과 같은 산화물로 이루어진다.

제1 층간 절연막(225)을 관통하여 기판(200)과 접촉하는 제1 패드(240) 및 제2 패드(245)가 구비된다. 제1 패드(240)는 반도체 기판(200)의 제1 콘택 영역(215)과 접촉되고, 제2 패드(245)는 반도체 기판(200)의 제2 콘택 영역(230)에 접촉된다. 본 발명의 일 실시예에 따르면 제1 및 제2 패드(240, 245)는 도핑된 폴리실리콘으로 이루어진다.

제1 및 제2 패드(240, 245)를 포함하는 제1 층간 절연막(225) 상에 제2 층간 절연막(250)이 형성된다. 제2 층간 절연막(250)은 제2 층간 절연막(250)상에 형성되는 비트 라인(도시되지 않음)과 제1 패드(240)를 전기적으로 절연시키는 역할을 한다. 예를 들면, 제2 층간 절연막(250)은 BPSG, PSG, USG, SOG, FOX, PE-TEOS 또는 HDP-CVD 산화물 등으로 이루어진다. 본 발명의 일 실시예에 따르면, 제1 및 제2 층간 절연막들(225, 250)은 전술한 산화물들 가운데 동일한 산화물로 구성될 수 있다. 본 발명의 다른 실시예에 따르면, 제1 및 제2 층간 절연막들(225, 250)은 전술한 산화물들 중에서 서로 상이한 산화물들로 이루어질 수 있다. 제2 층간 절연막(250) 상에는 상기 비트 라인이 위치한다.

제2 층간 절연막(250) 상에는 제3 층간 절연막(255)이 구비된다. 제3 층간 절연막(255)은 BPSG, PSG, USG, SOG, FOX, PE-TEOS 또는 HDP-CVD 산화물 등으로 이루어진다. 제3 층간 절연막(255)은 제2 층간 절연막(250)과 동일한 물질로 이루어질 수 있으며, 또한, 제3 층간 절연막(255)은 제2 층간 절연막(250)과 다른 물질로 이루어질 수도 있다.

제3 층간 절연막(155), 제2 층간 절연막(250) 및 제1 층간 절연막(225)을 관통하여 기판(200)의 제2 콘택 영역(220)과 전기적으로 접속하는 패드 구조물(290)이 구비된다. 패드 구조물(290)은 제2 패드(245), 제3 패드(280), 제4 패드(285) 및 스페이서(265)를 포함한다.

제3 패드(280) 및 제4 패드(285)는 제3 층간 절연막(255) 및 제2 층간 절연막(250)을 관통하여 제2 패드(245)와 접촉한다. 제3 및 제4 패드(280, 285)는 스페이서(265)를 구비한다. 스페이서(265)는 제3 층간 절연막(255)에 대하여 식각 선택비를 가지는 물질로 이루어진다. 예를 들면, 스페이서(265)는 실리콘 질화물과 같은 질화물로 이루어진다.

본 발명의 일 실시예에 따르면, 제3 패드(280)는 금속 실리사이드 또는 금속 실리콘 게르마늄을 포함한다. 상기 금속 실리사이드 또는 금속 실리콘게르마늄은 예를 들어, 티타늄 실리사이드, 코발트 실리사이드, 알루미늄 실리사이드, 텅스텐 실리사이드, 니켈 실리사이드, 티타늄 실리콘게르마늄, 코발트 실리콘 게르마늄, 알루미늄 실리콘게르마늄, 텅스텐 실리콘게르마늄 또는 니켈 실리콘게르마늄 등을 포함한다. 본 발명의 다른 실시예에 따르면, 제3 패드(280)는 제2 패드(245)로부터 성장되는 SEG막을 더 포함한다.

제4 패드(285)는 도핑된 폴리실리콘, 금속 또는 금속 질화물과 같은 도전 물질로 이루어진다. 제4 패드(285)는 예를 들어 텅스텐, 알루미늄, 티타늄, 탄탈륨, 구리, 텅스텐 질화물, 알루미늄 질화물, 티타늄 질화물, 티타늄 알루미늄 질화물 또는 탄탈륨 질화물 등을 포함한다.

도 5a 내지 도 5f는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 5a 내지 도 5f에 있어서, 도 4와 동일한 부재들에 대해서는 동일한 참조 번호를 사용한다.

도 5a를 참조하면, 셀로우 트렌치 소자 분리(STI) 공정이나 실리콘 부분 산화법(LOCOS) 등과 같은 소자 분리 공정을 이용하여 반도체 기판(200) 상에 소자 분리막(205)을 형성함으로써, 반도체 기판(200)에 액티브 영역 및 필드 영역을 정의한다.

소자 분리막(205)이 형성된 반도체 기판(200) 상에 열 산화법(thermal oxidation)이나 화학 기상 증착(CVD) 공정으로 얇은 두께의 게이트 산화막을 형성한다. 이 경우, 상기 게이트 산화막은 소자 분리막(205)에 의해 정의되는 상기 액티브 영역에만 형성된다.

상기 게이트 산화막 상에 게이트 도전막 및 게이트 마스크층을 순차적으로 형성한다. 상기 게이트 도전막은 불순물로 도핑된 폴리실리콘으로 구성되며 후에 게이트 도전막 패턴(210b)으로 패터닝된다. 상기 게이트 마스크층은 후에 게이트 마스크 패턴(210c)으로 패터닝되며, 후속하여 형성되는 제1 층간 절연막(225)에 대하여 식각 선택비를 갖는 물질을 사용하여 형성된다. 예를 들면, 제1 층간 절연막(225)이 산화물로 이루어질 경우에 상기 게이트 마스크층은 실리콘 질화물과 같은 질화물로 이루어진다.

사진 식각 공정을 이용하여 상기 게이트 마스크층, 게이트 도전막 및 게이트 산화막을 순차적으로 패터닝함으로써, 반도체 기판(200) 상에 각기 게이트 산화막 패턴(210a), 게이트 도전막 패턴(210b) 및 게이트 마스크 패턴(210c)을 형성한다. 게이트 산화막 패턴(210a), 게이트 도전막 패턴(210b) 및 게이트 마스크 패턴(210c)이 적층된 결과물의 측벽에 실리콘 질화물과 같은 질화물로 이루어진 게이트 스페이서(210d)를 형성한다. 이에 따라, 게이트 산화막 패턴(210a), 게이트 도전막 패턴(210b), 게이트 마스크 패턴(210c) 및 게이트 스페이서(210d)를 포함하는 게이트 구조물(210)들을 형성한다.

게이트 스페이서(210d) 및 게이트 구조물(210)을 이온 주입 마스크로 이용하여 게이트 구조물(210)들 사이에 노출되는 반도체 기판(200)에 이온 주입(ion implantation) 공정으로 불순물을 주입한 후, 열처리 공정을 수행함으로써, 반도체 기판(200)에 소스/드레인 영역들인 제1 콘택 영역(215) 및 제2 콘택 영역(220)을 형성한다. 따라서, 반도체 기판(200) 상에는 소스/드레인 영역들에 해당하는 제1 및 제2 콘택 영역(215, 220) 및 게이트 구조물(210)들을 포함하는 트랜지스터 구조물들이 형성된다.

본 발명의 다른 실시예에 따르면, 각 게이트 구조물(210)의 측벽에 게이트 스페이서(210d)를 형성하기 전에, 게이트 구조물(210) 사이에 노출되는 반도체 기판(200)에 낮은 농도의 불순물을 1차적으로 이온 주입한다. 다음에, 게이트 구조물(210)의 측벽에 게이트 스페이서(210d)를 형성한 후, 상기 1차 이온 주입된 반도체 기판(200)에 높은 농도의 불순물을 2차적으로 이온 주입하여 LDD(Lightly Doped Drain)구조를 갖는 소스/드레인 영역인 제1 및 제2 콘택 영역(215, 220)을 형성할 수 있다.

도 5b를 참조하면, 상기 트랜지스터 구조물들을 덮으면서 반도체 기판(200)의 전면에 산화물로 이루어진 제1 층간 절연막(225)을 형성한다. 제1 층간 절연막(225)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 제1 층간 절연막(225)은 BPSG, PSG, PE-TEOS, USG, FOX, SOG 또는 HDP-CVD 산화물 등과 같은 산화물을 이용하여 형성한다.

화학 기계적 연마(CMP) 공정, 에치백 공정 또는 화학 기계적 연마(CMP)와 에치백을 조합한 공정을 이용하여 제1 층간 절연막(225)의 상부를 식각함으로써, 제1 층간 절연막(225)의 상면을 평탄화시킨다. 이 경우, 제1 층간 절연막(225)은 게이트 구조물(210)로부터 소정의 높이를 갖는다. 본 발명의 다른 실시예에 따르면, 제1 층간 절연막(225)을 게이트 구조물(210)의 상면이 노출될 때까지 평탄화시킨다.

제1 층간 절연막(225)을 부분적으로 식각하여 제1 층간 절연막(225) 중 아래에 제1 및 제2 콘택 영역(215, 220)이 위치하는 부분에 각기 제1 및 제2 콘택홀(230, 235)을 형성함으로써, 제1 및 제2 콘택 영역(215, 220)을 노출시킨다.

제1 및 제2 콘택홀(230, 235)을 채우면서 제1 층간 절연막(225) 상에 제1 도전막을 형성한다. 본 발명의 일 실시예에 따르면, 상기 제1 도전막은 불순물로 도핑된 폴리실리콘을 사용하여 형성한다.

화학 기계적 연마(CMP) 공정, 에치백 공정 또는 이들을 조합한 공정으로 제1 층간 절연막(225)이 노출될 때까지 상기 제1 도전막을 제거하여 제1 콘택홀(230) 내에 제1 패드(240)를 형성하는 동시에 제2 콘택홀(235) 내에 제2 패드(245)를 형성한다. 제1 패드(240)는 반도체 기판(200)의 제1 콘택 영역(215)과 접촉되고, 제2 패드(245)는 반도체 기판(200)의 제2 콘택 영역(230)에 접촉된다.

본 발명의 다른 실시예에 따르면, 제1 층간 절연막(225)을 게이트 구조물(210)의 상면이 노출될 때까지 평탄화시킨 경우, 상기 제1 도전막을 게이트 구조물(210)의 상면이 노출될 때까지 식각하여 제1 및 제2 콘택 영역(215, 220)에 각기 접촉되는 자기 정렬된(SAC) 패드인 제1 및 제2 패드(240, 245)를 형성할 수 있다.

도 5c를 참조하면, 제1 및 제2 패드(240, 245)를 포함하는 제1 층간 절연막(225) 상에 제2 층간 절연막(250)을 형성한다. 제2 층간 절연막(250)은 후속하여 형성되는 비트 라인(도시되지 않음)과 제1 패드(240)를 전기적으로 절연시키는 역할을 한다. 예를 들면, 제2 층간 절연막(250)은 BPSG, PSG, USG, SOG, FOX, PE-TEOS 또는 HDP-CVD 산화물 등을 사용하여 형성된다. 본 발명의 일 실시예에 따르면, 제1 및 제2 층간 절연막들(225, 250)은 전술한 산화물들 가운데 동일한 산화물로 구성될 수 있다. 본 발명의 다른 실시예에 따르면, 제1 및 제2 층간 절연막들(225, 250)은 전술한 산화물들 중에서 서로 상이한 산화물들로 이루어질 수 있다.

제2 층간 절연막(250) 상에 비트 라인 도전막 패턴(도시되지 않음) 및 비트 라인 마스크층 패턴(도시되지 않음)을 포함하는 비트 라인(도시되지 않음)을 형성한다.

상기 비트 라인을 덮으면서 제2 층간 절연막(250) 상에 제3 층간 절연막(255)을 형성한다. 제3 층간 절연막(255)은 BPSG, PSG, USG, SOG, FOX, PE-TEOS 또는 HDP-CVD 산화물 등을 사용하여 형성된다. 전술한 바와 같이, 제3 층간 절연막(255)은 제2 층간 절연막(250)과 동일한 물질을 사용하여 형성할 수 있으며, 또한, 제3 층간 절연막(255)은 제2 층간 절연막(250)과 다른 물질을 사용하여 형성할 수도 있다.

화학 기계적 연마(CMP) 공정, 에치백 공정 또는 화학 기계적 연마(CMP)와 에치백을 조합한 공정으로 제3 층간 절연막(255)을 식각하여 제3 층간 절연막(255)의 상면을 평탄화시킨다.

제3 층간 절연막(255) 상에 포토레지스트 패턴(도시되지 않음)을 형성한 다음, 상기 포토레지스트 패턴(도시되지 않음)을 식각 마스크로 이용하여 제3 층간 절연막(255) 및 제2 층간 절연막(250)을 연속적으로 식각함으로써, 제2 패드(245)를 노출시키는 개구(260)를 형성한다. 본 발명의 일 실시예에 따르면, 개구(260)는 제2 패드(245)와 실질적으로 동일한 폭으로 형성된다. 본 발명의 다른 실시예에 따르면, 개구(260)가 제2 패드(245)보다 큰 폭을 가질 수 있다. 본 발명의 또 다른 실시예에 따르면, 개구(260)가 제2 패드(245)보다 작은 폭을 가질 수 있다.

도 5d를 참조하면, 제2 패드(245) 및 제3 층간 절연막(255) 상에 절연막을 형성한다. 상기 절연막의 두께는 개구(260)의 폭의 약 1/2 정도보다 작게 하여 개구(260)가 완전히 매립되지 않도록 한다. 상기 절연막을 이방성 식각하여 개구(260)의 측벽에 스페이서(265)를 형성한다. 스페이서(265)는 제3 층간 절연막(255)에 대하여 식각 선택비를 가지는 물질로 이루어진다. 예를 들면, 스페이서(265)는 실리콘 질화물과 같은 질화물을 사용하여 형성된다.

개구(260)를 부분적으로 채우는 소정 높이의 예비 제3 패드(270)를 형성한다. 예비 제3 패드(270)는 개구(260)를 완전히 매립하지 않도록 형성한다.

본 발명의 일 실시예에 따르면, 예비 제3 패드(270)는 개구(260)에 의해 노출되는 제2 패드(245)로부터 선택적 에피택셜 성장(SEG) 공정에 의해 형성한다. 선택적 에피택셜 성장 공정으로는 저압 화학 기상 증착(LPCVD) 방법 및 극저압 화학 기상 증착(UHVCVD) 방법 등을 이용할 수 있다.

본 발명의 일 실시예에 따르면, 예비 제3 패드(270)는 저압 화학 기상 증착(LPCVD) 방법을 이용한 선택적 에피택셜 공정에 의해 형성된다. 저압 화학 기상 증착(LPCVD) 방법을 이용한 선택적 에피택셜 공정은 수소 가스를 캐리어 가스로 이용하고, SiCl_2H_2 및 HCl 가스를 반응 가스로 사용한다. 본 발명의 다른 실시예에 따르면, 예비 제3 패드(270)는 극저압 화학 기상 증착(UHVCVD) 방법을 이용한 선택적 에피택셜 공정에 의해 형성된다. 반응 가스로는 예를 들어, SiH_4 , Si_2H_6 , 및 SiCl_2H_2 가스 등을 사용한다. 극저압 화학 기상 증착(UHVCVD) 방법은 저압 화학 기상 증착(LPCVD) 방법보다 대체로 더 낮은 온도에서도 SEG막 성장이 가능하다.

본 발명의 또 다른 실시예에 따르면, 예비 제3 패드(270)는 선택적 에피택셜 공정을 이용하여 실리콘게르마늄(SiGe)을 성장시켜 형성한다. 실리콘 게르마늄층을 성장시킨 후 불순물로 이온 주입 공정을 수행한다.

상기 선택적 에피택셜 성장 공정에서, 의도하지 않은 에피택셜 성장에 의해 제3 층간 절연막(255)의 상면에 실리콘층 또는 실리콘 게르마늄층이 형성될 수 있다. 따라서, 제2 패드(245)의 상에만 실리콘층 또는 실리콘 게르마늄층이 남도록 제3 층간 절연막(255) 상에 형성된 실리콘층 또는 실리콘 게르마늄층을 제거한다. 예를 들면, 등방성 식각 공정에 의해 제3 층간 절연막(255)상의 실리콘층 또는 실리콘 게르마늄층을 제거할 수 있다. 상기 식각 공정에 의해 제2 패드(245)상면의 예비 제3 패드(270)도 식각되어 금속 실리콘사이드막 또는 금속 실리콘 게르마늄막을 형성하기 위한 충분한 높이를 갖지 않을 때, 본 발명의 일 실시예에 따르면, 선택적 에피택셜 성장 공정 및 식각 공정을 복수 회 반복한다. 이에 따라, 제3 층간 절연막(270)에는 실리콘층 또는 실리콘 게르마늄층이 형성되지 않고 제2 패드(245) 상에만 원하는 높이의 예비 제3 패드(270)가 성장하도록 할 수 있다.

본 발명의 일 실시예에 따르면, 예비 제3 패드(270) 형성 전에 세정 공정을 더 수행한다. 상기 세정 공정은 제2 패드(245) 표면에 형성된 자연 산화막을 제거하고 개구(260) 형성 시 발생한 식각 손상을 큐어링하기 위하여 수행된다. 상기 세정 공정을 더 수행한 후 선택적 에피택셜 성장 공정을 실시하면 세정 공정을 수행하지 않았을 때 보다 예비 제3 패드(270)에 실리콘층 또는 실리콘 게르마늄층이 균일하게 형성된다. 본 발명의 일 실시예에 따르면, 상기 세정 공정은 HF 등을 포함하는 산화물 식각 용액을 이용하여 습식 세정 공정 또는 건식 세정 공정을 포함한다. 본 발명의 일 실시예에 따르면, 상기 세정 공정은 수소 베이킹 공정을 더 포함한다. 본 발명의 다른 실시예에 따르면, 수소 또는 수소와 질소의 혼합 가스를 플라즈마 열처리하는 플라즈마 세정 공정을 더 포함할 수도 있다. 상기 플라즈마 처리는 불활성 가스를 더 첨가하여 수행할 수 있다.

도 5e를 참조하면, 예비 제3 패드(270) 및 제3 층간 절연막(255)을 덮으면서 금속막(275)을 형성한다. 금속막(275)은 예를 들어, 티타늄(Ti), 코발트(Co), 알루미늄(Al), 텅스텐(W) 또는 니켈(Ni) 등을 포함한다. 또한, 금속막(275)은 화학 기상 증착(CVD), 플라즈마 기상 증착(PVD) 또는 원자층 증착(ALD) 등의 방법에 의해 형성한다. 본 발명의 일 실시예에 따르면, 티타늄(Ti)을 화학 기상 증착(CVD) 공정으로 증착하여 티타늄막을 형성한다. 금속막(275)의 두께는 후속하는 실리콘사이드이션 공정에서 금속막(275) 아래의 예비 제3 패드(270)가 소모되는 두께를 고려하여 조절한다. 즉, 후속하는 실리콘사이드이션 공정에 의해 형성되는 금속 실리콘사이드막 또는 금속 실리콘 게르마늄막이 예비 제3 패드(270)를 완전히 소모하여 예비 제3 패드(270) 하부의 제2 패드(245)를 침범하지 않도록 소정 두께로 형성하여야 한다.

본 발명의 다른 실시예에 따르면, 금속 실리콘사이드 또는 금속 실리콘게르마늄 형성을 위한 열처리 공정시 금속막(275)의 자연 산화를 방지하기 위해 금속막(275) 상에 티타늄 질화물(TiN) 또는 티타늄 알루미늄 질화물(TiAlN)과 같은 금속 질화물 등을 포함하는 장벽막을 더 형성할 수 있다.

도 5f를 참조하면, 약 450℃ 내지 650℃ 정도의 온도에서 제1 금속 열처리 공정을 수행하여 예비 제3 패드(270)의 실리콘 또는 실리콘게르마늄과 금속막(275)을 실리사이드 반응시켜 예비 금속 실리사이드막(도시되지 않음) 또는 예비 금속 실리콘 게르마늄막(도시되지 않음)을 형성한다. 이 때, 실리콘 또는 실리콘게르마늄이 존재하지 않는 제3 층간 절연막(255) 및 스페이서(265)에 증착된 금속은 실리사이드 반응을 하지 않는다. 상기 반응하지 않은 금속을 제거한다.

상기 예비 금속 실리사이드 또는 상기 예비 금속 실리콘게르마늄에 약 750℃ 내지 950℃ 정도의 온도에서 제2 금속 열처리 공정을 수행한다. 상기 제2 금속 열처리 공정에 의해 상기 예비 금속 실리사이드막 또는 상기 예비 금속 실리콘게르마늄막은 각기 금속 실리사이드막 또는 금속 실리콘 게르마늄막을 형성한다. 이에 따라 상기 금속 실리사이드 또는 상기 금속 실리콘게르마늄을 포함하는 제3 패드(280)가 형성된다.

본 발명의 일 실시예에 따르면, 예비 제3 패드(270)는 금속막(275)과 모두 반응하여 실리사이드화된다. 이에 따라, 제3 패드(280)는 상기 금속 실리사이드 또는 상기 금속 실리콘게르마늄만을 포함한다. 본 발명의 다른 실시예에 따르면, 예비 제3 패드(270)의 일부는 금속막(275)과 반응하여 실리사이드화되지만, 일부는 반응하지 않고 남아있다. 이에 따라, 제3 패드(280)는 제2 패드(245)로부터 성장된 SEG막을 더 포함한다. 예비 제3 패드(270)는 제2 패드(245)로부터 선택적 에피택셜 성장 공정에 의하여 충분한 높이로 성장되어 형성되므로 비록 금속 실리사이드 또는 금속 실리콘게르마늄이 과다 형성된다 하더라도 하부의 제2 패드(245)까지 침범하지 않는다. 따라서, 제2 패드(245)영역에 금속 실리사이드 또는 금속 실리콘게르마늄이 과다 형성되어 응집 현상이 발생할 가능성이 억제된다.

개구(260)를 완전히 채우면서 제3 패드(280) 및 제3 층간 절연막(255) 상에 제2 도전막을 형성한다. 상기 제2 도전막은 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 또한, 상기 제2 도전막은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다.

화학 기계적 연마(CMP) 공정, 에치백 공정 또는 화학 기계적 연마(CMP)와 에치백을 조합한 공정을 이용하여 제3 층간 절연막(255)이 노출될 때까지 상기 제2 도전막을 부분적으로 제거함으로써, 제4 패드(265)를 형성한다. 이에 따라, 제2 패드(245), 제3 패드(280), 제4 패드(265) 및 스페이서(265)를 포함하는 패드 구조물(290)이 형성된다. 제2 패드(245)는 기판(200)의 콘택 영역과 접촉하며 도핑된 폴리실리콘을 포함한다. 제3 패드(280)는 제2 패드(245)와 접촉하며, 금속 실리사이드 또는 금속 실리콘게르마늄을 포함한다. 본 발명의 다른 실시예에 따르면, 제3 패드(280)는 제2 패드(245)로부터 유래된 SEG막을 더 포함한다. 제4 패드(265)는 제3 패드(280)와 접촉하며 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물 등의 도전 물질을 포함한다. 스페이서(265)는 제3 및 제4 패드(280, 285)의 측벽에 형성되며, 저면이 제2 패드(245) 상에 위치한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 콘택 저항 감소를 위한 금속 실리사이드 또는 금속 실리콘게르마늄 형성 시 금속 실리사이드 또는 금속 실리콘게르마늄이 형성될 영역에만 실리콘층 또는 실리콘 게르마늄층을 선택적 에피택셜 성장(SEG) 공정에 의해 성장시킨 후 실리사이드화 반응을 수행한다. 따라서, 금속 실리사이드 또는 금속 실리콘게르마늄의 과다 형성으로 후속하여 형성되는 인접하는 패드들 사이에 전기적 단락이 발생하는 것을 방지할 수 있다.

상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 특히 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 패드 구조물의 형성 방법을 설명하기 위한 단면도들이다.

도 2는 본 발명의 일 실시예에 따른 패드 구조물의 단면도이다.

도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 패드 구조물의 형성 방법을 설명하기 위한 단면도들이다.

도 4는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 5a 내지 도 5f는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 기판 110 : 제1 절연막

115 : 제1 패드 120 : 제2 절연막

130, 265 : 스페이서 135 : 예비 제2 패드

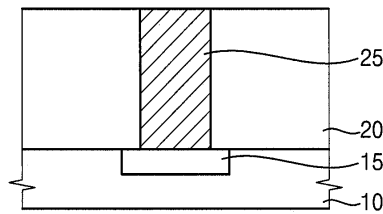
145 : 제2 패드 150 : 제3 패드

155, 290 : 패드 구조물 225 : 제1 층간 절연막

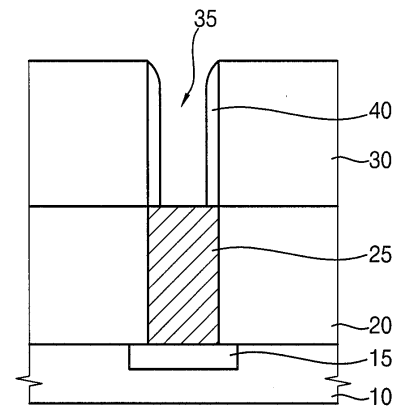
250 : 제2 층간 절연막

도면

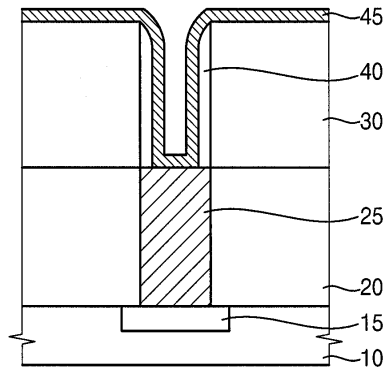
도면1a



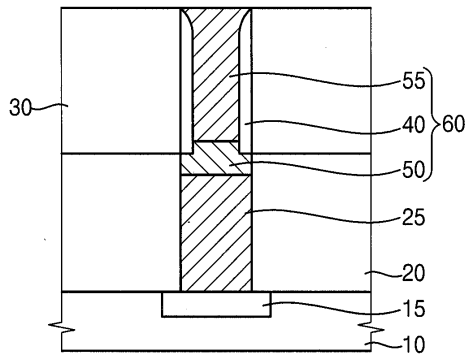
도면1b



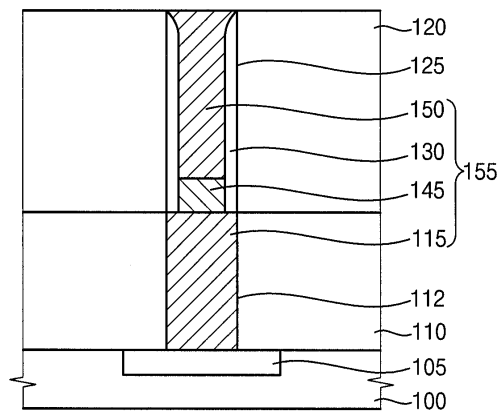
도면1c



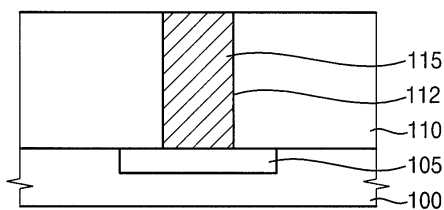
도면1d



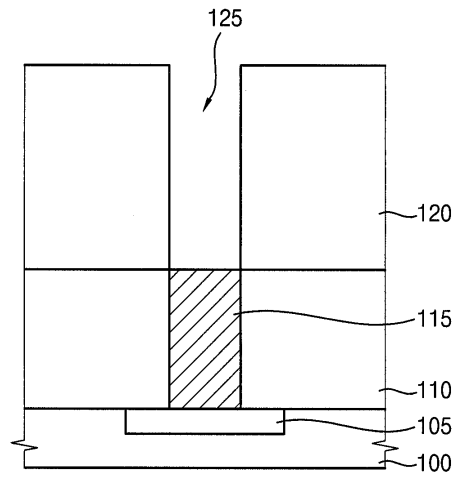
도면2



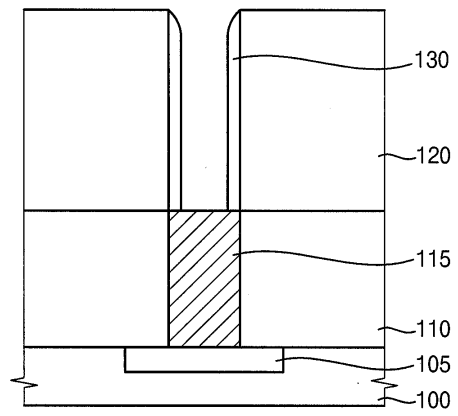
도면3a



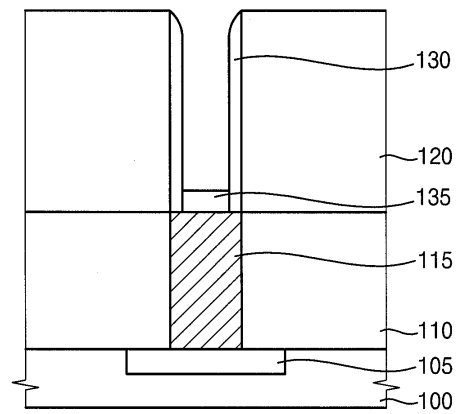
도면3b



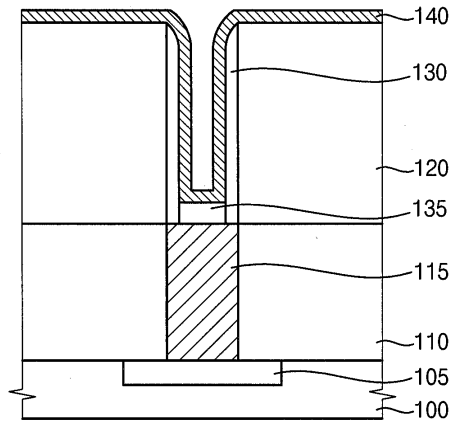
도면3c



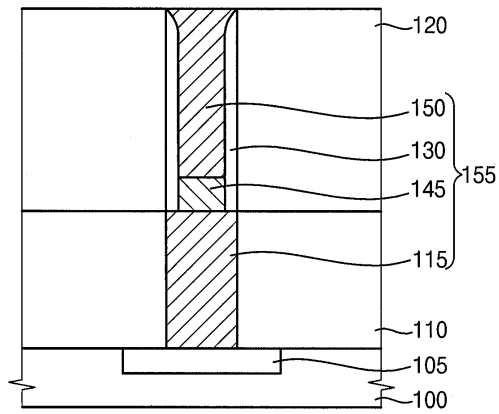
도면3d



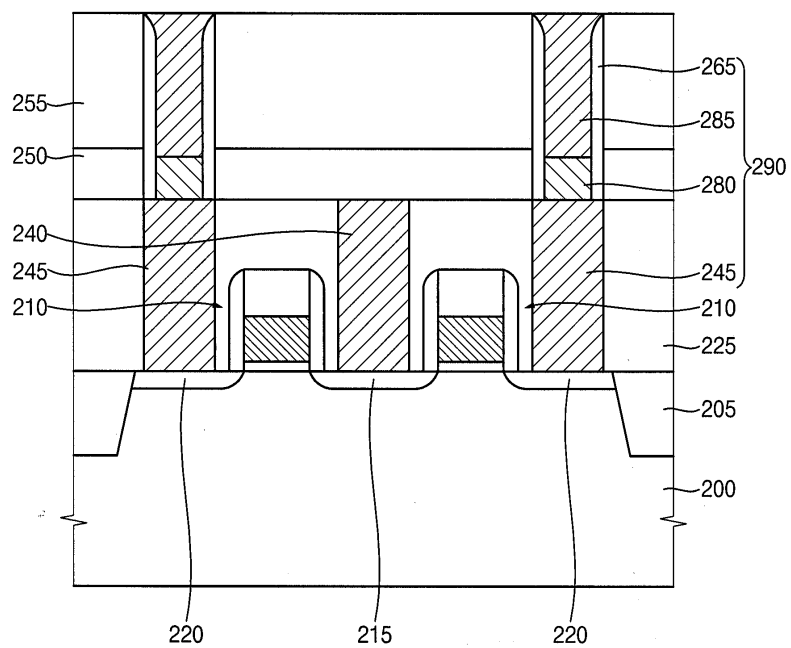
도면3e



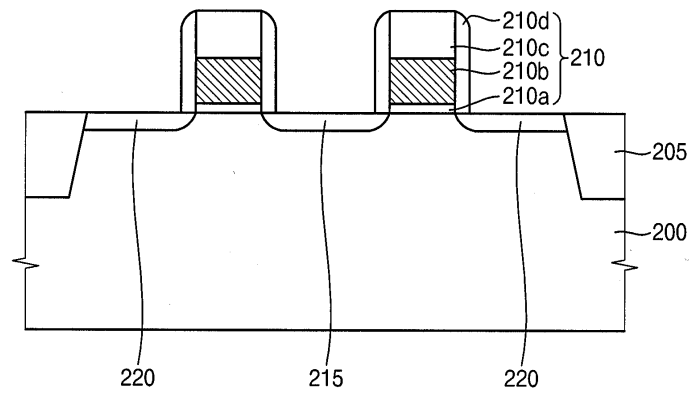
도면3f



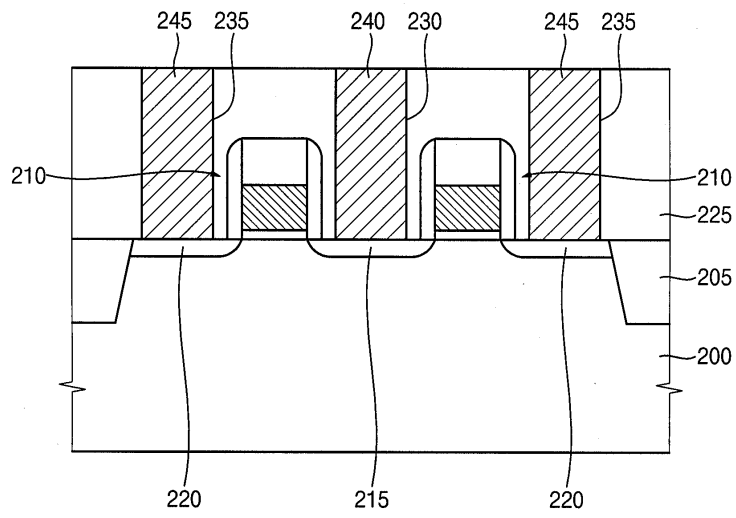
도면4



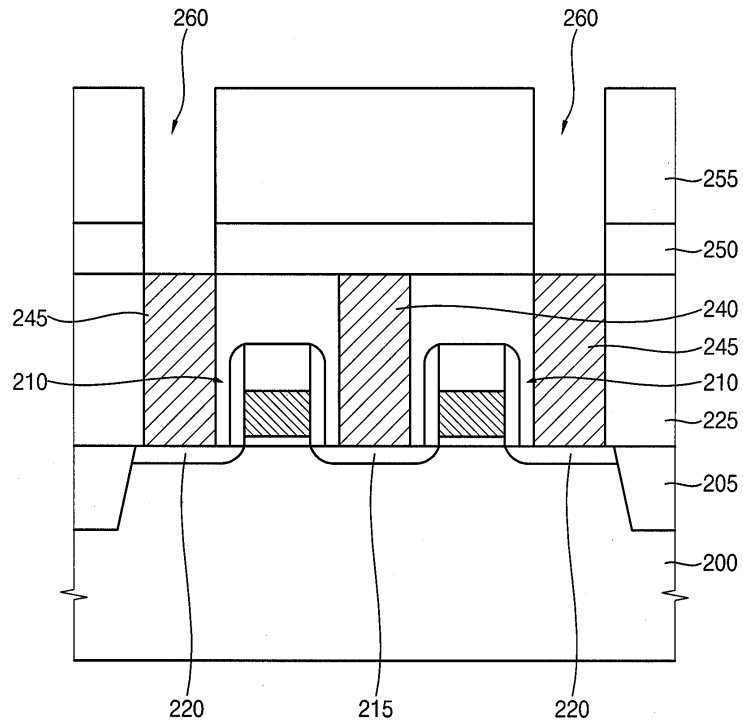
도면5a



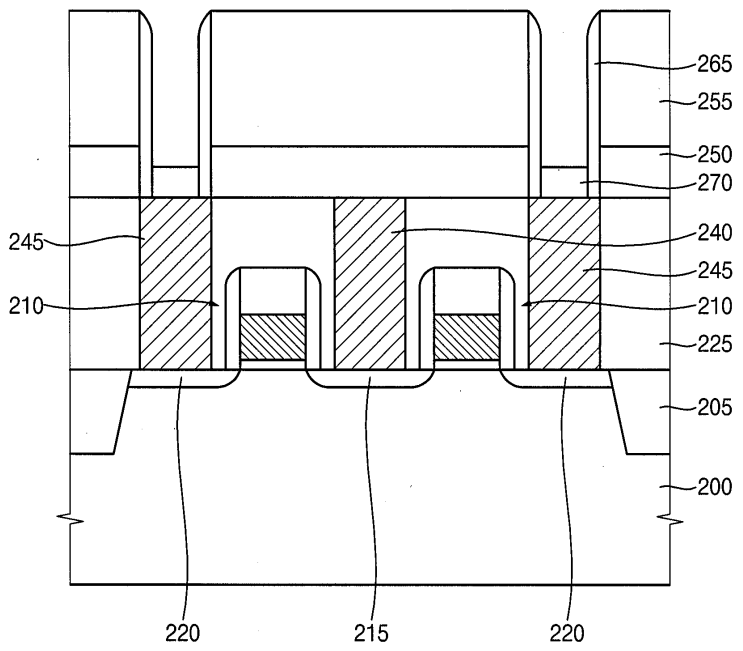
도면5b



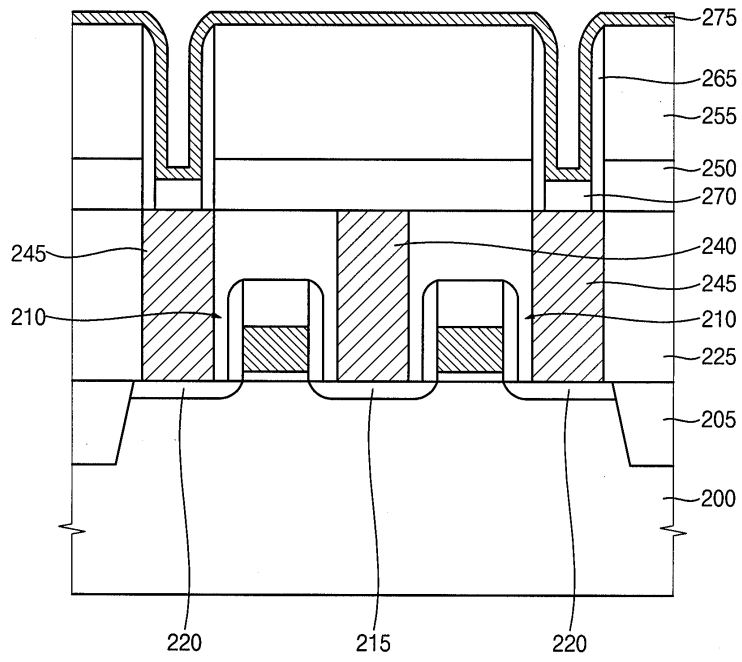
도면5c



도면5d



도면5e



도면5f

