



(12) 发明专利

(10) 授权公告号 CN 102623039 B

(45) 授权公告日 2015.08.19

(21) 申请号 201110397274.5

G11C 7/10(2006.01)

(22) 申请日 2008.12.04

G11C 7/22(2006.01)

(30) 优先权数据

61/013784 2007.12.14 US

61/019907 2008.01.09 US

61/039605 2008.03.26 US

12/168091 2008.07.04 US

12/325074 2008.11.28 US

(56) 对比文件

US 6442644 B1, 2002.08.27, 全文.

US 2007/0260841 A1, 2007.11.08, 全文.

US 2006/0226871 A1, 2006.10.12, 说明书第 [0086] 段至第 [0093] 段, 附图 11-13.

CN 1521585 A, 2004.08.18, 说明书第 10 页第 7 行至第 11 页第 5 行, 附图 1.

CN 1521585 A, 2004.08.18, 说明书第 10 页第 7 行至第 11 页第 5 行, 附图 1.

(62) 分案原申请数据

200880120501.6 2008.12.04

(73) 专利权人 诺瓦芯片加拿大公司

地址 加拿大安大略省

审查员 白桦

(72) 发明人 潘弘柏 P·吉利厄姆

(74) 专利代理机构 北京泛华伟业知识产权代理

有限公司 11280

代理人 王勇

(51) Int. Cl.

G06F 17/30(2006.01)

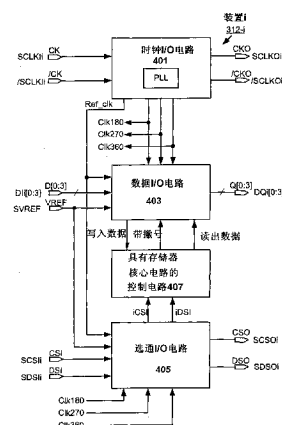
权利要求书2页 说明书42页 附图74页

(54) 发明名称

具有多个装置的系统中的时钟再生和时序方法以及具有可变数据对准的存储器控制器

(57) 摘要

一个系统包括存储器控制器和串联的多个半导体装置。每个装置存储数据。控制器提供用于同步装置操作的时钟。每个装置包括用使能信号选择性地使能或禁用的锁相环 (PLL)。用使能信号使能所选装置的 PLL, 将其他装置的 PLL 禁用。使能的 PLL 提供具有 90° 倍数相移的多个再生时钟。数据传输和至少一个再生的时钟同步。在禁用 PLL 的装置中, 数据传输和输入时钟同步。使能和禁用的 PLL 使装置分别为源同步时钟和公共同步时钟。分配给最后一个装置的装置标示符的最低有效位确定时钟对准: 由控制器产生和数据边沿对准或中心对准的时钟。



1. 一种与采用源同步时钟的多个串联装置通信的设备,其中,至少一个串联装置与唯一装置标示符相关联,所述设备包括:

标示符检测器,其被配置用于:检测和所述至少一个串联装置相关联的装置标示符,以及基于所检测的装置标示符提供所检测的数量信息,其中所述标示符检测器包括位信息检测器,该位信息检测器被配置用于检测在所检测的装置标示符中包括的多个位中的一位的位内容信息,并且其中,该位信息检测器被配置为包括位数字判定器,该位数字判定器被配置用于:检测所检测的装置标示符的最低有效位(LSB)是“1”或“0”,并提供判定结果作为所检测的数量信息;以及

时钟产生器,其被配置用于响应于所检测的数量信息产生对准的时钟信号,所述对准的时钟信号被用于同步所述设备和所述装置之间的通信。

2. 根据权利要求1所述的设备,其中所述位数字判定器包括:

寄存器,其被配置用于存储和所述至少一个串联装置相关联的装置标示符的位;以及位判定器,其被配置用于检测所存储的装置标示符的最低有效位是“1”或“0”。

3. 根据权利要求2所述的设备,还包括:

模式检测器,其被配置用于接收表示标示符分配完成的状态的信号、确定标示符分配是否完成并向所述位判定器提供所述标示符分配完成的状态,以确定所寄存的装置标示符的最低有效位。

4. 根据权利要求1所述的设备,其中所述时钟产生器响应于装置标示符分配已完成的检测产生和数据边沿对准或中心对准的时钟信号,所述设备提供用于控制到所述装置的数据输入和从所述装置的数据输出的选通信号,所述数据和所述时钟信号同步传输。

5. 根据权利要求2所述的设备,其中,所述至少一个串联装置包括所述串联装置中的最后一个装置。

6. 根据权利要求1所述的设备,其中,所述位信息检测器被配置用于检测在所检测的装置标示符中包括的多个位中的一位的值。

7. 一种用于和采用源同步时钟的多个串联装置通信的方法,其中,至少一个串联装置与唯一装置标示符相关联,所述方法包括:

检测和所述至少一个串联装置相关联的装置标示符,以基于所检测的装置标示符提供所检测的数量信息;

检测在所检测的装置标示符中包括的多个位中的一位的位内容信息,其包括:确定所检测的装置标示符的最低有效位(LSB)是“1”或“0”以及提供判定结果作为所检测的数量信息;以及

响应于所检测的数量信息产生对准的时钟信号,所述对准的时钟信号用于同步和所述装置的通信。

8. 根据权利要求7所述的方法,其中所述确定步骤包括:

接收和所述至少一个串联装置相关联的装置标示符的位;以及

判定所接收的装置标示符的最低有效位是“1”或“0”以产生判定结果,从而响应于所述判定结果产生和数据边沿对准或中心对准的时钟信号。

9. 根据权利要求7所述的方法,其中所述产生步骤包括:

产生和数据边沿对准或中心对准的时钟信号,并且其中,所述方法还包括:

提供用于控制到所述装置的数据输入和从所述装置的数据输出的选通信号,所述数据和所述对准的时钟信号同步传输。

10. 根据权利要求 8 所述的方法,其中,所述至少一个串联装置包括所述串联装置中的最后一个装置。

11. 根据权利要求 7 所述的方法,其中,检测位内容信息包括检测在所检测的装置标示符中包括的多个位中的一位的值。

12. 一种源同步时钟系统,包括:

采用源同步时钟的多个串联装置,其中,至少一个串联装置与唯一装置标示符相关联;以及

配置为和所述串联装置通信的控制器,所述控制器包括:

标示符检测器,其被配置用于检测和所述至少一个串联装置相关联的装置标示符,以及基于所检测的装置标示符提供所检测的数量信息,其中所述标示符检测器包括位信息检测器,该位信息检测器被配置用于检测在由二进制代码表示的所述装置标示符中包括的多个位中的一位的位内容信息,该位信息检测器被配置为包括位数字判定器,该位数字判定器被配置用于:检测所述装置标示符的最低有效位 (LSB) 是“1”或“0”,并提供判定结果作为所检测的数量信息;以及

时钟产生器,其被配置用于响应于所检测的数量信息产生对准的时钟信号,所述对准的时钟信号用于同步所述控制器和所述装置之间的通信。

13. 根据权利要求 12 所述的系统,其中所述位数字判定器包括:

寄存器,其被配置用于存储和所述至少一个串联装置相关联的装置标示符的位;以及位判定器,其被配置用于检测所存储的装置标示符的最低有效位是“1”或“0”。

14. 根据权利要求 13 所述的系统,其中,所述至少一个串联装置包括所述串联装置中的最后一个装置。

15. 根据权利要求 12 所述的系统,其中,所述位信息检测器被配置用于检测在所检测的装置标示符中包括的多个位中的一位的值。

具有多个装置的系统中的时钟再生和时序方法以及具有可变数据对准的存储器控制器

[0001] 本申请是分案申请,原申请是申请日为2008年12月4日,申请号为200880120501.6的中国专利申请,其发明名称为“具有多个装置的系统中的时钟再生和时序方法以及具有可变数据对准的存储器控制器。”

[0002] 对相关申请的交叉引用

[0003] 本发明要求2007年12月14日提交的美国临时专利申请 No. 61/013,784、2008年1月9日提交的美国临时专利申请 No. 61/019,907、2008年3月26日提交的美国临时专利申请 No. 61/039,605、2008年7月4日提交的美国专利申请 No. 12/168,091 以及2008年11月28日提交的美国专利申请 No. 12/325,074 的优先权。

技术领域

[0004] 本发明涉及装置。具体而言,本发明涉及具有多个装置的系统以及用于再生该系统所用时钟的方法。而且,本发明涉及半导体装置。具体而言,本发明涉及具有多个半导体装置的系统以及用于这种系统的时序和时钟方法。

背景技术

[0005] 电子设备使用如存储器装置的半导体装置。存储器装置可以包括随机存取存储器(RAM)、闪速存储器(例如 NAND 闪存装置、NOR 闪存装置)以及用于存储数据或信息的其他类型的存储器。

[0006] 电路板上的存储器系统设计用于既实现高密度又实现高速操作,以满足各种应用的要求。可用于在电路板上实现高密度存储器系统的两种设计技术包括串联互联结构和多点连接(multi-drop)总线互联结构。这些设计技术通过使许多存储器装置连接到一个存储器控制装置来解决密度问题。一种设计技术是多点连接总线互联结构,其中,多个存储器装置并联到存储器控制器。另一种设计技术是多个存储器装置的串联。

[0007] 包括存储器的系统中可以使用各种时钟方法。使用公共源时钟时,由于这种结构的并联性质,时钟信号会出现失真。同时,其具有几个偏斜因子(skew factor),许多装置连接成多点连接形式时,工作频率范围有限,而且不能用于高速应用。使用时钟重整和重发射的源同步时钟系统提供较高的工作频率范围,并避免一些公共同步时钟偏斜因子,但是会引入不严重影响系统性能的其他偏斜因子。

发明内容

[0008] 根据本发明的一方面,提供一种用于传输具有由输入时钟信号的转换所确定的周期的数据的装置。该装置包括时钟电路和同步电路。该时钟电路用于响应于输入时钟信号提供多个再生的时钟信号。多个再生的时钟信号的相位相对于数据彼此不同地偏移。该时钟电路还用于响应于多个再生的时钟信号中的至少一个产生输出时钟信号。该同步电路用于同步数据传输和至少一个再生的时钟信号。在数据周期内发生输出时钟信号的转换。

[0009] 例如,多个再生的时钟信号的相位中的每一个相对彼此相移。响应于具有不同相移的再生时钟信号,时钟电路可以产生具有可变相移的输出时钟信号。

[0010] 时钟电路可包括:锁相环(PLL),用于响应于输入时钟信号提供多个再生的时钟信号;以及时钟输出电路,用于响应于多个再生的时钟信号中的至少一个产生所述输出时钟信号。

[0011] 例如,所述PLL配置为响应于控制信号选择性地被使能或禁用,该控制信号具有分别用于引起PLL被使能或禁用的第一和第二逻辑状态。PLL被使能的情况下,PLL响应于输入时钟信号产生多个再生的时钟信号。时钟输出电路响应于所述多个再生的时钟信号中的至少一个来产生输出时钟信号。同步电路使数据传输和至少一个所述再生的时钟信号同步。PLL被禁用的情况下,同步电路使数据传输和输入时钟信号同步。

[0012] 有益地,PLL还用于输出再生的时钟信号,所述再生的时钟信号和数据之间的相移是 90° 的倍数。

[0013] 例如,装置接收包括一个时钟信号及其互补时钟信号的输入时钟信号。响应于输入时钟信号,时钟电路提供内部时钟信号。PLL在PLL使能时响应于内部时钟信号提供多个再生的时钟信号。在PLL被禁用时,同步电路使数据传输和内部时钟信号同步。

[0014] 该装置还可以包括保持器,用于保持和装置相关联的标识信息,该标识信息可用于标识装置。响应于该保持器中保持的标识信息提供控制信号。控制信号是分别使PLL被使能和禁用的逻辑高或低之一。

[0015] 装置还可包括访问电路,用于响应于基于标识信息的装置标识访问存储器。

[0016] 根据本发明的另一方面,提供一种用于把数据从第一装置传输到第二装置的设备,所述数据具有由时钟信号的转换确定的周期。第一装置包括:第一时钟电路和第一同步电路。第一时钟电路用于:响应于第一输入时钟信号提供多个第一再生的时钟信号,所述多个第一再生的时钟信号的相位相对于数据彼此不同地偏移,以及响应于所述多个第一再生的时钟信号中的至少一个来产生第一输出时钟信号。第一同步电路用于同步数据传输和所述多个第一再生的时钟信号中的至少一个,在数据周期内发生第一输出时钟信号的转换。第二装置包括:第二时钟电路,用于响应于从第一输出时钟信号获得的第二输入时钟信号提供多个第二再生的时钟信号,所述多个第二再生的时钟信号的相位相对于数据彼此不同地偏移,以及第一数据输入电路,用于响应于第二输入时钟从第一装置接收传输的数据。

[0017] 例如,第一时钟电路包括:第一锁相环(PLL),用于响应于第一输入时钟信号提供多个第一再生的时钟信号;第一时钟输出电路,用于响应于所述多个第一再生的时钟信号中的至少一个来产生第一输出时钟信号。第二时钟电路包括:第二PLL,用于响应于第二输入时钟信号提供多个第二再生的时钟信号。

[0018] 第一和第二PLL配置为分别响应于第一和第二控制信号选择性地被使能或禁用。当第一PLL使能时,第一PLL响应于第一输入时钟信号产生多个第一再生的时钟信号。当第二PLL使能时,第二PLL响应于第二输入时钟信号产生多个第二再生的时钟信号。

[0019] 根据本发明的另一方面,提供一种系统,包括:控制器;以及串联的多个装置,所述多个装置的操作和时钟信号同步。每个装置包括:用于选择性地被使能的锁相环(PLL),所述PLL在使能时响应于输入时钟信号提供多个再生的时钟信号,多个再生的时钟信号是输入时钟信号的不同相移的形式;以及同步电路,用于同步数据传输和至少一个所述再生

的时钟 信号。

[0020] 根据本发明的另一方面,提供一种多个装置中使用的方法,所述多个装置中的每一个包括锁相环 (PLL),一个装置响应于输入时钟信号把数据传输到另一装置。该方法包括:响应于控制信号选择性地使能 PLL,被使能的 PLL 响应于输入时钟信号输出多个再生的时钟信号,再生的时钟信号是输入时钟信号的不同相移的形式。

[0021] 根据本发明的另一方面,提供一种用于传输根据时钟信号被同步的数据的方法,该数据的周期根据时钟信号的转换确定,该方法包括:选择性地使能或禁用锁相环 (PLL);在锁相环使能时响应于输入时钟信号提供再生的时钟信号,再生的时钟信号是输入时钟信号的相移形式;以及同步数据的传输和再生的时钟信号,在数据周期中发生再生的时钟信号的时钟转换。

[0022] 根据本发明的另一方面,提供一种用于从第一装置向第二装置传输数据的方法,根据时钟信号所述数据被同步,所述数据的周期由所述时钟信号的转换确定,该方法包括:响应于第一输入时钟信号提供再生的时钟信号,再生的时钟信号是第一输入时钟信号的相移形式;同步数据的传输和再生的时钟信号,在数据周期内发生再生的时钟信号的时钟转换,提供再生的时钟信号作为输出时钟信号;响应于来自第一装置的输出时钟信号提供再生的时钟信号,再生的时钟信号是来自第一装置的输出时钟信号的相移形式;以及接收从第一装置传输的数据。

[0023] 根据本发明的另一方面,提供一种用于传输根据时钟信号被同步的数据的方法,该数据的周期由时钟信号的转换确定。该方法包括:选择性地使能或禁用锁相环 (PLL);在该 PLL 被使能时响应于输入时钟信号提供多个再生的时钟信号,再生的时钟信号是输入时钟信号的不同相移的形式;以及使数据的传输和至少一个所述再生的时钟信号同步。

[0024] 根据本发明的另一方面,提供一种用于从第一装置向第二装置传输数据的方法,根据时钟信号所述数据被同步,所述数据的周期由时钟信号的转换确定。在第一装置,该方法包括:响应于第一输入时钟信号提供多个再生的时钟信号,所述再生的时钟信号是第一输入时钟信号的不同相移的形式;以及使数据的传输和至少一个所述再生的时钟信号同步,在数据周期内发生再生的时钟信号的时钟转换,提供再生的时钟信号作为输出时钟信号。在第二装置,该方法包括:响应于来自第一装置的输出时钟信号提供多个再生的时钟信号,所述再生的时钟信号是来自第一装置的输出时钟信号的不同相移的形式;以及接收从第一装置传输的数据。

[0025] 根据本发明的一方面,提供一种与采用源同步时钟的多个串联装置通信的设备,所述设备包括:信息检测器,用于检测和串联装置的数量相关的数量信息;以及时钟产生器,用于响应于检测的数量信息产生时钟信号,产生的时钟信号用于同步设备和装置之间的通信。

[0026] 例如,信息检测器包括标示符检测器,用于检测和串联装置中的一个相关联的装置标示符 (ID),并将检测的装置 ID 作为检测的数量信息提供给时钟产生器。标示符检测器可包括:位信息检测器,用于检测装置 ID 中包括的多个位中的一个的信息。

[0027] 位信息检测器可包括:位数字判定器,用于确定装置 ID 的最低有效位 (LSB) 是“1”或“0”,并提供判定结果作为检测的数量信息,响应于判定结果产生对准的时钟信号。

[0028] 该设备还可包括模式检测器,用于接收标识 ID 分配完成的状态的信号、确定 ID 分

配是否完成并向位判定器提供 ID 分配完成的状态,以确定寄存的装置 ID 的 LSB。

[0029] 例如,时钟产生器响应于装置标示符分配已完成或正在进行的检测产生和数据边沿对准或中心对准的时钟信号,设备提供用于控制输入到装置的数据和来自装置的数据的选通信号,数据和时钟信号同步传输。

[0030] 根据本发明的另一方面,提供一种用于和采用源同步时钟的多个串联装置通信的方法,所述方法包括:检测和串联装置的数量相关的数量信息;以及响应于检测的数量信息产生时钟信号,产生的时钟信号用于同步和装置的通信。

[0031] 该方法还可包括:分配和每个串联装置相关联的唯一装置标示符(ID),分配的装置的 ID 是连续的;检测和串联装置中的一个相关联的装置 ID;以及提供检测的装置 ID 作为检测的数量信息。检测装置 ID 的步骤可包括:响应于装置 ID 的检测完成来检测关于装置 ID 中包括的多个位中的一个的信息。

[0032] 根据本发明的另一方面,提供一种系统,包括:采用源同步时钟的多个串联装置;以及用于和串联装置通信的控制器,所述控制器包括:信息检测器,用于检测和串联装置的数量相关的数量信息;以及时钟产生器,用于响应于检测的数量信息产生时钟信号,产生的时钟信号用于同步控制器和装置之间的通信。

[0033] 根据本发明的一个实施例,提供一种包括存储器控制器和至少一个半导体装置的系统。

[0034] 根据本发明的一个实施例,提供包括选择性地使能或禁用的 PLL 的装置。PLL 被使能时,提供多个再生的时钟信号,其相对于由输入时钟信号及其互补信号确定的参考时钟信号相移 90° 、 180° 、 270° 和 360° 。PLL 是选择性地使能或禁用的。响应于多个再生的时钟信号中的一个或它们的组合传输数据。禁用时,PLL 不产生时钟,响应于参考信号传输数据。

[0035] 根据本发明的另一个实施例,提供一种包括存储器控制器和串联到存储器控制器的多个存储器装置的系统。将多个存储器装置分成多个组。存储器控制器提供用于同步装置操作的时钟信号。一个组的装置由源同步和公共同步时钟结构提供的时钟信号进行同步。每个装置包括由使能信号选择性地使能的 PLL。PLL 被使能时,其输出相对于数据相移 90° 的倍数的多个再生的时钟信号。具有使能的 PLL 的每个装置用再生的时钟信号操作。PLL 被禁用时,装置用输入时钟信号操作。禁用 PLL 的装置引起较少功耗。响应于由使能 PLL 提供的再生的时钟信号,向串联的下一装置提供输出时钟信号,以提供源同步时钟。组里的装置的结构是多芯片封装。时钟相移提供与要传输的数据中心对准的时钟,结果是,一些偏斜可以不被看成是破坏因素。

[0036] 根据另一实施例,提供具有可变操作的闪速存储器(如 NAND 闪速装置)的半导体存储器装置。

[0037] 根据另一实施例,提供一种包括存储器控制器和串联到存储器控制器的多个存储器装置的系统。系统用源同步时钟结构操作。存储器控制器包括产生相对于输入振荡信号相移 90° 、 180° 、 270° 和 360° 的 PLL(锁相环)。这些相移信号中的一些用于时钟对准。装置被分配唯一且连续的标示符(ID)号。最后一个装置的 ID 号的最低有效位用于确定时钟对准,和由存储器控制器产生的数据边沿对准或中心对准的时钟。

[0038] 根据一个实施例,控制器提供和数据中心对准或边沿对准的时钟。每个串联的装

置可以提供和数据边沿对准或中心对准的时钟。将提供的时钟传输给下一装置。

[0039] 例如,存储器装置包括用于存储数据的存储器或数据存储元件。存储器包括随机存取存储器 (RAM)、闪速存储器 (例如 NAND 闪速装置、NOR 闪速装置) 和用于存储数据或信息的其他类型的存储器。

[0040] 通过研读以下对本发明具体实施例的描述,本发明的其他方面和特征对本领域普通技术人员是明显的。

附图说明

[0041] 现在将参考附图描述本发明的实施例,其中:

[0042] 图 1 是具有以多点连接方式连接的多个存储器装置的现有系统的框图;

[0043] 图 2 是具有闪速存储器的整体系统的框图,本发明的实施例可用于该系统;

[0044] 图 3 是多个串联的存储器装置结构的框图,本发明的实施例可用于该结构;

[0045] 图 4 的流程图示出图 3 所示装置的操作;

[0046] 图 5A 是示出装置标示符 (ID) 分配操作的图 3 结构的框图;

[0047] 图 5B 是示出正常操作模式的图 3 结构的框图;

[0048] 图 6 是用于图 3 所示结构的示例命令格式的框图;

[0049] 图 7A 是单数据速率 (SDR) 操作的时序图;

[0050] 图 7B 是双数据速率 (DDR) 操作的时序图;

[0051] 图 8A 是使用公共同步时钟结构的具有多个串联存储器装置的系统的示例的框图;

[0052] 图 8B 是使用公共同步时钟结构的具有多个串联存储器装置的系统的另一个示例的框图;

[0053] 图 9 是图 8A 和 8B 所示的一个存储器装置的框图;

[0054] 图 10A 是具有存储器控制器和多个串联存储器装置的系统的示例的框图;

[0055] 图 10B 是具有存储器控制器和多个串联存储器装置的系统的另一个示例的框图;

[0056] 图 11 是图 10A 和 10B 所示两个装置的框图;

[0057] 图 12 是使用公共同步时钟结构的两个装置的框图,公共同步时钟结构具有公共时钟源;

[0058] 图 13 是使用源同步时钟结构的具有多个串联存储器装置的系统的框图;

[0059] 图 14 是图 13 所示的一个存储器装置的框图;

[0060] 图 15 是使用源同步时钟结构的具有存储器控制器和多个串联存储器装置的系统的框图;

[0061] 图 16 是图 15 所示两个装置的框图;

[0062] 图 17 是使用源同步时钟结构的两个装置的框图;

[0063] 图 18A 是图 15 所示串联装置中的一个装置的框图;

[0064] 图 18B 是图 18A 所示装置的具有存储器核心电路的控制电路的框图;

[0065] 图 18C 是图 18A 所示装置的时钟 I/O 电路框图;

[0066] 图 18D 是图 18A 所示装置的数据 I/O 电路框图;

[0067] 图 18E 是图 18A 所示装置的选通 I/O 电路框图;

- [0068] 图 19 是图 18A-18E 所示源同步时钟结构的时序图；
- [0069] 图 20A 是使用源同步时钟结构和公共同步时钟结构的具有存储器控制器和多个串联存储器装置的系统的框图；
- [0070] 图 20B 是使用源同步时钟结构和公共同步时钟结构的具有存储器控制器和多个串联存储器装置的另一个系统的框图；
- [0071] 图 21A 是使用线接合的多芯片封装 (MCP) 结构的示例的截面图；
- [0072] 图 21B 是具有硅通孔的 MCP 结构的另一示例的截面图；
- [0073] 图 22 是使用用于 MCP 装置的混合同步时钟结构的系统的框图；
- [0074] 图 23A 是使用用于 MCP 装置的交替混合同步时钟结构的另一系统的框图；
- [0075] 图 23B 是使用另一个用于 MCP 装置的进一步交替混合同步时钟结构的另一系统的框图；
- [0076] 图 24A 是一个存储器装置的框图, 该存储器装置接收中心对准的时钟以获取输入数据, 可选地提供中心对准的源同步时钟输出；
- [0077] 图 24B 是图 24A 所示装置的时钟 I/O 电路框图；
- [0078] 图 24C 是图 24A 所示装置的数据 I/O 电路框图；
- [0079] 图 24D 是图 24A 所示装置的选通 I/O 电路框图；
- [0080] 图 25 是用禁用的锁相环 (PLL) 操作的图 24A-24D 所示装置的时序图；
- [0081] 图 26 是用使能的 PLL 操作的图 24A-24D 所示装置的时序图；
- [0082] 图 27 是使用基于源同步时钟结构和公共同步时钟结构的用于 MCP 装置的交替时钟结构的系统的框图；
- [0083] 图 28 的时序图示出控制器和第一存储器装置上的源同步信号之间的关系；
- [0084] 图 29A 是可用边沿对准时钟或中心对准时钟接收输入数据的一个存储器装置的框图；
- [0085] 图 29B 是图 29A 所示装置的时钟 I/O 电路框图；
- [0086] 图 29C 是图 29A 所示装置的数据 I/O 电路框图；
- [0087] 图 29D 是图 29A 所示装置的选通 I/O 电路框图；
- [0088] 图 30 是用使能的 PLL 操作的图 29A-29D 所示装置时序图；
- [0089] 图 31 是用禁用的 PLL 操作的图 29A-29D 所示装置时序图；
- [0090] 图 32 是包括具有 ID 分配之前的使用源同步时钟结构的多个装置的示例系统的框图；
- [0091] 图 33A 是具有 ID 分配之后的多个装置的示例系统的框图；
- [0092] 图 33B 是具有 ID 分配之后的多个装置的另一个示例系统的框图；
- [0093] 图 34A 是使用源同步时钟的一个存储器装置的框图；
- [0094] 图 34B 是图 34A 所示的具有存储器核心电路的控制电路的框图；
- [0095] 图 34C 是图 34A 所示时钟 I/O 电路的框图；
- [0096] 图 34D 是图 34A 所示数据 I/O 电路的框图；
- [0097] 图 34E 是图 34A 所示选通 I/O 电路的框图；
- [0098] 图 35A 是使用使能的 PLL 的图 34A-34E 所示装置的时序图；
- [0099] 图 35B 是使用禁用的 PLL 的图 34A-34E 所示装置的时序图；

- [0100] 图 36A 是图 34A 所示具有存储器核心电路的控制电路的另一个示例的框图；
- [0101] 图 36B 是图 34A 所示的时钟 I/O 电路的另一示例的框图；
- [0102] 图 37A 是图 34A、34D-34E 和图 36A、36B 所示使用使能的 PLL 的装置的时序图；
- [0103] 图 37B 图 34A、34D-34E 和图 36A、36B 所示使用禁用的 PLL 的装置的时序图；
- [0104] 图 38 示出使用源同步时钟方法的具有控制器和多个串联装置的系统的另一示例；
- [0105] 图 39 示出包括多个串联装置的源同步时钟系统的示例，每个装置包括 PLL；
- [0106] 图 40A 示出具有交替 PLL 启动控制的串联装置中的完全源同步时钟 方法的示例；
- [0107] 图 40B 示出具有交替 PLL 启动控制的串联装置中的完全源同步时钟方法的另一个示例；
- [0108] 图 41A 示出利用串联装置的最后一个装置的 ID 号的时钟对准判定示例的流程图；
- [0109] 图 41B 示出利用串联装置的最后一个装置的 ID 号的时钟对准判定的另一示例的流程图；
- [0110] 图 42 示出示例加电序列中的 ID 产生时序；
- [0111] 图 43A 和 43B 示出根据本发明实施例用于支持可变数据对准的示例存储器控制器逻辑结构；
- [0112] 图 44 和 45 示出图 43A 和 43B 所示存储器控制器的信号的时序图；
- [0113] 图 46 示出根据示例实施例在 ID 产生后自存储器控制器产生时钟的时序图；
- [0114] 图 47 示出根据示例实施例在 ID 产生后且 ID 的最小有效位 (LSB) = 0 时自存储器控制器产生时钟的时序图；
- [0115] 图 48 示出根据示例实施例在 ID 产生后且 ID 的 LSB = 1 时自存储器控制器产生时钟的时序图；
- [0116] 图 49A 和 49B 示出根据本发明实施例用于支持可变数据对准的另一示例存储器控制器逻辑结构；
- [0117] 图 50 示出根据示例实施例在 ID 产生后自存储器控制器产生时钟的时序图；
- [0118] 图 51 示出根据示例实施例在 ID 产生后且 ID 的 LSB = 0 时自存储器控制器产生时钟的时序图；以及
- [0119] 图 52 示出根据示例实施例在 ID 产生后且 ID 的 LSB = 1 时自存储器控制器产生时钟的时序图。

具体实施方式

[0120] 以下参考作为本发明一部分的附图对本发明示例实施例进行详细描述，其中通过图示示出可用于实现本发明的具体示例实施例。对实施例的描述足够详细，以使本领域技术人员可以实现本发明，但是，应该理解，可以使用其他实施例，可以进行逻辑、机械、电子改变和其他改变而不背离本发明范围。因而，下文的详细说明不是限制性的，本发明的范围由所 附权利要求限定。

[0121] 如上所述，多点连接和串联结构是解决密度问题的公知设计技术。

[0122] 图 1 示出具有以多点连接方式连接的多个存储器装置的系统。该系统实现公共同步时钟结构,以依照并行时钟分布。所示系统中,存储器控制器 110 和多个(N个)存储器装置 120-1、120-2、...、120-N 通信,N 是大于 1 的整数。存储器控制器 110 和 N 个存储器装置通过 n 位数据线 131 和 m 位控制线 133 连接。数据传输与控制信号和公共时钟线 135 上的公共时钟同步,公共时钟线 135 连接到存储器控制器 110 和 N 个存储器装置 120-1-120-N。时钟源 140 将同步时钟提供给公共时钟线 135。由于总线是并行的,所以时钟信号负载很重而且失真严重。

[0123] 串联连接多个存储器装置的一个示例是 1996 年成为 IEEE 标准的 RamLink。RamLink 实际上规定了两种互为替代的互联方法。一种方法是 RingLink,包括串联连接的装置,装置之间进行点对点通信,其提供高扩展性,但是延迟时间长。另一种方法是 SyncLink,其包括以多点连接互联的少数装置。

[0124] 混合 RamLink 结构也是 IEEE 标准的一部分。基于 RamLink 结构的存储器系统包括处理器或存储器控制器和一个或多个存储器模块。存储器控制器通常包括在处理器自身中,或者制造成处理器附属芯片集的一部分。每个存储器模块包括一个从接口,其具有一个链接输入和一个链接输出。存储器模块排列成 RamLink 信令拓扑(称为 RamLink),部件之间为单向链接。每个模块上的控制接口将从接口连接到存储器装置(RAM)。本系统中,从接口和存储器装置之间使用称为 SyncLink 的另一种 RamLink 信令拓扑。数据以沿 RingLink 巡行的分组形式在处理器和模块之间传输。处理器或存储器控制器用于产生所有请求分组并调度从响应分组返回。

[0125] 混合 RamLink 的操作速度只能和模块级部件连接一样快。由于和图 1 所示方法相同的多点连接总线,其频率受限于一个模块中的 SyncLink 连接。在 RingLink 从接口电路,源同步选通用于对到来的数据信号提供时钟。即,伴随到来的数据信号的选通信号 strobeIn 用于对到来数据进行采样。电路使用锁相环(PLL)根据参考时钟信号产生稳定的本地时钟信号。

[0126] 根据本发明的实施例,提供具有控制器和连接的多个装置的系统,多个装置是时钟同步的。下文描述具有串联的半导体装置的示例系统。

[0127] 图 2 示出具有闪速存储器的整体系统。参看图 2,存储器系统 140 通过存储器控制器 144 与主系统或处理器(主机系统)142 连接。存储器系统 140 包括串联或并联的多个存储器装置。存储器装置的示例是闪存装置。

[0128] 图 3 示出串联的多个存储器装置的结构。参看图 3,该结构包括 N 个串联的存储器装置 145-1、145-2、145-3、...、145-N, N 是整数。串联的存储器装置 140-1 — 140-N 对应于图 2 的存储器系统 140。对应于图 2 存储器控制器 144 的存储器控制器(未示出)将一组数据信号和信息发送给该结构的存储器装置。将待处理的数据或信息发送给第一装置 145-1 的数据输入 Dn 并传播通过串联结构的装置。一种实现中,最后一个装置 145-N 的数据输出 Qn 连接到另一个装置或系统(未示出),以在其中使用传播的数据和信息。另一种实现中,最后一个装置 145-N 的输出连接到存储器控制器,这样,存储器控制器可以使用从最后一个装置 145-N 返回的数据。

[0129] 图 4 示出该结构中装置 145-1-145-N 的操作。图 4 所示结构的装置用如图 4 所示的初始模式和正常模式操作。在初始模式,为装置分配装置地址(DA)或装置标示符(ID)

号。此后,在正常模式,分配有 ID 号的装置执行由命令(例如数据写入、数据读出)指定的操作。

[0130] 图 5A 示出表示 ID 分配的图 3 的结构。参看图 3、4 和 5A,在初始模式,存储器控制器向第一装置 145-1 提供初始 ID(='0')。该结构的每个存储器装置 145-1、145-2、145-3、...、和 145-N 在其 ID 寄存器中存储输入的 ID、ID_i,并执行加法(即 ID_i+1)以产生用于下一装置的输出 ID、ID_o。所示例子中,为装置 145-1、145-2、145-3、...、和 145-N 分配的 ID 是分别由二进制数字“000”、“0001”、“0010”、...、和“——”代表的连续数字“0”、“1”、“2”、...、N。每个装置的最高有效位(MSB)最先,最低有效位(LSB)最后。另一种实现中,ID 可变成 LSB 最先,MSB 最后。而且,ID 可以从另一个值(例如“1”)开始的连续数字。此外,ID 可以从最大值开始的递减数字。国际公开号 W0/2007/0109886(2007 年 10 月 4 日)和国际公开号 W0/2007/0134444(2007 年 11 月 29 日)提供了串联的多个存储器装置的 ID 分配示例。

[0131] 图 5B 示出表示正常模式操作的图 3 的结构。参看图 3、4 和 5B,在正常模式,存储器控制器发出控制信息(CI),CI 包括特定装置 ID 号、操作指令以及如命令的其他信息。每个存储器装置中包括的装置控制器执行比较输入 ID_i 和 ID 寄存器中的分配 ID 的 ID 匹配判定。ID 匹配的情况下,装置控制器执行 CI 中包括的命令,以访问该装置的存储器。命令操作的示例是存储器访问和数据处理。每个命令包括 ID 号(即,装置地址)和命令 OP 代码(下文简称“OP 代码”),还可包括地址信息和 / 或数据。如果输入 ID 和寄存的 ID 不匹配,那么,装置就将 CI 作为输出命令 CO 传送给下一装置。响应于作为 CI 接收的经传送的 CO,下一装置执行和前一装置类似的操作。

[0132] 图 6 是用于图 3 所示的串联存储器装置的示例命令格式示意图。参看图 6,第一命令格式 147-1 包括 ID 号和 OP 代码。ID 号用于标示所选存储器装置,而 OP 代码字段包括要由所选装置执行的 OP 代码。具有第一命令格式 147-1 的命令例如可用于包括用于读出寄存器值的 OP 代码的命令。第二命令格式 147-2 包括 ID 号、OP 代码和数据。具有第二命令格式 147-2 的命令例如可用于包括用于将数据写入寄存器的 OP 代码的命令。第三命令格式 147-3 包括 ID 号、OP 代码和另外的地址。另外的地址例如可包括用于对存储单元的位置进行寻址的行和 / 或列地址。具有第三命令格式 147-3 的命令例如可用于包括用于从所选存储器装置的存储单元读出数据的 OP 代码的命令。第四命令格式 147-4 包括 ID 号、OP 代码、另外的地址和数据。具有第四命令格式 147-4 的命令例如可用于包括用于向所选存储器装置的存储单元写入数据的 OP 代码的命令。注意,所有四个示例命令格式 147-1、147-2、147-3、147-4 以用于寻址目的 ID 号开始。从上文应该理解,由于命令可以包括 ID 号、OP 代码、另外的地址、数据或和串联存储器装置结构的控制相关的任何其他信息,所以这里所用的“命令”一词不仅仅指命令 OP 代码。国际公开号 W0/2008/098342(2008 年 8 月 21 日)公开了命令格式的示例。国际公开号 W0/2007/036048(2007 年 4 月 5 日)和 2008 年 2 月 21 日提交的美国专利申请 No. 12/034,686“Serial Data Flow Control In Multiple Independent Serial Port”中公开了示例命令和操作。

[0133] 对于需要大存储空间(或大规模存储系统)的应用,可实现使用多个闪速存储器装置的闪速存储系统。存储器控制器可以访问每个闪速存储器装置,每次只能选择一个闪速存储器。

[0134] 为了改善闪速存储系统 – 如 USB 闪速驱动器、闪速存储卡和用来替代 HDD 的固态驱动器 (SSD) – 中实现的大量闪速装置的信号完整性,可以实现串联的 NAND(与非) 闪速存储器。串联 NAND 闪速存储器是先进的,提供使用点对点串联装置连接的高性能闪速装置。

[0135] 可以响应于时钟信号传输或获取数据。可以响应于时钟信号的上升沿 和 / 或下降沿进行操作。存储器装置可以分别执行如图 7A 和 7B 所示的单数据速率 (SDR) 操作和双数据速率 (DDR) 操作。而且,在时钟周期内存储器装置可以操作多于两次。

[0136] 图 8A 示出具有多个串联的存储器装置的系统,多个存储器装置使用依照并行时钟分布拓扑的公共同步时钟结构。参看图 8A,存储器控制器 150 与多个 (N 个) 存储器装置 152-1、152-2、...、152-N 连接, N 是大于 1 的整数。存储器控制器 150 连接到第一存储器装置 152-1,以发送关于控制和 / 或数据的信息,该控制和 / 或数据信息响应于由存储器控制器 150 提供的公共同步时钟信号 CLKcsync1 传播通过其余的存储器装置 152-2-152-N。将传播的信息从最后一个装置 152-N 提供给另一个装置或设备 (未示出),以进行进一步处理。

[0137] 图 8B 示出具有串联的多个存储器装置的另一个系统,该多个存储器装置使用公共同步时钟结构,该系统形成环状结构。所示示例系统中,存储器控制器 160 与多个 (N 个) 存储器装置 162-1、162-2、...、162-N 连接。存储器控制器 160 连接到第一存储器装置 162-1,以发送控制和 / 或数据信息,该控制和 / 或数据信息响应于由存储器控制器 160 提供的公共同步时钟信号 CLKcsync2 传播通过其余的存储器装置 162-2-12-N。该系统中,最后一个 (第 N 个) 存储器装置 162-N 将传播的信息反馈给存储器控制器 160,这样,系统形成环形连接。必需的话,将传播的控制信号返回给存储器控制器 160。

[0138] 图 9 示出图 8A 和 8B 所示的一个存储器装置的细节。图 8A 和 8B 所示的每个存储器装置具有同样的结构。参看图 9,代表图 8A 和 8B 所示任一装置的 Device i 具有:输入电路 172,用于接收来自前一装置 Device(i-1) 的输入信号 173;输出电路 174,用于将输出信号 175 提供给下一装置 Device(i+1);时钟电路 176 和存储器核心电路 178。响应于输入公共同步时钟信号 CLKcsync 177,时钟电路 176 将时钟传送给输入电路 172、存储器核心电路 178 和输出电路 174,以进行操作。输入电路 172 和输出电路 174 响应于时钟信号 CLKcsync 执行接口操作。

[0139] 图 10A 示出图 8A 系统的细节。该具体示例包括存储器控制器 210 和串联的多个存储器装置 212-1-212-4。示例系统具有实现公共同步时钟结构的串联存储器装置。所示例子示出四个装置,但是可以串联任意数目的装置。

[0140] 参看图 10A,每个存储器装置 212-1-212-4 具有装置 ID 号,该装置 ID 号是固定的或预先分配的,这样,正常模式操作时,基于 ID 匹配判定,一次可以选择一个装置。存储器装置具有点对点连接。存储器控制器 210 具有连接到装置的多个输出,用于传输各种信息。每个装置具有多个输入和输出,用于接收并传送各种信息。

[0141] 存储器控制器 210 具有数据输出 DOC[0:3]、命令选通输出 CSOC、数据选通输出 DSOC、芯片选择输出 /CEC 和重置输出 /RSTC。而且,存储器控制器 210 具有一对时钟输出 CKOC 和 /CKOC。每个装置具有数据输入 D[0:3]、命令选通输入 CSI、数据选通输入 DSI、重置输入 /RST、芯片使能输入 /CE 和一对时钟输入 CK 和 /CK。而且,每个装置具有数据输出 Q[0:3]、命令选通输出 CSO、数据选通输出 DSO。一个装置的数据输出 Q[0:3]、命令选通输出

CS0 和数据选通输出 DS0 分别耦合到下一个装置的数据输入 D[0:3]、命令选通输入 CSI 和数据选通输入 DSI。

[0142] 装置接收芯片使能信号 /SCE(下文称为“/SCE 信号”)和重置信号 /SRST(下文称为“/SRT 信号”)。而且,装置接收一对时钟信号 SCLKI(下文称为“SCLKI 信号”)和互补时钟信号 /SCLKI(下文称为“/SCLKI 信号”)。/SCE、/SRST、SCLKI 和 /SCLKI 信号由存储器控制器 210 共同提供给装置 212-1-212-4。

[0143] 存储器控制器 210 的数据输出 DOC[0:3] 为第一装置 212-1 Device 1 的数据输入 D[0:3] 提供输入数据 DI1[0:3]。第一装置 212-1 将输出数据 DQ1[0:3] 传送给下一装置。第二装置 212-2 Device 2 接收从前一装置 Device1 传输的输出数据 DQ1[0:3] 作为其输入数据 DI2[0:3]。一个装置的命令选通输入 CSI 和数据选通输入 DSI 分别接收命令选通输入信号 SCSi 和数据选通输入信号 SCS0。而且,一个装置的命令选通输出 CS0 和数据选通输出 DS0 分别将命令选通输出信号 SCS0 和数据选通信号 SDS0 传输给下一装置。数据传送由每个装置的命令选通输入和数据选通输入信号控制。

[0144] 每个装置提供命令选通输入信号 SCSi(下文称为“SCSi 信号”)和数据选通输入信号 SDSi(下文称为“SDSi 信号”)的延迟形式、命令选通输出信号 SCS0(下文称为“SCS0 信号”)和数据选通输出信号 SDS0(下文称为“SDS0 信号”)的延迟形式给下一个装置。响应于 SCLKI 和 /SCLKI 执行数据和 SCSi、SDSi 的传输。

[0145] 美国专利申请公开号 2007/0076502A1(2007 年 4 月 5 日)和国际公开号 WO/2007/036048 提供了以串联装置为特征的架构的示例细节。国际公开号 WO/2008/067652(2008 年 6 月 12 日)和国际公开号 WO/2008/022454(2008 年 2 月 28 日)提供了以串联装置为特征的架构的其他示例细节。

[0146] 图 10B 示出图 8B 系统的细节。图 10A 所示系统的连接和结构与图 10A 所示系统基本相同。区别在于,串联的最后一个装置(即 Device 4)的输出数据 DQ4[0:3]、SCS04、SDS04 信号馈送给存储器控制器 220。可选地,将 SCS04 和 SDS04 信号提供给存储器控制器 220 以检测有效数据位置。

[0147] 具体示例中,存储器控制器以多点连接方式将 SCK 和 /SCK 信号提供给每个存储器装置。因而,虽然用点对点接口将到来的数据传输给一个部件(即,串联存储器装置,或者任何其他串联存储器),但是时钟信号以多个存储器部件为负载。因而,本技术的具体实现可具有例如为 200MHz 或更小的操作频率限制。

[0148] 图 11 示出图 10A 和 10B 所示装置的细节。图 11 示出装置的总体实现。输入和输出数据是 n 位并行数据。

[0149] 参看图 11,其中示出图 10A 或 8B 所示系统的两个装置。参看图 11,第 i 个装置 212-i Device i 和下一个装置 212-(i+1)Device(i+1) 共同接收重置信号 /SRST、芯片使能信号 /SCE 和一对时钟信号 SCLKI 和 /SCLKI。Device i 的数据输入 D[0:(n-1)] 接收来自前一装置 Device(i-1)(未示出)的输入数据 DIi[0:(n-1)],并从其数据输出 Q[0:(n-1)] 输出输出数据 DQi[0:(n-1)]。将来自 Device i 的输出数据 DQi[0:(n-1)] 作为输入数据 DI(i+1)[0:(n-1)] 馈送到 Device(i+1) 的数据输入 D。Device(i+1) 从其数据输出 Q 输出传输给下一装置 Device(i+1)(未示出)的输出数据 DQ(i+1)[0:(n-1)]。Device i 的命令选通输入 CSI 和数据选通输入 DSI 分别接收来自前一装置 Device(i-1) 的命令选通输入信号

SCSI_i 和数据选通输入信号 SDSI_i。Device *i* 分别从其命令选通输出 CSO 输出命令选通输出信号 SCSO_i、从其数据选通输出 DSO 输出数据选通输出信号 SDSO_i。将来自 Device *i* 的命令选通输出信号 SCSO_i 和数据选通输出信号 SDSO_i 分别作为命令选通输入信号 SCSI(*i*+1) 和数据选通输入信号 SDSI(*i*+1) 馈送到 Device(*i*+1) 的命令选通输入 CSI 和数据选通输入 DSI。Device(*i*+1) 将命令选通输出信号 SCSO(*i*+1) 和数据选通输出信号 SDSO(*i*+1) 分别输出给下一装置 Device(*i*+2) (未示出)。

[0150] 图 12 示出公共同步时钟结构。所示示例包括互联的两个装置。每个装置具有如图 9 所示的结构。所示例子中, 装置具有相同的结构。一个装置详细示出其输出接口电路, 另一个详细示出其输入接口电路。参看图 12, 一个装置 Device *i* 具有多个复用器 (Mux)。类似的, 另一个装置 Device(*i*+1) 具有多个解复用器 (DeMux)。所示例子中, Device *i* 作为“发射器”。类似的, Device(*i*+1) 作为“接收器”。时钟源 230 为两个装置 Device *i* 和 Device(*i*+1) 提供公共同步时钟信号 CLKcsync。通过时钟信号 CLKcsync 使从 Device *i* 传送的数据和由 Device(*i*+1) 接收的数据同步。

[0151] Device *i* 中, 将时钟信号 CLKcsync 馈送到缓冲器, 缓冲器进而将经缓冲的输出时钟信号 CLKb0 共同提供给复用器, 以进行复用操作。复用器复用数据 (*n* 位), 从每个复用器输出的经复用的数据通过每个差分输出缓冲器输出。每个差分输出数据通过 Device 的一对管脚传输给连接到 Device(*i*+1) 的一对管脚的线。

[0152] Device *i* 中, 将时钟信号 CLKcsync 馈送到缓冲器, 缓冲器进而将经缓冲的输出时钟信号 CLKb1 共同提供给解复用器, 以进行解复用操作。将在一对管脚接收的数据提供给相应的输入差分缓冲器, 输入差分缓冲器将经缓冲的输出数据提供给相应的解复用器。提供来自每个解复用器的经解复用的数据 (*n* 位)。用公共同步时钟信号 CLKcsync 同步 Device *i* 的复用器和 Device(*i*+1) 的解复用器的操作。

[0153] 公共同步时钟结构具有如图 12 所示的几个偏斜因子, 例如:

[0154] (i) 发射和接收装置中 t_{BUFF} (从时钟输入焊盘到置于同步电路中的最终时钟驱动器的时钟插入时间) 之间的差别;

[0155] (ii) 包括 t_{TS} (发射器输出延迟) 的信号传播路径中的延迟;

[0156] (iii) t_{RS} (接收器输入延迟);

[0157] (iv) t_{FL} (发射器和接收器之间的传播时间), 以及多个信号之间的延迟的差别; 以及

[0158] (v) t_{JITTER} (由许多因素引起的时钟抖动, 包括功率电平波动, 时钟信号线上的瞬态电特性改变和由系统中存在的其他信号引起的噪声)。

[0159] 因而, 许多装置以多点连接方式连接时, 具有有限的操作频率范围。

[0160] 由于信号完整性问题, 如, 慢的转换、低抗扰度、时钟相移和由传输线效应和存储器装置负载引起的时钟波形失真, 所以公共同步时钟结构具有缺陷。因而, 如果用公共时钟驱动许多装置的话, 具有如图 1 所示单时钟源的公共同步时钟结构不适用于高速应用。

[0161] 为了提高性能, 可以使用差分时钟。引入了采用差分时钟的 DDR 动态随机存取存储器 (DRAM) 产品。使用严格时序条件和对装置和模块之间距离的限制, 可以采用并行 (多点连接) 时钟分布方法。然而, 多点连接时钟仅用于获得以 SDR 传送的地址和控制信息。用由读出和写入操作中提供数据的任何装置驱动的源同步时钟获得 DDR 数据。

[0162] 为了解决并行分布式时钟结构的问题,另一种方法是源同步时钟分布方法。由于消除了多点连接时钟结构中的许多偏斜源,所以源同步时钟分布方法提供更多的时序裕量。在源同步时钟结构中,可以用如锁相环(PLL)或延迟锁定环(DLL)的时钟再生器调整时钟。在具有源同步时钟结构的串联装置的情况下,PLL是有益的,这是由于没有短期抖动累积,而且,事实上可以提供对输入时钟的抖动过滤函数。然而,PLL和DLL相比更复杂,而且必须考虑环稳定性。

[0163] 图13示出具有串联的多个存储器装置的系统,其具有遵照串联时钟分布拓扑的源同步时钟结构,系统形成环状结构。所示示例系统中,存储器控制器260与多个(N个)存储器装置262-1、262-2、...、262-N连接。存储器控制器260连接到第一存储器装置262-2,以发送控制和/或数据信息,该控制和/或数据信息响应于源同步时钟信号CLKssyc传播通过其余的存储器装置262-2-262-N。存储器控制器260提供初始源同步时钟信号CLKssyc,装置向下一个装置提供同步的时钟信号。本系统中,最后一个(第N个)存储器装置260-N将传播的信息反馈给存储器控制器260,这样,系统形成环形连接。必须的话,将传播的控制信号返回给存储器控制器260。

[0164] 图14示出图13所示的一个存储器装置的细节。参看图14,Device i具有:用于接收输入信号283的输入电路282,用于提供输出信号285的输出电路284,时钟电路286和存储器核心电路288。时钟电路286包括时钟再生器,用于调整到来的时钟信号的延迟并产生正确同步的时钟信号。为此,时钟再生器可以有多种可能实现,例如,使用PLL或DLL来调整或同步时钟。响应于输入源同步时钟信号CLKcsyci 287,时钟电路286将时钟传送给输入电路282、存储器核心电路288和输出电路284,以分别进行操作。时钟电路286的时钟再生器将和输入源同步时钟信号CLKssyci 287同步的输出源同步时钟信号CLKcsyco 289提供下一装置。输出时钟信号CLKssyco 289是输入时钟信号CLKssyci的再生形式。输入电路222和输出电路284响应于时钟电路286提供的时钟执行接口操作。

[0165] 图15示出具有如图13所示的存储器控制器和串联的多个存储器装置的系统。系统具有源同步时钟结构。系统中,最后一个装置连接到控制器。参看图15,系统包括存储器控制器310和串联的多个存储器装置312-1到312-4,该多个存储器装置具有源同步时钟结构。每个装置和图10A类似,但是时钟和图10A不同。每个装置接收来自前一部件(存储器装置,或对于第一存储器装置即Device 1来说是存储器控制器)的时钟信号。每个装置具有用于产生内部时钟的PLL(未示出)。国际公开号WO/2008/067636(2008年6月12日)提供了以具有用于时钟同步的PLL的装置为特征的架构的示例细节。

[0166] 图15所示例子中,源同步时钟结构需要每个部件(例如装置)中有一个PLL,以提供相移内部时钟来获得到来的数据,或者提供相移的输出时钟。例如,如果接收到的时钟沿和接收到的数据转换重合,需要PLL产生90°的相移,以使接收到的输入SCLKI和/SCLKI信号位于数据输入信号D[0:3]的有效数据窗口的中心。另一方面,如果接收到的SCLKI和/SCLKI信号的时钟沿位于接收到的有效数据窗口的中心,需要90°相移的时钟来产生输出时钟信号SCLKO和互补输出时钟信号/SCLKO(下文分别称为SCLKO信号和/SCLKO信号)。下面的说明中,假定存储器装置工作于后一种模式。

[0167] 写入操作中,存储器装置310将写入命令和写入数据(Q[0:3])传送给串联装置中的第一装置(Device 1,312-1)。第一装置312-1用输入时钟获得到来的数据D[0:3],输入

时钟和来自控制器 310 的到来数据中心对准。如果根据装置 ID 匹配判定、利用由存储器控制器 310 作为写入命令一部分发出的装置 ID 确定第一装置 312-1 是写入操作的“目标”或“指定”装置,就将获得的数据写入该装置的存储器阵列(未示出)。这种情况下,可选地,防止写入命令和写入数据再发送到串联装置中的下一个。图 6 示出用于指定特定装置的 ID 号,例如,标号为“147-2”,输入数据 DI1[0:3] 是命令格式 147-2 的“数据”部分。

[0168] 如果利用由存储器控制器 310 作为写入命令一部分发出的装置 ID 确定第一装置 312-1 不是写入操作的“目标”或“指定”装置,那么,必须将到来的数据再发送到第二部件 (Device 2, 312-2),同时发送 90° 相移的时钟输出 CK0 和 /CK0。第二部件 (Device 2, 312-2) 用和到来数据中心对准 的时钟接收来自第一部件 (Device 1, 312-1) 的重新发送的数据。利用该方法,将数据从第一部件 (第一装置 312-1) 传送给最后一个部件 (最后装置 312-3)。

[0169] 将来自串联装置的最后一个装置 (即 Device 4) 的输出数据 DQ[0:3]、SCLK0、/SCLK0、SCS0 和 SDS0 信号反馈给存储器控制器 310。将 SCS0 和 SDS0 信号提供给存储器控制器 310 以检测有效数据点。和并行分布时钟不同,控制器 310 不知道来自串联装置的确切延迟,因而,需要 SCS0 和 SDS0 信号以及 SCLK0、/SCLK0 信号作为输入。

[0170] 读出操作中,存储器控制器 310 向串联装置的第一个装置发出具有指定装置的 ID 号的读出命令。另外,如果根据装置 ID 匹配判定确定指定的装置是 Device 1, Device 1 就处理命令 (即读出),以访问该装置中的存储器阵列。将第一装置的读出结果传送给第二部件 (Device 2, 312-2),同时传送 90° 相移的时钟输出。然后,第二部件 (Device 2, 312-2) 接收第一部件的读出结果,以及和输入数据中心对准的时钟。该流程将读出数据传送通过其他的装置直到存储器控制器 310。用图 6 所示格式 147-3 给出 ID 号。根据该命令格式中包括的地址进行访问。

[0171] 图 16 示出图 15 所示的两个装置。参看图 16,一个装置 Device i 和下一个装置 Device(i+1) 公共接收重置信号 /SRST、芯片使能信号 /SCE 和一对时钟信号 SCLKI 和 /SCLKI。

[0172] Device i 的时钟输入 CK 和 /CK 分别接收来自前一装置 Device(i-1) (未示出) 的输入时钟信号 SCLKIi 和 /SCLKIi,并且分别从其时钟输出 CK0 和 /CK0 输出相应的输出时钟信号 SCLK0i 和 /SCLK0i。Device(i+1) 分别接收来自 Device i 的输出时钟信号 SCLK0i 和 /SCLK0i 作为输入时钟信号 SCLKI(i+1) 和 /SCLKI(i+1),并且分别从其时钟输出 CK0 和 /CK0 输出输出时钟信号 SCLK0(i+1) 和 /SCLK0(i+1),输出时钟信号 SCLK0(i+1) 和 /SCLK0(i+1) 传送给下一装置 Device(i+2) (未示出)。

[0173] Device i 的数据输入 D 接收来自前一装置 Device(i-1) 的输入数据 DIi[0:(n-1)],并且从其数据输出 Q 输出输出数据 DQi[0:(n-1)]。将来自 Device i 的输出数据 DQi[0:(n-1)] 作为输入数据 Di(i+1)[0:(n-1)] 馈送到 Device(i+1) 的数据输入 D。Device(i+1) 从其数据输出 Q 输出传送给下一装置 Device(i+1) 的输出数据 DQ(i+1)[0:(n-1)]。Device i 的命令选通输入 CSI 和数据选通输入 DSI 分别接收来自前一装置 Device(i-1) 的命令选通输入信号 SCSIi 和数据选通输入信号 SDSIi。Device i 分别从其命令选通输出 CS0 输出命令选通输出信号 SCS0i、从其数据选通输出 DS0 输出数据选通输出信号 SDS0i。将来自 Device i 的命令选通输出信号 SCS0i 和数据选通输出信号 SDS0i 分别

作为命令选通输入信号 SCSI(i+1) 和数据选通输入信号 SDSI(i+1) 馈送到 Device(i+1) 的命令选通输入 CSI 和数据选通输入 DSI。Device(i+1) 将命令选通输出信号 SCSO(i+1) 和数据选通输出信号 SDSO(i+1) 分别输出给下一装置 Device(i+2) (未示出)。

[0174] 图 17 示出具有 PLL 的源同步时钟结构。所示示例包括两个互联的装置。一个装置作为发射器,另一个装置作为接收器。每个装置具有图 14 所示的结构。所示例子中,两个装置具有相同结构。一个装置详细示出其输出接口电路,另一个详细示出其输入接口电路。参看图 17,一个装置 312-i, Device i (发射器) 具有多个复用器 (Mux)、PLL316、时钟复用器、差分输入缓冲器和多个差分输出缓冲器。

[0175] 另一个装置 312-(i+1) (接收器) Device(i+1) 包括多个解复用器 (DeMux)、多个差分输入缓冲器。

[0176] 通过差分输入缓冲器将差分时钟信号 CLKi (CK 和 /CK) 287 输入到 Device i 的 PLL, PLL 进而提供再生的内部时钟给复用器,以同步复用器的操作。还将再生的时钟馈送给时钟复用器,时钟复用器以和产生输出数据完全相同的方式产生输出时钟,以匹配数据和时钟路径之间的延迟。输出时钟用于驱动传输给 Device(i+1) 的输出时钟信号。Device(i+1) 接收该时钟并将其提供给解复用器,以同步解复用器的操作。

[0177] 和多点连接时钟结构相比,具有 PLL 的源同步时钟结构有更少的偏斜分量。由于内部再生的时钟的相位被锁定到输入时钟,所以源同步时钟结构没有严重的时钟插入延迟问题 (tBUFF 偏斜)。由于输出时钟和输出数据沿着相同的路径,所以两个装置 i 和 (i+1) 之间的传播时间偏斜 (tFL) 不再是问题。此外,由于 PLL 的滤波功能,所以减小了 tJITTER。

[0178] 源同步时钟结构提供比多点连接时钟结构更高的操作频率范围。例如,如果 PLL 抖动和相位误差控制得较好,可以实现超过 800MHz 的工作频率。由于这些原因,在具有串联存储器的系统中采用源同步时钟结构,以提供较高的数据读出带宽。

[0179] “Designing High Data Rate Interfaces”, IEEE 2004 VLSI Circuits Symposium, June 16, 2004 公开了源同步时钟结构的示例。

[0180] 图 18A 示出图 15 所示的一个串联装置。参看图 18A,向串联装置的第 i 个装置 Device i 312-i 提供各种输入信号 (例如, SCLKIi、/SCLKIi、SCSIi、SDSIi 信号) 和输入数据 DIi[0:3],该装置提供各种输出信号 (例如, SCLKOi、/SCLKOi、SCSOi、SDSOi 信号) 和输出数据 DQi[0:3]。具体示例中,数据有四位 [0:3]。数据可以具有其他数量的位。

[0181] 装置 312-i 包括具有锁相环 (PLL) 的时钟 I/O 电路 401、数据 I/O 电路 403、选通 I/O 电路 405 和具有存储器核心电路的控制电路 407。时钟 I/O 电路 401 在时钟输入 CK 和 /CK 接收 SCLKIi、/SCLKIi 信号,并通过时钟输出 CKO 和 /CKO 输出 SCLKOi、/SCLKOi 信号。时钟 I/O 电路 401 向数据 I/O 电路 403 和选通 I/O 电路 405 提供参考时钟信号 Ref_clk。参考时钟信号 Ref_clk 作为内部时钟信号提供。时钟 I/O 电路 401 产生多个时钟信号。具体示例中,时钟 I/O 电路 401 向数据 I/O 电路 403 和选通 I/O 电路 405 输出相移 180°、270° 和 360° 的时钟信号。

[0182] 向数据 I/O 电路 403 和选通 I/O 电路 405 提供来自存储器控制器 (例如图 15 所示的存储器控制器 310) 的参考电压 Vref 的信号 SVREF。数据 I/O 电路 403 接收输入数据 DIi[0:3] 并输出输出数据 DQi[0:3]。选通 I/O 电路 405 接收 SCSIi 和 SDSIi 信号并输出 SCSOi 和 SDSOi 信号。控制电路 407 接收来自选通 I/O 电路 405 的内部命令选通输入信号

iCSI 和内部数据选通输入信号 iDSI,并接收来自数据 I/O 电路 403 的要写入的数据“写入数据”。控制电路 407 向选通 I/O 电路 405 提供从其存储器(未示出)中读出的“读出数据”。

[0183] 图 18B 示出图 18A 所示的具有存储器核心电路的控制电路 407 的示例。控制电路 407 在图 4 和图 5A 所示的初始模式执行 ID 分配操作,并在图 4 和图 5B 所示正常模式执行存储器访问操作。

[0184] 参看图 18A 和 18B, ID 分配电路 491 在初始模式执行 ID 分配和 ID 号计算。在 ID 寄存器 492 中记录输入 ID、ID_i 的号码。计算结果号码(即 ID_i+1)由 Device i 作为输出 ID_o 提供给下一装置。ID 寄存器 492 保存分配的 ID。之后,在正常模式,将具有如图 6 所示格式的命令馈送到 ID 匹配判定器 493 和命令解释器 495。ID 匹配判定器 493 确定输入 ID 号是否和 ID 寄存器 491 中保存的分配 ID 匹配,如果匹配的话,提供处于逻辑“高”的 ID 匹配信号 ID Match。如果不匹配, ID 匹配信号就为逻辑“低”。在确定 ID 和 ID_i 匹配的情况下, Device i 是指定装置或者目标装置。没有 ID 匹配的情况下, Device i 不是指定装置。包括 OP 代码解码器的命令解释器 495 响应于“高” ID 匹配信号解码包括在输入命令中的 OP 代码,并提供经解释的命令(例如写入、读出)。响应于经解释的命令和 ID 匹配信号,模式信号产生器 497 提供带撇号的信号。具体示例中, ID 不匹配时,带撇号的信号是逻辑“低”。ID 匹配时,带撇号的信号是“高”和“低”, OP 代码分别是“读出”(即,命令是数据读出命令)和“写入”(即,命令是数据写入命令)。响应于经解释的命令,例如,向接收内部命令选通输入信号 iCSI 和内部数据选通输入信号 iDSI 的存储器核心电路 498 写入数据或者从其中读出数据。国际公开号 W0/2008/067659(2008 年 6 月 12 日)公开了命令解释器的示例。美国专利申请 No. 12/034, 686 公开了 ID 匹配判定器的示例。

[0185] 图 18C 示出图 18A 所示的时钟 I/O 电路 401 的细节。参看图 18A 和 18C,将 SCLKI_i 和 /SCLKI_i 信号馈送到输入缓冲器 411 的“+”和“-”输入,输入缓冲器 411 进而向 PLL 413 的参考时钟输入“Ref_clk Input”提供参考时钟信号 Ref_clk。在 SCLKI_i 信号转变(例如,从高到低)且 /SCLKI_i 信号向相反方向转变时(如从低到高),参考时钟信号 Ref_clk 转变。PLL 413 和参考时钟信号 Ref_clk 的转变同步运作。

[0186] PLL 413 包括振荡器,分别通过缓冲器 414-1、414-2、414-3 和 414-4 产生相对于输入参考时钟信号 Ref_clk 相移 90°、180°、270° 和 360° 的四个时钟信号。下文将参考标号为 Clk90、Clk180、Clk270 和 Clk360 的相移 90°、180°、270° 和 360° 的四个时钟信号分别称为“Clk90 信号”、“Clk180 信号”、“Clk270 信号”和“Clk360 信号”。将 Clk360 信号馈送到 PLL 413 的振荡输入“Osc_loop Input”。将 Clk360 和 Clk180 信号分别馈送到选择器 417 和 419 的选择输入。每个选择器 417 和 419 分别在其“0”和“1”输入接收逻辑“0”和“1”信号。在选择器 417 中,响应于 Clk360 信号选择其“0”或“1”输入,通过输出缓冲器 421 提供其输出信号作为 SCLKO_i 信号。类似地,在选择器 419 中,响应于 Clk180 信号选择其“0”或“1”输入,通过输出缓冲器 423 提供其输出信号作为 /SCLKO_i 信号。因而, SCKO 和 /SCKO 信号是相位差 180° 的互补差分时钟信号。选择器 417 和 419 用于匹配时钟和数据路径之间的延迟。

[0187] 图 18D 示出图 18A 所示的数据 I/O 电路 403。参看图 18A 和 18D,将参考电压信号 SVREF 提供给输入缓冲器 425 的“-”输入。将输入数据 DI_i[0:3] 馈送到输入缓冲器 425 的

“+”输入,输入缓冲器 425 的输出 <0:3> 被馈送到 D 类触发器 (D-FF) 461 和 463 的数据输入“D”,由参考时钟信号 Ref_clk 的正沿和负沿为触发器 461 和 463 提供时钟同步,以获得 DDR 数据。虽然装置具有四位数据路径,仅示出了一位的电路。实际装置中,处理数据的每个电路元件复制四次。D-FF 461 的四位输出 Din1[0:3] 包括 4、5、6 和 7 位,并且将其馈送到选择器 465 的“0”输入。类似的,D-FF 463 的四位输出 Din2[0:3] 包括 0、1、2 和 3 位,并且将其馈送到选择器 467 的“0”输入。选择器 465 和 467 的“1”输入分别接收如 Rout1[0:3] (4、5、6 和 7 位) 和 Rout2[0:3] (0、1、2 和 3 位) 的读出数据。选择器 465 和 467 根据带撇号的信号执行选择操作。用 /SCE 信号选择装置时,根据 ID 匹配判定,在选择装置时带撇号的信号变高,在不选择装置时带撇号的信号变低。将选择器 465 和 467 的所选输出信号馈送到 D-FF 469 和 471 的数据输入 D,D-FF 469 和 471 分别由 Clk180 和 Clk360 信号时钟同步,以进行数据锁存操作。将 D-FF 469 的内部锁存的输出数据 Do1[0:3] 和 D-FF 471 的内部锁存的输出数据 Do0[0:3] 分别馈送到选择器 473 的“1”和“0”输入,选择器 473 响应于 Clk 270 信号执行选择操作。通过输出缓冲器 475 提供选择器 473 的所选输出 <0:3> 作为输出数据 DQi[0:3]。

[0188] 图 18E 示出图 18A 所示的选通 I/O 电路 405。参看图 18A 和 18E,将参考电压信号 SVREF 提供给输入缓冲器(比较器)427 和 429 的“-”输入。将 SCSi 和 SDSi 信号分别馈送给输入缓冲器 427 和 429 的“+”输入,将输入缓冲器 427 和 429 的输出提供给 D-FF 431 和 433 的 D 输入。D-FF 431 和 433 响应于参考时钟信号 Ref_clk 执行锁存操作。D-FF 431 和 433 输出提供给核心逻辑电路 407 的内部命令选通输入信号 iCSI(下文称为“iCSI 信号”)和内部数据选通输入信号 iDSi 信号(下文称为“iDSi 信号”)。

[0189] 将 iCSI 信号馈送到 D-FF 437 和 439 的 D 输入,D-FF 437 和 439 分别由 Clk 180 和 Clk 360 信号时钟同步。D-FF 437 和 439 输出 iCS01 和 iCS00 信号,这两个信号分别馈送到选择器 441 的“1”和“0”输入。响应于 Clk270 信号,通过输出缓冲器 443 提供选择器 441 的所选输出信号作为 SCS0i 信号。将 iDSi 信号馈送到 D-FF 445 和 447 的 D 输入,D-FF 445 和 447 分别由 Clk180 和 Clk360 信号时钟同步。类似地,从 D-FF 445 输出的 iDS01 信号和从 D-FF 447 输出的 iDS00 信号分别被馈送到选择器 449 的“1”和“0”输入,选择器 449 进而响应于 Clk270 信号选择 iDS01 和 iDS00 中的一个。通过输出缓冲器 451 提供选择器 449 的所选输出信号作为 SDS0i 信号。

[0190] 图 19 示出图 18A-18E 所示的源同步时钟结构的各种信号和数据。参看图 18A-18E 和 19,每个装置包括 PLL,PLL 在 SCLK0i、/SCLK0i 信号和输出数据 DQi[0:3]、SCS0i 和 SDS0i 之间产生 90° 的相位差,以为下一装置提供位于中心的时钟。如图 19 所示,输出数据 DQi[0:3] 和 SCLK0i、/SCLK0i 信号之间有 90° 相位差。

[0191] 如前所述,在正常操作模式,取决于 ID 匹配判定和操作模式,带撇号的信号具有逻辑“低(即 0)”或“高(即 1)”状态。ID 不匹配判定时,Device i 仅将数据转发给下一装置 Device(i+1)。带撇号的信号处于逻辑“0”,因而,选择器 465 和 467 选择来自 D-FF 461 和 463 的锁存数据 Din1[0:3] (即 4、5、6 和 7 位) 和 Din2[0:3] (即,0、1、2 和 3 位),并向下一存储器装置提供输出数据 DQi[0:3]。而且,带撇号的信号控制(未示出)不把来自 D-FF 461 和 463 的锁存数据 Din1[0:3] (即 4、5、6 和 7 位) 和 Din2[0:3] (即,0、1、2 和 3 位) 写入到写入寄存器 481。ID 不匹配判定时,不把八位(0-7 位)写入数据提供给核心逻辑电路

407。然而, ID 匹配判定和写入操作模式的情况下, 通过写入寄存器 481 将来自 D-FF 461 和 463 的锁存数据 Din1[0:3] (即 4、5、6 和 7 位) 和 Din2[0:3] (即, 0、1、2 和 3 位) 写入存储器核心电路 498。

[0192] ID 匹配判定和读出操作模式的情况下 (带撇号的信号是逻辑“1”), 核心逻辑电路 407 访问其中的数据存储元件, 读出数据, 然后将读出的数据写入读出寄存器 483。选择器 465 和 467 分别选择读出数据 Rout1[0:3] (4、5、6 和 7 位) 和 Rout2[0:3] (0、1、2 和 3 位), 最后, 将输出数据 DQi[0:3] 提供给下一装置。

[0193] 将具有串联存储器装置的系统用于一些应用时, 要将输入数据传输到下一装置, 必须打开所有串联存储器装置的 PLL, 这是由于使用所有的输入和输出缓冲器。因而, 如果系统中有大量的存储器装置, 就会因为 PLL 操作耗费很多功率。

[0194] 该示例解决了例如具有混合同步时钟的基于多堆叠芯片的存储器的该功耗问题, 基于多堆叠芯片的存储器如非易失性闪速存储器, 其通常以多个芯片封装, 以降低将存储器安装在系统板上的面积。同时, 引入了具有交替启动和关闭 PLL 控制特征的完全源同步时钟。

[0195] 如上所述, 连接多个存储器装置。可以将这些装置划分成组, 每组的特征是时钟结构以及其他特征。

[0196] 国际公开号 WO/2008/098367 (2008 年 8 月 21 日) 公开了包括具有 PLL 的串联装置的系统。所公开的系统, 打开所有装置的 PLL, 而且, 不必要的话, 关闭所有装置的 PLL 以节省功耗。

[0197] 图 20A 示出具有存储器控制器和多个串联的存储器装置的系统。所示示例中, 将装置分组, 每组具有源同步时钟结构和共用同步时钟结构的组合。最后一组的最后一个装置不连接到源控制器, 而是连接到其他控制器或逻辑 (未示出)。参看图 20A, 存储器控制器 510 和包含在组 1-N 中的多个存储器装置 512-1-512-N 连接。1-N 组的每个组中, 多个装置 (如四个装置) 如图 15 所示那样串联。存储器控制器 510 向组 1 512-1 发送输入时钟信号 SCLK1 以及数据和其他信息。1-N 组的每个组将其输出时钟信号输出给下一组。组 N 输出串联连接的输出时钟信号 SCLKON。

[0198] 图 20B 示出具有存储器控制器和多个串联的存储器装置的系统, 将装置分组。该系统中, 每组具有源同步时钟结构和共用同步时钟结构的组合, 最后一组的最后一个装置连接到控制器。所示例子中, 存储器控制器 520 和包含在组 1、2、...、N 中的多个存储器装置连接。1-N 组的每个组中, 多个装置 (如四个装置) 如图 15 所示那样串联。时钟传输路径和图 20A 类似。将组 N 的输出时钟信号 SCLKON 提供给存储器控制器 520。而且, 将包括数据和其他信息的传播信号从组 N 的最后一个装置反馈给存储器控制器 520。

[0199] 在图 20A 和 20B 所示系统中, 一组内的时钟结构可以和其他组不同。一组中的各个装置可以用和另一组的各个装置不同的时钟结构进行时钟同步。每个存储器装置可以包括一个基片或芯片, 或多芯片模块 (MCM) 或多芯片封装 (MCP) 形式的多个基片或芯片。

[0200] 图 21A 示出使用引线接合在多芯片封装 (MCP) 结构中实现的示例系统。参看图 21A, 系统具有以竖直堆叠形式安装在基底 533 上的多个存储器装置 531-1-531-4, 基底 533 是接线板。用隔离器 535 分开这多个装置。装置 531-1-531-4 具有多个连接焊盘 537。基底 533 具有多个连接焊盘 539。装置 531-1-531-4 的焊盘 537 通过引线 541 连接到基底 533

的焊盘 539 和其他装置的焊盘。装置 531-1-531-4、基底 533 和引线 541 被包含在 MCP 封闭体（未示出）中。MCP 封闭体可以包括从各侧包围系统部件的密封介质或树脂，从而提供部件固定于其中的硬封装。基底 533 在装置的相对面具有其他连接焊盘和端子（未示出）。将其他端子连接到另一个 MCP 或者存储器控制器，以发送或接收信号。装置 531-1-531-4 可以和其他 MCP 或存储器控制器的装置通信。具体示例中，系统包括四个芯片（即四个存储器装置），但是，系统包括任意数量的芯片。

[0201] 图 21B 示出具有硅通孔的 MCP 结构的另一示例。参看图 21B，存储器装置 551-1-551-3 彼此并排地水平放置在封闭体（未示出）中的基底 553 上。每个装置具有位于硅基底上的连接线和端子。用硅通孔连接器 555 连接装置之间的端子，这样，装置可发送并接收信号。

[0202] 封装中，由芯片输入和输出焊盘和相关的静电放电（ESD）结构引起的负载效应是造成互联电容的主要因素。然而，模块内连接的负载效应和板子上封装到封装的连接相比远非那么严重。MCP 内两个芯片之间的距离比封装到封装连接的距离小得多。因而，公共同步时钟结构是适用于 MCP 内的解决方案，而源同步时钟结构可用于封装到封装的互连，以获得高频操作，例如，大于 200MHz。利用该方法，不需要启动 MCP 内的所有 PLL。这既可以实现高频率操作又可以实现相对低的功耗。

[0203] 图 22 示出具有用于 MCP 装置的混合同步时钟结构的系统，该混合同步时钟结构基于 MCP 之间的源同步时钟和 MCP 内的公共同步时钟。参看图 22，多个（N 个）MCP 1-MCP N 即 562-1-562-N 串联，并且和存储器控制器（未示出）通信连接。该具体示例中，每个 MCP 具有四个串联的装置。

[0204] 每个装置具有用于接收输入数据和传送输出数据的数据输入 D 和数据输出 Q。每个装置包括用于再生时钟信号的 PLL。存储器控制器向 MCP1562-1 发送包括关于数据和指令的各种信息的输入数据信号 DI。而且，存储器控制器向 MCP 1 发送一对输入时钟信号 SCLKI 和 /SCLKI，将输入时钟信号 SCLKI 和 /SCLKI 共同馈送到 MCP1 的所有装置。将数据信号 DI 馈送到 MCP1 的第一装置的数据输入 D，该数据信号 DI 响应于时钟信号 SCLKI 和 /SCLKI 传播通过 MCP1 中的装置。

[0205] 图 22 所示的具体示例中，MCP 1-MCP N 的每一个中，第一到第三个装置的 PLL 是关闭的（即禁用的），第四个装置的 PLL 是启动的（即使能的）。分别向要关闭和启动的 PLL 提供逻辑“低”和“高”电平电压“Vss（例如 0V）”和“Vdd（例如正电压）”。每个 MCP 的最后一个装置执行时钟再生的功能，将再生的时钟信号提供给下一个 MPC。图 22 所示的具体示例中，每个 MCP 内的时钟结构是公共同步时钟。然而，MCP2-MCPN562-1-562-N 的第一个装置接收来自前一 MCP 的最后一个装置的再生时钟信号，因而，MCP1-MCPN 的第一个装置由源同步时钟结构时钟同步。包括有关数据和指令的各种信息的输入数据信号 DI 传播通过 MCP1-MCPN 的装置，MCPN 的最后一个装置输出输出数据 DQ。而且，从 MCPN 的最后一个装置输出输出时钟信号 SCLKO 和 /SCLKO。

[0206] 图 22 所示系统中，MCP 的最后一个装置（芯片或部件）具有被使能的 PLL，用于传输具有用于数据的中心对准时钟的输出数据给下一 MCP，以优化高频率的操作性能。用逻辑高电平的电压 Vdd 启动每个 MCP 内的最后一个装置的 PLL，这样，该 PLL 被使能。用逻辑“低”的电压 Vss 关闭每个 MCP 内的其他装置的 PLL，从而禁用这些 PLL。

[0207] 图 22 所示的系统中,每个 MCP 内的装置使用公共同步时钟。所有 MCP 的输入和输出用和数据中心对准的时钟操作。MCP 用源同步时钟操作。

[0208] 图 22 所示的示例中,每个 MCP 内只有一个 PLL 是使能的。同样的时钟结构可用于印刷电路板 (PCB) 上直接安装的各个装置。每个装置或模块内不需要再生时钟。公共同步时钟结构可驱动多于一个装置,使得可关闭一些装置中的 PLL 以节省功率。

[0209] MCP 内装置的数量不限于四个,MCP 内可连接多于一个装置,这对本领域技术人员来说是显而易见的。

[0210] 图 23A 示出具有用于基于串联的 MCP 装置的混合同步时钟结构的另一个系统。参看图 23A,多个 (N 个) MCP 1-MCPN 即 572-1-572-N 串联,并且和存储器控制器 (未示出) 通信连接。每个 MCP 具有多个 (例如四个) 串联的装置。每个装置具有用于接收输入数据和传送输出数据的数据输入 D 和数据输出 Q。每个装置包括用于再生时钟信号的 PLL。

[0211] 图 23A 所示的具体示例中,MCP 1-MCPN 的每一个中,第一和第三个装置的 PLL 是用逻辑“低”电压 V_{ss} 关闭的 (即禁用的),第二和第四个装置的 PLL 是用逻辑“高”电压 V_{dd} 启动的 (即使能的)。这里,每隔一个 PLL 是关闭的。

[0212] 存储器控制器向 MCP1 572-1 发送包括关于数据和指令的各种信息的输入数据信号 DI。而且,存储器控制器向 MCP1 发送一对输入时钟信号 SCLKI 和 /SCLKI,将输入时钟信号 SCLKI 和 /SCLKI 共同馈送到 MCP1 的第一和第二装置。第二装置 (使能的 PLL) 向第三和第四装置共同提供再生的时钟信号 SCLK02 和 /SCLK02。第四装置 (使能的 PLL) 输出提供给下一个 MCP、MCP2 的再生时钟信号。

[0213] MCP1 中,第三装置由源同步时钟结构进行时钟同步,第二和第四装置由公共同步时钟结构进行时钟同步。每一个其他 MCP 中,第二和第四装置由公共同步时钟结构进行时钟同步,第一和第三装置由源同步时钟结构进行时钟同步。

[0214] 将数据信号 DI 馈送到 MCP1 的第一装置的数据输入 D,数据信号 DI 响应于时钟信号 SCLKI 和 /SCLKI 传播通过 MCP1 的装置。包括关于数据和指令的各种信息的输入数据信号 DI 传播通过 MCP1-MCPN 的装置,MCPN 的最后一个装置输出输出数据 DQ。而且,MCPN 的最后一个装置还输出 SCLK0 和 /SCLK0 信号。

[0215] 图 23B 示出用于基于串联的 MCP 装置的混合同步时钟结构的另一个系统。参看图 23B,多个 (N 个) MCP 1-MCPN 即 582-1-582-N 串联。该具体示例中,每个 MCP 包括八个串联的装置。每个 MCP 中,第一到第三和第五到第七个装置的 PLL 是用逻辑“低”电压 V_{ss} 关闭的 (即禁用的)。第四和第八个装置的 PLL 是用逻辑“高”电压 V_{dd} 启动的 (即使能的)。每个使能的 PLL 响应于输入时钟信号向下一装置输出再生时钟信号。图 23B 的系统是八芯片封装基底。如果可向所示例子施加最大操作频率而不引起信号完整性问题,可以连接任何数量的装置和 MCP。

[0216] 图 23A 和 23B 所示系统中,每个 MCP 中的两个装置 (芯片或部件) 是启动的,以实现高速操作。

[0217] 为了实现如上所述的混合同步时钟结构,在开始正常操作之前,需要确定每个芯片的 PLL 是否启动的装置选择方法。选择芯片 (或部件) 的 PLL 的示例方法是,对 MCP 中的每个芯片 (或部件) 使用外部管脚。图 22、23A 和 23B 示出如何用恒定电压 V_{ss} 、 V_{dd} 从四个装置中选择一个、从两个装置中选择一个以及从八个装置中选择两个。

[0218] 源同步时钟结构中,假定 SCLKI 和 /SCLKI 信号在输入数据窗口的中心对准,SCLKO 和 /SCLKO 信号也在到下一串联部件的输出数据的中心对准。用具有相移的 PLL 实现这些与数据的对准。

[0219] 在混合同步时钟结构中,源同步时钟结构和上述用于传输和时钟中心对准的输入和输出数据的结构相同。如图 18A-18D 和 19 所示,在输出级 对时钟进行 90° 时钟相移。这是在 MCP 外部整体使用源同步时钟结构,同时在 MCP 内局部使用公共同步时钟结构所需要的。

[0220] 这样,混合同步时钟结构中具有禁用 PLL 的芯片(或部件)接收具有公共同步时钟结构的输入信号,同时,具有使能 PLL 的装置再生时钟,以在把输出数据传输给具有禁用 PLL 的下一装置之前,进行占空比校正和 90° 时钟相移。

[0221] 图 22、23A 和 23B 所示的示例系统中,第一 MCP 从另一装置(如存储器控制器)接收和数据中心对准的时钟。2008 年 11 月 28 日提交的美国专利申请 No. 12/325,074 公开了由存储器控制器提供和数据中心对准的时钟示例。

[0222] 图 24A 示出如图 15 所示串联的一个装置的示例。该装置用于混合同步时钟结构中。

[0223] 该具体实施例中,时钟是中心对准的。本例中,提供 PLL 使能信号 PLL_EN(下文称为“PLL_EN 信号”),用于控制要选择性使能或禁用的 PLL。PLL_EN 信号是逻辑“高”或“低”时,使能(启动)或禁用(关闭)PLL。所示示例中,向一个装置输入各种输入信号(例如, SCLKIi、/SCLKIi、SCSIi、SDSIi 信号)和数据 DIi[0:3],从这一个装置输出各种输出信号(例如 SCLKOi、/SCLKOi、SCSOi、SDSOi 信号)和数据 DQi[0:3]。

[0224] 图 24A 的装置的结构和图 18A 类似。图 24A 所示的装置电路还响应于 PLL_EN 信号,并执行数据和控制信号选择的其他功能。因而,用相同的参考标号指示和图 18A 的装置相应的元件、电路、信号和信息。

[0225] 参看图 24A,装置包括具有 PLL 的时钟 I/O 电路 601、数据 I/O 电路 603、选通 I/O 电路 605 和具有存储器核心电路的控制电路 607。时钟 I/O 电路 601 接收 SCLKIi、/SCLKIi 信号和 PLL_EN 信号。时钟 I/O 电路 601 输出 SCLKOi、/SCLKOi 信号。时钟 I/O 电路 601 向数据 I/O 电路 603 和选通 I/O 电路 605 提供参考时钟信号 Ref_clk。包括 PLL 的时钟 I/O 电路 601 输出相移 180°、270° 和 360° 的时钟信号。也向数据 I/O 电路 603 和选通 I/O 电路 605 提供 PLL_EN 信号。向数据 I/O 电路 603 和选通 I/O 电路 605 提供参考电压信号 SVREF。数据 I/O 电路 603 接收输入数据 DIi[0:3] 和相移 180°、270° 和 360° 的时钟信号。数据 I/O 电路 603 提供输出数据 DQi[0:3]。选通 I/O 电路 605 接收 SCSIi 和 SDSIi 信号和相移 180°、270° 和 360° 的时钟信号。选通 I/O 电路 605 输出 SCSOi 和 SDSOi 信号。控制电路 607 接收来自选通 I/O 电路 605 的内部命令选通输入信号 iCSI 和内部数据选通输入信号 iDSI,并接收来自数据 I/O 电路 603 的要写入的数据。控制电路 607 向数据 I/O 电路 603 提供读出数据。

[0226] 具有存储器核心电路的控制电路 607 的结构和图 18B 所示的具有存储器核心电路的控制电路 407 的结构类似。控制电路 607 提供逻辑“高”或“低”的带撇号的信号。

[0227] 图 24B 示出图 24A 所示的时钟 I/O 电路 601 的细节。参看图 24A 和 24B,将 SCLKIi 和 /SCLKIi 信号馈送到输入缓冲器 611 的“+”和“-”输入,输入缓冲器 611 进而提供参考

时钟信号 Ref_clk。向包括振荡器的 PLL 613 馈送参考时钟信号 Ref_clk 和 PLL_EN 信号。分别响应于 PLL_EN 信号为逻辑“高”和“低”启动并关闭 PLL 613。分别通过缓冲器 614-1、614-2、614-3 和 614-4 输出相对于参考时钟信号 Ref_clk 相移 90°、180°、270° 和 360° 的四个时钟信号。将 PLL_EN 信号馈送到分别插入在选择器 617 和 619 和输出缓冲器 625 和 627 之间的选择器 621、623 的选择输入。分别向每个选择器 617 和 619 的“0”和“1”输入提供逻辑“0”和“1”电压。选择器 621 和 623 的“1”输入分别接收来自选择器 617 和 619 的所选输出信号。为选择器 621 和 623 的“0”输入提供低电平电压 Vss(逻辑“0”)。将相移 360° 的时钟信号(即 Clk360 信号)提供给 PLL 613 的振荡环输入和选择器 617 的选择输入。分别通过输出缓冲器 625 和 627 提供来自选择器 621 和 623 的所选输出作为 SCLK0i 和 /SCLK0i 信号。从时钟 I/O 电路 601 提供三个相移 180°、270° 和 360° 的时钟信号(即 Clk180 信号、Clk270 信号和 Clk360 信号)。

[0228] 图 24C 示出图 24A 所示的数据 I/O 电路 603 的细节。参看图 24A 和 24C,将参考电压信号 SVREF 提供给输入缓冲器 629 的“-”输入。将输入数据 DIi[0:3] 馈送到输入缓冲器 629 的“+”输入,输入缓冲器 629 的输出 <0:3> 被馈送到 D-FF 661 和 663 的数据输入“D”,由参考时钟信号 Ref_clk 的正沿和负沿对触发器 661 和 663 进行时钟同步以获得 DDR 数据。虽然装置具有四位数据路径,仅示出了一位的电路。实际装置中,处理数据的每个电路元件复制四次。D-FF 661 的四位输出 Din1[0:3] 包括 4、5、6 和 7 位,并且将其馈送到选择器 665 的“0”输入。类似的, D-FF 663 的四位输出 Din2[0:3] 包括 0、1、2 和 3 位,并且将其馈送到选择器 667 的“0”输入。选择器 665 和 667 根据带撇号的信号执行选择操作。用 /SCE 信号使能装置时,根据 ID 匹配判定和数据读出操作模式选择装置时,带撇号的信号变高。将选择器 665 和 667 的所选输出馈送到 D-FF 669 和 671 的数据输入 D, D-FF 669 和 671 分别由 Clk180 和 Clk360 信号时钟同步,以进行数据锁存操作。将 D-FF 669 的内部锁存的输出数据 Do1[0:3] 和 D-FF 671 的数据 Do0[0:3] 分别馈送到选择器 673 的“1”和“0”输入,选择器 673 响应于 Clk 270 信号执行选择操作。将选择器 673 的所选输出 <0:3> 馈送到选择器 633 的“1”输入。

[0229] 将参考时钟信号 Ref_clk 馈送到选择器 631 的选择输入,选择器 631 的“0”和“1”输入分别接收来自选择器 665 和 667 输出的内部输出数据 ido[0:3] 和 ido[4:7]。将来自选择器 631 的所选输出信号提供给插入在选择器 631 和输出缓冲器 675 之间的选择器 633 的“0”输入。响应于 PLL_EN 信号,选择器 633 选择来自选择器 631 或者选择器 673 的输出信号,通过输出缓冲器 675 将所选输出数据 <0:3> 作为输出数据 DQi[0:3] 输出。

[0230] 图 24D 示出图 24A 所示的选通 I/O 电路 605 的细节。参看图 24A 和 24D,将参考电压信号 SVREF 提供给输入缓冲器 641 和 643 的“-”输入。将 SCSIi 和 SDSIi 信号分别馈送给输入缓冲器 641 和 643 的“+”输入,将输入缓冲器 641 和 643 的输出提供给 D-FF 645 和 647 的 D 输入。D-FF 645 和 647 响应于参考时钟信号 Ref_clk 执行锁存操作。D-FF 645 和 647 输出提供给具有存储器核心电路的控制电路 607 的内部命令选通输入信号 iCSI(下文称为“iCSI 信号”)和内部数据选通输入信号 iDSI 信号(下文称为“iDSI 信号”)。

[0231] 将 iCSI 信号馈送到 D-FF 649、651 和 653 的 D 输入。将 iDSI 信号馈送到 D-FF 655、657 和 659 的 D 输入。D-FF 649 和 655 由 Clk 180 信号时钟同步。D-FF 651 和 657 由 Clk 360 信号时钟同步。D-FF 653 和 659 由参考时钟信号 Ref_clk 的反相形式时钟同步。

D-FF 649 和 651 输出 iCS01 和 iCS00 信号,这两个信号分别馈送到选择器 677 的“1”和“0”输入。响应于 Clk270 信号,选择器 677 选择 iCS01 或 iCS00,将所选输出信号提供给选择器 687 的“1”输入,选择器 687 的“0”输入接收 D-FF 653 的输出信号。

[0232] D-FF 655 和 657 输出 iDS01 和 iDS00 信号,这两个信号分别馈送到选择器 679 的“1”和“0”输入。响应于 Clk270 信号,选择器 679 选择 iDS01 或 iDS00 信号,将所选输出信号提供给选择器 689 的“1”输入,选择器 689 的“0”输入接收 D-FF 659 的输出信号。

[0233] 响应于 PLL_EN 信号,D-FF 687 选择选择器 677 或 D-FF 653 的输出信号,通过输出缓冲器 691 提供所选输出信号作为 SCS0i 信号。类似地,响应于 PLL_EN 信号,选择器 689 选择选择器 679 或 D-FF 659 的输出信号,通过输出缓冲器 693 提供所选输出信号作为 SDS0i 信号。

[0234] 图 25 示出图 24A-24D 所示装置的各种信号。图 25 所示示例中,PLL_EN 信号为低的情况下,PLL 613 关闭(或被禁用),不产生 Clk90 信号、Clk180 信号、Clk270 信号和 Clk360 信号。在 SCSi 信号和参考时钟信号的重叠期间执行禁用 PLL 的装置内的输入数据获取。禁用 PLL 的装置之间没有时钟相移,但是通过下面关系保证数据的保持时间 tHOLD 和设置时间 tSETUP:

$$[0235] \quad tHOLD = tOUT - tINS + tDTD \quad (1)$$

$$[0236] \quad tSETUP = tCK \times 0.5 - tHOLD \quad (2)$$

[0237] 其中 tOUT 是参考时钟到输出缓冲器的延迟,tINS 是时钟插入延迟,tDTD 是装置到装置延迟,tCK 是时钟周期。

[0238] 如上所述,时序裕量根据缓冲器路径延迟和装置到装置之间的距离而不同,因而,仅在 MCP 或组内部使用公共同步时钟结构。

[0239] 图 26 示出图 24A-24D 所示装置的各种信号。该具体示例中,时钟是中心对准的。本例中,PLL_EN 信号是引起 PLL 启动或被使能的逻辑“高”。

[0240] 参看图 24A-24D、25 和 26,PLL_EN 信号为“高”的情况下,PLL 613 启动,产生 Clk90 信号、Clk180 信号、Clk270 信号和 Clk360 信号。

[0241] 和公共同步时钟结构不同,源同步时钟结构用图 24B-24D 所示的 2 输入选择器提供具有 90° 相移的再生时钟以及时钟和数据路径之间的延迟匹配。由于该具有时钟 90° 相移的延迟匹配,设置和保持时间始终与 DDR 操作中的 $tCK \times 0.25$ 值相同。

[0242] 有混合同步时钟结构。第一种方法基于和来自存储器控制器的数据以及两个 MCP 之间的数据中心对准的时钟。下面描述和数据边沿对准的时钟的另一种方法。在和数据中心对准的时钟的情况下,如图 22 和图 23A、23B 所示,输入数据和 SCLKI 以及 /SCLKI 信号之间的负载不平衡。由于这一不平衡的负载效应(参看“D”和 CK 以及 /CK 连接),在存储器控制器可从起始点改变时钟和数据之间的相位差。因而,该替代方法为此提供解决方案。假定,除了两个禁用的 PLL 部件之间之外,所有输入数据和输出都和时钟边沿对准。

[0243] 图 27 示出根据本发明一个实施例的另一个系统。系统包括多个(N个)装置组 DGP1-DGPN。系统实现具有和数据边沿对准的时钟的混合同步时钟结构。每个装置组的结构和图 22 所示的基于 MCP 的系统相同。图 27 所示的该具体示例中,每个装置组包括四个具有 PLL 的装置。第一装置的 PLL 启动(被使能),第二到第四装置的 PLL 关闭(被禁用)。用源同步时钟结构对第一装置时钟同步,用公共同步时钟结构以及由第一装置输出的再生

时钟信号 SCLK0 和 /SCLK0 对第二到第四装置时钟同步。在 MCP 的输入侧,输入数据 DI 和一对输入时钟信号 SCLKI 和 /SCLKI 具有相同的负载效应,这样,输入数据 DI 和一对输入时钟信号 SCLKI 和 /SCLKI 可轻易地对从控制器到第一 MCP 的连接负载保持相同相移。

[0244] 图 28 示出控制器和存储器装置之间传送的各种信号。

[0245] 为了使时钟和数据边沿对准,每个 MCP 的最后一个部件向下一 MCP 提供时钟。没有 PLL 或 DLL 的情况下,可用输出时钟和输出数据之间的延迟路径匹配实现和数据边沿对准的时钟。

[0246] 图 29A 示出具有混合同步时钟结构接口的一个装置的另一个示例。

[0247] 所示例子中,向一个装置输入各种输入信号(例如, SCLKIi、/SCLKIi、SCSIi、SDSIi 信号)和数据 DIi,从该一个装置输出各种输出信号(例如 SCLKOi、/SCLKOi、SCSOi、SDSOi 信号)和数据 DQi。

[0248] 参看图 29A,装置包括包括 PLL 的时钟 I/O 电路 701、数据 I/O 电路 703、选通 I/O 电路 705 和具有存储器核心电路的控制电路 707。时钟 I/O 电路 701 接收 SCLKIi、/SCLKIi 信号和 PLL EN 信号。时钟 I/O 电路 701 向数据 I/O 电路 703 和选通 I/O 电路 705 输出两个内部产生的时钟信号 Clk_en1 和 Clk_en2(下文分别称为 Clk_en1 时钟信号和 Clk_en2 时钟信号)。向数据 I/O 电路 703 和选通 I/O 电路 705 提供参考电压信号 SVREF。数据 I/O 电路 703 接收输入数据 DIi[0:3] 并提供输出数据 DQi[0:3]。选通 I/O 电路 705 接收 SCSIi 和 SDSIi 信号并输出 SCSOi 和 SDSOi 信号。控制电路 707 接收来自选通 I/O 电路 705 的内部命令选通输入信号 iCSI 和内部数据选通输入信号 iDSI,并接收来自数据 I/O 电路 703 的要写入的数据。控制电路 707 向数据 I/O 电路 703 提供读出数据。

[0249] 具有存储器核心电路的控制电路 707 的结构和图 18B 所示的具有存储器核心电路的控制电路 407 的结构类似。存在 ID 匹配和数据读出命令时,控制电路 707 提供逻辑“高”的带撇号信号。

[0250] 图 29B 示出图 29A 所示的时钟 I/O 电路 701 的细节。参看图 29A 和 29B,将 SCLKOi 和 /SCLKOi 信号输入到输入缓冲器 711,输入缓冲器 711 进而向包括振荡器的 PLL 713 的输入提供参考时钟信号 Ref_clk。而且,将 PLL_EN 信号馈送到 PLL 713 的使能输入“PLL_EN input”。PLL 713 产生相对于参考时钟信号 Ref_clk 相移 90°、180°、270° 和 360° 的四个时钟信号。PLL 713 通过各个缓冲器 714-1、714-2、714-3 和 714-4 提供 Clk90 信号、Clk180 信号、Clk270 信号和 Clk360 信号。将相移 360° 的时钟信号 Clk360 馈送到 PLL 713 的振荡输入 Osc_loop Input。

[0251] 将参考时钟信号 Ref_clk 和 90° 相移的时钟信号 Clk90 信号分别馈送到选择器 715 的“0”和“1”输入,选择器 715 的选择输入接收 PLL_EN 信号。提供来自选择器 715 的所选信号作为 Clk_en1 时钟信号。将参考时钟信号 Ref_clk 和来自缓冲器 755 的延迟形式 Clk-dly 分别馈送到选择器 725 的“0”和“1”输入,并由选择器 725 响应于 PLL_EN 信号选择这两个信号。提供来自选择器 725 的所选时钟作为 Clk_en2 时钟信号。

[0252] 还将参考时钟信号 Ref_clk 馈送到选择器 717 的“0”输入,选择器 717 的“1”输入和选择输入下拉(为逻辑“0”),因而,选择器 717 总是选择“0”输入的信号,结果是,参考时钟信号 Ref_clk 是其所选输出信号。将选择器 717 的所选输出信号提供给选择器 719 和 720 的选择输入。分别为选择器 719 的“0”和“1”输入提供逻辑“0”和“1”。分别为选

择器 720 的“0”和“1”输入提供逻辑“1”和“0”。分别通过输出缓冲器 721 和 723 提供选择器 719 和 720 的所选输出信号作为 SCLK0i 和 /SCLK0i 信号。

[0253] 图 29C 示出图 29A 所示的数据 I/O 电路 703 的细节。参看图 29A 和 29C, 将参考电压信号 SVREF 提供给输入缓冲器 (比较器) 727 的“-”输入。将输入数据 DIi[0:3] 馈送到输入缓冲器 725 的“+”输入, 输入缓冲器 727 的输出信号 <0:3> 被馈送到 D-FF 761 和 763 的数据输入 D, 分别由 Clk_en1 时钟信号及其反相形式为触发器 761 和 763 时钟同步。本例中, D-FF 763 的数据锁存操作与 D-FF 761 的数据锁存操作在 Clk_en1 时钟信号上有 180° 相移。虽然装置具有四位数据路径, 仅示出了一位的电路。实际装置中, 处理数据的每个电路元件复制四次。将包括 4、5、6 和 7 位的 D-FF 761 的四位输出数据 Din1[0:3] 馈送到选择器 765 的“0”输入。类似的, 将包括 0、1、2 和 3 位的 D-FF 763 的四位输出数据 Din2[0:3] 馈送到选择器 767 的“0”输入。选择器 765 和 767 根据馈送到选择器 765 和 767 的选择输入的带撇号的信号执行选择操作。该具体示例中, 没有 ID 匹配时, 带撇号的信号是逻辑“低”。存在 ID 匹配时, 在数据读出和数据写入的情况下, 带撇号的信号分别是“高”和“低”。响应于带撇号的信号, 将来自选择器 765 和 767 的内部选择的输出数据 Do1[0:3] 和 Do0[0:3] 分别馈送到选择器 773 的“0”和“1”输入, 选择器 773 的选择输入接收来自时钟 I/O 电路 701 的 Clk_en2。通过输出缓冲器 775 提供来自选择器 773 的所选输出数据 <0:3> 作为输出数据 DQi[0:3]。

[0254] 图 29D 示出图 29A 所示的选通 I/O 电路 705 的细节。参看图 29A 和 29D, 将参考电压信号 SVREF 提供给输入缓冲器 (比较器) 737 和 739 的“-”输入, 输入缓冲器 737 和 739 的“+”输入分别接收 SCSIi 和 SDSIi 信号。将输入缓冲器 737 和 739 的输出信号提供给 D-FF 741、781 和 743、783 的 D 输入。分别将 Clk_en1 时钟信号提供给 DFF 741 和 743 的时钟输入和 DFF 781 和 783 的反相时钟输入。D-FF 741 和 743 响应于 Clk_en1 时钟信号分别输出 iCSI1 和 iDSI1 信号, 将 iCSI1 和 iDSI1 信号提供给控制电路 707。将 iCSI1 和 iDSI1 信号分别馈送到选择器 791 和 793 的“0”输入。从 D-FF 781 和 783 分别提供另外的内部命令选通和数据选通输入信号 iSCSI2 和 iSDSI2 至选择器 791 和 793 的“1”输入。将 Clk_en2 时钟信号馈送到选择器 791 和 793 的选择输入。选择器 791 响应于 Clk_en2 时钟信号选择 iCSI1 信号或 iCSI2 信号, 通过输出缓冲器 751 提供来自选择器 791 的所选输出信号作为 SCS0i 信号。选择器 793 响应于 Clk_en2 时钟信号选择 iDSI1 信号或 iDSI2 信号, 通过输出缓冲器 753 提供来自选择器 793 的所选输出信号作为 SDS0i 信号。

[0255] 具有存储器核心电路的控制电路 707 的结构和图 18B 相同。

[0256] 参看图 29A-29D, 在写入操作 (带撇号的信号是逻辑“0”), 将来自 D-FF 761 和 763 的锁存数据 Din1[0:3] (即 4、5、6 和 7 位) 和 Din2[0:3] (即 0、1、2 和 3 位) 写入到写入寄存器 795。ID 匹配判定的情况下, 将 8 位 (0-7 位) 写入数据提供给控制电路 707, 以将写入数据存储于控制电路 707 中包括的核心单元。在正常操作的读出模式 (带撇号的信号是逻辑“1”), 在 ID 匹配判定的情况下, 控制电路 707 访问其中的数据存储元件, 读出数据, 将读出数据写入读出寄存器 797。选择器 765 和 767 分别选择所写的数据如 Rout1[0:3] (4、5、6 和 7 位) 和 Rout2[0:3] (0、1、2 和 3 位), 最后, 将输出数据 DQi[0:3] 提供给下一存储器装置。读出操作中, 不把来自 D-FF 761 和 763 的锁存数据 Din1[0:3] (即 4、5、6 和 7 位) 和 Din2[0:3] (即 0、1、2 和 3 位) 写入到写入寄存器 795 中。因而, 不向控制器电路 707 提供

8 位 (0-7 位) 写入数据。

[0257] 图 30 示出图 29A-29D 的装置的各种信号。图 30 示出边沿对准时钟情况下混合同步时钟结构中的使能 PLL 装置的操作。用“高”PLL_EN 信号使能 PLL。

[0258] 参看图 29A-29D 和图 30, 用逻辑“高”电平电压 Vdd 提供 PLL_EN 信号时, PLL_713 开始产生内部相移时钟信号, 其中一个信号 (90° 相移的时钟信号 Clk90) 用于在数据输入侧锁存输入数据, 数据输入侧是包括数据 I/O 电路 703 的 D-FF 761 和 763 的电路。和数据边沿对准的时钟信号没有建立时间裕量, 没有时钟相移, 因而, 如图 29C 和 29D 所示, 需要向每个输入锁存提供 90° 相移的时钟信号。这种情况下, 输出数据 (DQi、SCSOi 和 SDSOi) 与 SCLKIi 和 /SCLKIi 信号之间的相位差如此重要, 以至于使用延迟的时钟“Clk_dly”发送输出数据, 以在时钟和输入数据到达下一装置的输入锁存级时给下一装置时序裕量。将每个 MCP 的最后一个部件 (或装置) 的 SCLKOi 和 /SCLKOi 信号馈送到其他 MCP, 而同一 MCP 中第一个部件 (或装置) 的输出时钟用公共时钟方式连接到其他部件。

[0259] PLL_EN 信号是逻辑“低”(Vss) 的情况下, 禁用 PLL 713, 参考时钟信号 Ref_clk 用于锁存输入数据, 并将输出数据传输到具有边沿对准的时钟的下一部件。和匹配时钟和输出数据之间的延迟路径一样, 实现了时钟和输出数据的边沿对准。在下一部件, 如图 31 所示, 用 SCLKOi 和 /SCLKOi 信号获取输入数据, 两个部件之间有一个周期的延迟。图 31 示出装置的各种信号。图 31 示出具有边沿对准的时钟的混合同步时钟结构中的禁用 PLL 装置的操作。用“低”PLL_EN 信号禁用 PLL。

[0260] 使用混合时钟, 可以降低由 PLL 引起的功耗, 并且提供具有 MCP 和分组装置的高速操作。

[0261] 用于实现完全源同步时钟结构的第二种替代方法没有混合同步时钟。

[0262] 仅使用源同步时钟结构, 有降低由 PLL 引起的功耗的方法。利用交替启动和关闭 (或关闭和启动) PLL 的操作, 实现数据的获取和传输。这种情况下, 仅考虑源同步时钟结构, 这样, 可用不同于前两种情况的方式获得全速操作。而且, 其他益处是, 这可用于包括环型连接系统的所有分组连接系统, 不限于 MCP。对于单部件封装, 可以应用而没有前两种情况中的任何限制。

[0263] 图 32 示出具有完全源同步时钟结构的系统的一个示例。所示示例中, 系统包括 14 个装置 799-1-799-14, 每个装置具有 PLL。每个装置具有 ID 寄存器, 用于保存相关 ID, 该 ID 是二进制代码。本具体示例中, ID 是四位二进制数字。因为没有给装置 799-1-799-14 分配 ID, 它们的 ID 寄存器保存初始 ID (即“0000”)。根据初始 ID (即“0”) 的 LSB, 每个装置的 PLL_EN 信号是逻辑“高”。因而, 所有装置的 PLL 都是使能的 (启动的)。

[0264] 图 33A 示出具有完全源同步时钟结构的多个串联装置的示例, 该完全源同步时钟结构在边沿对准时钟和中心对准时钟之间交替。该具体示例中, 系统使用和数据边沿对准的时钟。参看图 33A, 在初始模式, 分别为装置 799-1-799-14 分配 ID 号“0000”-“1101”。根据分配给每个装置的 ID 的 LSB, 该装置的 PLL_EN 信号是逻辑“高”或“低”。在图 33A 所示的具体示例中, 第一、第三... 装置的 LSB 是“0”, 它们的 PLL_EN 信号是逻辑“高”。第二、第四... 装置的 LSB 是“1”, 它们的 PLL_EN 信号是逻辑“低”。

[0265] 图 33B 示出具有源同步时钟结构的多个串联装置的另一个示例, 该源同步时钟结构在边沿对准时钟和中心对准时钟之间交替。该具体示例中, 系统使用和数据中心对准的

时钟。参看图 33B, 在初始模式, 分别为装置 799-1-799-14 分配 ID 号“0000”-“1101”。根据分配给每个装置的 ID 的 LSB, 该装置的 PLL_EN 信号是逻辑“高”或“低”。在该具体示例中, 第一、第三... 装置的 PLL_EN 信号是逻辑“低”。第二、第四... 装置的 PLL_EN 信号是逻辑“高”。在图 32、33A 和 33B 所示的每个系统中, 装置的数量 N 都是 14 (偶数), 但是, 串联装置的数目不限。如图 33A 和 33B 所示, 使能 (启动) N/2 个装置, 禁用 (关闭) 其它 N/2 个装置。

[0266] 图 34A 示出具有完全源同步时钟接口的一个装置。参看图 34A, 装置包括包括 PLL 的时钟 I/O 电路 801、数据 I/O 电路 803、选通 I/O 电路 805 和具有存储器核心电路的控制电路 807。时钟 I/O 电路 801 接收 SCLKI、/SCLKI 信号并输出 SCLKOi、/SCLKOi 信号。时钟 I/O 电路 801 向数据 I/O 电路 803 和选通 I/O 电路 805 输出两个内部产生的时钟信号 Clk_in1 和 Clk_in2 (下文分别称为 Clk_in1 时钟信号和 Clk_in2 时钟信号)。向数据 I/O 电路 803 和选通 I/O 电路 805 提供参考电压信号 SVREF。数据 I/O 电路 803 接收输入数据 DIi[0:3] 并提供输出数据 DQi[0:3]。选通 I/O 电路 805 接收 SCSIi 和 SDSIi 信号并输出 SCSOi 和 SDSOi 信号。控制电路 807 接收来自选通 I/O 电路 805 的内部命令选通输入信号 iCSIi 和内部数据选通输入信号 iDSIi, 并接收来自数据 I/O 电路 803 的要写入的数据。控制电路 807 向数据 I/O 电路 803 提供读出数据。控制电路 807 向时钟 I/O 电路 801、数据 I/O 电路 803 和选通 I/O 电路 805 提供 PLL_EN 信号。而且, 控制电路 807 向时钟 I/O 电路 801 提供 ID 分配完毕信号。

[0267] 图 34B 示出图 34A 所示的具有存储器核心电路的控制电路 807。参看图 34A 和 34B, ID 分配电路 371 在初始模式执行 ID 分配和 ID 计算。在 ID 寄存器 372 中记录输入 ID 号 IDi。计算结果数字 (即 IDi+1) 由 Device i 作为输出 IDo 提供给下一装置。ID 寄存器 372 保存分配的 ID。

[0268] ID 寄存器 372 向反相器 376 提供代表分配的 IDi 的最小有效位 (LSB) 的逻辑状态的一位信号 374, 反相器 376 的反相输出信号输出作为 PLL_EN 信号。因此, PLL_EN 信号具有响应于分配的 IDi 的 LSB 的“0”或“1”的逻辑状态“高”或“低”。而且, 完成 ID 分配后, ID 分配电路 371 输出 ID 分配完成信号 379。在初始模式, 首先重置 ID 寄存器 372, 所有 ID 寄存器 372 的 LSB 都是“0”。因而, PLL_EN 信号是逻辑“高”, 如图 32 所示, 所有装置的 PLL 都被使能 (启动)。寄存 ID 后, 响应于偶数 ID 的 LSB, PLL_EN 信号是“高”, 响应于奇数 ID 的 LSB, PLL_EN 信号是“低”。如图 33A 所示, 响应于“高”PLL_EN 信号, 使能 (启动) 第一、第三、第五... 装置的 PLL, 响应于“低”PLL_EN 信号, 禁止 (关闭) 第二、第四... 装置的 PLL。

[0269] 之后, 在正常模式, 将具有如图 6 所示格式的命令馈送到 ID 匹配判定器 373 和命令解释器 375。ID 匹配判定器 373 确定输入 ID 号是否和 ID 寄存器 372 中保存的分配 ID 匹配, 如果匹配的话, 提供处于逻辑“高”的 ID 匹配信号。如果不匹配, ID 匹配信号就为逻辑“低”。包括 OP 代码解码器的命令解释器 375 解码包括在输入命令中的 OP 代码, 并响应于“高”ID 匹配信号提供经解释的命令 (例如写入、读出)。响应于经解释的命令和 ID 匹配信号, 模式信号产生器 377 提供带撇号的信号。该具体示例中, ID 不匹配时, 带撇号的信号是逻辑“低”; ID 匹配且 OP 代码是“读出” (即命令是数据读出命令) 时, 带撇号的信号是“高”。响应于经解释的命令, 例如, 向具有数据存储或存储器单元 (未示出) 的存储器核心

电路 378 写入数据或从中读出数据。存储器核心电路 378 接收来自选通 I/O 电路 805 的内部命令选通输入信号 iCSI1 和内部数据选通输入命令 iDSI1。

[0270] 图 34C 示出图 34A 所示的时钟 I/O 电路 801 的细节。参看图 34A 和 34C, 向 PLL 813 提供 PLL_EN 信号。将 SCLKIi 和 /SCLKIi 信号馈送到输入缓冲器 811 的“+”和“-”输入, 输入缓冲器 811 进而向 PLL 813 的参考时钟输入“Ref_clk input”提供参考时钟信号 Ref_clk。PLL 813 包括振荡器并且分别通过缓冲器 814-1、814-2、814-3 和 814-4 产生相对于输入参考时钟信号 Ref_clk 相移 90°、180°、270° 和 360° 的四个时钟信号。下文将参考标号为 Clk90、Clk180、Clk270 和 Clk360 的相移 90°、180°、270° 和 360° 的四个时钟信号分别称为“Clk90 信号”、“Clk180 信号”、“Clk270 信号”和“Clk360 信号”。将 Clk360 信号馈送到 PLL 813 的振荡输入“Osc_loop Input”。将 Clk360 信号、参考时钟信号 Ref_clk 和 PLL_EN 信号分别馈送到选择器 817 的“1”、“0”和选择输入, 将选择器 817 的输出信号馈送到选择器 819 和 820 的选择输入。

[0271] 选择器 819 的“0”和“1”输入分别接收逻辑“0”和“1”信号。选择器 820 的“0”和“1”输入分别接收逻辑“1”和“0”信号。通过输出缓冲器 821 提供选择器 819 的输出信号作为 SCLKOi 信号。类似的, 通过输出缓冲器 823 提供选择器 820 的输出信号作为 /SCLKOi 信号。因而, SCLKOi 和 /SCLKOi 信号是相位差 180° 的互补差分时钟信号。

[0272] 将 ID 分配完成信号 379 和 PLL_EN 信号馈送到与门 853, 将与门 853 的逻辑输出信号馈送到选择器 815 的选择输入。将参考时钟信号 Ref_clk 和 Clk90 信号分别馈送到选择器 815 的“0”和“1”输入, 提供选择器 815 的所选输出信号作为 Clk_in1 时钟信号。而且, 将 PLL_EN 信号馈送到选择器 824 的选择输入, 选择器 824 的“1”和“0”输入分别接收 Clk270 信号和参考时钟信号 Ref_clk。提供选择器 824 的所选输出信号作为 Clk_in2 时钟信号。

[0273] 图 34D 示出图 34A 所示的数据 I/O 电路 803。参看图 34A 和 34D, 将参考电压信号 SVREF 提供给输入缓冲器 825 的“-”输入。将输入数据 DIi[0:3] 馈送到输入缓冲器 825 的“+”输入, 输入缓冲器 825 的输出数据 <0:3> 被馈送到 D-FF 861 和 863 的数据输入 D, 分别由 Clk_in1 时钟信号的正沿和负沿对 D-FF 861 和 863 时钟同步, 以获取 DDR 数据。虽然装置具有四位数据路径, 仅示出了一位的电路。实际装置中, 处理数据的每个电路元件复制四次。将包括 4、5、6 和 7 位的 D-FF 861 的四位输出 Din1[0:3] 馈送到选择器 865 的“0”输入。类似的, 将包括 0、1、2 和 3 位的 D-FF 863 的四位输出 Din2[0:3] 馈送到选择器 867 的“0”输入。选择器 865 和 867 根据馈送到选择器 865 和 867 的选择输入的带撇号的信号执行选择操作。将选择器 865 和 867 的所选输出信号馈送到 D-FF 881 和 883 的数据输入 D, 分别由 Clk_in1 的负沿和正沿对 D-FF 881 和 883 时钟同步, 以进行内部数据锁存操作。

[0274] 将来自选择器 865 的内部选择的输出数据 Do1[0:3] 和 D-FF 881 的内部锁存的输出数据 Do1_d[0:3] 分别馈送到选择器 885 的“1”和“0”输入。将来自选择器 867 的内部选择的输出数据 Do0[0:3] 和 D-FF 883 的内部锁存的输出数据 Do0_d[0:3] 分别馈送到选择器 887 的“1”和“0”输入。选择器 885 和 887 的选择输入接收 PLL_EN 信号。将选择器 885 的所选输出数据 <0:3> 馈送到选择器 888 的“1”输入, 将选择器 887 的所选输出数据 <0:3> 馈送到选择器 888 的“0”输入, 选择器 888 的选择输入接收内部时钟信号 Clk_in2。响应于内部时钟信号 Clk_in2, 通过输出缓冲器 890 提供选择器 888 的所选输出数据 <0:3>

作为输出数据 $DQ_i[0:3]$ 。

[0275] 在写入操作时,将来自 D-FF 861 和 863 的锁存数据 $Din1[0:3]$ (即 4、5、6 和 7 位) 和 $Din2[0:3]$ (即 0、1、2 和 3 位) 提供给写入寄存器 895。在读出操作时,具有存储器核心电路的控制电路 807 访问其中的数据存储元件,并读出数据,将读出的数据写入读出寄存器 897。选择器 865 和 867 分别选择如 $Rout1[0:3]$ (4、5、6 和 7 位) 和 $Rout2[0:3]$ (0、1、2 和 3 位) 的读出数据,最终将输出数据 $DQ_i[0:3]$ 提供给下一存储器装置。

[0276] 图 34E 示出图 34A 所示的选通 I/O 电路 805。参看图 34A 和 34E,将参考电压信号 SVREF 提供给输入缓冲器 (比较器) 827 和 829 的“-”输入。将 $SCSI_i$ 和 $SDSI_i$ 信号分别馈送到输入缓冲器 827 和 829 的“+”输入。将缓冲器 827 的输出信号提供给 D-FF 831 和 835 的 D 输入。将缓冲器 829 的输出信号提供给 D-FF 833 和 837 的 D 输入。将 Clk_in1 时钟信号提供给 DFF 831 和 833 的时钟输入和 DFF 835 和 837 的反相时钟输入。

[0277] D-FF 831 和 833 响应于 Clk_in1 时钟信号的正沿执行锁存操作。D-FF835 和 837 响应于 Clk_in1 时钟信号的负沿执行锁存操作。因而,D-FF 835 和 837 的锁存操作的 Clk_in1 时钟信号有 180° 相移。D-FF 831 和 833 输出提供给控制电路 807 的内部命令选通输入信号 $iCSI1$ (下文称为“ $iCSI1$ 信号”) 和内部数据选通输入信号 $iDSI1$ 信号 (下文称为“ $iDSI1$ 信号”)。D-FF835 和 837 输出另一个内部命令选通输入信号 $iCSI2$ (下文称为“ $iCSI2$ 信号”) 和另一个内部数据选通输入信号 $iDSI2$ 信号 (下文称为“ $iDSI2$ 信号”)。

[0278] 将 $iCSI1$ 和 $iDSI1$ 信号分别馈送到 D-FF 862 和 864 的 D 输入,D-FF 862 和 864 由 Clk_in1 时钟信号的负沿时钟同步。将 $iCSI2$ 和 $iDSI2$ 信号分别馈送到 D-FF 866 和 868 的 D 输入,D-FF 866 和 866 由 Clk_in1 时钟信号的正沿时钟同步。将 $iCSI1$ 信号和来自 D-FF 862 的输出信号 $iCSI1_d$ 馈送到选择器 871 的“1”和“0”输入。将 $iCSI2$ 信号和来自 D-FF 866 的输出信号 $iCSI2_d$ 馈送到选择器 873 的“1”和“0”输入。将 $iDSI1$ 信号和来自 D-FF 864 的输出信号 $iDSI1_d$ 馈送到选择器 875 的“1”和“0”输入。将 $iDSI2$ 信号和来自 D-FF 868 的输出信号 $iDSI2_d$ 馈送到选择器 877 的“1”和“0”输入。将 PLL_EN 信号馈送到选择器 871、873、875 和 877 的选择输入。将选择器 871 和 873 的所选输出信号分别馈送到选择器 891 的“1”和“0”输入。将选择器 875 和 877 的所选输出信号分别馈送到选择器 893 的“1”和“0”输入。将 Clk_in2 时钟信号馈送到选择器 891 和 893 的选择输入。通过输出缓冲器 843 提供来自选择器 891 的所选输出信号作为 $SCS0_i$ 信号。通过输出缓冲器 851 提供来自选择器 893 的所选输出信号作为 $SDS0_i$ 信号。

[0279] 图 35A 示出图 34A-34E 所示装置的各种信号。参看图 34A-34E 和 35A,在所分配 ID 的 LSB 是“0”的情况下,来自 ID 寄存器 372 的输出信号 374 是逻辑“低”,反相器 376 的输出信号是“高”,使得 PLL_EN 信号为逻辑“高”。在所分配 ID 的 LSB 是“1”的情况下,来自 ID 寄存器 372 的输出信号 374 是逻辑“高”, PLL_EN 信号为逻辑“低”。响应于具有逻辑“高”或“低”的 PLL_EN 信号,禁用或使能 PLL 813。

[0280] 在分配装置 ID 之前,所有存储器部件具有缺省值是“0000”的 ID 号。因而,所有部件 (装置) 的所有 PLL 是使能的,可以从如图 32 所示的所有 PLL 启动的情况开始 ID 分配操作。ID 的 LSB 用于确定 PLL 是启动 (使能) 或关闭 (禁用) 的。如果 LSB 是“0”,则启动 PLL。否则,如果 LSB 等于“1”,关闭 PLL。

[0281] 在中心对准时钟和边沿对准时钟之间切换需要在加电序列操作时有几百个周期。

然而,这不影响部件操作的实际性能。而且,根据最后一个装置的 ID 号(即,环形连接中部件(或装置)的总数),最后输出可以是和数据边沿对准的时钟,或者是和数据中心对准的时钟。

[0282] 在加电序列时,在每个具有使能的 PLL 的装置内自动执行装置地址 (DA) 或装置标识 (ID) 分配操作。这样,对此操作,虽然所有部件内的 PLL 都启动,但是,如图 34C 中 ID_assignment_complete 信号 379 的逻辑零状态所示,每个部件的输入侧具有参考时钟信号 Ref_clk,而不是相移 90° 的时钟信号。因为输入数据具有来自存储器控制器的和数据中心对准的时钟,而且前一部件(或装置)产生和数据中心对准的时钟。该省略仅在 ID 分配之前出现。用 ID_assignment_complete 信号 379 对此控制。如果该信号是“低”,就使能连接到“Ref_clk”的“0”输入。如果该信号是“高”,就使能连接到相移 90° 的时钟的“1”输入。需要在存储器控制器中控制中心对准的时钟和边沿对准的时钟之间的时序关系,以支持源同步方式。和所有 PLL 都启动的情况相比,这提供比启动所有 PLL 的情况相对小 50% 的功耗。2008 年 11 月 28 日提交的美国专利申请 No. 12/325,074 公开了在存储器控制器中控制中心对准时钟和边沿对准时钟之间的示例。

[0283] 图 36A 示出图 34A 所示的具有存储器核心电路的控制电路 807 的另一个示例。参看图 34A 和 36A, ID 分配电路 391 在初始模式执行 ID 分配和 ID 计算。在 ID 寄存器 392 中记录输入 ID 号 ID_i。计算结果号(即 ID_i+1)由 Device i 作为输出 ID_o 提供给下一装置。ID 寄存器 392 保存分配的 ID。

[0284] ID 寄存器 392 把代表所分配 ID_i 的 LSB 的逻辑状态的一位信号 394 提供给反相器 396,把反相器 396 的反相输出信号提供给与非门 395。ID 分配电路 391 向与非门 395 提供 ID 分配完成信号 399,提供与非门 395 的逻辑输出信号作为 PLL_EN 信号。将 PLL_EN 信号和 ID 分配完成信号 399 馈送到与门 853。而且,将 PLL_EN 信号馈送到 PLL 813、与门 853 和选择器 817、824。

[0285] 之后,在正常模式,图 36A 所示的控制电路执行和图 34B 所示的控制电路 807 类似的操作。

[0286] 图 37A 是图 34A、34C-34E 和 36 所示具有使能 PLL 的装置的时序图。图 37B 是图 34A、34C-34E 和 36 所示具有禁用 PLL 的装置的时序图。

[0287] 参看图 34A、34C-34E 和 37A、37B,启动 PLL 813 时,用输入级相移 90° 的时钟信号锁存输入数据。如 SCS0_i、SDS0_i 信号和 DQ_i[0:3] 的输出信号和具有 90° 相位差的中心时钟对准。通过该相移时钟,下一装置可以获取输入数据而无需 PLL 的任何时钟相位改变。这是为什么这种完全源同步时钟结构中可实现交替启动 PLL(使能)和关闭(禁用)的原因。

[0288] 在具有图 34A-34E、36A 和 36B 所示装置的系统中,从具有禁用 PLL 的装置提供边沿对准的输出数据,然后,将该输出数据与连接到前一装置的具有使能 PLL 的下一装置重新对准。所提出的完全源同步时钟结构中重复两个时序关系(例如图 35A、35B 和 37A、37B 所示)。

[0289] 例如,在具有连接的控制器和多个装置的系统中,用如源同步方法的同步方法对装置时钟同步。如果 PLL 抖动和相位误差控制得好,源同步时钟结构可提供比公共同步时钟结构高的频率操作范围,例如,大于 800MHz。为此,在具有串联存储器的系统中采用源同步时钟结构,以提供高数据读出和写入范围和带宽。

[0290] 如果,例如,系统设计良好、PLL 抖动和相位误差控制得好,时钟系统的频率操作范围可以比公共同步时钟系统的操作范围高。

[0291] 图 38 示出使用源同步时钟方法的具有存储器控制器 1410 和串联的多个装置的系统的另一示例。2007 年 2 月 16 日提交的题为“Non-Volatile Memory System”的美国临时专利申请 No. 60/902,003 和国际公开号 WO/2008/109981(2008 年 9 月 18 日)详细描述了源同步时钟方法的示例。该系统包括串联的多个(N 个)装置 1420-1、1420-2、---、1420-N, N 是大于 1 的整数。

[0292] 图 38 所示的特定示例中,存储器控制器 1410 具有用于数据/地址/命令的数据输出连接 DOC[0:7]、命令选通输出连接 CSOC、数据选通输出连接 DSOC、芯片使能输出连接/CEC、参考电压连接 VREFC 和重置输出连接/RSTC。而且,存储器控制器 1410 具有一对时钟输出连接 CKOC 和 /CKOC。每个装置具有数据输入 D、命令选通输入 CSI、数据选通输入 DSI、重置输入 /RST、芯片使能输入 /CE 和一对时钟输入 CK 和 /CK。而且,每个装置具有数据输出 Q、命令选通输出 CSO、数据选通输出 DSO。一个装置的数据输出 Q、命令选通输出 CSO、数据选通输出 DSO 分别耦合到下一装置的数据输入 D、命令选通输入 CSI 和数据选通输入 DSI。装置 1420-1-1420-N 以并行方式从存储器控制器 1410 接收芯片使能信号“/CE”、重置信号“/RST”和参考电压“Vref”。数据可作为串行或并行数据提供并传输。

[0293] 存储器控制器 1410 的数据输出 DOC[0:7] 向第一装置 1420-1 的数据输入 D 提供输入数据 DI1[0:7]。第一装置 1420-1 向第二装置 1420-2 提供输出数据 DO1[0:7]。第二装置 1420-2 接收从第一装置 1420-1 传输的输出数据 DO1[0:7] 作为其输入数据 DI2[0:7]。其他的每个装置执行相同功能。

[0294] 一个装置的命令选通输入 CSI 和数据选通输入 DSI 分别接收 CSI 信号 和 DSI 信号。而且,一个装置的命令选通输出 CSO 和数据选通输出 DSO 分别向下一装置传输 CSO 信号和 DSO 信号。用每个装置的命令选通输入和数据选通输入信号控制数据传送。每个装置向下一装置提供 CSI 信号和 DSI 信号、CSO 信号和 DSO 信号的延迟形式。响应于时钟信号 CK 和 /CK 执行数据和 CSI、DSI 传送。

[0295] 美国专利申请公开 No. 2007/0076502(2007 年 4 月 5 日)和国际公开号 WO/2007/036048 提供了以串联装置为特征的架构的实例细节。国际公开号 WO/2008/067652 和 WO/2008/022454 提供了以串联装置为特征的架构的其他实例细节。

[0296] 最后一个装置(存储器装置 1420-N)分别向存储器控制器 1410 的各个接收连接 DIC、CSIC、DSIC 和 CKIC 和 /CKIC 提供输出数据 DO[0:7]、命令选通输出信号 CSO、数据选通输出信号 DSO 和一对输出时钟信号 CKO 和 /CKO。

[0297] 图 39 示出包括串联的多个装置的源同步时钟系统的实例。该系统包括产生控制器输出信号 1510 的控制器(未示出)和串联的多个装置 1520-1、1520-2、---、1520-N, N 是整数。图 39 所示实例中,每个装置 1520-1、1520-2、---、1520-N 包括 PLL 1522 作为时钟整形器。图 39 中,在装置标识符(ID)分配之前,所有装置的 PLL 1522 都是启动的。无论输入时钟的类型是什么,PLL 1522 对该时钟进行整形,这样,每个装置产生自己的时钟。PLL 1522 使每个装置 1520-1、1520-2、---、1520-N 向下一装置发送更清楚或更好的时钟信号。使用产生的时钟信号,输出和发出的信号 1530 同步,并发送到控制器。用装置的内部 PLL 1522 控制所有输入和输出。

[0298] 将对第一装置 1520-1 视为到来信号的控制器的输出信号 1510 传输到串联存储器装置中的第一装置 1520-1。利用差分时钟 CK 和 /CK 产生要输入到 PLL 1522 的内部参考时钟。然后,提供 90° 相移的时钟和对相移时钟的占空比校正。然后,用已从控制器中心对准的输入时钟获取数据,这样,在输入级执行数据获取,PLL 不进行任何其他的数据或时钟整形。用 PLL1522 再生内部时钟,以提供时钟和输入时钟信号 CK 和 /CK 相移 90° 的输出数据。因而,源同步时钟系统中的所有装置产生和输出数据中心对准的时钟。

[0299] 第一装置 1520-1 中的 PLL 1522 产生时钟并将该时钟发送到第二装置 1520-2。把第一装置 1520-1 的读出结果(如果该装置进行数据读出操作)或者所通过的到来数据(如果该装置进行传送操作)传输到第二装置 1520-2,同时传输 90° 相移时钟输出。第二装置 1520-2 接收输入时钟并基于从第一装置 1520-1 接收的输入时钟产生新的时钟。例如,第二装置 1520-2 可以从第一装置 1520-1 接收通过的数据,或者第一装置的读出结果以及和到来数据中心对准的时钟。利用该流程,将数据从第一装置 1520-1 传输到最后一个装置 1520-N,以提供多个串联存储器装置的输出数据 1530,控制器将输出数据 1530 视为控制器输入数据。

[0300] 使用整形过的时钟信号,输出是同步的,在输出数据 1530 中发送到控制器。这种情况下,也发送时钟,以确定哪个点是有效输出点。一组串联的存储器装置的输入和输出处的 CK 和 CK0 信号的相位不同。频率相同,这是由于虽然使用 PLL,但是频率没有改变。本例中,PLL 仅用作移相器。图 39 的示例中,将 CK0 和 /CK0 信号发送到或返回给控制器,同时返回 D0 信号。另一示例中,可将 D0 发送到另一控制器。和并行时钟不同,输出和时钟信号与输入端无关。

[0301] 如果不使用 PLL 1522,用简单的驱动器提供时钟,可以在多个连接的装置的输出处修改占空比或使之失真。事实上,使用大量连接的装置,时钟会变差而成为稳定信号。随着双数据速率(DDR)越来越流行,占空比变得重要起来,甚至可以说是至关重要的。使用 PLL 的缺点可能是较高功耗。即便是使用低功率 PLL 的装置的耗电也比没有 PLL 的装置多。然而,为了保证高频率操作需要 PLL。

[0302] 例如,PLL 可贡献存储器装置总功耗的 10%。假定装置消耗 25mW,PLL 占用 2.5mW。在具有 10 个装置的系统中,由 PLL 引起的总功耗和一个装置的功耗相同。因而,本发明实施例使得可以在同一功耗阈值内使用大量装置。

[0303] 本发明的实施例包括可在如图 38 或图 39 的系统中在源同步时钟方法情况下实现的存储器控制器。该系统的一些实施例中,在初始设置和配置阶段之后,在操作中,只有隔一个装置的 PLL 是使能的。

[0304] 根据本发明的实施例,最多 50% 的 PLL 是工作的,可以节省功率,同时保证高频率操作。例如,在具有三个串联装置的系统中,一个装置关闭两个装置启动的实施例节省一些功率。另一个实施例中,两个装置关闭一个装置启动,这种关闭隔一个 PLL 的类似结构节省更多功率。其他的许多情况下,关闭隔一个装置时,大概关闭 50% 的装置。

[0305] 在打开或关闭交替的 PLL 之前,如图 39 所示,需要启动每个 PLL,图 39 示出在操作实现之前的配置阶段的装置 PLL。这是 ID 分配之前的状态,因为这时不知道哪个装置是奇数装置,哪个装置是偶数装置。最初将所有装置 ID 都设为 0000。因而,在 ID 分配之前的状态,如图 39 所示,所有装置的 ID 都是 0000,每个装置的 PLL 都是启动的。

[0306] 国际公开号 W0/2007/109886(2007 年 10 月 4 日)、W0/2007/134444(2007 年 11 月 29 日) 和 W0/2008/074126(2008 年 6 月 26 日) 公开了串联装置 ID 分配的示例。

[0307] 在 ID 产生阶段,虽然每个存储器装置具有唯一 ID 号,但是这不影响时钟形状,直到最后一个装置将其 ID 发送给控制器,时钟形状都是中心对准的时钟。每个存储器装置和控制器里都考虑一些固定时间延迟,以避免时钟和数据操作故障。因而, ID 分配期间没有时钟整形。即便在为每个存储器装置分配 ID 后,所有的 PLL 也是使能的。从最后一个装置得到最后 ID 号后,如果控制器要改变其时钟,控制器就开始对时钟进行整形。在 ID 分配和时钟整形之间,有足够的时间可以防止故障。通过该额外的等待时间,没有由时钟和数据关系的突然改变引起的故障。

[0308] 如图 39 所示,虽然所有装置的 PLL 在初始设置阶段都是启动,但是和装置的总操作时间相比,设置所需时间是较短的。一个示例中,设置阶段花费的时间少于总时间的 1-5%。只有在频繁打开和关闭电源的情况下,设置阶段功耗才仅仅是很细微的考虑因素。

[0309] 图 40A 和 40B 示出两个不同操作实现中的交替 PLL 启动控制。根据交替 PLL 启动控制的一些示例,在加电操作后,可以降低大约 50% 的 PLL 功耗。加电操作包括例如串联存储器装置的 ID 产生或分配。

[0310] 第一种情况(图 40A)和第二种情况(图 40B)传输不同的时钟。图 40A 示出分配给装置的 ID 的最低有效位(LSB)是“0”的情况下,该装置(偶数号装置)的 PLL 启动。图 40B 示出分配的 ID 的 LSB 是“1”时,装置(奇数号装置)的 PLL 启动。在图 40A 和 40B 所示的具体示例中,分配给每个装置的装置 ID 是二进制代码。图 40A 中,串联连接多个装置 1620-1、1620-2、1620-3、1620-4、----、1620-N。奇数号装置 1620-1、1620-3、--- 的 PLL 1622 启动,偶数号装置 1620-2、1620-4、---- 的 PLL 1632 关闭。随着具有偶数 ID 号(“0000”、“0010”、----)的装置的 PLL 1622 启动,将和数据中心对准的时钟发送给下一装置。随着具有奇数 ID 号(“0001”“0011”、----)的装置的 PLL 1632 关闭,将和数据边沿对准的时钟发送给下一装置。

[0311] 图 40B 中,奇数号装置 1640-1、1640-3、--- 的 PLL 1642 关闭,偶数号装置 1640-2、1640-4、---- 的 PLL 1652 启动。这种情况下,随着具有偶数 ID 号(“0000”、“0010”、----)的装置的 PLL 1642 关闭,将和数据边沿对准的时钟发送给下一装置。同样,随着具有奇数 ID 号(“0001”“0011”、----)的装置的 PLL 1652 启动,将和数据中心对准的时钟发送给下一装置。

[0312] 根据交替 PLL 控制方法,存储器控制器基于开始任何正常操作之前的检测期望不同的时钟和数据时序关系。

[0313] 图 41A 示出用串联装置中的最后一个装置的 ID 号进行时钟对准判定的示例的流程图,这如结合图 40A 所述的 Case 1 即第一种情况。在步骤 1711,重置所有装置的状态。所有装置的 PLL 都如图 39 所示那样是启动的。在步骤 1712,从存储器控制器发送和数据中心对准的时钟,存储器控制器如从最后一个存储器部件(最后一个装置 1620-N)接收和数据中心对准的时钟。在步骤 1713,为串联装置的每个装置 1620-1 到 1620-N 分配唯一标识符即 ID。例如,可以顺序分配装置 ID。在步骤 1714,存储器控制器接收为最后一个装置 1620-N 分配的 ID 号。在步骤 1715,存储器控制器确定最后一个装置的 ID 号的最低有效位(LSB)是否是“1”。

[0314] 如图 41A 的步骤 1716 所示,如果最后一个装置 ID 的 LSB 是“1”(例如,“1101”(奇数号 ID):步骤 1715 中为“是”),从存储器控制器提供和数据边沿对准的时钟,从最后一个装置 1620-N 向存储器控制器提供和数据边沿对准的时钟。在步骤 1717,如果 LSB 是“0”(例如,“1100”(偶数号 ID):步骤 1715 中为“否”),从存储器控制器向第一装置 1620-1 提供和数据边沿对准的时钟,从存储器装置(例如,所分配 ID 是“1100”的装置)向存储器控制器提供和数据中心对准的时钟。

[0315] 图 41B 示出用串联装置中的最后一个装置的 ID 号进行时钟对准判定的另一个示例的流程图,如图 40B 所示的 Case 2 即第二种情况。步骤 1721,重置所有装置的状态。所有装置的 PLL 都如图 39 所示那样是启动的。在步骤 1722,从控制器向第一装置 1640-1 提供和数据中心对准的时钟,控制器从如存储器部件(最后一个装置 1640-N)接收和数据中心对准的时钟。在步骤 1723,为串联装置的每个装置分配唯一标示符即 ID。在步骤 1724,存储器控制器接收为最后一个装置 1640-N 分配的 ID 号。在步骤 1725,存储器控制器确定所接收的 ID 号的 LSB 是否为“1”。如步骤 1726 所示,如果最后一个装置 ID 的 LSB 是“1”(例如,“1101”:步骤 1725 中为“是”),从最后一个装置 1640-N 向存储器控制器提供和数据中心对准的时钟。如果接收到的 ID 的 LSB 是“0”(例如,“1100”:步骤 1725 中为“否”),则如步骤 1727 中所示从存储器部件(例如 ID “1100”的装置)向存储器控制器提供和数据边沿对准的时钟。

[0316] 图 41B 所示的方法中,特别是在步骤 1726 和 1727,在存储器控制器中使用中心对准的时钟是隐含的。重置 ID 号时,控制器中使用中心对准的时钟。该时钟不是在为存储器装置分配 ID 号后就改变的。

[0317] 图 41A 的流程图是针对 Case 1 的,其中,具有偶数号 LSB($LSB = 0$)的装置的 PLL 是启动的。图 41B 的流程图是针对 Case 2 的,其中, $LSB = 1$ 的每个装置 $PLL = on$ 。每种情况下,考虑所连接装置的数目。根据装置的数目和所讨论的情况,选择边沿对准或中心对准的时钟。该方法的步骤仅考虑为串联装置的最后一个装置分配的 ID 号的 LSB。有四种不同情况,控制器针对每种情况有不同的时钟控制。四种输入情况仅有两种不同操作或输出情况:边沿对准或中心对准。

[0318] 现在优选的实施例包括多个串联存储器装置中的 PLL 的单个交替启动/关闭模式(即,一个启动、一个关闭、一个启动、一个关闭,等等)。其他实施例中,可以实现其他模式,但是不一定能提供高频率操作。无论其 PLL 是启动或关闭的,每个装置可基于 ID 分配状态识别出接收的 ID 分配命令和装置 ID 号的 LSB。

[0319] 根据装置的数目,时钟对准是不同的。在启动偶数 LSB 的 PLL 且串联装置包括偶数个装置的情况下,最后一个装置具有边沿对准的时钟。对于奇数个装置,最后一个装置具有中心对准的时钟。在启动奇数 LSB 的 PLL 且串联装置包括偶数个装置的情况下,最后一个装置具有中心对准的时钟。对于奇数个装置,最后一个装置具有边沿对准的时钟。因而,可以视情况改变最后的时钟对准。

[0320] 图 42 示出示例加电序列中的 ID 产生时序。时序图示出加电序列中多个信号相对彼此的相对状态,包括:VCC/VCCQ、/RST、/CE、CK、/CK、CSI、DSI 和 DI。还示出几个信号组 DSO、DO。图 42 所示的具体示例中,N 是装置地址(本例中 $N = 30$);Dev 代表装置号;CTRL 代表控制器。

[0321] 根据本发明实施例的存储器控制器具有用来确定应分配哪种时钟对准的特征。这基于启动交替 PLL (奇数 PLL 或偶数 PLL) 的哪种结构 (Case1 或 Case 2), 并基于串联装置的总数。本发明的实施例控制是否发送中心对准或边沿对准信号, 并且以自动化方式实现之。

[0322] 根据本发明实施例的存储器控制器可以根据串联存储器装置的逻辑结构确定向存储器发送哪种类型的时钟, 以及从存储器接收哪种类型的时钟。本发明的实施例可以和使用交替 PLL 控制的完全源同步时钟方法结合使用。根据 PLL 的位置或 ID 分配启动或关闭一些 PLL。该方法需要一种根据本发明实施例的新型时钟控制器。

[0323] 图 43A 和 43B 示出具有和第一种情况的时钟可变数据对准的存储器控制器的一个示例的电路示意图, 该第一种情况是上文参考图 40A 和 41A 所述的 Case 1。该逻辑组合仅是示例, 因而, 本领域技术人员可以容易地构造不同类型的电路结构。对于 Case 1, 控制器应产生和数据边沿对准的时钟。

[0324] 参看图 43A 和 43B, 为了从存储器控制器提供和数据中心对准的时钟, Clock_out 1901 和 /Clock_out 1902 和 Clk360_out 1903 同步。DO (命令 / 地址 / 数据) 1904、CS0 (命令选通输出) 1905 和 DS0 (数据选通输出) 1906 信号和 Clk270_out 1907 同步。具有时钟振荡器 1911、PLL 1912 和多个输出缓冲器的时钟发生器 1910 产生时钟信号。时钟振荡器 1911 把内部产生的时钟信号 'Clk_src' 1913 提供给 PLL 1912 的参考时钟输入 'Ref_clock', PLL 1912 进而产生多个相移 90°、180°、270° 和 360° 的时钟信号。通过各个输出缓冲器提供相移 180°、270° 和 360° 的时钟信号作为 Clk180_out 1909、Clk270_out 1907 和 Clk360_out 1903。Clk180_out 1909、Clk270_out 1907 和 Clk360_out 1903 和内部产生的时钟信号 1913 同步。把 Clk360_out 1903 和 Clk270_out 1907 提供给模式检测逻辑电路 1980, 该电路包括两个选择器 1981 和 1982, 每个选择器具有“0”和“1”输入以及选择输入。选择器 1981 的“0”和“1”输入分别接收 Clk360_out 1903 和 Clk270_out 1907。选择器 1982 的“1”输入接收 Clk270_out 1907 信号, 选择器 1982 的“0”输入被下拉。选择器 1982 的选择输入被上拉, 因而, 总是选择选择器 1982 的“1”输入, 以输出 Clk270_out 作为选择的 270 时钟信号 1983。

[0325] 控制逻辑电路 1924 具有各种输入和输出连接。控制逻辑电路 1924 的内部命令选通输入端 Icsi 接收来自 D 类振荡器 (D-FF) 1939 的内部命令选通输入信号 'icsi' 1925 中。类似的, 内部数据选通输入端 Idsi 接收来自 D-FF 1957 的内部数据选通输入信号 'idsi' 1915。时钟输入 Iclk 接收 Clk360_out 1903。控制逻辑电路 1924 从其 'Power_up_seq_done' 输出提供 'ID_assignment_status' 信号 1933, 并从其 OItid 输出提供锁存 ID 信号 'Latch_ID' 1927。'ID_assignment_status' 信号 1933 代表 ID 分配是否已完成或正在进行的状态。ID 分配状态处于加电序列。

[0326] 将 'ID_assignment_status' 信号 1933 馈送到选择器 1981 的选择输入。将选择器 1981 的所选输出信号提供给选择器 1921 和 1922 的选择输入, 选择器 1921 和 1922 中的每一个具有“0”和“1”输入和选择输入。分别为选择器 1921 的“0”和“1”输入提供逻辑“0”和“1”信号。分别为选择器 1922 的“0”和“1”输入提供逻辑“1”和“0”信号。选择器 1921 和 1922 的选择输入接收来自选择器 1981 的所选输出信号。通过各个输出缓冲器 1923 和 1926 提供选择器 1921 和 1922 的所选输出信号作为 Clock_out 1901 和 /Clock_

out1902。

[0327] 还把Clk360_out 1903提供给命令/地址/数据发生器1928,命令/地址/数据发生器1928进而提供位0-7位的八位数据。分别将四位偶数位[0,2,4,6]和四位奇数位[1,3,5,7]提供给D-FF 1929和1936的数据D输入。将Clk180_out 1909提供给D-FF 1929的时钟输入和D-FF 1936的反相时钟输入。分别在D-FF 1929和1936中锁存偶数位[0,2,4,6]和奇数位[1,3,5,7]。D-FF 1929和1936分别向选择器1937的“1”和“0”输入提供偶数数据位‘Even_d’和奇数数据位‘Odd_d’。‘Odd_d’相对于‘Even_d’有180°相移。响应于所选的270时钟信号1983,选择器1937选择偶数或奇数数据位。通过输出缓冲器1938提供所选数据位作为D0(命令/地址/数据)1904。

[0328] 控制逻辑电路1924分别从其输出CS0_SRC和DS0_SRC提供命令选通输出和数据选通输出信号,其输出CS0_SRC和DS0_SRC连接到命令选通输出电路1941和数据选通输出电路1946。将响应于Clk360_out 1903内部产生的命令选通输出信号馈送到命令选通输出电路1941的两个D-FF1942和1943的D输入。将Clk180_out 1909提供给D-FF 1942的时钟输入和D-FF 1943的反相时钟输入。将D-FF 1942和1943的输出信号分别作为‘icso_1’和‘icso_2’信号提供给选择器1944的“1”和“0”输入。‘icso_2’信号相对于‘icso_1’信号有180°相移。响应于所选的270时钟信号1983,选择器1944选择‘icso_1’和‘icso_2’信号之一,通过输出缓冲器1945提供所选信号作为CS0 1905。

[0329] 数据选通输出电路1946和包括两个D-FF和一个选择器的命令选通输出电路1941具有相同结构。将响应于Clk360_out 1903内部产生的数据选通输出信号从控制逻辑电路1942提供到数据选通输出电路1946的两个D-FF 1947和1948的D输入。将Clk180_out 1909提供给D-FF 1947的时钟输入和D-FF 1948的反相时钟输入。将D-FF 1947和1948的输出信号‘idso_1’和‘idso_2’信号分别馈送到选择器1949的“1”和“0”输入。‘idso_2’信号相对于‘idso_1’信号有180°相移。响应于所选的270时钟信号1983,选择器1949选择‘idso_1’和‘idso_2’信号之一,通过输出缓冲器1951提供所选信号作为DS0(数据选通输出)1906。

[0330] 最后一个(第N个)装置1420-N(参看图38)将CK0和/CK0信号发送到存储器控制器1410。将CK0和/CK0信号作为Clock_in 1934和Clock_in#1935提供给差分输入缓冲器1952的“+”和“-”输入,差分输入缓冲器1952进而提供参考时钟信号Ref_clk 1953。将参考时钟信号1953馈送到PLL 1970的参考时钟输入“Ref-clk”和选择器1960的“0”输入。PLL1970输出相对于参考时钟信号1953相移90°、180°、270°和360°的四个时钟信号。通过输出缓冲器将相移90°的时钟信号作为‘Clk90_in’提供给选择器1960的“1”输入。通过输出缓冲器将相移360°的时钟信号作为‘Clk360_in’提供给PLL 1970的‘Osc_loop Input’。将‘Latch_ID’信号1927提供给部件ID寄存器1920,部件ID寄存器1920从数据寄存器1940接收八位‘Idata[0:7]’内部数据信号1968。部件ID寄存器1920响应于‘Latch_ID’信号1927存储输入数据。部件ID寄存器1920将其寄存的ID的最低有效位(LSB)输出到与门1950,与门1950接收‘ID_assignment_status’信号1933。与门1950向选择器1960的选择输入提供逻辑输出信号,以选择参考时钟信号1953或90°相移的时钟信号‘Clk90_in’。将来自选择器1960的所选时钟信号1959提供给D-FF 1939和1957的时钟输入。

[0331] 最后一个(第N个)装置1420-N(参看图38)发送DI信号1931、DSI信号1932和CSI信号1916至存储器控制器1410。DI信号‘数据/地址/命令输入’1931、DSI信号‘数据选通输入’1932和CSI信号‘命令选通输入’1916被发送到存储器控制器1410。在存储器控制器1410自身内部产生参考电压‘Vref’1917,或者从功率发生器(未示出)外部产生。将参考电压‘Vref’提供给差分输入缓冲器1954的“-”输入,差分输入缓冲器1954的“+”输入接收CSI 1916。输入缓冲器1954向D-FF 1939的D输入输出差分缓冲输出信号,D-FF 1939响应于所选时钟信号1959向控制逻辑电路1924输出‘icsi’信号1925。

[0332] 将DSI信号1932和参考电压Vref信号提供给差分输入缓冲器1955的“+”和“-”输入,将差分输入缓冲器1955的差分输入缓冲器输出信号馈送到D-FF 1957的D输入。将数据信号‘D’1931和参考电压Vref提供给差分输入缓冲器1956的“+”和“-”输入,将差分输入缓冲器1956的差分输入缓冲器输出信号1967馈送到锁存电路1961和1963的输入。电路1961包括四个串联的D-FF 1965-6、1965-4、---、1965-0。一个D-FF的Q输出耦合到下一个D-FF的D输入。类似的,电路1963包括四个串联的D-FF 1965-7、1965-5、---、1965-1。

[0333] 提供D-FF 1957的输出信号作为内部数据选通输入信号‘idsi’1915。将信号‘idsi’1915提供给控制逻辑电路1924和具有八个与门1958-7、1958-6、---、1958-0的数据选通输入电路1962。将来自选择器1960的所选时钟信号1959提供给D-FF 1965-6、1965-4、---、1965-0的时钟输入和D-FF 1965-7、1965-5、---、1965-1的反相时钟输入。响应于所选时钟信号1959,将来自输入缓冲器1956的差分输入缓冲器输出信号1967馈送到D-FF 1965-6的D输入并顺序传输到电路1961中连接的D-FF。而且,响应于时钟信号1959的反相形式,将来自输入缓冲器1956的差分输入缓冲器输出信号1967馈送到D-FF 1965-7的D输入并顺序传输到电路1963中连接的D-FF。因而,电路1963中的数据传送和电路1961的数据传送有180°相移。将D-FF1965-7和1965-6的输出信号i7和i6分别馈送到与门1958-7和1958-6。类似的,将D-FF 1965-5和1965-4、---、1965-1和1965-0的输出信号馈送到数据选通输入电路1962的各个与门。每个与门1958-7、1958-6、---、1958-0接收‘idsi’信号1915。将每个与门1958-7、1958-6、---、1958-0的逻辑输出信号提供给数据寄存器1940,数据寄存器1940输出内部数据信号‘ldata[0:7]’1968。

[0334] 在获得串联的存储器装置中的最后一个装置的ID号之前,存储器控制器不从最后一个装置的输出端口获得任何输入。传输初始ID号之后(例如‘0000’),存储器控制器的输入端口接收输入数据流。由DSI(数据选通输入)的下降沿进行ID分配完成的判定。

[0335] 存储器控制器一从串联的存储器装置中的最后一个装置获得ID号,就响应于‘Latch_ID’信号1927通过如图43B所示的D端口1931和数据寄存器1940把ID号存储在部件ID寄存器1920中。进行该操作时,还接收DSI 1932,以通知存储器控制器ID号的起始点和结束点。根据DSI信号的下降沿,‘ID_assignment_status’信号1933基于一个周期延迟确定转换点,在该周期延迟内将ID号传送到部件ID寄存器1920。‘ID_assignment_status’信号1933由接收来自D-FF 1957的‘idsi’信号1915的控制逻辑电路1924提供。对于存储器装置的ID产生,用DSI和DS0产生ID号,并将ID号传输给下一个存储器装置。‘ID_assignment_status’信号1933处于高状态时,存储器控制器识别ID产生操作的结束,即,完成装置ID分配。

[0336] ‘ID_assignment_status’ 信号为低时,那么,所有装置的 PLL 都启动,以为所有装置初始分配 ID 号。‘ID_assignment_status’信号为高时,那么所有的 ID 都分配了,PLL 启动仅用于奇数或偶数号装置。因而,由 ID 分配状态信号进行控制。

[0337] 在初始状态,存储器控制器不知道确定串联控制的装置中存在哪种情况所需的信息。鉴于此,如图 43B 所示,将 CK0、/CK0 和 D0 信号作为 CK、/CK 和 DI 信号提供给存储器控制器。加电前,没有为装置分配 ID 号。加电后,第一个操作是重置装置 ID,这样,每个装置具有零状态 ID(例如 ‘0000’)。

[0338] 如图 43B 所示,把 ‘ID_assignment_status’ 信号 1933 和分配给最后一个存储器装置的 ID(存储在部件 ID 寄存器 1920 中)的 LSB 都提供给与门 1950。响应于与门 1950 的输出,时钟选择器 1960 选择要提供给存储器控制器的时钟。图 43B 所示的示例中的 PLL 1970(移相器和时钟整形器)的输出 Clk90_in 连接到时钟选择器 1960 的输入。一个实施例中,可将元件 1960 和 1970 都视为时钟配置器的一部分。与门 1950 检测到 ID 分配完成时,如通过检测到 ‘ID_assignment_status’ 信号 1933 为高,输出是部件 ID 寄存器 1920 的 LSB。ID 分配没有完成时,时钟选择器 1960 选择参考时钟信号 Ref_clk 1953。选择器 1960 提供所选的时钟信号 1959。

[0339] ID 分配的情况下,在 ID 产生时启动存储器装置的所有 PLL,来自串联存储器装置的最后一个装置的源同步时钟和数据中心对准。如图 43A 和 43B 所示,存储器控制器根据检测 ID 分配是否完成提供中心对准的信号或边沿对准的信号。

[0340] 再参看图 43A,存储器控制器包括模式检测逻辑电路 1980,用于检测 ID 分配是否完成,并响应于该检测产生时钟。图 43A 所示示例中,模式检测连接电路 1980 响应于检测到 ID 分配没有完成的模式检测逻辑输出和 Clk360_out 1903 对准的中心对准时钟。模式检测逻辑电路 1980 响应于检测到 ID 分配已完成的模式检测逻辑输出和 Clk270_out 1907 对准的边沿对准时钟,因而,系统处于正常操作模式。

[0341] 图 44 和图 45 示出 ID 分配(产生)操作中的时序图。本发明中,符号 ‘/’ 用于补码信号(例如 /clock)。

[0342] 根据一个示例实施例,图 46 示出时钟发生的时序图,以及以没有相位差的 Clock_out 和 /Clock_out 同步的如 CS0/DS0 和 D0 的控制输出。根据 ‘ID_assignment_status’ 的高状态,时钟产生路径选择器选择连接到 ‘Clk270_out’ 的“1”输入,因而,在时钟与数据控制和数据(CS0/DS0/D0)之间没有相位差。这出现在 ID 分配之后的正常操作中。

[0343] 在 ID 分配之后的正常操作中,用 ‘Component ID 寄存器’ 中存储的最后部件 ID 的 LSB(最低有效位)确定和数据对准的输入时钟。如果 ID 的 LSB 为 ‘0’,时钟与数据控制和数据之间没有时序关系改变。除了 ‘ID_assignment_status’ 信号的状态改变以外(其状态响应于数据选通输入信号而改变),和图 45 所示的 ID 产生之前的时序一样。

[0344] 如可见的,如果串联存储器装置的最后一个装置的 ID 的 LSB 是 ‘0’,意味着最后一个装置具有启动的 PLL。根据一个示例实施例,图 47 示出由于最后一个装置具有启动的 PLL 而和数据中心对准的时钟的时序图。替代的示例中,如果 ID 的 LSB 是 ‘1’,意味着最后一个装置具有关闭的 PLL。因而从中产生和数据边沿对准的时钟(参看图 40A 的第一种情况)。

[0345] 如前所述,根据本发明实施例的存储器控制器可以根据交替 PLL 启动 / 关闭所用

的情况而不同。图 43A 和 43B 示出要和这里称为 Case 1 的实现匹配的存储器控制器。

[0346] 图 49A 和 49B 示出根据本发明另一个实施例的要和这里称为 Case 2 的实现匹配的存储器控制器。图 49A 和 49B 所示的存储器控制器的结构和图 43A 和 43B 的存储器控制器的结构类似。图 49A 和 49B 所示的存储器控制器没有模式检测逻辑电路,具有另外的反相器 2521,用于使由部件 ID 寄存器 2520 提供的 ID 的 LSB 反相。由于所有存储器装置具有启动的 PLL(参看图 39),所以在 ID 产生期间第二种情况的时序图基本上和第一种情况的时序图类似。

[0347] 用于和 Case 2 实现匹配的图 49A 和 49B 的存储器控制器在 ID 分配结束和正常操作时都产生中心对准的时钟和数据。在 ID 分配之前,应该使用偶数 LSB “ON” 方法,这样,可以重置所有 ID,因为在重置阶段,和 Case1 一样,所有 PLL 都是启动,因而,没有必要担心不同类型的操作。在 Case 2 中,只启动奇数号 PLL。

[0348] 参看图 49A 和 49B,时钟发生器 2510 具有时钟振荡器 2511 和 PLL2512。时钟振荡器 2511 把内部产生的时钟信号 ‘Clk_src’ 提供给 PLL 2512 的参考时钟输入 ‘Ref_clk’, PLL 2512 产生多个相移 90° 、 180° 、 270° 和 360° 的时钟信号。通过各个输出缓冲器提供相移 180° 、 270° 和 360° 的时钟信号作为 Clk180_out 2508、Clk270_out 2507 和 Clk360_out 2503。Clk180_out2508、Clk270_out 2507 和 Clk360_out 2503 和内部产生的时钟信号 ‘Clk_src’ 同步。把 Clk360_out 2503 提供给两个选择器 2513 和 2514 的选择输入。把 “0” 和 “1” 逻辑信号分别馈送给选择器 2513 的 “0” 和 “1” 输入以及另一个选择器 2514 的 “1” 和 “0” 的输入。响应于 Clk360_out 2503,选择器 2513 和 2514 分别提供通过各个输出缓冲器提供的互补输出信号作为 ‘Clock out’ 2501 和 ‘Clock out#’ 2502。

[0349] 还把 Clk360_out 2503 提供给命令/地址/数据发生器 2580,命令/地址/数据发生器 2580 提供 0-7 位的八位数据。将数据的偶数位 [0,2,4,6] 馈送到由 Clk180_out 2508 时钟同步的 D-FF。将奇数位 [1,3,5,7] 提供给由 Clk180_out 2508 的反相形式时钟同步的另一个 D-FF。两个 D-FF 分别向选择器 2523 的 “1” 和 “0” 输入提供偶数数据位 ‘Even_d’ 和奇数数据位 ‘Odd_d’。‘Odd_d’ 相对于 ‘Even_d’ 有 180° 相移。响应于 Clk270_out 2507,选择器 2523 选择偶数或奇数数据位。通过输出缓冲器提供所选数据位作为 D0(command/address/data) 2504。

[0350] 控制逻辑电路 2530 接收 Clk360_out 2503、来自 D-FF 2561 的内部命令选通输入信号 ‘icsi’ 2534 和来自 D-FF 2563 的内部数据选通输入信号 ‘idsi’ 2565。控制逻辑电路 2530 分别从其输出 CS0_SRC 和 DS0_SRC 提供命令选通输出和数据选通输出信号,其输出 CS0_SRC 和 DS0_SRC 分别连接到命令选通输出电路 2541 和数据选通输出电路 2551。将内部产生的命令选通输出信号馈送到命令选通输出电路 2541 的两个 D-FF。两个 D-FF 分别由 Clk180_out 2508 及其反相形式时钟同步,两个 D-FF 分别向选择器 2524 提供如 ‘icso_1’ 和 ‘icso_2’ 信号的输出信号。响应于 Clk270_out 2507,选择器 2524 选择 ‘icso_1’ 和 ‘icso_2’ 信号之一,通过输出缓冲器提供所选信号作为 CS0 2505。

[0351] 从控制逻辑电路 2530 把内部产生的数据选通输出信号提供给数据选通输出电路 2551 的两个 D-FF。两个 D-FF 由 Clk180_out 2508 及其反相形式时钟同步,两个 D-FF 向选择器 2525 提供输出信号如 ‘idso_1’ 和 ‘idso_2’ 信号。响应于 Clk270_out 2507,选择器 2525 选择 ‘idso_1’ 和 ‘idso_2’ 信号之一,通过输出缓冲器提供所选信号作为 DS0(数据选

通输出) 2506。

[0352] 用差分输入缓冲器比较 CSI 2536 和参考电压 ‘Vref’ 2537。Vref 是在存储器控制器自身中内部产生的, 或者由功率发生器 (未示出) 外部产生。D-FF 2561 响应于来自选择器 2560 的所选时钟信号输出 2559 锁存差分缓冲器输出信号。将 D-FF 2561 的输出信号作为 ‘icsi’ 信号 2534 提供给控制逻辑电路 2530。

[0353] 类似地, 用差分输入缓冲器比较 DSI 2532 和参考电压 Vref 2537, D-FF 2563 响应于所选时钟信号输出 2559 锁存差分缓冲器输出信号。将 D-FF 2563 的输出信号作为 ‘idsi’ 信号 2565 提供给控制逻辑电路 2530 和具有八个与门的数据选通输入电路 2590。

[0354] 而且, 用差分输入缓冲器比较数据信号 ‘DI’ 2531 和参考电压 Vref 2537, 向两个数据锁存电路 2591 和 2592 提供差分缓冲器输出信号, 每个锁存电路 2591 和 2592 包括四个串联的 D-FF。每个数据锁存电路中, 将一个 D-FF 的 Q 输出连接到下一个 D-FF 的 D 输入。锁存差分缓冲器输出信号的数据, 并响应于所选时钟信号输出 2559 通过两个数据锁存电路 2591 和 2592 中的每一个的串联 D-FF 顺序传送。电路 2592 的 D-FF 响应于所选时钟信号输出 2559 的反相形式执行数据传送。因而, 电路 2592 中的数据传送和电路 2591 中的数据传送有 180° 相移。例如, 电路 2592 的第一 D-FF 的输出信号 i7 和电路 2591 的第一 D-FF 的输出信号 i6 有 180° 相移。将输出信号 i7、i6、——、i1 和 i0 馈送到数据选通输入电路 2590 中的各个与门。数据选通输入电路 2590 中的八个与门共同接收 ‘idsi’ 信号 2565, 将八个与门的逻辑输出信号提供给数据寄存器 2540, 数据寄存器 2540 输出内部数据信号 ‘Idata[0:7]’。

[0355] 控制逻辑电路 2530 分别在其 Icsi 输入和 Idsi 输入接收来自 D-FF 2561 和 D-FF 2563 的 ‘icsi’ 信号 2534 和 ‘idsi’ 信号 2565。控制逻辑电路 2530 在其 Iclk 输入接收来自时钟发生器 2510 的 Clk360_out 2503。控制逻辑电路 2530 从其 Power_up_seq_done 输出提供 ‘ID_assignment_status’ 信号 2533, 从其 OItid 输出提供锁存 ID 信号 ‘Latch_ID’。‘ID_assignment_status’ 信号 2533 代表 ID 分配完成。

[0356] 图 49A 中, 和图 43A 类似, 为了从存储器控制器提供和数据中心对准的时钟, Clock_out 2501 和 /Clock_out 2502 和 Clk360_out 2503 同步。该同步不受 ‘ID_assignment_status’ 信号 2533 状态的影响。DO (命令 / 地址 / 数据) 2504、CS0 (命令选通输出) 2505 以及 DS0 (数据选通输出) 2506 信号和 Clk270_out 2507 同步。时钟发生器 2510 提供 Clk360_out 2503 和 Clk270_out 2507 信号, 例如通过 PLL 2512 提供。同样的, 和 Case 1 的控制器相比, 时钟同步不受 ‘ID_assignment_status’ 信号 2533 状态的影响。图 49A 的存储器控制器不像图 43A 那样需要模式检测逻辑电路 1980, 因为无论 ID 分配模式或正常操作模式的模式如何改变, 时钟输出不变。

[0357] 图 49B 中, 操作和图 43B 类似。存储器控制器一从串联的存储器控制器中的最后一个装置获得 ID 号, 就响应于来自控制逻辑电路 2530 的 ‘Latch_ID’ 信号通过 D 端口 2531 到数据寄存器 2540 把寄存的 ID 号存储在部件 ID 寄存器 2520 中。进行该操作时, 还接收 DSI 2532, 以通知存储器控制器 ID 号的起始点和结束点。根据 DSI 信号的下降沿, ‘ID_assignment_status’ 信号 2533 基于一个周期延迟确定转换点, 在该周期延迟内将 ID 号传送到部件 ID 寄存器 2520。对于存储器装置的 ID 产生, 用 DSI 和 DS0 产生 ID 号, 并将 ID 号传输给下一个存储器装置。‘ID_assignment_status’ 信号 2533 处于高状态时, 存储器控制

器识别 ID 产生操作的结束。

[0358] 如图 49B 所示,把 ‘ID_assignment_status’ 信号 2533 和最后一个存储器装置的 LSB 都提供给作为比较器操作的与门 2550。响应于与门 2550 的输出,作为时钟配置器操作的选择器 2560 配置要由存储器控制器提供的时钟。PLL 2570 可和选择器 2560 通信连接。一个实施例中,可将选择器 2560 和 PLL 2570 都视作时钟配置器的一部分。和图 43B 的 PLL 1970 类似,图 49B 的 PLL 2570 执行产生相移时钟的功能。将参考时钟信号 ‘Ref_clk’ 和 90° 相移的时钟信号 ‘Clk90_in’ 馈送到选择器 2560。选择器 2560 响应于从与门 2550 的输出馈送到其选择输入的输入信号输出所选时钟信号 2559。部件 ID 寄存器 2520 中存储的 ID 的 LSB 是低时,反相器 2521 的输出信号是高,那么,与门 2550 例如通过检测 ‘ID_assignment_status’ 信号 2533 是高来检测到 ID 分配完成。响应于与门 2550 的 ‘高’ 输出信号,选择器 2560 选择 Clk90_in 作为所选时钟信号 2559。ID 分配没有完成时(即, ‘ID_assignment_status’ 信号 2533 的逻辑状态是低),时钟配置器产生相反输出(即,提供参考时钟信号 ‘Ref_clk’ 作为所选时钟信号 2559)。该逻辑确定期望从最后一个存储器装置或存储器部件接收的时钟对准。

[0359] 对于 Case 2,由于第一装置的 PLL 是关闭的,所以 Case 2 可以进行自动检测。对于 Case 1,如果第一装置的 PLL 是启动的,必须进行检查以确定是否正在进行 ID 分配,只有 ID 分配完成后才能确定 Case 1 是否存在。

[0360] 如上所述,控制器可以响应于检查到 Case 1 或 Case 2 情况而改变信号产生的类型。一组串联的装置通常没有混合设置,串联装置中的每一个具有相同设置。本优选实施例中,基于 Case 1 或 Case 2 控制所有装置,但是同一组串联装置中不能用两种方法混合。

[0361] 通常由用户确定是使用 Case 1 还是 Case 2,控制器简单地检测进行的是哪种实现。控制器可以包括两种情况的逻辑实现,但是,根据用户选择,控制器一次只实现一种情况。

[0362] 用户可以确定控制器实现。就功耗而言,图 43A 和 43B 的实施例和图 49A 和 49B 的实施例是等价的。可将两种不同实现结合到同一控制器中,或者可实现成单独的控制器。用户根据所用方法(例如,奇数号 PLL 启动或关闭)使用匹配的控制器的。每个装置连接都应有匹配的控制器的。控制器必须和交替 PLL 加电的实施例匹配。

[0363] 通常,不需要即时从一种方法切换到另一种方法。加电后,就选定了方法。可把选择存储在存储器中,或者装置每次加电时都重新进行选择。然而,要在加电时重新分配选择,需要重置所有连接装置的装置 ID。主要目的是降低功耗。如果实现了一个实施例,不需要切换到另一实施例。

[0364] 控制器可从每个装置接收或获得配置信息,但是,控制器只需要最后一个装置的配置信息,这是由于所有连接的装置都具有同样的配置。基于配置信息,控制器可检测配置方案,并进而确定要发送的适当时钟信号。

[0365] 这些配置之一中可连接的装置的数目是没有限制的。公知并行时钟方法的限制是虽然将装置连接成菊花链,但是,由于时钟操纵灵活性和信号完整性,不能把无限数量的装置连接在一起。根据本发明实施例,可以连接任意数量的装置。

[0366] 基于最后一个装置 ID 的 LSB 以及所连接装置的数量,控制器可以确定配置信息。控制器可以读取最后一个装置的配置以确定其是否为 Case 1 或 Case 2。

[0367] 图 50 示出根据示例实施例在 ID 产生之后从存储器控制器产生的时钟的时序图（输出信号、第二种情况）。对于第二种情况，除了 ‘ID_assignment_status’，ID 分配后的输出信号的时序基本和 ID 分配时的时序类似。由于存储器控制器的输出信号不受 ID 分配完成状态的控制。

[0368] 第二种情况的 ID 产生后，ID 的 LSB=0 的时序图（图 51）和第一种情况 ID 的 LSB = 1 的时序（图 48）基本类似。图 52 中 ID 的 LSB = 1（第二种情况）和图 47 中 ID 的 LSB = 0（第一种情况）相同。在第二种情况 ID 的 LSB 反相后进行 ID 的 LSB 的复用控制。图 43A、43B 和图 49A、49B 示出差别。

[0369] 可认为本发明的实施例提供对存储器控制器的可变时钟对准控制（和数据中心对准的时钟以及和数据边沿对准的时钟）。利用最后装置的 ID 号，可以确定时钟对准控制。在 ID 分配之前和之后以及 ID 的 LSB = 0 和 1 可造成不同的时序图。边沿对准方法可在时钟和数据控制之间使用相同延迟路径。可用 SDR 和 DDR 接口操作时钟结构。

[0370] 这里描述的实施例参考了多个串联装置。一组串联装置中的每个装置可以是一个物理装置，或者可以是包括多个并联物理装置的逻辑装置。如图 40A 和 40B 所示，为串联的每个堆叠装置分配自己的 ID 号，并视作独立的装置。

[0371] 例如，如果在多个串联装置中间提供三个并联装置，就根据本发明实施例对 PLL 进行加电或控制而言，把这三个并联装置看作一个逻辑装置。因而，可以具有并联装置，但是将每组并联装置视为一个逻辑装置。如果包括多个并联装置的逻辑装置需要启动其 PLL，那么只有多个并联装置中的一个 PLL 是需要启动的。也可以启动其他 PLL，但是不会增加功耗。

[0372] 根据本发明实施例，无论装置是逻辑装置或物理装置，物理装置数量多少，启动交替的串联装置的 PLL。本发明的实施例描述了控制装置连接的方法。

[0373] 可能有交替 PLL 加电的启动 / 关闭 / 启动 / 关闭（或关闭 / 启动 / 关闭 / 启动）方法的替代方法，但是可能需要其他电路。根据这种其他方法的最大频率可能是有限的。例如，如果除了一个 PLL 之外的所有 PLL 都关闭，系统操作可能不能进行。

[0374] 利用源同步信令，连接只是从一个装置到下一个装置，可将这视为点对点连接。点对点连接保证高频率操作。

[0375] 该技术可用于非易失性装置，例如闪速装置。闪速装置包括任意类型的闪速存储器装置，例如 NAND 闪存、NOR 闪存。

[0376] 上面示例中，装置是存储器装置。存储器装置可以是任一种易失性和非易失性存储器。而且，装置可以是任一半导体装置，其操作和时钟信号同步。

[0377] 使用半导体装置的设备可包括各种电子装置，例如，数码静态相机、数码视频相机、个人数字助理、移动类计算机、音频和音乐装置和蜂窝电话。

[0378] 上述示例中，简化起见，装置、元件和电路如图所示彼此连接。本发明的实际应用中，元件、电路等可以直接彼此连接。而且，元件、电路等可以通过对装置或设备操作所必须的其他元件、电路等间接连接。因而，实际结构中，装置、元件和电路彼此直接或间接耦合或连接。

[0379] 上文所述和所示的本发明示例仅为示例。本领域技术人员可对具体实施例进行修改、改变和变化而不背离本发明的保护范围，本发明的保护范围仅由所附权利要求限定。

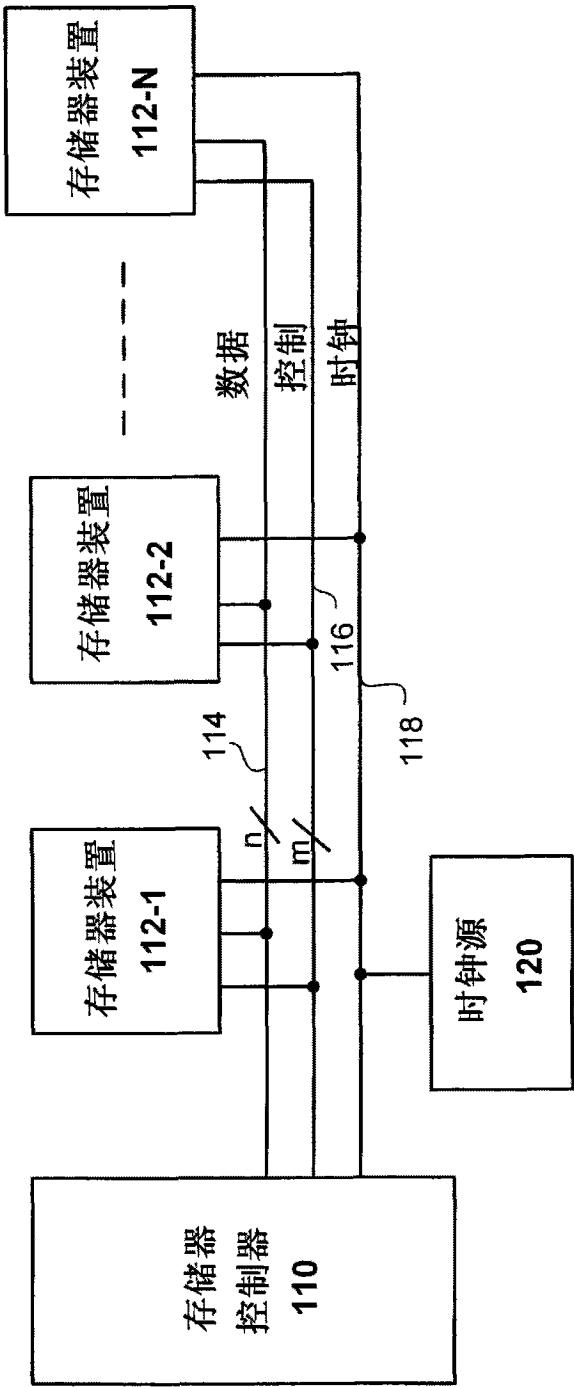


图 1(现有技术)

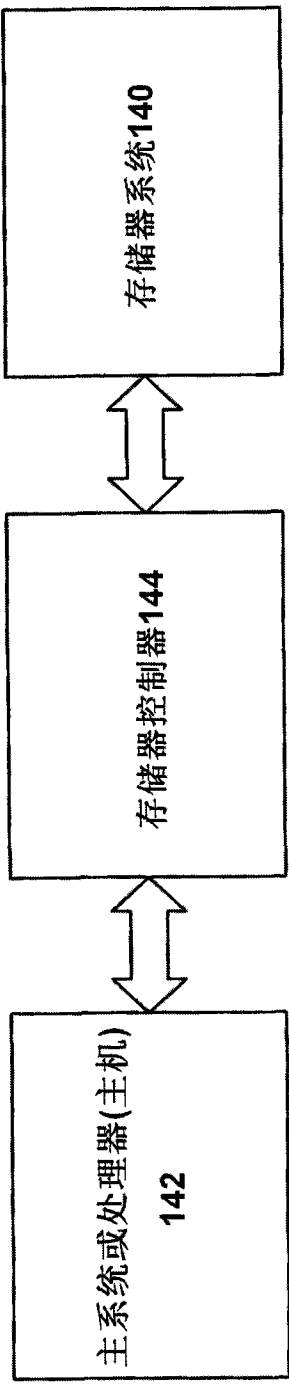


图 2

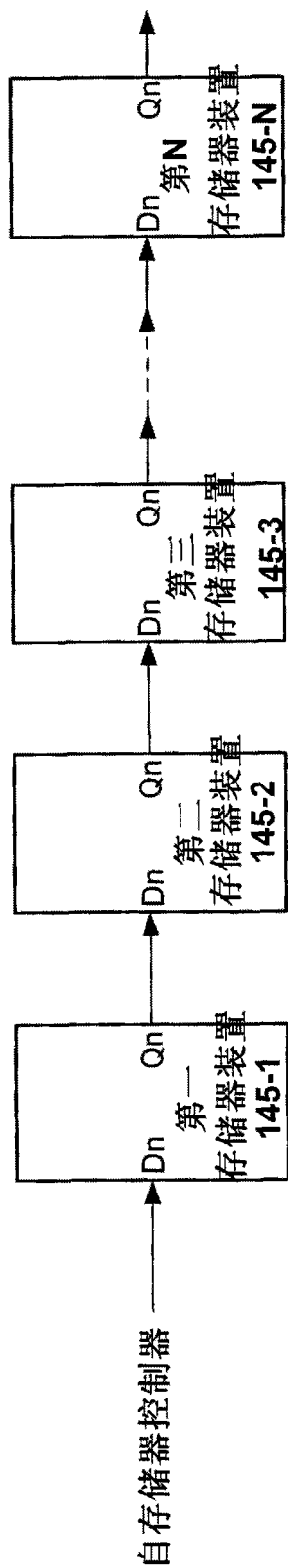


图 3

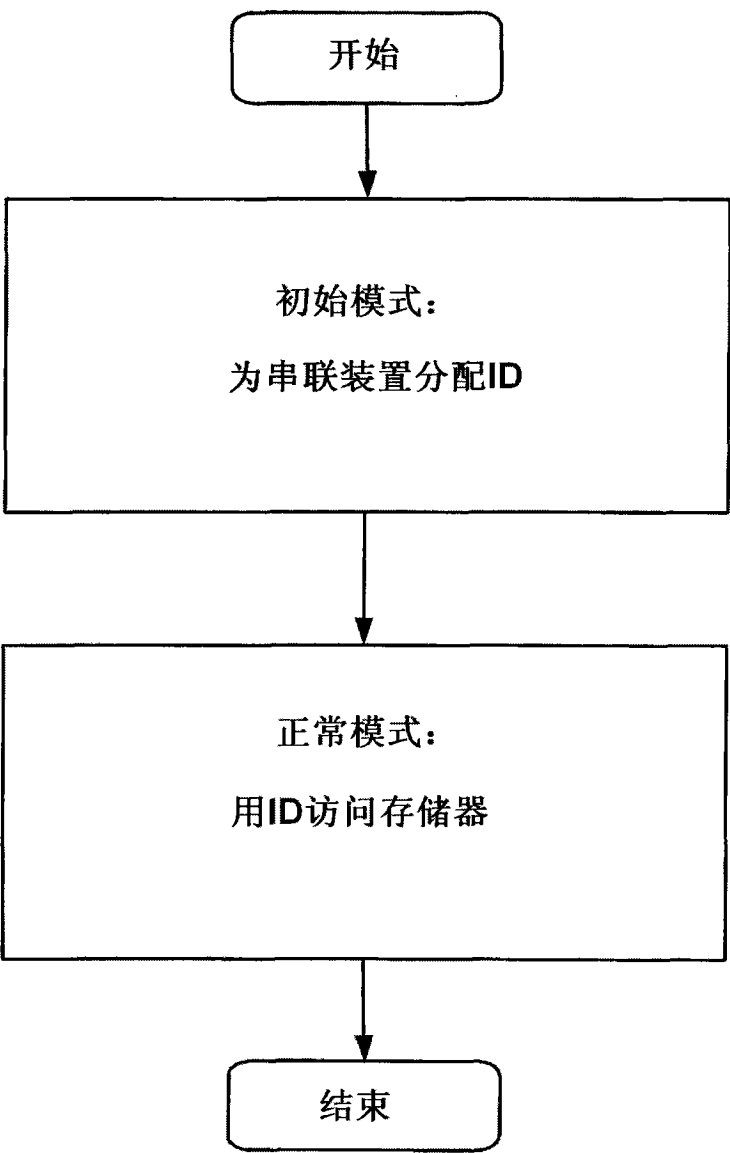


图 4

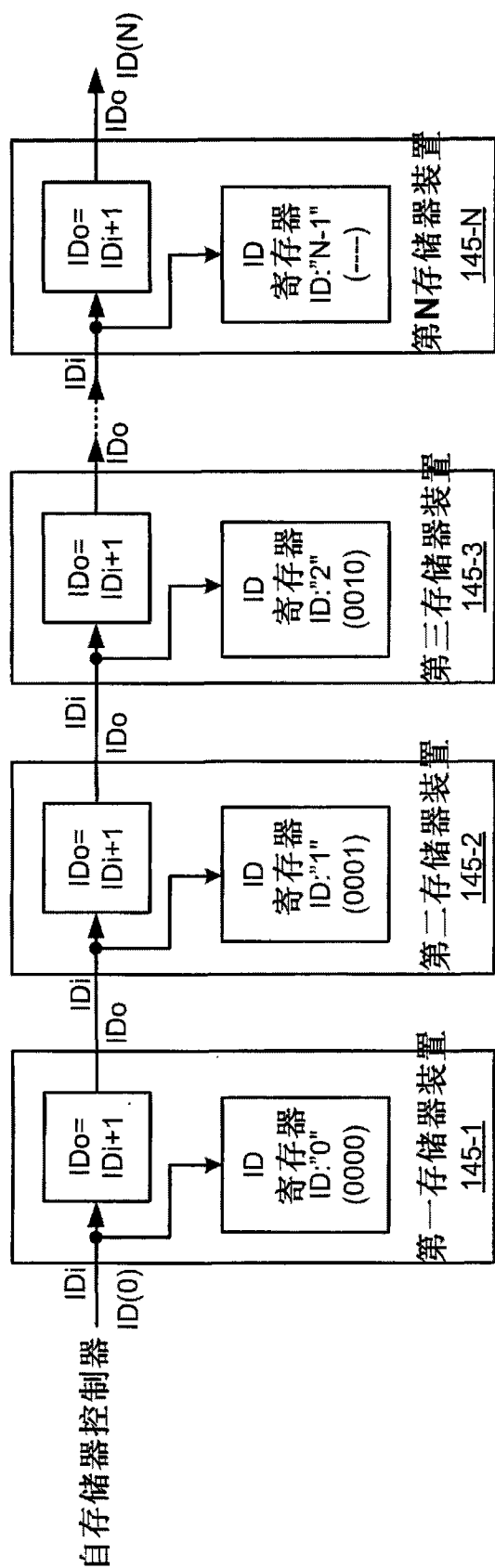


图 5A

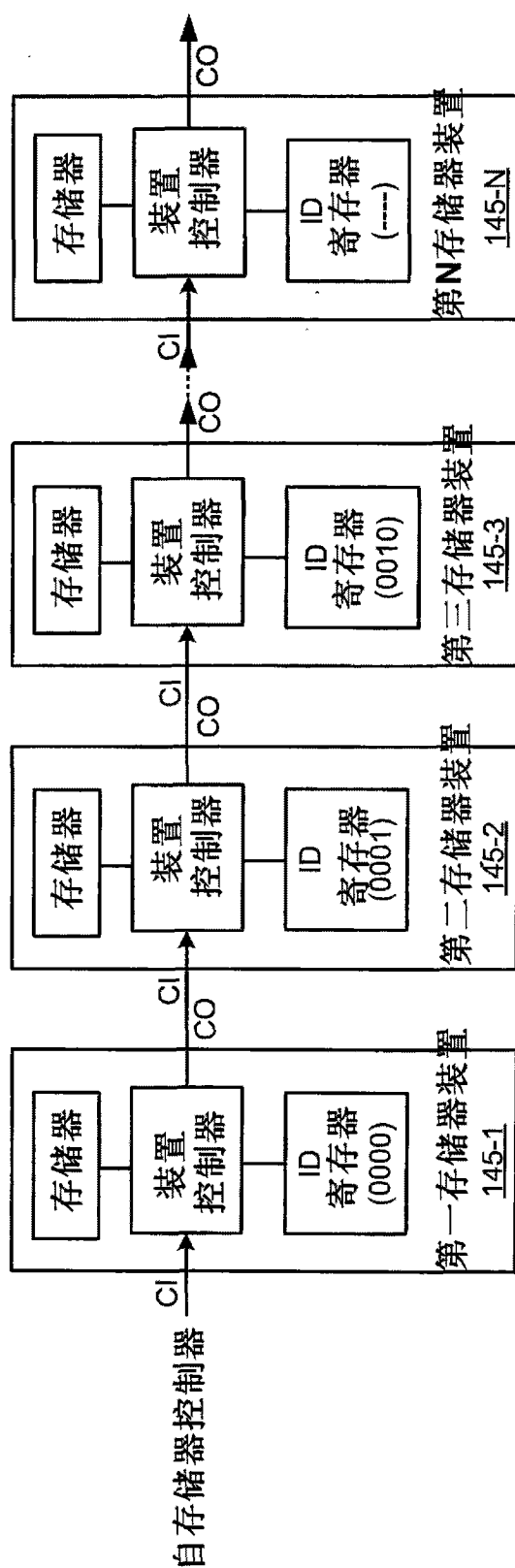


图 5B

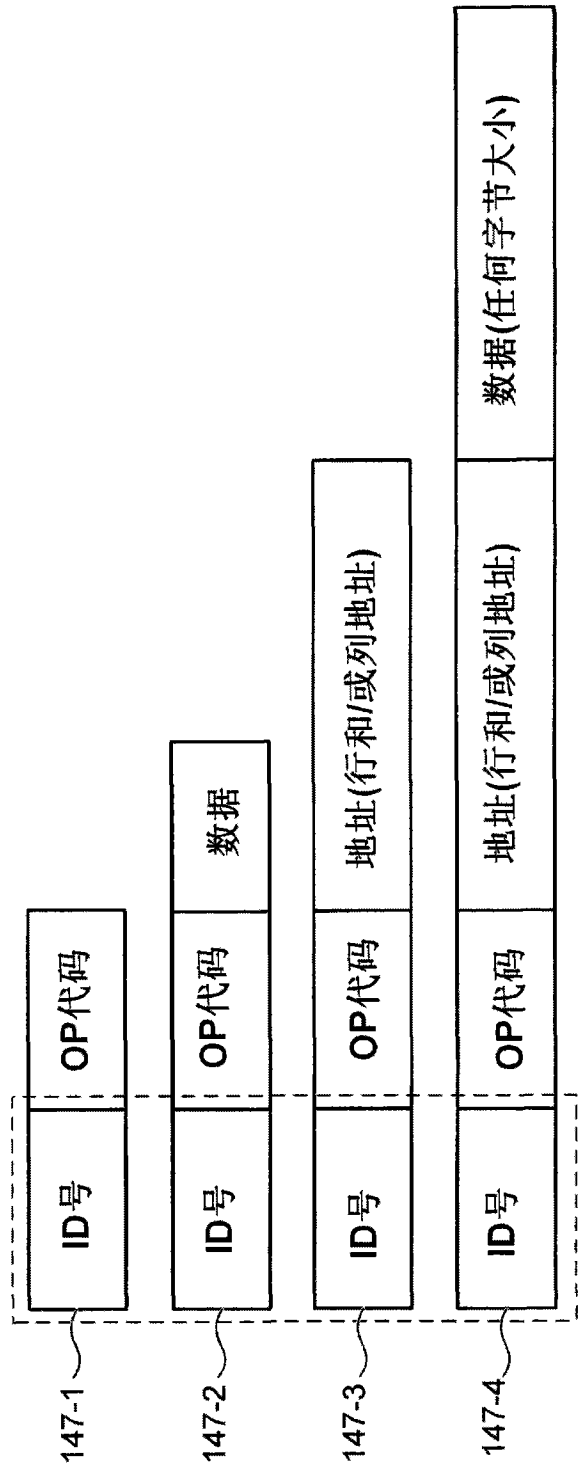


图 6

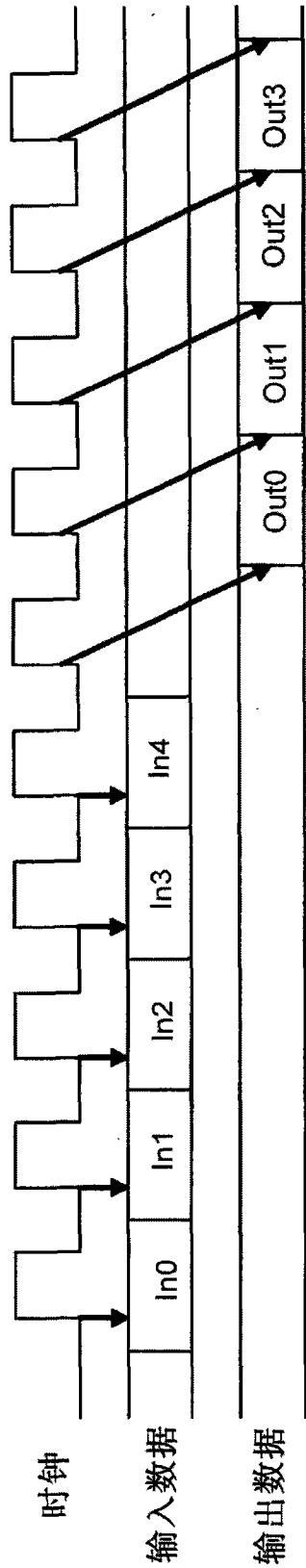


图 7A

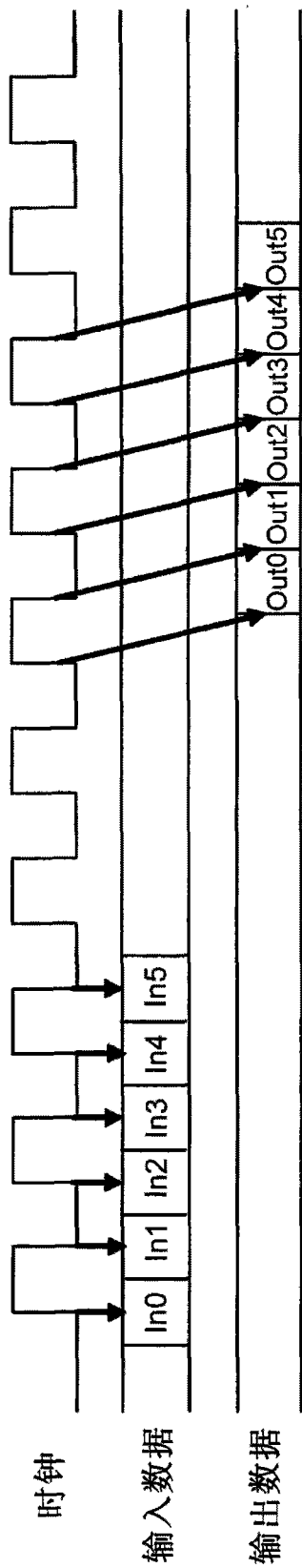


图 7B

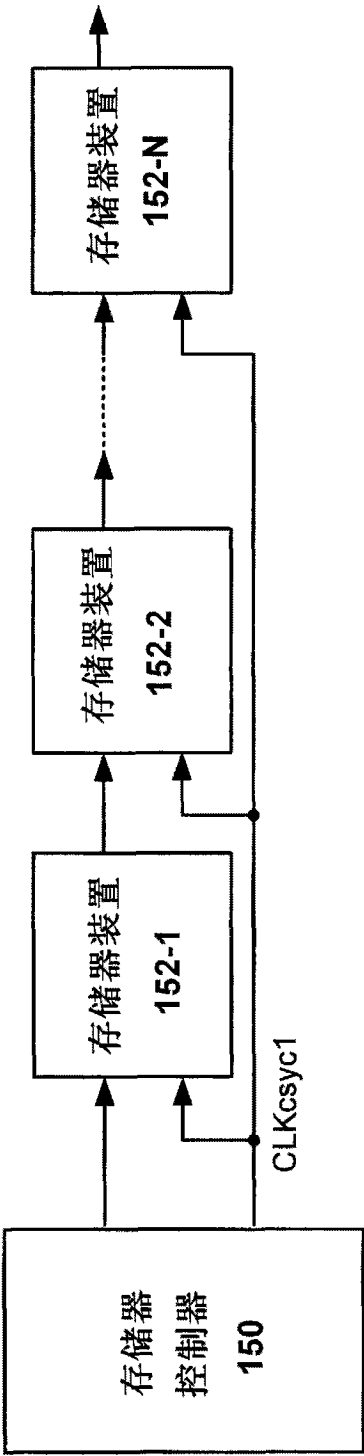


图 8A

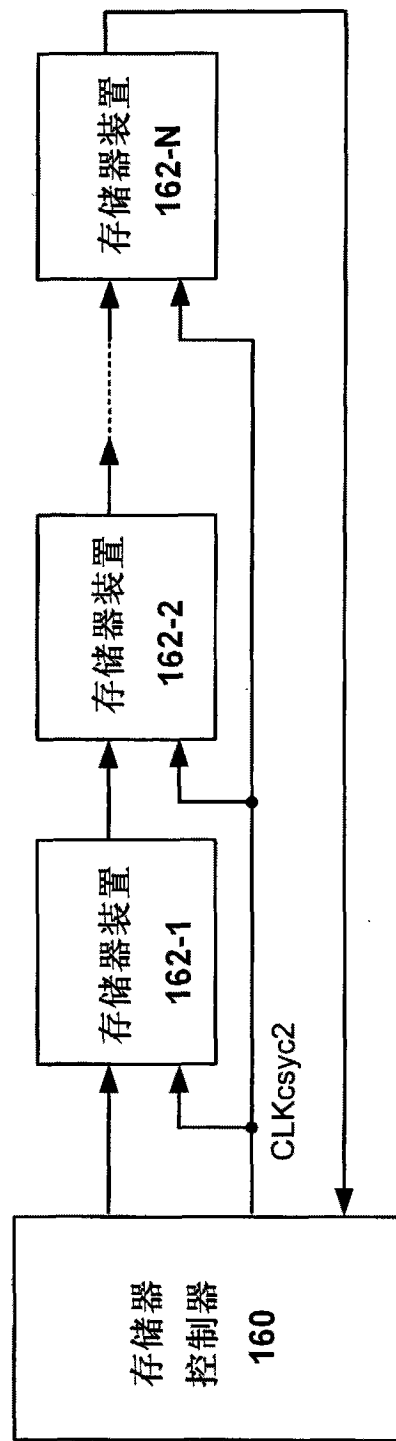


图 8B

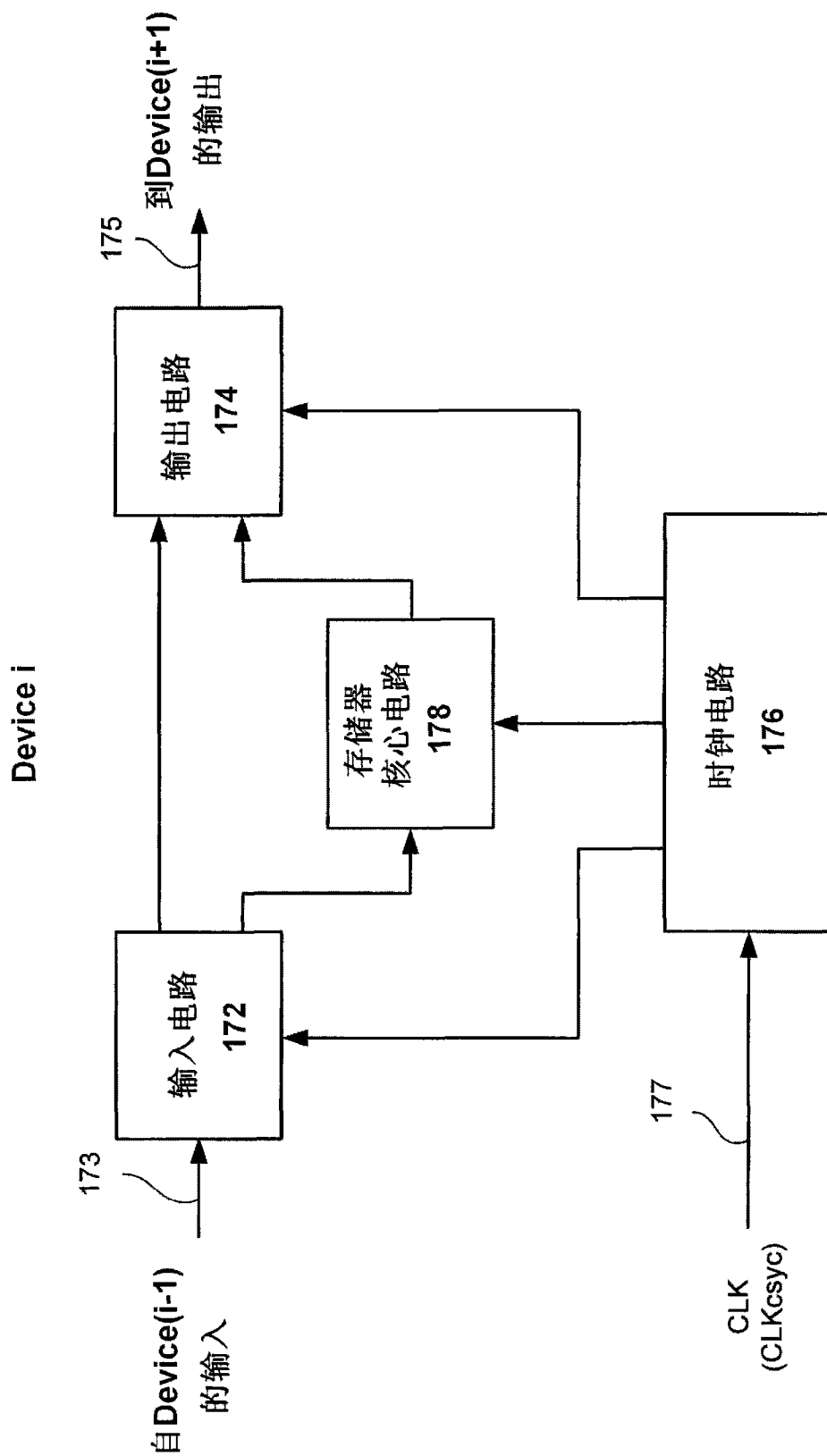


图 9

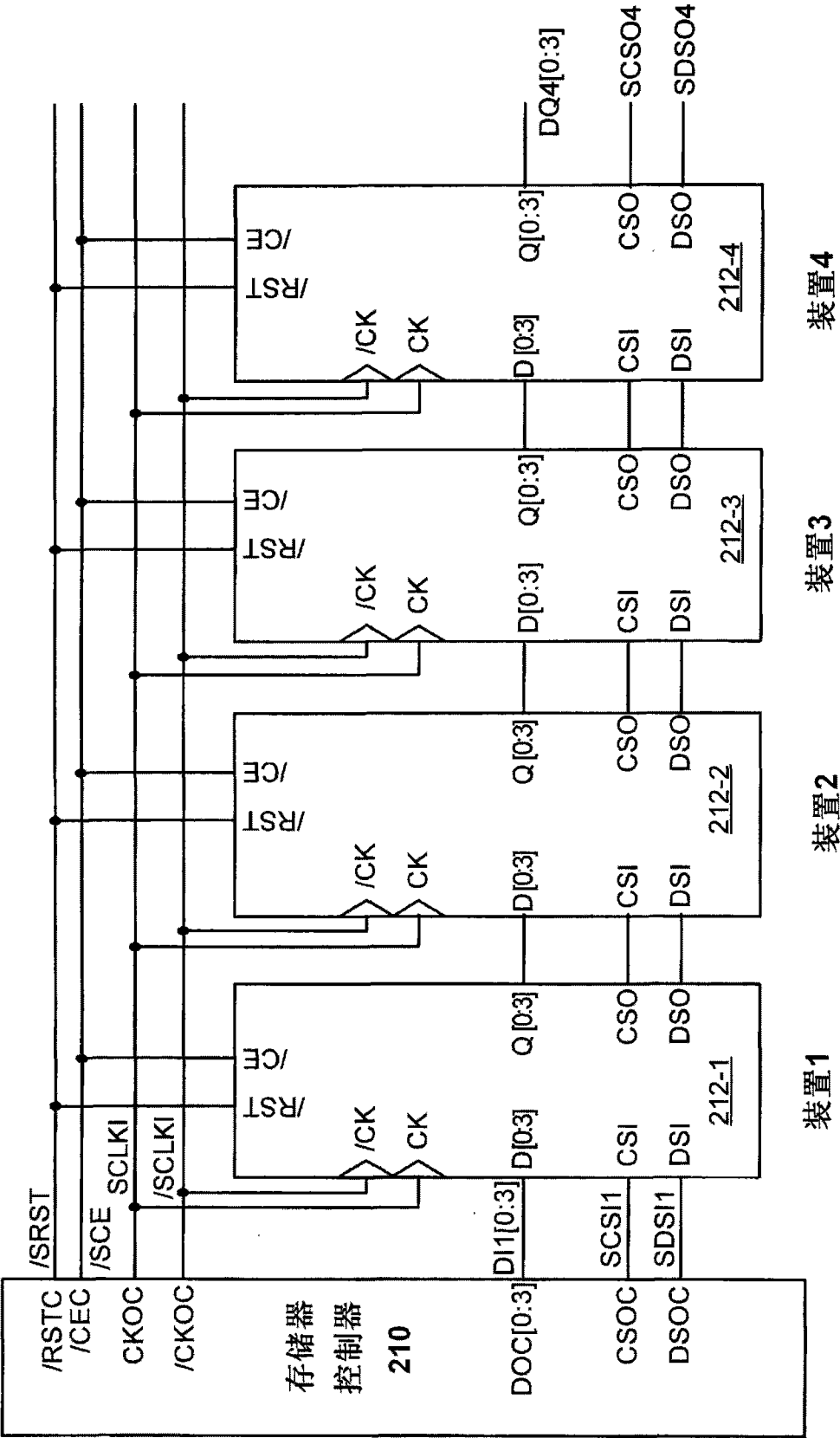


图 10A

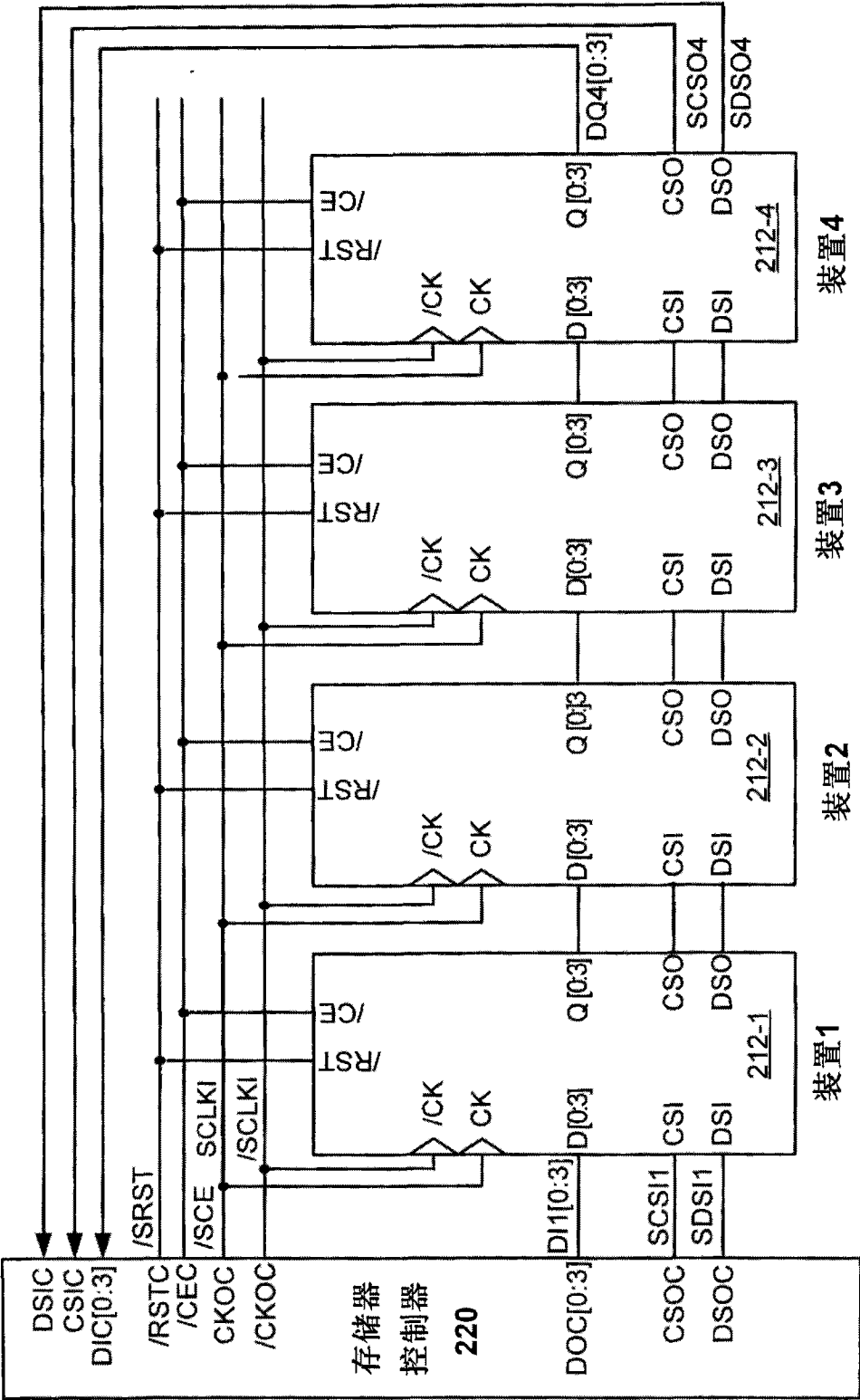


图 10B

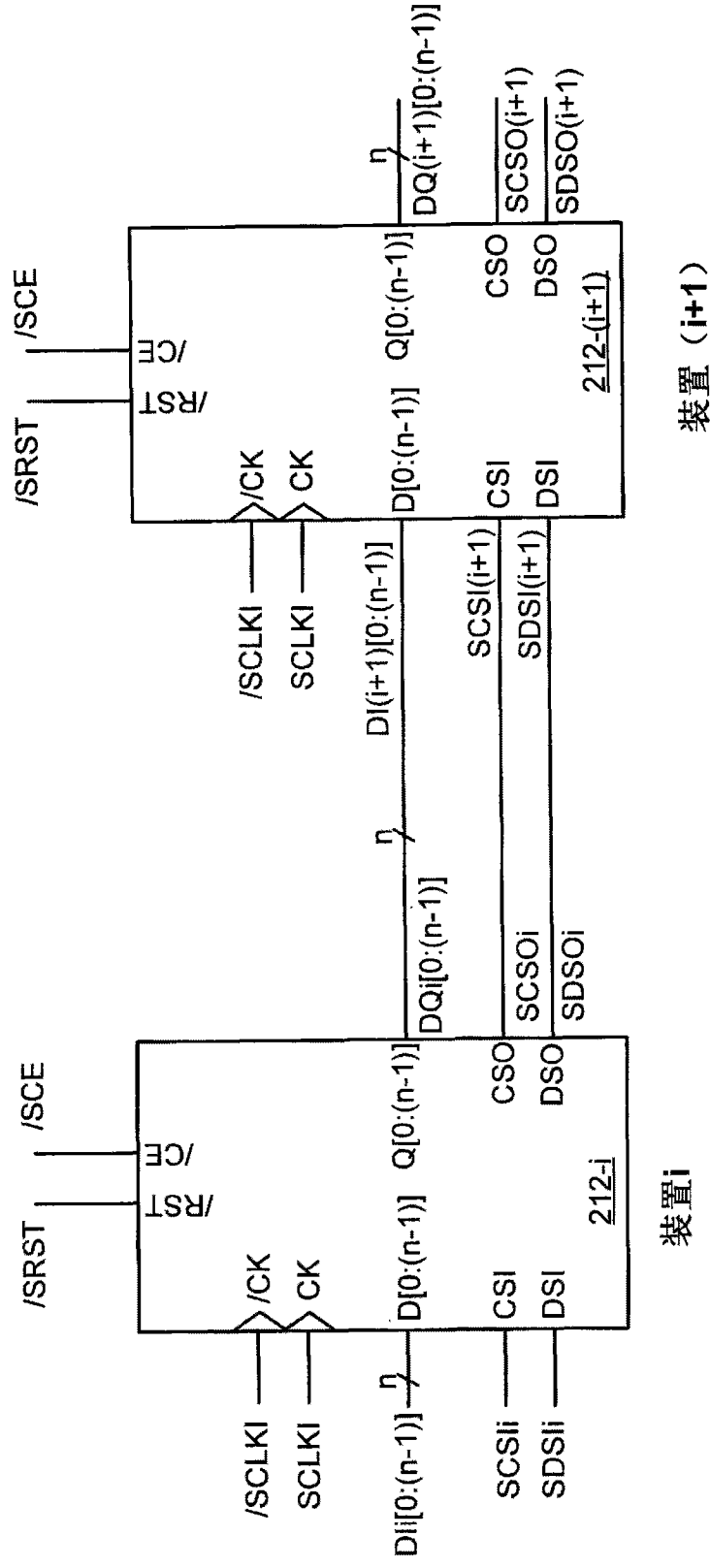


图 11

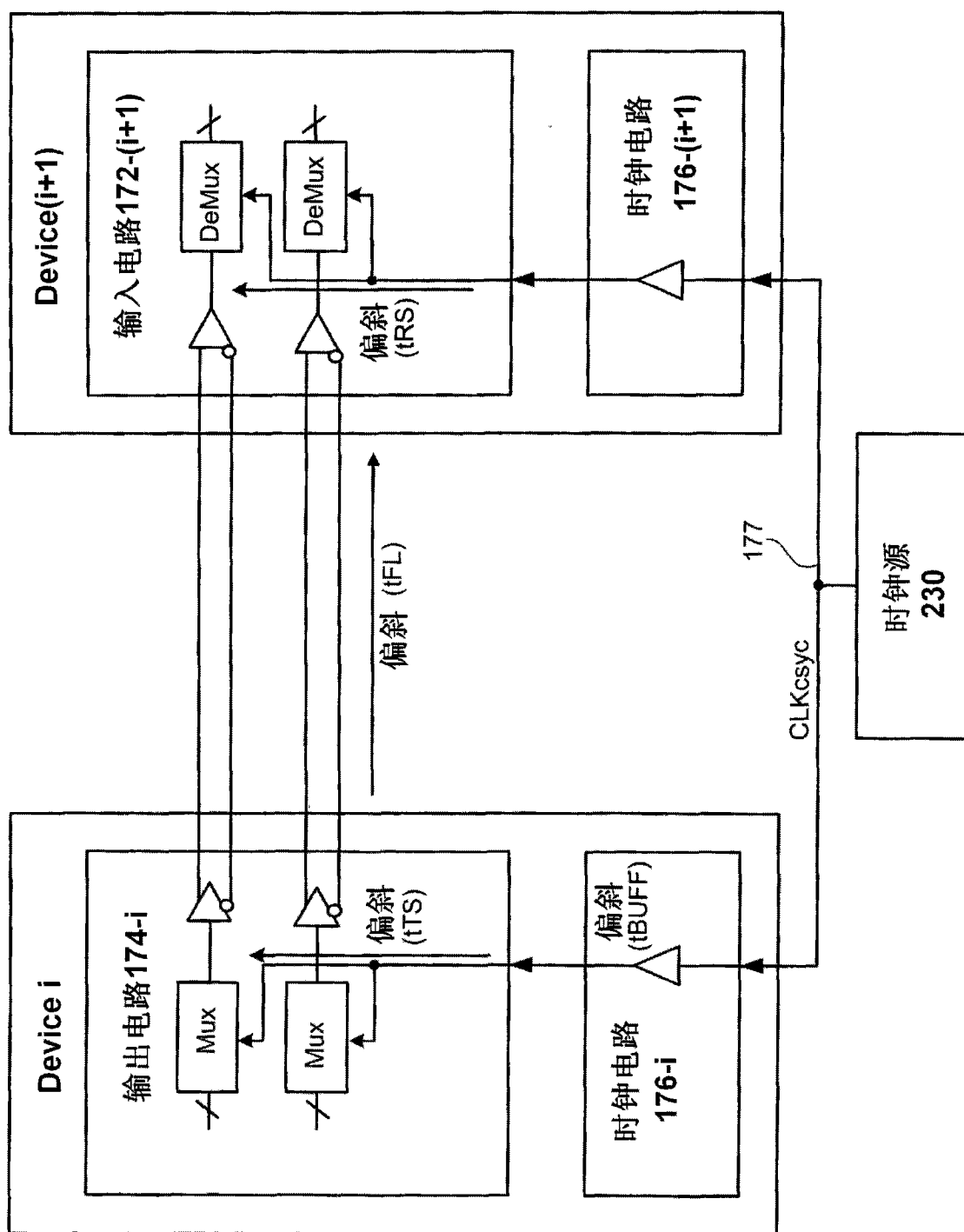


图 12

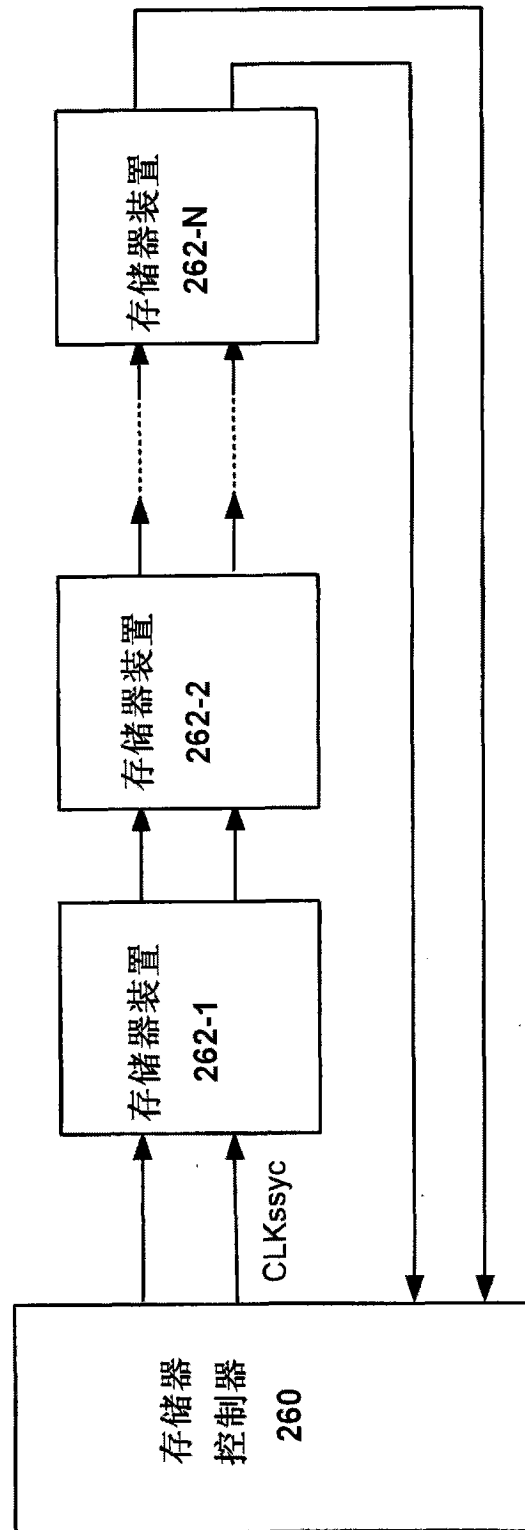


图 13

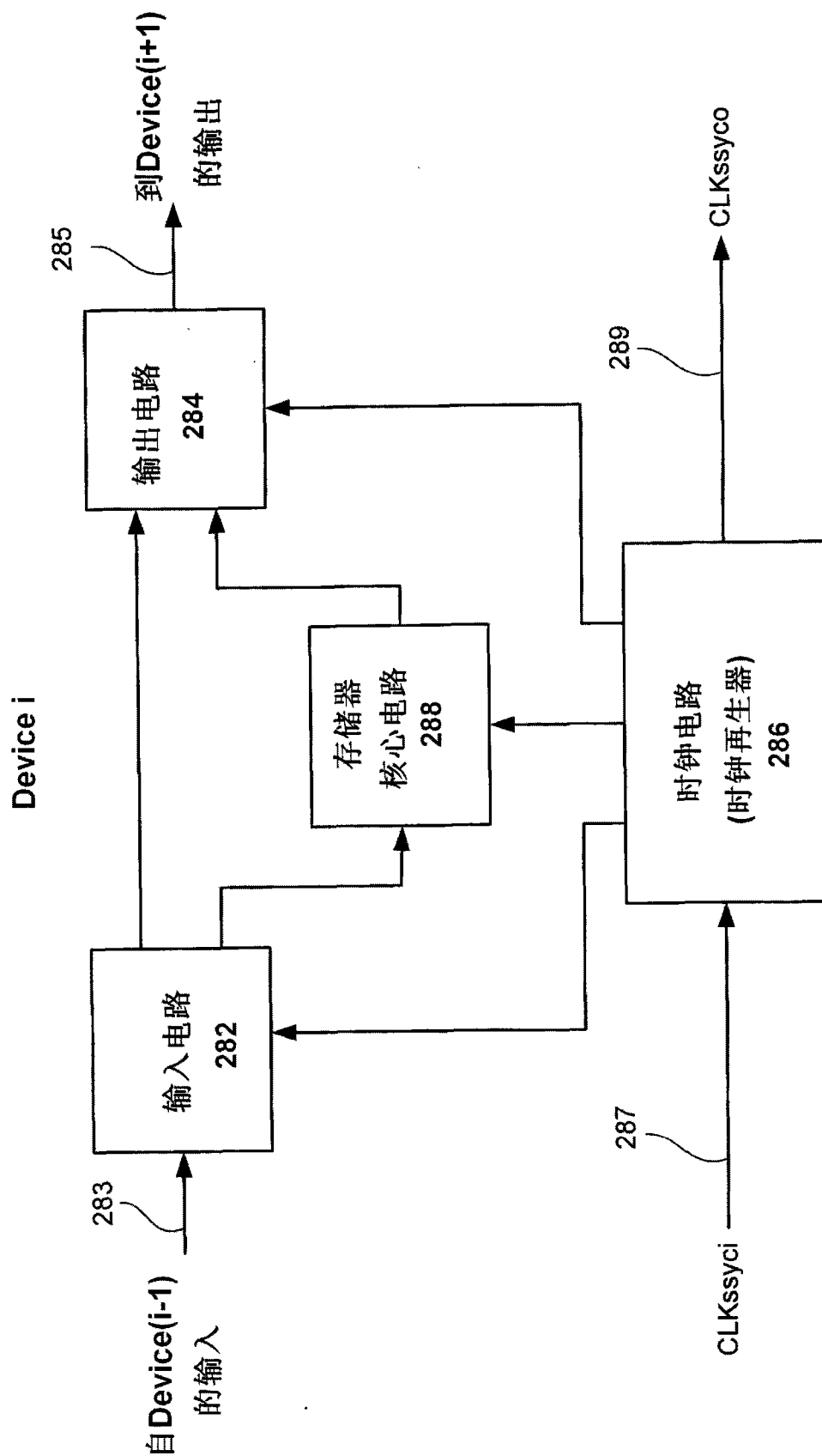


图 14

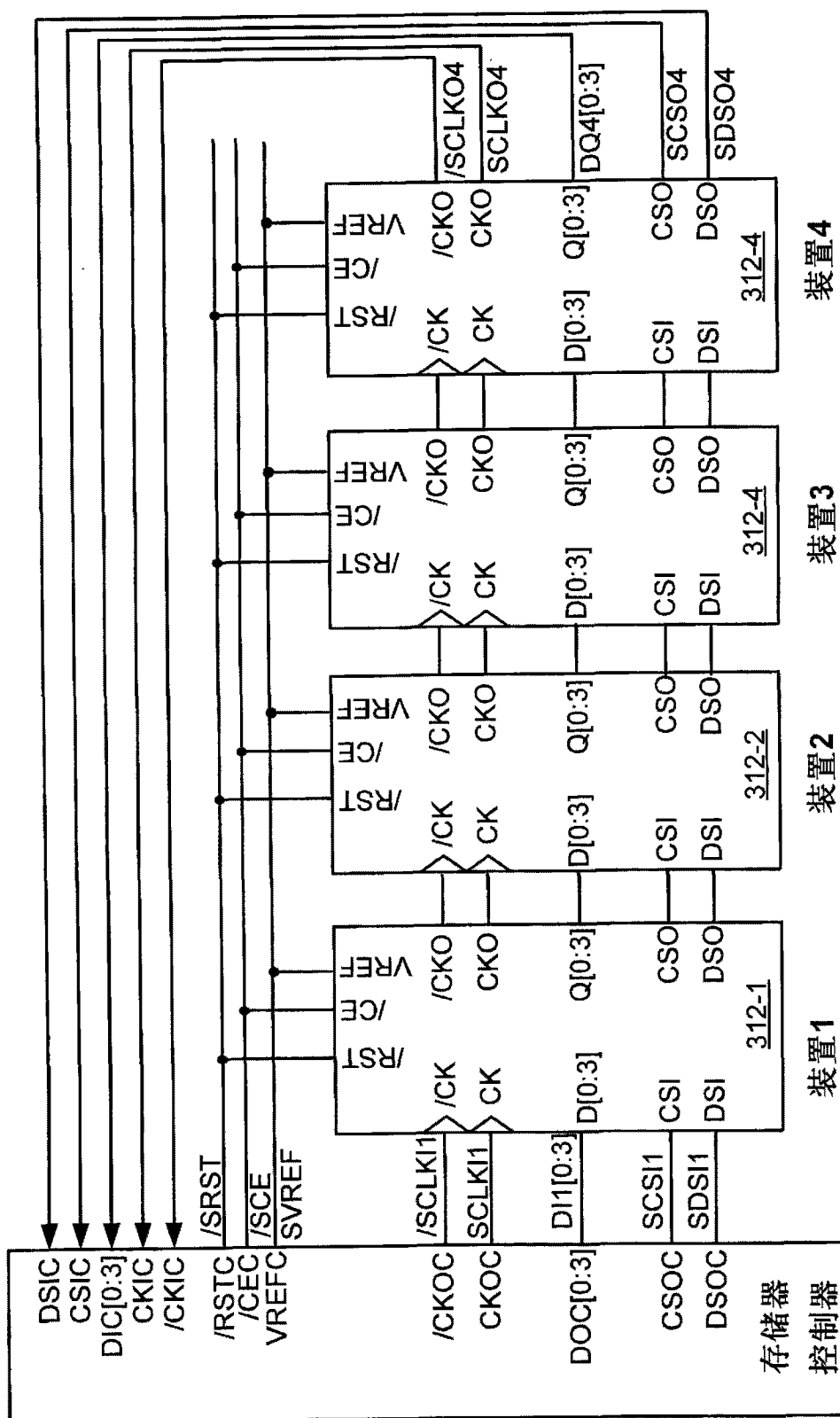


图 15

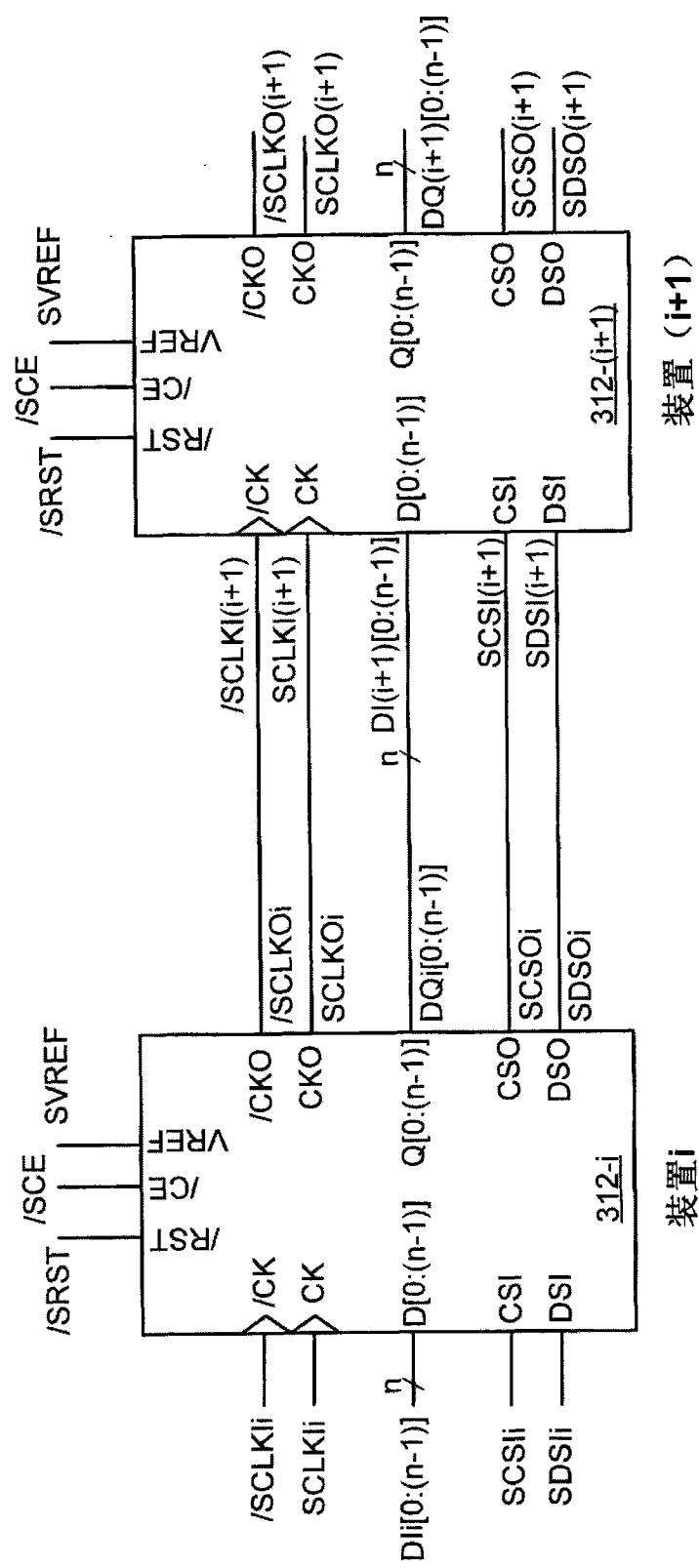


图 16

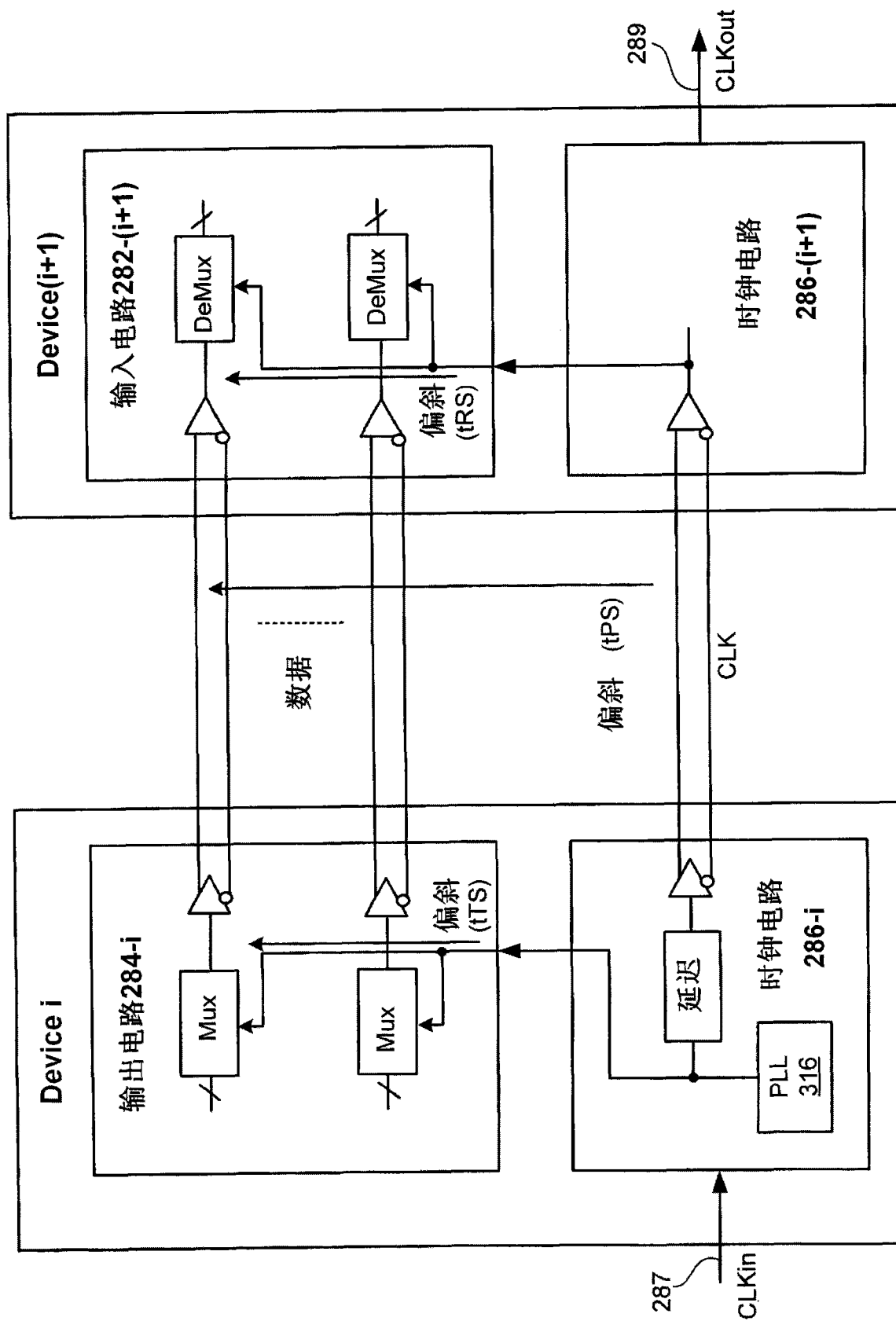


图 17

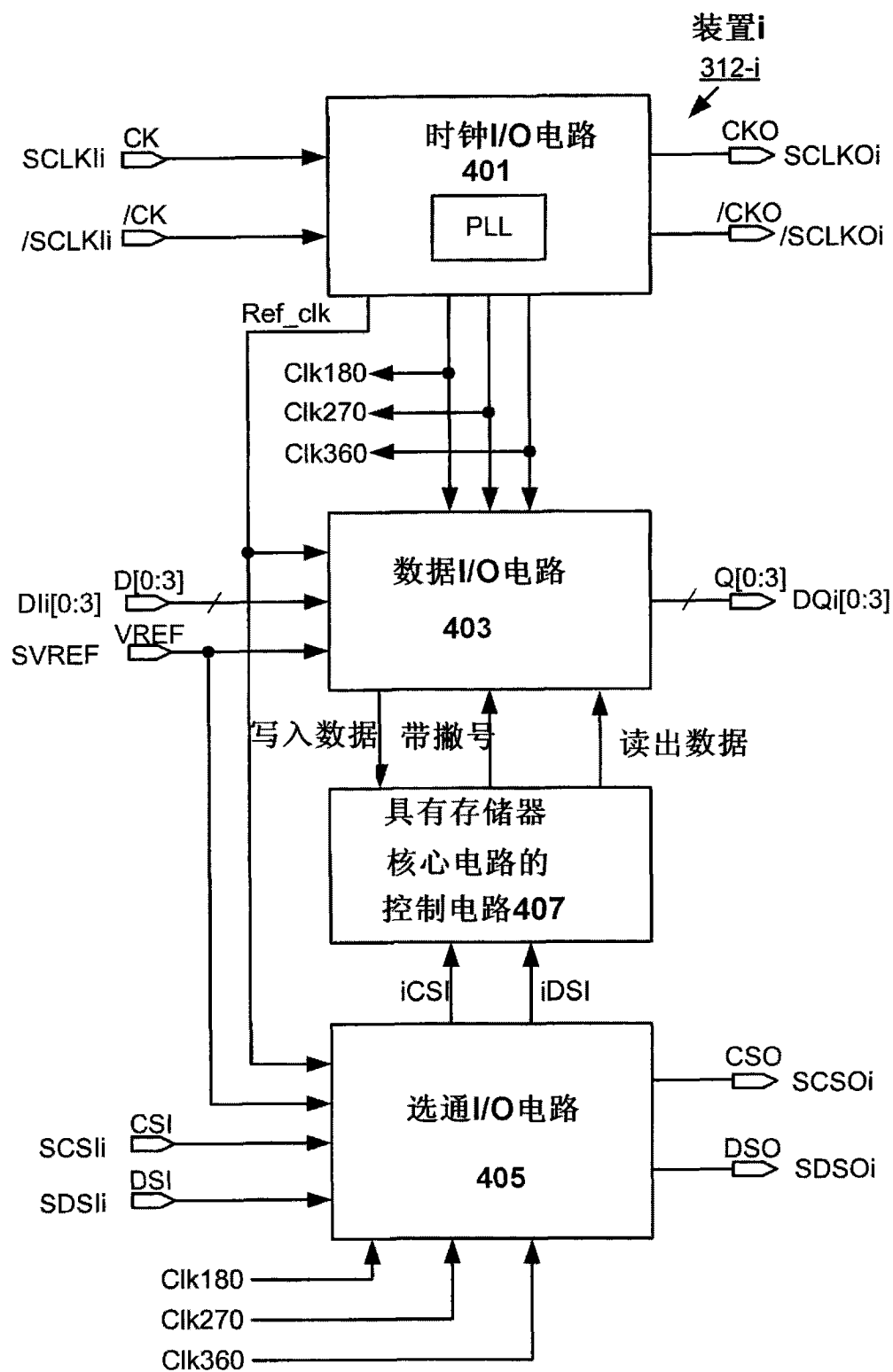


图 18A

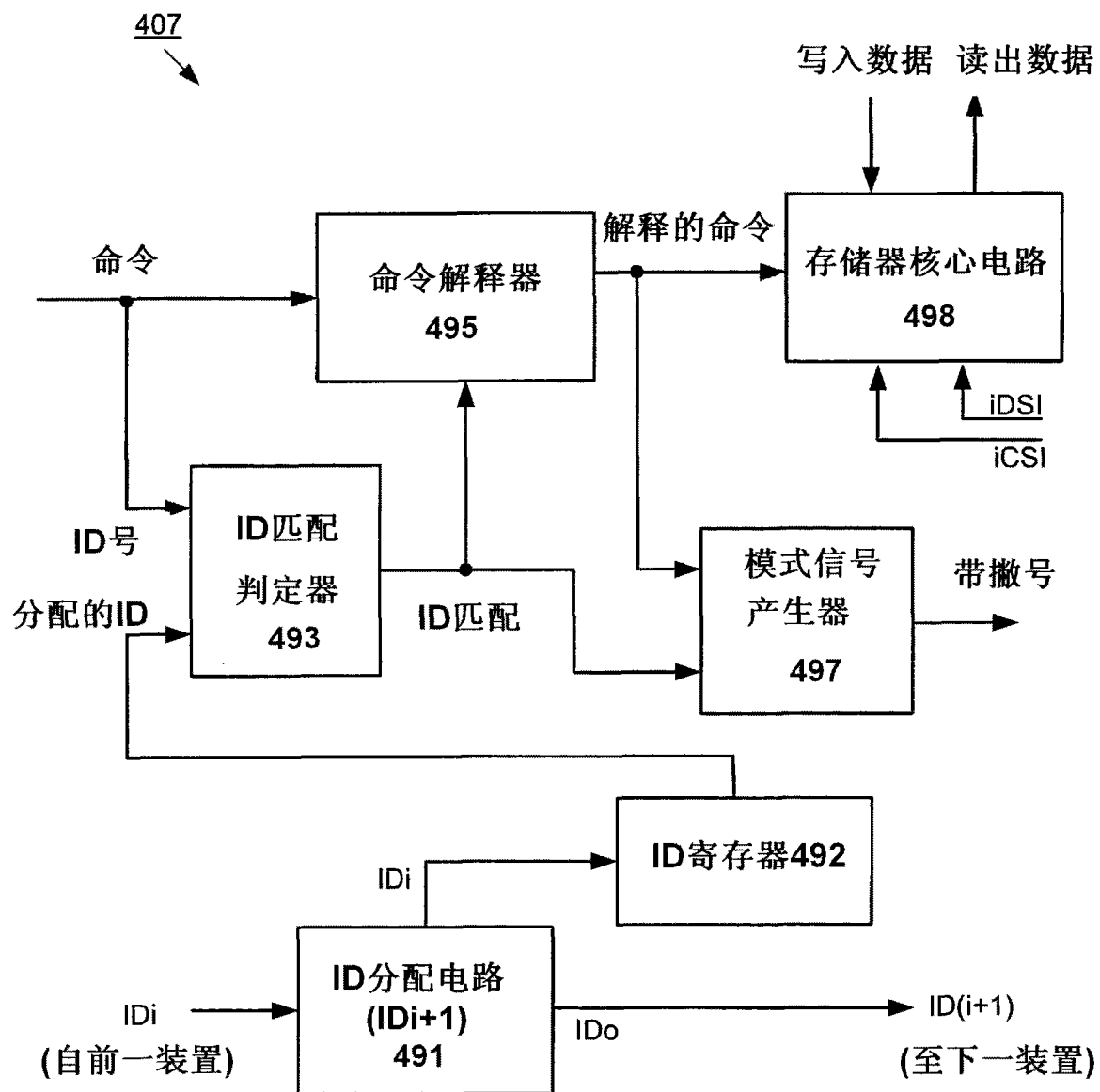


图 18B

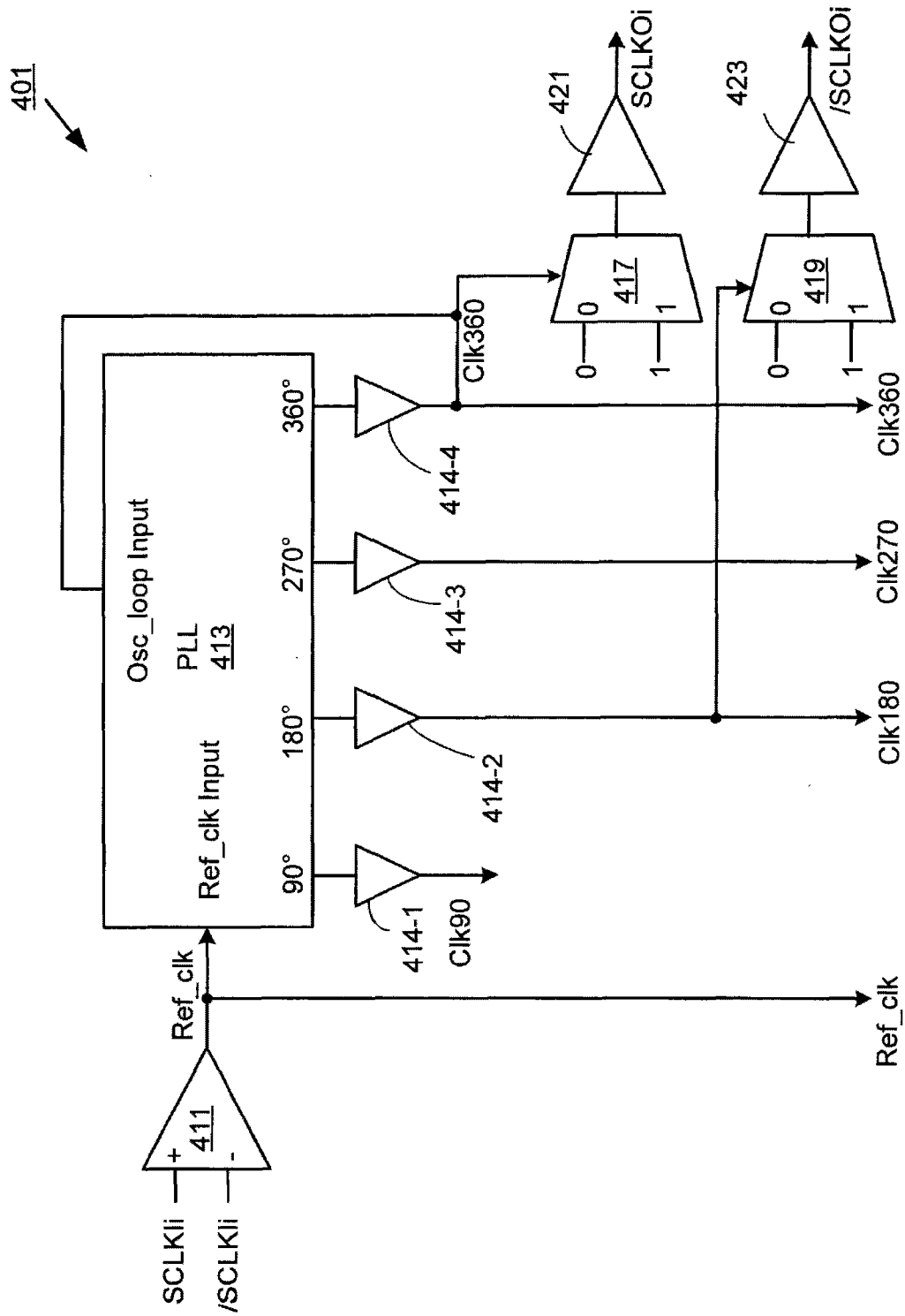


图 18C

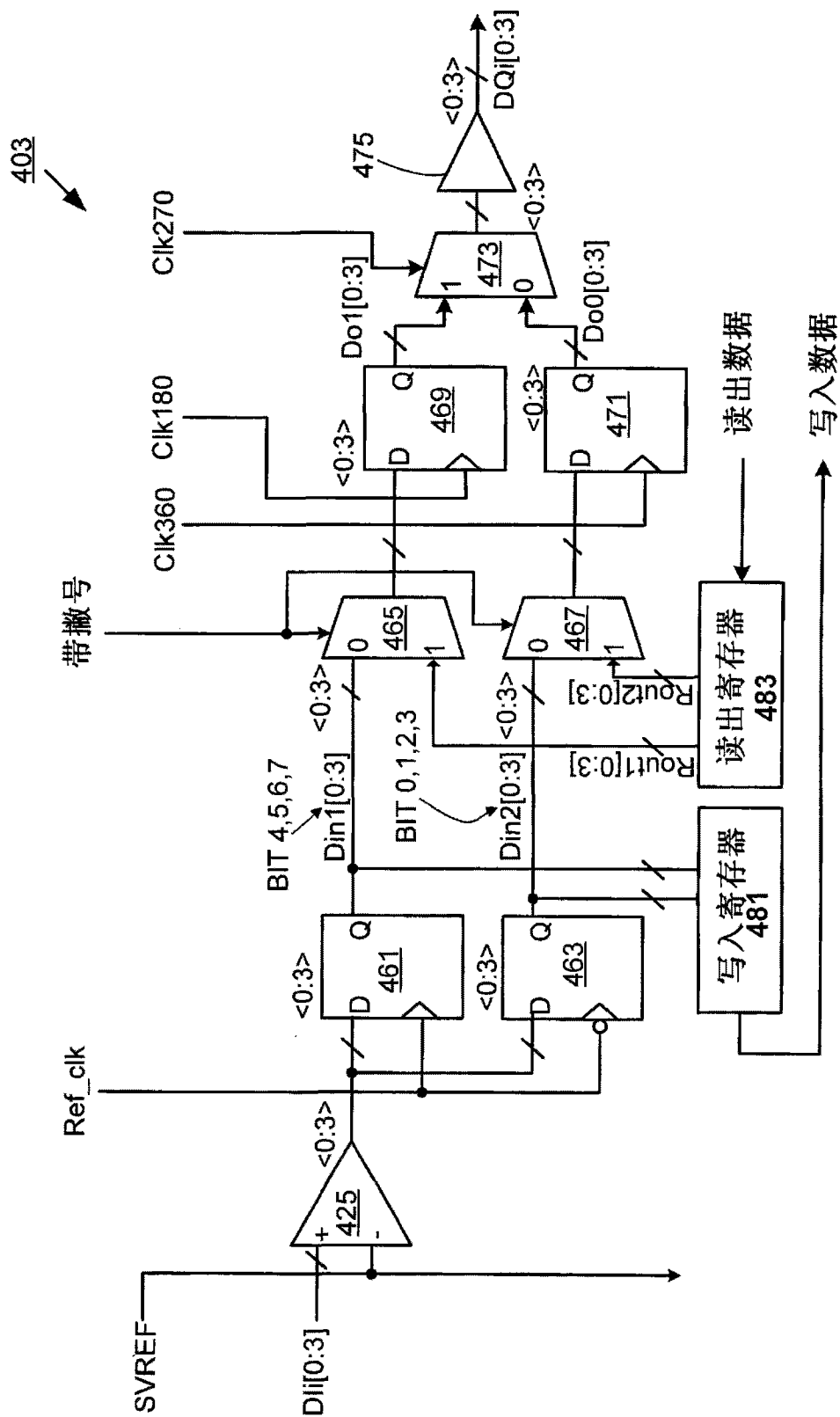


图 18D

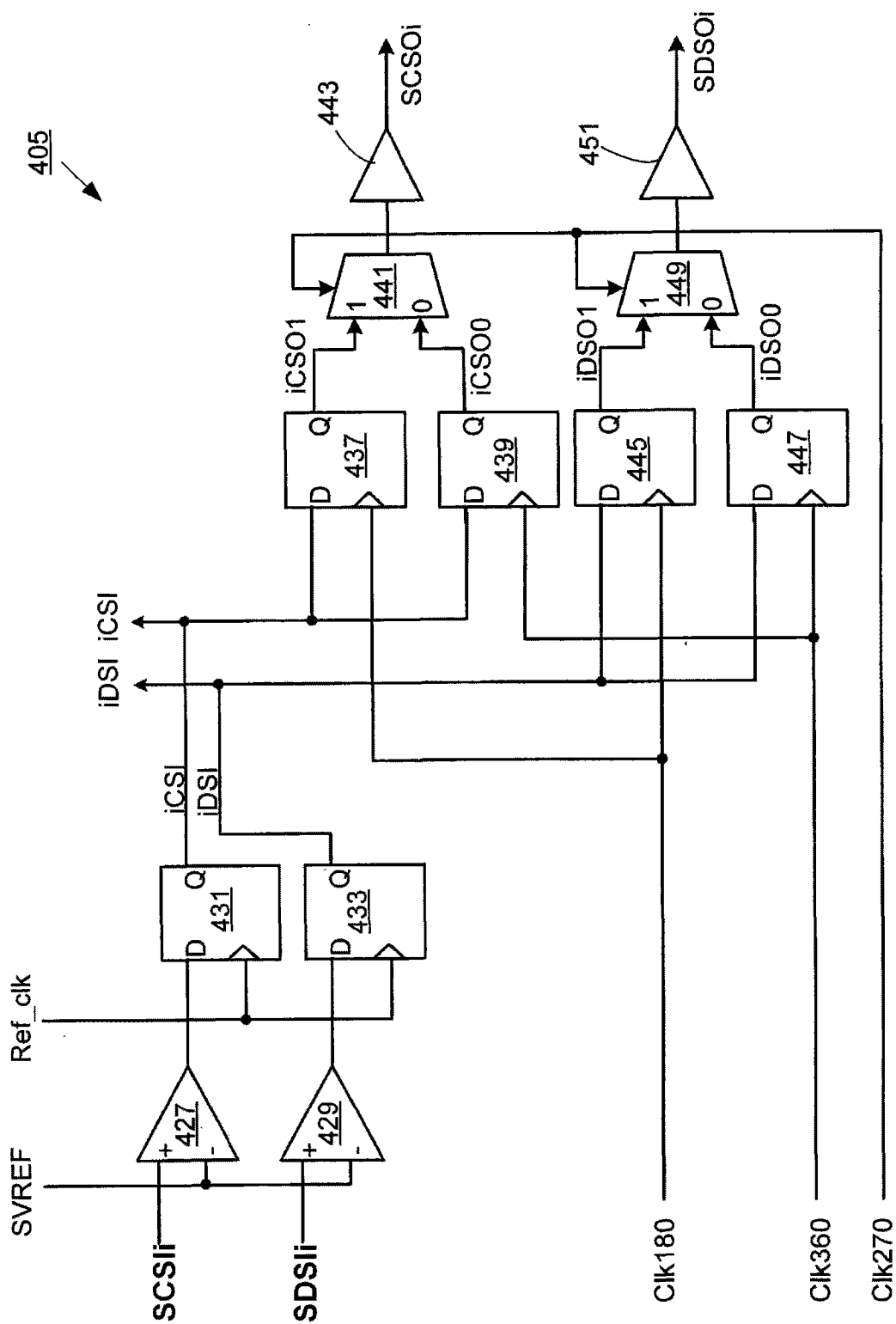


图 18E

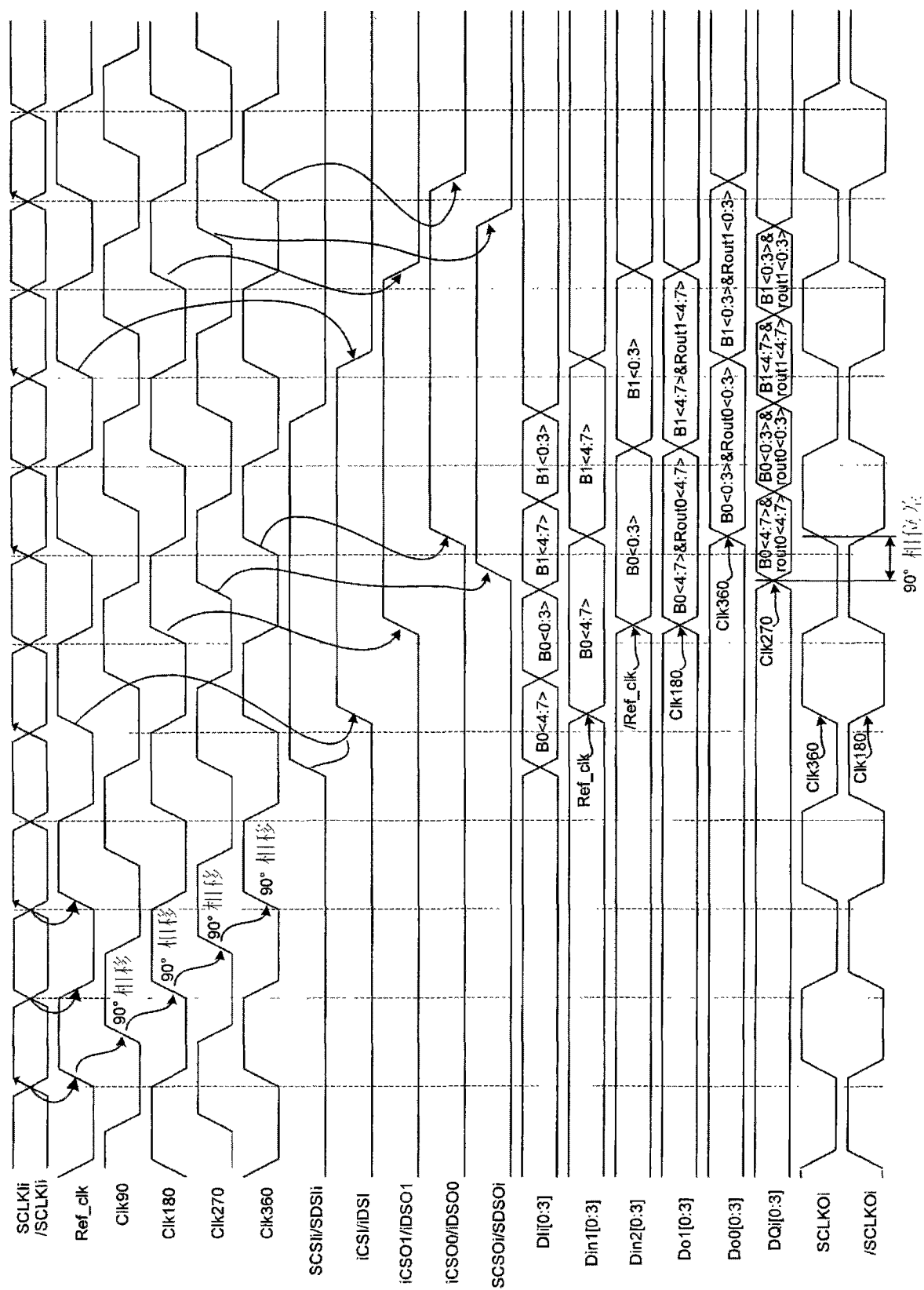


图 19

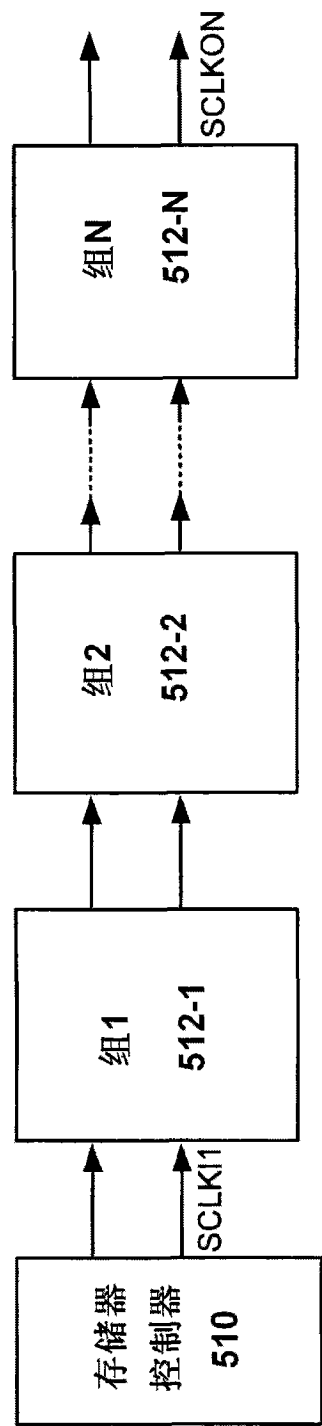


图 20A

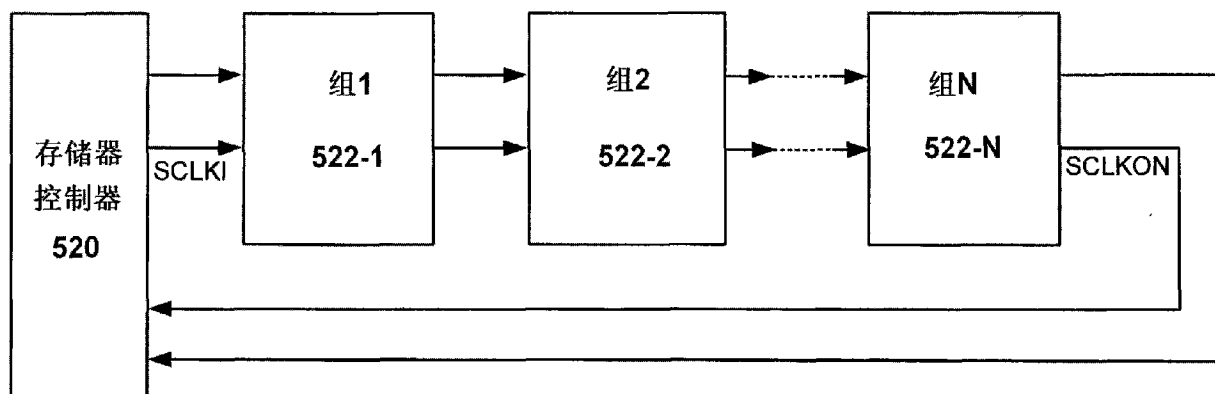


图 20B

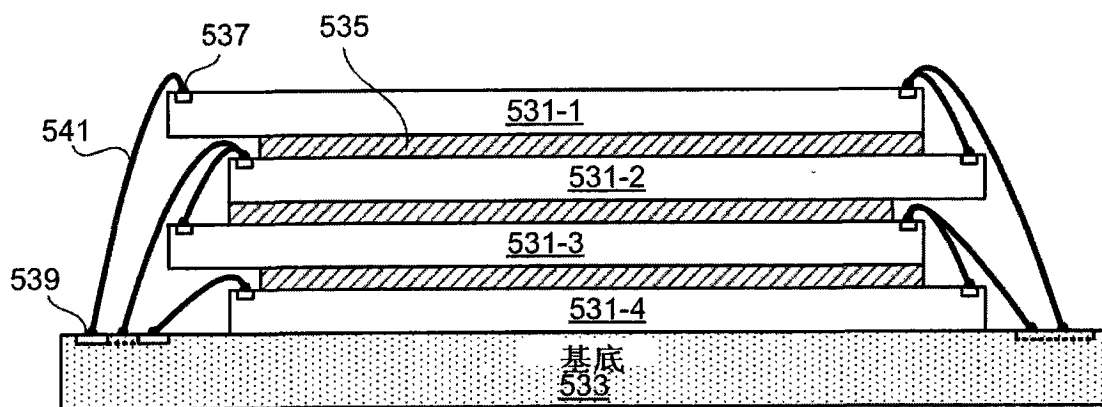


图 21A

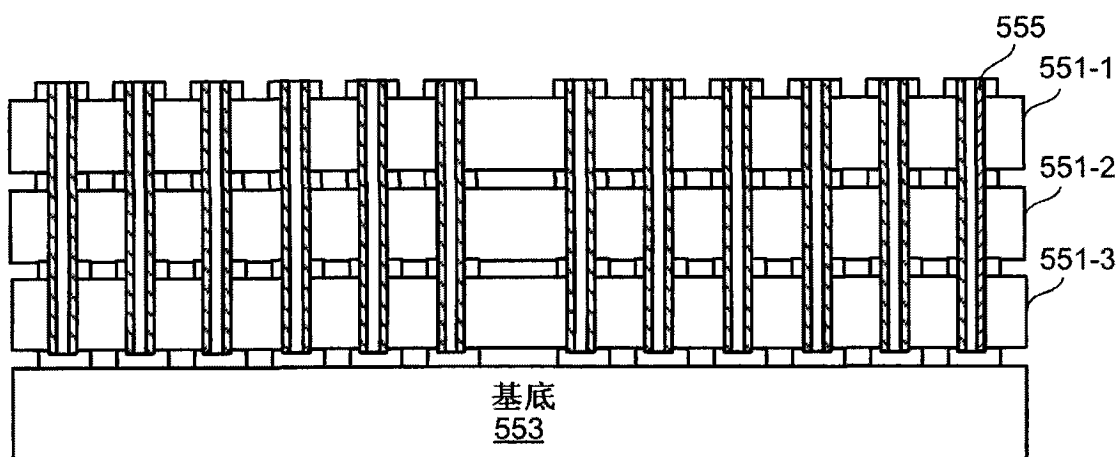


图 21B

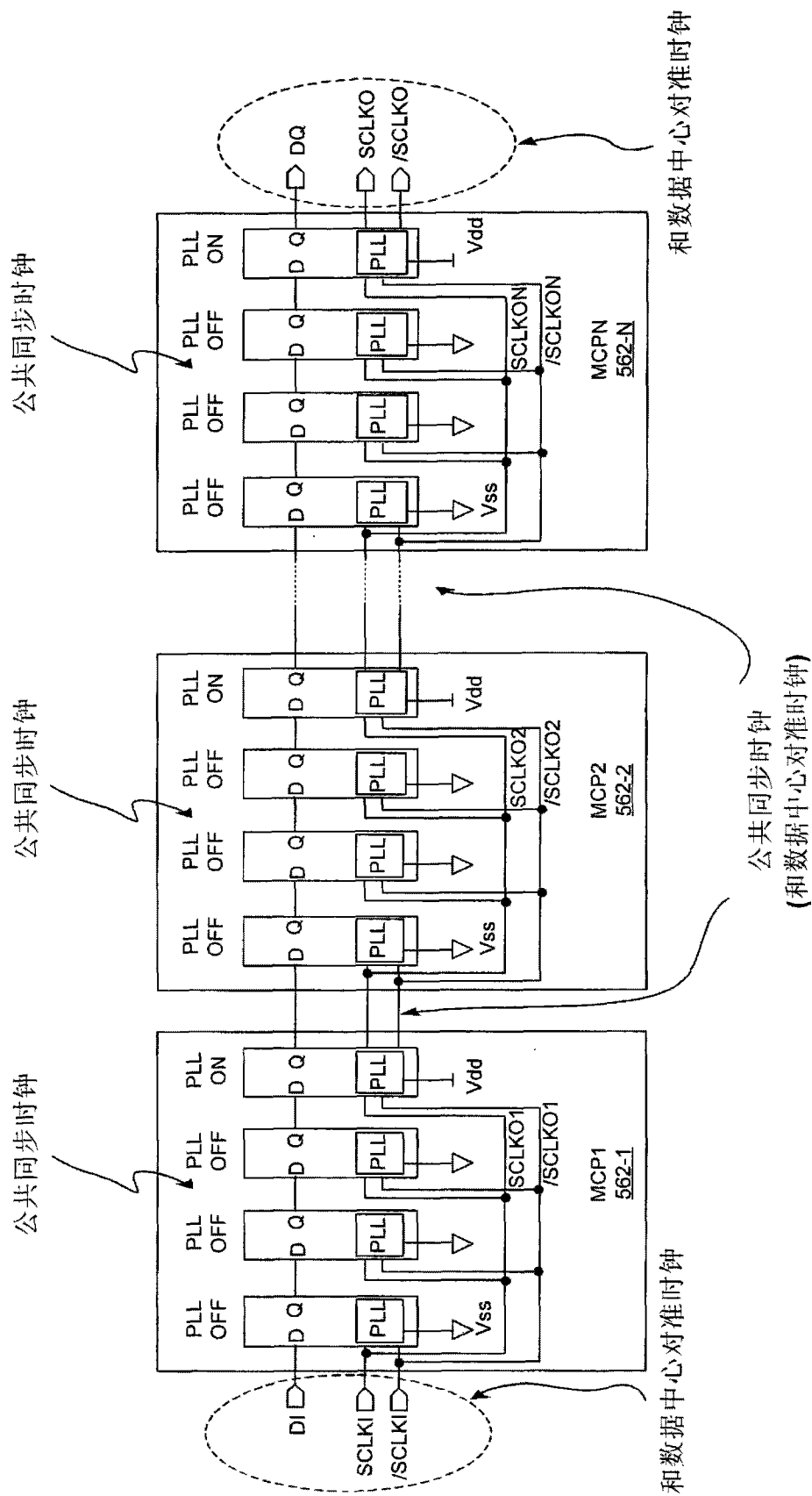


图 22

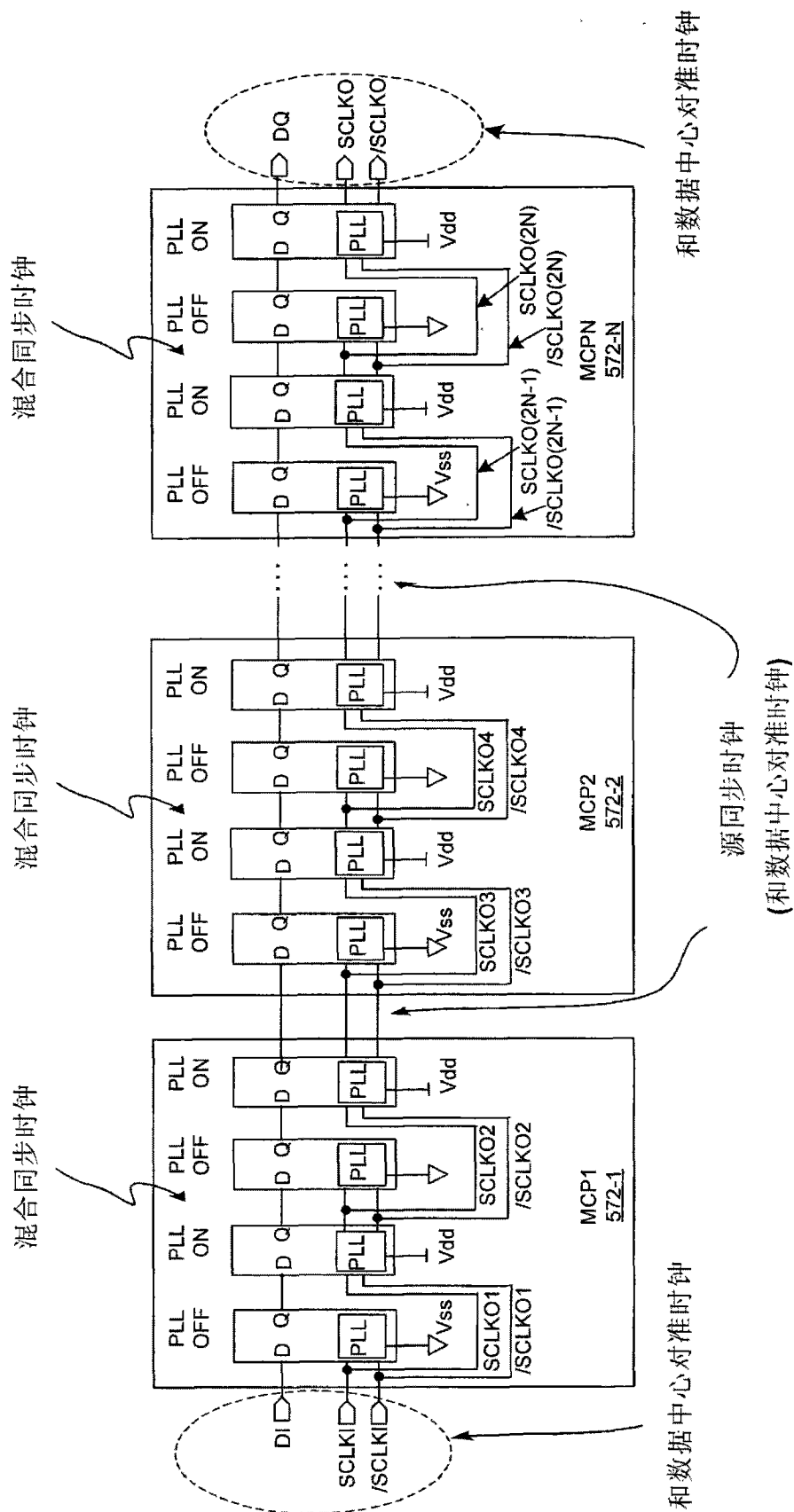


图 23A

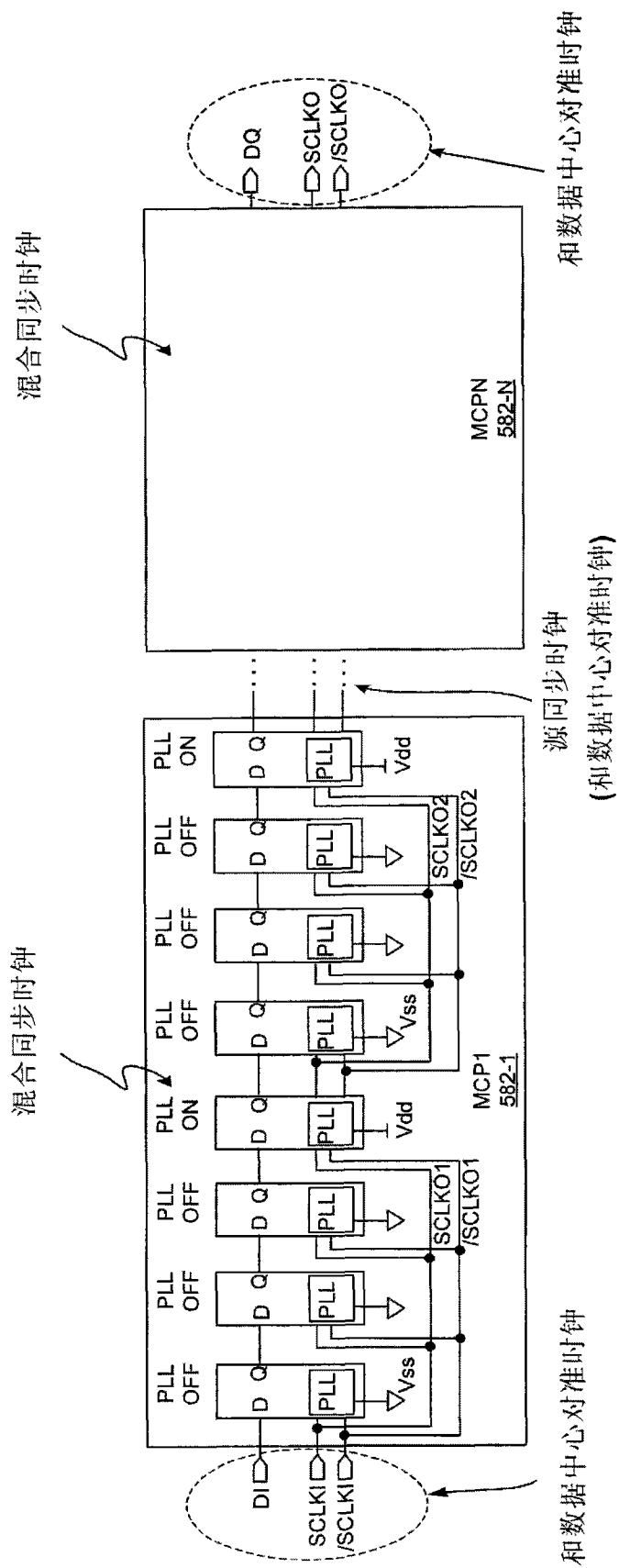


图 23B

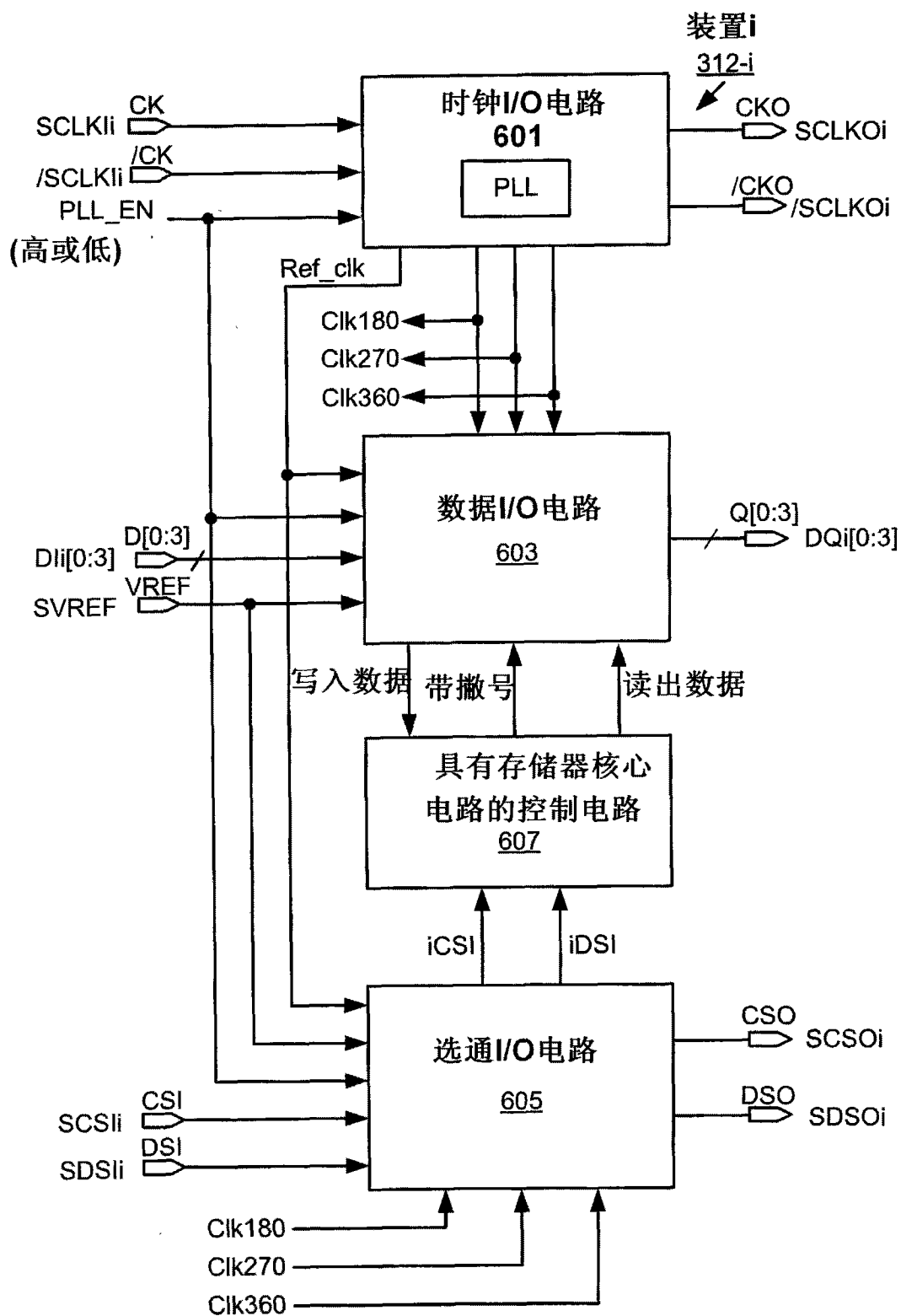


图 24A

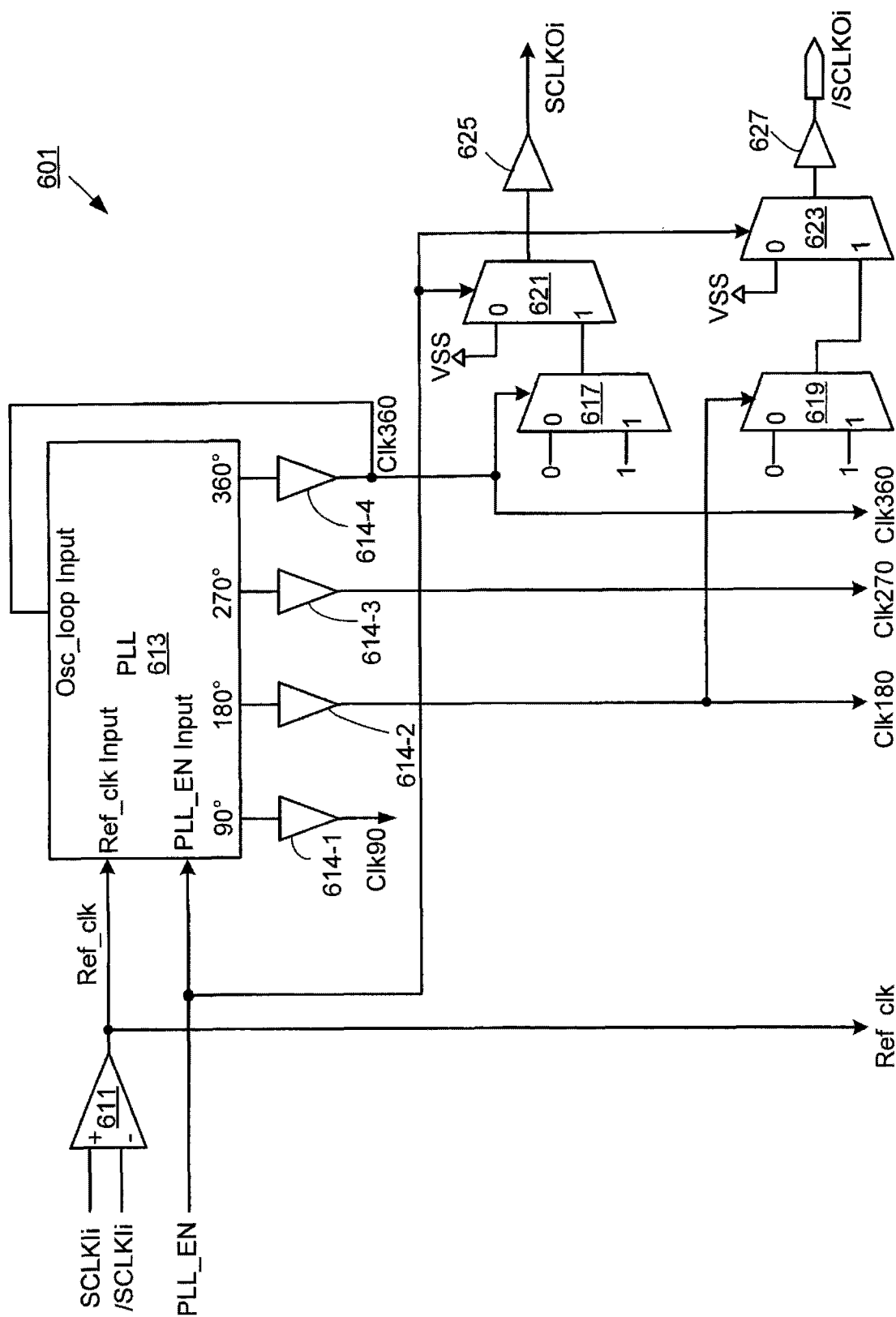


图 24B

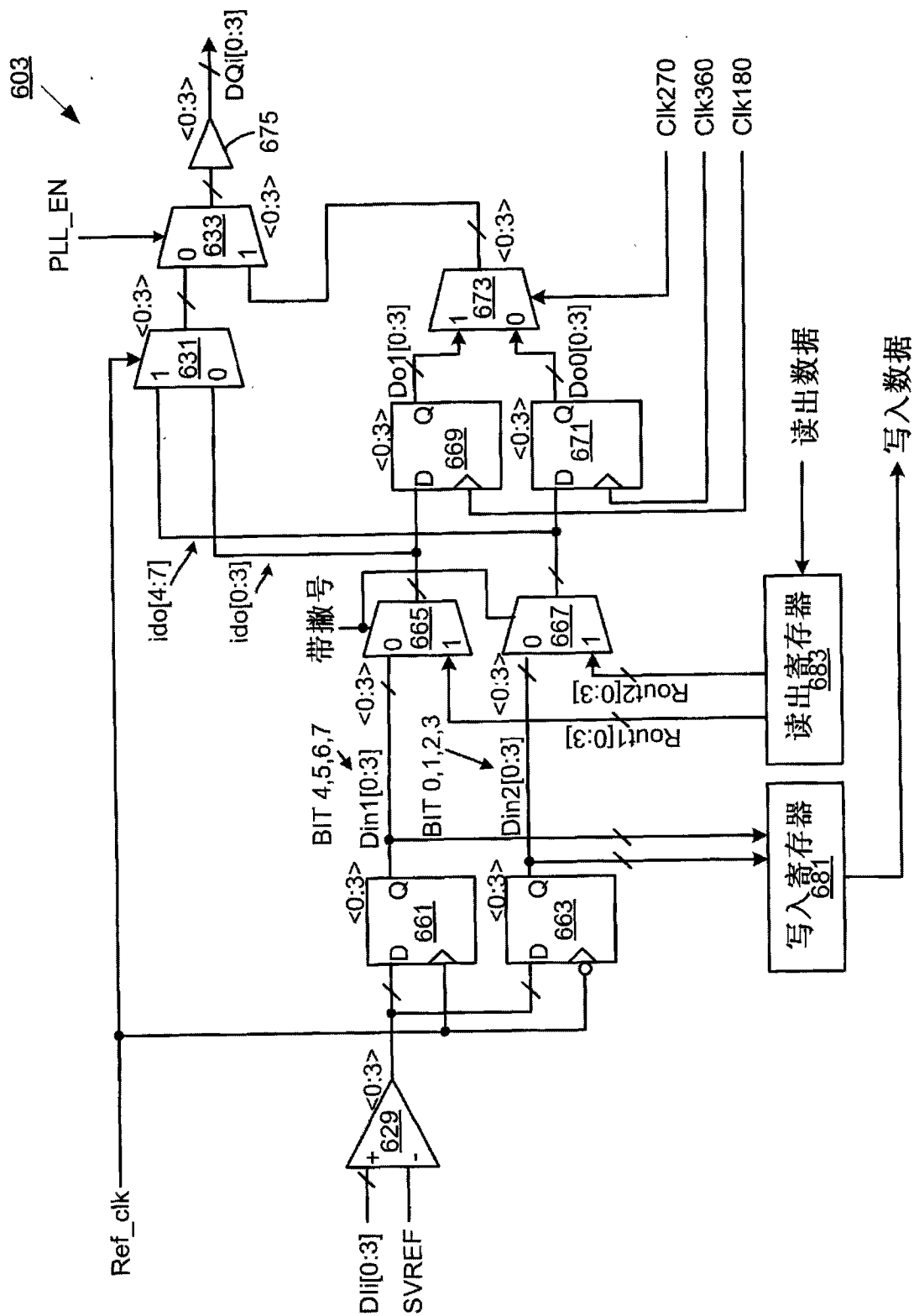


图 24C

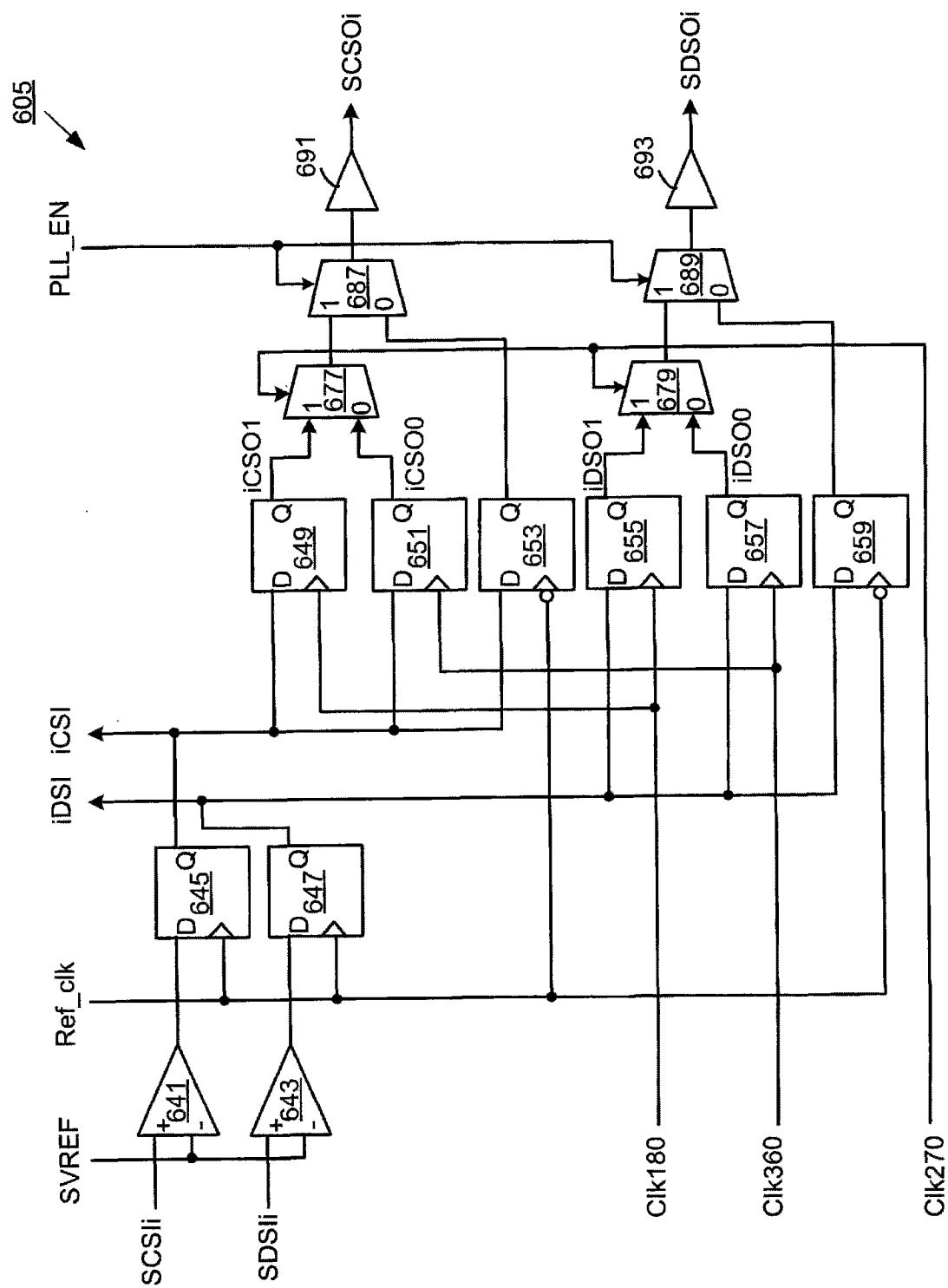


图 24D

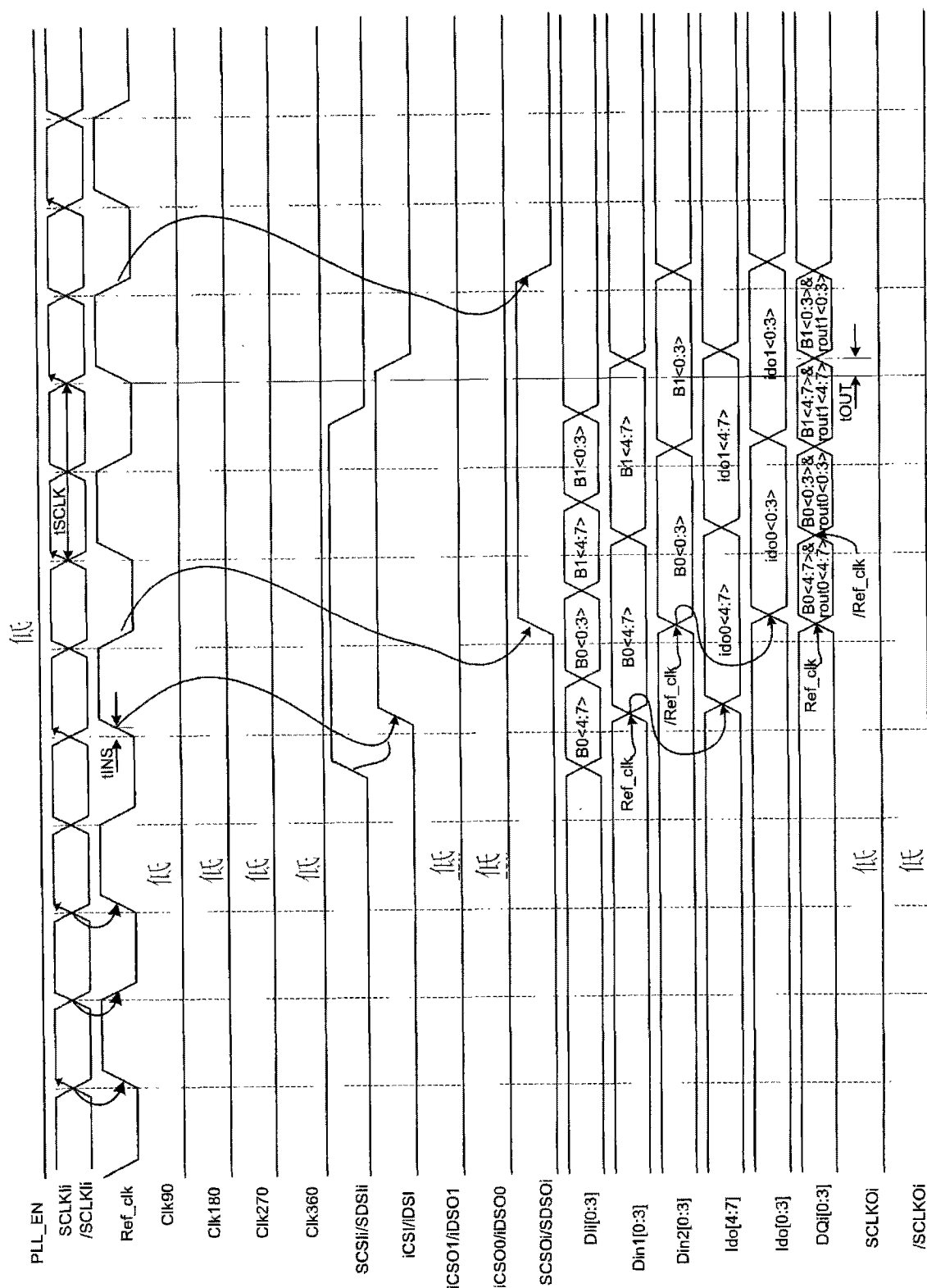


图 25

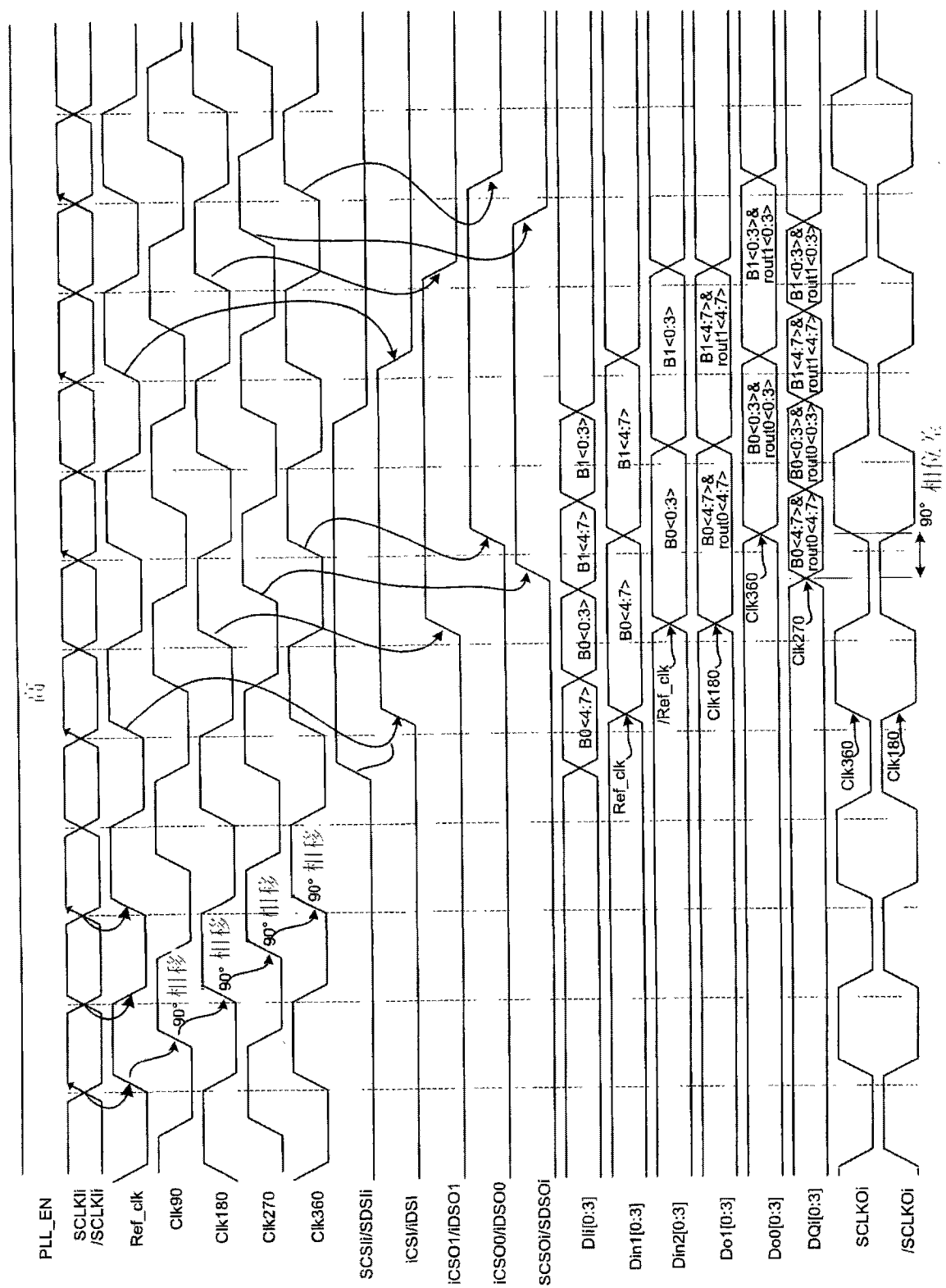


图 26

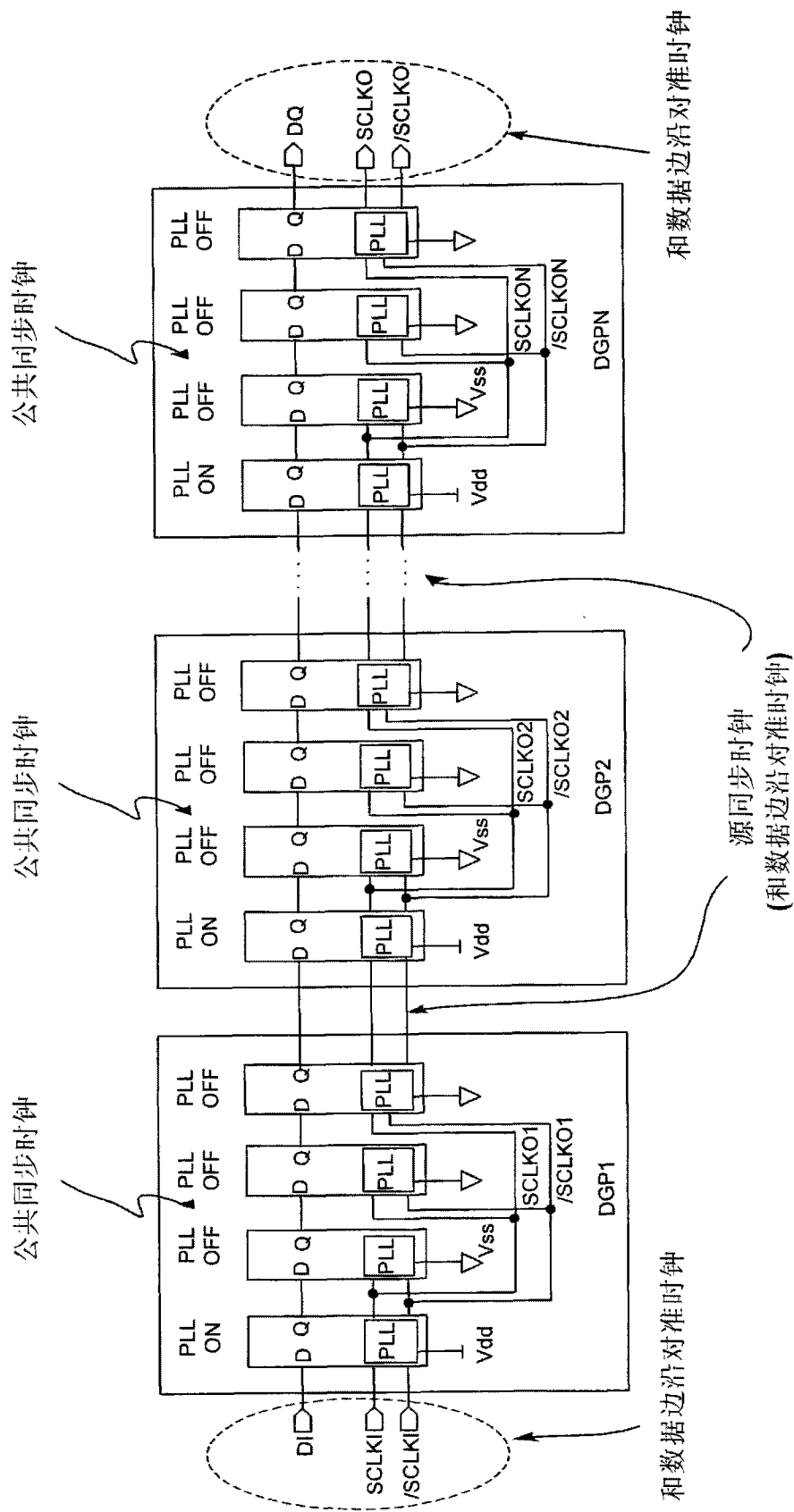


图 27

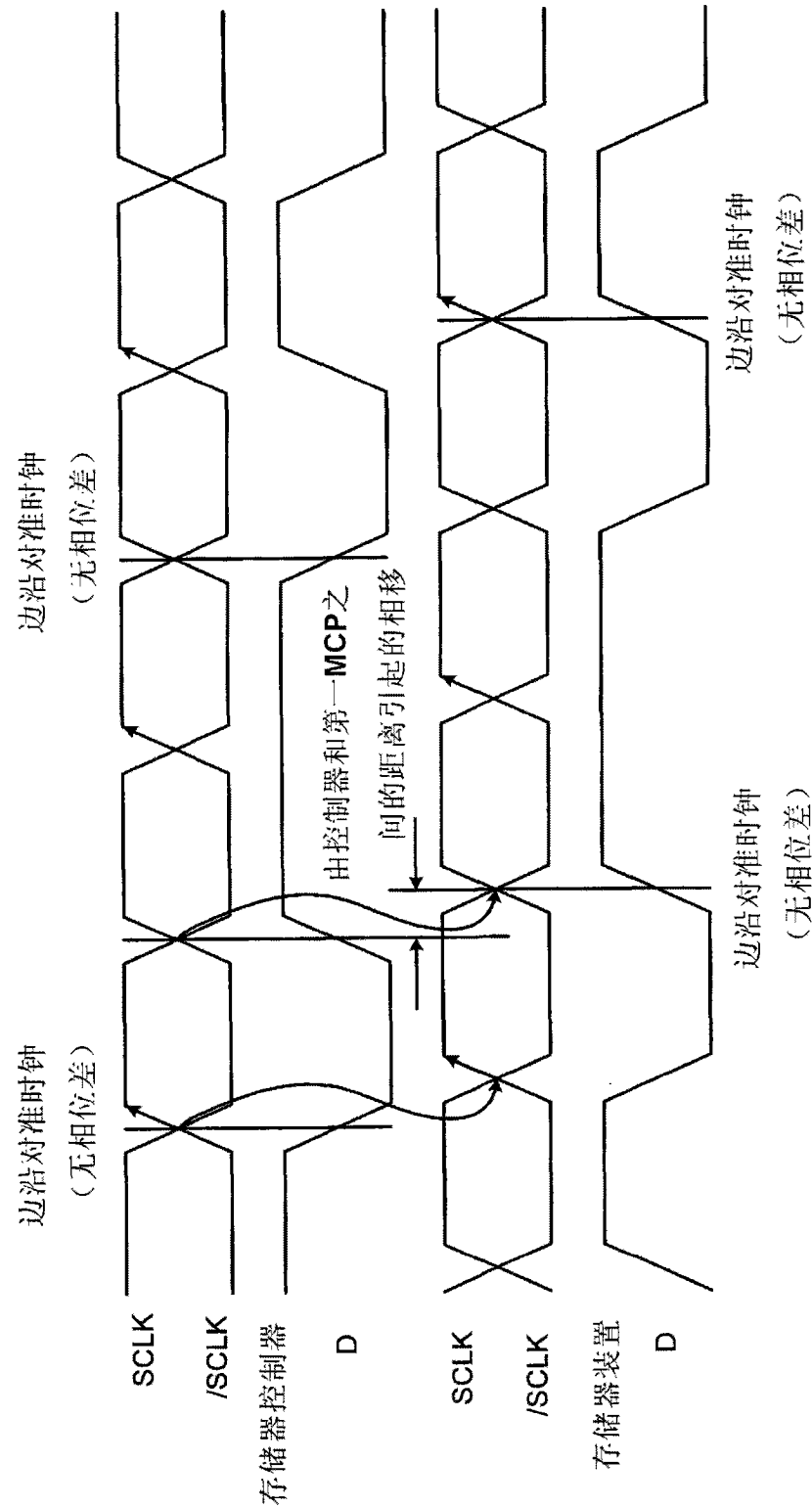


图 28

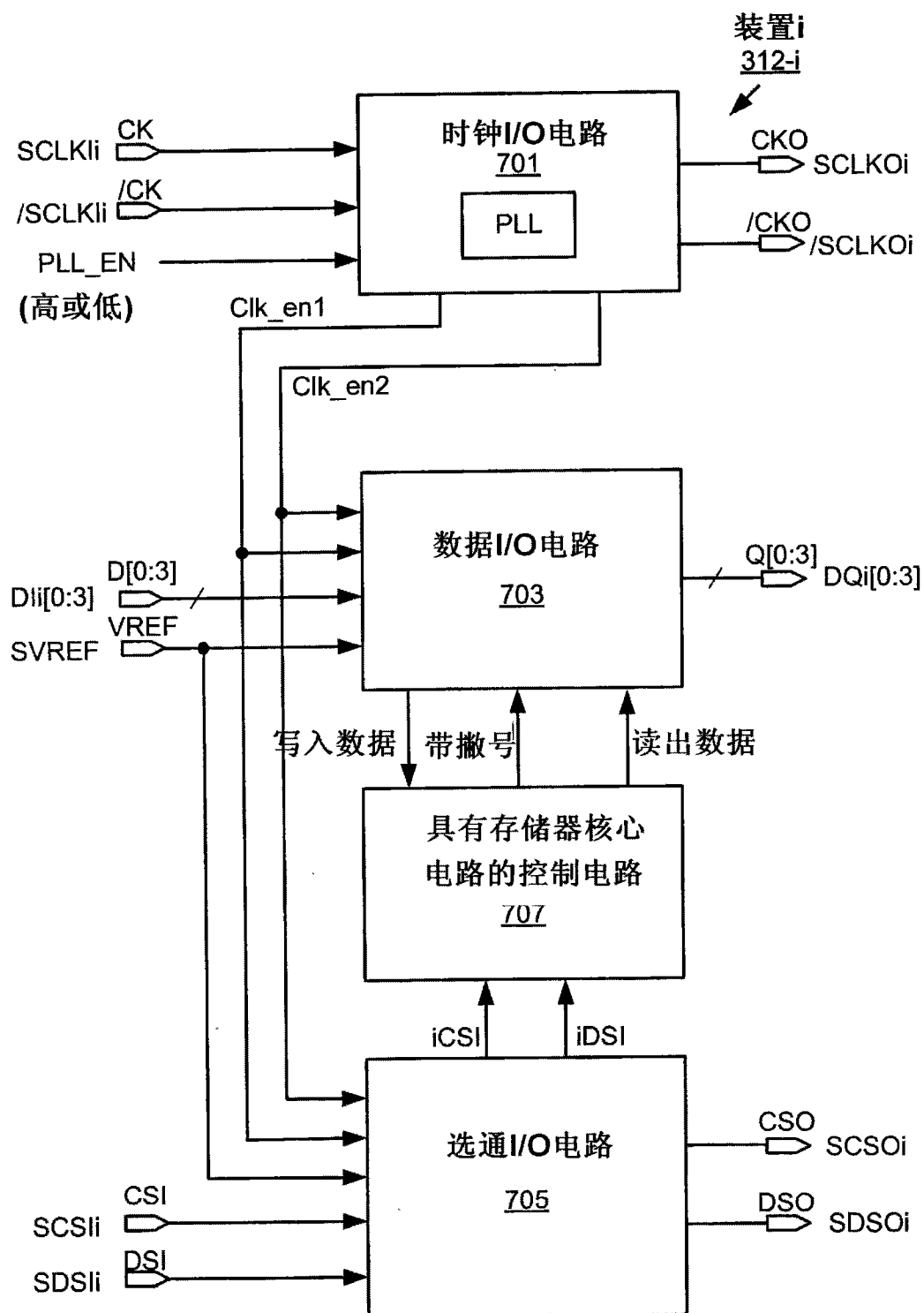


图 29A

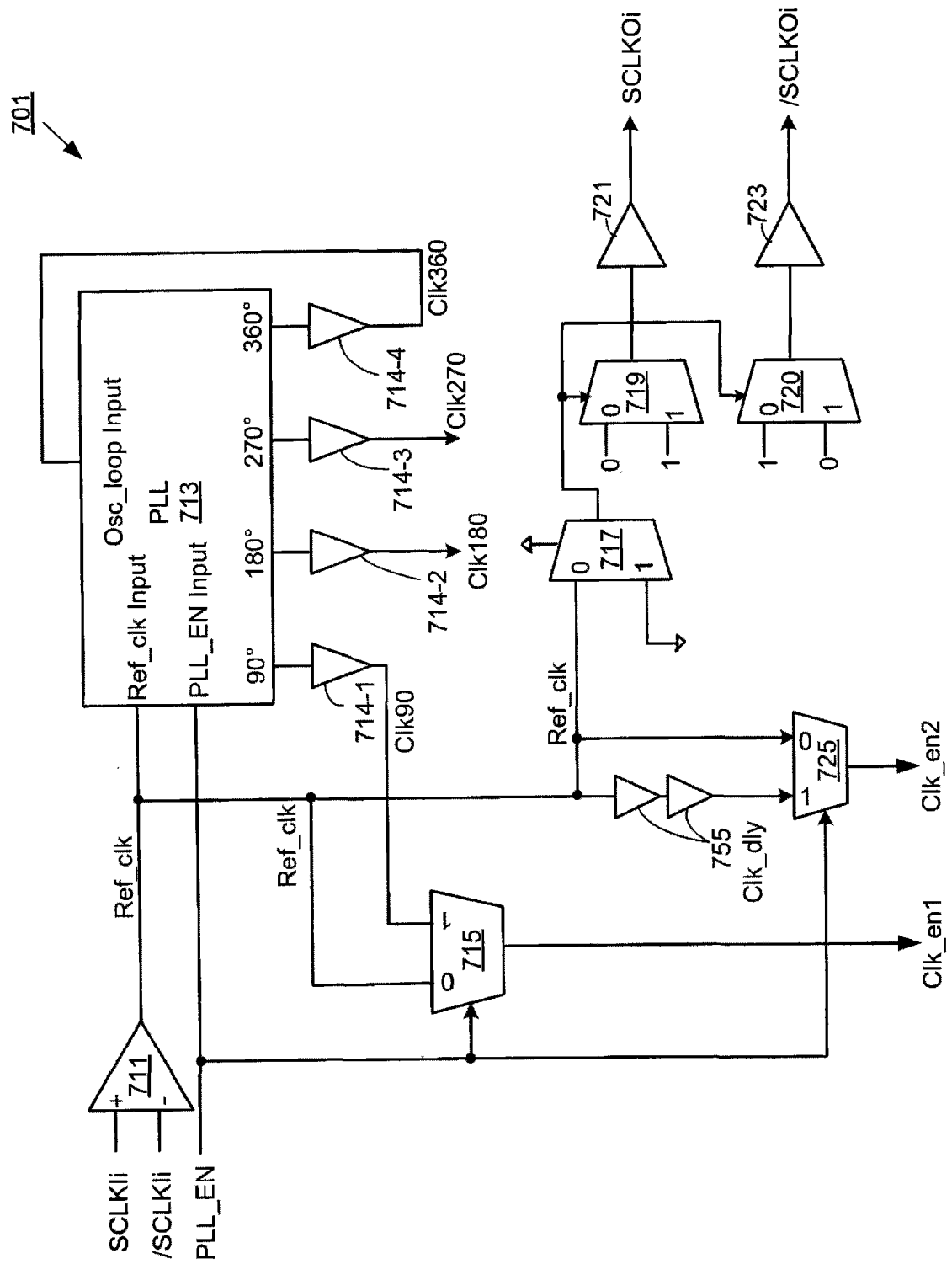


图 29B

703

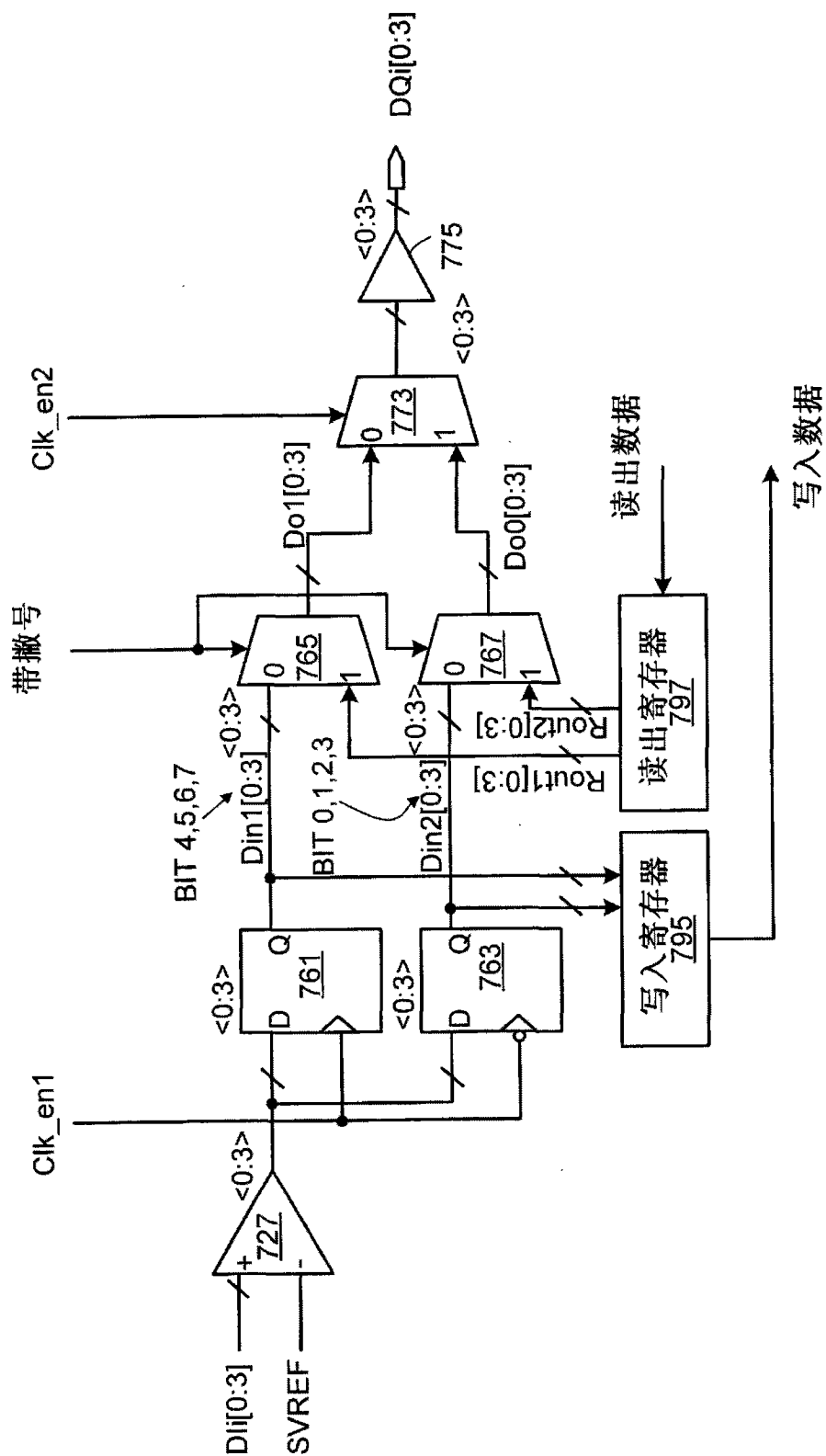


图 29C

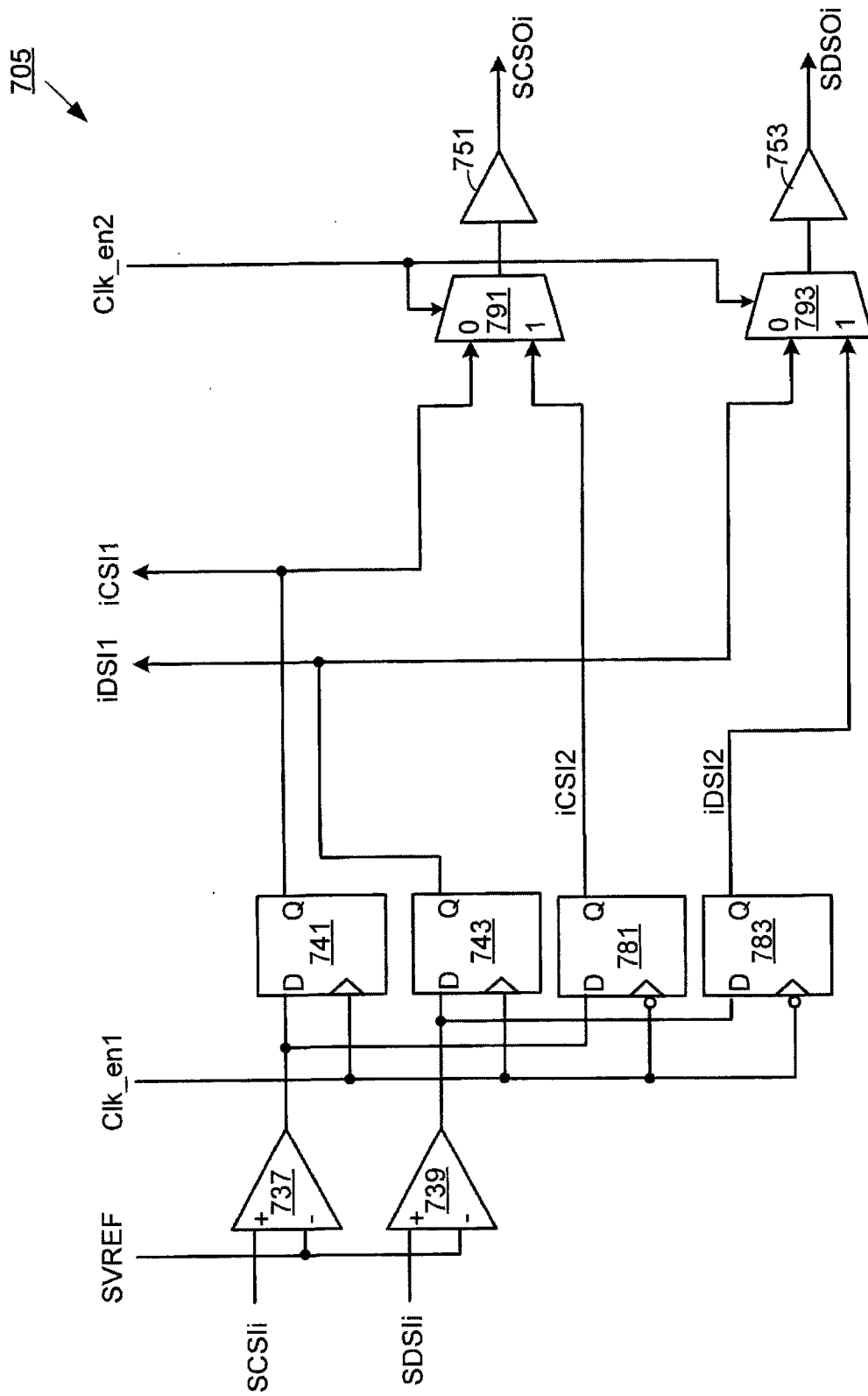


图 29D

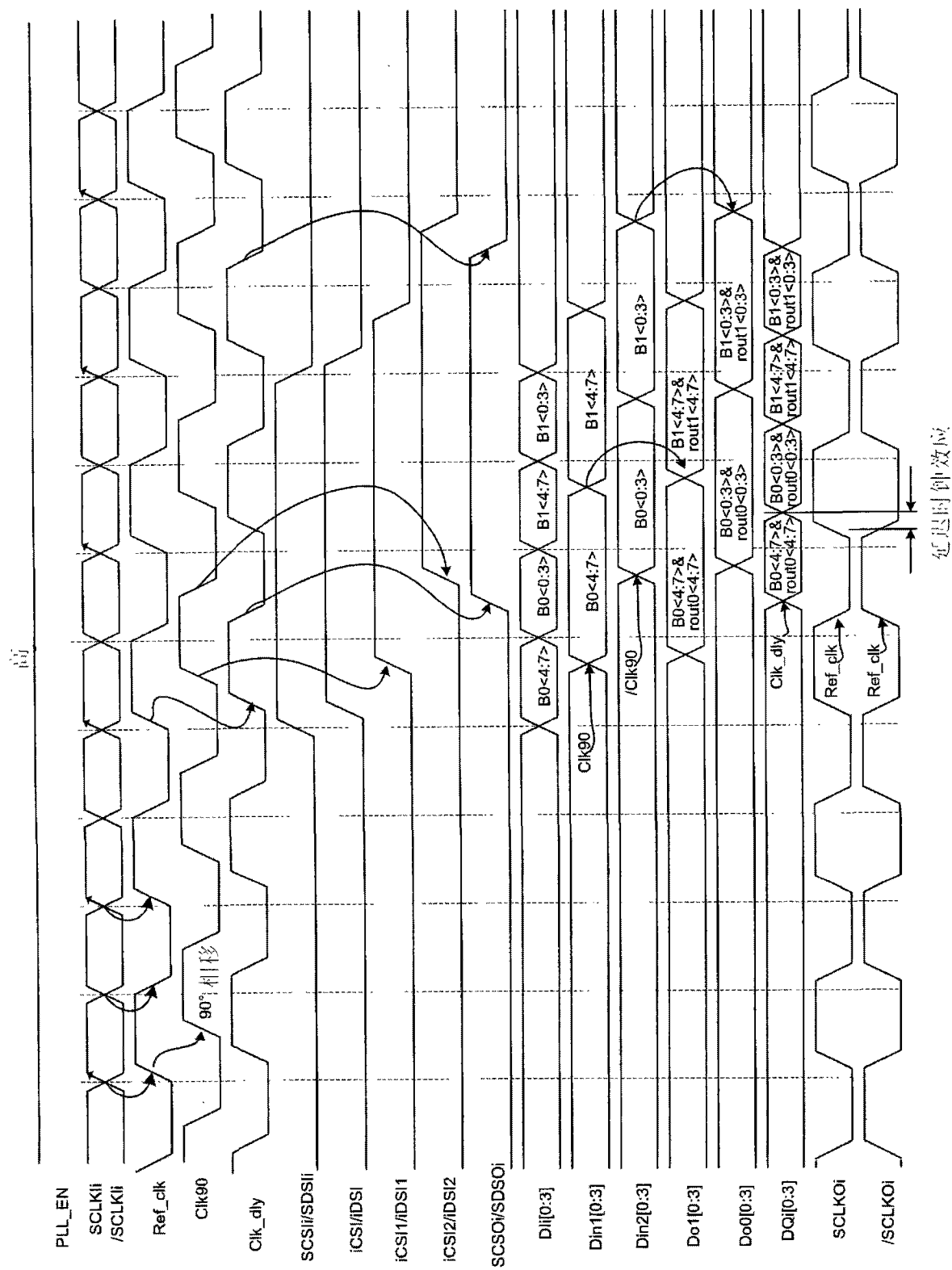


图 30

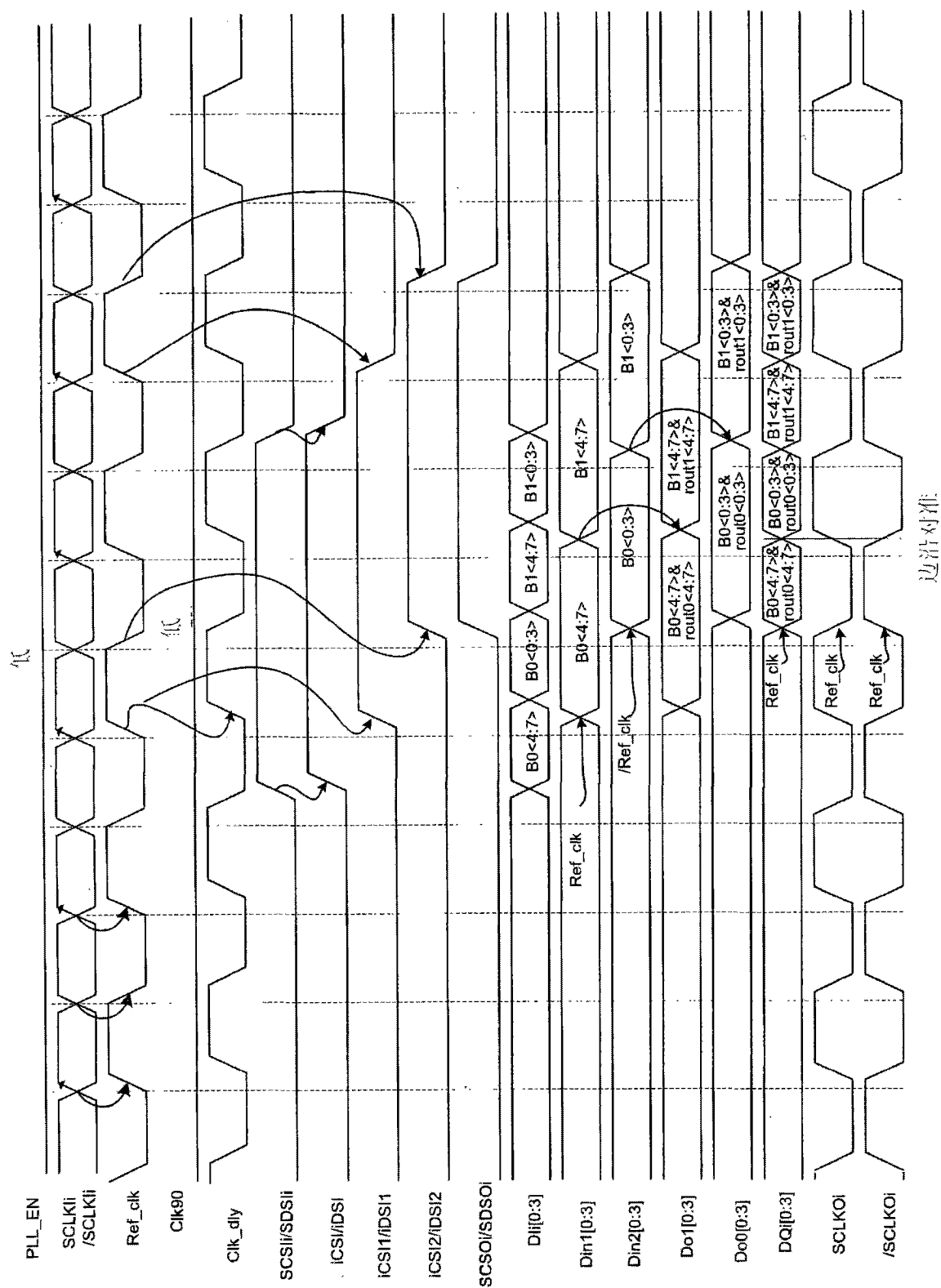


图 31

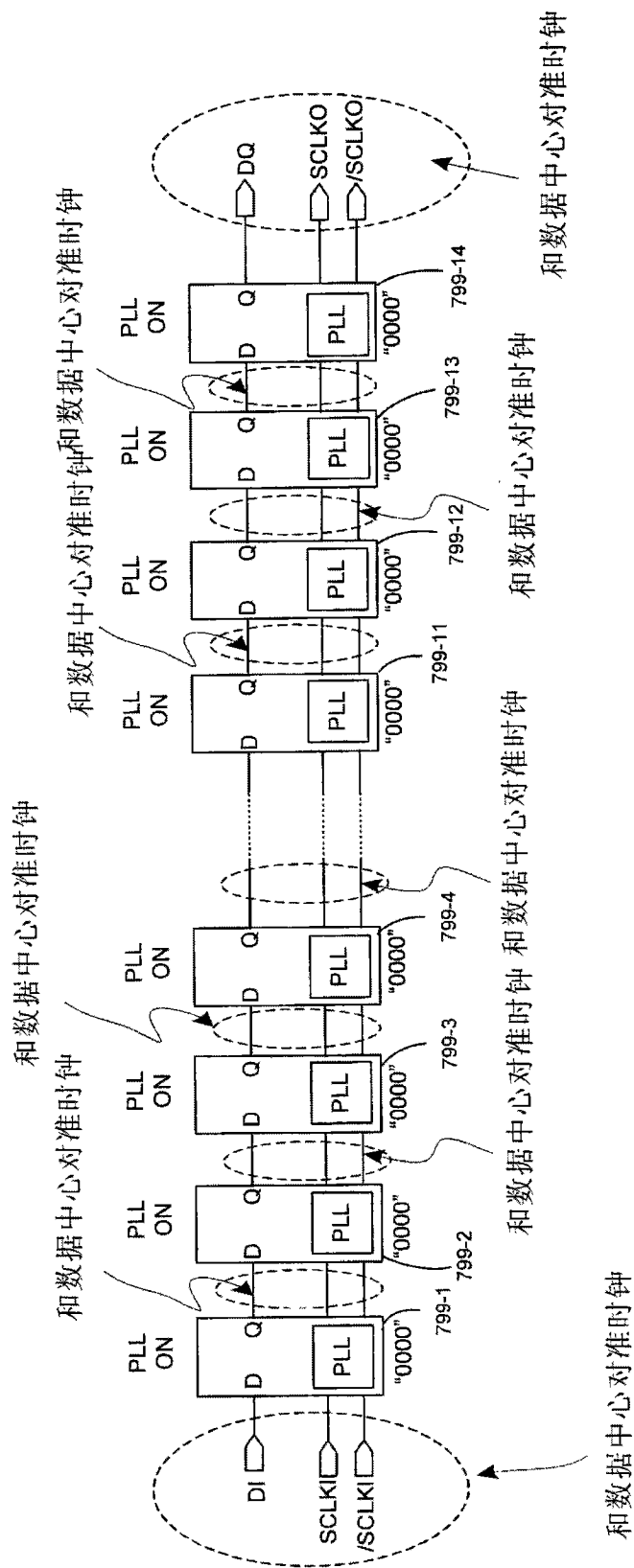


图 32

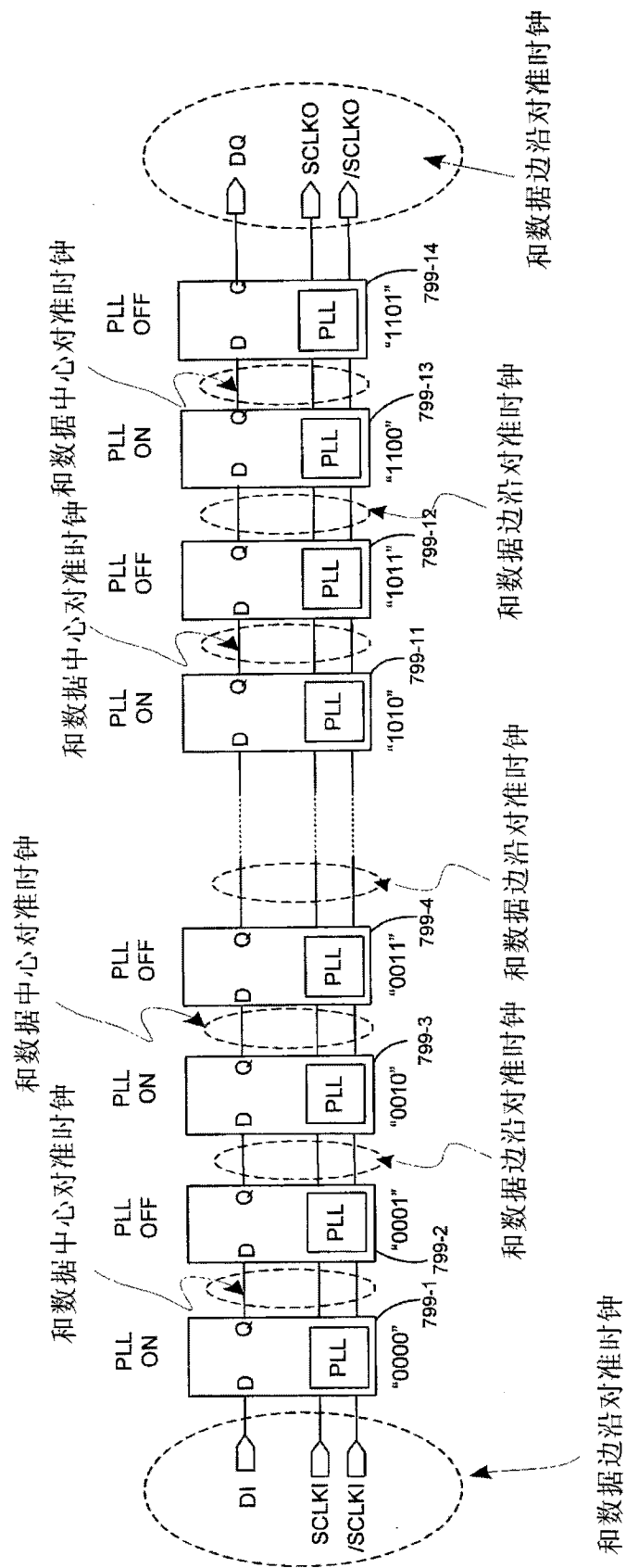


图 33A

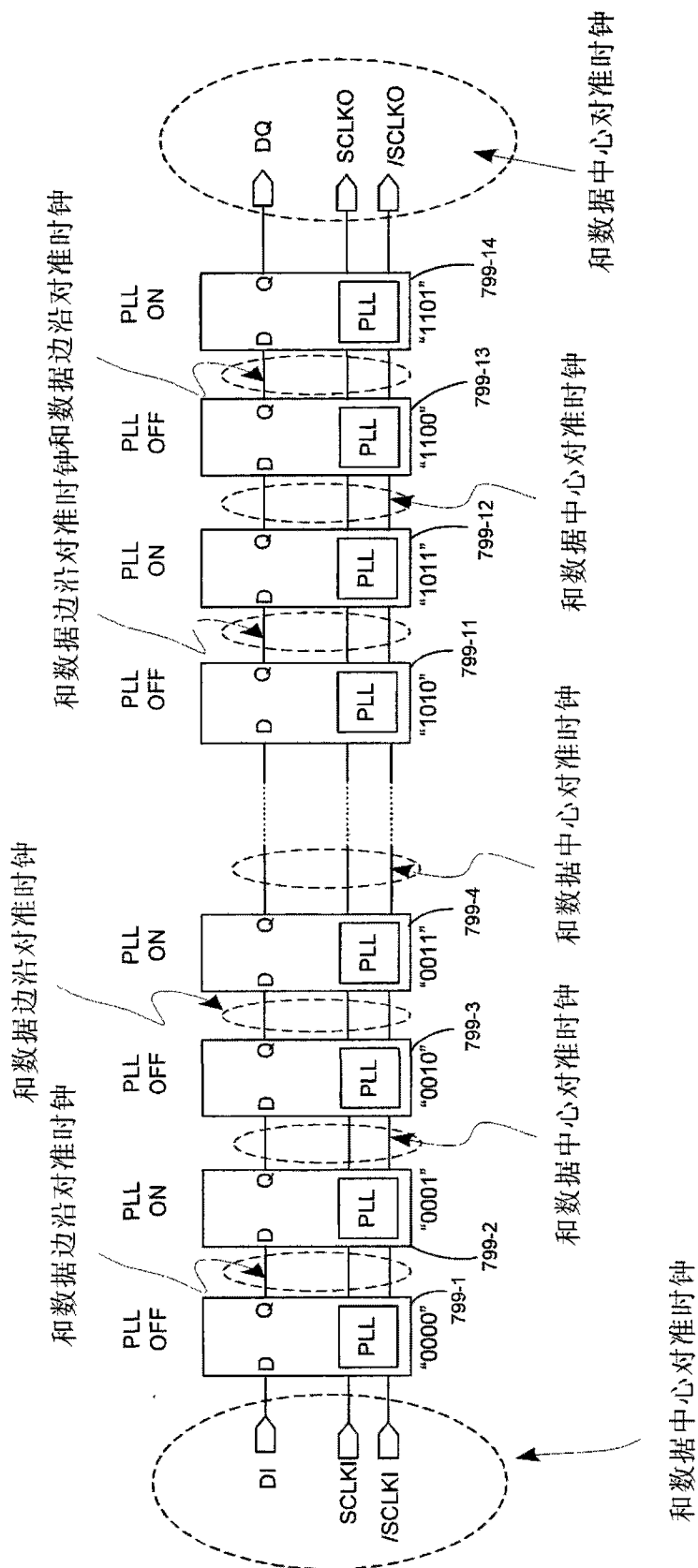


图 33B

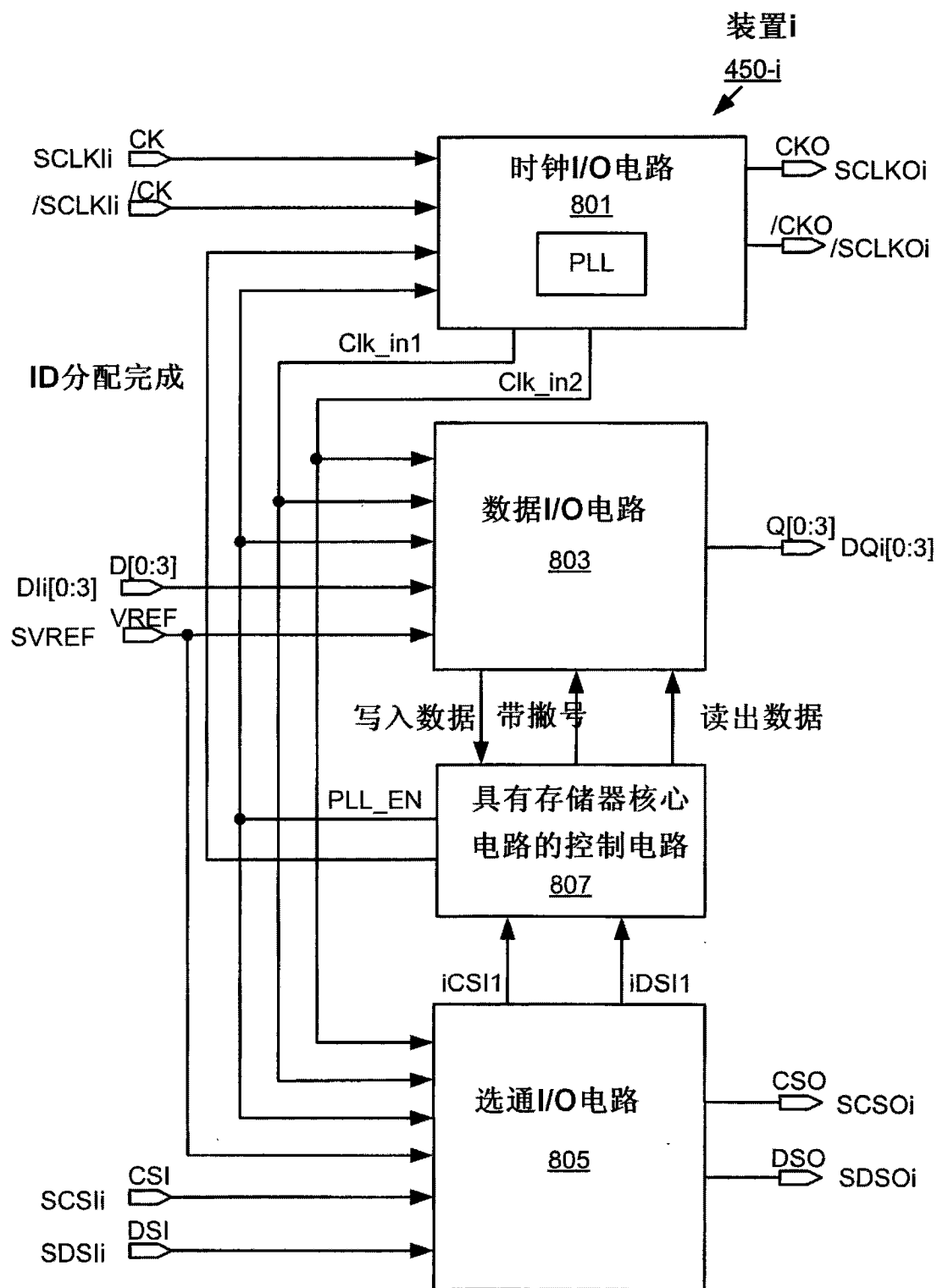


图 34A

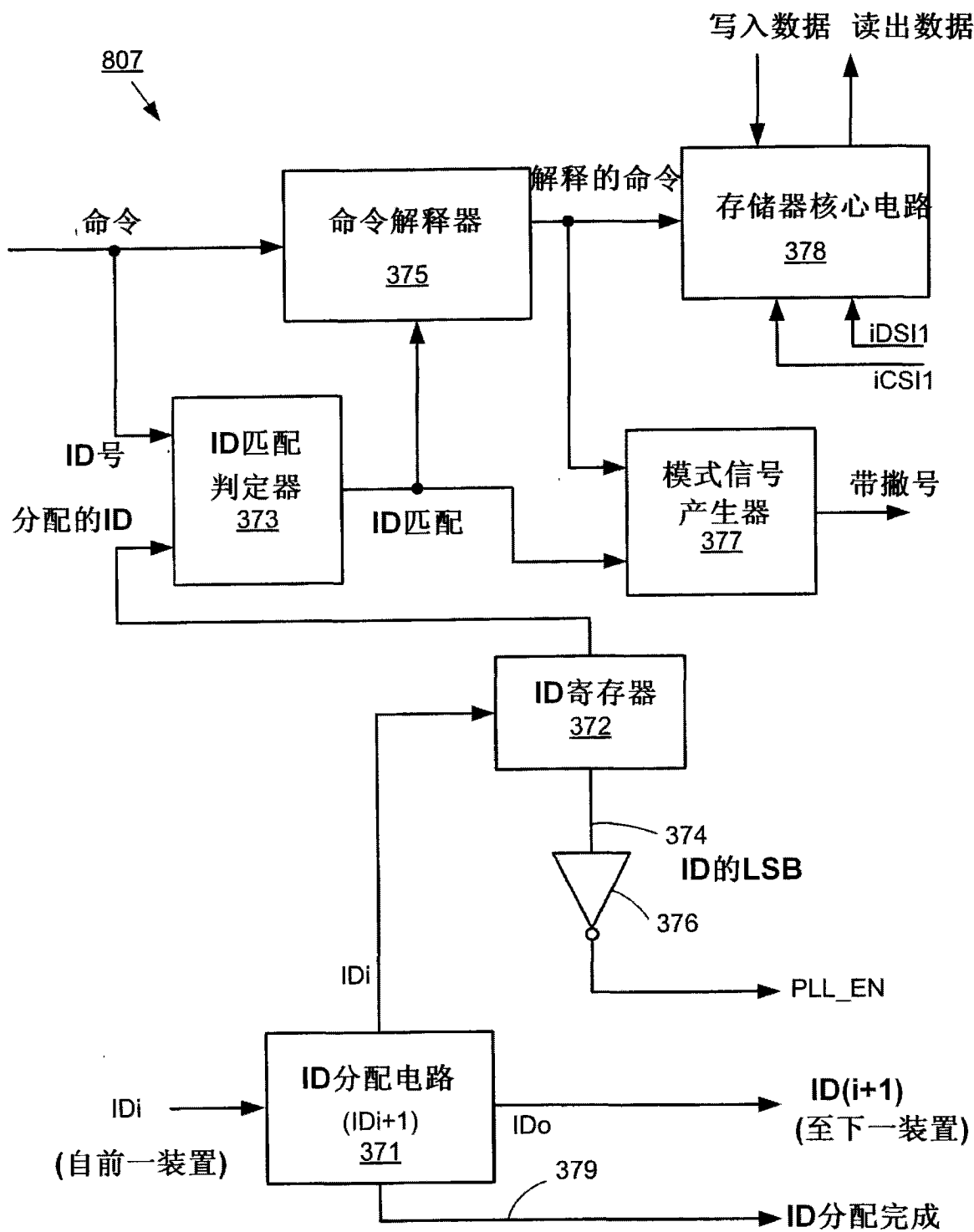


图 34B

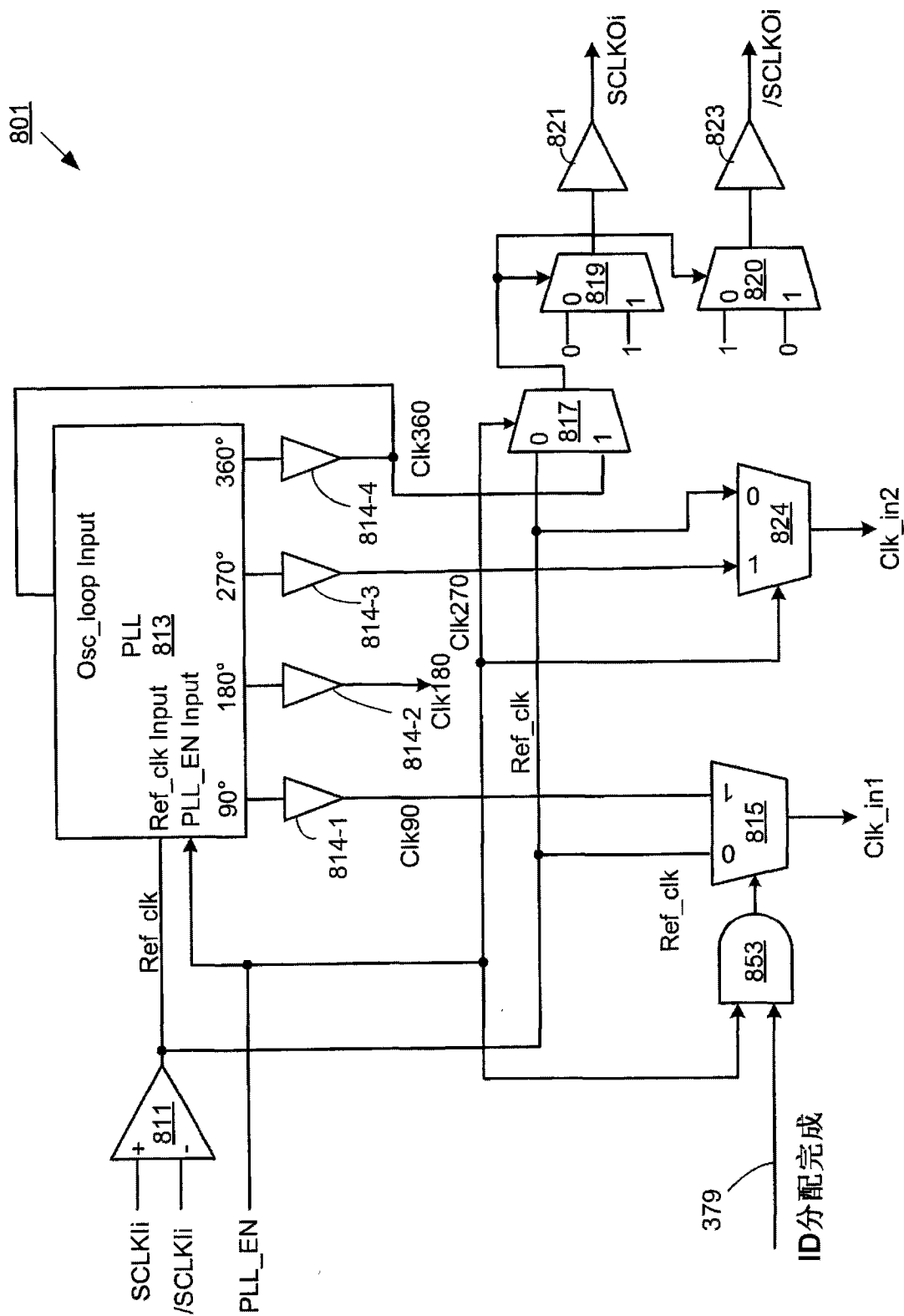


图 34C

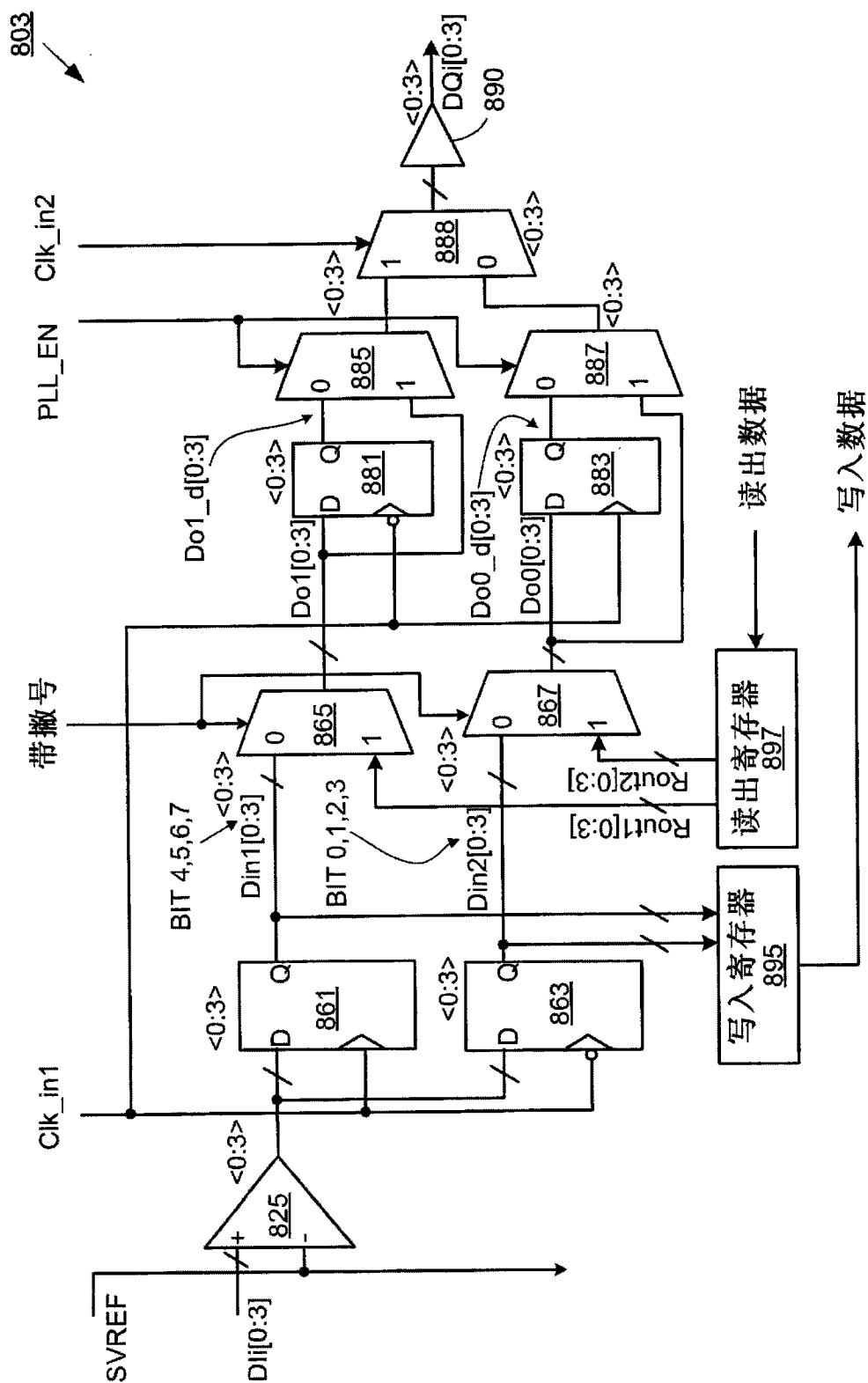


图 34D

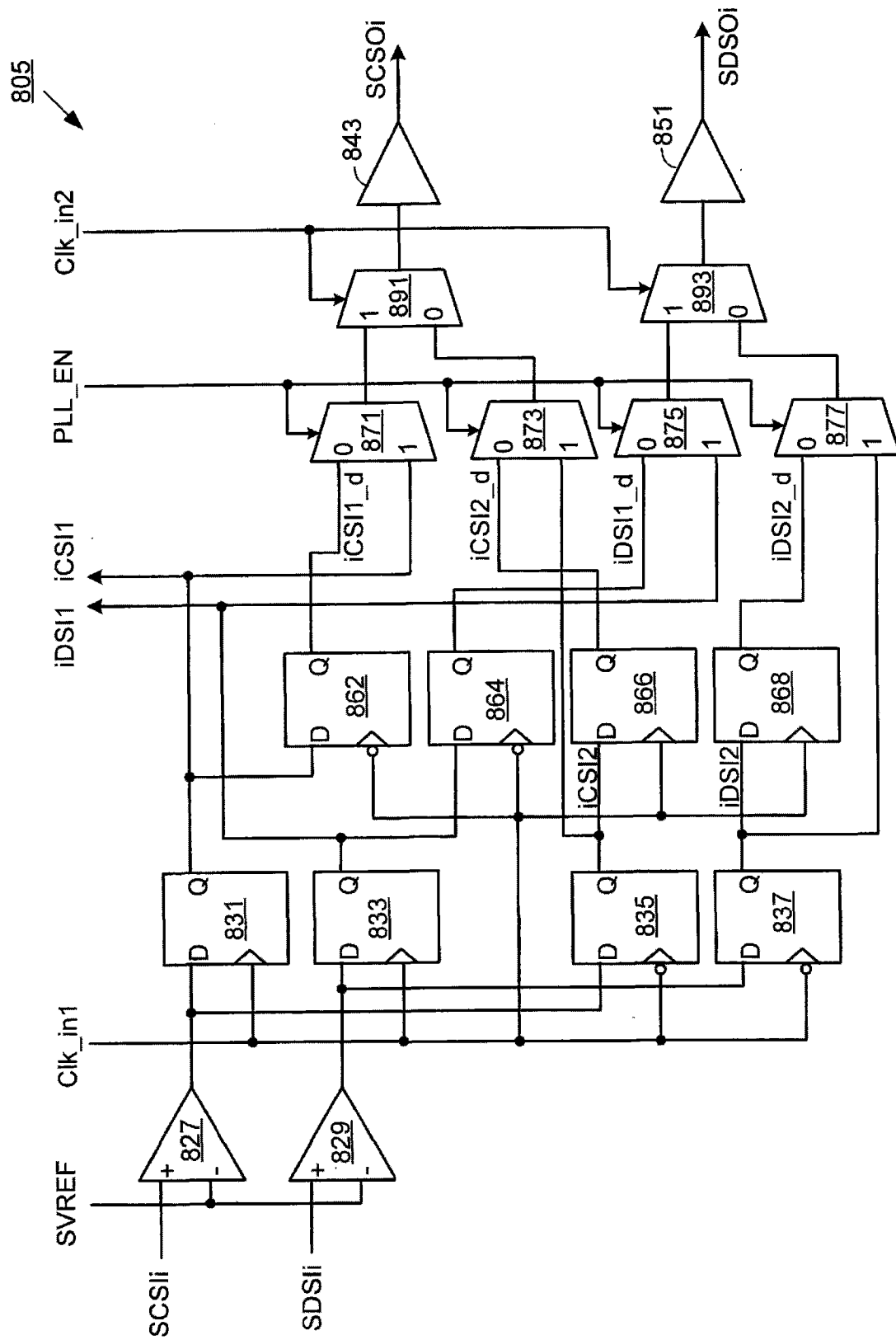


图 34E

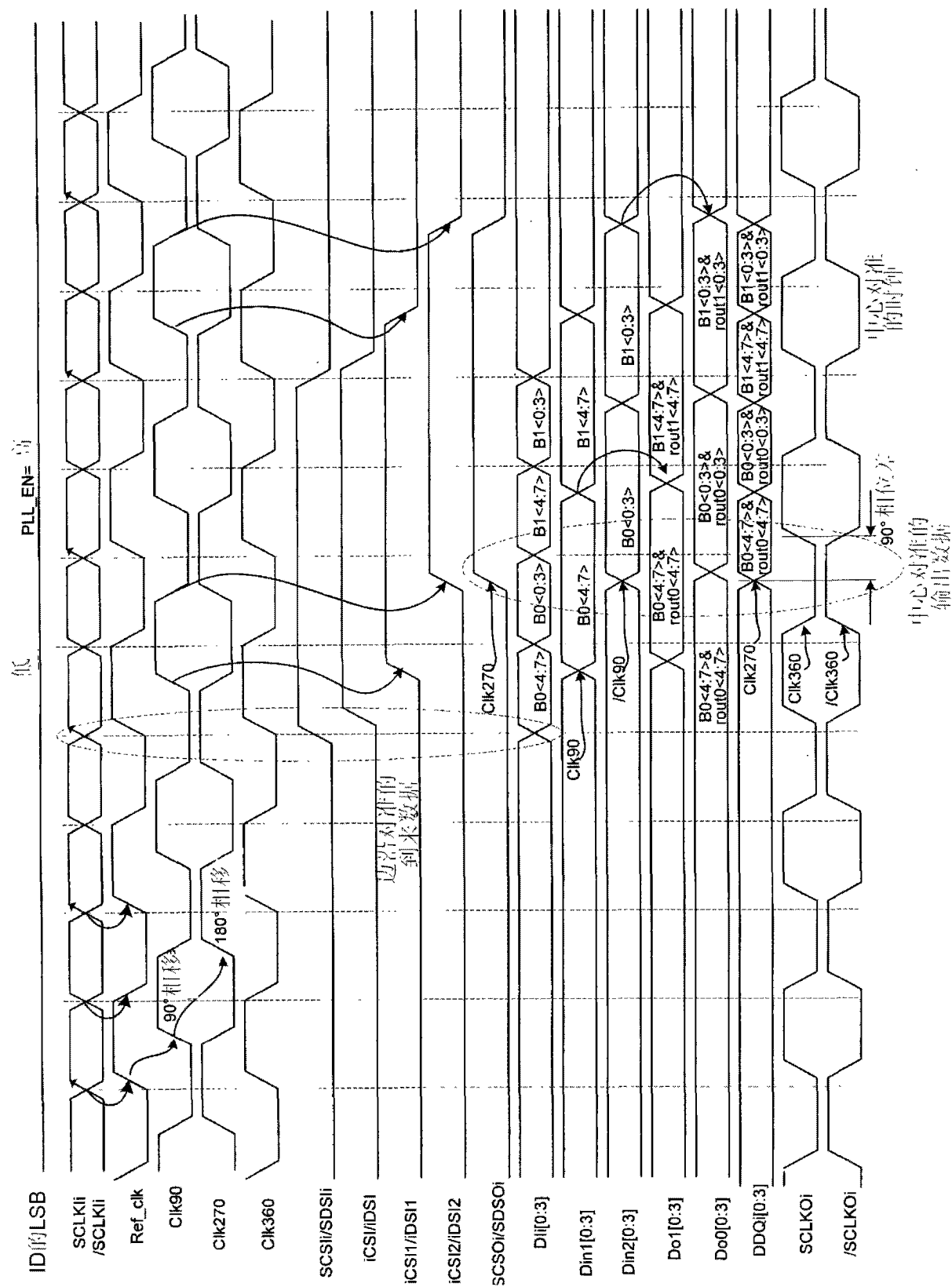


图 35A

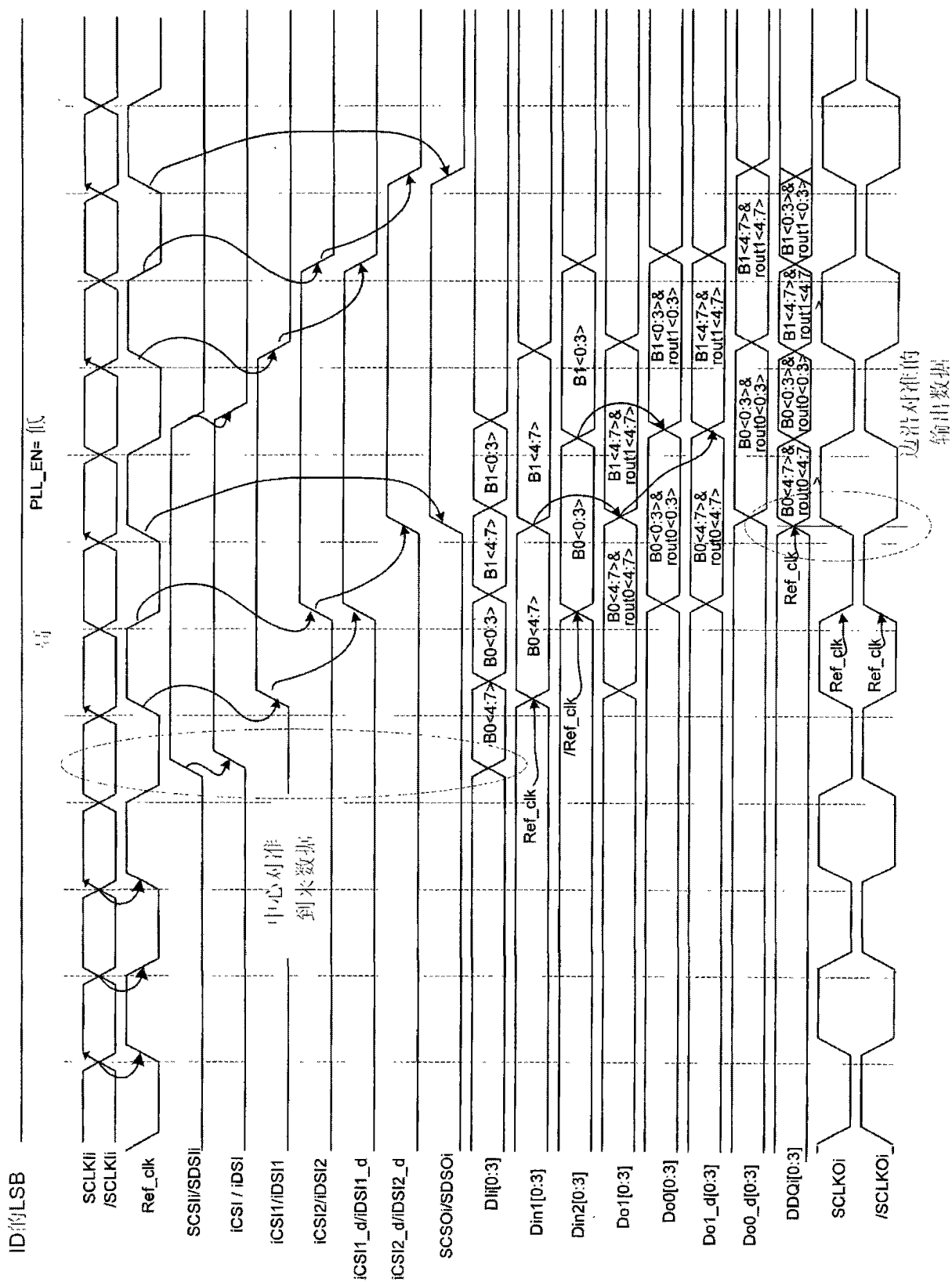


图 35B

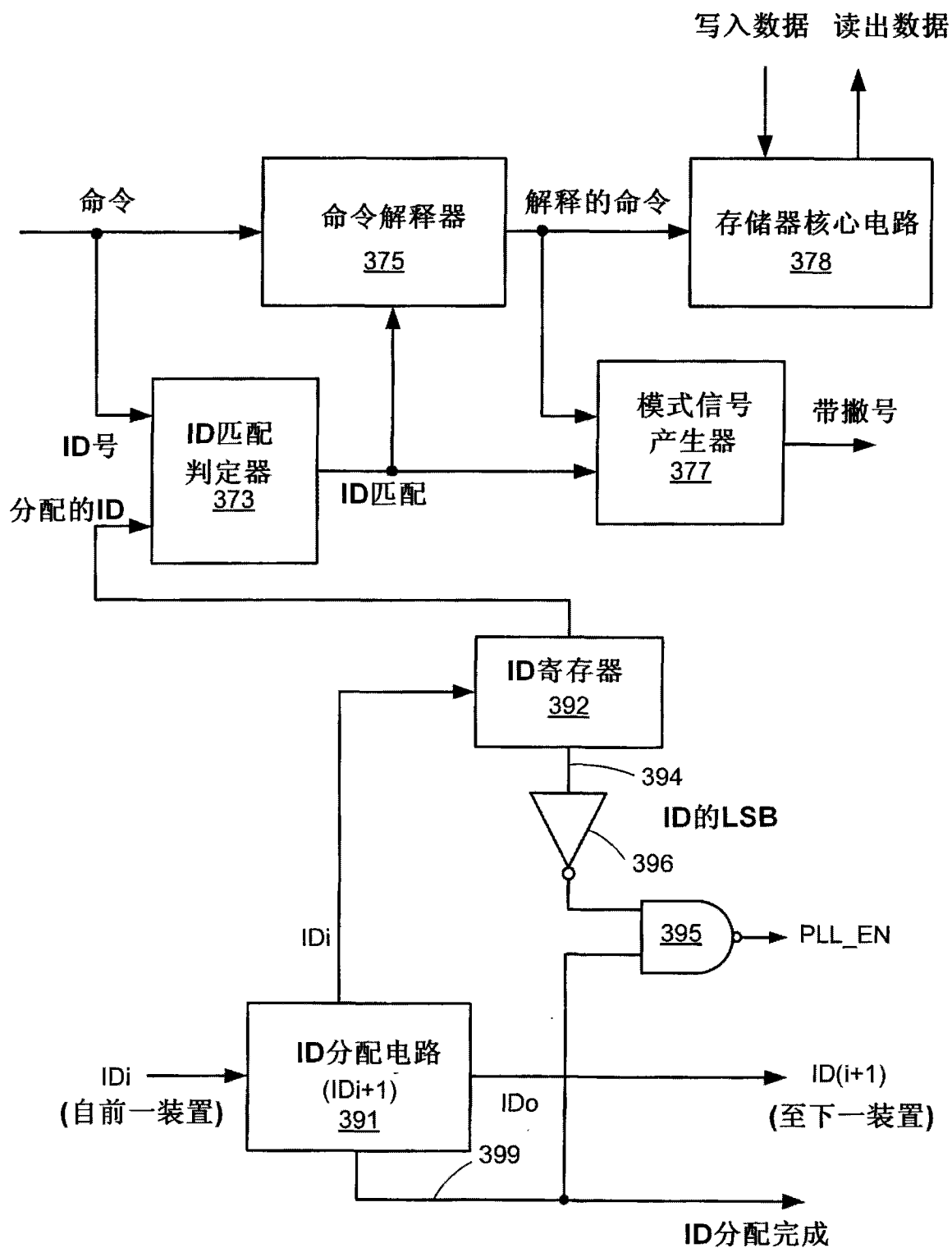


图 36A

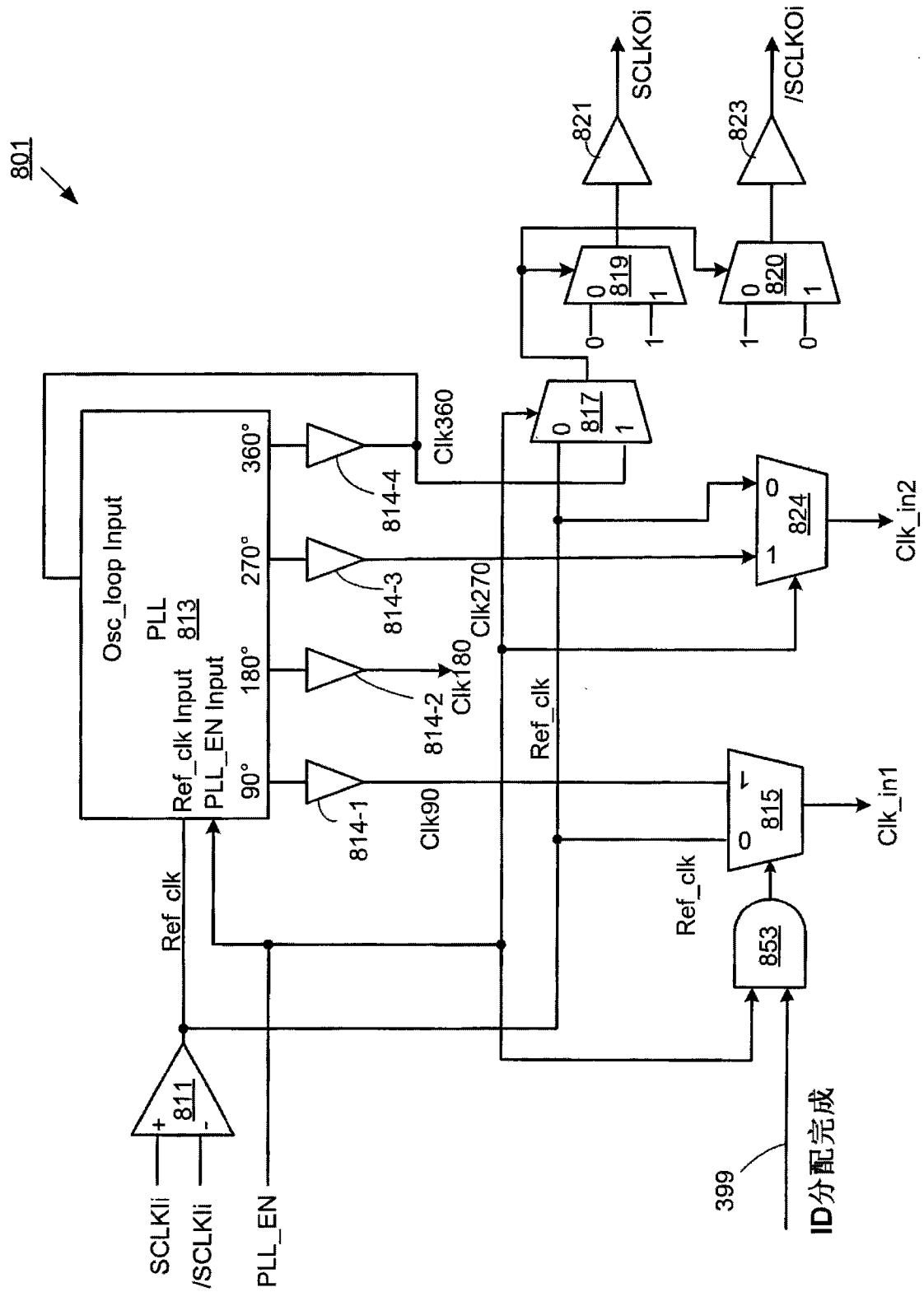


图 36B

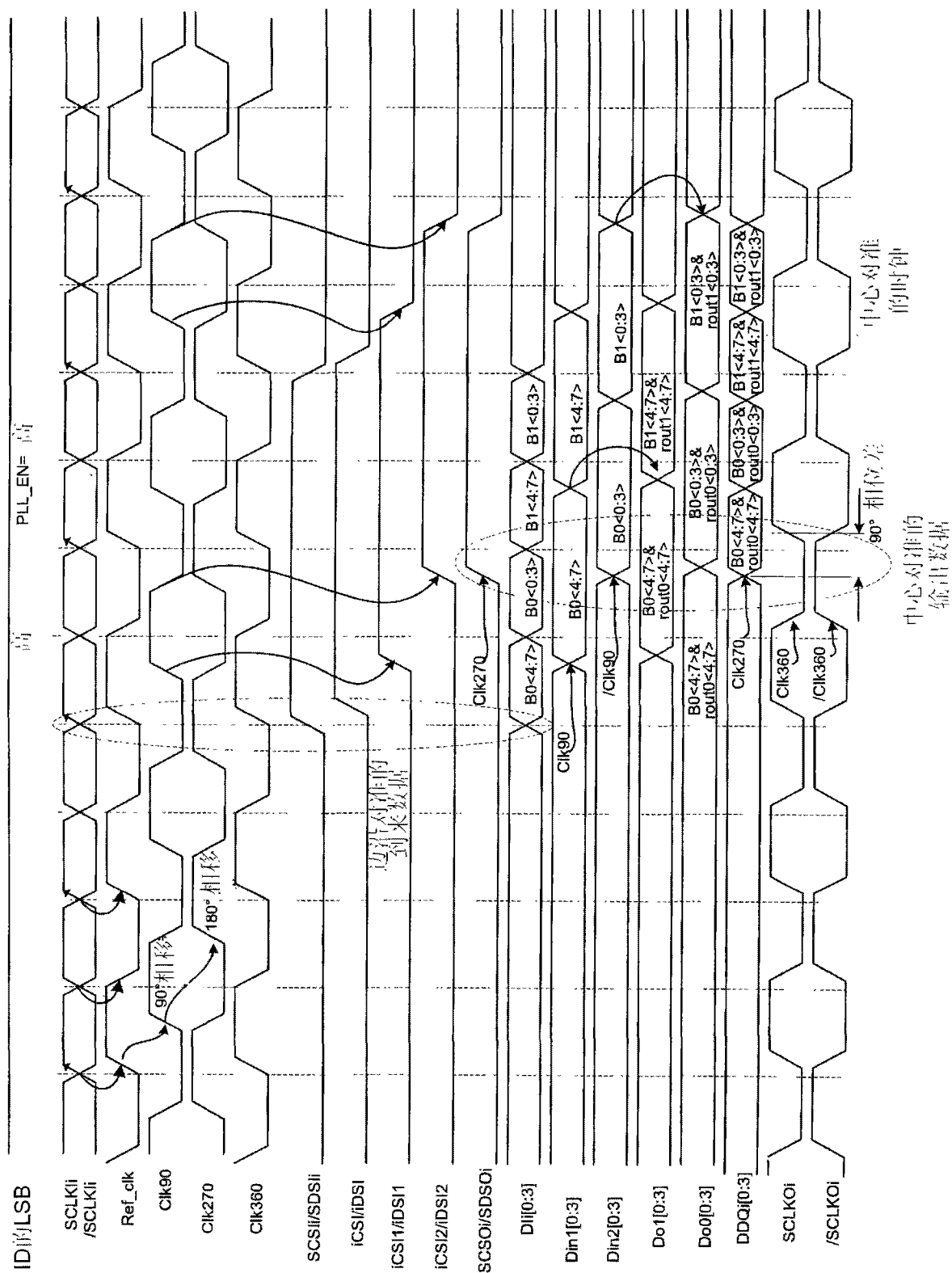


图 37A

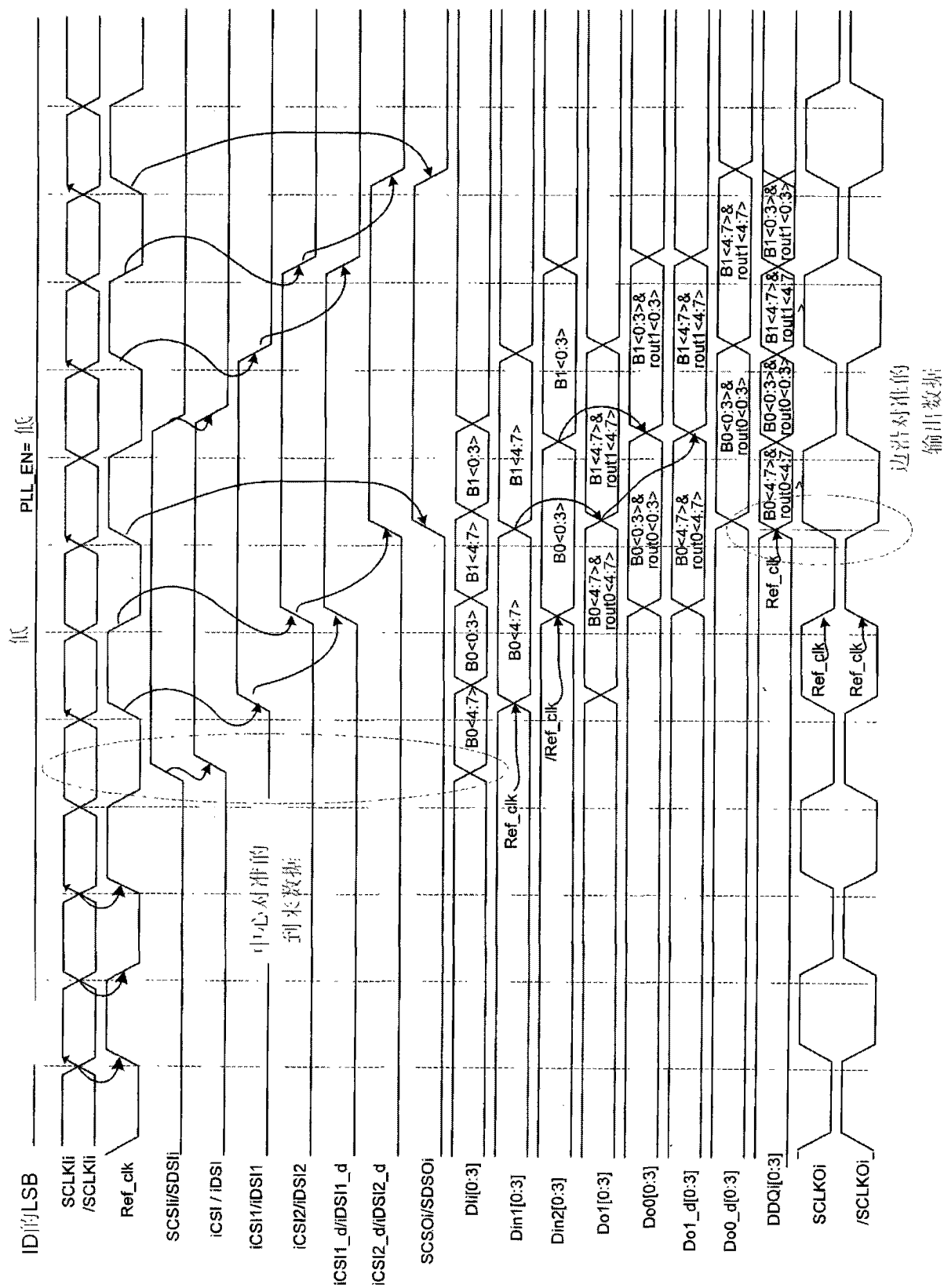


图 37B

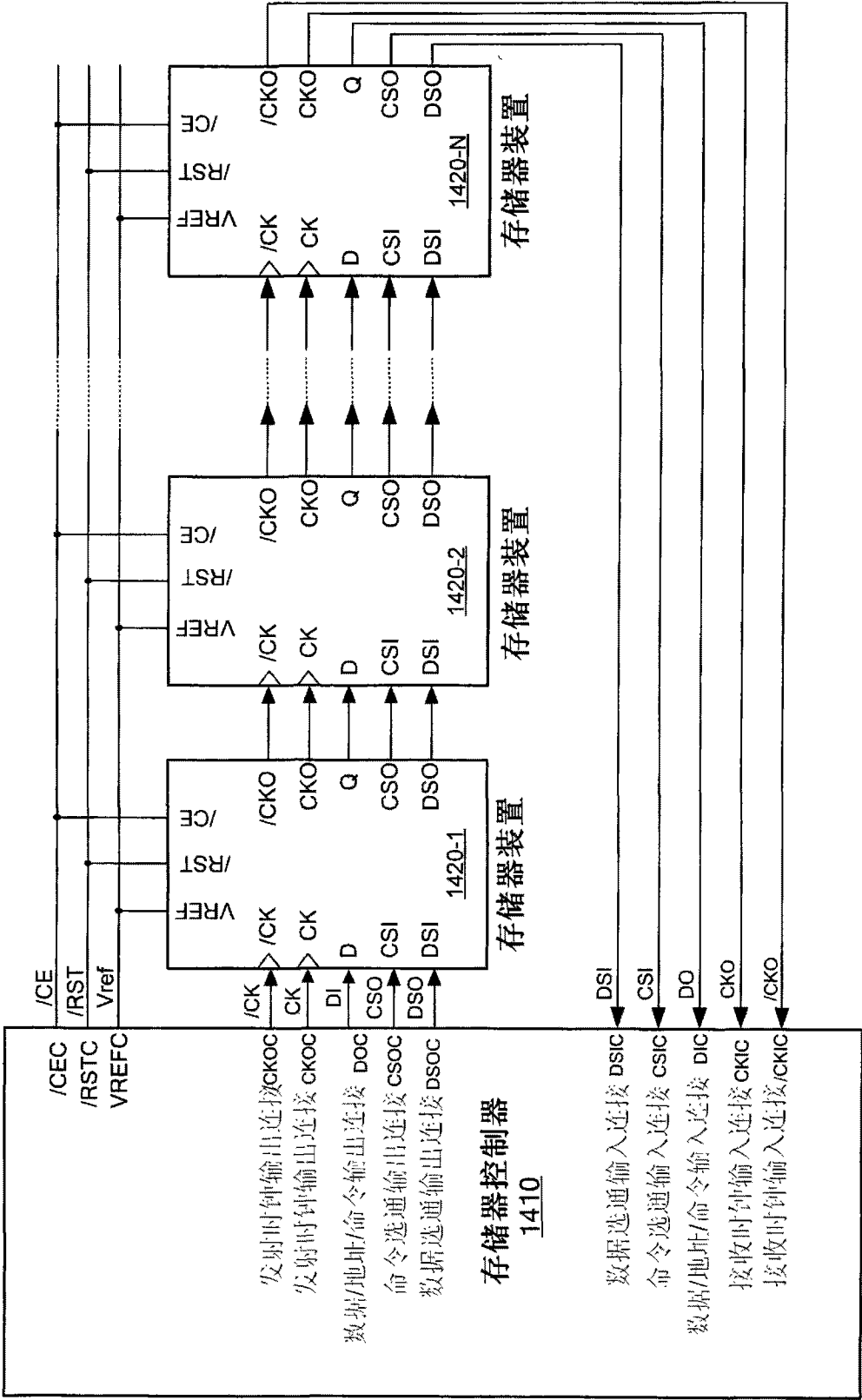


图 38

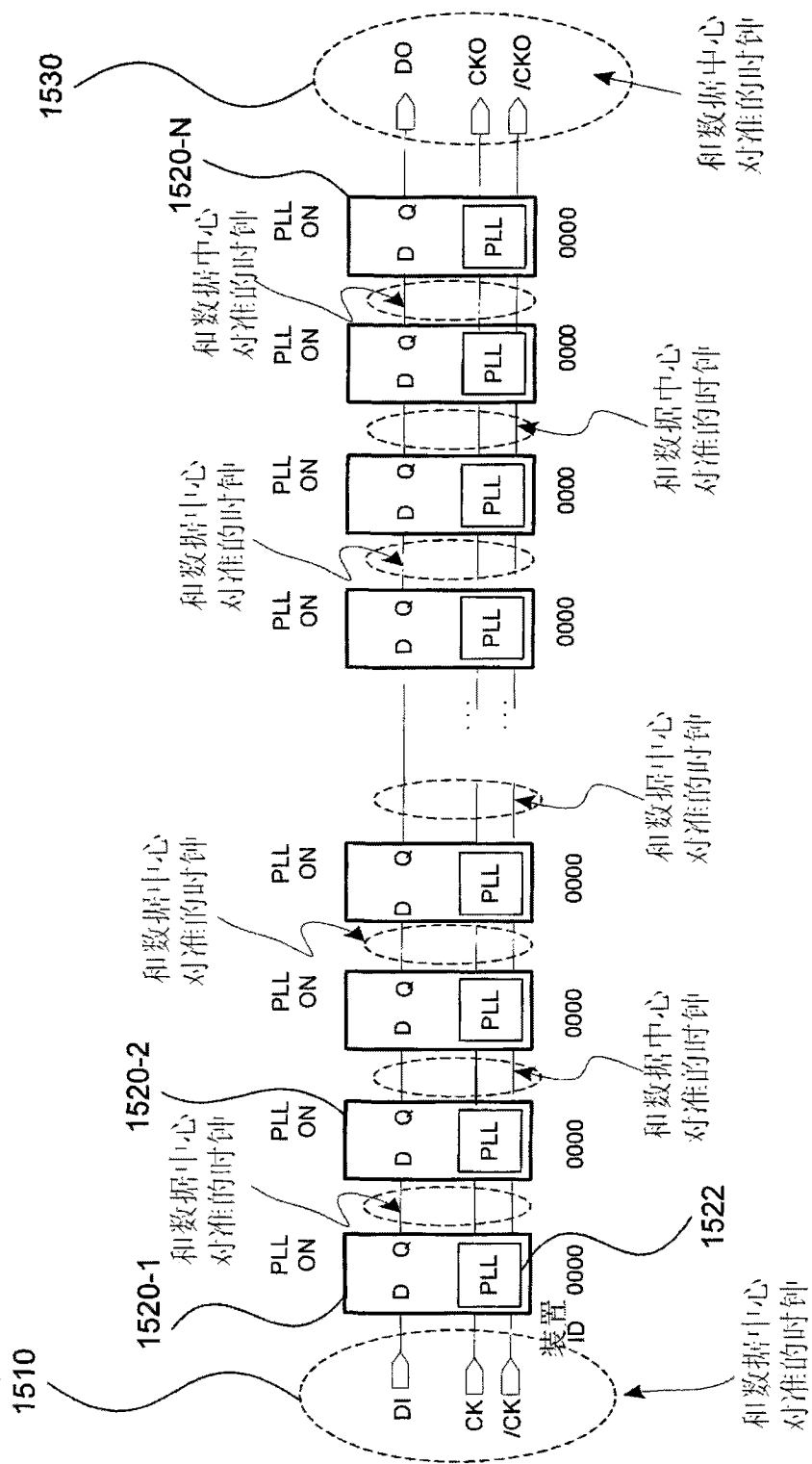


图 39

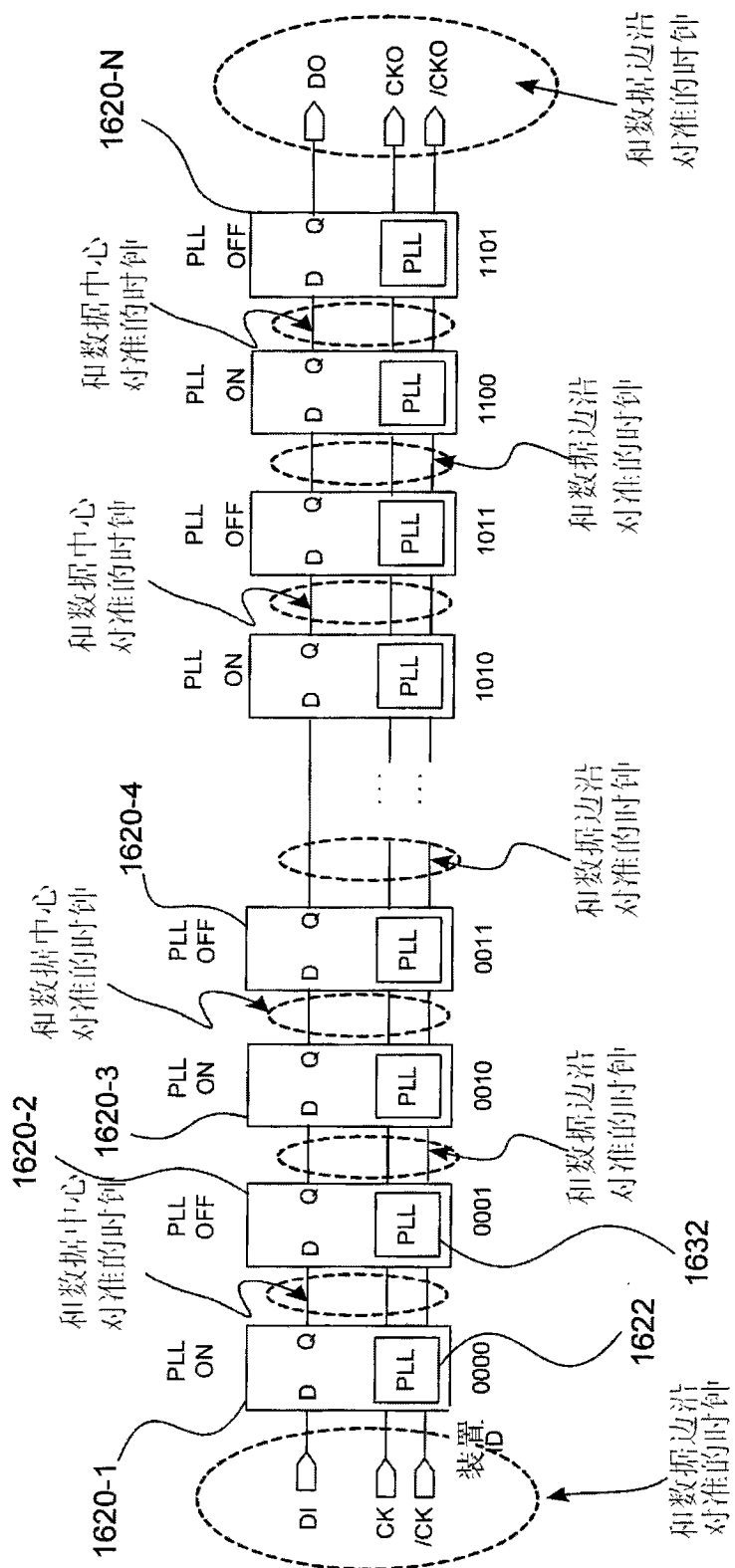


图 40A

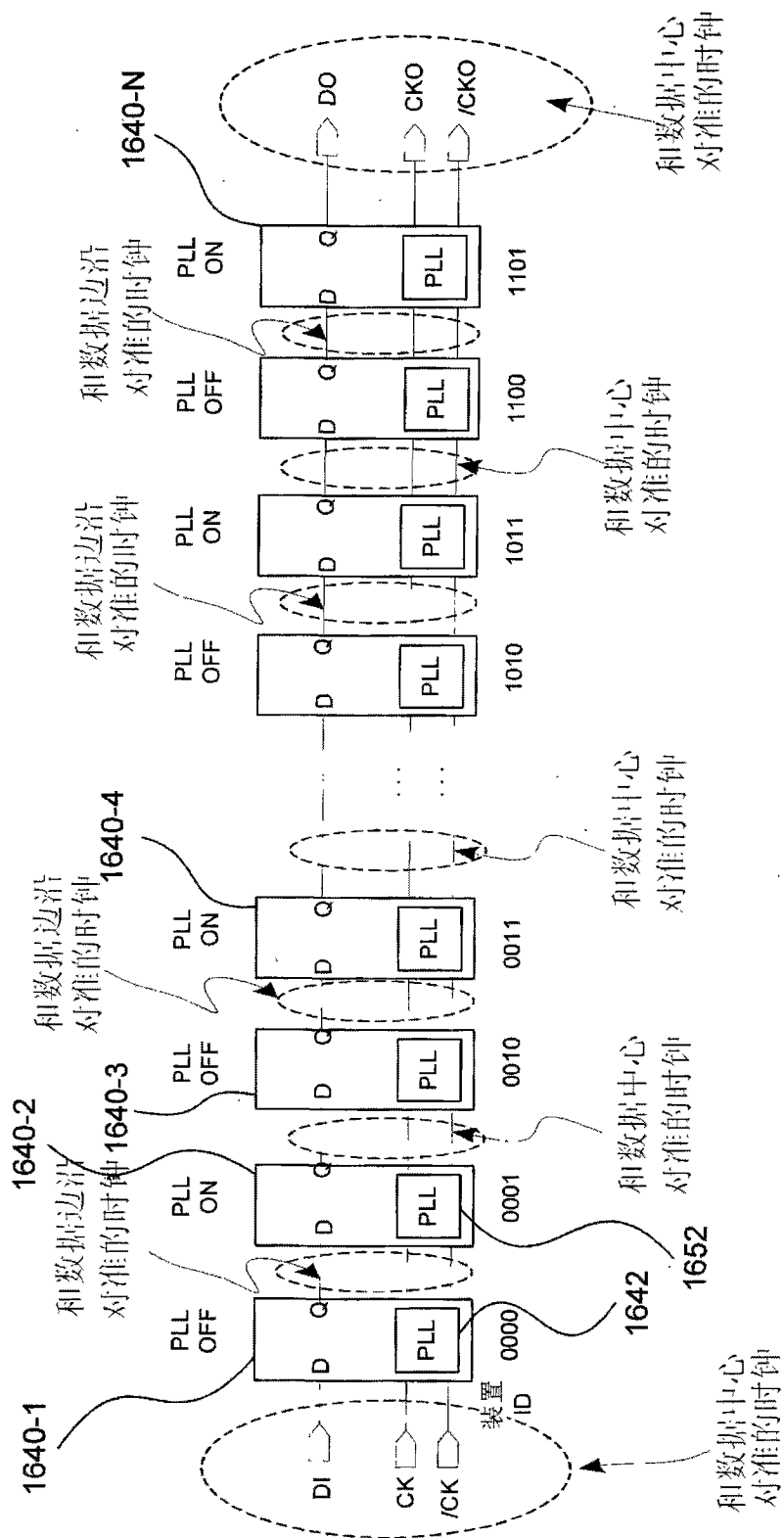


图 40B

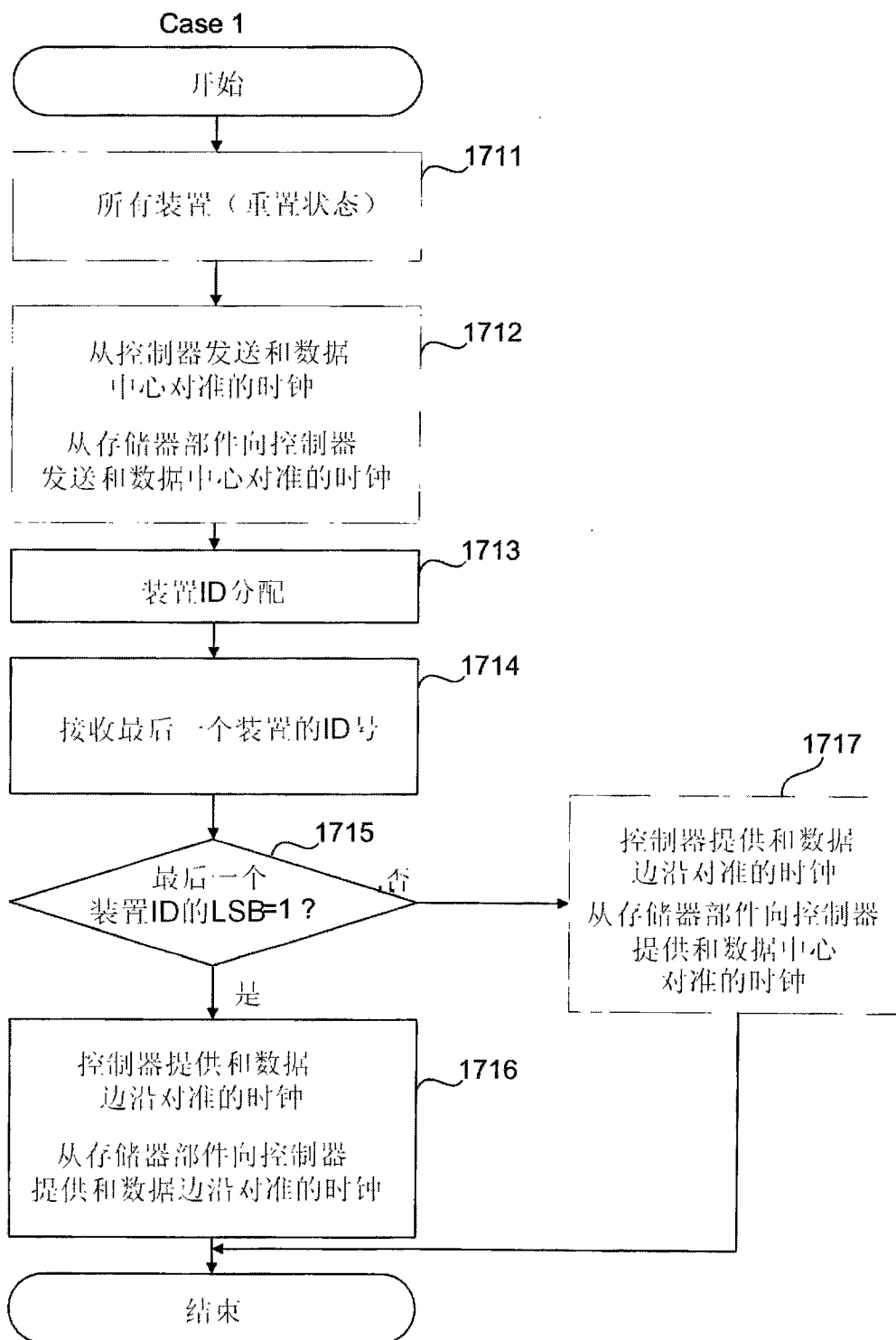


图 41A

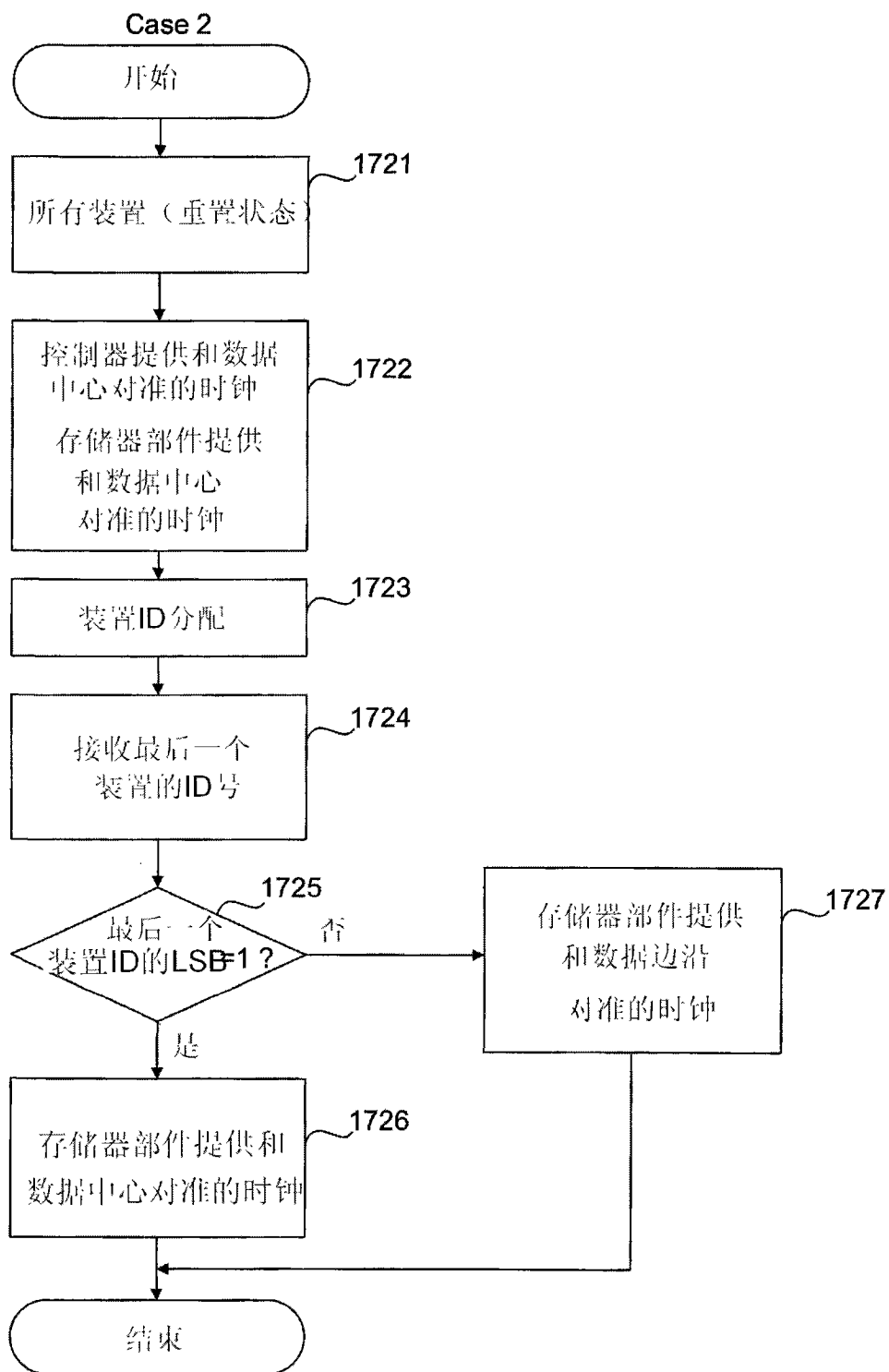


图 41B

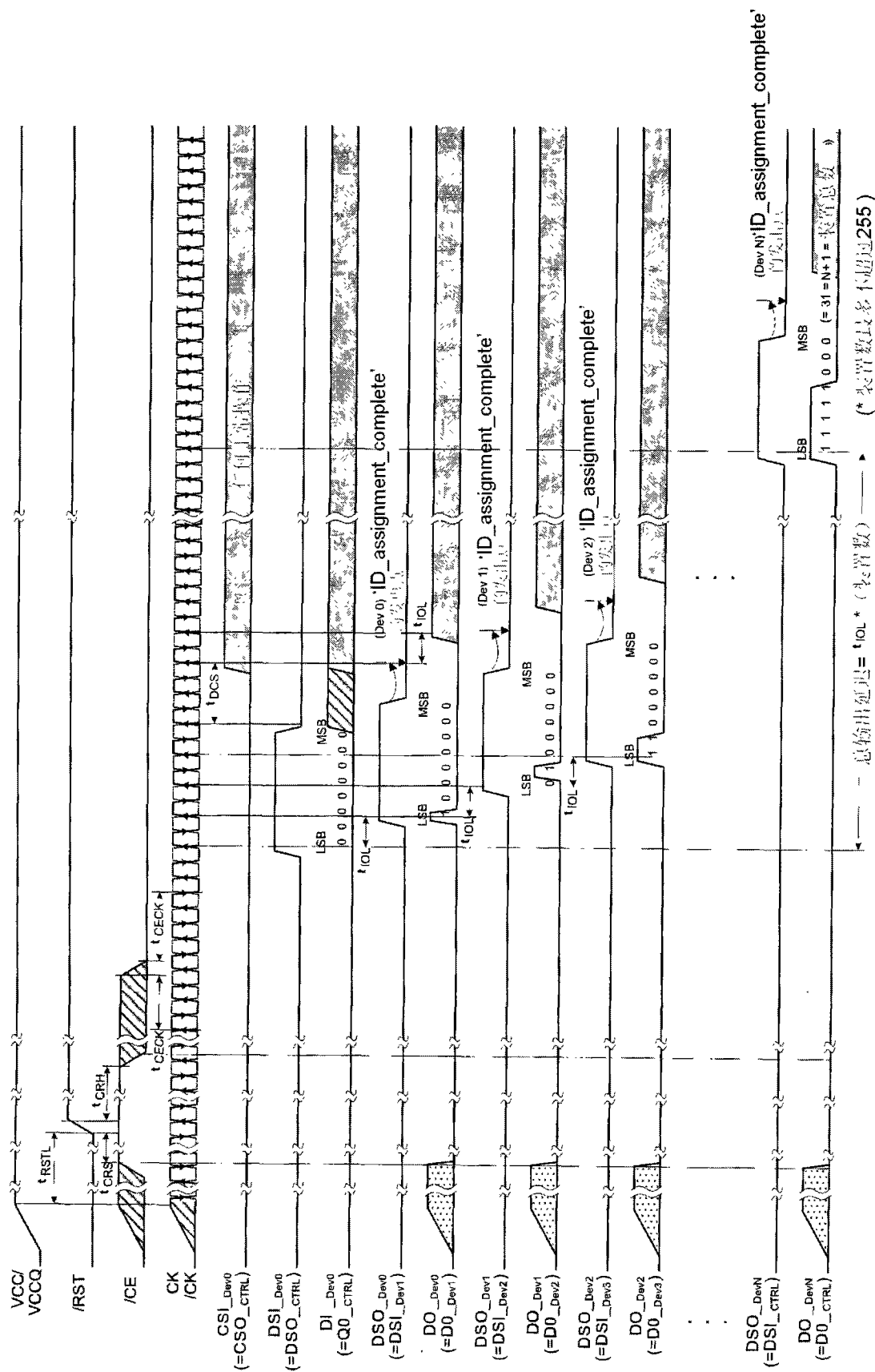


图 42

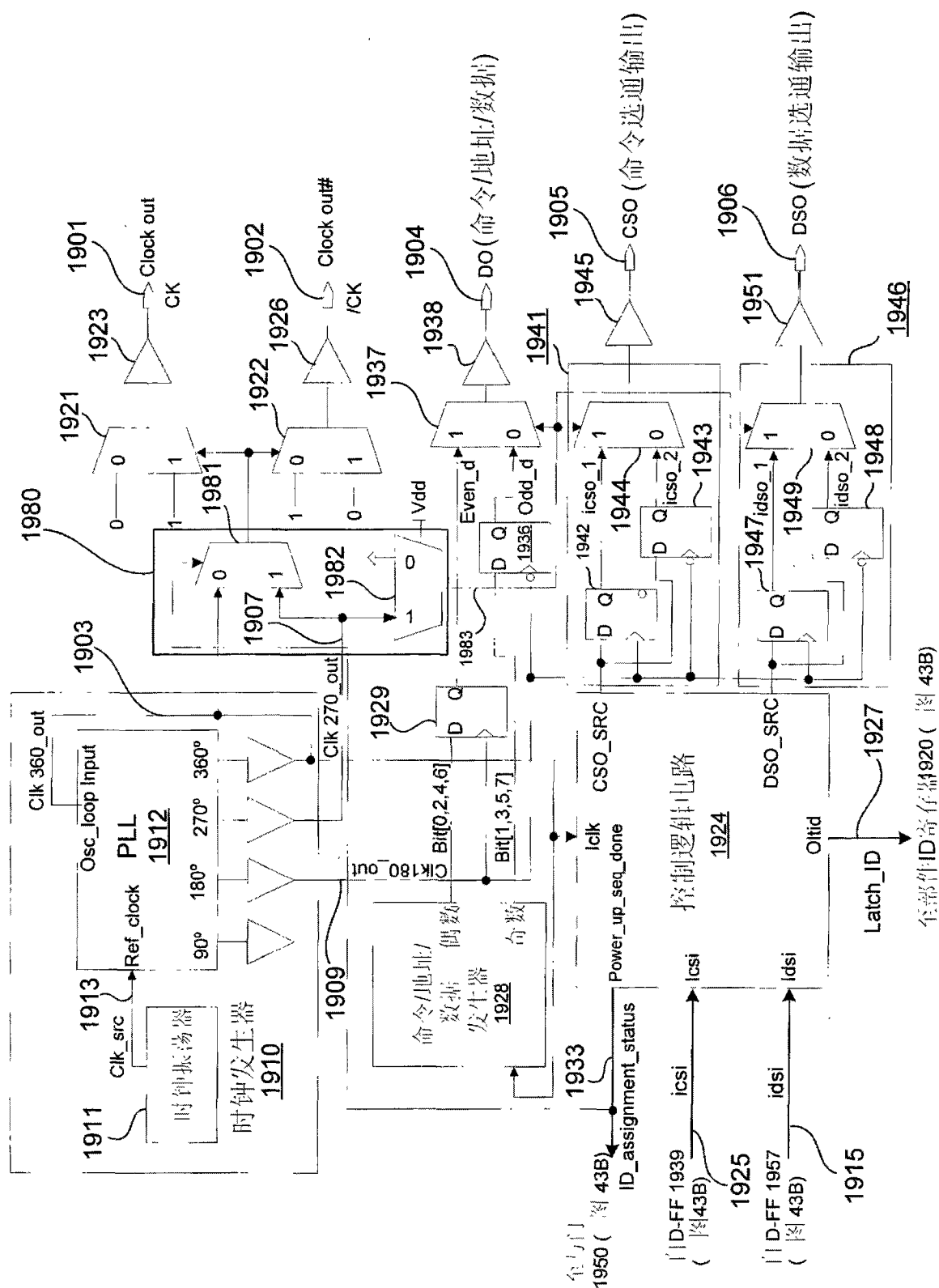


图 43A

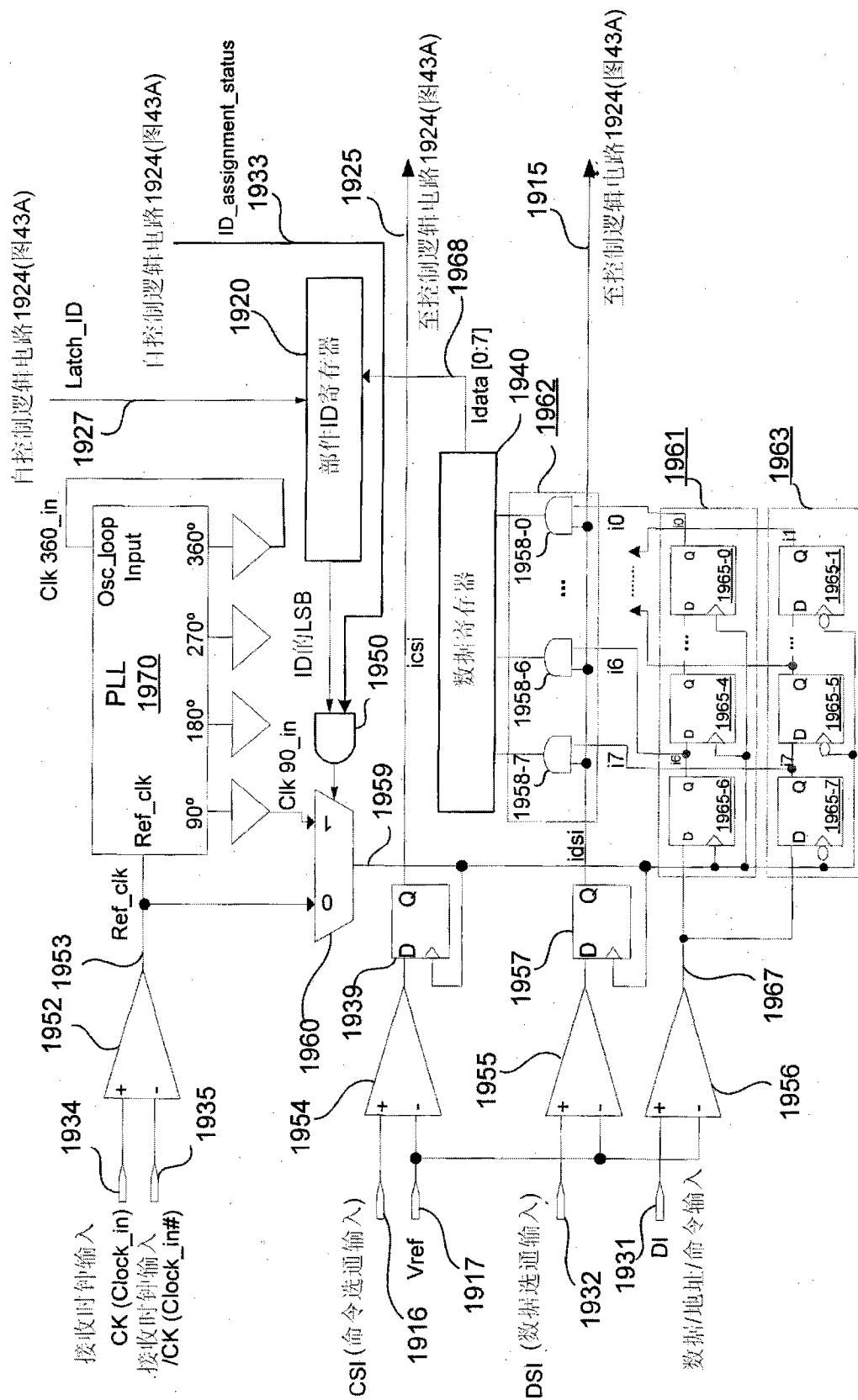
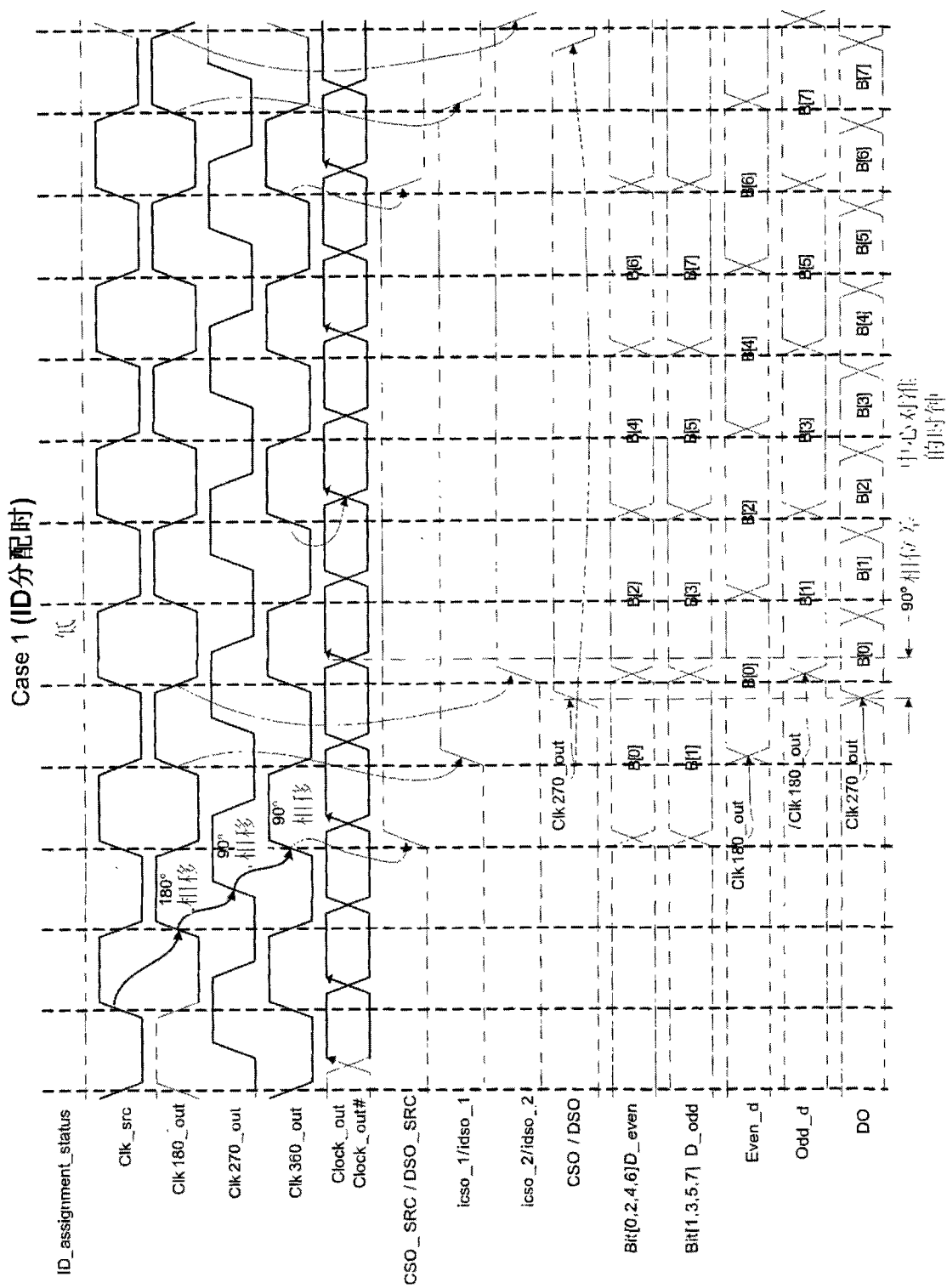


图 43B



Case 1 (ID分配时)

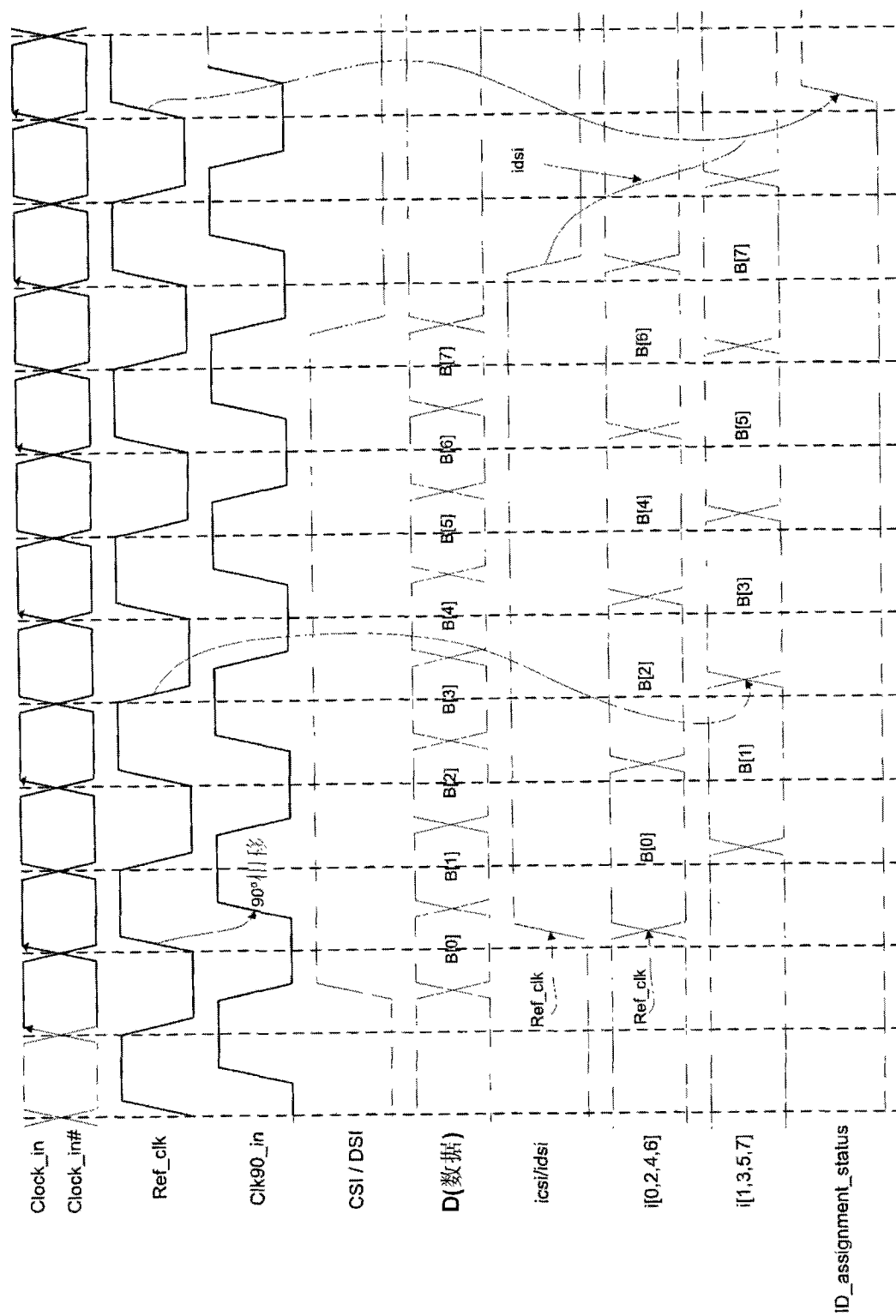


图 45

Case 1 (ID分配后的正常操作)

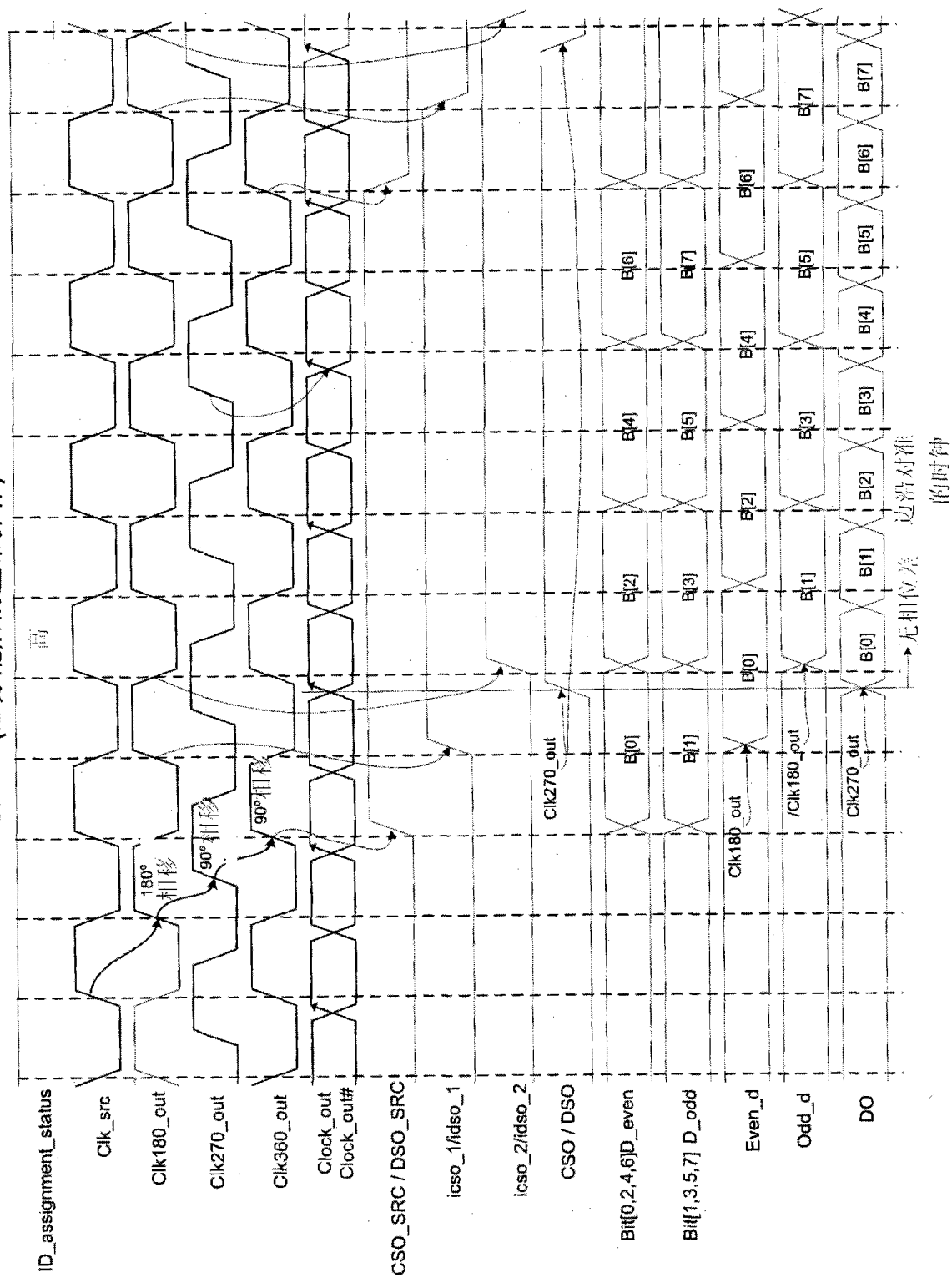


图 46

Case 1 (ID分配后的正常操作), ID的LSB=0

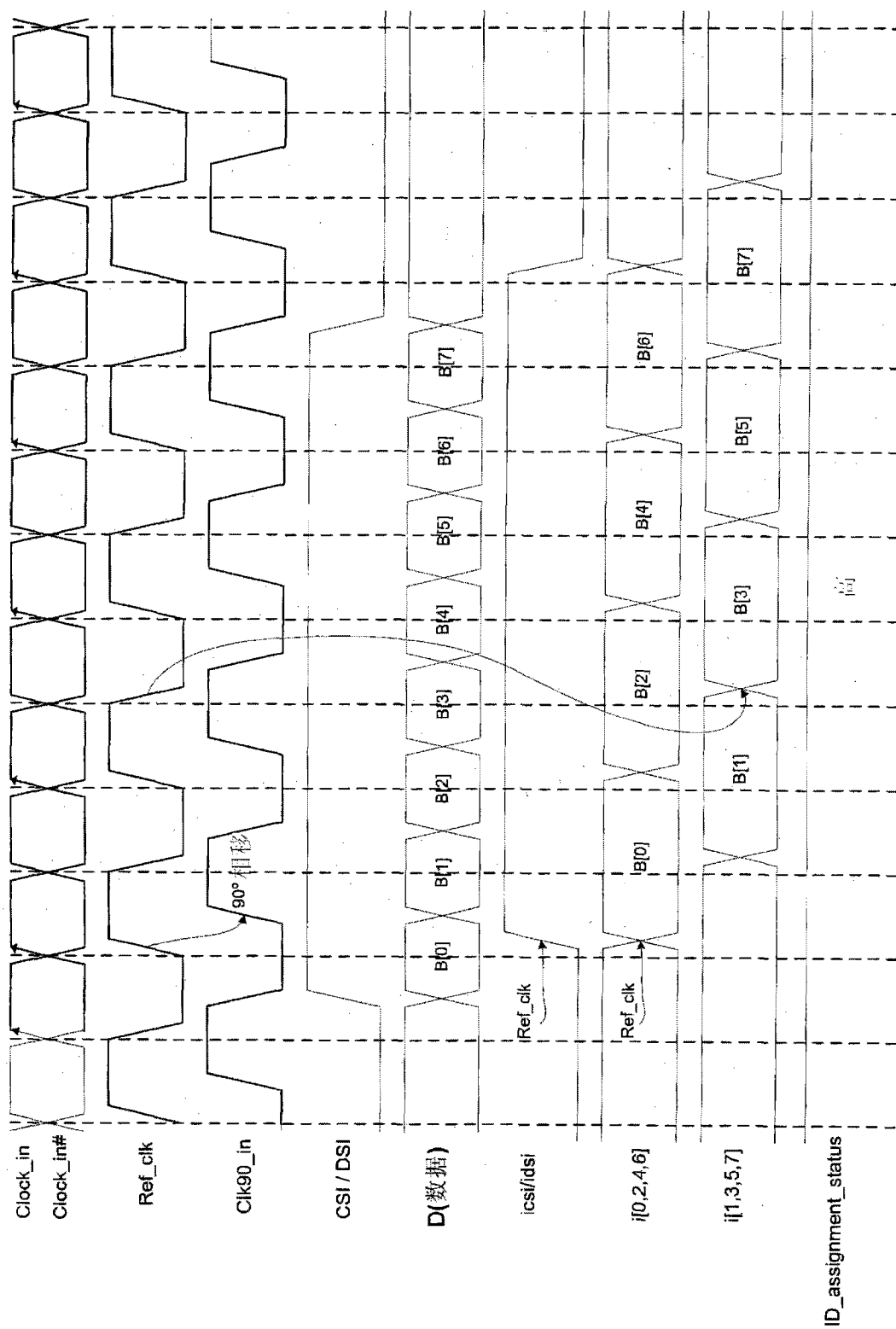


图 47

Case 1 (ID分配后的正常操作), ID的LSB=1

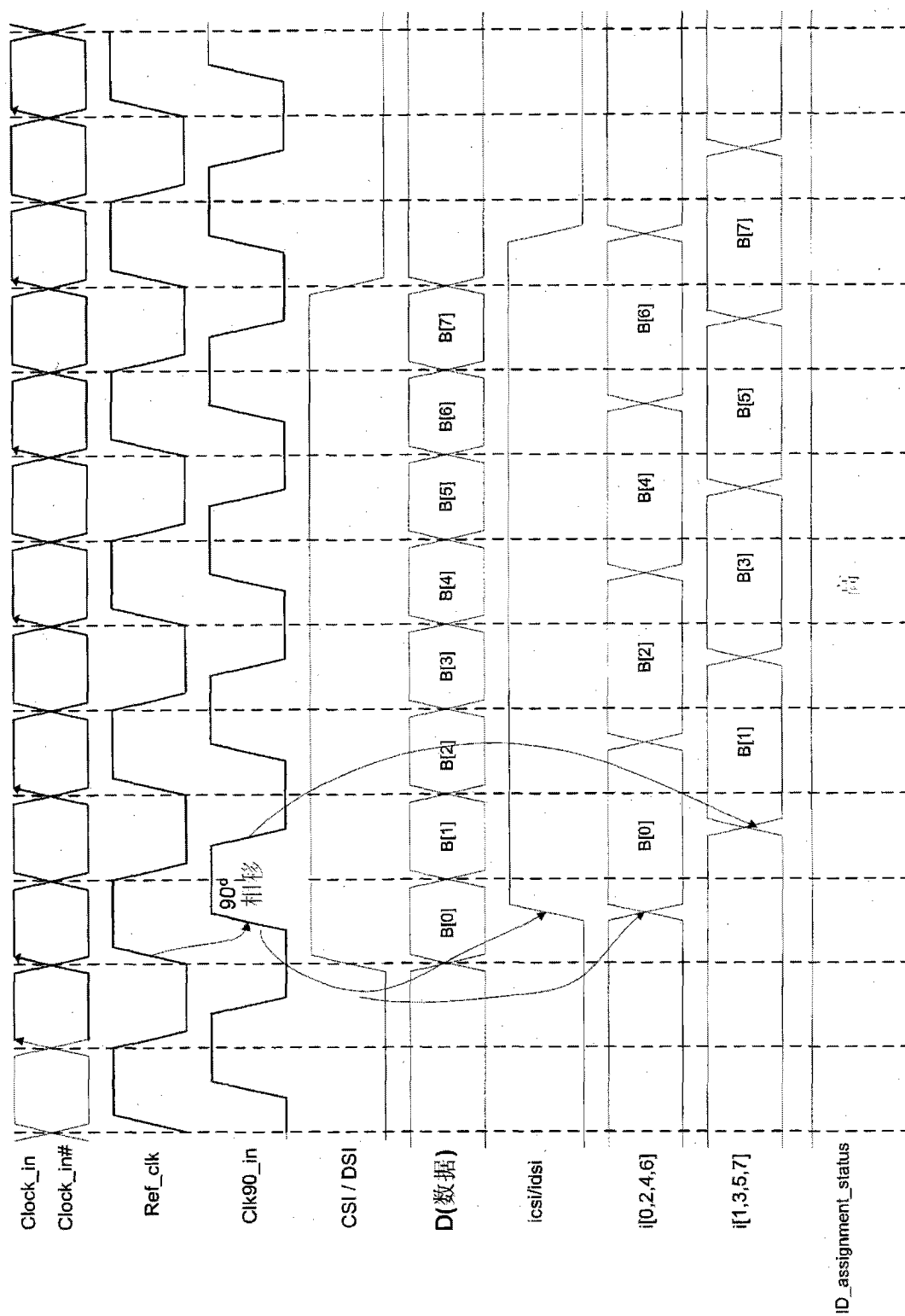


图 48

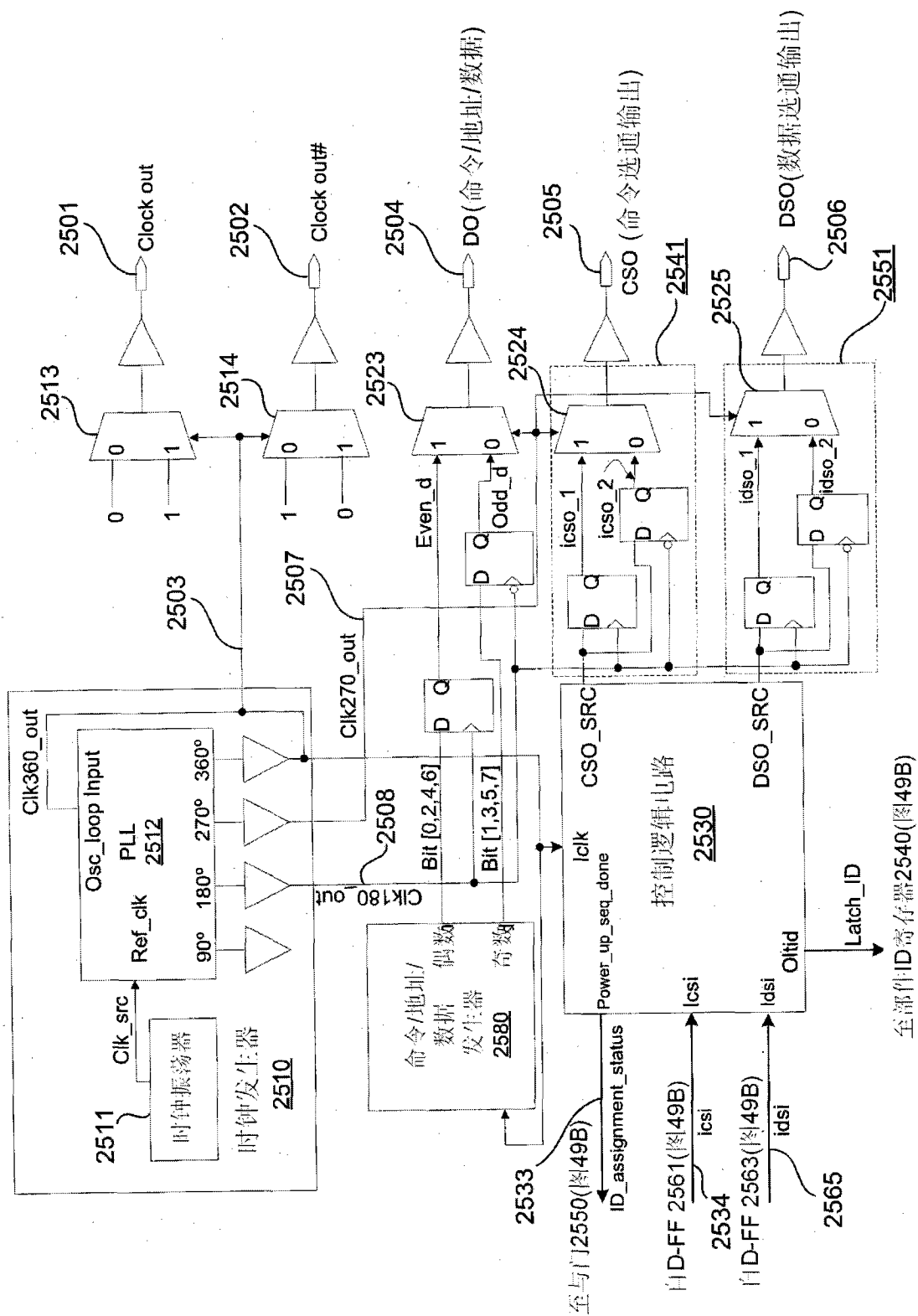


图 49A

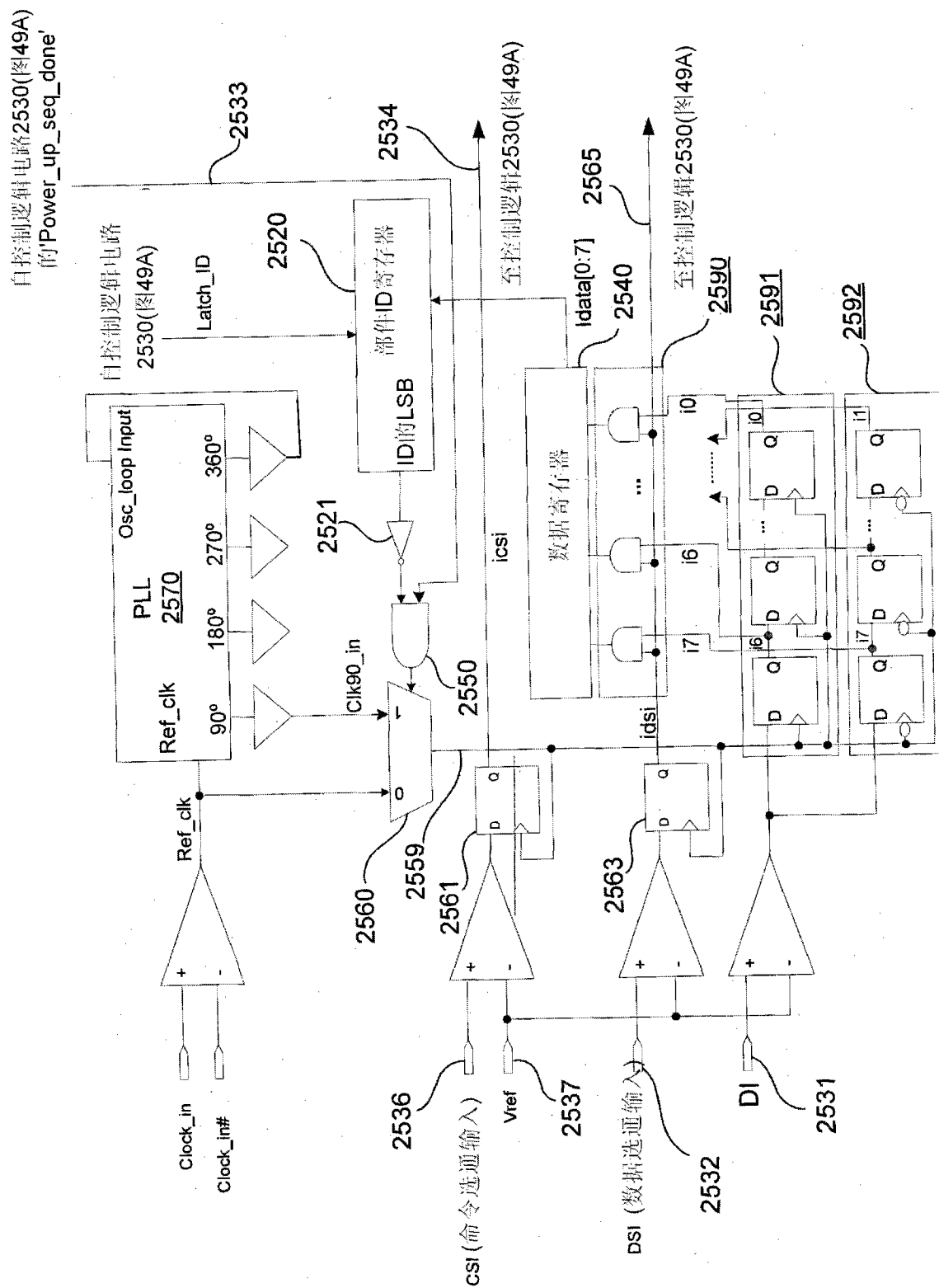


图 49B

Case 2 (ID分配后的正常操作)

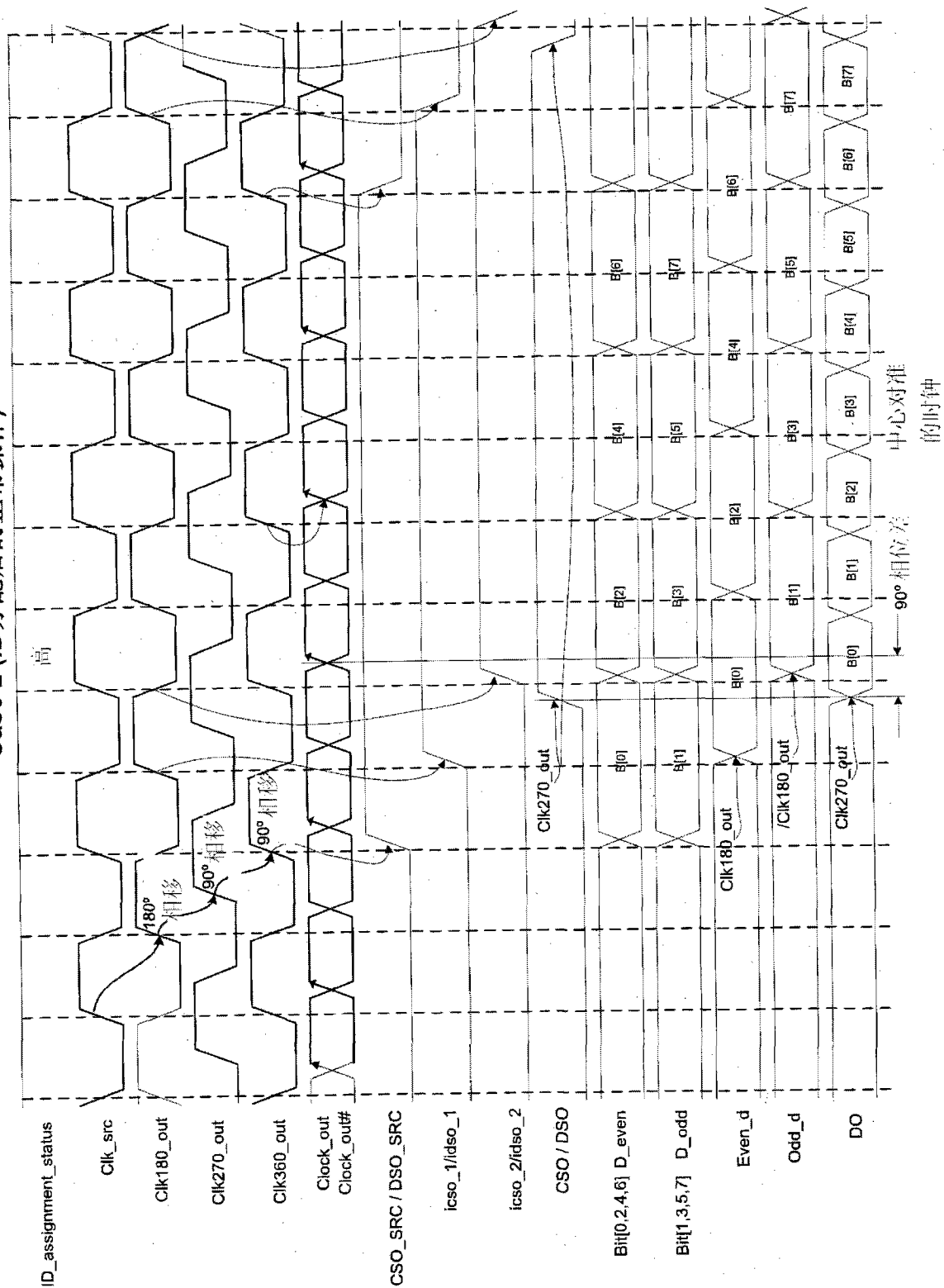


图 50

Case 2 (ID分配后的正常操作), ID的LSB=0

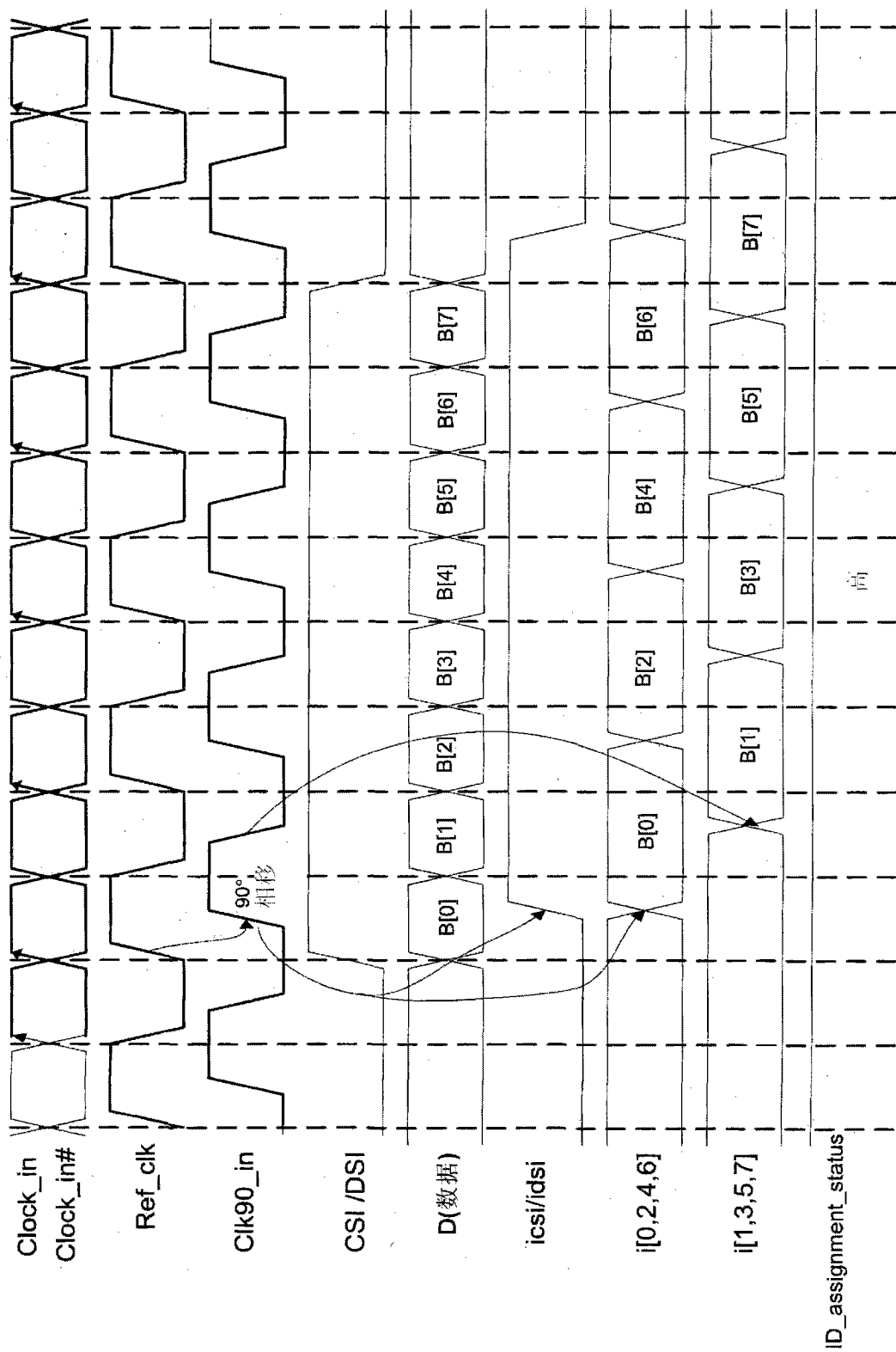


图 51

Case 2 (ID分配后的正常操作),ID的LSB=1

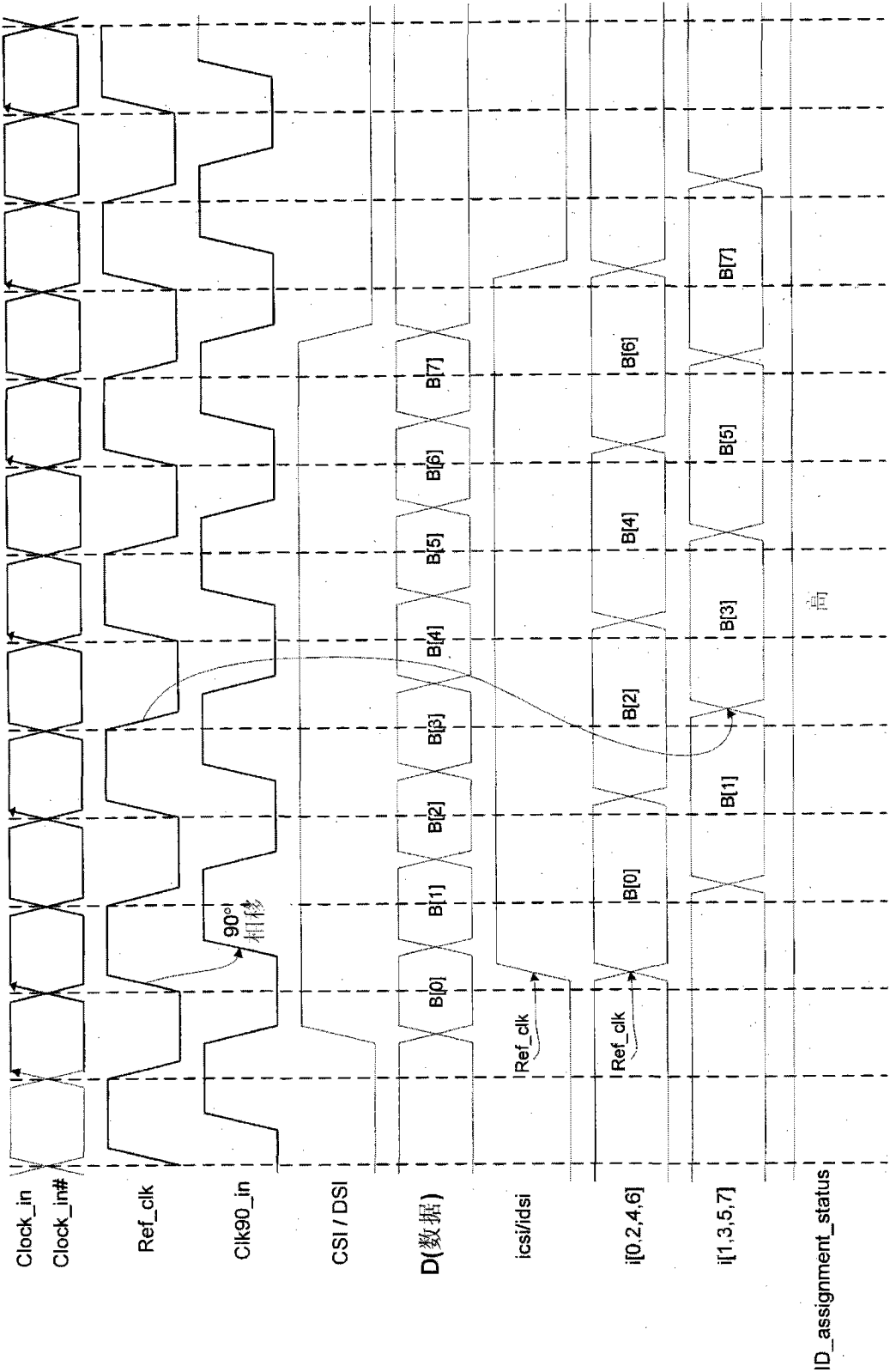


图 52