

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 7 月 10 日 (10.07.2025)



(10) 国际公布号
WO 2025/145273 A1

- (51) 国际专利分类号:
G09G 3/30 (2006.01) **GI1C 19/28** (2006.01)
- (21) 国际申请号: PCT/CN2024/070089
- (22) 国际申请日: 2024 年 1 月 2 日 (02.01.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号 611731 (CN)。
- (72) 发明人: 王梦奇(**WANG, Mengqi**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。于子阳(**YU, Ziyang**); 中国北京市大兴区

北京经济技术开发区地泽路 9 号 100176 (CN)。张跳梅(**ZHANG, Tiaomei**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。蒋志亮(**JIANG, Zhiliang**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。胡明(**HU, Ming**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。邱海军(**QIU, Haijun**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。

- (74) 代理人: 北京天昊联合知识产权代理有限公司(**TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS**); 中国北京市东城区东长安街 1 号东方广场东方经贸城西一办公楼 5 层 1, 6-12 室 100738 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,

(54) Title: SHIFT REGISTER AND DISPLAY PANEL

(54) 发明名称: 移位寄存器和显示面板

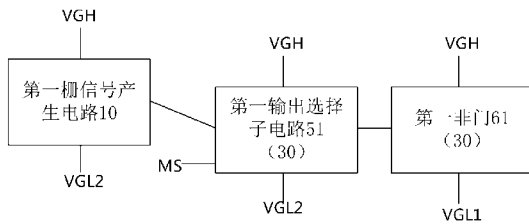


图 2

10 First gate signal generation circuit
51 First output selection sub-circuit
61 First NOT gate

(57) Abstract: A shift register and a display panel, relating to the technical field of display. The shift register is applied to the display panel. The display panel has a full-screen display mode and a local display mode. The shift register comprises: a gate signal generation circuit configured to generate a gate drive signal; and an output selection circuit configured to, under the control of a control signal, output the gate drive signal in the full-screen display mode and output a non-operating level signal in the local display mode. The shift register also has good leakage resistance and low power consumption.

(57) 摘要: 一种移位寄存器和显示面板, 属于显示技术领域。移位寄存器应用于显示面板中。显示面板具有全屏显示模式和局部显示模式, 移位寄存器包括: 栅信号产生电路, 被配置为生成栅极驱动信号; 输出选择电路, 被配置为在控制信号的控制下, 在全屏显示模式时输出栅极驱动信号, 在局部显示模式时, 输出非工作电平信号。移位寄存器还具有良好的漏电抗性和低功耗。

IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

说明书

发明名称: 移位寄存器和显示面板

技术领域

[0001] 本公开属于显示技术领域，具体涉及一种移位寄存器和显示面板。

背景技术

[0002] 现有技术中，像素驱动电路通常采用低温多晶氧化物技术来实现窄边框、低功耗和高可靠性的要求。但是，氧化物薄膜晶体管的稳定性差，阈值电压(V_{th})容易负偏，导致电路产生漏电流，造成额外的功耗，降低电路的可靠性，甚至使电路失效。

[0003] 发明内容

[0004] 本发明旨在至少解决现有技术中存在的技术问题之一，提供一种移位寄存器，其应用于显示面板中，所述显示面板具有全屏显示模式和局部显示模式，所述移位寄存器包括：

[0005] 栅信号产生电路，被配置为生成栅极驱动信号；

[0006] 输出选择电路，被配置为在控制信号的控制下，在全屏显示模式时输出所述栅极驱动信号，在局部显示模式时，输出非工作电平信号。

[0007] 优选的是，所述输出选择电路包括：

[0008] 第一输出选择子电路，被配置为响应于所述栅极驱动信号和所述控制信号，在全屏模式时交替输出第二电平信号和第三电平信号，在局部显示模式时输出所述第二电平信号；

[0009] 第一非门，被配置为在全屏模式时，交替输出第一电平信号和所述第三电平信号，在局部模式时输出所述第三电平信号；所述第一电平信号为所述栅极驱动信号的工作电平信号，所述第三电平信号为所述栅极驱动信号的非工作电平信号；

[0010] 所述第一电平信号大于所述第二电平信号。

[0011] 优选的是，所述第一输出选择子电路包括：第九晶体管、第十晶体管、第十一晶体管和第十二晶体管；

- [0012] 所述第九晶体管的控制极连接所述控制信号端，第一极连接所述第一输出选择子电路的信号输出端，第二极连接第二电平信号端；
- [0013] 所述第十晶体管的控制极连接所述控制信号端，第一极连接所述第三电平信号端，第二极连接所述第十二晶体管的第一极；
- [0014] 所述第十一晶体管的控制极连接所述栅信号产生电路的信号输出端，第一极连接所述第一输出选择子电路的信号输出端，第二极连接所述第二电平信号端；
- [0015] 所述第十二晶体管的控制极连接所述栅信号产生电路的信号输出端，第一极连接所述第十晶体管的第二极，第二极连接所述第一输出选择子电路的信号输出端。
- [0016] 优选的是，所述第一非门包括：第十三晶体管和第十四晶体管；
- [0017] 所述第十三晶体管的控制极和所述第十四晶体管的控制极的连接节点复用为所述第一非门的信号输入端，连接所述第一输出选择子电路的信号输出端；所述第十三晶体管的第一极和所述第十四晶体管的第二极复用为所述第一非门的信号输出端；
- [0018] 所述第十三晶体管的第二极连接所述第一电平信号端；所述第十四晶体管的第一极连接所述第三电平信号端。
- [0019] 优选的是，所述输出选择电路包括：
- [0020] 第二输出选择子电路，被配置为响应于所述栅极驱动信号和所述控制信号，在全屏模式时交替输出第一电平信号和第三电平信号，在局部显示模式时输出所述第一电平信号；
- [0021] 第二非门，被配置为在全屏模式时，交替输出所述第一电平信号和所述第三电平信号，在局部显示模式时输出所述第三电平信号；所述第三电平信号为所述栅极驱动信号的工作电平信号，所述第二电平信号为所述栅极驱动信号的非工作电平信号；
- [0022] 所述第一电平信号和所述第二电平信号的正负性相同；所述第一电平信号大于所述第二电平信号。
- [0023] 优选的是，所述第二输出选择子电路包括：第三十四晶体管、第三十五晶体管、第三十六晶体管和第三十七晶体管；其中，

- [0024] 所述第三十四晶体管的控制极连接栅信号产生电路的信号输出端，第一极连接所述第三电平信号端，第二极连接所述第二输出选择子电路的信号输出端；
- [0025] 所述第三十五晶体管的控制极连接选通电路的信号输出端，第一极连接所述第三电平信号端，第二极连接所述第二输出选择子电路的信号输出端；
- [0026] 所述第三十六晶体管的控制极连接所述栅信号产生电路的信号输出端，第一极连接所述第二输出选择子电路的信号输出端，第二极连接所述第三十七晶体管的第一极；
- [0027] 所述第三十七晶体管的控制极连接所述选通电路的信号输出端，第二极连接所述第三电平信号端。
- [0028] 优选的是，所述第二非门包括：第三十八晶体管和第三十九晶体管；
- [0029] 所述第三十八晶体管的控制极连接所述第二输出选择子电路的信号输出端，第一极连接所述第二非门的信号输出端，第二极连接所述第三电平信号端；
- [0030] 所述第三十九晶体管的控制极连接所述第二输出选择子电路的信号输出端，第一极连接所述第三电平信号端，第二极连接所述第二非门的信号输出端。
- [0031] 优选的是，所述第一栅信号产生电路包括第一输入子电路、第二输入子电路、第一控制子电路、第二控制子电路、第一稳压子电路、第一输出子电路和第二输出子电路；其中，
- [0032] 所述第一输入子电路，被配置为响应于第一时钟信号，将输入信号传输至第二节点；所述第二节点为所述第一输入子电路、所述第一控制子电路、所述第二控制子电路和所述第一稳压子电路的连接节点；
- [0033] 所述第二输入子电路，被配置为响应于所述第一时钟信号，将第二电平信号传输至第一节点；所述第一节点为所述第二输入子电路、所述第一控制子电路、所述第二控制子电路和所述第一输出子电路的连接节点；
- [0034] 所述第一控制子电路，被配置为响应于所述第二节点的电压，将所述第一时钟信号传输至所述第一节点；
- [0035] 所述第二控制子电路，被配置为响应于所述第一节点的电压和第二时钟信号，将所述第三电平信号传输至所述第二节点；

- [0036] 所述第一稳压子电路，被配置为响应于所述第二电平信号，将所述第二节点的电压传输至所述第三节点；所述第三节点为所述稳压子电路和所述第二输出子电路的连接节点；
- [0037] 所述第一输出子电路，被配置为响应于所述第一节点的电压，将所述第三电平信号传输至所述第一栅信号产生电路的信号输出端输出；
- [0038] 所述第二输出子电路，被配置为响应于所述第三节点的电压，将所述第二时钟信号传输至所述第一栅信号产生电路的信号输出端输出。
- [0039] 优选的是，所述第一输入子电路包括第一晶体管；所述第一晶体管的控制极连接所述第一时钟信号端，第一极连接所述输入信号端，第二极连接所述第二节点。
- [0040] 优选的是，所述第二输入子电路包括第三晶体管；所述第三晶体管的控制极连接所述第一时钟信号端，第一极连接所述第二电平信号端，第二极连接所述第一节点。
- [0041] 优选的是，所述第一控制子电路包括第二晶体管；所述第二晶体管的控制极连接所述第二节点，第一极连接所述第一节点，第二极连接所述第一时钟信号端。
- [0042] 优选的是，所述第二控制子电路包括第六晶体管和第七晶体管；所述第六晶体管的控制极连接所述第二节点，第一极连接所述第三电平信号端，第二极连接所述第七晶体管的第一极；所述第七晶体管的控制极连接所述第二时钟信号端，第一极连接所述第六晶体的第二极，第二极连接所述第二节点。
- [0043] 优选的是，所述第一稳压子电路包括第八晶体管；所述第八晶体管的控制极连接所述第二电平信号端，第一极连接所述第二节点，第二极连接所述第三节点。
- [0044] 优选的是，所述第一输出子电路包括第四晶体管和第一电容；所述第四晶体管的控制极连接所述第一节点，第一极连接所述第三电平信号端，第二极连接所述第一栅信号产生电路的信号输出端；所述第一电容的一极连接所述第一节点，另一极连接所述第三电平信号端。

- [0045] 优选的是，所述第二输出子电路包括第五晶体管和第二电容；所述第五晶体管的控制极连接所述第三节点，第一极连接所述第一栅极驱动电路的信号输出端，第二极连接所述第二时钟信号端；所述第二电容的一极连接所述第三节点，另一极连接所述第一栅信号产生电路的信号输出端。
- [0046] 优选的是，所述第二栅信号产生电路包括第三输入子电路、第四输入子电路、第二稳压子电路、第三控制子电路、第四控制子电路、第五控制子电路、第六控制子电路、第三输出子电路和第四输出子电路；其中，
- [0047] 所述第三输入子电路，被配置为响应于第一时钟信号，将第二电平信号传输至第四节点；所述第四节点为所述第三输入子电路、所述第三控制子电路和所述第二稳压子电路的连接节点；
- [0048] 所述第四输入子电路，被配置为响应于所述第一时钟信号和所述第二电平信号，将第一选通信号传输至第五节点、第六节点和第七节点；所述第五节点为所述第三控制子电路和所述第四输入子电路的连接节点；所述第六节点为所述第四输入子电路和所述第四控制子电路的连接节点；所述第七节点为所述第四输入子电路、第四控制子电路和所述第四输出子电路的连接节点；
- [0049] 所述第二稳压子电路，被配置响应于所述第二电平信号，将所述第四节点的电压传输至第八节点；所述第八节点为所述第二稳压子电路和所述第五控制子电路的连接节点；
- [0050] 所述第三控制子电路，被配置为响应于所述第五节点的电压，将所述第一时钟信号传输至所述第四节点；
- [0051] 所述第四控制子电路，被配置为响应于第四节点的电压、第六节点的电压和第七节点的电压，将第六节点的电压传输至所述第七节点；
- [0052] 所述第五控制子电路，被配置为响应于所述第八节点的电压和所述第二时钟信号端，将所述第二时钟信号传输至第九节点；所述第九节点为所述第五控制子电路和所述第三输出子电路的连接节点；
- [0053] 所述第六控制子电路，被配置为响应于所述第五节点的电压和第四电平信号，将所述第三电平信号传输至所述第五节点和所述第九节点；

- [0054] 所述第三输出子电路，被配置为响应于所述第九节点的电压，将所述第三电平信号传输至所述第二栅信号产生电路的信号输出端输出；
- [0055] 所述第四输出子电路，被配置为响应于所述第七节点的电压，将所述第二电平信号传输至所述第二栅信号产生电路的信号输出端输出。
- [0056] 优选的是，所述第三输入子电路包括第十五晶体管；所述第十五晶体管的控制极连接所述第一时钟信号端，第一极连接所述第二电平信号端，第二极连接所述第四节点。
- [0057] 优选的是，所述第四输入子电路包括第十六晶体管、第十七晶体管、第十八晶体管和第十九晶体管；
- [0058] 所述第十六晶体管的控制极连接所述第一时钟信号端，第一极连接所述第一选通信号端，第二极连接所述第五节点；所述第十七晶体管的控制极连接所述第二电平信号端，第一极连接所述第五节点，第二极连接所述第七节点；所述第十八晶体管的第一极连接所述第一时钟信号端，第一极连接所述第一选通信号端，第二极连接所述第十九晶体管的第一极；所述第十九晶体管的控制极连接所述第二电平信号端，第二极连接所述第六节点。
- [0059] 优选的是，所述第二稳压子电路包括第二十三晶体管；所述第二十三晶体管的控制极连接所述第二电平信号端，第一极连接所述第四节点，第二极连接所述第八节点。
- [0060] 优选的是，所述第三控制子电路包括第二十晶体管；所述第二十晶体管的控制极连接所述第五节点，第一极连接所述第四节点，第二极连接所述第一时钟信号端。
- [0061] 优选的是，所述第四控制子电路包括第二十一晶体管、第二十二晶体管、第二十九晶体管和第五电容；
- [0062] 所述第二十一晶体管的控制极连接所述第四节点，第一极连接所述第三电平信号端，第二极连接所述第二十二晶体管的第一极；所述第二十二晶体管的控制极连接所述第三节点，第二极连接所述第二时钟信号端；所述第二十九晶体管的控制极连接所述第六节点，第一极连接所述第七节点，第二极连接所述第六

节点；所述第五电容的一极连接所述第二十一晶体管的第二极，另一极连接所述第六节点。

[0063] 优选的是，所述第五控制子电路包括第二十四晶体管、第二十五晶体管和第三电容；

[0064] 所述第二十四晶体管的控制极连接所述第八节点，第一极连接所述第二时钟信号端，第二极连接所述第二十五晶体管的第一极；所述第二十五晶体管的控制极连接所述第二时钟信号端，第二极连接所述第九节点；所述第三电容的一极连接所述第八节点，另一极连接所述第二十四晶体管的第二极。

[0065] 优选的是，所述第六控制子电路包括第二十七晶体管和第二十八晶体管；

[0066] 所述第二十七晶体管的控制极连接所述第五节点，第一极连接所述第九节点，第二极连接所述第三电平信号端；所述第二十八晶体管的控制极连接所述第四电平信号，第一极连接所述第三电平信号端，第二极连接所述第五节点。

[0067] 优选的是，所述第三输出子电路包括第二十六晶体管和第四电容；

[0068] 所述第二十六晶体管的控制极连接所述第九节点，第一极连接所述第三电平信号端，第二极连接所述第二栅信号产生电路的信号输出端；所述第四电容的一极连接所述第三电平信号端，另一极连接所述第九节点。

[0069] 优选的是，所述第四输出子电路包括第三十晶体管和第七电容；

[0070] 所述第三十晶体管的控制极连接所述第七节点，第一极连接所述第二栅信号产生电路的信号输出端，第二极连接所述第二电平信号端；所述第七电容的一极连接所述第二电平信号端，另一极连接所述第三十晶体管的第一极；

[0071] 所述第二栅信号产生电路的信号输出端输出第二选通信号。

[0072] 优选的是，还包括选通电路；所述选通电路的信号输出端连接所述第二输出选择子电路；

[0073] 所述选通电路被配置为响应于第一选通信号和第二选通信号，输出所述第二电平信号或者第三电平信号。

[0074] 优选的是，所述选通电路包括第三十一晶体管、第三十二晶体管、第三十三晶体管和第六电容；

- [0075] 所述第三十一晶体管的控制极连接所述第四电平信号，第一极连接所述第三电平信号，第二极连接所述选通电路的信号输出端；
- [0076] 所述第三十二晶体管的控制极连接所述第一选通信号端，第一极连接所述选通电路的信号输出端，第二极连接所述第三十三晶体管的第一极；
- [0077] 所述第三十三晶体管的控制极连接所述第二选通信号端，第二极连接所述控制信号端；
- [0078] 所述第六电容的一极连接所述第二电平信号，另一极连接所述选通电路的信号输出端。
- [0079] 优选的是，还包括多个像素单元；所述像素单元与所述移位寄存器一一对应连接。
- [0080] 第二方面，本公开提供了一种显示面板，其包括上述的移位寄存器。

附图说明

- [0081] 图1为本公开提供的第一种实施例的移位寄存器的结构示意图；
- [0082] 图2为本公开提供的第一种实施例的移位寄存器结构框图；
- [0083] 图3为本公开提供的第一种实施例的移位寄存器的0伏漏电仿真结果；
- [0084] 图4为本公开提供的第二种实施例的移位寄存器的结构示意图；
- [0085] 图5为本公开提供的第二种实施例的移位寄存器结构框图；
- [0086] 图6为本公开提供的第二种实施例的移位寄存器的输出信号的仿真结果图。

具体实施方式

- [0087] 为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明作进一步详细描述。
- [0088] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不

排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0089] 在此需要说明的是，本公开实施例中的晶体管为氧化物晶体管。氧化物晶体管由于其结构特征，容易受到温度等外界环境的影响产生阈值电压(V_{th})的漂移，影响晶体管的稳定性和可靠性，进而影响显示面板的显示效果。可选地，本公开实施例中的晶体管的开关特性可以是N型或者P型。

[0090] 在本公开实施例中，每个晶体管的源极和漏极在结构上是没有区别的，可以互换，这里是为了区分除栅极外的两极，将其中一极称为源极，另一极称为漏极。其中，第一极可以是源极，第二极可以是漏极。

[0091] 在本公开实施例中，第一电平信号可以为高电平信号，也可以为低电平信号，根据晶体管的开关特性设置，相应地，第二电平信号与第一电平信号电压绝对值相同，符号相反。本公开中的输入信号可以为STV信号或者上一级电路的输出信号。

[0092] 第一方面，本公开提供了一种移位寄存器，其应用于显示面板中。可选地，显示面板具有全屏显示模式和局部显示模式。显示面板包括多个像素单元和多个移位寄存器，像素单元和移位寄存器一一对应连接。移位寄存器包括栅信号产生电路和输出选择电路30。其中，栅信号产生电路被配置为产生驱动像素单元的栅极驱动信号。输出选择电路30被配置为在控制信号MS的控制下，在全屏显示模式时输出栅极驱动信号，在局部显示模式时输出非工作电平信号，以实现显示面板的局部画面的更新，不需要更新的面板部分不需要多次充放电，从而降低显示面板的功耗。

[0093] 优选的，本公开中的移位寄存器通过设置不同部分的电路连接大小不等的低电平信号端，有效解决了移位寄存器的漏电问题，提高了电路的可靠性。

[0094] 以下结合具体实施例对本公开的移位寄存器进行说明。

[0095] 第一种示例：如图1-2所示，第一种示例的移位寄存器包括第一栅信号产生电路10、第一输出选择子电路51和第一非门61。

[0096] 继续参照图1，该第一栅信号产生电路10包括第一输入子电路11、第二输出子电路42、第一控制子电路21、第二控制子电路22、第一稳压子电路31、第一输出子电路41和第二输出子电路42。

[0097] 其中，第一输入子电路11被配置为响应于第一时钟信号CK，将输入信号STV传输至第二节点N2。第二输入子电路12，被配置为响应于第一时钟信号CK，将第二电平信号VGL2传输至第一节点N1。第一控制子电路21被配置为响应于第二节点N2的电压，将第一时钟信号CK传输至第一节点N1。第二控制子电路22被配置为响应于第一节点N1的电压和第二时钟信号CB，将第三电平信号VGH传输至第二节点N2。第一稳压子电路31被配置为响应于第二电平信号VGL2，将第二节点N2的电压传输至第三节点N3。第一输出子电路41被配置为响应于第一节点N1的电压，将第三电平信号VGH传输至第一栅信号产生电路10的信号输出端输出。第二输出子电路42被配置为响应于第三节点N3的电压，将第二时钟信号CB传输至第一栅信号产生电路10的信号输出端输出。

[0098] 在此需要说明的是，第一节点N1为第二输入子电路12、第一控制子电路21、第二控制子电路22和第一输出子电路41的连接节点。第二节点N2为第一输入子电路11、第一控制子电路21、第二控制子电路22和第一稳压子电路31的连接节点。第三节点N3为第一稳压子电路31和第二输出子电路42的连接节点。

[0099] 上述移位寄存器包括第一至第十四晶体管T1-T14。其中，第一至第八晶体管T1-T8、第十晶体管T10、第十二晶体管T12和第十四晶体管T14均为P型晶体管。对于P型晶体管来说，栅极输入低电平信号时，晶体管导通，栅极输入高电平信号时，晶体管截止。第九晶体管T9、第十一晶体管T11和第十三晶体管T13均为N型晶体管。对于N型晶体管来说，栅极输入高电平信号时，晶体管导通，栅极输入低电平信号时，晶体管截止。

[0100] 第一输入子电路11包括第一晶体管T1。第一晶体管T1的控制极连接第一时钟信号CK端，第一极连接输入信号STV端，第二极连接第二节点N2。当第一晶体管T1的控制极写入低电平信号时，第一晶体管T1打开，输入信号STV通过第一晶体管T1写入第二节点N2。

- [0101] 第二输入子电路12包括第三晶体管T3。第三晶体管T3的控制极连接第一时钟信号CK端，第一极连接第二电平信号VGL2端，第二极连接第一节点N1。当第三晶体管T3的控制极写入低电平信号时，第三晶体管T3打开，第二电平信号VGL2通过第三晶体管T3写入第一节点N1。
- [0102] 第一控制子电路21包括第二晶体管T2。第二晶体管T2的控制极连接第二节点N2，第一极连接第一节点N1，第二极连接第一时钟信号CK端。当第二晶体管T2的控制极写入低电平信号时，第二晶体管T2打开，第一时钟信号CK通过第二晶体管T2写入第一节点N1。
- [0103] 第二控制子电路22包括第六晶体管T6和第七晶体管T7。第六晶体管T6的控制极连接第一节点N1，第一极连接第三电平信号VGH端，第二极连接第七晶体管T7的第一极。第七晶体管T7的控制极连接第二时钟信号CB端，第二极连接第二节点N2。当第六晶体管T6和第七晶体管T7的控制极均写入低电平信号时，第一节点N1的电压通过第六晶体管T6和第七晶体管T7传输至第二节点N2。
- [0104] 第一稳压子电路31包括第八晶体管T8。第八晶体管T8的控制极连接第二电平信号VGL2端，第一极连接第二节点N2，第二极连接第三节点N3。当第八晶体管T8的控制极写入低电平信号时，第八晶体管T8打开，第二节点N2的电压通过第八晶体管T8传输至第三节点N3。
- [0105] 第一输出子电路41包括第四晶体管T4和第一电容C1。第四晶体管T4的控制极连接第一节点N1，第一极连接第三电平信号VGH端，第二极连接第一栅信号产生电路10的信号输出端。第一电容C1的两极分别连接第四晶体管T4的控制极和第一极。当第四晶体管T4的控制极写入低电平信号时，第四晶体管T4打开，第三电平信号VGH通过第四晶体管T4传输至第一栅信号产生电路10的信号输出端输出。
- [0106] 第二输出子电路42包括第五晶体管T5和第二电容C2。第五晶体管T5的控制极连接第三节点N3，第一极连接第一栅信号产生电路10的信号输出端，第二极连接第二时钟信号CB端。第二电容C2的两极分别连接第五晶体管T5的控制极和第一极。当第五晶体管T5的控制极写入低电平信号时，第五晶体管T5打开，第

二时钟信号CB通过第五晶体管T5传输至第一栅信号产生电路10的信号输出端输出。

[0107] 第一输出选择子电路51包括第九晶体管T9、第十晶体管T10、第十一晶体管T11和第十二晶体管T12。第十一晶体管T11的控制极和第十二晶体管T12的控制极的连接节点复用为第一输出选择子电路51的第一输入端，连接栅极驱动信号第一栅信号产生电路10的信号输出端。第九晶体管T9的控制极和第十晶体管T10的控制极连接节点复用为第一输出选择子电路51的第二输入端，连接控制信号MS端。第十二晶体管T12的第二极、第十一晶体管T11的第一极和第九晶体管T9的第一极的连接节点复用为第一输出选择子电路51的信号输出端。另外，第九晶体管T9的第二极连接第二电平信号VGL2端，第十晶体管T10的第一极连接第三电平信号端，第十晶体管T10的第二极连接第十二晶体管T12的第一极，第十一晶体管T11的第二极连接第二电平信号VGL2端。

[0108] 第一非门61包括第十三晶体管T13和第十四晶体管T14。第十三晶体管T13的控制极和第十四晶体管T14的控制极的连接节点复用为第一非门61的信号输入端，第十三晶体管T13的第一极和第十四晶体管T14的第二极的连接节点复用为第一非门61的信号输出端。第十四晶体管T14的第一极连接第三电平信号VGH端，第十三晶体管T13的第二极连接第一电平信号VGL1端。

[0109] 以下为第一种示例的第一栅信号产生电路10的工作过程。

[0110] 第一阶段，第一时钟信号CK写入低电平信号，第二时钟信号CB写入高电平信号，输入信号STV写入低电平信号。第一晶体管T1和第三晶体管T3均被打开，输入信号STV通过第一晶体管T1写入第二节点N2和第三节点N3，第二电平信号VGL2通过第三晶体管T3写入第一节点N1，并向第一电容C1充电，第四晶体管T4和第五晶体管T5均被打开，通过第三电平信号VGH的高电平和第二时钟信号CB端写入的高电平信号对第一栅信号产生电路10的信号输出端进行复位。

[0111] 第二阶段，第一时钟信号CK写入高电平信号，第二时钟信号CB写入低电平信号，输入信号STV写入高电平信号。第一晶体管T1和第三晶体管T3均被关断。第一电容C1存储的低电平信号缓慢放电打开第六晶体管T6，第二时钟信号CB打开第七晶体管T7第七晶体管T7T6，第三电平信号VGH通过第六晶体管T6和第七

晶体管T7第七晶体管T7T6传输至第二节点N2打开第八晶体管T8，第二电容C2存储的低电平信号通过第八晶体管T8缓慢拉低第二节点N2的低压，第二晶体管T2被打开，第一时钟信号CK写入的高电平信号拉高第一节点N1的电压，关断第四晶体管T4。第三节点N3的电压在第二电容C2的作用下继续保持低电平信号，第五晶体管T5继续打开，第二时钟信号CB写入的低电平信号传输至第一栅信号产生电路10的信号输出端输出。

[0112] 第三阶段，第一时钟信号CK写入低电平信号，第二时钟信号CB写入高电平信号，输入信号STV写入高电平信号。第一晶体管T1和第三晶体管T3均被打开，输入信号STV传输至第二节点N2关断第二晶体管T2和第五晶体管T5。第二电平信号VGL2写入第一节点N1打开第四晶体管T4，第三电平信号VGH通过第四晶体管T4传输至第一栅信号产生电路10的信号输出端输出。

[0113] 综上，第一栅信号产生电路10产生的栅极驱动信号为交替的第二电平信号VGL2和第三电平信号VGH，第二电平信号VGL2为工作电平信号，第三电平信号VGH为非工作电平信号。

[0114] 进一步的，控制信号MS写入高电平信号时，第九晶体管T9打开，第十晶体管T10关断。无论栅极驱动信号写入第一电平信号VGL1还是第三电平信号VGH，第一输出选择子电路51始终输出流经第九晶体管T9的第二电平信号VGL2，该信号经过第一非门61后，打开第十四晶体管T14，第一非门61输出第三电平信号VGH，即非工作电平信号，此时处于局部显示模式。

[0115] 控制信号MS写入低电平信号时，第九晶体管T9关断，第十晶体管T10打开。当栅极驱动信号写入第三电平信号VGH时，第十一晶体管T11打开，第一输出选择子电路51输出第二电平信号VGL2，该信号打开第十四晶体管T14，第一非门61输出第三电平信号VGH。当栅极驱动信号写入第一电平信号VGL1时，第十二晶体管T12打开，第三电平信号VGH通过第十晶体管T10和第十二晶体管T12传输至第一输出选择子电路51的信号输出端输出，该信号打开第十三晶体管T13，第一非门61输出第一电平信号VGL1。

[0116] 也就是说，控制信号MS写入高电平信号时，处于全屏显示模式，控制信号MS写入低电平信号时，处于局部显示模式。第一输出选择子电路51在全屏模式时

交替输出第二电平信号VGL2和第三电平信号VGH，在局部显示模式时输出第二电平信号VGL2。第一非门61在全屏显示模式时，交替输出第一电平信号VGL1和第三电平信号VGH，在局部显示模式时输出第三电平信号VGH。特别的，在显示面板处于全局显示模式时，第十三晶体管T13处于关断状态，但此时第十三晶体管T13的栅极连接第二电平信号VGL2端，漏极连接第一电平信号VGL1端，当第十三晶体管T13产生负偏现象时，其会被误打开，影响第一非门61的输出。因此本公开中设置第二电平信号VGL2小于第一电平信号VGL1，防止第十三晶体管T13产生漏电，影响电路输出。

- [0117] 参照图3，图3为上述移位寄存器的0伏漏电仿真结果。从图中可以看出，当第二电平信号VGL2比第一电平信号VGL1小2伏时，移位寄存器具有良好的漏电抗性和低功耗。
- [0118] 第二种示例：如图4-5所示，第二种示例的移位寄存器包括第二栅信号输出电路20、选通电路7、第二输出选择子电路52和第二非门62。
- [0119] 继续参照图4，该第二栅信号输出电路20包括第三输入子电路13、第四输入子电路14、第二稳压子电路32、第三控制子电路23、第四控制子电路24、第五控制子电路25、第六控制子电路26、第五控制子电路25、第三输出子电路43和第四输出子电路44。
- [0120] 其中，第三输入子电路13被配置为响应于第一时钟信号CK，将第二电平信号VGL2传输至第四节点N4。第四输入子电路14被配置为响应于第一时钟信号CK和第二电平信号VGL2，将第一选通信号Nscan[n-1]传输至第五节点N5、第六节点N6和第七节点N7。第二稳压子电路32被配置响应于第二电平电压，将第四节点N4的电压传输至第八节点N8。第三控制子电路23被配置为响应于第五节点N5的电压，将第一时钟信号CK传输至第四节点N4。第四控制子电路24被配置为响应于第四节点N4的电压、第六节点N6的电压和第七节点N7的电压，将第六节点N6的电压传输至第七节点N7。第五控制子电路25被配置为响应于第八节点N8的电压和第二时钟信号CB端，将第二时钟信号CB传输至第九节点N9。第六控制子电路26、第五控制子电路25被配置为响应于第五节点N5的电压和第四电平信号，将第三电平信号VGH传输至第五节点N5和第九节点N9。第三输出子电路43

被配置为响应于第九节点N9的电压，将第三电平信号VGH传输至第二栅信号产生电路20的信号输出端输出。第四输出子电路44被配置为响应于第七节点N7的电压，将第二电平信号VGL2传输至第二栅信号产生电路20的信号输出端输出。

[0121] 在此需要说明的是，第四节点N4为第三输入子电路13、第三控制子电路23和第二稳压子电路32的连接节点。第五节点N5为第三控制子电路23和第四输入子电路14的连接节点。第六节点N6为第四输入子电路14和第四控制子电路24的连接节点。第七节点N7为第四输入子电路14、第四控制子电路24和第四输出子电路44的连接节点。第八节点N8为第二稳压子电路32和第五控制子电路25的连接节点。第九节点N9为第五控制子电路25和第三输出子电路43的连接节点。

[0122] 上述移位寄存器包括第十五至第三十九晶体管T15-T39。其中，第十五至第三十一晶体管T15-T31、第三十三晶体管T33、第三十四晶体管T34、第三十五晶体管T35和第三十九晶体管T39均为P型晶体管，第三十二晶体管T32、第三十六晶体管T36、第三十七晶体管T37和第三十八晶体管T38均为N型晶体管。第三输入子电路13包括第十五晶体管T15。第十五晶体管T15的控制极连接第一时钟信号CK端，第一极连接第二电平信号VGL2端，第二极连接第四节点N4。当第十五晶体管T15的控制极写入低电平信号时，第二晶体管T2通过第十五晶体管T15写入第四节点N4。

[0123] 第四输入子电路14包括第十六晶体管T16、第十七晶体管T17、第十八晶体管T18和第十九晶体管T19。第十六晶体管T16的控制极连接第一时钟信号CK端，第一极连接第一选通信号端，第二极连接第五节点N5，第十七晶体管T17的控制极连接第二电平信号VGL2端，第一极连接第五节点N5，第二极连接第七节点N7，第十八晶体管T18的第一极连接第一时钟信号CK端，第一极连接第一选通信号端，第二极连接第十九晶体管T19的第一极，第十九晶体管T19的控制极连接第二电平信号VGL2端，第二极连接第六节点N6。当第十六晶体管T16、第十七晶体管T17、第十八晶体管T18和第十九晶体管T19的控制极均写入低电平信号时，第一选通信号Nscan[n-1]通过第十六晶体管T16、第十七晶体管T17、第十八晶体管T18和第十九晶体管T19传输至第五节点N5、第六节点N6和第七节点N7

- [0124] 第二稳压子电路32包括第二十三晶体管T23。第二十三晶体管T23的控制极连接第二电平信号VGL2端，第一极连接第四节点N4，第二极连接第八节点N8。当第二十三晶体管T23的控制极被写入低电平信号时，第四节点N4的电压通过第二十三晶体管T23传输至第八节点N8。
- [0125] 第三控制子电路23包括第二十晶体管T20。第二十晶体管T20的控制极连接第五节点N5，第一极连接第四节点N4，第二极连接第一时钟信号CK端。当第二十晶体管T20的控制极写入低电平信号时，第一时钟信号CK通过第二十晶体管T20写入第四节点N4。第四控制子电路24包括第二十一晶体管T21、第二十二晶体管T22、第二十九晶体管T29和第五电容C5，第二十一晶体管T21的控制极连接第四节点N4，第一极连接第三电平信号VGH端，第二极连接第二十二晶体管T22的第一极，第二十二晶体管T22的控制极连接第三节点N3，第二极连接第二时钟信号CB端，第二十九晶体管T29的控制极连接第六节点N6，第一极连接第七节点N7，第二极连接第六节点N6，第五电容C5的一极连接第二十一晶体管T21的第二极，另一极连接第六节点N6。当第二十一晶体管T21、第二十二晶体管T22、第二十九晶体管T29的控制极均写入低电平信号时，第六节点N6的电压通过第四控制子电路24传输至第七节点N7。
- [0126] 第五控制子电路25包括第二十四晶体管T24、第二十五晶体管T25和第三电容C3，第二十四晶体管T24的控制极连接第八节点N8，第一极连接第二时钟信号CB端，第二极连接第二十五晶体管T25的第一极，第二十五晶体管T25的控制极连接第二时钟信号CB端，第二极连接第九节点N9，第三电容C3的一极连接第八节点N8，另一极连接第二十四晶体管T24的第二极。当第二十四晶体管T24、第二十五晶体管T25控制极均写入低电平信号时，第二时钟信号CB通过第五控制子电路25传输至第九节点N9。
- [0127] 第六控制子电路26第五控制子电路25包括第二十七晶体管T27和第二十八晶体管T28，第二十七晶体管T27的控制极连接第五节点N5，第一极连接第九节点N9，第二极连接第三电平信号VGH端，第二十八晶体管T28的控制极连接第四电平信号，第一极连接第三电平信号VGH端，第二极连接第五节点N5。当第二

十七晶体管T27、第二十八晶体管T28控制极均写入低电平信号时，第三电平信号VGH通过第五控制子电路25传输至第五节点N5和第九节点N9。

- [0128] 第三输出子电路43包括第二十六晶体管T26和第四电容C4，第二十六晶体管T26的控制极连接第九节点N9，第一极连接第三电平信号VGH端，第二极连接第二栅信号产生电路20的信号输出端，第四电容C4的一极连接第三电平信号VGH端，另一极连接第九节点N9。当第二十六晶体管T26的控制极写入低电平信号时，第三电平信号VGH通过第二十六晶体管T26传输至第二栅信号产生电路20的信号输出端输出。
- [0129] 第四输出子电路44包括第三十晶体管T30和第七电容，第三十晶体管T30的控制极连接第七节点N7，第一极连接第二栅信号产生电路20的信号输出端，第二极连接第二电平信号端，第七电容的一极连接第二电平信号VGL2端，另一极连接第三十晶体管T30的第一极。当第三十晶体管T30的控制极写入低电平信号时，第二电平信号VGL2通过第三十晶体管T30传输至第二栅信号产生电路20的信号输出端输出。
- [0130] 选通电路7被配置为响应于第一选通信号Nscan[n-1]和第二选通信号Nscan[n]，输出第二电平信号VGL2或者第三电平信号VGH。选通电路7包括第三十一晶体管T31、第三十二晶体管T32、第三十三晶体管T33和第六电容C6。第三十一晶体管T31的控制极连接第四电平信号，第一极连接第三电平信号VGH，第二极连接选通电路7的信号输出端。第三十二晶体管T32的控制极连接第一选通信号Nscan[n-1]端，第一极连接选通电路7的信号输出端，第二极连接第三十三晶体管T33的第一极。第三十三晶体管T33的控制极连接第二选通信号Nscan[n]端，第二极连接控制信号MS端。第六电容C6的一极连接第二电平信号VGL2，另一极连接选通电路7的信号输出端。其中，第一选通信号Nscan[n-1]比第二选通信号Nscan[n]延迟1H，也就是说，控制信号MS只有1H的时间可以被传输至第二输出选择子电路52。
- [0131] 第二输出选择子电路52包括第三十四晶体管T34、第三十五晶体管T35、第三十六晶体管T36和第三十七晶体管T37。第三十四晶体管T34和第三十五晶体管T35均为P型晶体管，第三十六晶体管T36和第三十七晶体管T37均为N型晶体

管。其中，第三十四晶体管T34的控制极连接第二栅信号产生电路20的信号输出端，第一极连接第三电平信号VGH端，第二极连接第二输出选择子电路52的信号输出端。第三十五晶体管T35的控制极连接选通电路7的信号输出端，第一极连接第三电平信号VGH端，第二极连接第二输出选择子电路52的信号输出端。第三十六晶体管T36的控制极连接第二栅信号产生电路20的信号输出端，第一极连接第二输出选择子电路52的信号输出端，第二极连接第三十七晶体管T37的第一极。第三十七晶体管T37的控制极连接选通电路7的信号输出端，第二极连接第一电平信号VGL1端。

[0132] 第二非门62包括第三十八晶体管T38和第三十九晶体管T39。第三十八晶体管T38的控制极连接第二输出选择子电路52的信号输出端，第一极连接第二非门62的信号输出端，第二极连接第一电平信号VGL1端。第三十九晶体管T39的控制极连接第二输出选择子电路52的信号输出端，第一极连接第三电平信号VGH端，第二极连接第二非门62的信号输出端。

[0133] 以下为第二种实施例的第二栅信号产生电路20的工作过程。

[0134] 第一阶段，第一时钟信号CK写入低电平信号，第二时钟信号CB写入高电平信号，输入信号STV写入高电平信号。第二栅信号输出电路输出低电平信号。

[0135] 第二阶段，第一时钟信号CK写入高电平信号，第二时钟信号CB写入低电平信号，输入信号STV写入高电平信号。第二栅信号输出电路输出高电平信号。

[0136] 第三阶段，第一时钟信号CK写入低电平信号，第二时钟信号CB写入高电平信号，输入信号STV写入高电平信号。第二栅信号输出电路输出高电平信号。

[0137] 综上，第二栅信号产生电路20产生的栅极驱动信号为交替的第二电平信号VGL2和第三电平信号VGH。

[0138] 进一步的，选通电路7输出第二电平信号VGL2时，第三十五晶体管T35打开，第三十七晶体管T37关断。无论栅极驱动信号写入第二电平信号VGL2还是第三电平信号VGH，第二输出选择子电路52始终输出流经第三十五晶体管T35的第三电平信号VGH，该信号经过第二非门62后，打开第三十八晶体管T38，第二非门62输出第一电平信号VGL1，即非工作电平信号，此时处于局部显示模式。

- [0139] 选通电路7输出第三电平信号VGH时，第三十五晶体管T35关断，第三十七晶体管T37打开。当栅极驱动信号写入第二电平信号VGL2时，第三十四晶体管T34打开，第二输出选择子电路52输出第三电平信号VGH，该信号打开第三十八晶体管T38，第二非门62输出第一电平信号VGL1。当栅极驱动信号写入第三电平信号VGH时，第三十六晶体管T36打开，第二输出选择子电路52输出第一电平信号VGL1，该信号打开第三十九晶体管T39，第二非门62输出第三电平信号VGH。
- [0140] 也就是说，选通电路7输出第二电平信号VGL2至第二输出选择子电路52时，处于全屏显示模式，输出第三电平信号VGH至第二输出选择子电路52时，处于局部显示模式。第二输出选择子电路52在全屏模式时交替输出第一电平信号VGL1和第三电平信号VGH，在局部模式时输出第一电平信号VGL1。第二非门62在全屏模式时，交替输出第一电平信号VGL1和第三电平信号VGH，在局部模式时输出第三电平信号VGH。其中，第三电平信号VGH为栅极驱动信号的工作电平信号，第二电平信号VGL2为栅极驱动信号的非工作电平信号。
- [0141] 特别的，在显示面板处于局部显示模式，即选通电路7输出第三电平信号VGH时，第三十七晶体管T37被打开。当栅极驱动信号写入第二电平信号VGL2时，第三十六晶体管T36应处于关闭状态，但当第三十六晶体管T36的阈值电压出现负偏时，可能被误打开，致使第一电平信号VGL1传输至第二非门62，影响输出，因此在第二种实施例中，设置第二电平信号VGL2小于第一电平信号VGL1，防止产生漏电，影响电路可靠性。
- [0142] 参照图6，图6为第二种示例的移位寄存器的仿真结果图，从图中可以看出改善漏电情况后的移位寄存器的输出无横纹，具有更低的台阶。
- [0143] 第二方面，本公开提供了一种显示面板，其包括上述任一实施例中的移位寄存器。其中，显示面板可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的显示装置的显示部件。故其功耗低，漏电抗性好。
- [0144] 可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不

脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权利要求书

- [权利要求 1] 一种移位寄存器，其应用于显示面板中，所述显示面板具有全屏显示模式和局部显示模式，所述移位寄存器包括：
- 栅信号产生电路，被配置为生成栅极驱动信号；
- 输出选择电路，被配置为在控制信号的控制下，在全屏显示模式时输出所述栅极驱动信号，在局部显示模式时，输出非工作电平信号。
- [权利要求 2] 根据权利要求1所述的移位寄存器，其中，所述输出选择电路包括：
- 第一输出选择子电路，被配置为响应于所述栅极驱动信号和所述控制信号，在全屏模式时交替输出第二电平信号和第三电平信号，在局部显示模式时输出所述第二电平信号；
- 第一非门，被配置为在全屏模式时，交替输出第一电平信号和所述第三电平信号，在局部模式时输出所述第三电平信号；所述第一电平信号为所述栅极驱动信号的工作电平信号，所述第三电平信号为所述栅极驱动信号的非工作电平信号；
- 所述第一电平信号大于所述第二电平信号。
- [权利要求 3] 根据权利要求2所述的移位寄存器，其中，所述第一输出选择子电路包括：第九晶体管、第十晶体管、第十一晶体管和第十二晶体管；
- 所述第九晶体管的控制极连接所述控制信号端，第一极连接所述第一输出选择子电路的信号输出端，第二极连接第二电平信号端；
- 所述第十晶体管的控制极连接所述控制信号端，第一极连接所述第三电平信号端，第二极连接所述第十二晶体管的第一极；
- 所述第十一晶体管的控制极连接所述栅信号产生电路的信号输出端，第一极连接所述第一输出选择子电路的信号输出端，第二极连接所述第二电平信号端；

所述第十二晶体管的控制极连接所述栅信号产生电路的信号输出端，第一极连接所述第十晶体管的第二极，第二极连接所述第一输出选择子电路的信号输出端。

[权利要求 4]

根据权利要求2所述的移位寄存器，其中，所述第一非门包括：第十三晶体管和第十四晶体管；

所述第十三晶体管的控制极和所述第十四晶体管的控制极的连接节点复用为所述第一非门的信号输入端，连接所述第一输出选择子电路的信号输出端；所述第十三晶体管的第一极和所述第十四晶体管的第二极复用为所述第一非门的信号输出端；

所述第十三晶体管的第二极连接所述第一电平信号端；所述第十四晶体管的第一极连接所述第三电平信号端。

[权利要求 5]

根据权利要求1所述的移位寄存器，其中，所述输出选择电路包括：

第二输出选择子电路，被配置为响应于所述栅极驱动信号和所述控制信号，在全屏模式时交替输出第一电平信号和第三电平信号，在局部模式时输出所述第一电平信号；

第二非门，被配置为在全屏模式时，交替输出所述第一电平信号和所述第三电平信号，在局部模式时输出所述第三电平信号；所述第三电平信号为所述栅极驱动信号的工作电平信号，所述第二电平信号为所述栅极驱动信号的非工作电平信号；

所述第一电平信号和所述第二电平信号的正负性相同；所述第一电平信号大于所述第二电平信号。

[权利要求 6]

根据权利要求5所述的移位寄存器，其中，所述第二输出选择子电路包括：第三十四晶体管、第三十五晶体管、第三十六晶体管和第三十七晶体管；其中，

所述第三十四晶体管的控制极连接栅信号产生电路的信号输出端，第一极连接所述第三电平信号端，第二极连接所述第二输出选择子电路的信号输出端；

所述第三十五晶体管的控制极连接选通电路的信号输出端，第一极连接所述第三电平信号端，第二极连接所述第二输出选择子电路的信号输出端；

所述第三十六晶体管的控制极连接所述栅信号产生电路的信号输出端，第一极连接所述第二输出选择子电路的信号输出端，第二极连接所述第三十七晶体管的第一极；

所述第三十七晶体管的控制极连接所述选通电路的信号输出端，第二极连接所述第一电平信号端。

[权利要求 7]

根据权利要求5所述的移位寄存器，其中，所述第二非门包括：第三十八晶体管和第三十九晶体管；

所述第三十八晶体管的控制极连接所述第二输出选择子电路的信号输出端，第一极连接所述第二非门的信号输出端，第二极连接所述第一电平信号端；

所述第三十九晶体管的控制极连接所述第二输出选择子电路的信号输出端，第一极连接所述第三电平信号端，第二极连接所述第二非门的信号输出端。

[权利要求 8]

根据权利要求2-4中任一项所述的移位寄存器，其中，所述第一栅信号产生电路包括第一输入子电路、第二输入子电路、第一控制子电路、第二控制子电路、第一稳压子电路、第一输出子电路和第二输出子电路；其中，

所述第一输入子电路，被配置为响应于第一时钟信号，将输入信号传输至第二节点；所述第二节点为所述第一输入子电路、所述第一控制子电路、所述第二控制子电路和所述第一稳压子电路的连接节点；

所述第二输入子电路，被配置为响应于所述第一时钟信号，将第二电平信号传输至第一节点；所述第一节点为所述第二输入子电路、所述第一控制子电路、所述第二控制子电路和所述第一输出子电路的连接节点；

所述第一控制子电路，被配置为响应于所述第二节点的电压，将所述第一时钟信号传输至所述第一节点；

所述第二控制子电路，被配置为响应于所述第一节点的电压和第二时钟信号，将所述第三电平信号传输至所述第二节点；

所述第一稳压子电路，被配置为响应于所述第二电平信号，将所述第二节点的电压传输至所述第三节点；所述第三节点为所述稳压子电路和所述第二输出子电路的连接节点；

所述第一输出子电路，被配置为响应于所述第一节点的电压，将所述第三电平信号传输至所述第一栅信号产生电路的信号输出端输出；

所述第二输出子电路，被配置为响应于所述第三节点的电压，将所述第二时钟信号传输至所述第一栅信号产生电路的信号输出端输出。

[权利要求 9] 根据权利要求8所述的显示面板，其中，所述第一输入子电路包括第一晶体管；所述第一晶体管的控制极连接所述第一时钟信号端，第一极连接所述输入信号端，第二极连接所述第二节点。

[权利要求 10] 根据权利要求8所述的显示面板，其中，所述第二输入子电路包括第三晶体管；所述第三晶体管的控制极连接所述第一时钟信号端，第一极连接所述第二电平信号端，第二极连接所述第一节点。

[权利要求 11] 根据权利要求8所述的显示面板，其中，所述第一控制子电路包括第二晶体管；所述第二晶体管的控制极连接所述第二节点，第一极连接所述第一节点，第二极连接所述第一时钟信号端。

[权利要求 12] 根据权利要求8所述的显示面板，其中，所述第二控制子电路包括第六晶体管和第七晶体管；所述第六晶体管的控制极连接所述第二节点，第一极连接所述第三电平信号端，第二极连接所述第七晶体管的第一极；所述第七晶体管的控制极连接所述第二时钟信号端，第一极连接所述第六晶体的第二极，第二极连接所述第二节点。

- [权利要求 13] 根据权利要求8所述的显示面板，其中，所述第一稳压子电路包括第八晶体管；所述第八晶体管的控制极连接所述第二电平信号端，第一极连接所述第二节点，第二极连接所述第三节点。
- [权利要求 14] 根据权利要求8所述的显示面板，其中，所述第一输出子电路包括第四晶体管和第一电容；所述第四晶体管的控制极连接所述第一节点，第一极连接所述第三电平信号端，第二极连接所述第一栅信号产生电路的信号输出端；所述第一电容的一极连接所述第一节点，另一极连接所述第三电平信号端。
- [权利要求 15] 根据权利要求8所述的显示面板，其中，所述第二输出子电路包括第五晶体管和第二电容；所述第五晶体管的控制极连接所述第三节点，第一极连接所述第一栅极驱动电路的信号输出端，第二极连接所述第二时钟信号端；所述第二电容的一极连接所述第三节点，另一极连接所述第一栅信号产生电路的信号输出端。
- [权利要求 16] 根据权利要求5-7中任一项所述的移位寄存器，其中，所述第二栅信号产生电路包括第三输入子电路、第四输入子电路、第二稳压子电路、第三控制子电路、第四控制子电路、第五控制子电路、第六控制子电路、第三输出子电路和第四输出子电路；其中，
所述第三输入子电路，被配置为响应于第一时钟信号，将第二电平信号传输至第四节点；所述第四节点为所述第三输入子电路、所述第三控制子电路和所述第二稳压子电路的连接节点；
所述第四输入子电路，被配置为响应于所述第一时钟信号和所述第二电平信号，将第一选通信号传输至第五节点、第六节点和第七节点；所述第五节点为所述第三控制子电路和所述第四输入子电路的连接节点；所述第六节点为所述第四输入子电路和所述第四控制子电路的连接节点；所述第七节点为所述第四输入子电路、第四控制子电路和所述第四输出子电路的连接节点；

所述第二稳压子电路，被配置响应于所述第二电平信号，将所述第四节点的电压传输至第八节点；所述第八节点为所述第二稳压子电路和所述第五控制子电路的连接节点；

所述第三控制子电路，被配置为响应于所述第五节点的电压，将所述第一时钟信号传输至所述第四节点；

所述第四控制子电路，被配置为响应于第四节点的电压、第六节点的电压和第七节点的电压，将第六节点的电压传输至所述第七节点；

所述第五控制子电路，被配置为响应于所述第八节点的电压和所述第二时钟信号端，将所述第二时钟信号传输至第九节点；所述第九节点为所述第五控制子电路和所述第三输出子电路的连接节点；

所述第六控制子电路，被配置为响应于所述第五节点的电压和第四电平信号，将所述第三电平信号传输至所述第五节点和所述第九节点；

所述第三输出子电路，被配置为响应于所述第九节点的电压，将所述第三电平信号传输至所述第二栅信号产生电路的信号输出端输出；

所述第四输出子电路，被配置为响应于所述第七节点的电压，将所述第二电平信号传输至所述第二栅信号产生电路的信号输出端输出。

[权利要求 17] 根据权利要求16所述的显示面板，其中，所述第三输入子电路包括第十五晶体管；所述第十五晶体管的控制极连接所述第一时钟信号端，第一极连接所述第二电平信号端，第二极连接所述第四节点。

[权利要求 18] 根据权利要求16所述的显示面板，其中，所述第四输入子电路包括第十六晶体管、第十七晶体管、第十八晶体管和第十九晶体管；所述第十六晶体管的控制极连接所述第一时钟信号端，第一极连接所述第一选通信号端，第二极连接所述第五节点；所述第十七晶体管的控制极连接所述第二电平信号端，第一极连接所述第五节点，

第二极连接所述第七节点；所述第十八晶体管的第一极连接所述第一时钟信号端，第一极连接所述第一选通信号端，第二极连接所述第十九晶体管的第一极；所述第十九晶体管的控制极连接所述第二电平信号端，第二极连接所述第六节点。

[权利要求 19] 根据权利要求16所述的显示面板，其中，所述第二稳压子电路包括第二十三晶体管；所述第二十三晶体管的控制极连接所述第二电平信号端，第一极连接所述第四节点，第二极连接所述第八节点。

[权利要求 20] 根据权利要求16所述的显示面板，其中，所述第三控制子电路包括第二十晶体管；所述第二十晶体管的控制极连接所述第五节点，第一极连接所述第四节点，第二极连接所述第一时钟信号端。

[权利要求 21] 根据权利要求16所述的显示面板，其中，所述第四控制子电路包括第二十一晶体管、第二十二晶体管、第二十九晶体管和第五电容；所述第二十一晶体管的控制极连接所述第四节点，第一极连接所述第三电平信号端，第二极连接所述第二十二晶体管的第一极；所述第二十二晶体管的控制极连接所述第三节点，第二极连接所述第二时钟信号端；所述第二十九晶体管的控制极连接所述第六节点，第一极连接所述第七节点，第二极连接所述第六节点；所述第五电容的一极连接所述第二十一晶体管的第二极，另一极连接所述第六节点。

[权利要求 22] 根据权利要求16所述的显示面板，其中，所述第五控制子电路包括第二十四晶体管、第二十五晶体管和第三电容；所述第二十四晶体管的控制极连接所述第八节点，第一极连接所述第二时钟信号端，第二极连接所述第二十五晶体管的第一极；所述第二十五晶体管的控制极连接所述第二时钟信号端，第二极连接所述第九节点；所述第三电容的一极连接所述第八节点，另一极连接所述第二十四晶体管的第二极。

[权利要求 23] 根据权利要求16所述的显示面板，其中，所述第六控制子电路包括第二十七晶体管和第二十八晶体管；

所述第二十七晶体管的控制极连接所述第五节点，第一极连接所述第九节点，第二极连接所述第三电平信号端；所述第二十八晶体管的控制极连接所述第四电平信号，第一极连接所述第三电平信号端，第二极连接所述第五节点。

[权利要求 24] 根据权利要求16所述的显示面板，其中，所述第三输出子电路包括第二十六晶体管和第四电容；
所述第二十六晶体管的控制极连接所述第九节点，第一极连接所述第三电平信号端，第二极连接所述第二栅信号产生电路的信号输出端；所述第四电容的一极连接所述第三电平信号端，另一极连接所述第九节点。

[权利要求 25] 根据权利要求16所述的显示面板，其中，所述第四输出子电路包括第三十晶体管和第七电容；
所述第三十晶体管的控制极连接所述第七节点，第一极连接所述第二栅信号产生电路的信号输出端，第二极连接所述第二电平信号端；所述第七电容的一极连接所述第二电平信号端，另一极连接所述第三十晶体管的第一极；
所述第二栅信号产生电路的信号输出端输出第二选通信号。

[权利要求 26] 根据权利要求16所述的移位寄存器，其中，还包括选通电路；所述选通电路的信号输出端连接所述第二输出选择子电路；
所述选通电路被配置为响应于第一选通信号和第二选通信号，输出所述第二电平信号或者第三电平信号。

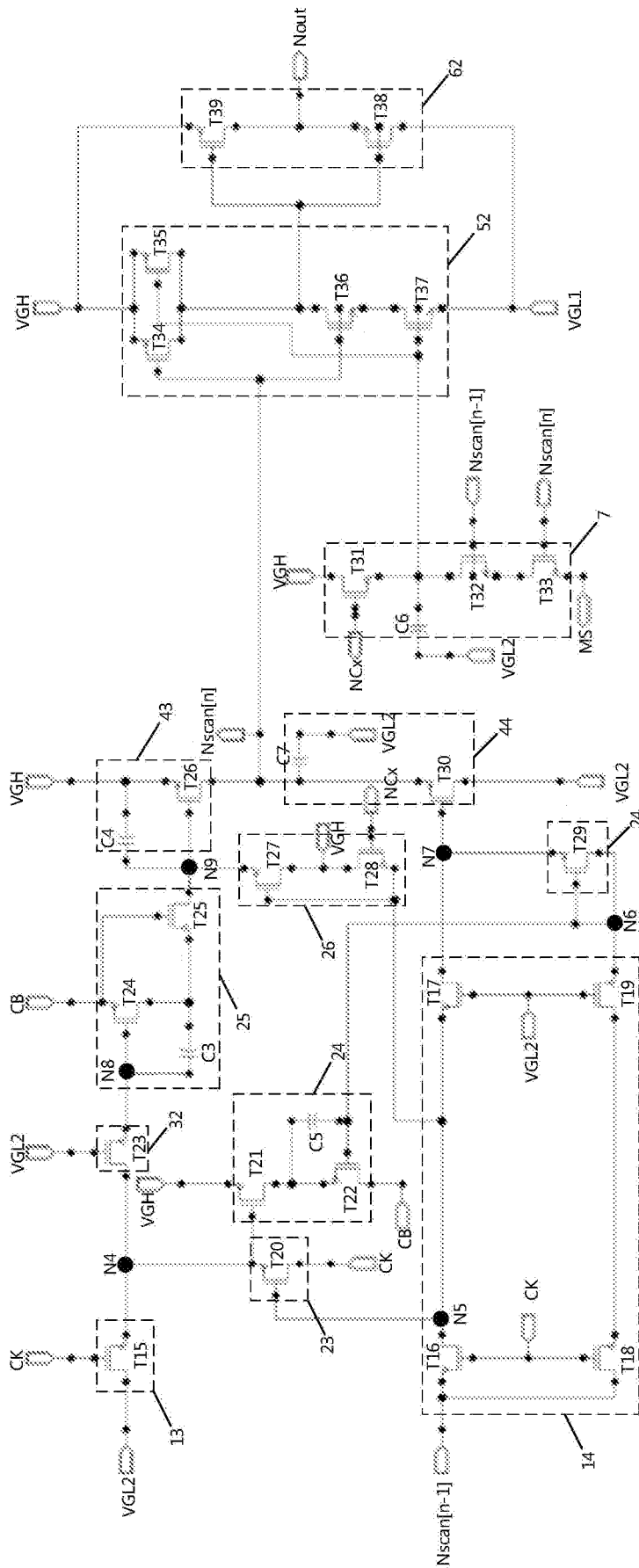
[权利要求 27] 根据权利要求26所述的显示面板，其中，所述选通电路包括第三十一晶体管、第三十二晶体管、第三十三晶体管和第六电容；
所述第三十一晶体管的控制极连接所述第四电平信号，第一极连接所述第三电平信号，第二极连接所述选通电路的信号输出端；
所述第三十二晶体管的控制极连接所述第一选通信号端，第一极连接所述选通电路的信号输出端，第二极连接所述第三十三晶体管的第一极；

细则 91,
19.02.2024

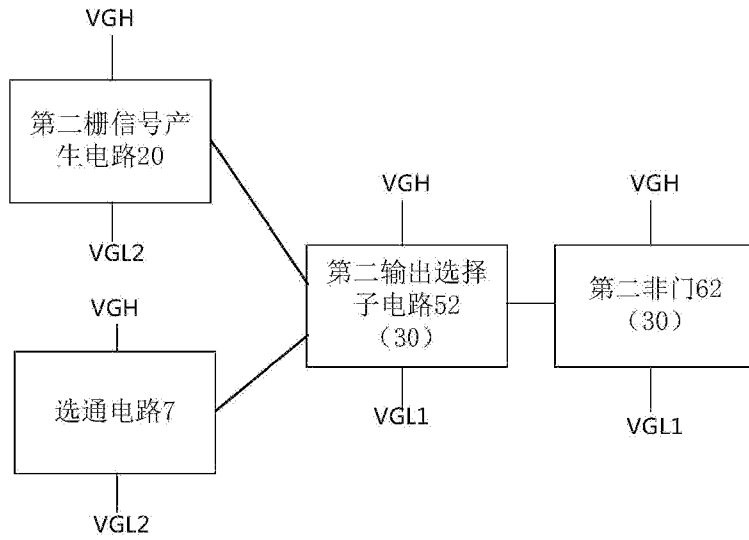
	所述第三十三晶体管的控制极连接所述第二选通信号端，第二极连接所述控制信号端； 所述第六电容的一极连接所述第二电平信号，另一极连接所述选通电路的信号输出端。	
[权利要求 28]	根据权利要求1所述的移位寄存器，其中，还包括多个像素单元；所述像素单元与所述移位寄存器一一对应连接。	细则 91, 19.02.2024
[权利要求 29]	一种显示面板，其包括如权利要求1-28任一项所述的移位寄存器。	细则 91, 19.02.2024

波形评价			ΔV_{th}								
			-4	-3	-2	-1	0	1	2	3	4
1	Nor	漏电 /A	波形	波形	波形	2.64E-15	5.50E-08	4.38E-06	1.78E-05	4.13E-05	波形
		功耗 /mA				1.77E-07	3.7	294.2	1198.2	2773.9	
2	GOA MS-9 v	漏电 /A	波形	波形	1.02E-16	1.34E-16	3.27E-16	2.64E-15	5.50E-08	4.38E-06	波形
		功耗 /mA			0.68E-08	0.9E-08	2.2E-08	1.77E-07	3.7	294.2	

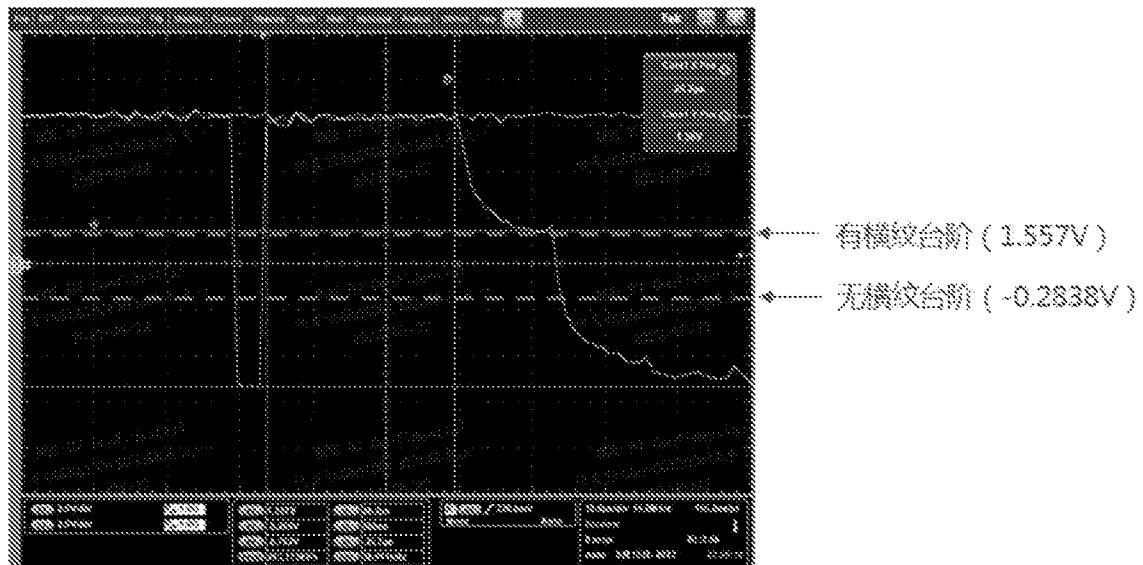
[图 4]



[图 5]



[图 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/070089

A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i; G11C19/28(2006.01)n According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G,G11C Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, ENTXT, ENTXTC, VEN: 移位寄存器, 电压, 非门, 栅极, 阈值, 漂移, 正偏, 负偏, 局部, 全屏, 选择, shift register, half, partial, area, threshold, gate, voltage, bias, shift, choose, switch, display, screen.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 111210754 A (BOE TECHNOLOGY GROUP CO., LTD.) 29 May 2020 (2020-05-29) paragraphs 0071 and 0077-0084, and figure 11	1, 28-29
A	CN 104091574 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 October 2014 (2014-10-08) entire document	1-29
A	CN 116312334 A (YUNGU (GU'AN) TECHNOLOGY CO., LTD.) 23 June 2023 (2023-06-23) entire document	1-29
A	CN 117594002 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 February 2024 (2024-02-23) entire document	1-29
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 23 May 2024		Date of mailing of the international search report 27 July 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/070089

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111210754	A	29 May 2020	CN	11210754	B	19 August 2022
CN	104091574	A	08 October 2014	US	2015380107	A1	31 December 2015
				US	9495931	B2	15 November 2016
				CN	104091574	B	02 March 2016
CN	116312334	A	23 June 2023	None			
CN	117594002	A	23 February 2024	None			

A. 主题的分类

G09G3/30(2006.01)i; G11C19/28(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G,G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT,ENTXT,ENTXTC,VEN:移位寄存器, 电压, 非门, 栅极, 阈值, 漂移, 正偏, 负偏,局部, 全屏, 选择, shift register, half, partial, area, threshold, gate, voltage, bias, shift, choose, switch, display, screen.

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 111210754 A (京东方科技集团股份有限公司) 2020年5月29日 (2020 - 05 - 29) 第0071、0077-0084段, 附图11	1、28-29
A	CN 104091574 A (京东方科技集团股份有限公司 等) 2014年10月8日 (2014 - 10 - 08) 全文	1-29
A	CN 116312334 A (云谷(固安)科技有限公司) 2023年6月23日 (2023 - 06 - 23) 全文	1-29
A	CN 117594002 A (京东方科技集团股份有限公司 等) 2024年2月23日 (2024 - 02 - 23) 全文	1-29

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年5月23日

国际检索报告邮寄日期

2024年7月27日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张诗伯

电话号码 (+86) 027-59371780

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/070089

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	111210754	A	2020年5月29日	CN 11210754 B	2022年8月19日
CN	104091574	A	2014年10月8日	US 2015380107 A1	2015年12月31日
				US 9495931 B2	2016年11月15日
				CN 104091574 B	2016年3月2日
CN	116312334	A	2023年6月23日	无	
CN	117594002	A	2024年2月23日	无	