(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0009067
(43) 공개일자 2010년01월27일

(51) Int. Cl.
H03K 23/00 (2006.01)
(21) 출원번호 10-2008-0069755
(22) 출원일자 2008년07월17일
심사청구일자 2008년07월17일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김철우
서울 성북구 길음동 1283 길음뉴타운 605-1301
구자범
서울 서초구 방배동 경남아파트 2-205
옥성화
서울 동대문구 용두2동 738-2 효명빌딩 210호
(74) 대리인
전종학

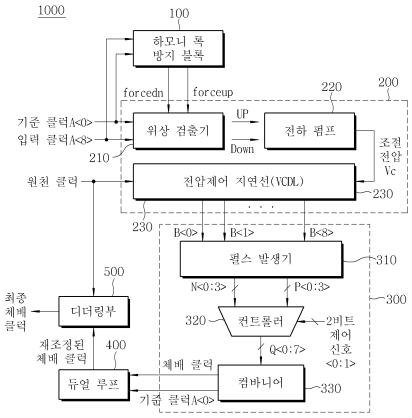
전체 청구항 수 : 총 21 항

(54) 지연고정루프 기반의 주파수 체배 시스템 및 그 체배 방법

(57) 요 약

본 발명은 주파수 체배 기술을 개시한다. 즉, 하모닉 록 방지 블록을 이용하여 입력 클럭의 일정 주기 상에 존재하는 불필요한 펄스를 삭제시킨 후, 입력 클럭 상에 존재하는 당해 펄스 신호를 기준 클럭의 일정 주기 내에 포함되도록 제어함으로써 보다 넓은 대역폭을 갖는 입력 클럭이 들어오더라도 하모닉 록을 사전에 방지하고 또한, 채비 클럭의 급격한 변화에 따라 발생되는 내부 잡음을 디더링부를 이용하여 제거시켜 지연고정루프 기반의 주파수 체배 시스템 및 그 체배 방법을 구현한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

다중 클럭 중 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 판단하는 하모닉 록 방지 블록;

상기 다중 클럭을 수신하며, 상기 입력 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하고, 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환시켜 상기 조절 전압을 다중 클럭에 적용함에 따른 다중 조정 클럭을 생성하는 지연고정루프;

2비트 제어 신호로 채배비를 설정하고, 상기 기설정된 채배비 만큼 상기 다중 조정 클럭을 체배시킨 체배 클럭을 생성하는 주파수 체배부;

상기 체배 클럭을 재검증하여 상기 체배 클럭에 불요 펄스가 존재할 경우, 상기 불요 펄스를 하나 이상 삭제하고 상기 체배 클럭의 일정 주기 내에 존재하는 당해 펄스 신호를 선별하여 상기 기준 클럭의 일정 주기 내에 위치하도록 재배치시키는 듀얼 루프; 및

상기 주파수 체배부에 의해 기설정된 배수비가 변경되더라도 변경 전의 체배 클럭과 변경 후의 체배 클럭을 적어도 일 회 이상 스위칭시켜 상기 체배 클럭에 기생하는 내부 잡음을 제거하는 디더링부;

를 포함하는 주파수 체배 시스템.

청구항 2

청구항 1에 있어서,

상기 하모닉 록 방지 블록은,

D-플립플롭을 다수개 구비하며, 상기 입력 클럭의 일정 주기 상에 존재하는 N개의 펄스 신호 중 첫번째 펄스부터 N-1 번째의 펄스 신호까지 삭제시킨 수정 입력 클럭과 상기 기준 클럭 간의 위상차를 비교하는 클럭 동기 회로부;를 포함하는 주파수 체배 시스템.

청구항 3

청구항 1에 있어서,

상기 지연고정루프는,

상기 하모닉 록 블록으로부터 전달된 강제조절신호를 이용하여 상기 수정 입력 클럭에 존재하는 당해 펄스 신호와 상기 기준 클럭 간의 위상차를 표시하는 UP 신호 또는 DOWN 신호를 강제 조절하는 위상 검출기;

상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환시키는 전하 펌프; 및

상기 다중 클럭을 수신하며, 상기 전하 펌프로부터 전달된 조절 전압을 상기 다중 클럭에 적용시켜 다중 조정 클럭을 생성하는 전압제어 지연선;을 포함하는 주파수 체배 시스템.

청구항 4

청구항 1에 있어서,

상기 주파수 체배부는,

상기 전압제어 지연선으로부터 출력된 다중 조정 클럭을 기구비된 다수의 플립플롭에 입력시켜 상기 다중 조정 클럭을 활성화하고, 상기 다중 조정 클럭 간의 일정한 지연 폭을 갖는 단위 펄스를 다수개를 생성하는 펄스 생성기;

상기 2비트 제어 신호를 상기 활성화된 다중 조정 클럭에 적용시켜 상기 일정한 지연 폭을 갖는 단위 펄스의 출력 수를 조율하는 상기 컨트롤러; 및

상기 다수의 단위 펄스를 제 1 단위펄스 그룹과 제 2 단위펄스 그룹으로 분리한 후, 상기 제 1 단위펄스 그룹과

제 2 단위펄스 그룹 중 선택된 하나를 기구비된 NMOS에 입력시켜 추출된 하이 단위펄스 그룹과, 상기 제 1 단위펄스 그룹 또는 제 2 단위펄스 그룹 중 나머지 하나를 기구비된 PMOS에 입력시켜 추출된 로우 단위펄스 그룹을 서로 결합한 체배 클럭을 생성하는 컴바이너;를 포함하는 주파수 체배 시스템.

청구항 5

청구항 1에 있어서,

상기 듀얼 루프는,

상기 주파수 체배부로부터 기준 클럭과 체배 클럭을 입력받아, 상기 체배 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 재검증하는 하모닉 록 방지 블록; 및

상기 체배 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 조절 전압을 이용하여 상기 체배 클럭을 재조정하는 지연 고정 루프;를 포함하는 주파수 체배 시스템.

청구항 6

청구항 1에 있어서,

상기 디더링부는,

상기 체배 클럭 내부에 기생하는 간섭 신호 중에 하나인 내부 잡음을 제거시켜 최종 체배 클럭을 생성하는 것을 특징으로 하는 주파수 체배 시스템.

청구항 7

다중 클럭 중에 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 판단하는 하모닉 록 방지 블록;

상기 다중 클럭을 수신하며, 상기 입력 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하고, 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환시켜 상기 조절 전압을 다중 클럭에 적용함에 따른 다중 조정 클럭을 생성하는 지연고정루프; 및

상기 2 비트 이상의 제어 신호로 체배비를 설정하고, 기설정된 체배비 만큼 상기 다중 조정 클럭을 체배시킨 체배 클럭을 생성하는 주파수 체배부;

를 포함하는 주파수 체배 시스템.

청구항 8

청구항 7에 있어서,

상기 주파수 체배 시스템은,

상기 주파수 체배부로부터 전달된 체배 클럭을 재검증하여 상기 체배 클럭에 불요 펄스가 존재할 경우, 상기 불요 펄스를 하나 이상 삭제하고 상기 체배 클럭의 일정 주기 내에 존재하는 당해 펄스 신호가 상기 기준 클럭의 0.5 주기 내지 1.5 주기 이하에 위치하도록 재배치시키는 듀얼 루프; 및

상기 주파수 체배부에 의해 기설정된 배수비가 변경되더라도 변경 전의 체배 클럭과 변경 후의 체배 클럭을 적어도 일 회 이상 스위칭시켜 상기 체배 클럭에 기생하는 내부 잡음을 제거하는 디더링부;를 포함하는 주파수 체배 시스템.

청구항 9

청구항 7 또는 청구항 8에 있어서,

상기 듀얼 루프는,

상기 주파수 체배부로부터 기준 클럭과 체배 클럭을 입력받아, 상기 체배 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 0.5 주기 내지 1.5 주기 내에 포함되는지 여부를 재검증하는 하모닉 록 방지 블록; 및

상기 체배 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 조절 전압을 이용하여 상기 체배 클럭을 재조정하는 지연 고정 루프;를 포함하는 주파수 체배 시스템.

청구항 10

하모닉 록 방지 블록이 다중 클럭 중에 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 판단하는 단계;

지연고정루프가 상기 다중 클럭을 수신하고, 상기 입력 클럭과 기준 클럭 간에 위상차가 생기면 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하는 단계;

상기 지연고정루프가 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환하는 단계;

상기 지연고정루프가 상기 조절 전압을 다중 클럭에 적용시켜 다중 조정 클럭을 생성하는 단계;

주파수 체배부가 2비트 제어 신호로 체배비를 설정하고, 상기 기설정된 체배비 만큼 상기 다중 조정 클럭을 체배시킨 체배 클럭을 생성하는 단계;

듀얼 루프가 상기 체배 클럭을 재검증하여 상기 체배 클럭에 불요 펄스가 존재할 경우, 상기 불요 펄스를 하나 이상 삭제하는 단계;

상기 듀얼 루프가 상기 체배 클럭의 일정 주기 내에 존재하는 당해 펄스 신호를 선별하여 상기 기준 클럭의 일정 주기 내에 위치하도록 재배치시키는 단계;

디더링부가 상기 주파수 체배부에 의해 기설정된 배수비가 변경되더라도 변경 전의 체배 클럭과 변경 후의 체배 클럭을 적어도 일 회 이상 스위칭시키는 단계; 및

상기 디더링부가 상기 체배 클럭에 기생하는 내부 잡음을 제거하는 단계;

를 포함하는 주파수 체배 방법.

청구항 11

청구항 10에 있어서,

상기 하모닉 록 방지 블록에 구비된 클럭 동기 회로부가,

상기 입력 클럭의 일정 주기 상에 존재하는 N개의 펄스 신호 중 첫번째 펄스부터 N-1 번째의 펄스 신호까지 삭제시킨 수정 입력 클럭을 생성하는 단계; 및

상기 수정 입력 클럭과 기준 클럭 간의 위상차를 비교하는 단계;를 더 포함하는 주파수 체배 방법.

청구항 12

청구항 10에 있어서,

상기 지연고정루프에 구비된,

위상 검출기가 상기 하모닉 록 블록으로부터 전달된 강제조절신호를 이용하여 상기 수정 입력 클럭에 존재하는 당해 펄스 신호와 상기 기준 클럭 간의 위상차를 표시하는 UP 신호 또는 DOWN 신호를 강제 조절하는 단계;

전하 펌프가 상기 위상차를 나타나는 사용된 UP 신호 또는 DOWN 신호를 조절 전압으로 변환시키는 단계; 및

전압제어 지연선이 상기 다중 클럭을 수신하며, 상기 전하 펌프로부터 전달된 조절 전압을 상기 다중 클럭에 적용시켜 다중 조정 클럭을 생성하는 단계;를 더 포함하는 주파수 체배 방법.

청구항 13

청구항 10에 있어서,

상기 주파수 체배부에 구비된

펄스 생성기가 상기 전압제어 지연선으로부터 출력된 다중 조정 클럭을 기구비된 다수의 플립플롭에 입력시켜 상기 자중 조정 클럭을 활성화하고, 상기 다중 조정 클럭 간의 일정한 지연 폭을 갖는 단위 펄스를 다수개 생성

하는 단계;

컨트롤러가 상기 2비트 제어 신호를 상기 활성화된 다중 조정 클럭에 적용시켜 상기 일정한 지연 폭을 갖는 단위 펄스의 출력 수를 조율하는 단계;

컴바이너가 상기 다수의 단위 펄스를 제 1 단위펄스 그룹과 제 2 단위펄스 그룹으로 분리한 후, 상기 제 1 단위펄스 그룹과 제 2 단위펄스 그룹 중 선택된 하나를 기구비된 NMOS에 입력시켜 하이 단위펄스 그룹을 추출하는 단계;

상기 컴바이너가 상기 제 1 단위펄스 그룹과 제 2 단위펄스 그룹 중 나머지 하나를 기구비된 PMOS에 입력시켜 로우 단위펄스 그룹을 추출하는 단계; 및

상기 컴바이너가 상기 추출된 하이 단위펄스 그룹 및 로우 단위펄스 그룹을 서로 결합한 체배 클럭을 생성하는 단계;를 더 포함하는 주파수 체배 방법.

청구항 14

청구항 10에 있어서,

상기 듀얼 루프에 구비된

하모닉 록 방지 블록이 상기 주파수 체배부로부터 기준 클럭과 체배 클럭을 입력받아, 상기 체배 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 재검증하는 단계; 및

지연 고정 루프가 상기 체배 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 조절 전압을 이용하여 상기 체배 클럭을 재조정하는 단계;를 더 포함하는 주파수 체배 방법.

청구항 15

청구항 10에 있어서,

상기 디더링부가

상기 체배 클럭 내부에 기생하는 간섭 신호 중에 하나인 내부 잡음을 제거시켜 최종 체배 클럭을 생성하는 단계;를 더 포함하는 주파수 체배 방법.

청구항 16

하모닉 록 방지 블록이 다중 클럭 중 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 0.5 주기 내지 1.5 주기 이하에 포함되는지 여부를 판단하는 단계;

지연고정루프가 상기 다중 클럭을 수신하며, 상기 입력 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하는 단계;

상기 지연고정루프가 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환하는 단계;

상기 지연고정루프가 상기 조절 전압을 다중 클럭에 적용함에 따라 다중 조정 클럭을 생성하는 단계; 및

주파수 체배부가 2비트의 제어 신호로 채배비를 설정하고 상기 기설정된 체배비 만큼 상기 다중 조정 클럭을 체배시켜 체배 클럭을 생성하는 단계;

를 포함하는 주파수 체배 방법.

청구항 17

2 비트 제어 신호의 변화를 감지함에 따라, 상기 2 비트 제어 신호의 각 비트가 1에서 0으로 또는 1에서 0으로 변할 경우, 숏 펄스를 발생하는 복수의 변화 감지 블록;

상기 숏 펄스를 클록단에서 수신하여 출력값을 1 또는 0으로 변하게 하는 D-플립플롭;

제 1 입력단을 상기 D-플립플롭의 출력단과 연결하고, 제 2 입력단으로 참조 클럭 신호를 수신하는 AND 게이트;

상기 참조 클럭 신호를 입력받아 MSB 번지의 카운터 값이 1이 될 때까지 계속 동작시키고, 상기 LSB 번지의 카운터 값을 외부에 출력하는 카운터;

상기 LSB 번지의 카운터 값 1 을 수신하면 변경 전 체배 클럭을 출력시키고, LSB 번지의 카운터 값 0을 수신하면 변경 후 체배 클럭으로 출력시키는 멀티플렉서; 및

상기 MSB 번지의 카운터 값이 0에서 1로 바뀔 경우, 상기 숏 펄스를 추가 발생시켜 상기 D-플립플롭의 출력단의 출력값 및 카운터의 출력단의 출력값을 동시에 0으로 리셋시키는 상승 에지 검출기;

를 포함하는 디더링부.

청구항 18

청구항 17에 있어서,

상기 D-플립플롭의 출력단과 연결된 제 1 입력단의 입력값이 0일 경우,

상기 AND 게이트의 출력단의 출력값은 제 2 입력단의 입력값과 무관하게 0의 값을 갖는 것을 특징으로 하는 디더링부.

청구항 19

청구항 17 또는 청구항 18에 있어서,

상기 제 2 입력단에 입력된 참조 클럭 신호는 외부로부터 전달된 기준 클럭보다 4배 저속(低速)한 클럭인 것을 특징으로 하는 디더링부.

청구항 20

복수의 변화 감지 블록이 2 비트 제어 신호의 변화를 감지함에 따라, 상기 2 비트 제어 신호의 각 비트가 1에서 0으로 또는 1에서 0으로 변할 경우, 숏 펄스를 발생하는 단계;

D-플립플롭이 상기 숏 펄스를 클록단에서 수신하여 출력값을 1 또는 0으로 변하게 하는 단계;

AND 게이트가 제 1 입력단을 상기 D-플립플롭의 출력단과 연결하고, 제 2 입력단으로 참조 클럭 신호를 수신하는 단계;

카운터가 상기 참조 클럭 신호를 입력받아 MSB 번지의 카운터 값이 1이 될 때까지 계속 동작시키고, 상기 LSB 번지의 카운터 값을 외부에 출력하는 단계;

멀티플렉서가 상기 LSB 번지의 카운터 값 1을 수신하면 변경 전 체배 클럭을 출력시키고, LSB 번지의 카운터 값 0을 수신하면 변경 후 체배 클럭으로 출력시키는 단계;

상승 에지 검출기가 상기 MSB 번지의 카운터 값이 0에서 1로 바뀔 경우, 상기 숏 펄스를 추가 발생시켜 상기 D-플립플롭의 출력단의 출력값 및 카운터의 출력단의 출력값을 동시에 0으로 리셋시키는 단계;

를 포함하는 디더링부의 디더링 방법.

청구항 21

청구항 20에 있어서,

상기 D-플립플롭의 출력단과 연결된 제 1 입력단의 입력값이 0일 경우,

상기 AND 게이트의 출력단의 출력값이 제 2 입력단의 입력값과 상관없이 0 값을 갖는 단계;를 더 포함하는 디더링부의 디더링 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 주파수 체배 기술에 관한 것으로, 더욱 상세하게는 하모닉 록 방지 블록을 이용하여 입력 클럭의 일정 주기 상에 존재하는 불필요한 펄스를 삭제시킨 후, 입력 클럭 상에 존재하는 당해 펄스 신호를 기준 클럭의 일정 주기 내에 포함되도록 제어함으로써 보다 넓은 대역폭을 갖는 입력 클럭이 들어오더라도 하모닉 록을 사전

에 방지하고, 또한, 채비 클럭의 급격한 변화에 따라 발생되는 내부 잡음을 디더링부를 이용하여 제거시키는 지연고정루프 기반의 주파수 체배 시스템 및 그 체배 방법에 관한 것이다.

배 경 기 술

<2> 컴퓨터 및 디지털 통신 기기들의 동작 대역폭이 넓어지고 데이터 처리량이 늘어나면서, 최근의 프로세서 또는 디지털 기기는 높은 주파수에서 동작하는 클럭을 요구하고 있으며 원 칩 내에서 집적할 수 있는 IP(Intelligent Property)의 수가 늘어나면서 파워 소모를 줄이는 회로 설계를 요구하고 있다.

<3> 평소에 높은 주파수의 클럭에서 동작하다가 모든 IP가 동작하여 파워 소모가 높아 질 경우에 클럭 주파수가 낮춤으로써 동적 파워 소모가 작으면서 동작 대역폭이 넓은 클럭 발생기를 필요로 하고 있다.

<4> 최근의 임베디드 시스템에서는 한 개의 칩 안에 여러 개의 프로세스를 사용하는 멀티 쓰레드 방식을 채택하고 있어 각 프로세스에 맞는 주파수 클럭을 입력받기를 원하고 있다.

<5> 다중 프로세서 또는 여러 IP들이 집적된 원 칩에서는 여러 주파수의 클럭들을 필요하기 때문에 기준 클럭과 체배된 클럭이 동기화되어야 한다.

발명의 내용

해결 하고자하는 과제

<6> 종래의 지연고정루프 기반의 주파수 체배기는 지연고정루프에 구비된 전압제어 지연선을 통과한 마지막 다중 클럭이 기준 클럭보다 한 주기 뒤에 바로 록이 되어야 일정 간격으로 지연된 다중 클럭들을 얻을 수 있으나 마지막 다중 클럭이 기준 클럭의 두 주기 또는 세 주기 뒤에 록이 되면 다중 클럭들 간의 지연량이 늘어나게 되어 원하는 주파수보다 낮은 주파수 클럭이 발생되는 하모닉 록 현상을 발생시킨다.

<7> 즉, 기존 하모닉 록 방지 블록은 기준 클럭과 다중 클럭 중 마지막 클럭 간의 지연량이 커져서 하모닉 록을 방지하지 못하는 문제점이 있다.

<8> 또한, 체배된 클럭 주파수가 기준 클럭 주파수보다 적게는 0.5배, 많게는 2배로 커질 경우, 체배된 클럭의 급격한 주파수의 변화는 전원 전압으로 인한 잡음을 발생시키며, 특히, 전원전압 공급선에 발생되는 기생 인덕터가 클 경우엔 잡음은 더욱 심하게 생성된다.

과제 해결수단

<9> 지연고정루프 기반의 주파수 체배 시스템 및 그 체배 방법은 하모닉 록 방지 블록을 이용하여 입력 클럭의 일정 주기 상에 존재하는 불필요한 펄스를 삭제시킨 후, 입력 클럭 상에 존재하는 당해 펄스 신호를 기준 클럭의 일정 주기 내에 포함되도록 제어함으로써 보다 넓은 대역폭을 갖는 입력 클럭이 들어오더라도 하모닉 록을 사전에 방지하고, 또한, 채비 클럭의 급격한 변화에 따라 발생되는 내부 잡음을 디더링부를 이용하여 제거시키기 위함이다.

<10> 상기의 과제를 달성하기 위한 본 발명은 다음과 같은 구성을 포함한다.

<11> 즉, 주파수 체배 시스템은, 다중 클럭 중 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 판단하는 하모닉 록 방지 블록; 상기 다중 클럭을 수신하며, 상기 입력 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하고, 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환시켜 상기 조절 전압을 다중 클럭에 적용함에 따른 다중 조정 클럭을 생성하는 지연고정루프; 2비트 제어 신호로 채배비를 설정하고, 상기 기설정된 채배비 만큼 상기 다중 조정 클럭을 체배시킨 체배 클럭을 생성하는 주파수 체배부; 상기 체배 클럭을 재검증하여 상기 체배 클럭에 불요 펄스가 존재할 경우, 상기 불요 펄스를 하나 이상 삭제하고 상기 체배 클럭의 일정 주기 내에 존재하는 당해 펄스 신호를 선별하여 상기 기준 클럭의 일정 주기 내에 위치하도록 재배치시키는 듀얼 루프; 및 상기 주파수 체배부에 의해 기설정된 배수비가 변경되더라도 변경 전의 체배 클럭과 변경 후의 체배 클럭을 적어도 일 회 이상 스위칭시켜 상기 체배 클럭에 기생하는 내부 잡음을 제거하는 디더링부;를 포함한다.

<12> 본 발명에 따른 주파수 체배 시스템은, 다중 클럭 중에 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 판단하는 하모닉 록 방지

블록; 상기 다중 클럭을 수신하며, 상기 입력 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하고, 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환시켜 상기 조절 전압을 다중 클럭에 적용함에 따른 다중 조정 클럭을 생성하는 지연고정루프; 및 상기 2 비트 이상의 제어 신호로 체배비를 설정하고, 기설정된 체배비 만큼 상기 다중 조정 클럭을 체배시킨 체배 클럭을 생성하는 주파수 체배부;를 포함한다.

<13> 본 발명에 따른 주파수 체배 방법은, 하모닉 록 방지 블록이 다중 클럭 중에 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 일정 주기 내에 포함되는지 여부를 판단하는 단계; 지연고정루프가 상기 다중 클럭을 수신하고, 상기 입력 클럭과 기준 클럭 간에 위상차가 생기면 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하는 단계; 상기 지연고정루프가 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환하는 단계; 상기 지연고정루프가 상기 조절 전압을 다중 클럭에 적용시켜 다중 조정 클럭을 생성하는 단계; 주파수 체배부가 2비트 제어 신호로 체배비를 설정하고, 상기 기설정된 체배비 만큼 상기 다중 조정 클럭을 체배시킨 체배 클럭을 생성하는 단계; 듀얼 루프가 상기 체배 클럭을 재검증하여 상기 체배 클럭에 불요 펄스가 존재할 경우, 상기 불요 펄스를 하나 이상 삭제하는 단계; 상기 듀얼 루프가 상기 체배 클럭의 일정 주기 내에 존재하는 당해 펄스 신호를 선별하여 상기 기준 클럭의 일정 주기 내에 위치하도록 재배치시키는 단계; 디더링부가 상기 주파수 체배부에 의해 기설정된 배수비가 변경되더라도 변경 전의 체배 클럭과 변경 후의 체배 클럭을 적어도 일 회 이상 스위칭시키는 단계; 및 상기 디더링부가 상기 체배 클럭에 기생하는 내부 잡음을 제거하는 단계;를 포함한다.

<14> 본 발명에 따른 주파수 체배 방법은, 하모닉 록 방지 블록이 다중 클럭 중 입력 클럭과 기준 클럭을 입력받아, 상기 입력 클럭으로부터 표출된 당해 펄스 신호가 상기 기준 클럭의 0.5 주기 내지 1.5 주기 이하에 포함되는지 여부를 판단하는 단계; 지연고정루프가 상기 다중 클럭을 수신하며, 상기 입력 클럭과 기준 클럭 간에 위상차가 생길 경우, 상기 하모닉 록 방지 블록으로부터 전달된 강제조절신호를 이용하여 상기 위상차를 조절 및 제어하는 단계; 상기 지연고정루프가 상기 위상차를 나타내는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환하는 단계; 상기 지연고정루프가 상기 조절 전압을 다중 클럭에 적용함에 따라 다중 조정 클럭을 생성하는 단계; 및 주파수 체배부가 2비트의 제어 신호로 채배비를 설정하고 상기 기설정된 체배비 만큼 상기 다중 조정 클럭을 체배시켜 체배 클럭을 생성하는 단계;를 포함한다.

<15> 본 발명에 따른 디더링부는 2 비트 제어 신호의 변화를 감지함에 따라, 상기 2 비트 제어 신호의 각 비트가 1에서 0으로 또는 1에서 0으로 변할 경우, 숏 펄스를 발생하는 복수의 변화 감지 블록; 상기 숏 펄스를 클록단에서 수신하여 출력값을 1 또는 0으로 변하게 하는 D-플립플롭; 제 1 입력단을 상기 D-플립플롭의 출력단과 연결하고, 제 2 입력단으로 참조 클럭 신호를 수신하는 AND 게이트; 상기 참조 클럭 신호를 입력받아 MSB 번지의 카운터 값이 1이 될 때까지 계속 동작시키고, 상기 LSB 번지의 카운터 값을 외부에 출력하는 카운터; 상기 LSB 번지의 카운터 값 1 을 수신하면 변경 전 체배 클럭을 출력시키고, LSB 번지의 카운터 값 0을 수신하면 변경 후 체배 클럭으로 출력시키는 멀티플렉서; 및 상기 MSB 번지의 카운터 값이 0에서 1로 바뀔 경우, 상기 숏 펄스를 추가 발생시켜 상기 D-플립플롭의 출력단의 출력값 및 카운터의 출력단의 출력값을 동시에 0으로 리셋시키는 상승 에지 검출기;를 포함한다.

<16> 본 발명에 따른 디더링부의 디더링 방법는 복수의 변화 감지 블록이 2 비트 제어 신호의 변화를 감지함에 따라, 상기 2 비트 제어 신호의 각 비트가 1에서 0으로 또는 1에서 0으로 변할 경우, 숏 펄스를 발생하는 단계; D-플립플롭이 상기 숏 펄스를 클록단에서 수신하여 출력값을 1 또는 0으로 변하게 하는 단계; AND 게이트가 제 1 입력단을 상기 D-플립플롭의 출력단과 연결하고, 제 2 입력단으로 참조 클럭 신호를 수신하는 단계; 카운터가 상기 참조 클럭 신호를 입력받아 MSB 번지의 카운터 값이 1이 될 때까지 계속 동작시키고, 상기 LSB 번지의 카운터 값을 외부에 출력하는 단계; 멀티플렉서가 상기 LSB 번지의 카운터 값 1을 수신하면 변경 전 체배 클럭을 출력시키고, LSB 번지의 카운터 값 0을 수신하면 변경 후 체배 클럭으로 출력시키는 단계; 상승 에지 검출기가 상기 MSB 번지의 카운터 값이 0에서 1로 바뀔 경우, 상기 숏 펄스를 추가 발생시켜 상기 D-플립플롭의 출력단의 출력값 및 카운터의 출력단의 출력값을 동시에 0으로 리셋시키는 단계;를 포함한다.

효 과

<17> 본 발명에서의 지연고정루프 기반의 주파수 체배 시스템 및 그 체배 방법은 하모닉 록 방지 블록을 이용하여 입력 클럭의 일정 주기 상에 존재하는 불필요한 펄스를 삭제시킨 후, 입력 클럭 상에 존재하는 당해 펄스 신호를 기준 클럭의 일정 주기 내에 포함되도록 제어함으로써 보다 넓은 대역폭을 갖는 입력 클럭이 들어오더라도 하모

닉 록을 사전에 방지하고, 또한, 채비 클럭의 급격한 변화에 따라 발생되는 내부 잡음을 디더링부를 이용하여 제거시키기 효과를 준다.

발명의 실시를 위한 구체적인 내용

<18> [실시예]

<19> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<20> 도 1은 본 발명의 실시예에 따른 지연고정루프 기반의 주파수 체배 시스템을 도시한 도면이다.

<21> 도 1를 참조하면, 지연고정루프(Delay Lock Loop) 기반의 주파수 체배 시스템(DLL-based Frequency Multiple System : 1000)은 하모닉 록 방지 블록(100), 지연고정루프(200), 주파수 체배부(300), 듀얼 루프(400) 및 디더링부(500)를 포함한다.

<22> 하모닉 록 방지 블록(Anti-Harmonic Lock Block : 100)은 클럭 동기 회로부를 포함하며, 지연고정루프(Delay Lock Loop : 200)는 위상 검출기(210), 전하 펌프(220) 및 전압제어 지연선(230)을 포함한다.

<23> 주파수 체배부(Frequency Multiplier : 300)는 펄스 생성기(310), 컨트롤러(320) 및 컴바이너(330)를 포함한다.

<24> 즉, 지연고정루프 기반의 주파수 체배 시스템(1000)은 하모닉 록 방지 블록(100)을 이용하여 일정 주기 내에서 불필요한 펄스가 제거된 입력 펄스 상에 존재하는 당해 펄스를 기준 클럭의 일정 주기 내에 포함되도록 제어함으로써 하모닉 록(100)을 방지시키고 또한, 디더링부(500)를 이용하여 주파수 체배부(300)로부터 생성된 체배 클럭을 대상으로 이에 기생하는 내부 잡음을 제거시키는 주파수 체배 시스템이다.

<25> 일반적으로, 하모닉 록은 전압제어 지연선(230)을 통과한 다중 클럭들 중 입력 클럭이 기준 클럭보다 한 주기 범위 내에서 록 되어야 원하는 클럭을 얻을 있으나, 기준 클럭의 한 주기보다 그 뒤에서 입력 클럭이 록 되버리면 원하는 클록을 얻을 수 없어 목표치보다 낮은 클럭 주파수를 발생시키는 현상을 일컫는다

<26> 먼저, 본 발명의 실시예에 따른 하모닉 록 방지 블록(100)은 하모닉 록 상태를 방지하기 위한 장치인 것으로, 입력 클럭으로 호칭되는 마지막 클럭 A<8>이 기준 클럭 A<0>의 일정 주기인 0.5 주기 내지 1.5 주기 이하 내에 존재하도록 위상차를 제어하여 하모닉 록 상태에 걸리지 않도록 한다.

<27> 만약, 입력 클럭 A<8>이 상기 해당 일정 주기를 벗어난 경우, 하모닉 록 방지 블록(100)은 입력 클럭이 하모닉 록 상태임을 인식하여 강제조절신호(Forcedn 또는 Forceup)를 위상 검출기(210)에 전달한다.

<28> 다시 말해, 하모닉 록 방지 블록(100)은 입력 클럭 A<8>이 일정 주기(0.5 주기 내지 1.5 주기)에 위치하는지 여부를 판단함으로써, 입력 클럭이 하모닉 록 상태임을 인식할 경우 강제조절신호(Forcedn 또는 Forceup)를 위상 검출기(210)에 전달하여 위상 검출기(210)의 UP 신호 또는 DOWN 신호로 하여금 입력 클럭 A<8>을 강제적으로 위상차 조절케 한다.

<29> 허나, 본 발명의 지연고정루프 기반의 주파수 체배 시스템(100)은 최종단에서 출력되는 최종 체배 클럭(Last Multiple Clock)을 생성시키는 과정 중에 있어서, 입력 클럭 A<8>가 주파수 체배 시스템(100)에 포함된 각 구성요소들을 경유함으로 말미암아 기준 클럭(A<0>)과 동기화되기가 쉽지 않다.

<30> 하여, 하모닉 록 방지 블록(100)은 추가 구성된 클럭 동기 회로부를 이용하여 하모닉 록 상태임에도 불구하고 하모닉 록 상태를 판별하기 어려운 입력 클럭 A<8>의 일정 주기 상에 형성된 4개 펄스 신호 중에서 앞 단에서부터 형성된 3개 펄스 신호를 삭제시킨다.

<31> 하모닉 록 방지 블록(100)은 일정 주기를 기준으로 하여 당해 펄스 신호로 지칭되는 1개의 펄스 신호만이 형성된 수정 입력 클럭 A<8>을 생성한 후, 수정 입력 클럭 A<8>과 기준 클럭 A<0>간의 위상차를 비교한다.

<32> 하모닉 록 방지 블록(100)은 입력 클럭 A<8>과 기준 클럭 A<0> 간의 위상차가 없어진 동기화를 구현하기 위해 클럭 동기 회로부의 D-플립플롭을 이용하여 P(1), P(2), P(3) 펄스 신호를 통과시키지 않고, P(4)에 해당하는 펄스만을 통과시킨다.

<33> 즉, 하모닉 록 방지 블록(100)은 하모닉 록 방지 조건에 합당한 기준 클럭 A<0>의 0.5 주기 내지 1.5 주기 이하에 P(4) 펄스가 존재하는지 여부를 비로소 판단한다.

<34> 하모닉 록 방지 블록(100)은 수정 입력 클럭 A<8>에 형성된 P(4) 펄스가 기준 클럭(A<0>)의 0.5 주기 내지 1.5

주기 이하에 존재하는 것으로 판단하면 '1'로 표시하고, P(4) 펄스가 0.5 주기 내지 1.5 주기 이하를 벗어나는 영역에 존재하는 것으로 판단할 경우엔 '0'으로 표시한다.

<35> 여기서, P(4) 펄스가 '1'로 표시된다는 것은 하모닉 록 상태를 벗어남을 뜻하며, P(4) 펄스가 '0'로 표시된다는 것은 하모닉 록 상태에 있음을 뜻한다.

<36> 이에 따라, 하모닉 록 방지 블록(100)은 수정 입력 클럭 A<8>을 하모닉 록 상태에서 벗어나게 하기 위해 강제조절 신호를 위상 검출기(210)에 전달하여 위상 검출기(210)의 UP 신호 또는 DOWN 신호로 하여금 P(4) 펄스 위치를 기준 클럭(A<0>)의 0.5 주기 내지 1.5 주기 이하에 존재토록 신호 처리한다.

<37> 상기 신호 처리 과정은 이하에 계속적으로 설명하기로 한다.

<38> 본 발명의 실시예에 따른 지연고정루프(200)는 위상 검출기(210), 전하 펌프(220) 및 전압제어 지연선(230)을 포함한다.

<39> 지연고정루프(200)의 위상 검출기(Phase Detector : 210)는 기준 클럭 A<0>와 입력 클럭 A<8>를 수신하며 하모닉 록 블록의 클럭 동기 회로부로부터 생성된 수정 입력 클럭 A<8>와 기준 클럭 A<0> 간의 동기화 또는 위상차를 비교한다.

<40> 위상 검출기(210)는 기준 클럭 A<0>와 입력 클럭 A<8> 간에 동기화가 성립되지 않고 양 신호 간에 위상차가 생길 경우, 기준 클럭 A<0>와 입력 클럭 A<8> 간의 위상차를 나타내는 UP 신호 또는 DOWN 신호를 생성한다.

<41> 위상 검출기(210)는 하모닉 록 블록(100)으로부터 전달된 강제조절신호(forcedn, Forceup)를 입력받아 하모닉 록 블록(100)의 클럭 동기 회로부로부터 전달된 수정 입력 클럭<A(8)>와 기준 클럭<A(0)> 간의 위상차를 줄이도록 UP 신호 또는 DOWM 신호를 강제적으로 조절한다.

<42> 또한, 위상 검출기(210)는 수정 입력 클럭<A(8)>와 기준 클럭<A(0)> 간에 위상차를 '0'으로 확인할 경우 양 신호 간에 동기화된 동기 펄스 신호를 출력하고, 양 신호 간에 위상차가 계속 존재할 경우 하모닉 록 블록(100)으로부터 강제조절신호(forcedn, forceup)를 이용하여 UP 신호 또는 DOWN 신호를 강제적으로 조절한다.

<43> 즉, 위상 검출기(210)는 강제조절신호(forcedn, forceup)에 의해 UP 신호 또는 DOWN 신호를 강제 조절되게 함으로써, 수정 입력 클럭<A(8)>와 기준 클럭<A(0)> 간의 위상차를 감소시킴에 따른 동기화 작업을 수행한다.

<44> 지연고정루프(200)의 전하 펌프(220)는 위상 검출기(210)로부터 위상차를 나타내는 UP 신호치 또는 DOWN 신호치 입력받아, UP 신호치 또는 DOWN 신호치를 조절 전압(Vc)으로 변환시킨다.

<45> 지연고정루프(200)의 전압제어 지연선(230)은 기준 클럭<A(0)>와 입력 클럭<A(8)> 발생을 유발시키는 원천 클럭(Clock)를 외부로부터 입력받은 후, 전하 펌프(220)로부터 전달된 조절 전압(Vc)를 원천 클럭(Clock)에 적용시킨다.

<46> 전압제어 지연선(230)은 기준 클럭<A(0)>과 입력 클럭<A(8)>을 포함하는 다중 클럭<A(0)~A(8)>에 해당하는 원천 클럭(Clock)을 조절 전압(Vc)에 적용함으로써, 다중 클럭<A(0)~A(8)> 간의 지연시간이 균일하도록 조절된 다중 조정 클럭<B(0)~B(8)>를 생성한다.

<47> 계속해서, 펄스 생성기(310), 컨트롤러(320) 및 컴바이너(330)를 포함하는 주파수 체배부(300)는 지연고정루프(200)로부터 출력된 다중 조정 클럭<B(0)~B(8)>를 수신한 후, 다중 조정 클럭<B(0)~B(8)>를 활성화시킨 결과로 얻은 일정한 지연 폭을 갖는 단위 펄스를 다수개 체배시켜 체배 클럭(Multiple Clock)를 생성한다.

<48> 즉, 주파수 체배부(300)의 펄스 생성기(310)는 지연고정루프(200)의 전압제어 지연선(230)으로부터 출력된 다중 조정 클럭<B(0)~B(8)>을 입력받아 다중 조정 클럭<B(0)~B(8)>간의 일정한 지연 폭을 갖는 단위 펄스를 다수개 생성한다.

<49> 펄스 생성기(310)는 기구비된 다수의 플립 플롭을 이용하여 다중 조정 클럭<B(0)~B(8)>을 N<(0)~(3)> 펄스 신호와 N<(0)~(3)> 펄스 신호의 역치(易置)인 P<(0)~(3)> 펄스 신호를 변환시키고, 다중 조정 클럭<B(0)~B(8)>간의 일정한 지연 폭을 갖는 단위 펄스를 다수개 생성한다.

<50> 여기서, 다수개 단위 펄스는 주파수 체배부(300)의 컨트롤러(320) 및 컴비니어(330)를 거치면서 하나로 결합된 체배 클럭으로 변환된다.

<51> 여기서, 펄스 생성기(310)로부터 생성된 8개(N<(0)~(3)>, P<(0)~(3)>)의 펄스 신호는 기준 클럭<A(0)>보다 4배 빠른 체배 클럭을 얻고자 할 때 모두 사용되며, 기준 클럭<A(0>보다 2배 빠른 클럭을 얻고자 할 경우엔 4개의

단위 펄스가 사용된다.

<52> 컨트롤러(320)는 [표 1]에서 제시된 바와 같이, 2비트<0,1>로 형성된 제어 신호(S1~S4)로 채배비를 설정하고, 기설정된 체배비 만큼 펄스 생성기(310)로부터 전달된 8개(N<(0)~(3)>, P<(0)~(3)>) 펄스 신호에 각각 적용시켜 컴바이너(330)로 하여금 0.5배, 1배, 2배, 4배로 커진 체배 클럭(Multiple Clock)을 얻도록 단위 펄스의 출력 개수를 조율한다.

<53> [표 1]

<54>

제어 신호	비트값	체배비
S1	00	0.5
S2	01	1
S3	10	2
S4	11	4

<55> 일 예로, 컨트롤러(320)는 S4에 해당 비트값 11를 8개(N<(0)~(3)>, P<(0)~(3)>) 펄스 신호에 적용시킬 경우, 컴바이너(330)는 S4 제어 신호를 입력받아 8개 펄스 신호로부터 활성화된 단위 펄스 8개 모두를 결합시켜 4배 커진 체배 클럭을 생성한다.

<56> 다른 예로, 컨트롤러(320)는 S3에 해당 비트값 10를 8개(N<(0)~(3)>, P<(0)~(3)>) 펄스 신호에 적용시킬 경우, 컴바이너(330)는 S3 제어 신호를 입력받아 8개 펄스 신호 중 단위 펄스를 4개만을 결합시켜 2배 커진 체배 클럭을 생성한다.

<57> 주파수 체배부(310)의 컴바이너(330)는 8개(N<(0)~(3)>, P<(0)~(3)>) 펄스 신호 중 하이 구간이 로우 구간보다 짧은 각 N<(0)~(3)>펄스 신호로부터 생성된 4개의 단위 펄스를 기구성된 NMOS에 입력시키고, 8개(N<(0)~(3)>, P<(0)~(3)>) 펄스 신호 중 로우 구간이 하이 구간보다 짧은 각 P<(0)~(3)>로부터 생성된 4개의 단위 펄스에 를 기구성된 PMOS에 입력시킨다.

<58> 컴바이너(330)는 N<(0)~(3)> 펄스 신호로부터 생성된 4개의 단위 펄스를 NMOS에 입력시킴으로써 NMOS를 온으로 켜지게 하고, 이때 하이 상태로 동작된 4개의 단위 펄스의 주기 및 지연 폭을 기록한다.

<59> 또한, 컴바이너(330)는 P<(0)~(3)> 펄스 신호로부터 생성된 4개의 단위 펄스를 PMOS에 입력시킴으로써 PMOS를 온으로 켜지게 하고, 이때 로우 상태로 동작된 4개의 단위 펄스의 주기 및 지연 폭을 기록한다.

<60> 이에 대한 결과로, 컴바이너(330)는 하이 상태로 동작된 4개의 단위 펄스와 로우 상태로 동작된 4개의 단위 펄스를 결합시킴에 따라, 기준 클럭<A(0)>보다 4배 커진 체배 클럭을 생성한다.

<61> 계속해서, 듀얼 루프(400)는 주파수 체배기(300)로부터 출력된 기준 클럭<A(0)>과 기준 클럭<A(0)>보다 4배 커진 체배 클럭을 수신한다.

<62> 듀얼 루프(400)는 하모닉 록 방지 블록 및 지연고정루프를 내부에 포함되나, 듀얼 루프(400) 자체가 하모닉 록 방지 블록 기능을 수행함으로 반드시 하모닉 록 방지 블록을 포함시키지 않아도 사용 용이하다.

<63> 본 발명의 실시예의 듀얼 루프(400)는 하모닉 록 방지 블록이 포함된 것으로 설명하기로 한다.

<64> 듀얼 루프(400) 내부에 구성된 하모닉 록 방지 블록 및 지연고정루프는 상기에서 이미 설명된 내용과 동일한 역할을 수행한다.

<65> 즉, 하모닉 록 방지 블록은 주파수 체배기(300)로부터 출력된 기준 클럭<A(0)>과 체배 클럭을 입력받아 체배 클럭으로부터 표출된 당해 펄스 신호가 기준 클럭<A(0)의 일정 주기(0.5 주기 내지 1.5 주기) 내에 포함되는지 여부를 재검증한다.

<66> 지연고정루프는 체배 클럭에 존재하는 당해 펄스 신호가 기준 클럭<A(0)>의 0.5 주기 내지 1.5 주기 이하를 벗어남으로 인해 위상차가 발생할 경우, 조절 전압(Vc)을 이용하여 기준 클럭<A(0)>과 체배 클럭간에 발생된 위상차를 재조정한다.

<67> 다만, 듀얼 루프(400)는 주파수 체배부(300)로부터 전달된 기준 클럭<A(0)>과 기준 클럭<A(0)>보다 4배 커진 체배 클럭을 재검증하여 기준 클럭<A(0)>의 0.5 주기 내지 1.5 주기 이하를 벗어난 하나 이상의 불필요한 펄스를 삭제시키고, 체배 클럭의 남겨진 하나의 펄스인 당해 펄스 신호가 기준 클럭 <A(0)>의 일정 주기(0.5주기 내지

1.5주기 이하) 내에 위치하도록 재배치한다.

<68> 즉, 듀얼 루프(400)는 체배 클럭의 당해 펄스 신호가 기준 클럭<A(0)>의 일정 주기 내에 위치하도록 재배치함으로써, 기준 클럭 <A(0)> 간의 위상차를 극복하여 동기화를 성립하고, 하모닉 록이 사전에 방지된 체배 클럭을 생성시킨다.

<69> 그러나, 듀얼 루프(400)로부터 출력된 체배 클럭은 주파수 체배부(300)를 통해 기준 클럭<A(0)>보다 4배 커진 체배 클럭으로 급격하게 생성됨으로 인하여 원치 않는 간섭 신호 중에 하나인 내부 잡음(Interior Noise)을 형성하게 된다.

<70> 본 발명의 실시예에 따른 디더링부(500)는 듀얼 루프(400)로부터 출력된 체배 클럭에 존재하는 내부 잡음을 제거하는 역할을 수행한다.

<71> 즉, 일 예로써 주파수 체배부(300)가 기준 클럭<A(0)> 500MHz을 체배할 경우, 체배 클럭은 컨트롤러(320)의 S1 제어 신호(00 비트값)에 의해 기설정된 체배비에 해당하는 기준 클럭<A(0)>보다 0.5배 체배된 250MHz로 변화된다. 이 때, 내부잡음(Interior Noise)은 전원 전압 변동에 의해 발생된다.

<72> 마찬가지로, S4 제어 신호인 11 비트값이 컨트롤러(320)에 의해 선택되면 체배 클럭은 기준 클럭<A(0)>보다 4배 체배된 2GHz로 급격히 변화됨에 따른 내부잡음(Interior Noise)을 갖게 된다.

<73> 이럴 경우, 본 발명의 실시예에 따른 디더링부(500)는 주파수 체배부(300)의 컨트롤러(320)가 기준 클럭<A(0)>의 체배비를 필요에 따라 변경시키더라도 변경 전 체배 클럭과 변경 후 체배 클럭을 적어도 1회 이상 스위칭시킴으로써, 전원 전압 또는 체배비 변경에 의해 기생되는 내부잡음(Interior Noise)을 최대한 억제시킨다.

<74> 결과적으로, 듀얼 루프(400)로부터 출력된 체배 클럭은 디더링부를 거치면서 내부 잡음이 제거된 최종 체배 클럭으로 외부에 출력된다.

<75> 도 2는 본 발명의 실시예에 따른 전압제어 지연선으로부터 출력된 다중 조정 클럭<B(0)~B(8)>을 나타낸 타이밍도이다.

<76> 도 2를 참조하면, 본 발명의 지연고정루프의 전압제어 지연선(Voltage Control Delay Line : VCDL)은 원천 클럭(Clock)를 외부로부터 입력받은 후, 전하 펌프로부터 전달된 조절 전압(Vc)를 원천 클럭(Clock)에 적용시킨다.

<77> 전압제어 지연선(VCDL)은 원천 클럭(Clock)를 입력받아 기준 클럭<A(0)>과 입력 클럭<A(8)>를 포함하는 다중 클럭<A(0)~A(8)>를 생성한다.

<78> 다중 클럭<A(0)~A(8)>은 조절 전압(Vc)의 제어에 따라, 다중 조정 클럭에 속한 다수의 클럭들<B(2)~B(8)>이 기준 클럭 B(0)의 0.5 주기 내지 1.5 주기 이하에 존재함을 파악할 수 있다,

<79> 즉, 다중 조절 클럭 <B(0)~B(8)>은 하모닉 록이 방지된 정상 클럭들임을 도 2를 통해 알 수 있다.

<80> 좀 더 세부적으로, 외부로부터 전달된 원천 클럭(Clock)은 지연고정루프의 전압제어 지연선에 입력되어 다중 클럭(A<0>~A<8>)으로 생성되며, 전압제어 지연선으로부터 생성된 <A(0)~A(8)>은 조절 전압(Vc)의 제어에 따라 하모닉 록이 방지된 다중 조정 클럭<B(0)~B(8)>으로 변환된다.

<81> 다중 조정 클럭 중 기준 클럭 B<2>은 B<0>의 한 주기(T) 내에서 일정한 지연 시간(2t)를 지난 후에 비로소 상승 에지를 발생시킴을 알 수 있으며, B<4>는 A<0>보다 4배의 지연 시간(4t)을 보낸 후에야 비로소 상승 에지를 발생시키고, B<6>는 B<0>보다 6배의 지연 시간(6t)을 보낸 후에야 상승 에지를 발생시킴을 알 수 있다.

<82> 마지막 입력 클럭 B<8>은 B<6>보다 지연 시간(8t)만큼 지체되어야 비로소 상승 에지를 발생시킴을 알 수 있다.

<83> 즉, 다중 조정 클럭(B<2>~B<8>)는 2배(2t) 내지 8배의 지연 시간(8t)의 갭(gap)을 가지나 기준 클럭 B<0>의 한 주기(T) 이하를 벗어나지 못하므로, 다중 조정 클럭(B<0>~B<8>)은 하모니 록이 방지된 클럭임을 알 수 있다.

<84> 도 3은 본 발명의 실시예에 따른 수정 입력 클럭의 하모니 록 상태 여부를 판별하는 타이밍도이다.

<85> 도 3를 참조하면, 하모닉 록 방지 블록(Anti-Harmonic Lock Block)은 하모닉 록 상태를 사전에 방지하는 장치로, 본 발명을 통해 입력 클럭으로 지칭되는 마지막 클럭 A<8>이 기준 클럭 A<0>의 일정 주기인 0.5 주기 내지 1.5 주기 이하에 존재하는지 여부를 판별하여 입력 클럭 A<8>이 하모닉 록에 걸리지 않도록 위상차 제어한다.

<86> 만약, 입력 클럭 A<8>이 일정 주기를 벗어난 경우, 하모닉 록 방지 블록은 입력 클럭 A<8>이 하모닉 록 상태임을 인식하여 강제조절신호(forcedn, Forceup)를 위상 검출기에 전달한다.

<87> 즉, 하모닉 록 방지 블록은 입력 클럭 A<8>이 일정 주기 내에 위치하는지 여부를 판별함으로써, 하모닉 록 상태시엔 강제조절신호(forcedn, Forceup)를 위상 검출기에 전달하여 위상 검출기의 UP 신호 또는 DOWN 신호로 하여금 강제로 입력 클럭 A<8>을 기준 클럭의 0.5 주기 내지 1.5 주기 이하에 위치하도록 위상차를 조절케 한다.

<88> 다시 말해, 입력 클럭 A<8>은 하모닉 록 상태임에도 불구하고 하모닉 록 상태임을 파악하기 어려워 기준 클럭 A<0>과 동기화되기 쉽지 않다.

<89> 이 때문에, 하모닉 록 방지 블록은 기구비된 클럭 동기 회로부를 이용하여 입력 클럭 A<8>의 3개 펄스 신호를 삭제시킨 후 바로 다음에(直後) 생성된 당해 펄스 신호를 기준 클럭 A<0>의 일정 주기인 0.5 주기 내지 1.5 주기 내에 위치 가능한지 여부를 판단하여 수정 입력 클럭 A<8>의 하모닉 록 상태를 판별한다.

<90> 좀 더 구체적으로, 하모닉 록 방지 블록은 기구비된 클럭 동기 회로부의 D-플립플롭을 이용하여 P(1), P(2), P(3)인 3개 펄스 신호가 제거된 수정 입력 클럭 A<8>를 생성한 후, 수정 입력 클럭 A<8>과 기준 클럭(A<0>) 간에 하모닉 록 상태 를 검사한다.

<91> 하모닉 록 방지 블록은 P(1), P(2), P(3) 펄스 신호를 통과시키지 않고, P(4)에 해당하는 펄스인 당해 펄스 신호만을 통과시켜 하모닉 록 방지 조건에 합당한 기준 클럭 A<0>의 0.5 주기 내지 1.5 주기 내에 P(4) 펄스가 위치하는지 여부를 판단한다.

<92> 하모닉 록 방지 블록은 수정 입력 클럭 A<8>에 형성된 P(4) 펄스가 기준 클럭(A<0>)의 0.5 주기 내지 1.5 주기 이하에 존재하는 것으로 판단할 경우, '1'로써 표시하고, P(4) 펄스가 0.5 주기 내지 1.5 주기를 벗어나는 영역에 존재하는 것으로 판단할 경우엔 '0'으로 표시한다.

<93> 여기서, P(4) 펄스가 '1'로 표시된다는 것은 하모닉 록 상태를 벗어남을 뜻하며, P(4) 펄스가 '0'로 표시된다는 것은 하모닉 록 상태에 있음을 뜻한다.

<94> 이에 따라, 하모닉 록 방지 블록은 하모닉 록 상태[P(4) 펄스 : '0'으로 표시됨]로 판명된 수정 입력 클럭 A<8>을 하모닉 록 상태에서 벗어나게 하기 위해 강제조절신호(forcedn, Forceup)를 위상 검출기에 전달한다.

<95> 하모닉 록 방지 블록은 강제조절신호(forcedn, Forceup)를 위상 검출기에 전달하여 UP 신호 또는 DOWN 신호로 하여금 P(4) 펄스를 기준 클럭(A<0>)의 0.5 주기 내지 1.5 주기 이하에 위치하도록 위상차 조정한다.

<96> 도 4는 본 발명의 실시예에 따른 지연고정루프 기반의 주파수 체배 방법을 나타낸 순서도이다.

<97> 도 4를 참조하면, 지연고정루프 기반의 주파수 체배 방법(DLL-based Frequency Multiple Method)은 하모닉 록 방지 블록을 이용하여 입력 펄스로부터 표출된 당해 펄스 신호를 기준 클럭의 일정 주기 내에 포함되도록 위상차 제어함으로써 하모닉 록을 방지시키고, 주파수 체배부로부터 생성된 체배 클럭에 기생하는 내부 잡음을 디더링부를 이용하여 제거시키는 주파수 체배 방법이다.

<98> 먼저, 하모닉 록 방지 블록은 다중 클럭 중에 입력 클럭과 기준 클럭을 수신한 후, 입력 클럭으로부터 표출된 당해 펄스 신호가 기준 클럭에 형성된 일정 주기 영역(0.5 주기 내지 1.5 주기 이하)에 포함되는지 여부를 판단한다(S1).

<99> 즉, 하모닉 록 방지 블록의 클럭 동기 회로부는 일정 시간 동안 입력 클럭에 존재하는 4개의 펄스 신호 중에서 앞 단에 형성된 3개 펄스 신호를 삭제시키고 당해 펄스 신호만을 갖는 수정 입력 클럭을 생성한 후, 수정 입력 클럭과 기준 클럭 간의 위상차를 비교한다.

<100> 지연고정루프는 수정 입력 클럭과 기준 클럭 간에 위상차가 생길 경우 하모닉 록 방지 블록으로부터 전달된 강제조절신호(forceup, forcedn)를 이용하여 위상차를 조절 및 제어하고, 위상차를 표시하는 UP 신호 또는 DOWN 신호를 조절 전압으로 변환한다(S20, S30).

<101> 지연고정루프는 조절 전압을 원천 클럭(Original Clock)로부터 파생된 다중 클럭(<A(0)>~<A(8)>)에 적용시켜 다중 조정 클럭(<B(0)>~<B(8)>)을 생성한다(S40).

<102> 즉, 지연고정루프에 구비된 위상 검출기는 수정 입력 클럭과 기준 클럭 간에 위상차가 생길 경우, 하모닉 록 블록으로부터 전달된 강제조절신호(forceup, forcedn)를 이용하여 수정 입력 클럭(<B(0)>~<B(8)>)이 기준 클럭 <A(0)>의 0.5 주기 내지 1.5 주기 내에 포함되도록 UP 신호 또는 DOWN 신호를 강제 조절한다.

<103> 전하 펌프는 수정 입력 클럭<A(8)>과 기준 클럭<A(0)> 간의 위상차를 표시하는 UP 신호치 또는 DOWN 신호치를 조절 전압(Vc)으로 변환시킨다.

<104> 전압제어 지연선은 외부로부터 원천 클럭(Original Clock)으로부터 파생된 다중 클럭(A<(0)>~<A(8)>)을 수신한 후, 전하 펌프로부터 전달된 조절 전압(Vc)을 원천 클럭에 적용시켜 다중 조정 클럭(<B(0)>~<B(8)>)을 생성한다.

<105> 주파수 체배부는 다중 조정 클럭(B<0>~<B<8>)을 2 비트 제어 신호에 의해 기설정된 체배비 만큼 체배시켜 체배 클럭을 생성한다(S50).

<106> 즉, 주파수 체배부에 구비된 펄스 생성기는 전압제어 지연선으로부터 출력된 다중 조정 클럭(<B(0)>~<B(8)>)을 입력받아 기구비된 다수의 플립플롭을 이용하여 다중 조정 클럭 간의 일정한 지연 폭을 갖는 단위 펄스를 다수개 형성한다.

<107> 컨트롤러는 2 비트 제어 신호를 다중 조정 클럭(<B(0)>~<B<(8)>)에 적용시켜 다중 조정 클럭(<B(0)>~<B<(8)>)으로부터 추출된 일정한 지연 폭을 갖는 단위 펄스 출력 수를 조율한다.

<108> 컴바이너는 다수의 단위 펄스 중에 선택된 하나 이상의 단위 펄스를 기구비된 NMOS에 입력시켜 하이 상태로 표출된 하나 이상의 단위 펄스를 생성한다.

<109> 컴바이너는 다수의 펄스 신호 중에 선택된 펄스 신호들을 기구비된 PMOS에 입력시켜 로우 상태로 표출된 하나 이상의 단위 펄스를 생성한다.

<110> 컴바이너는 하이 상태로 표출된 하나 이상의 단위 펄스와 로우 상태로 표출된 하나 이상의 단위 펄스를 결합시켜 결과값인 체배 클럭을 생성한다.

<111> 듀얼 루프는 체배 클럭을 재검증을 통해 체배 클럭의 일정 주기 내에 형성된 불필요한 펄스 신호를 적어도 하나 이상 삭제시키고, 이에 남겨진 당해 펄스 신호를 기준 클럭<A(0)>의 0.5 주기 내지 1.5 주기 이하에 위치하도록 재배치시킨다(S60, S70).

<112> 듀얼 루프는 기구비된 하모닉 록 방지 블록과 지연 고정 루프를 이용하여 주파수 체배부로부터 출력된 체배 클럭을 대상으로 하모닉 록 상태를 재검증하고, 체배 클럭과 기준 클럭<A(0)> 간의 위상차가 발생되면 조절 전압(Vc)으로 위상차를 재조정한다.

<113> 즉, 듀얼 루프의 하모닉 록 방지 블록은 주파수 체배부로부터 기준 클럭<A(0 입력받은 후, 체배 클럭으로부터 표출된 당해 펄스 신호가 기준 클럭의 0.5 주기 내지 1.5 주기 이하에 포함되는지 여부를 재검증한다.

<114> 지연 고정 루프는 체배 클럭과 기준 클럭 간에 위상차가 생길 경우, 조절 전압(Vc)를 이용하여 체배 클럭과 기준 클럭<A(0)> 간에 생성된 위상차를 재조정함으로써 체배 클럭이 기준 클럭<A(0)>의 0.5 주기 내지 1.5 주기 이하에 포함되도록 위상차를 최대한 감소시킨다.

<115> 주파수 체배부는 2비트 제어 신호로 기설정된 체배비를 변경시켜 체배비가 다른 변경 후 체배 클럭을 생성하더라도(S90), 디더링부는 변경 전의 체배 클럭과 변경 후의 체배 클럭을 적어도 일 회 이상 스위칭시켜 간섭 신호 중에 하나인 내부 잡음이 제거된 최종 체배 클럭을 생성한다(S110, S110).

<116> 도 5는 본 발명의 실시예에 따른 디더링부에 관한 세부 회로도를 나타낸 도면이다.

<117> 도 5를 참조하면, 디더링부(500)는 듀얼 루프로부터 출력된 체배 클럭에 존재하는 내부 잡음(Interior Noise)을 제거시켜 최종 체배 클럭(Last Multiple Clock)을 외부로 출력한다.

<118> 즉, 디더링부(500)는 주파수 체배부에 구비된 컨트롤러가 기준 클럭<A(0)>의 체배비 만큼 필요에 따라 변경시키더라도 변경 전 체배 클럭과 변경 후 체배 클럭 를 적어도 1회 이상 스위칭함으로써, 체배비의 변경에 따라 형성되는 간섭 신호 중에 하나인 내부잡음(Interior Noise)을 최대한 제거시키는 역할을 한다.

<119> 본 발명의 실시예에 따른 디더링부(500)에 관한 세부 회로에 대한 설명은 다음과 같다.

<120> 디더링부(500)는 복수의 변화 감지 블록(510), D-플립플롭(520), AND 게이트(530), 카운터(540), 멀티플렉서(550) 및 상승 에지 검출기(560)를 포함한다.

<121> 주파수 체배기의 컨트롤러가 2 비트 제어 신호를 이용하여 체배 클럭의 체배비를 변경시키고자 할 경우, 디더링부(500)는 이를 탐지하여 변경 후 체배 클럭과 변경 전 체배 클럭을 번갈아 가며 출력시킨다.

<122> 디더링부(500)의 복수의 변화 감지 블록(510)은 2 비트 제어 신호의 변화를 감지하며, 변화 감지 블록(510)은 상승 에지 검출기와 하강 에지 검출기를 포함한다.

<123> 변화 감지 블록(510)은 2 비트 제어 신호의 해당하는 각 비트가 1에서 0으로 또는 1에서 0으로 변할 경우, 숏 펄스를 발생시킨다.

<124> 숏 펄스는 D-플립플롭(520)에 형성된 클록단에 입력되어 D-플립플롭(520)의 출력(Q)을 1'로 변하게 하고, D-플립플롭(520)의 출력(Q)과 연결된 AND 게이트(530)의 하나의 입력을 '1'이 되게 한다.

<125> 또한, 숏 펄스는 AND 게이트(530)의 다른 하나의 입력단으로 들어오는 클록 신호(Reference/4)를 외부로 출력시킨다.

<126> 반대로, D-플립플롭(520)의 출력(Q)과 연결된 AND 게이트(530)의 하나의 입력이 0'이면, AND 게이트(530)의 출력은 다른 하나의 입력단으로부터 전달되는 입력값과는 무관하게 '0'으로 나온다.

<127> 이렇게 출력된 참조 클럭 신호(Reference/4)는 기준 클럭보다 4배 느린 클럭인 것으로 다음 단인 카운터(540)에 입력된다.

<128> 카운터(540)의 MSB(counter out[4])는 ' 1'이 될 때까지 계속적으로 동작하며, 카운터(540)의 LSB(counter out[0])는 멀티플렉서의 입력값으로 인가되어 LSB 값이 '1' 이면 변경 전 체배 클럭을 출력시키고, LSB 값이 '0' 이면 변경 후 체배 클럭을 출력시킨다.

<129> 카운터 값이 점차 커져 MSB 값이 '0' 에서 '1' 로 바뀔 경우, 상승 에지 검출기(560)는 숏 펄스를 발생시켜 D-플립플롭(520)의 출력값(Q)과 카운터(540)의 출력값을 동시에 '0' 으로 리셋시킨다.

<130> 이럴 경우, 2 비트 제어 신호 중 어느 한 비트는 다음 값이 입력될 때까지 잠시 동작을 멈춘다.

<131> 결과적으로, 디더링부(500)는 2비트 제어 신호를 이용하여 변경 전 체배 클럭과 변경 후 체배 클럭을 스위칭함으로써, 체배 클럭 내에 기생하는 내부 잡음을 발생시키지 않게 한다.

<132> 도 6은 본 발명의 실시예에 따른 디더링부의 디더링 방법을 나타낸 순서도이다.

<133> 도 6를 참조하면, 디더링부의 디더링 방법은 2비트 제어 신호를 이용하여 변경 전 체배 클럭과 변경 후 체배 클럭을 1회 이상 스위칭시켜 체배 클럭에 기생하는 내부 잡음이 발생되지 않게 하는 디더링 방법이다.

<134> 복수의 변화 감지 블록은 2 비트 제어 신호의 변화를 감지함에 따라, 2 비트 제어 신호의 해당하는 각 비트가 1에서 0으로 또는 1에서 0으로 변할 경우, 숏 펄스를 발생한다(S10').

<135> D-플립플롭은 숏 펄스를 클록단(CK)에서 입력받아 출력단(Q)의 출력값을 1또는 0으로 변하게 한다(S20').

<136> D-플립플롭의 출력단(Q)과 연결된 AND 게이트의 제 1 입력단은 D-플립플롭의 출력단(Q)으로부터 전달된 1을 수신함에 따라, AND 게이트의 출력단은 제 2 입력단으로 입력된 참조 클럭 신호(Reference/4)를 출력시킨다(S30', S40').

<137> 만약, AND 게이트의 제 1 입력단이 D-플립플롭의 출력단(Q)으로부터 0 값을 수신하면, AND 게이트의 출력단은 제 2 입력단의 입력값과 상관없이 0 값을 출력한다.

<138> 카운터는 AND 게이트의 출력단으로부터 참조 클럭 신호를 입력받아 MSB(counter out[4]) 번지의 카운터 값이 1이 될 때까지 계속 동작시키고, LSB(counter out[0]) 번지의 카운터 값을 외부에 전달한다(S50', S60', S70').

<139> 멀티플렉서는 카운터로부터 LSB(counter out[0]) 번지의 카운터 값을 1로 수신하면 변경 전 체배 클럭으로 출력하고, LSB(counter out[0]) 번지의 카운터 값을 0으로 수신하면 변경 후 체배 클럭으로 출력한다(S80', S90', S100').

<140> 상승 에지 검출기는 MSB(counter out[4]) 번지의 카운터 값이 0에서 1로 바뀔 경우, 숏 펄스를 추가적으로 발생시켜 상기 D-플립플롭의 출력단(Q)의 출력값 및 카운터의 출력단의 출력값을 동시에 0으로 리셋(Reset)시킨다(S110').

<141> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<142> 도 1은 본 발명의 실시예에 따른 지연고정루프 기반의 주파수 체배 시스템을 도시한 도면이다.

<143> 도 2는 본 발명의 실시예에 따른 전압제어 지연선으로부터 출력된 다중 조정 클럭<B(0)~B(8)>을 나타낸 타이밍도이다.

<144> 도 3은 본 발명의 실시예에 따른 수정 입력 클럭의 하모니 록 상태 여부를 판별하는 타이밍도이다.

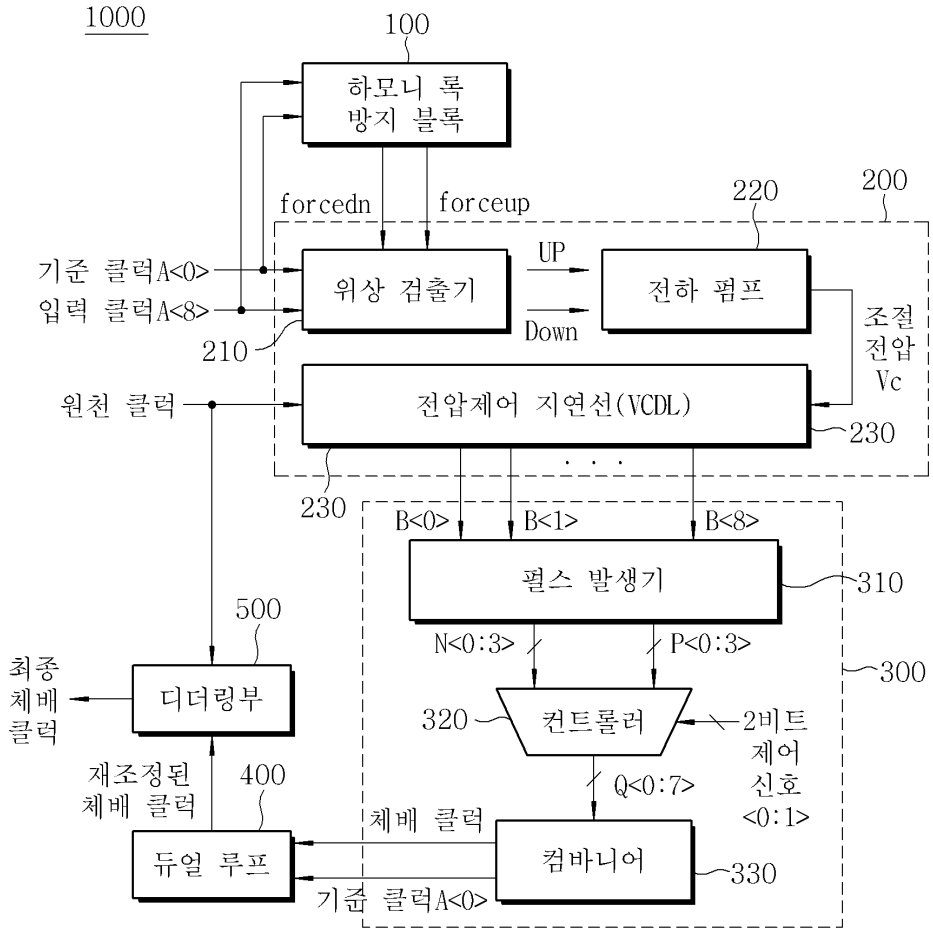
<145> 도 4는 본 발명의 실시예에 따른 지연고정루프 기반의 주파수 체배 방법을 나타낸 순서도이다.

<146> 도 5는 본 발명의 실시예에 따른 디더링부에 관한 세부 회로도를 나타낸 도면이다.

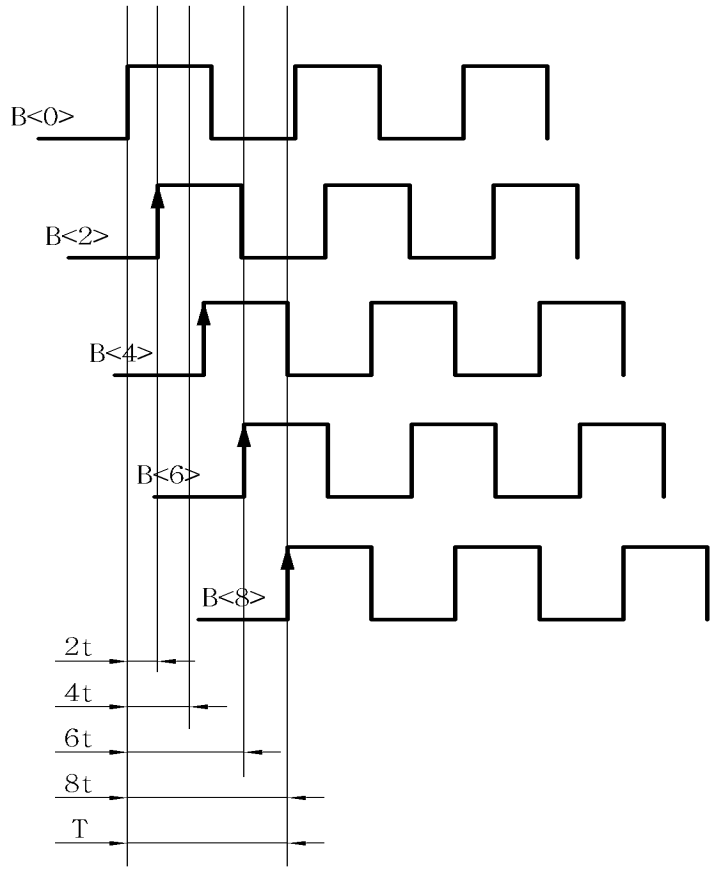
<147> 도 6은 본 발명의 실시예에 따른 디더링부의 디더링 방법을 나타낸 순서도이다.

도면

도면1

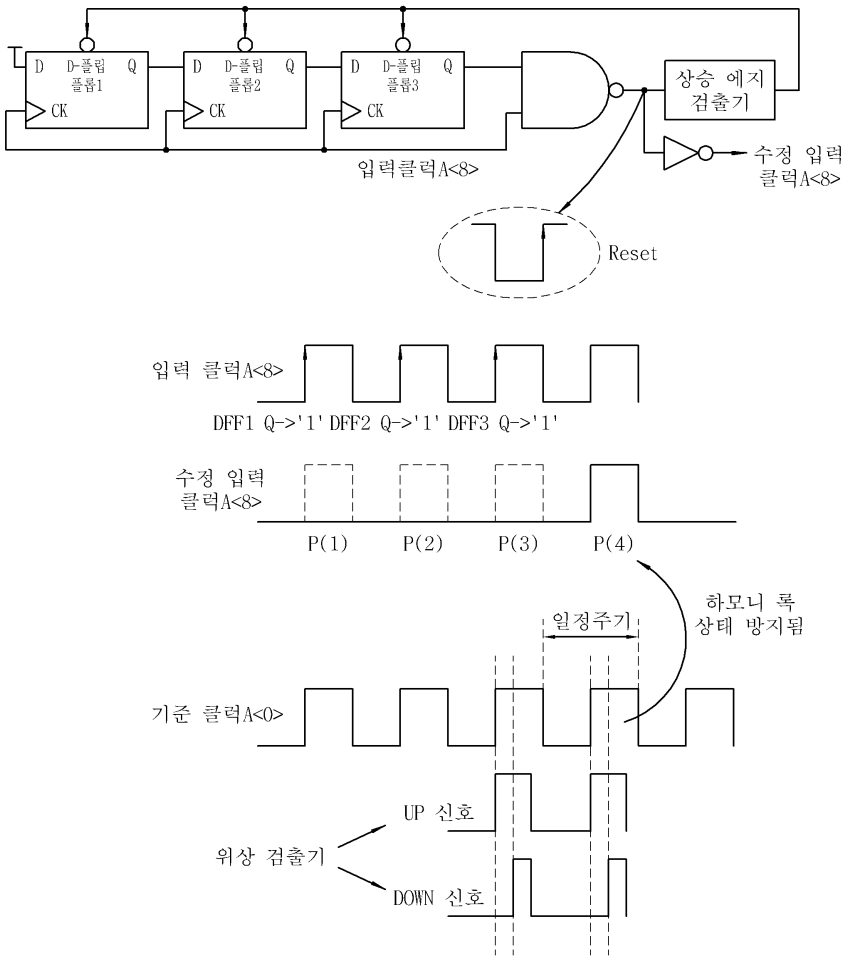


도면2

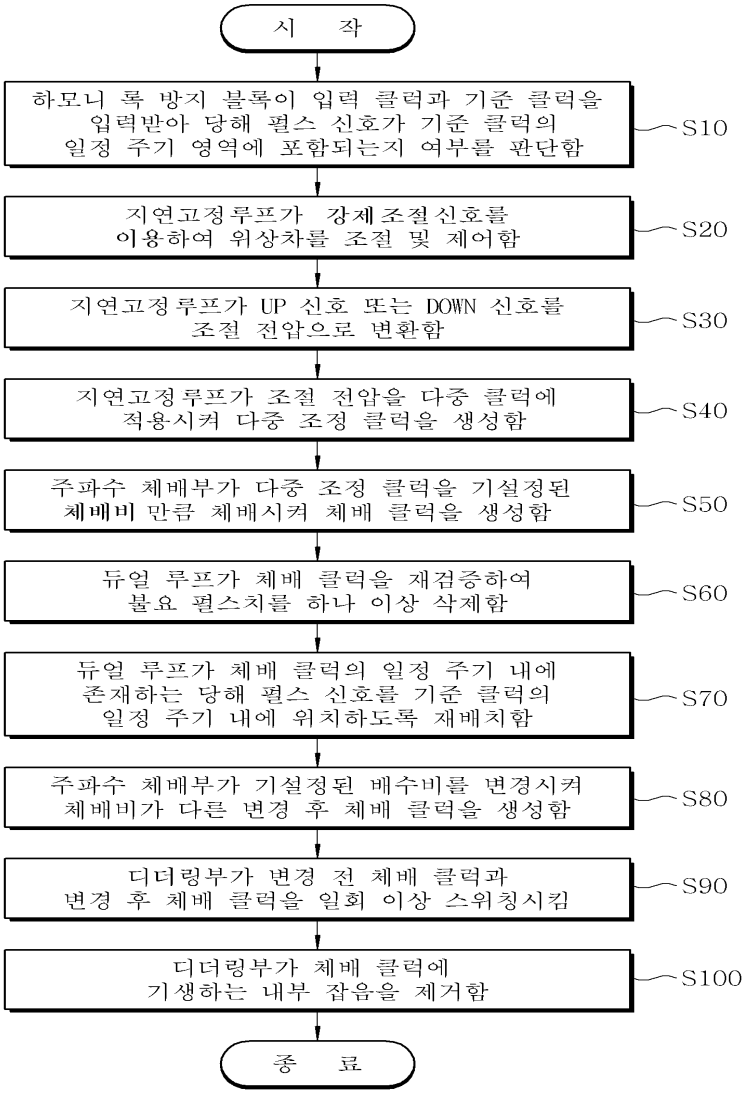


(단, 8t ≦ T)

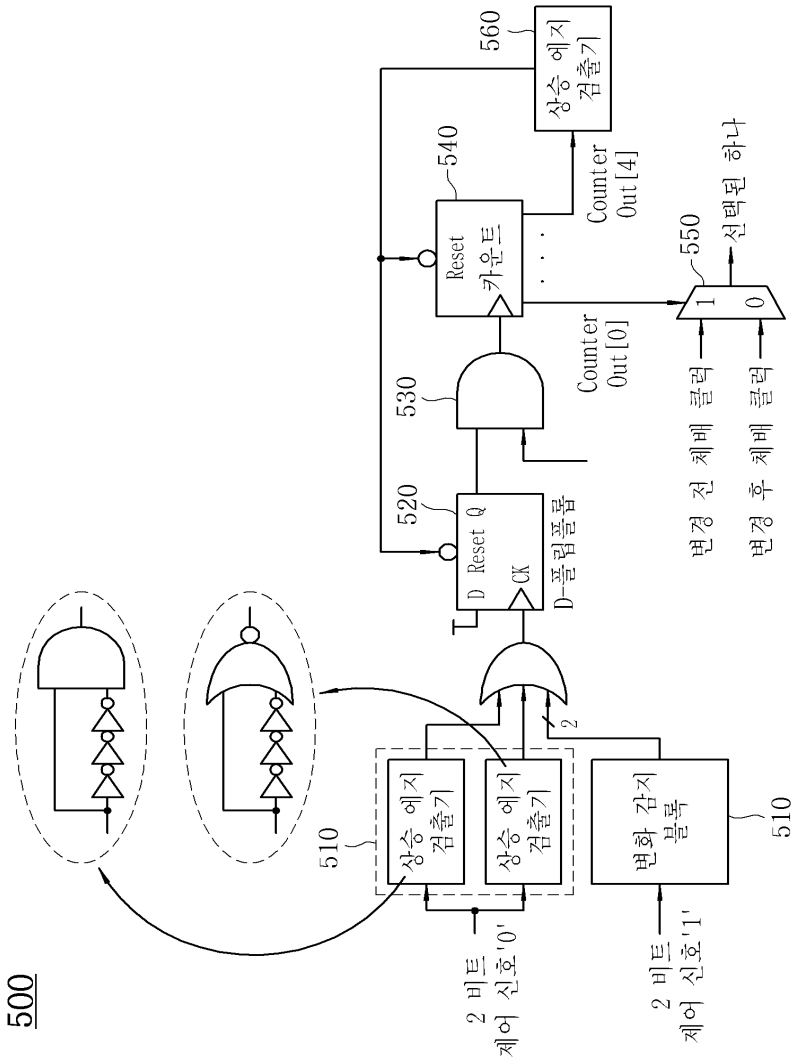
도면3


D
D-플립
플롭1
Q
CK
D-플립
플롭2
D-플립
플롭3
상승 에지
검출기
입력클럭A<8>
수정 입력
클럭A<8>
Reset
입력 클럭A<8>
DFF1 Q->'1' DFF2 Q->'1' DFF3 Q->'1'
수정 입력
클럭A<8>
P(1)
P(2)
P(3)
P(4)
하모니 록
상태 방지됨
일정주기
기준 클럭A<0>
UP 신호
위상 검출기
DOWN 신호

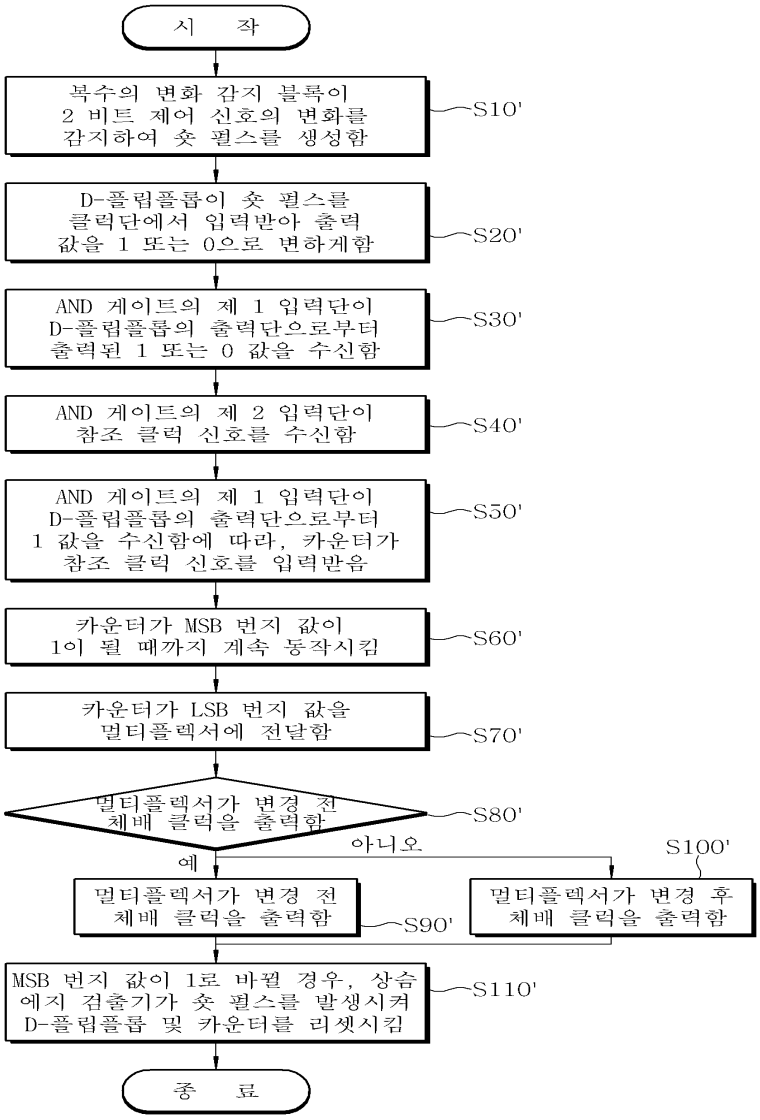
도면4


시 작
하모니 록 방지 블록이 입력 클럭과 기준 클럭을 입력받아 당해 펄스 신호가 기준 클럭의 일정 주기 영역에 포함되는지 여부를 판단함
S10
지연고정루프가 강제조절신호를 이용하여 위상차를 조절 및 제어함
S20
지연고정루프가 UP 신호 또는 DOWN 신호를 조절 전압으로 변환함
S30
지연고정루프가 조절 전압을 다중 클럭에 적용시켜 다중 조정 클럭을 생성함
S40
주파수 체배부가 다중 조정 클럭을 기설정된 체배비 만큼 체배시켜 체배 클럭을 생성함
S50
듀얼 루프가 체배 클럭을 재검증하여 불요 펄스치를 하나 이상 삭제함
S60
듀얼 루프가 체배 클럭의 일정 주기 내에 존재하는 당해 펄스 신호를 기준 클럭의 일정 주기 내에 위치하도록 재배치함
S70
주파수 체배부가 기설정된 배수비를 변경시켜 체배비가 다른 변경 후 체배 클럭을 생성함
S80
디더링부가 변경 전 체배 클럭과 변경 후 체배 클럭을 일회 이상 스위칭시킴
S90
디더링부가 체배 클럭에 기생하는 내부 잡음을 제거함
S100
종 료

도면5


500
510
상승 에지 검출기
상승 에지 검출기
2 비트 제어 신호 '0'
변화 감지 블록
2 비트 제어 신호 '1'
510
2
D Reset Q
CK
D-플립플롭
520
530
Reset 카운트
540
Counter Out[0]
Counter Out[4]
상승 에지 검출기
560
1
0
550
변경 전 체배 클럭
변경 후 체배 클럭
선택된 하나

도면6


시 작
복수의 변화 감지 블록이 2 비트 제어 신호의 변화를 감지하여 숏 펄스를 생성함
S10'
D-플립플롭이 숏 펄스를 클럭단에서 입력받아 출력 값을 1 또는 0으로 변하게함
S20'
AND 게이트의 제 1 입력단이 D-플립플롭의 출력단으로부터 출력된 1 또는 0 값을 수신함
S30'
AND 게이트의 제 2 입력단이 참조 클럭 신호를 수신함
S40'
AND 게이트의 제 1 입력단이 D-플립플롭의 출력단으로부터 1 값을 수신함에 따라, 카운터가 참조 클럭 신호를 입력받음
S50'
카운터가 MSB 번지 값이 1이 될 때까지 계속 동작시킴
S60'
카운터가 LSB 번지 값을 멀티플렉서에 전달함
S70'
멀티플렉서가 변경 전 체배 클럭을 출력함
S80'
아니오
S100'
예
멀티플렉서가 변경 전 체배 클럭을 출력함
S90'
멀티플렉서가 변경 후 체배 클럭을 출력함
MSB 번지 값이 1로 바뀔 경우, 상승에지 검출기가 숏 펄스를 발생시켜 D-플립플롭 및 카운터를 리셋시킴
S110'
종 료