

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/122463 A1

PCT

(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)

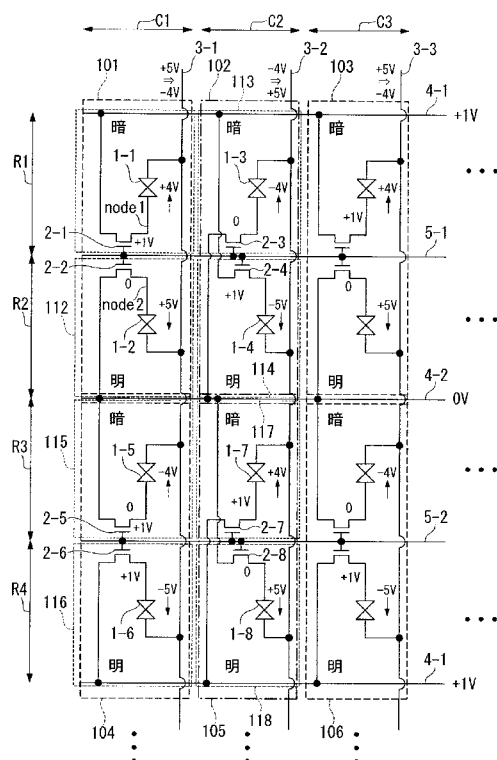
- (51) 国際特許分類:
G02F 1/1343 (2006.01) G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2011/057313
- (22) 国際出願日: 2011 年 3 月 25 日(25.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-075783 2010 年 3 月 29 日(29.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (Sharp Kabushiki Kaisha) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 鎌田 豪 (KAMADA Tsuyoshi) [JP/—]. 井出 哲也 (IDE Tet-suya) [JP/—]. 大橋 誠二 (OHASHI Seiji) [JP/—]. 勝田 昇平 (KATSUTA Shohei) [JP/—].
- (74) 代理人: 船山 武, 外 (FUNAYAMA Takeshi et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置

[図2]



WO 2011/122463 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。

本願は、2010年3月29日に、日本に出願された特願2010-075783号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶表示装置は、近年、高画質化が求められ、1ドットを2つのサブ画素に分割し、サブ画素単位で階調をコントロールするマルチ画素手法が用いられている（例えば、特許文献1参照）。マルチ画素手法は、特許文献1の図13と図18に示されるように、電氣的に等価な2つのサブ画素を用いる。そして、マルチ画素手法は、この2つのサブ画素に接続されている各補助容量Csの電位を変動させ、各画素に電位差を生じさせることで、階調表現をコントロールする。

[0003] また、マルチ画素手法では、各画素の極性により輝度の高い画素と低い画素とを制御する。そのため、図19に示すように、ドット反転駆動による各画素の明暗関係は、輝度の高い画素と輝度の低い画素とが交互に配置される。図19は、マルチ画素手法における画素の明暗関係を説明する図である。図19において、点線で囲った領域P1は、1ピクセルを示している。

先行技術文献

特許文献

[0004] 特許文献1：特開2004-62146号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来技術によるマルチ画素手法では、輝度の高いサブ画素と輝度の低いサブ画素とが交互に配置されている。そのため、例えば、図20に示すように中間調の文字を表示した場合、文字のエッジがぼやけてしま

うという問題点があった。図20は、マルチ画素手法における中間調の文字を表示した一例を説明する図である。なお、中間調とは、高輝度（明るい）と低輝度（暗い）との中間の輝度（明るさ）表現である。

[0006] 本発明は、上記の問題点に鑑みてなされたものであって、中間調表示でもエッジの滑らかな表示が可能な液晶表示装置を提供することを目的としている。

課題を解決するための手段

[0007] (1) 上記目的を達成するため、本発明の一態様に係る液晶表示装置は、
複数のサブ画素に基準電位を供給する基準電位幹線と各々の前記複数のサブ画素が有するスイッチング素子とが配置された第1基板と、
表示信号を供給する表示信号線が配置された第2基板と、
を備え、
前記第1基板と前記第2基板との間に前記複数のサブ画素の各々が有する液晶容量が形成され、
複数の輝度領域に対応した前記複数のサブ画素から構成される画素が、マトリクス状に配置され、
行方向に隣接する前記画素間において、所定の中間調表示を行ったときに、
同一の輝度領域に対応する前記複数のサブ画素同士が、行方向に隣接して配置される。

[0008] (2) また、本発明の一態様に係る液晶表示装置において、
前記基準電位幹線は、第1基準電位幹線と、第2基準電位幹線と、を備え、
、
前記表示信号線を備え、
前記第1基準電位幹線の電位をフレーム毎に切り替えるとともに、前記第2基準電位幹線の電位をフレーム毎に前記第1基準電位幹線とは逆位相に切り替える制御部と、
マトリクスの行方向に配置された走査線と、
を更に備え、

第 1 のサブ画素の前記液晶容量は、一方が前記表示信号線に接続され、他方が前記スイッチング素子を介して前記第 1 基準電位幹線に接続され、

前記第 1 のサブ画素と列方向に隣接する第 2 のサブ画素の前記液晶容量は、一方が前記表示信号線に接続され、他方が前記スイッチング素子を介して前記第 2 基準電位幹線に接続され、

前記第 1 基準電位幹線と前記走査線との間に前記第 1 のサブ画素が配置され、前記第 2 基準電位幹線と前記走査線との間に前記第 2 のサブ画素が配置された第 1 の画素と、

前記第 1 基準電位幹線と前記走査線との間に前記第 2 のサブ画素が配置され、前記第 2 基準電位幹線と前記走査線との間に前記第 1 のサブ画素が配置された第 2 の画素とを備え、

行方向に前記第 1 のサブ画素と前記第 2 のサブ画素とが所定のパターンで繰り返して配置されてもよい。

[0009] (3) また、本発明の一態様に係る液晶表示装置において、

前記第 1 の画素と前記第 2 の画素の配置パターンが、画素駆動の極性反転パターンと一致してもよい。

[0010] (4) また、本発明の一態様に係る液晶表示装置において、

前記表示信号線は、表示信号を供給する第 1 表示信号線と、表示信号を供給する第 2 表示信号線と、を備え、

前記制御部は、前記第 1 表示信号線の電位の極性を画素 1 行毎に交互に切り替えるとともに、前記第 2 表示信号線の電位の極性を前記第 1 表示信号線とは逆極性に画素 1 行毎に交互に切り替え、前記第 1 表示信号線および前記第 2 表示信号線の電位の極性をフレーム毎に交互に切り替えてもよい。

[0011] (5) また、本発明の一態様に係る液晶表示装置において、

前記制御部は、前記第 1 表示信号線の電位の極性をフレーム毎に切り替えるとともに、前記第 2 表示信号線の電位の極性を前記第 1 表示信号線の電位の極性とは逆極性にフレーム毎に切り替えてもよい。

[0012] (6) また、本発明の一態様に係る液晶表示装置において、

前記制御部は、

前記走査線を介して前記第 1 のサブ画素の前記スイッチング素子と、それに隣接する第 3 のサブ画素の前記スイッチング素子とをオンに制御するとき、前記第 1 表示信号線に前記表示信号を供給し、

前記走査線を介して前記第 2 のサブ画素の前記スイッチング素子と、それに隣接する第 4 のサブ画素の前記スイッチング素子とをオンに制御するとき、前記第 2 表示信号線に前記表示信号を供給し、

垂直帰線期間に、前記第 1 表示信号線と前記第 2 表示信号線との前記表示信号の電位の極性を切り替えてもよい。

[0013] (7) また、本発明の一態様に係る液晶表示装置において、

第 3 基準電位幹線、

を更に備え、

前記第 2 のサブ画素と列方向に隣接する第 5 のサブ画素の前記液晶容量は、一方が前記第 1 表示信号線に接続され、他方が前記スイッチング素子を介して前記第 3 基準電位幹線に接続され、

前記第 4 のサブ画素と列方向に隣接する第 6 のサブ画素との前記液晶容量は、一方が前記第 2 表示信号線に接続され、他方が前記スイッチング素子を介して前記第 3 基準電位幹線に接続され、

前記制御部は、前記第 3 基準電位幹線の電位を前記第 1 基準電位幹線の電位と前記第 2 基準電位幹線の電位との間の電位に制御してもよい。

発明の効果

[0014] 本発明では、複数の輝度領域に対応した複数のサブ画素から構成される画素が、マトリクス状に配置される。そして、行方向に隣接する画素間において、所定の中間調表示を行ったとき、同一の輝度領域に対応するサブ画素同士が、行方向に隣接して配置される。このように構成したので、同じ輝度領域のサブ画素同士の交互配置を解消し、中間調表示でもエッジの滑らかな表示を行うことが可能になる。

図面の簡単な説明

[0015] [図1] 第 1 実施形態に係る液晶表示装置の一例を示す斜視図である。

[図2] 同実施形態に係る液晶表示装置の動作を説明する等価回路図である。

[図3] 同実施形態に係る液晶表示装置の他の動作を説明する等価回路図である。

。

[図4] 同実施形態に係る L フレーム時と L + 1 フレーム時の液晶表示装置のタイミングチャートである。

[図5A] 同実施形態に係る第 1 基板 10 上のレイアウトの例を説明する図である。

[図5B] 同実施形態に係る第 1 基板 10 上のレイアウトの他の例を説明する図である。

[図6] 同実施形態に係る第 1 基板 10 の断面図の一例を説明する図である。

[図7] 第 2 実施形態に係る液晶表示装置の動作を説明する等価回路図である。

[図8] 同実施形態に係る液晶表示装置の他の動作を説明する等価回路図である。

。

[図9] 同実施形態に係る L フレーム時と L + 1 フレーム時の液晶表示装置のタイミングチャートである。

[図10] 同実施形態に係る第 1 基板 10 上のレイアウトの例を説明する図である。

[図11] 第 3 実施形態に係る液晶表示装置の一例を示す斜視図である。

[図12] 同実施形態に係る液晶表示装置の動作を説明する等価回路図である。

[図13] 同実施形態に係る液晶表示装置の他の動作を説明する等価回路図である。

[図14] 同実施形態に係る L フレーム時と L + 1 フレーム時の液晶表示装置のタイミングチャートである。

[図15] 同実施形態に係る第 1 基板 10 上のレイアウトの例を説明する図である。

[図16] 第 4 実施形態に係る液晶表示装置の動作を説明する等価回路図である。

。

[図17]同実施形態に係る液晶表示装置の他の動作を説明する等価回路図である。

[図18]同実施形態に係る第1基板10上のレイアウトの例を説明する図である。

[図19]従来技術によるマルチ画素手法における画素の明暗関係を説明する図である。

[図20]従来技術によるマルチ画素手法における中間調の文字を表示した一例を説明する図である。

発明を実施するための形態

[0016] 以下、図1～図18を用いて本発明の実施形態について詳細に説明する。
なお、本発明は、これらの実施形態に限定されず、その技術思想の範囲内で種々の変更が可能である。

[0017] [第1実施形態]

図1は、第1実施形態を適用した液晶表示装置の一例を示す斜視図である。図1に示すように、第1実施形態における液晶表示装置は、第1基板10と、第2基板20と、制御部12とを備える。第1基板10と第2基板20との間に液晶が封入されている。また、第1基板10は、複数のTFT（薄膜トランジスタ）によるスイッチング素子2と、複数の基準電位幹線4と、複数の走査線（ゲートバスライン）5と、表示電極11とを備えている。さらに、第2基板20は、透明電極13を備えている。透明電極13は、それぞれ表示信号線（データバスライン）3に接続されている。このように、第1基板10には、スイッチング素子2、基準電位幹線4、走査線5、および、表示電極11が形成されている。第1基板10に対向する第2基板20には、表示信号線3に接続されたストライプ状の透明電極13が形成されて対向マトリクスを構成している。

[0018] 図2と図3は、第1実施形態における液晶表示装置の動作を説明する等価回路図である。図2と図3では、符号R1～R4で示すように、液晶表示装置が、行方向に1～4行目のサブ画素を含む場合を示している。また、図2

と図3では、符号C1～C3で示すように、液晶表示装置が、列方向に1～3行目のサブ画素を含む場合を示している。

また、図2と図3は、1フレームごとの状態を表している。図2に示すように、第1実施形態における液晶表示装置は、画素101～106を備える。各画素101～106は、さらに2つのサブ画素を備える。そして、画素101と画素102は行方向に隣接して配置されている。画素101は、列方向に対して、サブ画素（第1のサブ画素）111、サブ画素（第2のサブ画素）112の順に配置されている。画素102は、列方向に対して、サブ画素（第3のサブ画素）113、サブ画素（第4のサブ画素）114の順に配置されている。また、行方向に隣接して配置されている画素104と画素105とが、第2基準電位幹線4-2に対して画素101および画素102と線対称に配置されている。そして、画素104は、列方向に対して、サブ画素（第1のサブ画素）116、サブ画素（第2のサブ画素）115の順に配置されている。画素105は、列方向に対して、サブ画素（第3のサブ画素）118、サブ画素（第4のサブ画素）117の順に配置されている。

さらに、各サブ画素は、液晶容量（各サブ画素に対応した液晶による容量、以下、液晶容量という）1とスイッチング素子2と表示電極11とを備えている。例えば、サブ画素111は、液晶容量1-1とスイッチング素子2-1とを備えている。サブ画素112は、液晶容量1-2とスイッチング素子2-2とを備えている。なお、1フレームは、例えば、60Hz駆動の液晶表示装置であれば、1/60秒である。

[0019] まず、画素101のサブ画素111とサブ画素112との構成を説明する。スイッチング素子2-1とスイッチング素子2-2のゲート端子は、共通の走査線5-1に接続されている。スイッチング素子2-1のソース端子は、第1基準電位幹線4-1に接続されている。スイッチング素子2-1のドレイン端子は、表示電極11を介して液晶容量1-1の一方（node 1）に接続されている。液晶容量1-1の他方は、透明電極13を介して表示信号線（第1表示信号線）3-1に接続されている。また、スイッチング素

子 2-2 のソース端子は、第 2 基準電位幹線 4-2 に接続されている。スイッチング素子 2-2 のドレイン端子は、液晶容量 1-2 の一方 (node 2) に接続されている。液晶容量 1-2 の他方は、透明電極 13 を介して表示信号線 3-1 に接続されている。

次に、画素 102 のサブ画素 113 とサブ画素 114 との構成を説明する。スイッチング素子 2-3 とスイッチング素子 2-4 のゲート端子は、共通の走査線 5-1 に接続されている。スイッチング素子 2-3 のソース端子は、第 2 基準電位幹線 4-2 に接続されている。スイッチング素子 2-3 のドレイン端子は、液晶容量 1-3 の一方に接続されている。液晶容量 1-3 の他方は、透明電極 13 を介して表示信号線 (第 2 表示信号線) 3-2 に接続されている。また、スイッチング素子 2-4 のソース端子は、第 1 基準電位幹線 4-1 に接続されている。スイッチング素子 2-4 のドレイン端子は、液晶容量 1-4 の一方に接続されている。液晶容量 1-4 の他方は、透明電極 13 を介して表示信号線 3-2 に接続されている。

[0020] 次に、液晶表示装置の動作を、図 2 と図 4 とを用いて説明する。第 1 実施形態は、制御部 12 が表示信号線 3-1 ~ 3-3 の電位の極性をドット (画素) 毎に切り替えて制御するドット反転駆動の例である。図 4 は、第 1 実施形態における L フレーム時と L+1 フレーム時の液晶表示装置のタイミングチャートである。まず、L フレーム (L は 1 以上の自然数) 時、画素 101 のサブ画素 111 とサブ画素 112 の動作について説明する。

なお、図 4 では、L フレームが、第 1 フレーム (1st-frame) F1 である場合を示しており、L+1 フレームが、第 2 フレーム (2nd-frame) F2 である場合を示している。

[0021] 図 4 において、横軸は時間を示しており、縦軸は電位を示している。図 4 の波形 1 は、走査線 5-1 の電位の時間変化を示している。図 4 の波形 2 は、走査線 5-2 の電位の時間変化を示している。図 4 の波形 3 は、第 1 基準電位幹線 4-1 の電位の時間変化を示している。図 4 の波形 4 は、第 2 基準電位幹線 4-2 の電位の時間変化を示している。図 4 の波形 5 は、表示信号

線 3-1 の電位の時間変化を示している。図 4 の波形 6 は、表示信号線 3-2 の電位の時間変化を示している。図 4 の波形 7 は、表示信号線 3-3 の電位の時間変化を示している。図 4 の波形 8 は、ノード 1 (node 1) の電位の時間変化を示している。図 4 の波形 9 は、ノード 2 (node 2) の電位の時間変化を示している。図 4 の波形 10 は、表示信号線 3-1 とノード 1 間の電位 (第 1 サブ画素の液晶素子への印加電圧) の時間変化を示している。図 4 の波形 11 は、表示信号線 3-1 とノード 2 間の電位 (第 2 サブ画素の液晶素子への印加電圧) の時間変化を示している。

[0022] 制御部 12 は、第 1 基準電位幹線 4-1 を +1 V に制御し (図 4 の波形 1 : 時刻 t_{0a})、第 2 基準電位幹線 4-2 を 0 V に制御する (図 4 の波形 2 : 時刻 t_{0a})。次に、制御部 12 は、走査線 5-1 を時刻 $t_{0a} \sim t_{1a}$ の期間、H レベルに制御し (図 4 の波形 1)、スイッチング素子 2-1 とスイッチング素子 2-2 とをオン状態にする。なお、走査線 5-1 の出力が H になる期間は、液晶表示装置で用いるゲートデータバス 3 の総数に応じて設定される。走査線 5-1 の出力が H になる期間は、例えば、Full-HD 対応の液晶表示装置においては、 $1 / (60 \times 1080)$ (秒) に相当する。さらに、制御部 12 は、表示信号線 3-1 の電位の極性を、ドット (画素) 毎に交互に切り替える (図 4 の波形 5)。すなわち、制御部 12 は、画素 1 行目には、例えば、電位 +5 V $\sim$ +2 V の信号を供給し、画素 2 行目には、電位 -4 V $\sim$ -1 V の信号を供給する。以下、各画素の動作を、表示信号線 3-1 と表示信号線 3-3 に、それぞれ最大電位の信号が供給された場合について説明する (図 4 の波形 5 及び波形 7)。

なお、一例として、第 1 基板 10 の下に非図示のバックライトが配置された透過型の液晶表示装置の場合、制御部 12 により、各サブ画素の光透過率を制御することで輝度 (階調表現) が制御される。あるいは、反射型の液晶表示装置の場合、制御部 12 により、各サブ画素の光反射率を制御することで、輝度 (階調表現) が制御される。

[0023] 時刻 $t_{0a} \sim t_{1a}$ の期間、スイッチング素子 2-1 がオンになる。この

結果、液晶容量 1-1 には、表示信号線 3-1 の +5 V と第 1 基準電位幹線 4-1 の +1 V との電位差 = +4 V が発生する。そして、スイッチング素子 2-1 がオフになった時刻 t_{1a} 以降、液晶容量 1-1 により、この電位差 +4 V が次のフレーム L+1 まで保持される。

また、時刻 $t_{0a} \sim t_{1a}$ の期間、スイッチング素子 2-2 がオンし、液晶容量 1-2 には、表示信号線 3-1 の +5 V と第 2 基準電位幹線 4-2 の 0 V との電位差 = +5 V が発生する。そして、スイッチング素子 2-2 がオフになった時刻 t_{1a} 以降、液晶容量 1-2 により、この電位差 +5 V が次のフレーム L+1 まで保持される。

なお、図 2 において、「↑（上向きの矢印）」と「↓（下向きの矢印）」とは、電位差の発生方向を表す。例えば、液晶容量 1-1 において、スイッチング素子 2-1 に接続されている端子を基準にしたとき、表示信号線 3-1 に発生する電位が正であることを表している。

この結果、サブ画素 1 1 1 の液晶容量 1-1 に電位差 = +4 V が発生し、サブ画素 1 1 2 の液晶容量 1-2 に電位差 = +5 V が発生する。そのため、電位差の大きなサブ画素 1 1 2 の方が、サブ画素 1 1 1 より輝度が高く表示される。このため、サブ画素 1 1 1 は暗く表示され、サブ画素 1 1 2 は明るく表示される。

[0024] 次に、L フレーム時、画素 1 0 2 のサブ画素 1 1 3 とサブ画素 1 1 4 の動作について説明する。

制御部 1 2 は、走査線 5-1 を時刻 $t_{0a} \sim t_{1a}$ の期間、H レベルに制御し（図 4 の波形 1）、スイッチング素子 2-3 とスイッチング素子 2-4 とをオン状態にする。また、制御部 1 2 は、表示信号線 3-2 の電位の極性を、ドット毎に交互に切り替える（図 4 の波形 6）。すなわち、制御部 1 2 は、画素 1 行目には、電位 -4 V ~ -1 V の信号を供給し、画素 2 行目には、電位 +5 V ~ +2 V の信号を供給する。以下、各画素の動作を、表示信号線 3-2 に最大電位を印加した場合について説明する。

従って、液晶容量 1-3 には、表示信号線 3-2 の -4 V と、第 2 基準電

位幹線 4-2 の 0 V との電位差 = -4 V が発生する。スイッチング素子 2-3 がオフになった時刻 t_{1a} 以降、液晶容量 1-3 により、この電位差 -4 V が次のフレーム $L+1$ まで保持される。

同様に、液晶容量 1-4 には、表示信号線 3-2 の -4 V と、第 1 基準電位幹線 4-1 の +1 V との電位差 = +5 V が発生する。スイッチング素子 2-3 がオフになった時刻 t_{1a} 以降、液晶容量 1-4 により、この電位差 -5 V が次のフレーム $L+1$ まで保持される。

この結果、サブ画素 113 の液晶容量 1-3 に電位差 = -4 V が発生し、サブ画素 114 の液晶容量 1-4 に電位差 = -5 V が発生する。このため、電位差の大きなサブ画素 114 の方が、サブ画素 113 より輝度が高く表示される。このため、サブ画素 113 は暗く表示され、サブ画素 114 は明るく表示される。

[0025] 画素 103 は、画素 101 と同様の構成である。また、表示信号線 3-3 に印加される電位も、表示信号線 3-1 と同じある。そのため、画素 103 は、画素 101 と同様の動作をする。

画素 104 ~ 106 は、第 2 基準電位幹線 4-2 と、第 1 基準電位幹線 4-1 と、走査線 5-2 と、表示信号線 3-1 ~ 3-2 とに接続されている。

また、画素 101 ~ 103 との動作の違いは、制御部 12 が、走査線 5-2 に時刻 t_{1a} ~ t_{2a} の期間、各スイッチング素子 2 をオン状態に制御する点である（図 4 の波形 2）。また、制御部 12 は、各表示信号線 3-1 ~ 3-2 の電位を、ドット毎に切り替える。そのため、画素 104 に対する表示信号線 3-1 は、-4 V が供給される（図 4 の波形 5）。また、画素 105 に対する表示信号線 3-2 は、+5 V が供給される（図 4 の波形 6）。また、画素 105 に対する表示信号線 3-3 は、-4 V が供給される（図 4 の波形 7）。

従って、画素 104 のサブ画素 115 の液晶容量 1-5 には、表示信号線 3-1 の -4 V と、第 2 基準電位幹線 4-2 の 0 V との電位差 = -4 V が発生する。また、サブ画素 116 の液晶容量 1-6 には、表示信号線 3-1 の

−4 Vと、第1基準電位幹線4-1の+1 Vとの電位差=−5 Vが発生する。また、画素105のサブ画素117の液晶容量1-7には、表示信号線3-2の+5 Vと、第1基準電位幹線4-1の+1 Vとの電位差=+4 Vが発生する。また、サブ画素118の液晶容量1-8には、表示信号線3-2の+5 Vと第2基準電位幹線4-2の0 Vとの電位差=+5 Vが発生する。画素106は、画素104と同じ構成のため、画素104と同じ動作をする。

[0026] この結果、各画素101~106の各サブ画素の各液晶容量1の電位差は、図2に示すようになる。つまり、Lフレーム時、1行目（符号R1）は輝度領域の暗い画素が行方向に並び、2行目（符号R2）は輝度領域の明るい画素が並び、3行目（符号R3）は輝度領域の暗い画素が行方向に並び、4行目（符号R4）は輝度領域の明るい画素が並んで表示される。従来のマルチ画素手法を用いた液晶表示装置では、異なる輝度領域のサブ画素同士が隣接して行方向に配置されていた。しかし、第1実施形態では、図2に示すように、同じ輝度同士のサブ画素同士が隣接して行方向に配置されている。

[0027] 次に、L+1フレームの動作について図3と図4を用いて説明する。図4において、時刻 t_{0b} 以降が、L+1フレーム（第2フレームF2）のタイミングチャートである。図3のLフレーム時との違いは、制御部12が、垂直帰線期間、表示信号線3-1~3-3の電位の極性を、Lフレーム時とは逆極性に切り替える点である。すなわち、制御部12は、画素1行目には、表示信号線3-1から電位−4 Vの信号を供給し、表示信号線3-2から電位+5 Vの信号を供給するように制御する。また、制御部12は、表示信号線3-1~3-3の電位の極性をドット毎に交互に切り替える。すなわち、制御部12は、表示信号線3-1について、画素1行目には、最大電位+5 V~最小電位+2 Vの信号を供給し、画素2行目には、最大電位−4 V~最小電位−1 Vの信号を供給するように制御する。以下、各画素の動作について、表示信号線3-1~3-3に最大電位を印加した場合について説明する。さらに、制御回路12は、時刻 t_{0b} において、第1基準電位幹線4-1の電位を+1 Vから0 Vに切り替え（図4の波形3）、第2基準電位幹線4

−2の電位を0Vから+1Vに切り替える（図4の波形4）。

画素101のサブ画素111の液晶容量1-1には、表示信号線3-1の−4Vと、第1基準電位幹線4-1の0Vとの電位差=−4Vが発生する。同様に、サブ画素112の液晶容量1-2には、表示信号線3-1の−4Vと、第2基準電位幹線4-2の+1Vとの電位差=−5Vが発生する。この結果、電位差の大きなサブ画素112の方が、サブ画素111より輝度が高く表示され、サブ画素111は暗く、サブ画素112は明るく表示される。画素103は、画素101と同様の構成のため、画素101と同様の動作を行う。

[0028] さらに、画素102のサブ画素113の液晶容量1-3には、表示信号線3-2の+5Vと、第2基準電位幹線4-2の+1Vとの電位差=+4Vが発生する。同様に、サブ画素114の液晶容量1-4には、表示信号線3-2の+5Vと、第1基準電位幹線4-1の0Vとの電位差=+5Vが発生する。この結果、電位差の大きなサブ画素114の方が、サブ画素113より輝度が高く表示され、サブ画素113は暗く、サブ画素114は明るく表示される。

さらに、画素104のサブ画素115の液晶容量1-5には、表示信号線3-1の+5Vと、第2基準電位幹線4-2の+1Vとの電位差=+4Vが発生する。また、サブ画素116の液晶容量1-6には、表示信号線3-1の+5Vと第1基準電位幹線4-1の0Vとの電位差=+5Vが発生する。また、画素105のサブ画素117の液晶容量1-7には、表示信号線3-2の−4Vと、第1基準電位幹線4-1の0Vとの電位差=−4Vが発生する。また、サブ画素118の液晶容量1-8には、表示信号線3-2の−4Vと、第2基準電位幹線4-2の+1Vとの電位差=−5Vが発生する。画素106は、画素104と同じ構成のため、画素104と同じ動作をする。

[0029] 以上のように、L+1フレーム時においても、図2のLフレームと同様となる。つまり、1行目（図3の符号R1）は輝度領域の暗い画素が行方向に並び、2行目は輝度領域の明るい画素が並び（図3の符号R2）、3行目は

輝度領域の暗い画素が行方向に並び（図3の符号R3）、4行目は輝度領域の明るい画素が並んで表示される（図3の符号R4）。このように同じ輝度領域のサブ画素同士が隣接して行方向に配置されるようにしても、各サブ画素の明暗配置は、フレーム毎に変化していない。そのため、エッジを際立たせたような画像においても滑らかな表示を行うことができる。

[0030] 図5A及び図5Bは、第1実施形態における第1基板10上のレイアウトの例を説明する図である。

図5Aは、サブ画素ごとに各基準電位幹線に接続してレイアウトした例である。図5Bは、2つの画素をまとめて各基準電位幹線に接続してレイアウトした例である。図5Bの方が図5Aより、配線パターンの本数が少ないため開口率を高くできる。

表示信号線3-1～3-3が接続されている透明電極13は、対向する第2基板20上にある。そのため、図5Aと図5B、図6において、第1基板10上には、基準電位幹線4-1～4-2と走査線5-1～5-2、スイッチング素子2、及び表示電極11とが形成されている。

図5Aと図5Bにおいて、各サブ画素（スイッチング素子2、表示電極11）201-1～201-4は、各接続部202-1～202-4、203-1～203-4を介して、各基準電位幹線4-1～4-2に接続されている。従来の対向マトリクス構成を用いないマルチ画素駆動手法（MPD；Multi Pixel Drive）において、仮に同じ輝度のサブ画素同士を行方向に配置した場合、同じ第1基板10上に表示信号線3も形成されているためパターンレイアウトが複雑になる。そのため、ゲートバスライン同士が積層され、層間短絡が発生しやすくなり、歩留まりが悪くなってしまう。

一方、第1実施形態によれば、同じ輝度領域のサブ画素を行方向に配置しても、各サブ画素と各基準電位幹線を接続するパターン長さが、各サブ画素において同等である。そのため開口率が低下せず、従来の複数画素を有するマルチ画素手法（MPD）と同等にレイアウトを行うことができ、さらに層

間短絡の発生頻度は大幅に減少する。さらに、図6に示すように、スイッチング素子（TFT部）の積層部は残るが、ゲートバスライン積層部と異なりTFT部は不具合時に切り離すリペアが容易なので、最終的な歩留りでも優位である。

[0031] 図6は、本実施形態における第1基板10の断面図の一例を説明する図である。

図6に示すように、第1基板10の一部領域上には、ゲート電極14が形成されている。第1基板10とゲート電極14とを覆って、ゲート絶縁膜15が形成されている。ゲート絶縁膜15の一部領域上には、 $a-Si$ からなる接続部202-2が形成されている。接続部202-2の一部領域には、 $n+a-Si$ からなる接続部16及び17が形成されている。接続部16上には、第1基準電位幹線4-1が形成されている。ゲート絶縁膜15、接続部202-2、接続部16、第1基準電位幹線4-1を覆って、保護膜18が形成されている。保護膜18の一部領域上には、接続部17に接続するように、表示電極11が形成されている。

なお、図6において、第1基準電位幹線4-1は、ソース電極、基準信号線としても機能する。また、図6において、表示電極11は、ドレイン電極、画素電極としても機能する。

[0032] なお、図5Aと図5Bにおいて、記号「+」は、Lフレームにおいて表示信号線3-1～3-2からプラスの電位が印加されることを表している。また、記号「-」は、Lフレームにおいて表示信号線3-1～3-3からマイナスの電位が印加されることを表している。図2、図5A及び図5Bに示すように、サブ画素111（201-1）が第1基準電位幹線4-1に接続され、サブ画素112（201-2）が第2基準電位幹線4-2に接続されている配置をAとする。また、サブ画素113（201-3）が第2基準電位幹線4-2に接続され、サブ画素114（201-4）が第1基準電位幹線4-1に接続されている配置をBとする。この場合、ABAB・・・のように所定のパターンで繰り返して配置されている。

[0033] 以上のように、第1実施形態では、表示信号線3-1~3-3を第2基板20に配置し、走査線5-1~5-2と各基準電位幹線4-1~4-2と各サブ画素に接続されている表示電極11と各電極に接続されているスイッチング素子2とを第1基板10に配置する対向マトリクス構成とする。また、サブ画素111の液晶容量1-1に接続されているスイッチング素子2-1のソース端子とサブ画素114の液晶容量1-4に接続されているスイッチング素子2-4のソース端子とを第1基準電位幹線4-1に接続する。また、サブ画素112の液晶容量1-2に接続されているスイッチング素子2-2のソース端子とサブ画素113の液晶容量1-3に接続されているスイッチング素子2-3のソース端子とを第2基準電位幹線4-2に接続する。さらに、制御部12が各表示信号線3-1~3-3の電位の極性をドット毎に切り替える。さらに各表示信号線3-1~3-3の電位の極性をフレーム毎に切り替え、各基準電位幹線4-1~4-2の電位をフレーム毎に切り替えるようにする。これにより、輝度の異なるサブ画素の交互配置を解消した配置の液晶表示装置を実現することができ、中間調表示においても滑らかな表示が可能になる。

[0034] また、従来提案されている対向マトリクス構成は、補助容量が構成上できないため、従来技術によるマルチ画素化が困難であり、実現する手法も開示されていなかった。本実施形態を適用することで、対向マトリクス構成によるマルチ画素構成を、補助容量を形成せずに、表示信号線3-1~3-3の電位の極性をドット毎に切り替え、各表示信号線3-1~3-3の電位の極性をフレーム毎に切り替え、第1基準電位幹線4-1の電位と第2基準電位幹線4-2の電位とをフレーム毎に切り替える。この結果、表示信号線と走査線とが積層していないため、対向マトリクス構成以外の1層構成の液晶表示装置と比べ、層間の短絡欠陥が発生せず歩留まりが良い。

[0035] [第2実施形態]

図7と図8とは、第2実施形態に係る液晶表示装置の動作を説明する等価回路図である。

また、図7と図8とは、1フレームごとの状態を表している。図9は、第2実施形態におけるLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。第1実施形態との差異は、画素304~306と、表示信号線3-1~3-3の電位である。

表示信号線3-1~3-3の電位は、第1実施形態では、ドット毎に切り替える信号を用いた。しかし、第2実施形態では、フレーム毎に1つの表示信号線間隔で固定された極性とする。すなわち、第2実施形態は、表示信号線3-1~3-3に印加する電位を、フレーム線毎に極性を切り替えて制御するフレーム反転駆動の例である。

図7に示すように画素101と画素102は、行方向に隣接して配置されている。画素101は、列方向に対して、サブ画素（第1のサブ画素）111、サブ画素（第2のサブ画素）112の順に配置されている。画素102は、列方向に対して、サブ画素（第3のサブ画素）113、サブ画素（第4のサブ画素）114の順に配置されている。また、行方向に隣接して配置されている画素304と画素305が、第2基準電位幹線4-2のA点に関して、画素101および画素102と点対称に配置されている。そして、画素305は、列方向に対して、サブ画素（第1のサブ画素）314、サブ画素（第2のサブ画素）313の順に配置されている。画素304は、列方向に対して、サブ画素（第3のサブ画素）312、サブ画素（第4のサブ画素）311の順に配置されている。

[0036] 図9において、横軸は時間を示しており、縦軸は電位を示している。図9の波形1は、走査線5-1の電位の時間変化を示している。図9の波形2は、走査線5-2の電位の時間変化を示している。図9の波形3は、第1基準電位幹線4-1の電位の時間変化を示している。図9の波形4は、第2基準電位幹線4-2の電位の時間変化を示している。図9の波形5は、表示信号線3-1の電位の時間変化を示している。図9の波形6は、表示信号線3-2の電位の時間変化を示している。図9の波形7は、表示信号線3-3の電位の時間変化を示している。図9の波形8は、ノード1（node 1）の

電位の時間変化を示している。図9の波形9は、ノード2 (node 2) の電位の時間変化を示している。図9の波形10は、表示信号線3-1とノード1間の電位(第1サブ画素の液晶素子への印加電圧)の時間変化を示している。図9の波形11は、表示信号線3-1とノード2間の電位(第2サブ画素の液晶素子への印加電圧)の時間変化を示している。

[0037] まず、Lフレーム(図9の第1フレームF1)時の動作を説明する。第1基準電位幹線4-1には+1Vが印加される(図9の波形3:時刻t0a)。第2基準電位幹線4-2には0Vが印加される(図9の波形4:時刻t0a)。表示信号線3-1と表示信号線3-3とには、電位-4V~+5Vの信号が供給される(図9の波形5及び波形7:時刻t0a)。表示信号線3-2には、電位+5V~-4Vの信号が供給される(図9の波形6:時刻t0a)。以下、各画素の動作について、表示信号線3-1~3-3に最大電位の信号が供給された場合について説明する。このため、画素101~103の各サブ画素の動作、及び、各画素に対応した液晶容量1の電位差は、第1実施形態と同じであるため説明は省略する。

次に、画素304~306の動作を説明する。画素304~306の各サブ画素にかかる表示信号線3-1~3-3の電位は、画素101~103と同じ電位が供給されている(図9の波形5~7:時刻t1a)。このため、画素304のサブ画素311の液晶容量1-5には、表示信号線3-1の+5Vと、第1基準電位幹線4-1の+1Vとの電位差=+4Vが発生する。同様に、サブ画素312の液晶容量1-6には、表示信号線3-1の+5Vと、第2基準電位幹線4-2の0Vとの電位差=+5Vが発生する。この結果、電位差の大きなサブ画素312の方が、サブ画素311より輝度が高く表示され、サブ画素311は暗く、サブ画素312は明るく表示される。画素306は、画素304と同じ構成のため、画素304と同じ動作をする。

[0038] さらに、画素305のサブ画素313の液晶容量1-7には、表示信号線3-2の-4Vと、第2基準電位幹線4-2の0Vとの電位差=-4Vが発生する。同様に、サブ画素314の液晶容量1-8には、表示信号線3-2

の -4 V と、第1基準電位幹線4-1の $+1\text{ V}$ との電位差 $=-5\text{ V}$ が発生する。この結果、電位差の大きなサブ画素314の方が、サブ画素313より輝度が高く表示され、サブ画素313は暗く、サブ画素314は明るく表示される。

[0039] 次に、 $L+1$ フレーム（図9の第2フレームF2）時の動作を説明する。制御部12は、垂直帰線期間、表示信号線3-1と表示信号線3-3の電位の極性をLフレーム（図9の第1フレームF1）時とは逆極性に切り替える（図9の波形5及び波形7：時刻 t_0b ）。さらに、制御部12は、第1基準電位幹線4-1の電位を $+1\text{ V}$ から 0 V に切り替え（図9の波形3：時刻 t_0b ）、第2基準電位幹線4-2の電位を 0 V から $+1\text{ V}$ に切り替える（図9の波形4：時刻 t_0b ）。この結果、第1基準電位幹線4-1には 0 V が印加され（図9の波形3：時刻 t_0b ）、第2基準電位幹線4-2には $+1\text{ V}$ が印加される（図9の波形4：時刻 t_0b ）。また、表示信号線3-1と表示信号線3-3とには、電位 $+5\text{ V} \sim -4\text{ V}$ の信号が供給される（図9の波形4：時刻 t_0b ）また、表示信号線3-2には、電位 $-4\text{ V} \sim +5\text{ V}$ の信号が供給される（図9の波形6：時刻 t_0b ）。以下、各画素の動作について、表示信号線3-1～3-3に最大電位の信号が供給されている場合について説明する。このため、画素101～103の各サブ画素の動作、及び、各画素に対応した液晶容量1の電位差は、第1実施形態と同じであるため説明は省略する。

次に、画素304～306の動作を説明する。画素304～306の各サブ画素にかかるデータライン3-1～3-3の電位は、画素101～103と同じ電位が印加されている（図9の波形5～7：時刻 t_1b ）。このため、画素304のサブ画素311の液晶容量1-5には、表示信号線3-1の -4 V と、第1基準電位幹線4-1の 0 V との電位差 $=-4\text{ V}$ が発生する。同様に、サブ画素312の液晶容量1-6には、表示信号線3-1の -4 V と、第2基準電位幹線4-2の $+1\text{ V}$ との電位差 $=-5\text{ V}$ が発生する。この結果、電位差の大きなサブ画素312の方が、サブ画素311より輝度が高

く表示され、サブ画素 311 は暗く、サブ画素 312 は明るく表示される。
画素 306 は、画素 304 と同じ構成のため、画素 304 と同じ動作をする。
。

[0040] さらに、画素 305 のサブ画素 313 の液晶容量 1-7 には、表示信号線 3-2 の +5V と、第 2 基準電位幹線 4-2 の +1V との電位差 = +4V が発生する。同様に、サブ画素 314 の液晶容量 1-8 には、表示信号線 3-2 の +5V と、第 1 基準電位幹線 4-1 の 0V との電位差 = +5V が発生する。この結果、電位差の大きなサブ画素 314 の方が、サブ画素 313 より輝度が高く表示され、サブ画素 313 は暗く、サブ画素 314 は明るく表示される。

従って、図 7 および図 8 に示すように、マトリクス の 1 行目と 3 行目には、すべて輝度の暗いサブ画素が並び、マトリクス の 2 行目と 4 行目には、すべて輝度の明るい画素が並び表示される。第 1 実施形態と同様に、このように同じ輝度領域のサブ画素同士が隣接して行方向に配置されるようにしても、各サブ画素の明暗配置は、フレーム毎に変化していない。そのため、エッジを際立たせたような画像においても、適切な表示を行うことができる。

[0041] 図 10 は、第 2 実施形態における第 1 基板 10 上のレイアウトの例を説明する図である。図 10 において、各サブ画素（スイッチング素子 2、表示電極 11）201-1 ~ 201-4 は、各接続部 203-1 ~ 203-3 を介して、各基準電位幹線に接続されている。図 5A と図 5B と同様に、表示信号線 3-1 ~ 3-3 が接続されている透明電極 13 は、対向する第 2 基板 20 上にある。そのため、第 1 基板 10 上には、基準電位幹線 4-1 ~ 4-3 と走査線 5-1 ~ 5-2、スイッチング素子 2、及び表示電極 11 とが形成されている。

このように、第 2 実施形態においても、同じ輝度領域のサブ画素を行方向に配置しても、各サブ画素と各基準電位幹線を接続するパターン長さが、各サブ画素において同等である。そのため開口率が低下せず、従来の複数画素を有するマルチ画素手法（MPD）と同等にレイアウトを行うことができる。

。

なお、図 10 において、記号「+」は、L フレームにおいて表示信号線 3 からプラスの電位が印加されることを表す。また、記号「-」は、L フレームにおいて表示信号線 3 からマイナスの電位が印加されることを表す。

また、図 10 は、サブ画素ごとに各基準電位幹線に接続してレイアウトした例を説明したが、図 5 B と同様に、2 つの隣接するサブ画素をまとめて各基準電位幹線に配線を接続することも可能である。この場合、さらに開口率を改善できる。

[0042] 以上のように、第 2 実施形態では、対向マトリクス構成とする。また、サブ画素 111 の液晶容量 1-1 に接続されているスイッチング素子 2-1 のソース端子とサブ画素 114 の液晶容量 1-4 に接続されているスイッチング素子 2-4 のソース端子とを第 1 基準電位幹線 4-1 に接続する。また、サブ画素 112 の液晶容量 1-2 に接続されているスイッチング素子 2-2 のソース端子とサブ画素 113 の液晶容量 1-3 に接続されているスイッチング素子 2-3 のソース端子とを第 2 基準電位幹線 4-2 に接続する。さらに制御部 12 が、各表示信号線 3-1 ~ 3-3 と各基準電位幹線 4-1 ~ 4-2 との電位の極性を、フレーム毎に切り替える。そのため、輝度の異なるサブ画素の交互配置を解消した配置の液晶表示装置を実現することにより、中間調表示においても滑らかな表示が可能になる。

[0043] [第 3 実施形態]

第 3 実施形態について、図 11 ~ 図 15 を用いて説明する。

図 11 は、第 3 実施形態における液晶表示装置の一例を示す斜視図である。第 1 実施形態と同様に、液晶表示装置は、第 1 基板 10 と、第 2 基板 20 と、制御部 12 とを備えている。また、第 1 基板 10 は、TFT（薄膜トランジスタ）による複数のスイッチング素子 2 と、複数の基準電位幹線 4 と、複数の走査線 5 と、複数の表示電極 11 とを備えている。

さらに、第 2 基板 20 は、複数の表示信号線 3 を備えている。第 1 実施形態との違いは、液晶表示装置は、1 画素を 3 つのサブ画素に分割して構成さ

れている点である。また、第3実施形態では、ライン反転駆動の例を説明する。

[0044] 図12と図13は、第3実施形態に係る液晶表示装置の動作を説明する等価回路図である。また、図14と図15は、1フレームごとの状態を表している。図14は、Lフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

図12に示すように、第3実施形態における液晶表示装置は、画素401～406を備える。各画素は、さらに3つのサブ画素を備えている。そして、画素401と画素402は、行方向に隣接して配置されている。画素401は、列方向に対して、サブ画素（第1のサブ画素）411、サブ画素（第2のサブ画素）412、サブ画素（第5のサブ画素）413の順に配置されている。画素402は、列方向に対して、サブ画素（第3のサブ画素）421、サブ画素（第4のサブ画素）422、サブ画素（第6のサブ画素）423の順に配置されている。また、行方向に隣接して配置されている画素404と画素405は、第3基準電位幹線4-13に関して、画素401および画素402と線対称に配置されている。そして、画素404は、列方向に対して、サブ画素（第1のサブ画素）443、サブ画素（第2のサブ画素）442、サブ画素（第5のサブ画素）441の順に配置されている。画素405は、列方向に対して、サブ画素（第3のサブ画素）453、サブ画素（第4のサブ画素）452、サブ画素（第6のサブ画素）451の順に配置されている。

さらに、各サブ画素は、各画素に対応した液晶容量1と各スイッチング素子2と表示電極11とを備えている。一例として、サブ画素411は、液晶容量1-411とスイッチング素子2-411とを備えている。サブ画素412は、液晶容量1-412とスイッチング素子2-412とを備えている。サブ画素413は、液晶容量1-413とスイッチング素子2-413とを備えている。

[0045] 画素401のサブ画素411は、スイッチング素子2-411を介して第

1 基準電位幹線 4-1-1 に接続されている。サブ画素 4-1-2 は、スイッチング素子 2-4-1-2 を介して第 2 基準電位幹線 4-1-2 に接続されている。サブ画素 4-1-3 は、スイッチング素子 2-4-1-3 を介して第 3 基準電位幹線 4-1-3 に接続されている。さらに、各サブ画素 4-1-1 ~ 4-1-3 の液晶容量 1-4-1-1 ~ 1-4-1-3 は、表示信号線 3-1-1 に接続されている。

さらに、画素 4-0-2 のサブ画素 4-2-1 は、スイッチング素子 2-4-2-1 を介して第 2 基準電位幹線 4-1-2 に接続されている。サブ画素 4-2-2 は、スイッチング素子 2-4-2-2 を介して第 1 基準電位幹線 4-1-1 に接続されている。サブ画素 4-2-3 は、スイッチング素子 2-4-2-3 を介して第 3 基準電位幹線 4-1-3 に接続されている。さらに、各サブ画素 4-2-1 ~ 4-2-3 の液晶容量 1-4-2-1 ~ 1-4-2-3 は、表示信号線 3-1-2 に接続されている。

[0046] 図 1-4 において、横軸は時間を示しており、縦軸は電位を示している。図 1-4 の波形 1 は、走査線 5-1-1 の電位の時間変化を示している。図 1-4 の波形 2 は、走査線 5-1-2 の電位の時間変化を示している。図 1-4 の波形 3 は、第 1 基準電位幹線 4-1-1 の電位の時間変化を示している。図 1-4 の波形 4 は、第 3 基準電位幹線 4-1-3 の電位の時間変化を示している。図 1-4 の波形 5 は、第 2 基準電位幹線 4-1-2 の電位の時間変化を示している。図 1-4 の波形 6 は、表示信号線 3-1-1 の電位の時間変化を示している。図 1-4 の波形 7 は、ノード x (node x) の電位の時間変化を示している。図 1-4 の波形 8 は、ノード y (node y) の電位の時間変化を示している。図 1-4 の波形 9 は、ノード x とノード y 間の電位 (第 1 サブ画素の液晶素子への印加電圧) の時間変化を示している。図 1-4 の波形 10 は、第 2 サブ画素の液晶素子への印加電圧を示している。図 1-4 の波形 11 は、第 3 サブ画素の液晶素子への印加電圧を示している。

なお、図 1-4 では、L フレームが、第 1 フレーム (1st-frame) F1 である場合を示しており、L+1 フレームが、第 2 フレーム (2nd-frame) F2 である場合を示している。

[0047] L フレーム時の動作を、図 1-2 と図 1-4 とを用いて説明する。第 1 基準電

位幹線 4-11 には +2 V が印加され（図 14 の波形 3 : 時刻 t 0 a）、第 2 基準電位幹線 4-12 には 0 V が印加され（図 14 の波形 4 : 時刻 t 0 a）、第 3 基準電位幹線 4-13 には 1 V が印加されている（図 14 の波形 5 : 時刻 t 0 a）。すなわち、第 3 基準電位幹線 4-13 の電位は、第 1 基準電位幹線 4-11 と第 2 基準電位幹線 4-12 との中間値である。また、図 14 に示すように、制御部 12 は、表示信号線 3-11 と表示信号線 3-13 との信号を、L フレーム時、+5 V（図 14 の波形 6 : 時刻 t 0 a ~ t 1 a）と +4 V（図 14 の波形 6 : 時刻 t 1 a ~ t 2 a）と +3 V（図 14 の波形 6 : 時刻 t 2 a）とに制御する。また、制御部 12 は、L+1 フレーム時、-3 V（図 14 の波形 6 : 時刻 t 0 b ~ t 1 b）と -2 V（図 14 の波形 6 : 時刻 t 1 b ~ t 2 b）と -1 V（図 14 の波形 6 : 時刻 t 2 b）とにドット毎に制御する。すなわち、第 1 実施形態と第 2 実施形態では、表示信号線 3 の信号の最大値の動作例を説明した。しかし、第 3 実施形態では、表示信号線 3-11 と表示信号線 3-13 の信号は、1 行目の画素に対して +5 V、2 行目の画素に対して +4 V、3 行目以降の画素に対して +3 V の場合の表示例である。各表示信号線 3-11 ~ 3-13 の各信号レンジは、例えば、正極性側が電位 +5 V ~ +2 V、負極性側が電位 -4 V ~ -1 V である。

さらに、制御部 12 は、表示信号線 3-12 の電位を、L フレーム時、-3 V（時刻 t 0 a ~ t 1 a）と -2 V（時刻 t 1 a ~ t 2 a）と -1 V（時刻 t 2 a）とにドット毎に制御する。また、制御部 12 は、L+1 フレーム時、+5 V（時刻 t 0 b ~ t 1 b）と +4 V（時刻 t 1 b ~ t 2 b）と +3 V（時刻 t 2 b）とにドット毎に制御する。

[0048] 画素 401 のサブ画素 411 の液晶容量 1-411 には、表示信号線 3-11 の +5 V と、第 1 基準電位幹線 4-11 の +2 V との電位差 = +3 V が発生する。同様に、サブ画素 412 の液晶容量 1-412 には、表示信号線 3-11 の +5 V と、第 2 基準電位幹線 4-12 の 0 V との電位差 = +5 V が発生する。同様に、サブ画素 413 の液晶容量 1-413 には、表示信号

線 3-11 の +5 V と、第 3 基準電位幹線 4-13 の +1 V との電位差 = +4 V が発生する。この結果、電位差はサブ画素 412 (+5 V) > サブ画素 413 (+4 V) > サブ画素 411 (+3 V) の順になる。また、サブ画素 411 ~ 413 の輝度は、電位差に応じてサブ画素 412 > サブ画素 413 > サブ画素 411 の順である。

図 12 と図 13 とにおいて、記号 a、b、c は輝度の順を表し、輝度の順は $a > b > c$ である。

さらに、画素 403 の各サブ画素 431 ~ 433 の動作は、画素 401 の各サブ画素 411 ~ 413 と同じである。

[0049] 次に、画素 402 のサブ画素 421 の液晶容量 1-421 には、表示信号線 3-12 の -3 V と、第 2 基準電位幹線 4-12 の 0 V との電位差 = -3 V が発生する。同様に、サブ画素 422 の液晶容量 1-422 には、表示信号線 3-12 の -3 V と、第 1 基準電位幹線 4-11 の +2 V との電位差 = -5 V が発生する。同様に、サブ画素 423 の液晶容量 1-423 には、表示信号線 3-12 の -3 V と、第 3 基準電位幹線 4-13 の +1 V との電位差 = -4 V が発生する。この結果、電位差はサブ画素 422 (-5 V) > サブ画素 423 (-4 V) > サブ画素 421 (-3 V) の順になる。また、輝度は電位差に応じてサブ画素 422 > サブ画素 423 > サブ画素 421 の順である。

[0050] 画素 404 の各スイッチング素子 2-441 ~ 2-443 が接続されている各基準電位幹線は、画素 401 と同等である。さらに、制御部 12 は、表示信号線 3-11 と表示信号線 3-13 との電位を +4 V に制御し、表示信号線 3-12 の電位を -2 V に制御する。

このため、画素 404 のサブ画素 441 の液晶容量 1-441 には、表示信号線 3-11 の +4 V と、第 3 基準電位幹線 4-13 の +1 V との電位差 = +3 V が発生する。同様に、サブ画素 442 の液晶容量 1-442 には、表示信号線 3-11 の +4 V と、第 2 基準電位幹線 4-12 の 0 V との電位差 = +4 V が発生する。同様に、サブ画素 443 の液晶容量 1-443 には

、表示信号線 3-11 の +4 V と、第 1 基準電位幹線 4-11 の +2 V との電位差 = +2 V が発生する。この結果、電位差はサブ画素 442 (+4 V) > サブ画素 441 (+3 V) > サブ画素 443 (+2 V) の順になる。また、サブ画素 441 ~ 443 の輝度は、電位差に応じてサブ画素 442 > サブ画素 441 > サブ画素 443 の順である。

さらに、画素 406 の各サブ画素 461 ~ 463 の動作は、画素 404 の各サブ画素 441 ~ 443 と同じである。

[0051] 画素 405 の各スイッチング素子 2-451 ~ 2-453 が接続されている各基準電位幹線は、画素 402 と同等である。

このため、画素 405 のサブ画素 453 の液晶容量 1-453 には、表示信号線 3-12 の -2 V と、第 3 基準電位幹線 4-13 の +1 V との電位差 = -3 V が発生する。同様に、サブ画素 452 の液晶容量 1-452 には、表示信号線 3-12 の -2 V と、第 1 基準電位幹線 4-11 の +2 V との電位差 = -4 V が発生する。同様に、サブ画素 451 の液晶容量 1-453 には、表示信号線 3-12 の -2 V と、第 2 基準電位幹線 4-12 の 0 V との電位差 = -2 V が発生する。この結果、電位差はサブ画素 452 (-4 V) > サブ画素 451 (-3 V) > サブ画素 453 (-2 V) の順になる。また、サブ画素 451 ~ 453 の輝度は、電位差に応じてサブ画素 452 > サブ画素 451 > サブ画素 453 の順である。

[0052] 次に、L+1 フレームの動作を、図 13 を用いて説明する。制御部 12 は、垂直帰線期間、表示信号線 3-1 と表示信号線 3-3 の電位の極性を L フレーム時とは逆極性に切り替える。この結果、図 13 に示すように、制御部 12 は、表示信号線 3-11 と表示信号線 3-13 から、画素 401 と画素 403 とに -3 V を印加し（図 14 の波形 6：時刻 t0b ~ t1b）、画素 404 と画素 406 とに -2 V を印加する（図 14 の波形 6：時刻 t1b ~ t2b）。また、制御部 12 は、表示信号線 3-12 から、画素 402 に +5 V を印加し（時刻 t0b ~ t1b）、画素 405 に +4 V を印加する（時刻 t0b ~ t1b）。また、制御部 12 は、第 1 基準電位幹線 4-11 の電

位を $+2\text{ V}$ から 0 V に切り替え（図14の波形3：時刻 t_0b ）、第2基準電位幹線4-12の電位を 0 V から $+2\text{ V}$ に切り替え（図14の波形5：時刻 t_0b ）、第3基準電位幹線4-13に $+1\text{ V}$ を印加する（図14の波形4：時刻 t_0b ）。Lフレームと同様に、第3基準電位幹線4-13の電位は、第1基準電位幹線4-11と第2基準電位幹線4-12との中間値である。

[0053] 画素401のサブ画素411の液晶容量1-411には、表示信号線3-11の -3 V と、第1基準電位幹線4-11の 0 V との電位差 $=-3\text{ V}$ が発生する。同様に、サブ画素412の液晶容量1-412には、表示信号線3-11の -3 V と、第2基準電位幹線4-12の $+2\text{ V}$ との電位差 $=-5\text{ V}$ が発生する。同様に、サブ画素413の液晶容量1-413には、表示信号線3-11の -3 V と、第3基準電位幹線4-13の $+1\text{ V}$ との電位差 $=-4\text{ V}$ が発生する。この結果、電位差はサブ画素412（ -5 V ）>サブ画素413（ -4 V ）>サブ画素411（ -3 V ）の順になる。また、サブ画素411～413の輝度は、電位差に応じてサブ画素412>サブ画素413>サブ画素411の順である。

さらに、画素403の各サブ画素431～433の動作は、画素401の各サブ画素411～413と同じである。

[0054] 画素402のサブ画素421の液晶容量1-421には、表示信号線3-12の $+5\text{ V}$ と、第2基準電位幹線4-12の $+2\text{ V}$ との電位差 $=+3\text{ V}$ が発生する。同様に、サブ画素422の液晶容量1-422には、表示信号線3-12の $+5\text{ V}$ と、第1基準電位幹線4-11の 0 V との電位差 $=+5\text{ V}$ が発生する。同様に、サブ画素423の液晶容量1-423には、表示信号線3-12の $+5\text{ V}$ と、第3基準電位幹線4-13の $+1\text{ V}$ との電位差 $=+4\text{ V}$ が発生する。この結果、電位差はサブ画素422（ $+5\text{ V}$ ）>サブ画素423（ $+4\text{ V}$ ）>サブ画素421（ $+3\text{ V}$ ）の順になる。また、輝度は電位差に応じてサブ画素422>サブ画素423>サブ画素421の順である。

[0055] 画素404のサブ画素441の液晶容量1-441には、表示信号線3-11の-2Vと、第3基準電位幹線4-13の+1Vとの電位差=-3Vが発生する。同様に、サブ画素442の液晶容量1-442には、表示信号線3-11の-2Vと、第2基準電位幹線4-12の+2Vとの電位差=-4Vが発生する。同様に、サブ画素443の液晶容量1-443には、表示信号線3-11の-2Vと、第1基準電位幹線4-11の0Vとの電位差=-2Vが発生する。この結果、電位差はサブ画素442（-4V）>サブ画素441（-3V）>サブ画素443（-2V）の順になる。サブ画素441～443の輝度は、電位差に応じてサブ画素442>サブ画素441>サブ画素443の順である。

さらに、画素406の各サブ画素461～463の動作は、画素404の各サブ画素441～443と同じである。

[0056] 画素405のサブ画素451の液晶容量1-451には、表示信号線3-12の+4Vと、第3基準電位幹線4-13の+1Vとの電位差=+3Vが発生する。同様に、サブ画素452の液晶容量1-452には、表示信号線3-12の+4Vと、第1基準電位幹線4-11の0Vとの電位差=+4Vが発生する。同様に、サブ画素453の液晶容量1-453には、表示信号線3-12の+4Vと、第2基準電位幹線4-12の+2Vとの電位差=+2Vが発生する。この結果、電位差はサブ画素452（+4V）>サブ画素451（+3V）>サブ画素453（+2V）の順になる。サブ画素451～453の輝度は、電位差に応じてサブ画素452>サブ画素451>サブ画素453の順である。

[0057] 図15は、第1基板10上のレイアウトの例を説明する図である。また、図15は、サブ画素ごとに各基準電位幹線に接続してレイアウトした例である。図15において、各サブ画素（スイッチング素子2、表示電極11）251-1～251-3、253-1～253-3は、各接続部252-1～252-4、254-1～254-2を介して、各基準電位幹線4-11～4-13に接続されている。

このように、第3実施形態においても、同じ輝度領域のサブ画素を行方向に配置しても、各サブ画素と各基準電位幹線を接続するパターン長さが、各サブ画素において同等になる。そのため開口率が低下せず、従来の複数画素を有するマルチ画素手法（MPD）と同等にレイアウトを行うことができる。さらに、第1実施形態と同様に、同じ輝度領域のサブ画素同士が隣接して行方向に配置されるようにしても、各サブ画素の明暗配置は、フレーム毎に変化してない。そのため、エッジを際立たせたような画像においても、適切な表示を行うことができる。

なお、図15において、記号「+」は、Lフレームにおいて表示信号線3からプラスの電位が印加されることを表している。記号「-」は、Lフレームにおいて表示信号線3からマイナスの電位が印加されることを表している。

[0058] 以上のように、第3実施形態では、対向マトリクス構成とした。また、サブ画素411の液晶容量1-411に接続されているスイッチング素子2-411のソース端子とサブ画素422の液晶容量1-422に接続されているスイッチング素子2-422のソース端子とを第1基準電位幹線4-11に接続する。また、サブ画素412の液晶容量1-412に接続されているスイッチング素子2-412のソース端子とサブ画素421の液晶容量1-421に接続されているスイッチング素子2-421のソース端子とを第2基準電位幹線4-12に接続する。また、サブ画素413の液晶容量1-413に接続されているスイッチング素子2-413のソース端子とサブ画素423の液晶容量1-423に接続されているスイッチング素子2-423のソース端子とを第3基準電位幹線4-13に接続する。さらに、制御部12が各表示信号線3-11~3-13の電位の極性をフレーム毎に切り替える。さらに、各基準電位幹線4-11~4-13の電位をフレーム毎に切り替える。そのため、1つの画素を3分割した場合においても、輝度の異なるサブ画素の交互配置を解消した配置の液晶表示装置を実現することにより中間調表示においても滑らかな表示が可能になる。

[0059] [第4実施形態]

第4実施形態について、図16～図18を用いて説明する。

図16と図17とは、第4実施形態に係る液晶表示装置の動作を説明する等価回路図である。第4実施形態は、各画素が3つのサブ画素を有し、ライン反転駆動の場合を説明する。また、図16と図17は、1フレームごとの状態を表している。図16に示すように、第3実施形態との差異は、各画素501～506の各サブ画素と各基準電位幹線4-11～4-13との接続の仕方である。

[0060] 図16に示すように、画素501のサブ画素511は、スイッチング素子2-511を介して第2基準電位幹線4-12に接続されている。サブ画素512は、スイッチング素子2-512を介して第1基準電位幹線4-11に接続されている。サブ画素513は、スイッチング素子2-513を介して第3基準電位幹線4-13に接続されている。そして、画素501と画素502は、行方向に隣接して配置されている。画素502は、列方向に対して、サブ画素（第1のサブ画素）521、サブ画素（第2のサブ画素）522、サブ画素（第5のサブ画素）523の順に配置されている。画素501は、列方向に対して、サブ画素（第3のサブ画素）511、サブ画素（第4のサブ画素）512、サブ画素（第6のサブ画素）513の順に配置されている。そして、行方向に隣接して配置されている画素504と画素505は、第3基準電位幹線4-13に関して画素501および画素502と線対称に配置されている。そして、画素505は、列方向に対して、サブ画素（第1のサブ画素）553、サブ画素（第2のサブ画素）552、サブ画素（第5のサブ画素）551の順に配置されている。画素504は、列方向に順番に、サブ画素（第3のサブ画素）543、サブ画素（第4のサブ画素）542、サブ画素（第6のサブ画素）541の順に配置されている。

さらに、各サブ画素511～513の液晶容量1-511～513は、表示信号線3-11に接続されている。

さらに、画素502のサブ画素521は、スイッチング素子2-521を

介して第1基準電位幹線4-11に接続されている。サブ画素522は、スイッチング素子2-522を介して第2基準電位幹線4-12に接続されている。サブ画素523は、スイッチング素子2-523を介して第3基準電位幹線4-13に接続されている。さらに、各サブ画素521~523の液晶容量1-521~1-523は、表示信号線3-12に接続されている。

[0061] Lフレーム時の動作を、図16を用いて説明する。第1基準電位幹線4-11には+2Vが印加され、第2基準電位幹線4-12には0Vが印加され、第3基準電位幹線4-13には+1Vが印加されている。すなわち、第3基準電位幹線4-13の電位は、第1基準電位幹線4-11と第2基準電位幹線4-12との中間値である。また、図13に示すように、制御部12により、表示信号線3-11~3-13の電位は、第3実施形態と同様に制御される。すなわち、第3実施形態と同様に、表示信号線3-11と表示信号線3-13の信号は、1行目の画素に対して+5V、2行目の画素に対して+4V、3行目以降の画素に対して+3Vの場合の表示例である。各表示信号線3-11~3-13の各信号レンジは、例えば、正極性側が電位+5V~+2V、負極性側が電位-4V~-1Vである。

[0062] 画素501のサブ画素511の液晶容量1-511には、表示信号線3-11の+5Vと、第2基準電位幹線4-12の0Vとの電位差=+5Vが発生する。同様に、サブ画素512の液晶容量1-512には、表示信号線3-11の+5Vと、第1基準電位幹線4-11の+2Vとの電位差=+3Vが発生する。同様に、サブ画素513の液晶容量1-513には、表示信号線3-11の+5Vと、第3基準電位幹線4-13の+1Vとの電位差=+4Vが発生する。この結果、電位差はサブ画素511(+5V)>サブ画素513(+4V)>サブ画素512(+3V)の順になる。サブ画素511~513の輝度は、電位差に応じてサブ画素511>サブ画素513>サブ画素512の順である。

さらに、画素503の各サブ画素531~533の動作は、画素501の各サブ画素511~513と同じである。

[0063] 次に、画素502のサブ画素521の液晶容量1-521には、表示信号線3-12の-3Vと、第1基準電位幹線4-11の+2Vとの電位差=-5Vが発生する。同様に、サブ画素522の液晶容量1-522には、表示信号線3-12の-3Vと、第2基準電位幹線4-12の0Vとの電位差=-3Vが発生する。同様に、サブ画素523の液晶容量1-523には、表示信号線3-12の-3Vと、第3基準電位幹線4-13の+1Vとの電位差=-4Vが発生する。この結果、電位差はサブ画素521（-5V）>サブ画素523（-4V）>サブ画素522（-3V）の順になる。また、輝度は電位差に応じてサブ画素521>サブ画素523>サブ画素522の順である。

[0064] 画素504は、サブ画素541~543が列方向に、サブ画素541、サブ画素542、サブ画素543の順に配列されている。各スイッチング素子2-541~2-543が接続されている各基準電位幹線は、画素501と同じである。また、制御部12は、表示信号線3-11から、サブ画素541~543に+4Vを供給する。

このため、画素504のサブ画素541の液晶容量1-541には、表示信号線3-11の+4Vと、第3基準電位幹線4-13の+1Vとの電位差=+3Vが発生する。同様に、サブ画素542の液晶容量1-542には、表示信号線3-11の+4Vと、第1基準電位幹線4-11の+2Vとの電位差=+2Vが発生する。同様に、サブ画素543の液晶容量1-543の電位差は、表示信号線3-11の+4Vと、第2基準電位幹線4-12の0Vとの電位差=+4Vが発生する。この結果、電位差はサブ画素543（+4V）>サブ画素541（+3V）>サブ画素542（+2V）の順になる。サブ画素541~543の輝度は、電位差に応じてサブ画素543>サブ画素541>サブ画素542の順である。

さらに、画素506の各サブ画素561~563の動作は、画素504の各サブ画素541~543と同じである。

[0065] 画素505は、サブ画素551~553が列方向に、サブ画素551、サ

ブ画素 552、サブ画素 553 の順に配列されている。各スイッチング素子 2-551~2-553 が接続されている各基準電位幹線 3-11~3-13 は、画素 502 と同じである。また、制御部 12 は、表示信号線 3-12 から、サブ画素 551~553 に -2V を供給する。

このため、画素 505 のサブ画素 551 の液晶容量 1-551 には、表示信号線 3-12 の -2V と、第 3 基準電位幹線 4-13 の +1V との電位差 = -3V が発生する。同様に、サブ画素 552 の液晶容量 1-552 には、表示信号線 3-12 の -2V と、第 2 基準電位幹線 4-12 の 0V との電位差 = -2V が発生する。同様に、サブ画素 553 の液晶容量 1-553 には、表示信号線 3-12 の -2V と、第 1 基準電位幹線 4-11 の +2V との電位差 = -4V が発生する。この結果、電位差はサブ画素 553 (-4V) > サブ画素 551 (-3V) > サブ画素 552 (-2V) の順になる。また、サブ画素 551~553 の輝度は、電位差に応じてサブ画素 553 > サブ画素 551 > サブ画素 552 の順である。

[0066] 次に、L+1 フレームの動作を、図 17 を用いて説明する。制御部 12 は、垂直帰線期間、表示信号線 3-1 と表示信号線 3-3 の電位の極性を L フレーム時とは逆極性に切り替える。この結果、図 17 に示すように、制御部 12 は、表示信号線 3-11 と表示信号線 3-13 から、画素 501 と画素 503 とに -3V を供給し、画素 504 と画素 506 とに -2V を供給する。また、制御部 12 は、表示信号線 3-12 から、画素 502 に +5V を供給し、画素 505 に +4V を供給する。さらに、制御部 12 は、第 1 基準電位幹線 4-11 の電位を +2V から 0V に切り替え、第 2 基準電位幹線 4-12 の電位を 0V から +2V に切り替え、第 3 基準電位幹線 4-13 に +1V を印加する。すなわち、第 3 基準電位幹線 4-13 の電位は、第 1 基準電位幹線 4-11 と第 2 基準電位幹線 4-12 との中間値である。

[0067] 画素 501 のサブ画素 511 の液晶容量 1-511 には、表示信号線 3-11 の -3V と、第 2 基準電位幹線 4-12 の +2V との電位差 = -5V が発生する。同様に、サブ画素 512 の液晶容量 1-512 には、表示信号線

3-11の-3Vと、第1基準電位幹線4-13の0Vとの電位差=-3Vが発生する。同様に、サブ画素513の液晶容量1-513には、表示信号線3-11の-3Vと、第3基準電位幹線4-13の+1Vとの電位差=-4Vが発生する。この結果、電位差はサブ画素511(-5V)>サブ画素513(-4V)>サブ画素512(-3V)の順になる。また、サブ画素511~513の輝度は、電位差に応じてサブ画素511>サブ画素513>サブ画素512の順である。

さらに、画素503の各サブ画素531~533の動作は画素501の各サブ画素511~513と同じである。

[0068] 画素502のサブ画素521の液晶容量1-521には、表示信号線3-12の+5Vと、第1基準電位幹線4-11の0Vとの電位差=+5Vが発生する。同様に、サブ画素522の液晶容量1-522には、表示信号線3-12の+5Vと、第2基準電位幹線4-12の+2Vとの電位差=+3Vが発生する。同様に、サブ画素523の液晶容量1-523には、表示信号線3-12の+5Vと、第3基準電位幹線4-13の+1Vとの電位差=+4Vが発生する。この結果、電位差はサブ画素521(+5V)>サブ画素523(+4V)>サブ画素522(+3V)の順になる。また、輝度は電位差に応じてサブ画素521>サブ画素523>サブ画素522の順である。

[0069] 画素504のサブ画素541の液晶容量1-541には、表示信号線3-11の-2Vと、第3基準電位幹線4-13の+1Vとの電位差=-3Vが発生する。同様に、サブ画素542の液晶容量1-542には、表示信号線3-11の-2Vと、第1基準電位幹線4-11の0Vとの電位差=-2Vが発生する。同様に、サブ画素543の液晶容量1-543には、表示信号線3-11の-2Vと、第2基準電位幹線4-12の+2Vとの電位差=-4Vが発生する。この結果、電位差はサブ画素543(-4V)>サブ画素541(-3V)>サブ画素542(-2V)の順になる。また、輝度は電位差に応じてサブ画素543>サブ画素541>サブ画素542の順である。

。

さらに、画素506の各サブ画素561～563の動作は、画素504の各サブ画素541～543と同じである。

[0070] 画素505のサブ画素551の液晶容量1-551には、表示信号線3-12の+4Vと、第3基準電位幹線4-13の+1Vとの電位差=+3Vが発生する。同様に、サブ画素552の液晶容量1-552には、表示信号線3-12の+4Vと、第2基準電位幹線4-12の+2Vとの電位差=+2Vが発生する。同様に、サブ画素553の液晶容量1-553には、表示信号線3-12の+4Vと、第1基準電位幹線4-11の0Vとの電位差=+4Vが発生する。この結果、電位差はサブ画素553(+4V)>サブ画素551(+3V)>サブ画素552(+2V)の順になる。また、サブ画素551～553の輝度は、電位差に応じてサブ画素553>サブ画素551>サブ画素552の順である。

なお、図16と図17とにおいて、記号a、b、cは輝度の順を表し、輝度の順はa>b>cである。

[0071] 図18は、第1基板10上のレイアウトの例を説明する図である。また、図18は、サブ画素ごとに各基準電位幹線に接続してレイアウトした例である。図18において、各サブ画素（スイッチング素子2、表示電極11）251-1～251-3、253-1～253-4は、各接続部252-1～252-4、254-1～254-2を介して、各基準電位幹線4-11～4-13に接続されている。

このように、第4実施形態においても、同じ輝度領域のサブ画素を行方向に配置しても、各サブ画素と各基準電位幹線を接続するパターンが交叉することがない。そのため、従来の複数画素を有するマルチ画素手法（MPD）と同等にレイアウトを行うことができる。第1実施形態と同様に、第4実施形態においても、各サブ画素の明暗配置は、フレーム毎に変化しない。

なお、図18において、記号「+」は、Lフレームにおいて表示信号線3からプラスの電位が印加されることを表している。記号「-」は、Lフレー

ムにおいて表示信号線 3 からマイナスの電位が印加されることを表している。

[0072] 以上のように、第 4 実施形態では、対向マトリクス構成とした。また、サブ画素 5 2 1 の液晶容量 1-5 2 1 に接続されているスイッチング素子 2-5 2 1 のソース端子とサブ画素 5 1 2 の液晶容量 1-5 1 2 に接続されているスイッチング素子 2-5 1 2 のソース端子とを第 1 基準電位幹線 4-1 1 に接続した。また、サブ画素 5 2 2 の液晶容量 1-5 2 2 に接続されているスイッチング素子 2-5 2 2 のソース端子とサブ画素 5 1 1 の液晶容量 1-5 1 1 に接続されているスイッチング素子 2-5 1 1 のソース端子とを第 2 基準電位幹線 4-1 2 に接続した。また、サブ画素 5 2 3 の液晶容量 1-5 2 3 に接続されているスイッチング素子 2-5 2 3 のソース端子とサブ画素 5 1 3 の液晶容量 1-5 1 3 に接続されているスイッチング素子 2-5 1 3 のソース端子とを第 3 基準電位幹線 4-1 3 に接続した。さらに、制御部 1 2 が各表示信号線 3-1 1 ~ 3-1 3 の電位の極性をフレーム毎に切り替え、各基準電位幹線 4-1 1 ~ 4-1 3 の電位をフレーム毎に切り替えるようにした。そのため、輝度の異なるサブ画素の交互配置を解消した配置の液晶表示装置を実現することにより中間調表示においても滑らかな表示が可能になる。

[0073] また、第 1 実施形態~第 4 実施形態において、本発明の液晶表示装置の動作を 6 画素の構成について説明したが、画素数は行方向、および列方向にさらに複数の画素が構成されていても良い。

[0074] また、第 1 実施形態~第 4 実施形態において、各画素が 2 つのサブ画素と 3 つのサブ画素を有する例を説明した。しかし、同様に、表示信号線 3 を第 2 基板 2 0 に配置し、走査線 5 と各基準電位幹線 4 と各サブ画素に接続されている表示電極 1 1 と各表示電極に接続されているスイッチング素子とを第 1 基板 1 0 に配置する対向マトリクス構成としてもよい。さらに、各液晶容量 1 に接続されている各スイッチング素子 2 のソース端子と各基準電位幹線 4 との配線と、各液晶容量 1 と各表示信号線 3 との配線とを、行方向に配置

されている全てのサブ画素の輝度領域が同じになる配列になるような配線を行ってもよい。さらに制御部 12 が各表示信号線 3 の電位の極性をフレーム毎に切り替え、各基準電位幹線 4 の電位をフレーム毎に切り替えるようにしてもよい。このようにすることで、各画素が 4 つ以上のサブ画素を有する場合でも、同様に従来技術の問題点である輝度の異なるサブ画素の交互配置を解消した配置の液晶表示装置を実現できる。

[0075] また、第 3 および第 4 実施形態において、第 3 基準電位幹線 4-13 の電位が、第 1 基準電位幹線 4-11 と第 2 基準電位幹線 4-12 との中間値の例を説明した。しかし、第 3 基準電位幹線 4-13 の電位は、第 1 基準電位幹線 4-11 と第 2 基準電位幹線 4-12 との間の電位、例えば、 $0\text{ V} < \text{第 3 基準電位幹線 4-13 の電位} < +2\text{ V}$ であっても良い。

[0076] また、第 1 実施形態～第 4 実施形態において、各表示信号線 3 や各基準電位幹線 4 の電位は、説明した明暗関係を保つ電位の極性や大小関係を保っていれば、説明に用いた各電位以外の電位であってもよい。

[0077] なお、実施形態においては、基準電位幹線 4-1～4-3、または基準電位幹線 4-11～4-13 の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎に切り替えてもよい。なお、画素選択期間とは、例えば、 60 Hz 駆動、解像度 Full-HD (1080 本の走査線を有する) の表示装置では、 $1/60/1080$ (秒) 毎である。さらに、画素選択期間を 1 H と定義すると、 2 kH (k は 1 以上の整数) 毎に電位の切り替えを行うようにしてもよい。このような場合、隣接する画素の配置パターンは、図 5A と図 5B のような $A B A B \cdots$ の繰り返しパターンに限らず、 $A A B B A A \cdots$ 等の所定のパターンで繰り返して配置されるようにしてもよい。

産業上の利用可能性

[0078] 本発明は、同じ輝度領域のサブ画素同士の交互配置を解消し中間調表示でもエッジの滑らかな表示が可能な液晶表示装置などに適用することができる。

符号の説明

- [0079] 1 . . . 液晶容量、
2 . . . スイッチング素子、
3 . . . 表示信号線、
4 . . . 走査線、
5 . . . 基準電位幹線、
10 . . . 第1基板、
11 . . . 表示電極、
12 . . . 制御部、
13 . . . 透明電極、
20 . . . 第2基板

請求の範囲

[請求項1]

複数のサブ画素に基準電位を供給する基準電位幹線と各々の前記複数のサブ画素が有するスイッチング素子とが配置された第1基板と、
表示信号を供給する表示信号線が配置された第2基板と、
を備え、
前記第1基板と前記第2基板との間に前記複数のサブ画素の各々が有する液晶容量が形成され、
複数の輝度領域に対応した前記複数のサブ画素から構成される画素が、マトリクス状に配置され、
行方向に隣接する前記画素間において、所定の間調表示を行ったときに、同一の輝度領域に対応する前記複数のサブ画素同士が、行方向に隣接して配置される液晶表示装置。

[請求項2]

前記基準電位幹線は、第1基準電位幹線と、第2基準電位幹線と、
を備え、
前記表示信号線を備え、
前記第1基準電位幹線の電位をフレーム毎に切り替えるとともに、
前記第2基準電位幹線の電位をフレーム毎に前記第1基準電位幹線とは逆位相に切り替える制御部と、
マトリクスの行方向に配置された走査線と、
を更に備え、
第1のサブ画素の前記液晶容量は、一方が前記表示信号線に接続され、他方が前記スイッチング素子を介して前記第1基準電位幹線に接続され、
前記第1のサブ画素と列方向に隣接する第2のサブ画素の前記液晶容量は、一方が前記表示信号線に接続され、他方が前記スイッチング素子を介して前記第2基準電位幹線に接続され、
前記第1基準電位幹線と前記走査線との間に前記第1のサブ画素が配置され、前記第2基準電位幹線と前記走査線との間に前記第2のサ

ブ画素が配置された第 1 の画素と、

前記第 1 基準電位幹線と前記走査線との間に前記第 2 のサブ画素が配置され、前記第 2 基準電位幹線と前記走査線との間に前記第 1 のサブ画素が配置された第 2 の画素とを備え、

行方向に前記第 1 のサブ画素と前記第 2 のサブ画素とが所定のパターンで繰り返して配置される請求項 1 に記載の液晶表示装置。

[請求項3] 前記第 1 の画素と前記第 2 の画素の配置パターンが、画素駆動の極性反転パターンと一致する請求項 2 に記載の液晶表示装置。

[請求項4] 前記表示信号線は、表示信号を供給する第 1 表示信号線と、表示信号を供給する第 2 表示信号線と、を備え、

前記制御部は、前記第 1 表示信号線の電位の極性を画素 1 行毎に交互に切り替えるとともに、前記第 2 表示信号線の電位の極性を前記第 1 表示信号線とは逆極性に画素 1 行毎に交互に切り替え、前記第 1 表示信号線および前記第 2 表示信号線の電位の極性をフレーム毎に交互に切り替える請求項 2 に記載の液晶表示装置。

[請求項5] 前記制御部は、前記第 1 表示信号線の電位の極性をフレーム毎に切り替えるとともに、前記第 2 表示信号線の電位の極性を前記第 1 表示信号線の電位の極性とは逆極性にフレーム毎に切り替える請求項 2 に記載の液晶表示装置。

[請求項6] 前記制御部は、

前記走査線を介して前記第 1 のサブ画素の前記スイッチング素子と、それに隣接する第 3 のサブ画素の前記スイッチング素子とをオンに制御するとき、前記第 1 表示信号線に前記表示信号を供給し、

前記走査線を介して前記第 2 のサブ画素の前記スイッチング素子と、それに隣接する第 4 のサブ画素の前記スイッチング素子とをオンに制御するとき、前記第 2 表示信号線に前記表示信号を供給し、

垂直帰線期間に、前記第 1 表示信号線と前記第 2 表示信号線との前記表示信号の電位の極性を切り替える請求項 4 または請求項 5 に記載

の液晶表示装置。

[請求項7]

第3基準電位幹線、

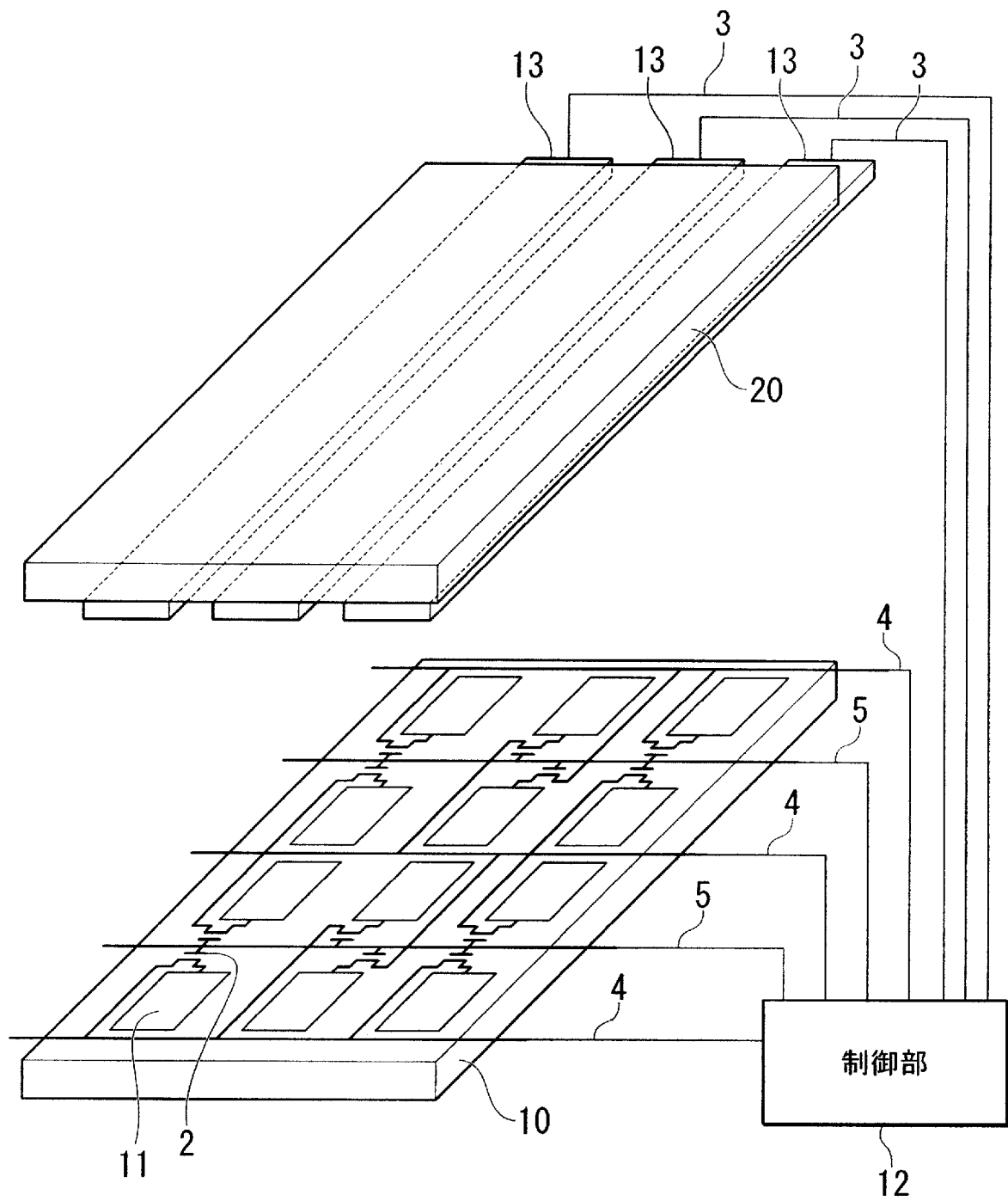
を更に備え、

前記第2のサブ画素と列方向に隣接する第5のサブ画素の前記液晶容量は、一方が前記第1表示信号線に接続され、他方が前記スイッチング素子を介して前記第3基準電位幹線に接続され、

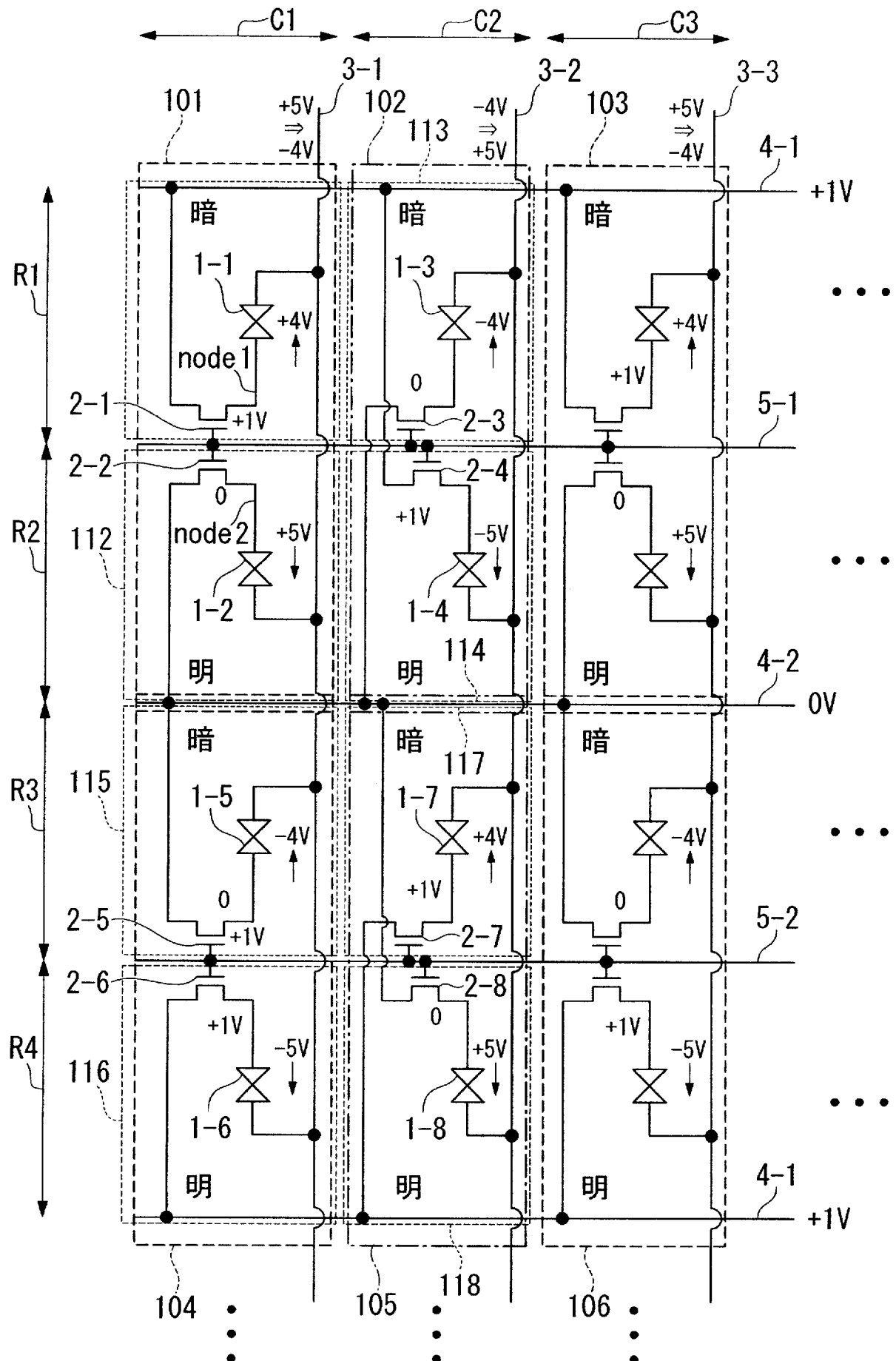
前記第4のサブ画素と列方向に隣接する第6のサブ画素との前記液晶容量は、一方が前記第2表示信号線に接続され、他方が前記スイッチング素子を介して前記第3基準電位幹線に接続され、

前記制御部は、前記第3基準電位幹線の電位を前記第1基準電位幹線の電位と前記第2基準電位幹線の電位との間の電位に制御する請求項1に記載の液晶表示装置。

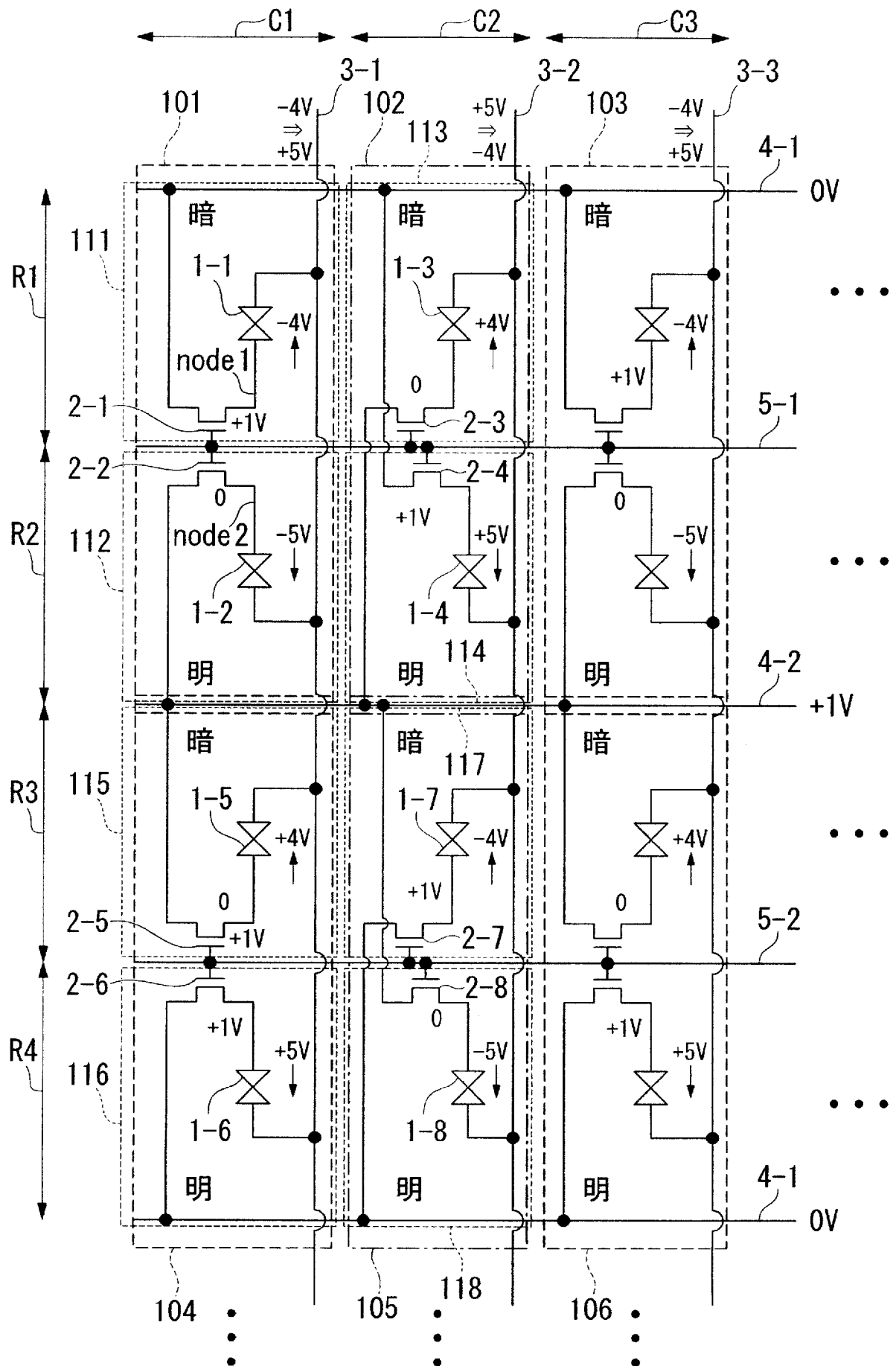
[図1]



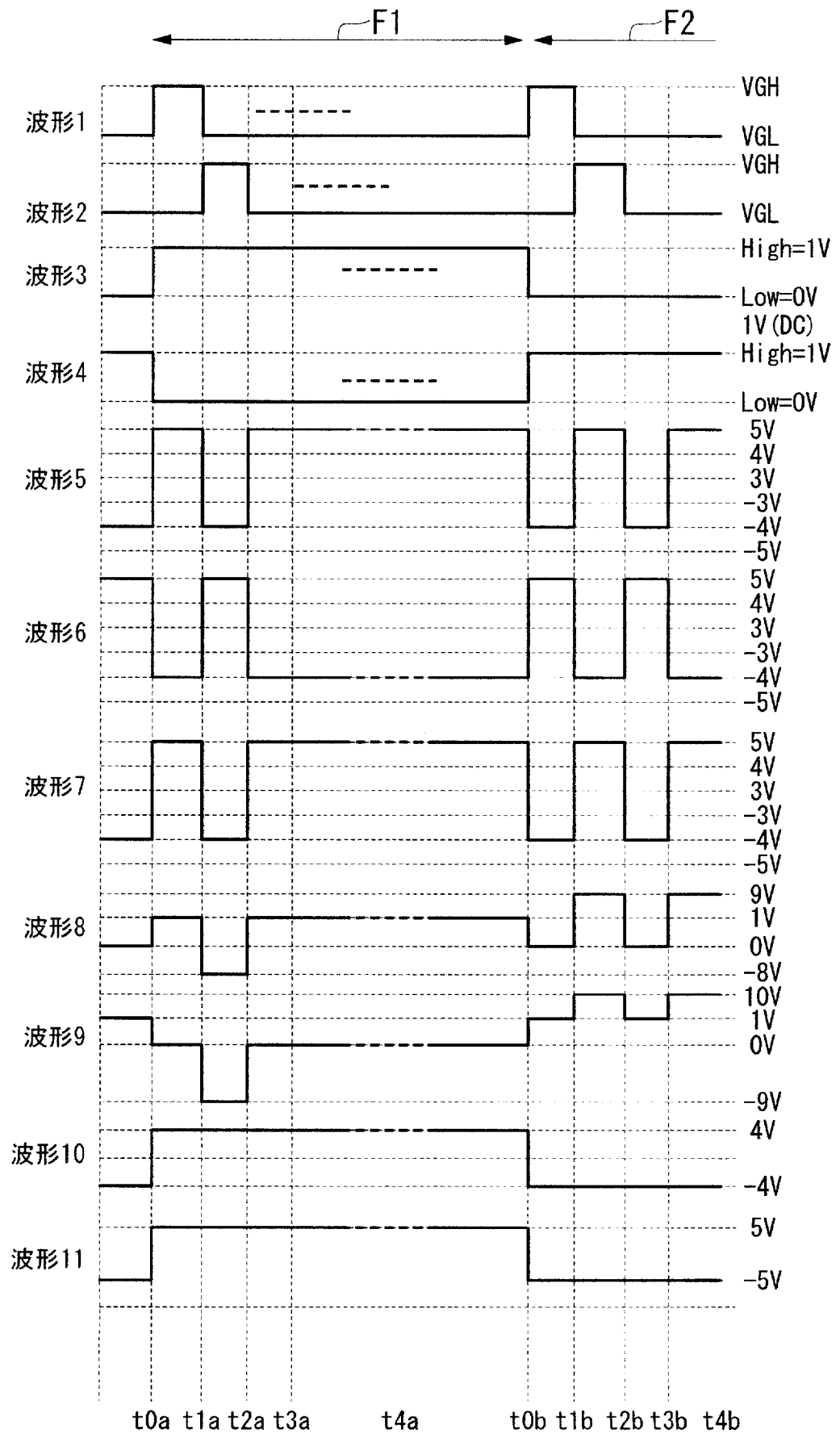
[図2]



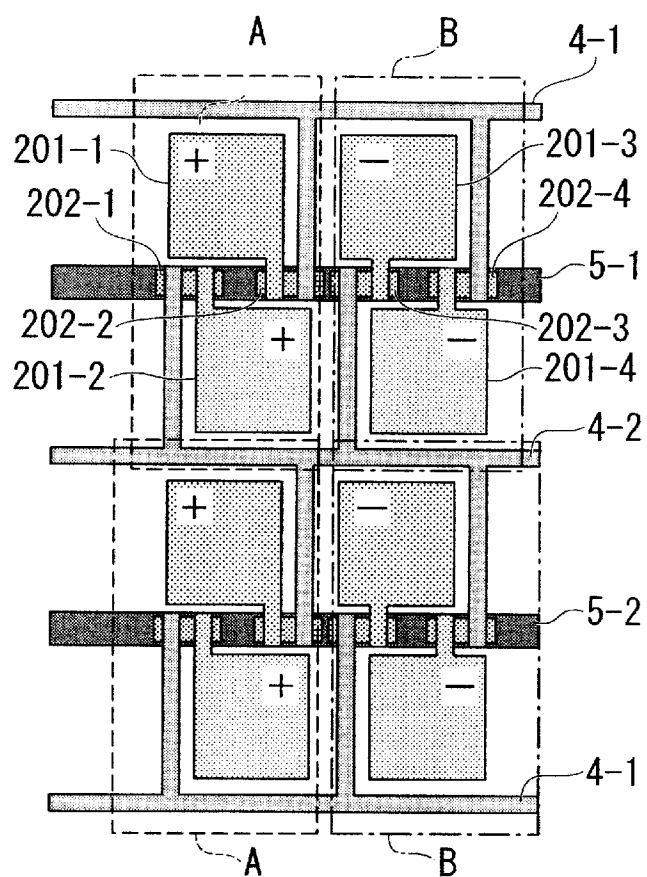
[図3]



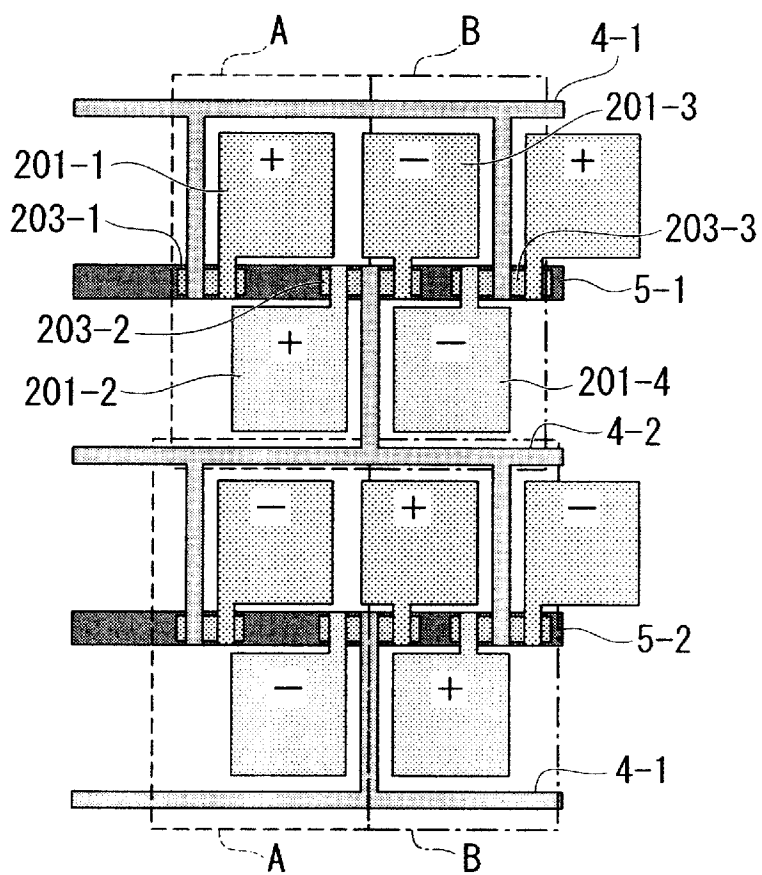
[图4]



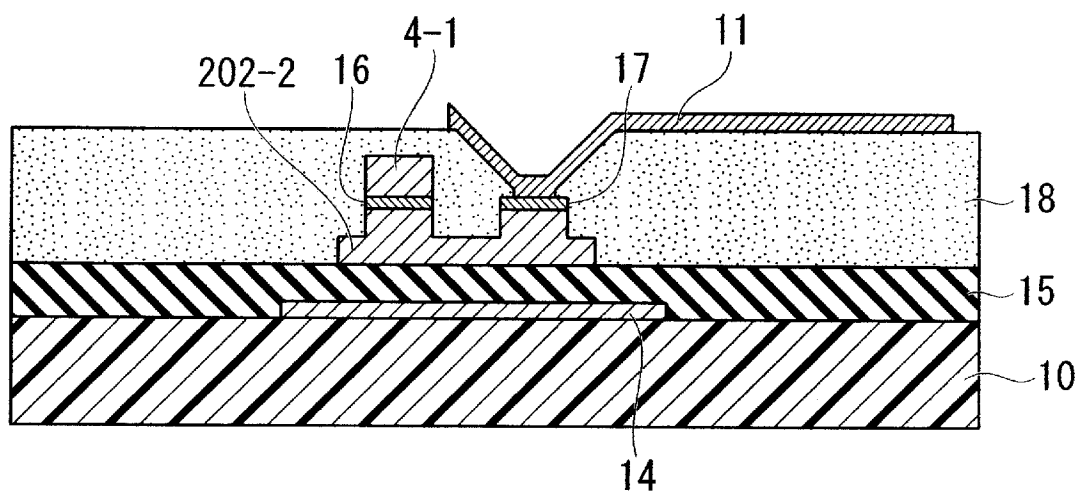
[図5A]



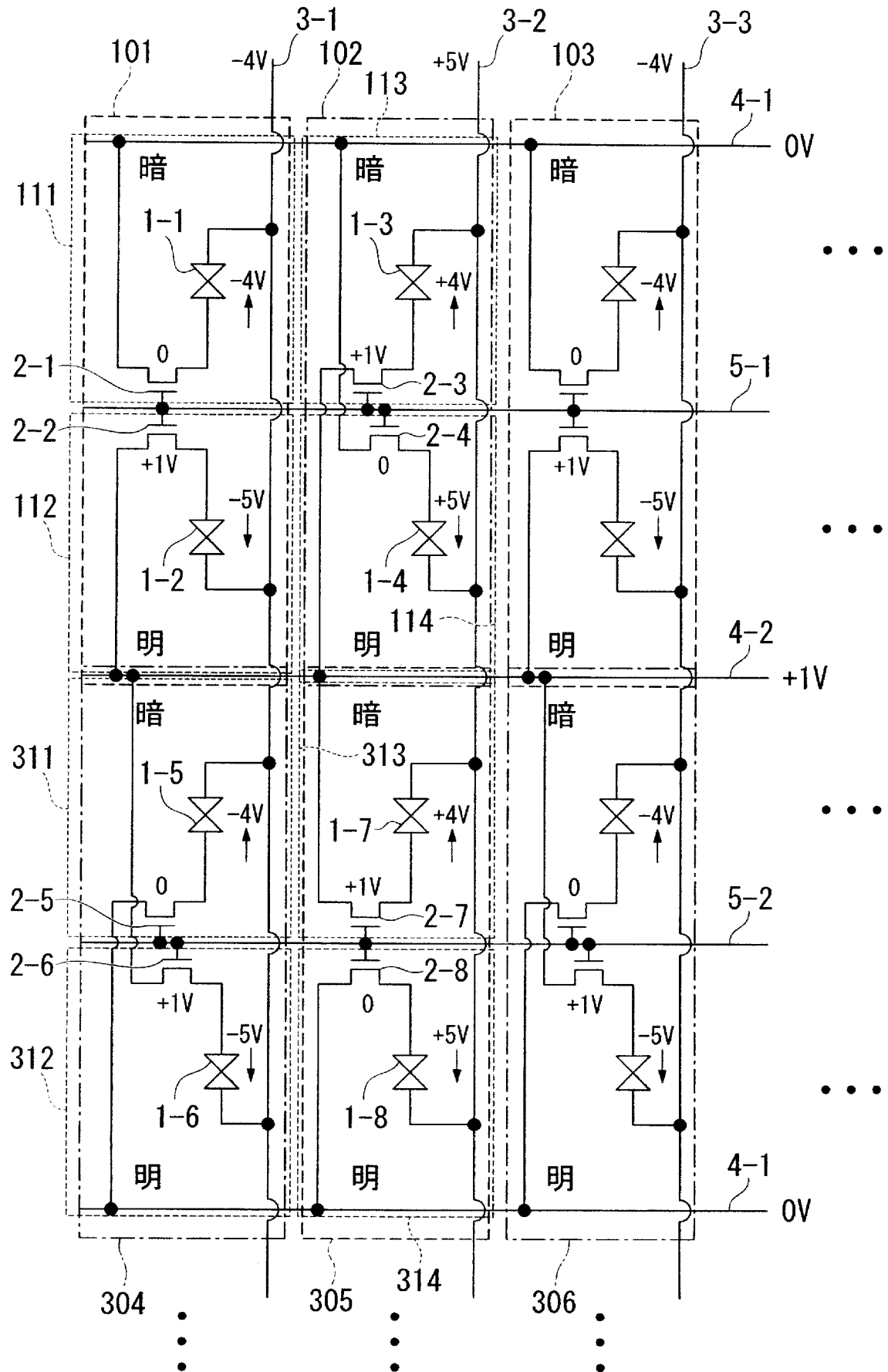
[図5B]



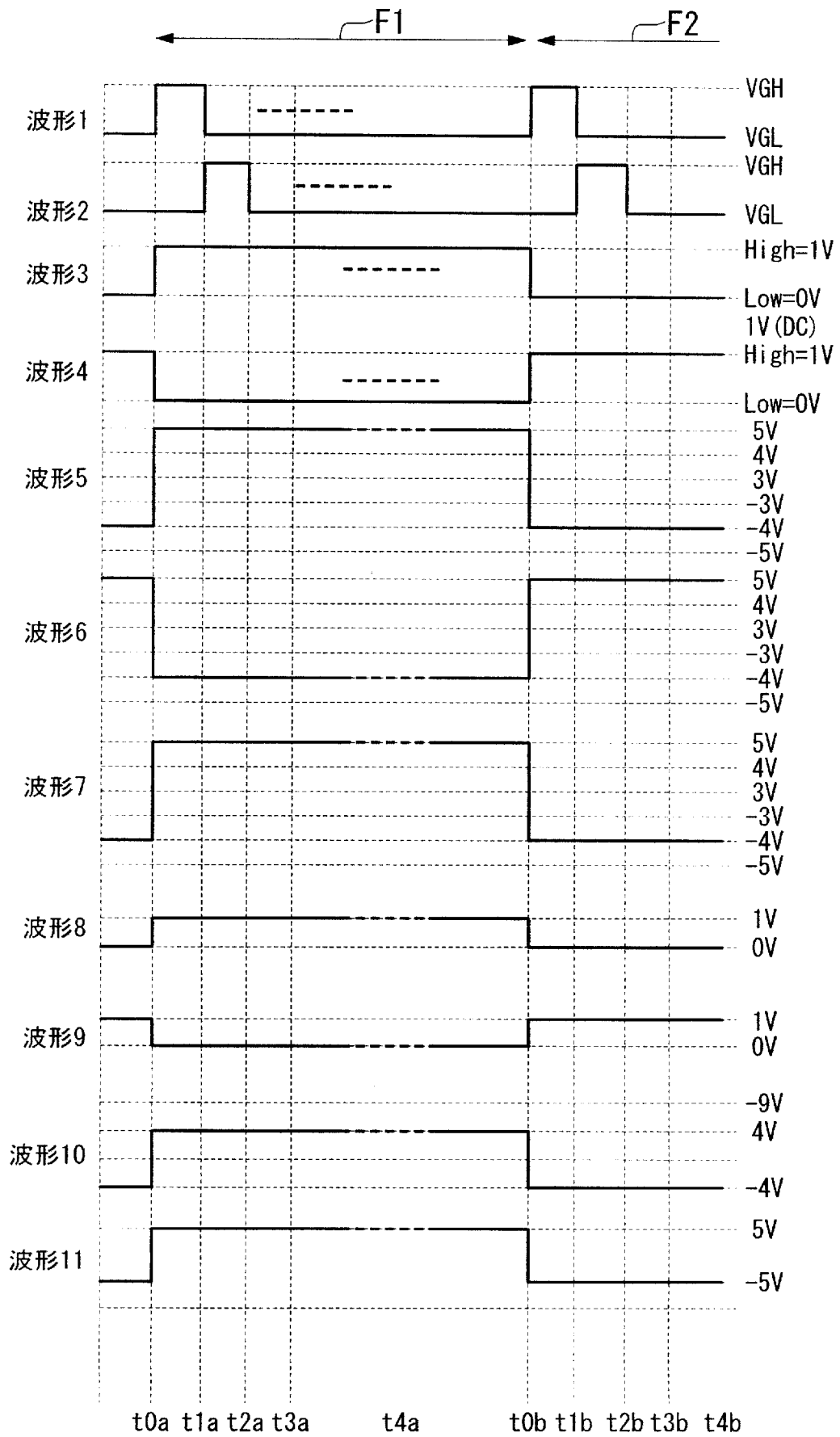
[図6]



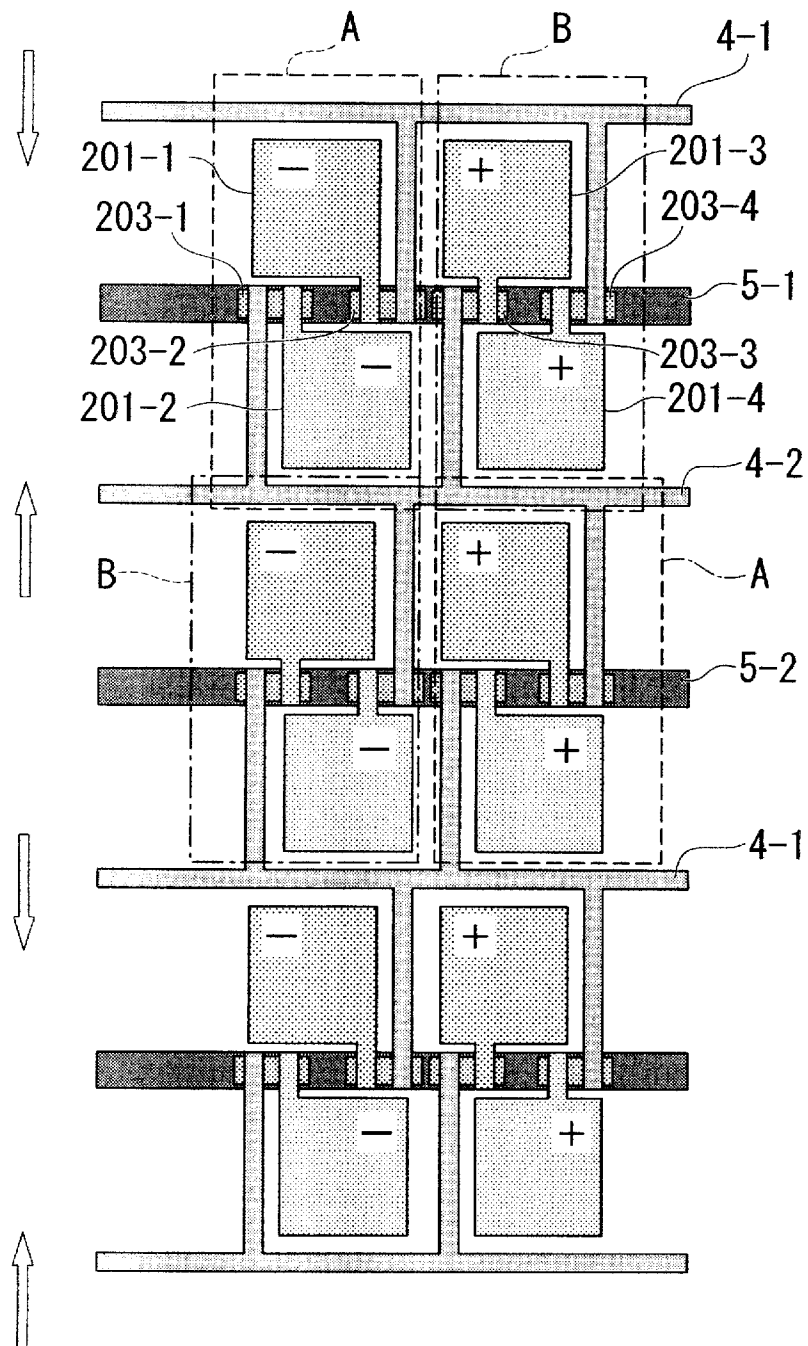
[図8]



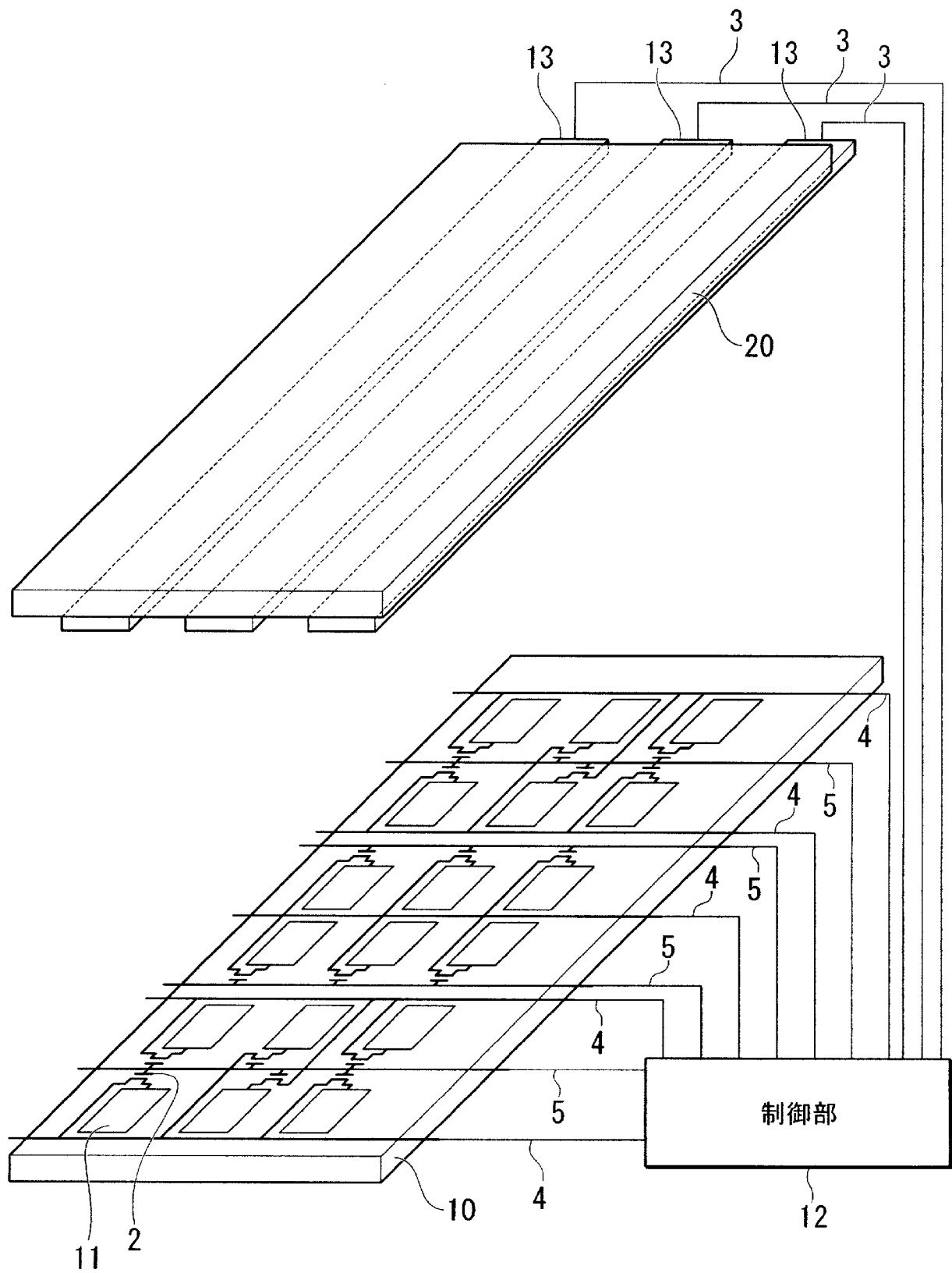
[图9]



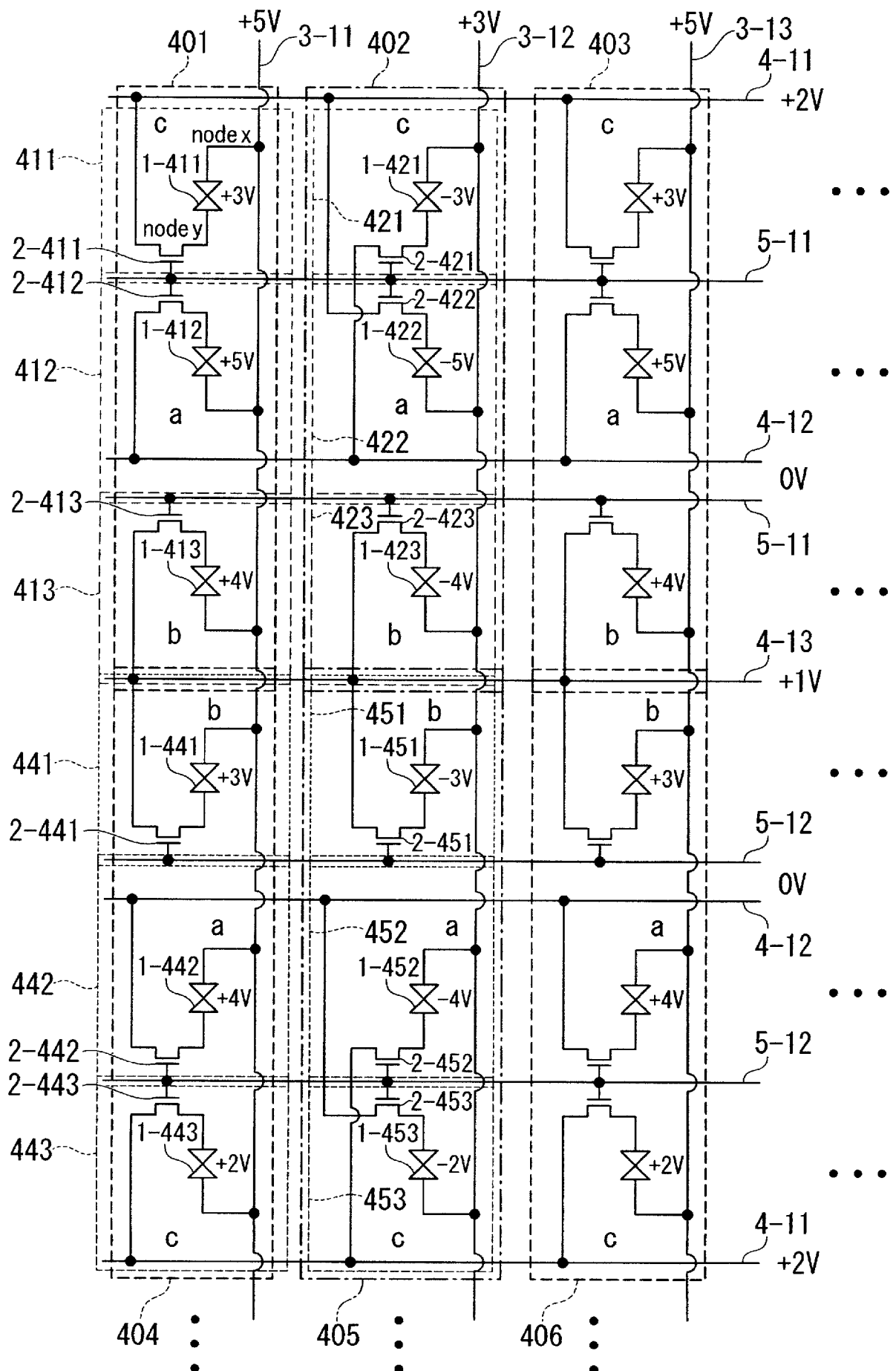
[図10]



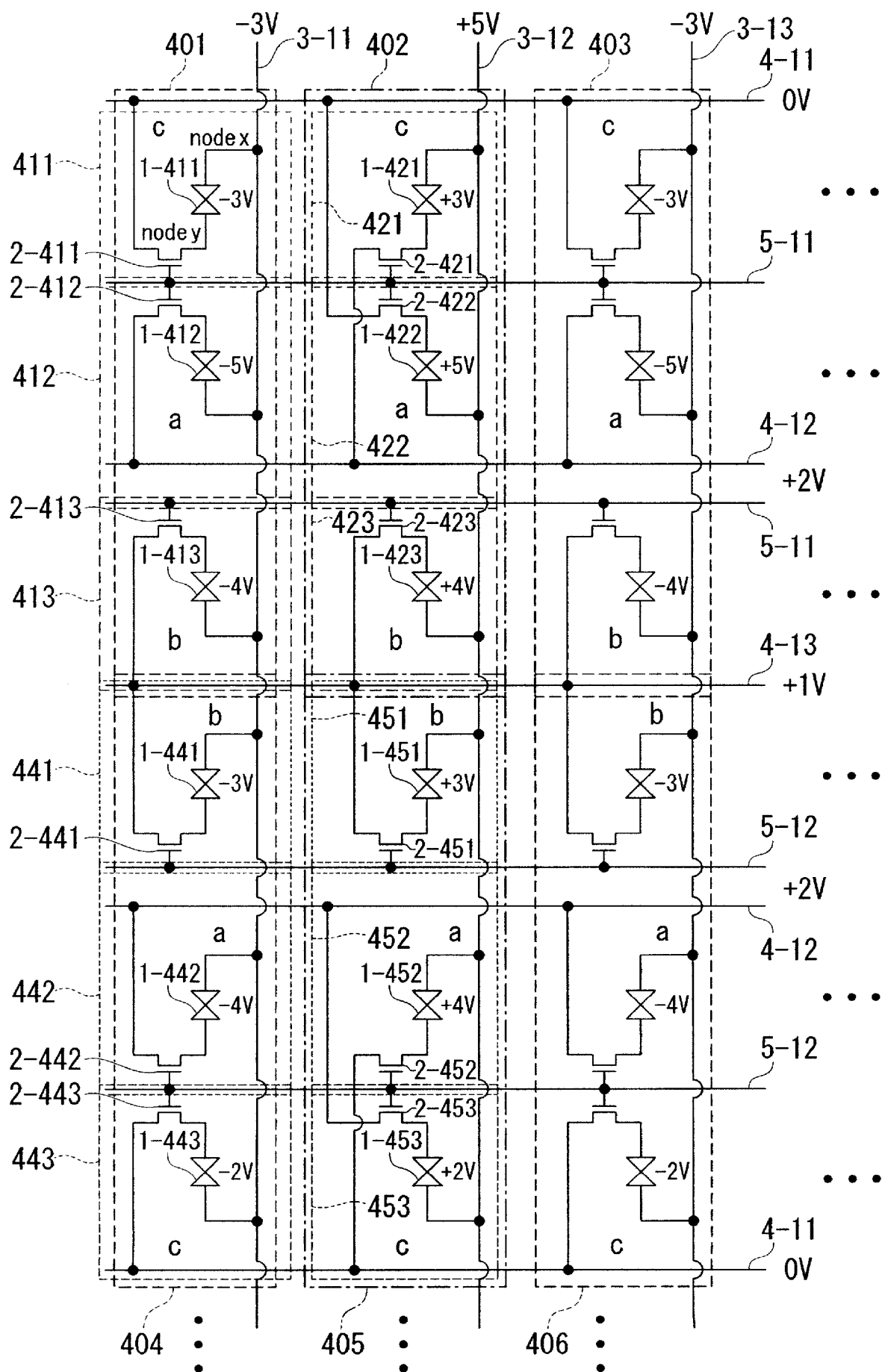
[図11]



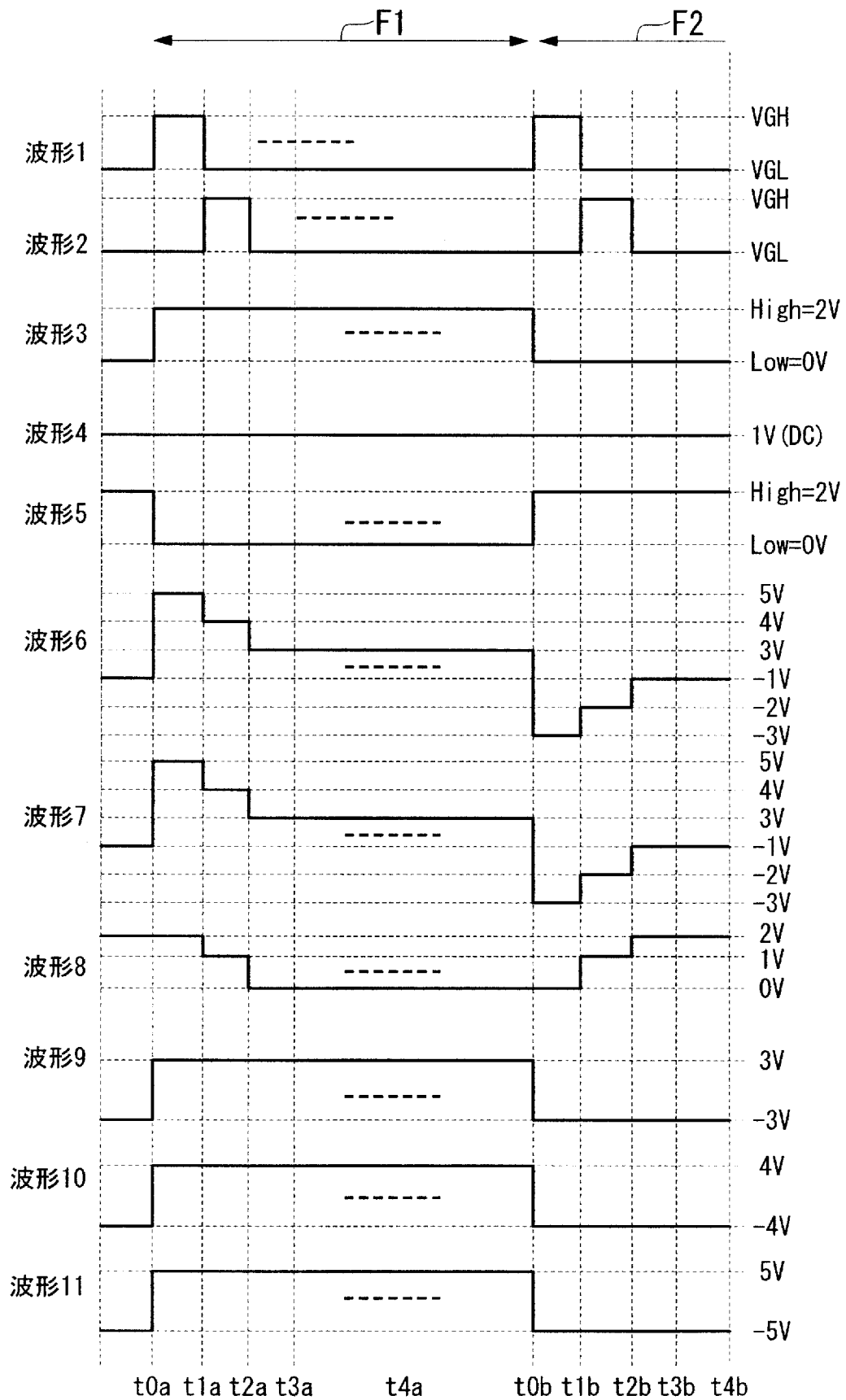
[図12]



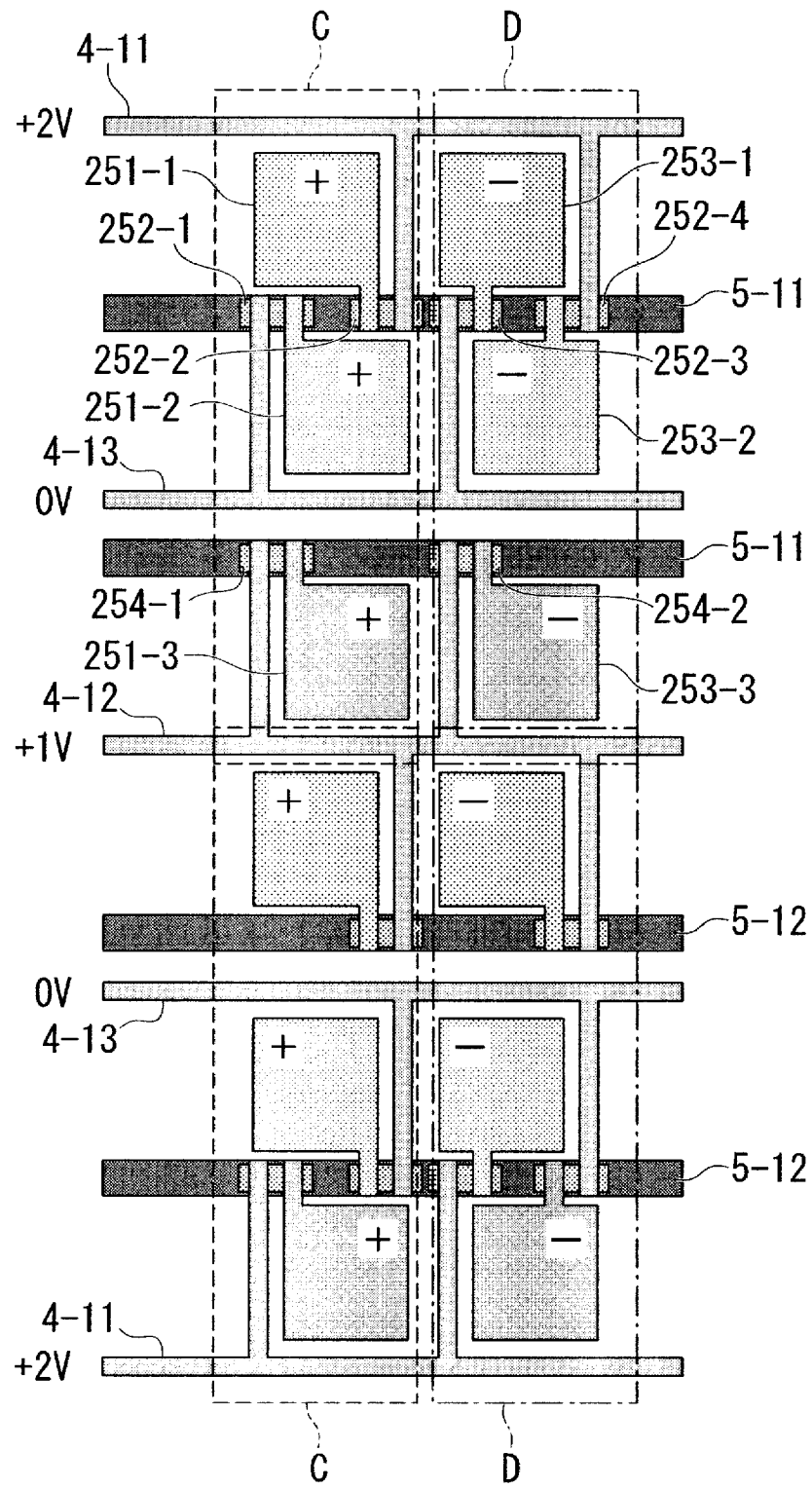
[図13]



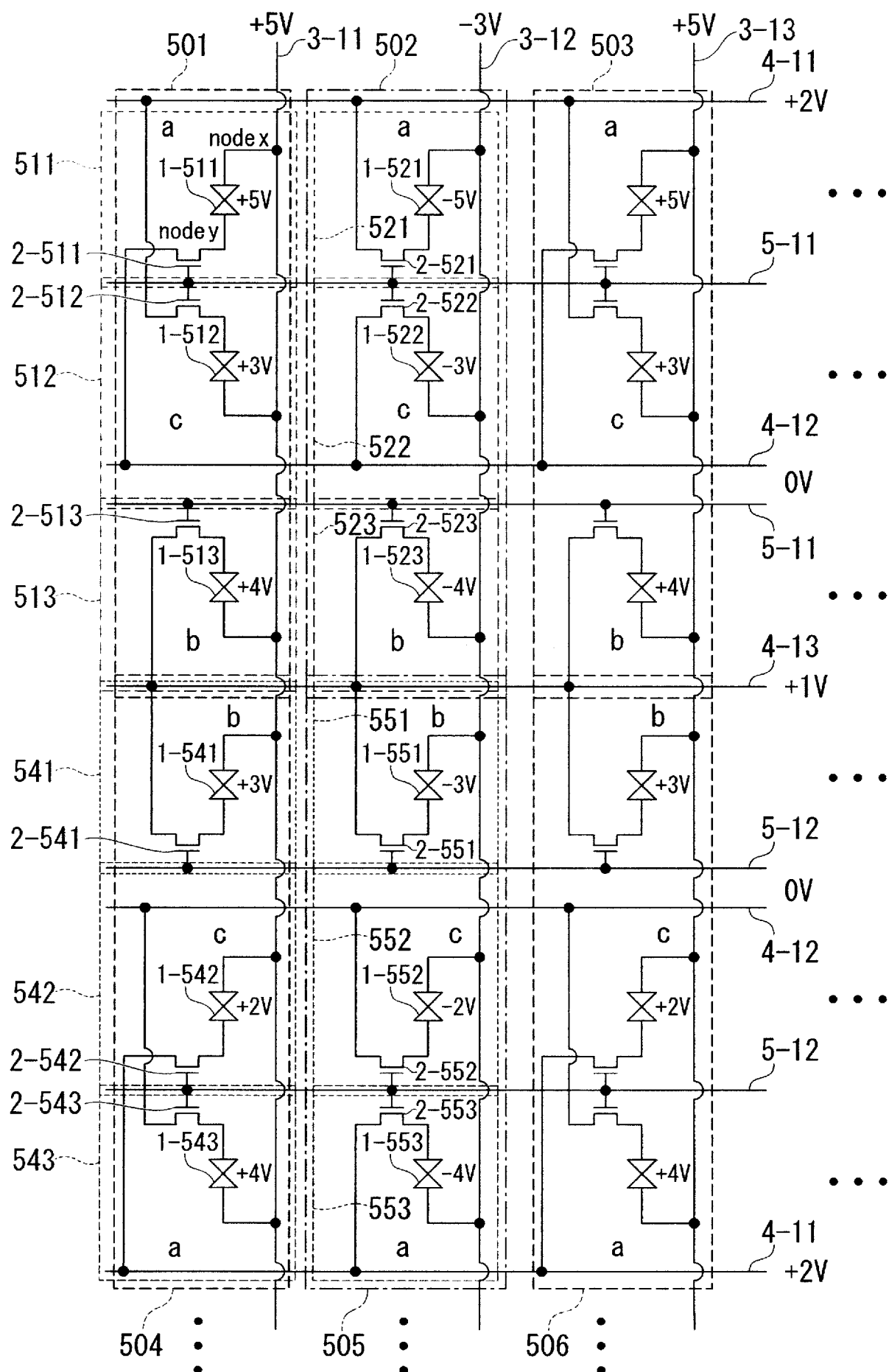
[図14]



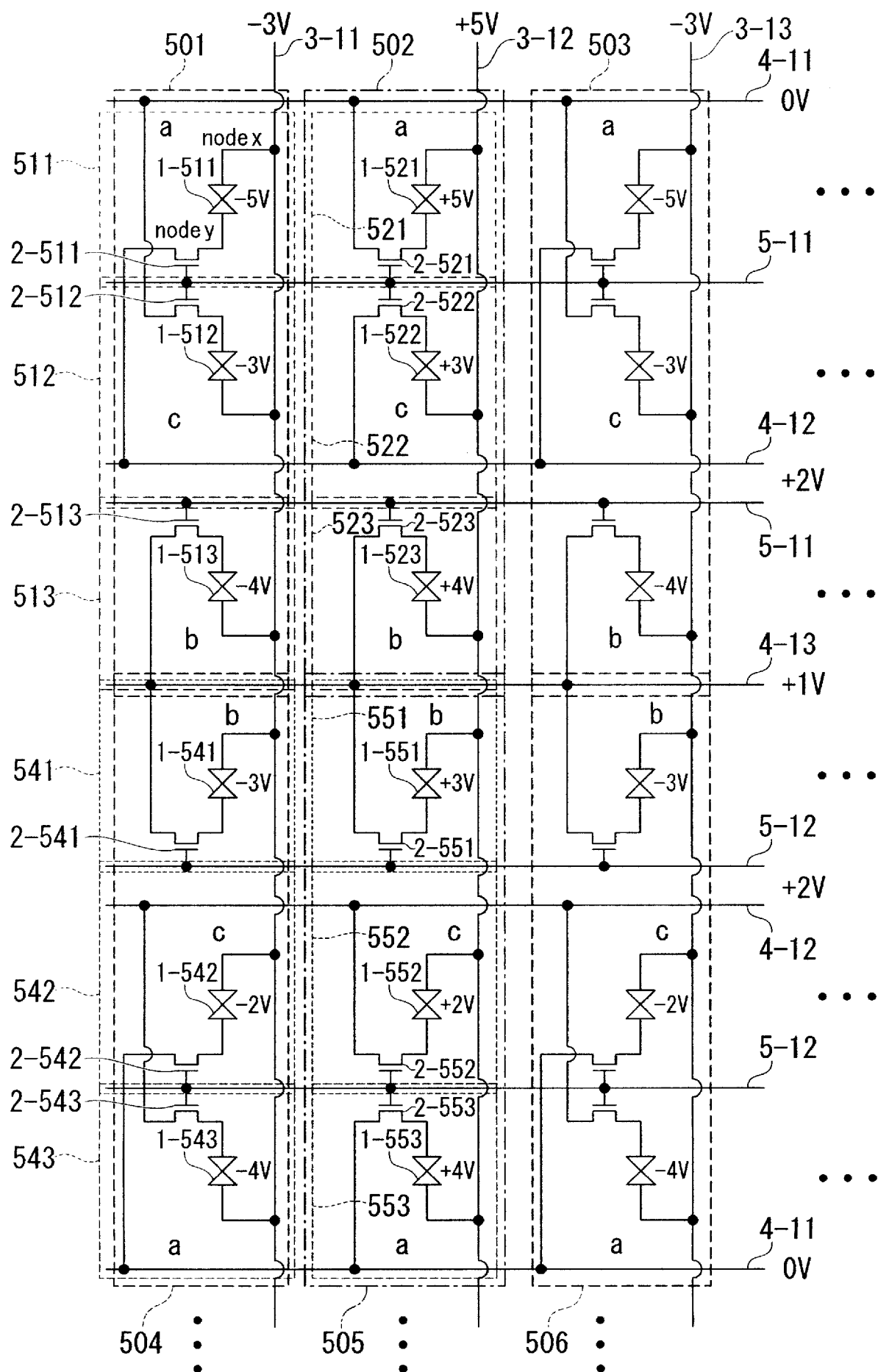
[図15]



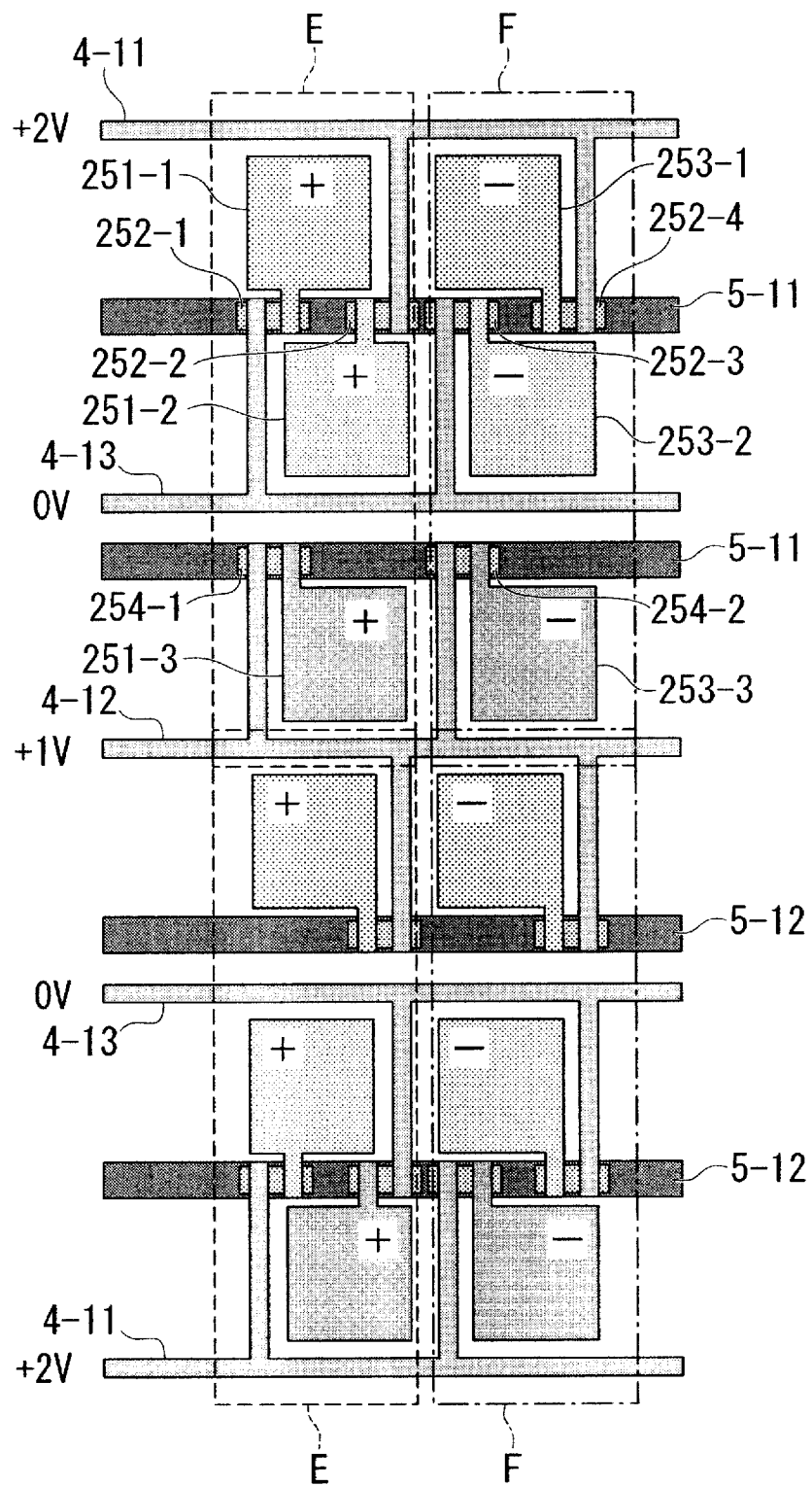
[図16]



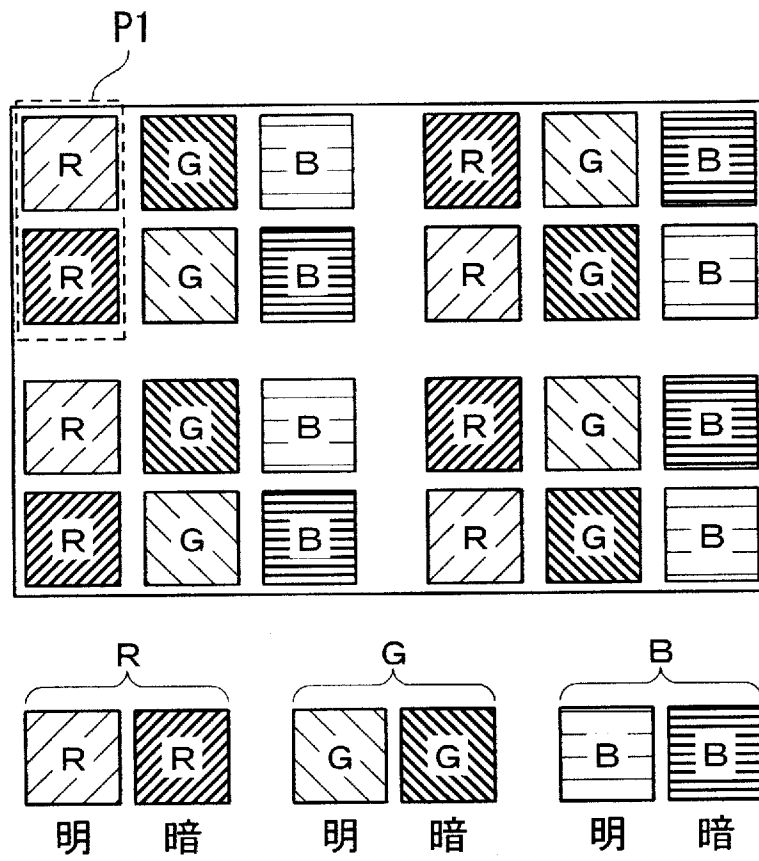
[図17]



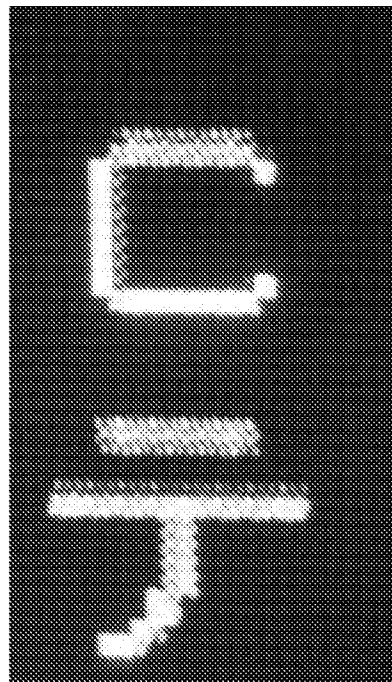
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057313

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1343(2006.01) i, G02F1/133(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1343, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-64516 A (Fujitsu Ltd.), 10 March 1995 (10.03.1995), paragraphs [0008], [0014] to [0015]; fig. 1 (Family: none)	1-7
A	JP 2006-285238 A (Chi Mei Optoelectronics Corp.), 19 October 2006 (19.10.2006), paragraphs [0005] to [0007]; fig. 1, 2 & US 2006/0221030 A1	1-7
A	JP 2001-296518 A (Sharp Corp.), 26 October 2001 (26.10.2001), entire text; all drawings (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 April, 2011 (27.04.11)

Date of mailing of the international search report

17 May, 2011 (17.05.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057313

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-223167 A (Epson Imaging Devices Corp.), 01 October 2009 (01.10.2009), entire text; all drawings (Family: none)	1-7
A	JP 2004-525402 A (International Business Machines Corp.), 19 August 2004 (19.08.2004), entire text; all drawings & US 6801220 B2 & GB 2387955 A & WO 2002/059685 A2 & TW 567462 B & CN 1488124 A	1-7

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G02F1/1343(2006.01)i, G02F1/133(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G02F1/1343, G02F1/133			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2－1 9 9 6年 1 9 7 1－2 0 1 1年 1 9 9 6－2 0 1 1年 1 9 9 4－2 0 1 1年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
A	JP 7-64516 A（富士通株式会社）1995.03.10, 【0008】、【0014】－【0015】、【図1】 （ファミリーなし）		1－7
A	JP 2006-285238 A（チー メイ オプトエレクトロニクス コーポ レーション）2006.10.19, 【0005】－【0007】、【図1】、【図2】 & US 2006/0221030 A1		1－7
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 7 . 0 4 . 2 0 1 1		国際調査報告の発送日 1 7 . 0 5 . 2 0 1 1	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 森江 健蔵 電話番号 03-3581-1101 内線 3293	2 L 4 4 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-296518 A (シャープ株式会社) 2001. 10. 26, 全文、全図 (ファミリーなし)	1 - 7
A	JP 2009-223167 A (エプソンイメージングデバイス株式会社) 2009. 10. 01, 全文、全図 (ファミリーなし)	1 - 7
A	JP 2004-525402 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2004. 08. 19, 全文、全図 & US 6801220 B2 & GB 2387955 A & WO 2002/059685 A2 & TW 567462 B & CN 1488124 A	1 - 7