



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I673608 B

(45)公告日：中華民國 108 (2019) 年 10 月 01 日

(21)申請案號：107110184

(22)申請日：中華民國 107 (2018) 年 03 月 26 日

(51)Int. Cl. : **G06F12/128 (2016.01)**

(30)優先權：2017/03/24 美國 62/476,178

2017/05/25 美國 15/605,442

(71)申請人：美商司固科技公司 (美國) SEAGATE TECHNOLOGY LLC (US)

美國

(72)發明人：蒙西爾 傑佛瑞 MUNSIL, JEFFREY (US)；艾利斯 傑克森 ELLIS, JACKSON

(US)；戈斯 瑞安 J GOSS, RYAN J. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200502767A

TW 200809495A

TW 201137612A

TW 201232260A

審查人員：洪幸伸

申請專利範圍項數：20 項 圖式數：9 共 39 頁

(54)名稱

使用反向快取表的基於硬體之映射加速

(57)摘要

用於管理資料儲存裝置中之映射資料的設備及方法。可程式化處理器發送尋找指令以定位映射結構之所請求之映射頁並將其放置至第一快取記憶體以服務所接收之主機指令。非可程式化硬體電路搜尋一正向表以判定所請求之映射頁是否在第二快取記憶體中，且若是，則將映射頁載入至第一快取記憶體。若否，硬體電路從後端處理器請求所請求之映射頁，後端處理器從非揮發性記憶體(NVM)(諸如快閃記憶體陣列)擷取所請求之映射頁。硬體電路搜尋反向表及第一快取記憶體以在第二快取記憶體中選定一候選位址用於從 NVM 擷取的所請求之映射頁，並引導所請求之映射頁之副本儲存於候選位置。

Apparatus and method for managing map data in a data storage device. A programmable processor issues a find command to locate and place a requested map page of a map structure into a first cache to service a received host command. A non-programmable hardware circuit searches a forward table to determine whether the requested map page is in a second cache, and if so, loads the map page to the first cache. If not, the hardware circuit requests the requested map page from a back end processor which retrieves the requested map page from a non-volatile memory (NVM), such as a flash memory array. The hardware circuit searches a reverse table and the first cache to select a candidate location in the second cache for the retrieved requested map page from the NVM, and directs the storage of a copy of the requested map page at the candidate location.

指定代表圖：

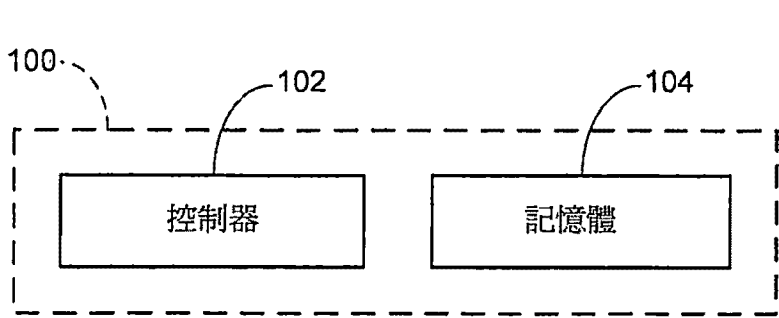


圖1

符號簡單說明：

100 . . . 資料儲存裝置

102 . . . 控制器

104 . . . 記憶體模組

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 使用反向快取表的基於硬體之映射加速

HARDWARE BASED MAP ACCELERATION USING
A REVERSE CACHE TABLE

【相關申請案】

【0001】 本申請案依據 35 U.S.C. 119(e)主張 2017 年 3 月 24 日申請之美國臨時專利申請案第 62/476,178 號之優先權，其內容藉此以引用方式併入本文中。

【技術領域】

【先前技術】

【發明內容】

【0002】 本發明之各種實施例大致上關於資料儲存裝置中之資料管理。

【0003】 在一些實施例中，一種設備具有一映射結構，其於一非揮發性記憶體(NVM)中儲存為複數個映射頁，該複數個映射頁將使用者資料區塊之邏輯位址與該等使用者區塊儲存於其中之該 NVM 中的實體位址關聯起來。一第一快取記憶體儲存該等映射頁之一第一子集的一副本，該等映射頁儲存於該 NVM，且一第二快取記憶體儲存該等映射頁之該第一子集的一副本以及該等映射頁之一第二子集的一副本，該等映射頁儲存於該 NVM。

【0004】 一可程式化處理器具有儲存於一關聯之記憶體中的程式，當執行該程式時，發送一尋找指令以定位與一所接收之主機指令

關聯的一所請求之映射頁並將該所請求之映射頁放置進該第一快取記憶體。一非可程式化硬體電路經組態以回應於該尋找指令而引導該所請求之映射頁從該 NVM 之一擷取、存取一記憶體中之一反向表(reverse table)以識別儲存於該第二快取記憶體之一選定實體位址的一潛在替換映射頁、並回應於該非可程式化硬體電路判定該潛在替換映射頁未於該第一快取記憶體中之該等映射頁之該第一子集中而引導該所請求之映射頁之一副本至該第二快取記憶體之該選定實體位址的一寫入。

【0005】 特徵化本揭露之各種實施例之其他特徵及優點可鑒於下列詳細討論及隨附圖式而理解。

【圖式簡單說明】

【0006】

圖 1 提供根據本揭露之各種實施例的一例示性資料儲存裝置的一功能方塊表示。

圖 2 顯示根據一些實施例的經組態為一固態硬碟(Solid State Drive, SSD)之圖 1 之資料儲存裝置的態樣。

圖 3 係圖 2 之例示性 SSD 之一核心控制器的一功能方塊表示。

圖 4 顯示一些實施例中的一多層次映射結構之一例示性格式。

圖 5 顯示映射結構之一第二層次映射(Second Level Map, SLM)之一例示性格式。

圖 6 顯示映射結構之一第一層次映射(First Level Map, FLM)之一例示性格式。

圖 7 繪示一些實施例中的 SSD 的各種記憶體及記憶體之內容。

圖 8 係一些實施例中之一核中央處理單元(Central Processing Unit, CPU)與圖 3 之核心控制器的非基於處理器之卸載映射硬體輔助(Map Hardware Assist, MHA)管理器之間的通訊的一功能方塊表示。

圖 9A 及圖 9B 提供一資料處理程序的一流程圖，其繪示根據本揭露之各種實施例實行的步驟。

【實施方式】

【0007】 本揭露大致上關於資料儲存，且更具體而言關於用於在資料儲存裝置中使用硬體電路來從可程式化處理器卸載快取記憶體管理工作以管理映射資料的方法及設備。

【0008】 資料儲存裝置係用於以快速且有效的方式儲存並擷取使用者資料。映射結構通常用於追蹤儲存於儲存裝置之主記憶體中的使用者資料的實體位置，使裝置能夠定位並擷取先前儲存之資料。此種映射結構可將從主機接收之資料區塊的邏輯位址與媒體的實體位址關聯，以及與資料相關之其他狀態資訊關聯。

【0009】 在服務來自主機裝置之存取指令（例如，讀取指令、寫入指令、狀態指令等）方面，映射結構的管理可對儲存裝置控制器造成顯著的處理瓶頸。對於快閃記憶體及其他形式之可抹除媒體尤其是如此。在基於快閃記憶體之儲存裝置中（例如 SSD），給定資料區塊的各後續接收版本將儲存至快閃記憶體內的不同位置。

【0010】 本揭露之各種實施例大致上關於資料儲存裝置中之資料管理。如下所述，在一些實施例中，資料儲存裝置具備控制器電路及被表徵為非揮發性記憶體或 NVM 的主記憶體。NVM 可採取快閃記憶體陣列的形式。

【0011】 控制器電路提供高層次控制器功能以引導 NVM 與主機裝置之間的使用者資料傳輸。儲存於 NVM 之使用者資料區塊係由具有複數個映射頁之映射結構描述，該複數個映射頁描述主機裝置所使用的邏輯位址與 NVM 的實體位址之間的關係。映射結構可以是多層次映射結構或者可以採取其他形式。

【0012】 控制器電路包括可程式化處理器，可程式化處理器使用儲存於記憶體位置的程式（例如，韌體）來處理主機存取指令。用於資料且與各接收之存取指令關聯的一或多個映射頁需要在可服務指令之前載入至多快取記憶體結構的第一快取記憶體。

【0013】 多快取記憶體結構包括第一快取記憶體及至少一第二快取記憶體。亦可使用額外的快取記憶體層次。映射頁的小（第一）子集係保持於第一快取記憶體中。第二快取記憶體儲存映射頁的較小子集，因此第一快取記憶體中之每個映射頁亦保持於第二快取記憶體中。換句話說，第一快取記憶體儲存映射頁的第一子集，且第一快取記憶體儲存映射頁的第一子集及第二子集。所有映射頁（例如，整個映射結構）亦保持於 NVM。

【0014】 可程式化處理器將特定操作卸載至非基於處理器之硬體電路以定位映射頁並將映射頁載入至第一快取記憶體。回應於來自處

理器的尋找指令，硬體電路首先執行搜尋（例如，存取操作）以判定所請求之（第一）映射頁是否已留駐於第一快取記憶體中。若是，則硬體電路將第一快取記憶體內之關聯位址（快取記憶體線路）通知給處理器。

【0015】 在第一快取記憶體上發生快取未中（例如，所請求之映射頁未留駐於第一快取記憶體中）之事件中，硬體電路搜尋記憶體中的正向表(forward table)，正向表識別與儲存於第二快取記憶體之映射頁之各者關聯的邏輯位址。若正向表指示所請求之映射頁在第二快取記憶體中，則硬體電路將所請求之映射頁從第二快取記憶體複製至第一快取記憶體並通知處理器。由於第一快取記憶體經常是滿的，至少一既存映射頁可能需要從第一快取記憶體被逐出(evicted)以騰出空間給所請求之映射頁。如有必要，處理器可將第一快取記憶體中的受害（替換）映射頁連同尋找指令識別為由所請求之映射頁替換。

【0016】 在在第二快取記憶體上發生快取未中（例如，所請求之映射頁未位於第二快取記憶體中）之事件中，硬體電路引導二個並行操作：從 NVM（例如，快閃記憶體）擷取所請求之映射頁、及在第二快取記憶體中選定將由所請求之映射頁替換的候選（第二）映射頁。

【0017】 為了從 NVM 擷取所請求之映射頁，硬體電路存取映射結構之第一層次映射以定位所請求之映射頁的快閃記憶體位址，並且發送請求至控制器的後端處理器以將所請求之映射頁從 NVM 擷取至本機記憶體中。

【0018】 為了識別第二快取記憶體中將被所請求之映射頁替換的潛在替換映射頁，硬體電路識別第二快取記憶體中選定之實體位址，並在本機記憶體中搜尋反向表。反向表識別該複數個映射頁之各者儲存於第二快取記憶體中的實體位址。因此，反向表識別儲存於選定之實體位址的潛在替換映射頁。硬體電路搜尋第一快取記憶體以判定潛在替換映射頁是否亦留駐於第一快取記憶體。若是，選定第二快取記憶體中之新實體位址，並重複此處理直到潛在替換映射頁被識別為替換候選者。先進先出(first-in-first-out, FIFO)列表或類似機制可用於追蹤並選定候選實體位址，用於從第二快取記憶體逐出該候選實體位址的內容（例如，在此位置上以新頁複寫）。潛在替換頁可自本機記憶體中之先進先出列表供給，本機記憶體由可程式化處理器管理。

【0019】 先進先出機制可採取多種形式。在一些例子中，可用計數器從第一位置 0 繞(wrap)至最終位置 N-1 然後返回 0。利用計數器值，使得系統替換位置 0、然後位置 1、然後位置 2，諸如此類直到位置 N-1，在位置 N-1 之後計數再次返回 0。跳過任何判定為在第一快取記憶體中的位置。若給定操作於第一計數值結束（例如，更新位置 3），則下一個評估循環於序列中下一個計數值（例如，位置 4）開始。

【0020】 前述操作係閉鎖且原子的。硬體電路可將映射頁實體地寫入各別的第一及第二快取記憶體，或者可建立指標，可程式化處理器可用該指標來定位並使用所請求之映射頁。如此一來，各種映射定位功能可由分開之硬體實行而沒有必要佔用可程式化處理器，使處理

器能夠執行較高優先順序的工作並加速儲存裝置的資料傳輸率 I/O 性能。

【0021】 本揭露之上述以及其他特徵及優點可從檢視圖 1 開始理解，圖 1 提供資料儲存裝置 100 的簡化功能方塊表示。

【0022】 裝置 100 包括控制器 102 及記憶體模組 104。控制器 102 提供裝置 100 高層次控制，並可經組態為若干電路元件，該若干電路元件包括具有本機記憶體中之關聯程式的可程式化處理器以及一或多個非基於處理器之硬體電路。

【0023】 記憶體模組 104 可經配置為一或多個非揮發性記憶體元件，例如可旋轉記錄媒體（磁碟）及固態記憶體陣列。雖然圖 1 中顯示分開的控制器 102，但此非必然，由於替代實施例可將任何必要控制器功能直接併入記憶體模組。

【0024】 記憶體模組 104 作用為來自主機裝置之使用者資料的主儲存。主機裝置可以是任何與儲存裝置 100 通訊的裝置。舉例而言但不侷限於此，可將儲存裝置實體地併入主機裝置，或者，主機裝置可透過使用任何合適協定之網路與主機裝置通訊。在一些實施例中，儲存裝置 100 經組態以形成大量儲存環境中之多裝置儲存殼體的一部份，大量儲存環境例如分布式物件儲存系統、基於雲端之計算環境、RAID (redundant array of independent disks)系統等。

【0025】 圖 2 係根據一些實施例之資料儲存裝置 110 的功能方塊表示。裝置 110 大致上對應至裝置 100 並被表徵為固態硬碟(SSD)，該固態硬碟將二維(2D)或三維(3D) NAND 快閃記憶體用作主記憶體儲

存。此僅出於繪示之目的而非限制。可根據需求將其他電路及組件併入 SSD 110，但為清楚之目的而在圖 2 中省略。可將圖 2 之電路併入至單一積體電路(integrated circuit, IC)，例如系統單晶片(system on chip, SOC)，或圖 2 之電路可涉及多個連結的 IC 裝置。

【0026】 圖 1 之控制器功能由主機介面(interface, I/F)控制器電路 112、核心控制器電路 114、及裝置 I/F 控制器電路 116 實行。主機 I/F 控制器電路 112 有時可稱作前端控制器或處理器，且裝置 I/F 控制器電路 116 可稱作後端控制器或處理器。各控制器 112、114、及 116 包括分開的可程式化處理器，可程式化處理器具有合適記憶體位置中之關聯的程式（例如，韌體，FW）以及各種硬體元件，以執行資料管理及傳輸功能。此僅繪示一實施例。在其他實施例中，單一可程式化處理器（或少於三個可程式化處理器）可經組態以用合適記憶體位置中之關聯 FW 實行前端處理、核心處理、及後端處理之各者。

【0027】 前端控制器 112 處理與主機裝置（未分開顯示）的主機通訊。後端控制器 116 以快閃記憶體 118 管理資料讀取/寫入/抹除(R/W/E)功能。快閃記憶體 118 有時亦稱作非揮發性記憶體(NVM)或主記憶體，可由多個快閃晶片(flash die)組成以促進平行資料操作。核心控制器 114 亦稱作主控制器或中間控制器，執行裝置 110 的主要資料管理及控制。

【0028】 圖 3 顯示一些實施例中的圖 2 之核心控制器 114。可使用其他構形，此僅為繪示性而非限制性。SRAM 記憶體 120 係專用為緩衝記憶體空間的揮發性記憶體，在與快閃記憶體 118 之資料傳輸操

作期間暫時地儲存使用者資料。DDR (DRAM/SDRAM)記憶體 122 係揮發性記憶體，其亦可用作緩衝記憶體以及儲存系統所使用的其他資料。各別記憶體 120、122 可實現為單一積體電路(IC)或可分布於多個實體記憶體裝置，當此等實體記憶體裝置結合時提供全面可用的記憶體空間。

【0029】 核心處理器（中央處理單元，CPU）124 係可程式化處理器，其提供核心控制器 114 之主處理引擎。映射硬體輔助(MHA)管理器電路 126 係非基於處理器之卸載硬體電路，其依照核心記憶體 124 引導而實行卸載功能，如下所述。

【0030】 本機記憶體係大致上標示於 128。此記憶體預想為包含一或多個離散的本機記憶體，該一或多個離散的本機記憶體可用於儲存核心控制器所使用的各種資料結構，包括核心處理器 126 所使用的韌體(FW)程式 130、系統映射 132、及各種映射表 134。

【0031】 此時區分用語「處理器(processor)」與例如「非基於處理器(non-processor based)」、「非可程式化(non-programmable)」、「硬體(hardware)」之用語將會有幫助。如本文中所使用，用語「處理器」意指 CPU 或類似的可程式化裝置，其執行指令（例如 FW）以實行各種功能。用語「非處理器」、「非基於處理器」、「非可程式化」、「硬體」及類似者係以 MHA 管理器 126 例示，並意指不使用儲存於記憶體中之程式，但取而代之的是藉由各種硬體電路元件（邏輯閘、FPGA 等）之方式來組態以操作的電路。MHA 管理器 126 作用如狀態機或其他固線式裝置。管理器具有各種操作能力及功能，例如

直接記憶體存取(direct memory access, DMA)、搜尋、載入、比較等。

【0032】 映射 132 在圖 4 中更完整地顯示為多層次映射，具有第一層次映射 138 及第二層次映射 140。雖然 SSD 110 運用雙層次映射，但亦容易使用其他映射結構，包括單一層次映射或具有多於雙層次的多層次映射。

【0033】 第二層次映射(SLM) 140 的實例配置係繪示於圖 5。SLM 140 由若干第二層次映射項目 142 (SLME 或項目) 組成，第二層次映射項目描述留駐於或可被寫入至快閃記憶體 118 的使用者資料的個別區塊。在本實例中，區塊亦稱作映射單元(map unit, MU)，雖然亦可使用其他尺寸，區塊的長度設為 4KB (4096 位元組)。SLM 140 描述可由 SSD 110 容納之區塊的邏輯位址之整個可能範圍，即使特定邏輯位址未曾被使用或未被使用。

【0034】 各項目 142 包括若干欄，包括邏輯區塊位址(logical block address, LBA)欄 144、實體區塊位址(physical block address, PBA)欄 146、位移(offset)欄 148、及狀態欄 150。可使用其他格式。LBA 值係從最小值至最大值之序列 (例如從 LBA 0 至 LBA N，其中 N 係由 SSD 之總資料容量判定的某個大數字)。可使用其他邏輯定址方案，例如關鍵值、虛擬區塊位址等。雖然 LBA 值可形成項目的一部份，在其他實施例中，LBA 可替代地用作進入關聯之資料結構的索引，以定位各種項目。

【0035】 在一般的快閃記憶體陣列中，資料區塊係配置為沿著特定抹除區塊中之快閃記憶體單元列而被寫入的頁。PBA 可用陣列、晶元、廢料收集單元(garbage collection unit, GCU)、抹除區塊、頁等來表示。位移值可以是沿著記憶體之選定頁的位元位移。狀態值可指示關聯之區塊的狀態（例如有效、無效、零等等）。

【0036】 項目 142 之群組係配置成較大的資料組，在此稱作映射頁 152。某選定數目之項目（以變數 A 表示）係於各映射頁中提供。在本例子中，各映射頁 144 具有總共 100 個項目。可在各頁中進行項目的其他群組化，包括冪為 2 的數目。

【0037】 第二層次映射(SLM) 140 構成系統中所有映射頁 152 的配置。預想會需要某大數目之映射頁 B 來描述 SSD 的整個儲存容量。各映射頁具有關聯之映射 ID 值，映射 ID 值可以是從 0 至 B 的連續數。SLM 140 係儲存於 NVM（快閃記憶體 118）中，儘管 SLM 可能跨越不同組之各種晶片而寫入，而不是在快閃記憶體中的集中位置。

【0038】 圖 4 之第一層次映射(FLM) 138 的配置係顯示於圖 6。FLM 138 使 SSD 110 能夠定位儲存至快閃記憶體的各種映射頁 152。為此，FLM 138 由第一層次映射項目 162（FLME 或項目）組成。各 FLME 162 具有映射頁 ID 欄 164、PBA 欄 166、位移欄 168、及狀態欄 170。映射 ID 已於上列詳述。欄 166 中之 PBA 描述關聯之映射頁的位置。位移值運作為如先前之沿著特定頁或其他位置的位元位移。狀態值可與第二層次映射中之狀態值相同，或者根據需求可與映射頁本身的狀態有關。如先前，雖然圖 6 之格式顯示映射 ID 形成第一層次

映射中之各項目的一部分，在其他實施例中，映射 ID 可替代地用作進入資料結構的索引，以定位關聯之項目。

【0039】 第一層次映射(FLM) 138 構成從項目 0 至項目 C 之所有項目 162 的配置。在一些例子中，雖然這些值可以不同，B 會等於 C。存取 FLM 138 允許藉由映射 ID 搜尋快閃記憶體 118 內所欲映射頁的位置。從快閃記憶體擷取所欲映射頁將提供該映射頁中的第二層次映射項目，且然後基於關聯之第二層次項目中之資訊可識別並擷取個別 LBA。

【0040】 圖 7 顯示一些實施例中之 SSD 110 所使用的各種記憶體位置的配置。這些包括上述圖 2 至圖 3 中的快閃記憶體 118 及本機核心記憶體 128 以及第一層次快取記憶體(FLC) 180 及第二層次快取記憶體(SLC) 182。

【0041】 第一層次快取記憶體 180 亦稱作第一快取記憶體及等級 1 快取記憶體，且預想為分開的記憶體位置，例如核心控制器的板上(on-board)記憶體。如上所述，待作用為服務暫停主機存取指令的映射頁係載入至第一快取記憶體。圖 7 顯示總數目 D 之映射頁係留駐於第一快取記憶體 180 中。預想 D 會是相對小的數目，例如 D=128，儘管也可以使用其他數目。第一快取記憶體的大小是固定的。

【0042】 第二層次快取記憶體 182 亦稱作第二快取記憶體及等級 2 快取記憶體，且預想為構成 DDR 記憶體 122 之至少一部分（參照圖 2）。可使用其他記憶體位置。第二快取記憶體的大小可以是可變的或固定的。第二快取記憶體儲存至多最大數目之映射頁 E，其中 E 是顯

著大於 D 的某數目($E>D$)。如上所述，第一快取記憶體中之 D 個映射頁之各者亦儲存於第二快取記憶體。

【0043】 快閃記憶體 118 主要用於儲存映射結構 132 所描述的使用者資料區塊，但此儲存並未在圖 7 中標示。圖 7 確實顯示快閃記憶體中儲存第一層次映射(FLM) 138 的一或多個備份副本，及第二層次映射(SLM) 140 的一完整副本。為了冗餘性，第二層次映射(SLM) 140 的備份副本亦可儲存至快閃記憶體，但在可直接存取此類冗餘副本之前，需要 FLM 138 的再組態。如上所述，FLM 138 指向快閃記憶體中之 SLM 140 之映射頁的主要副本的位置。

【0044】 本機核心記憶體 128 包括 FLM 138 的現用副本，（以下述之方法）當需要時，由 HMA 管理器（硬體電路）126 存取該現用副本，以如所需地從快閃記憶體擷取映射頁。記憶體 128 亦儲存圖 3 之映射表 134，該映射表在圖 7 中經配置為正向表及反向表。

【0045】 正向表（亦稱作第一表）係一資料結構，其識別與儲存於第二快取記憶體 182 之映射頁之各者關聯的邏輯位址。反向表（亦稱為第二表）識別映射頁之各者儲存於第二快取記憶體中的實體位址。

【0046】 正向表可大致上視為 LBA 至 DDR 之轉換表。藉由輸入選定之 LBA（或與所欲邏輯位址關聯的其他輸入值），可定位該項目在第二快取記憶體（此例子中係 DDR 記憶體）中的關聯位置。反向表可大致上視為 DDR 至 LBA 之轉換表。藉由輸入第二快取記憶體

（DDR 記憶體）內選定之實體位址，可定位關聯之 LBA（或與所欲邏輯位址關聯的其他值）。

【0047】 圖 8 係功能性表示，顯示圖 3 之核心 CPU（處理器）124 與 MHA 管理器（硬體電路）126 之間的互動。預想圖 8 之操作係回應於接收到選定之主機存取指令（例如讀取指令）而實行，以從快閃記憶體 118 將特定使用者資料區塊（例如，LBA）擷取至 SRAM 緩衝區 122（圖 2），暫停傳輸至主機。

【0048】 為了服務主機存取指令，用於所請求之使用者資料區塊的一或多個映射頁需要被載入至第一快取記憶體 180。處理器 124 將此操作卸載至硬體電路 126，此舉係藉由發送尋找指令至硬體電路以尋找選定之（第一）映射頁並確保所請求之映射頁於第一快取記憶體中。

【0049】 在一些例子中，處理器 124 可識別第一快取記憶體中之替換映射頁，該替換映射頁必要時可由硬體電路 126 複寫以使所請求之映射頁進入第一快取記憶體。預想處理器會維持對第一快取記憶體中之映射頁逐出的最終控制，因為映射頁可能是已變更(dirty)而需要清理（例如，基於使用者資料位置的變化而更新至映射結構等），之後映射頁可安全地自第一快取記憶體釋放。

【0050】 回應於尋找指令，硬體電路 126 可存取各種記憶體位置、資料結構、及處理器，包括第一層次快取記憶體(FLC) 180、第二層次快取記憶體(SLC) 182、第一層次映射(FLM) 138、快閃記憶體

118、正向表（在圖 8 中以 184 標示）、反向表（以 186 標示）、先進先出(FIFO)列表 188、及後端處理器 190。

【0051】 先進先出列表 188 可以是基於使用的第二快取記憶體位址列表，例如最近最少使用(*lest recently used*, LRU)方案。後端處理器 190 包含後端控制器 116 中的可程式化處理器，此可程式化處理器使用關聯之程式(FW)以實行快閃記憶體的程式化及讀取操作。硬體電路 126 會將讀取請求引導至後端處理器 190，使得處理器可實行必要的資料調節(*conditioning*)（例如解碼、解壓縮、錯誤校正等）以從快閃記憶體存取選定之映射頁，而非直接對快閃記憶體存取所請求之映射頁。

【0052】 核心處理器 124 維持第一層次快取記憶體 180 之內容的高層次控制，因為這些項目表示與持續存在且暫停之資料傳輸有關的最有價值的映射頁。取決於核心處理器 124 以決定第一層次快取記憶體中哪些頁維持在快取記憶體中而那些可供逐出。此類逐出直到核心處理器完成與映射頁關聯之所有剩餘工作才會發生。若核心處理器 124 將第一快取記憶體中之替換映射頁識別至硬體電路 126，在一些例子中，硬體電路可在第一快取記憶體中以新的所請求之頁進行複寫替換頁，因此可程式化核心處理器不須執行此操作。

【0053】 硬體電路 126 具有對第二層次快取記憶體 182 內容的某控制措施，取決於核心處理器授權此種權力的程度。回顧第一層次快取記憶體 180 中每一映射頁之副本亦儲存於第二層次快取記憶體 182，但反之不亦然。將一新映射頁（從第二層次快取記憶體或從其他

快閃記憶體）晉升至第一層次快取記憶體通常會需要替換第一層次快取記憶體中一既存映射頁，因為出於效率的緣故，第一層次快取記憶體通常會是（或總是）滿的。新映射頁至第一層次快取記憶體的複寫由核心處理器控制，即使硬體電路是實際將新映射頁寫入至第一層次快取記憶體的實體，核心處理器告訴硬體電路將新映射頁放置於第一層次快取記憶體中的何處。

【0054】 在此之前，從快閃記憶體擷取新映射頁需要將新映射頁寫入至第一層次快取記憶體及第二層次快取記憶體兩者。經引導至第一層次快取記憶體的副本係提供至核心處理器所識別的位址。經引導至第二層次快取記憶體的副本係寫入至由硬體電路基於圖 8 之 FIFO 列表 188 內容而最終判定的位址。

【0055】 FIFO 列表 188 係第二層次快取記憶體 182 中可供作為逐出候選之候選位置（位址）的資料結構的實例，該資料結構由核心控制器 124 維持。此列表係以任何數量之適當方式產生，例如以最近最少使用(LRU)為基礎。硬體電路 126 從 FIFO 列表識別一選定之位址、使用反向表 186 以識別儲存於該選定之位址的映射頁、搜尋第一層次快取記憶體 180 以查看位於該選定之位址的該映射頁是否留駐於第一層次快取記憶體中。若是，識別第二層次快取記憶體中不同的候選位址，並重複該過程。若否，硬體電路將該選定之位址識別為用於儲存新映射頁的位置，從而將新映射頁引導至寫入至此位置，此寫入由硬體電路或核心控制器實行。

【0056】 圖 9A 及圖 9B 根據一些實施例提供一資料處理程序 200，其繪示圖 8 之配置所實行的步驟。此程序僅是例示性而非限制性，而各種步驟可以經附加、省略、以不同順序或由不同模組實行等。通常程序中之各步驟係具備一「FW」或「HW」識別符。FW 意指可程式化處理器透過執行韌體而實行的步驟，而為方便起見，其描述為由韌體實行。HW 意指硬體電路 126 實行的步驟，因此描述為由硬體實行。

【0057】 接收到主機存取指令後，程序藉由韌體在步驟 202 開始。回應於此，在步驟 204 發送第一指令至硬體以定位與指令關聯之選定之映射頁（「所請求之映射頁」）且必要時將該映射頁載入至第一快取記憶體 180。如所需要，亦可將當前留駐於第一快取記憶體中的替換映射頁識別為逐出/複寫。

【0058】 在步驟 206 硬體針對所請求之映射頁進行搜尋第一層次快取記憶體（FLC 或第一快取記憶體）。決定步驟 208 判定是否取得快取命中（例如，所請求之映射頁事實上留駐於第一快取記憶體）。若是，則流程走至步驟 210，在步驟 210，硬體將第一快取記憶體中之實體位址通知給韌體。然後在步驟 212，韌體接著使用映射頁以服務指令，且流程結束於步驟 214。

【0059】 若步驟 208 判定為快取未中（例如，選定之映射頁並未留駐於第一快取記憶體），則在步驟 216 硬體繼續存取正向表 184 以判定選定之映射頁是否位於第二層次快取記憶體(SLC)。決定步驟 218 判定是否在第二快取記憶體上取得快取命中。若是，流程走至步驟

220，在步驟 220，硬體將選定之映射頁複製至第一層次快取記憶體 (FLC)，複寫韌體所識別的替換映射頁。然後如先前實行步驟 210 及步驟 212。

【0060】 若判定在第二快取記憶體上快取未中（例如，選定之映射頁並未留駐於第二快取記憶體），則流程跟隨標示「A」至圖 9B，圖 9B 中硬體採取二個並行路徑。

【0061】 第一路徑開始於步驟 222，在步驟 222 硬體存取第一層次映射 (FLM) 138 以定位選定之映射頁的快閃記憶體位址（參照圖 6）。在步驟 224，硬體將快閃記憶體位址連同從快取記憶體位址之位置擷取之選定映射頁的請求供給至後端處理器 190。在步驟 226 接收所擷取之映射頁。

【0062】 第二路徑開始於步驟 228，在步驟 228，硬體選定第二層次快取記憶體 (SLC) 182 中之潛在替換位置（實體位址）以容納從快閃記憶體擷取之映射頁。如上所述，此可利用 FIFO 列表 188 或類似資料結構來實現。在步驟 230，硬體搜尋反向表 186 以識別哪個映射頁位於替換位置，並搜尋第一層次快取記憶體 (FLC) 180 以判定是否此映射頁位於第一快取記憶體。若是，決定步驟 234，選定新的潛在替換位置並且重複流程直到找到合適的替換位置候選。

【0063】 之後，二個路徑在步驟 236 會聚，在步驟 236，硬體將從快閃記憶體擷取之選定之映射頁複製至潛在替換映射頁中的候選替換位置，且程序跟隨標示「B」回至圖 9A 用於執行步驟 220、步驟 210、及步驟 212。

【0064】 應注意，若硬體經組態以實際執行第二快取記憶體中之逐出，則第二快取記憶體之內容的管理可視為在硬體的控制之下。替代地，第一快取記憶體及第二快取記憶體兩者之管理可由處理器（韌體）維持，致使韌體作出最終判定。在兩個例子中，通知是由硬體傳至第二快取記憶體中候選替換映射頁的韌體。

【0065】 可見到，在第二快取記憶體中維持部分映射可顯著地增強映射頁至第一快取記憶體的載入，因為後端處理器不須涉入從快閃記憶體擷取映射頁。即使韌體最終決定哪些映射頁留在第二快取記憶體中，由硬體表使用反向表的評估可顯著地減少韌體作判定上的工作負擔。

【0066】 上列敘述已將可程式化處理器設想為直接將尋找指令傳遞給硬體電路，但並非必需。其他實施例將指令處理設想為使用額外非可程式化硬體，使得硬體與硬體在處理中對話，儘管是在高層次韌體的控制下。

【0067】 如上所述，硬體電路可經組態以從快閃記憶體直接擷取所請求之映射頁，而非發送請求至後端處理器（後端處理器可係與核心處理器相同之處理器）。

【0068】 雖然已將使用者資料視為尋找指令的對象，但亦可擷取其他形式的資料，例如描述系統狀態的後設資料，例如但不侷限於與系統中之使用者資料有關的資訊。

【0069】 硬體電路的一態樣係自動從第二快取記憶體選定逐出之適合候選的第二快取記憶體項目的能力。反向表可採取任何合適的格

式以識別此類候選，並可包括可提供所需資訊的鏈結列表或某其他簡單結構。因此，參考反向表未必侷限於一真實查找表，而可以是適合執行如上述按位址在第二快取記憶體中識別映射頁的後設資料的任何形式。在其他實施例中，逐出的候選可由硬體電路識別，且硬體電路可實際自動管理逐出而未必要通知可程式化處理器，諸如此類。

【0070】 現在將了解到在本文中揭示的各種實施例可提供若干優點。使用一卸載硬體電路系統以在多層次快取記憶體中管理映射資料可以顯著地加速映射載入功能並增加處理器效率。雖然各種顯示例已設想具有快閃記憶體之固態硬碟的環境，但亦容易使用其他構形，包括不同形式的儲存記憶體、不同數目的快取記憶體等。

【0071】 須了解的是，儘管上列敘述中已提出本揭露之各種實施例的眾多特徵及優點連同本揭露之各種實施例的結構及功能的細節，但此詳細說明僅是說明性，且可在細節上、尤其本揭露之原理內之部件之結構及配置方面作出改變，其變化範圍達表述附加之申請專利範圍所用之用語的廣泛通用意義所指示的全範圍。

【符號說明】

【0072】

100...資料儲存裝置

102...控制器

104...記憶體模組

110...固態硬碟/裝置/資料儲存裝置

112...主機 I/F 控制器電路/控制器

- 114...核心控制器電路/控制器
- 116...裝置 I/F 控制器電路/控制器/後端控制器
- 118...快閃記憶體
- 120...SRAM 記憶體
- 122...DDR 記憶體
- 124...核心處理器/處理器
- 126...映射硬體輔助管理器電路/MHA 管理器
- 128...本機記憶體/本機核心記憶體
- 130...韌體程式
- 132...系統映射/映射結構/映射
- 134...映射表
- 138...第一層次映射
- 140...第二層次映射
- 142...第二層次映射項目
- 144...邏輯區塊位址欄
- 146...實體區塊位址欄
- 148...位移欄
- 150...狀態欄
- 152...映射頁
- 162...第一層次映射項目/FLME/項目
- 164...映射頁 ID 欄
- 166...PBA 欄/欄

- 168...位移欄
- 170...狀態欄
- 180...第一層次快取記憶體/第一快取記憶體
- 182...第二層次快取記憶體
- 184...正向表
- 186...反向表
- 188...先進先出列表
- 190...後端處理器
- 200...資料處理程序
- 202...步驟
- 204...步驟
- 206...步驟
- 208...步驟
- 210...步驟
- 212...步驟
- 214...步驟
- 216...步驟
- 218...步驟
- 220...步驟
- 222...步驟
- 224...步驟
- 226...步驟

228...步驟

230...步驟

232...步驟

234...步驟

236...步驟

I673608

發明摘要

※ 申請案號：

※ 申請日：

※IPC分類：

【發明名稱】 使用反向快取表的基於硬體之映射加速HARDWARE BASED MAP ACCELERATION USING
A REVERSE CACHE TABLE**【中文】**

用於管理資料儲存裝置中之映射資料的設備及方法。可程式化處理器發送尋找指令以定位映射結構之所請求之映射頁並將其放置至第一快取記憶體以服務所接收之主機指令。非可程式化硬體電路搜尋一正向表以判定所請求之映射頁是否在第二快取記憶體中，且若是，則將映射頁載入至第一快取記憶體。若否，硬體電路從後端處理器請求所請求之映射頁，後端處理器從非揮發性記憶體(NVM)（諸如快閃記憶體陣列）擷取所請求之映射頁。硬體電路搜尋反向表及第一快取記憶體以在第二快取記憶體中選定一候選位址用於從 NVM 擷取的所請求之映射頁，並引導所請求之映射頁之副本儲存於候選位置。

【英文】

Apparatus and method for managing map data in a data storage device. A programmable processor issues a find command to locate and place a requested map page of a map structure into a first cache to service a received host command. A non-programmable hardware circuit

searches a forward table to determine whether the requested map page is in a second cache, and if so, loads the map page to the first cache. If not, the hardware circuit requests the requested map page from a back end processor which retrieves the requested map page from a non-volatile memory (NVM), such as a flash memory array. The hardware circuit searches a reverse table and the first cache to select a candidate location in the second cache for the retrieved requested map page from the NVM, and directs the storage of a copy of the requested map page at the candidate location.

【代表圖】

【本案指定代表圖】

圖 1

【本代表圖之符號簡單說明】

100...資料儲存裝置

102...控制器

104...記憶體模組

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】

無

圖式

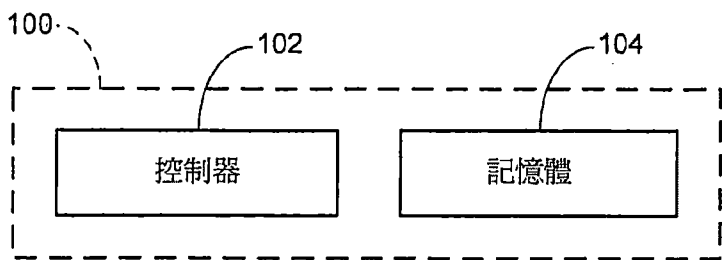


圖1

固態硬碟(SSD)

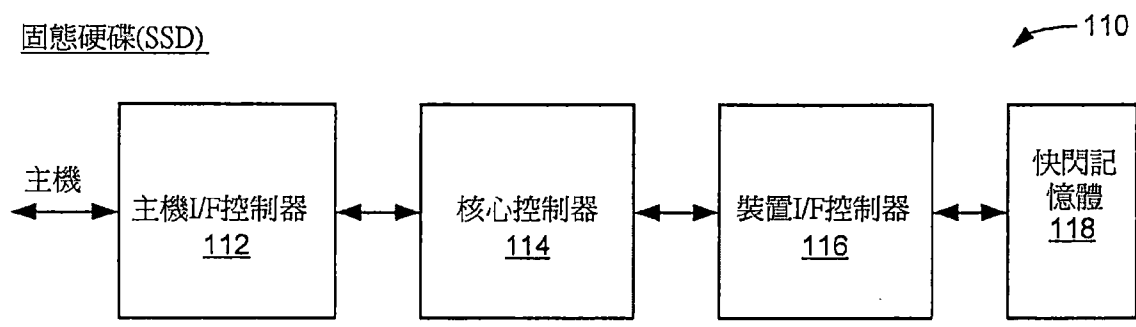


圖2

核心控制器

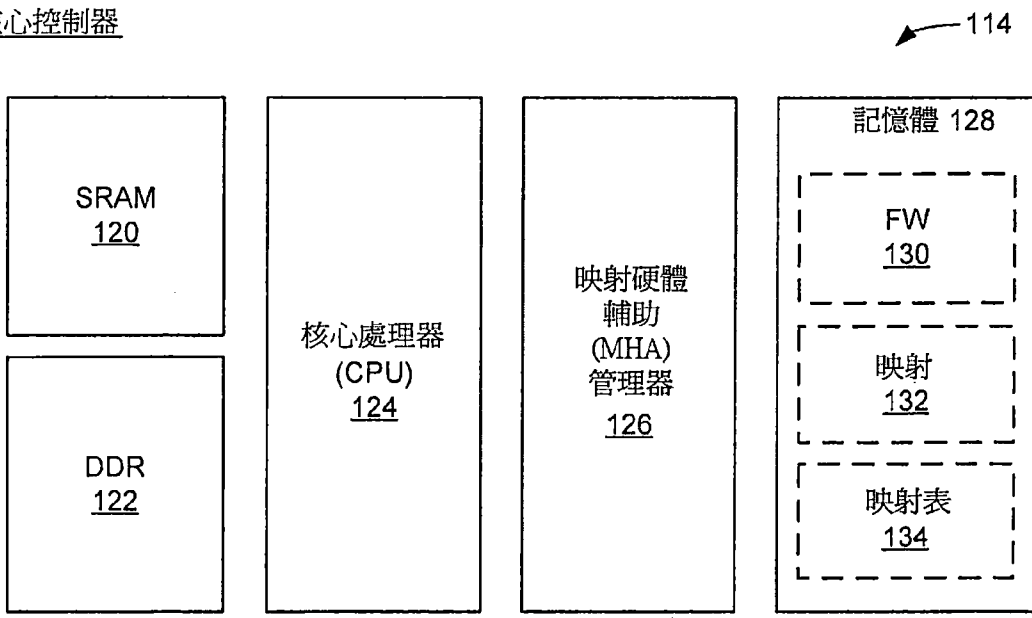


圖3

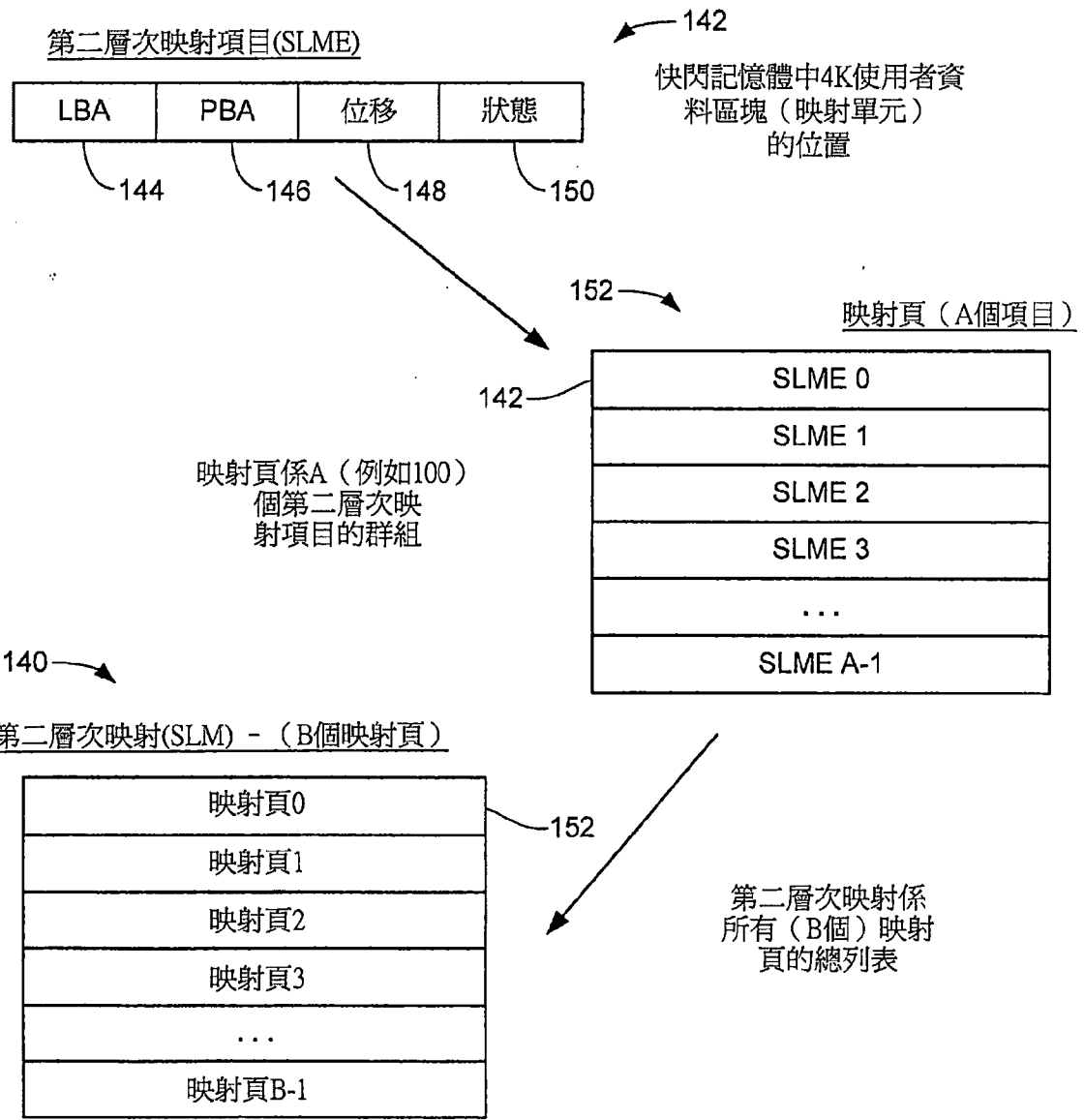
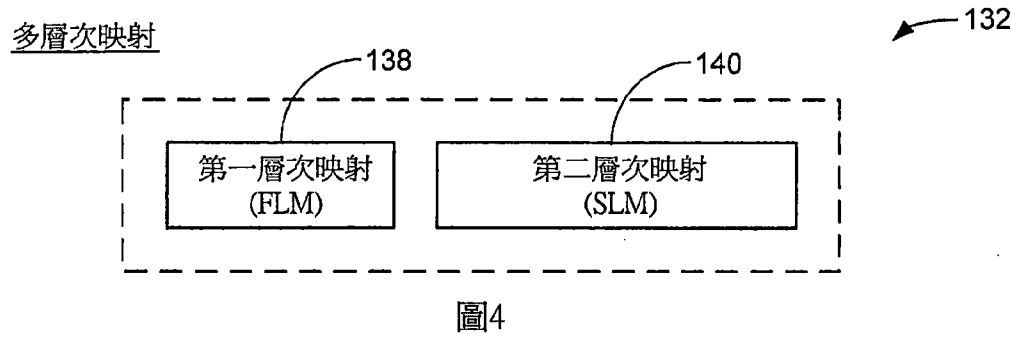


圖5

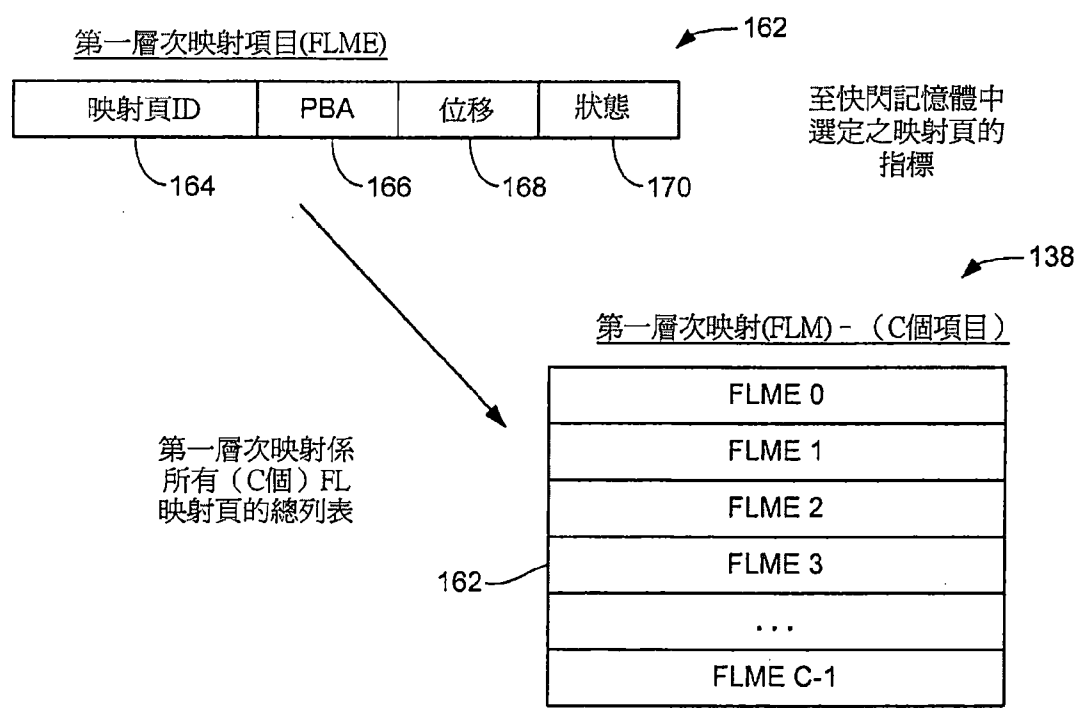


圖6

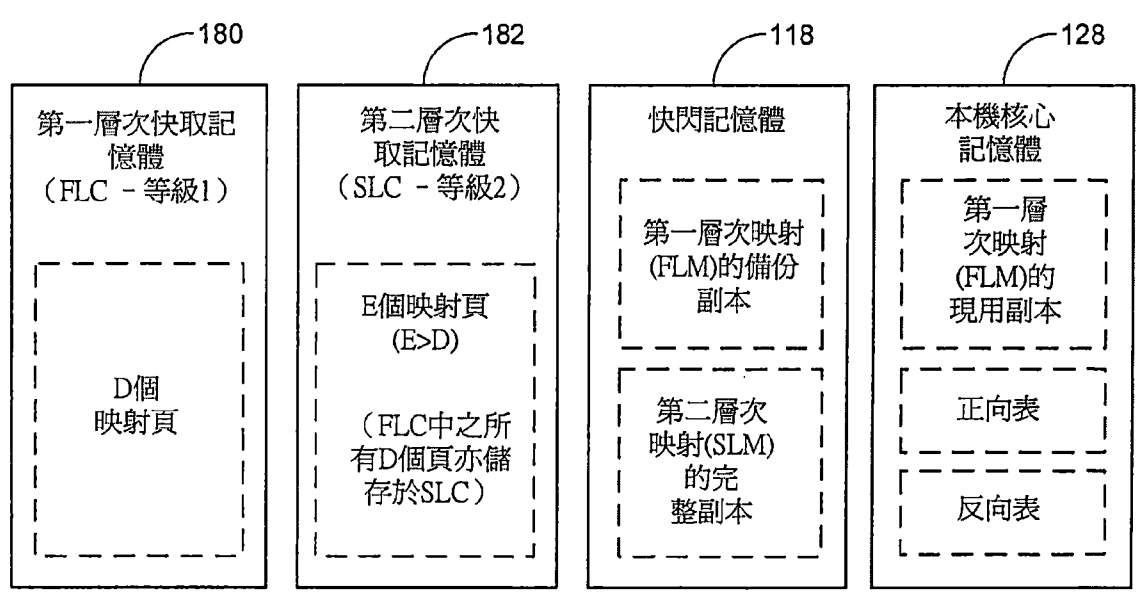


圖7

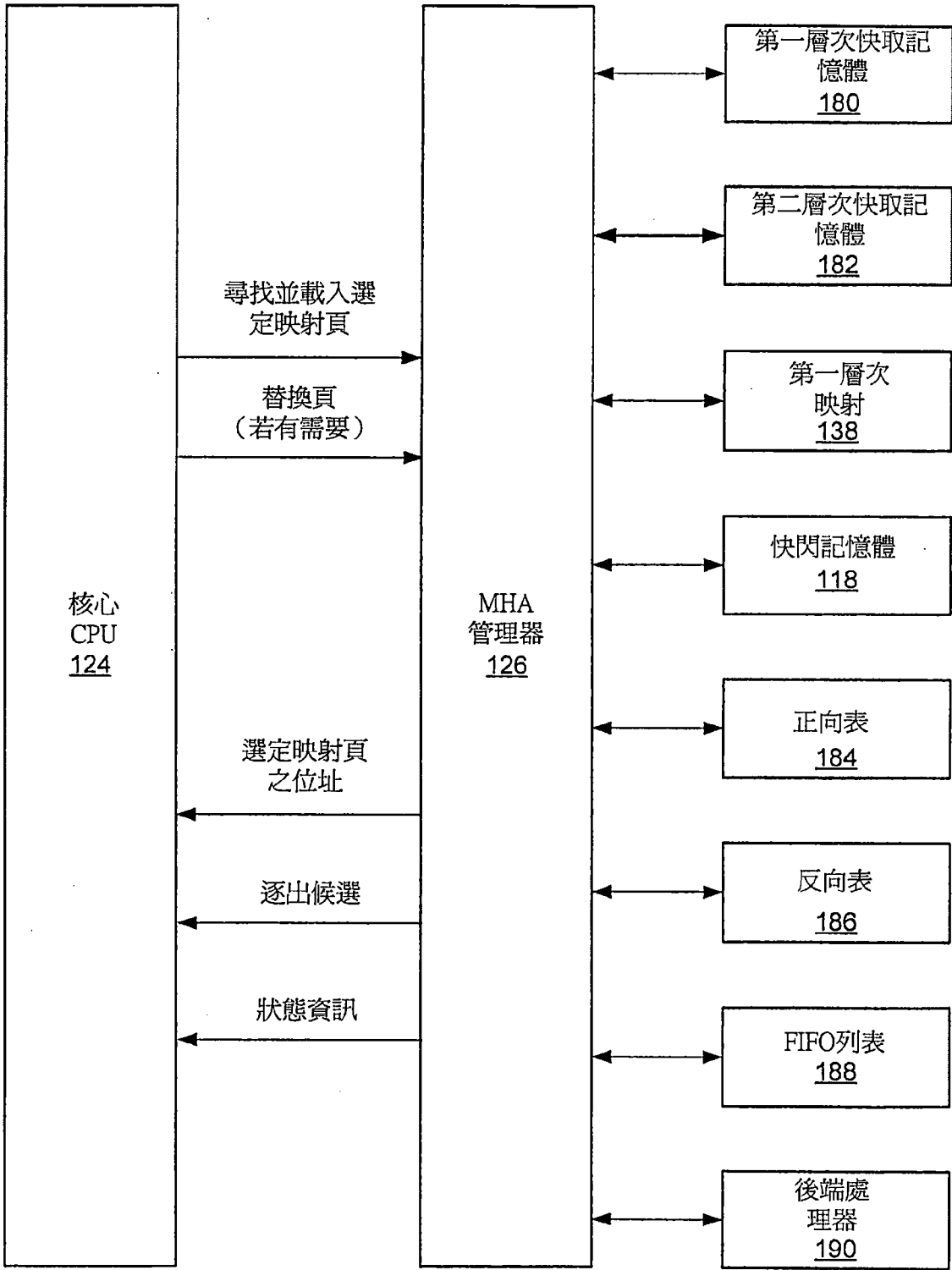


圖8

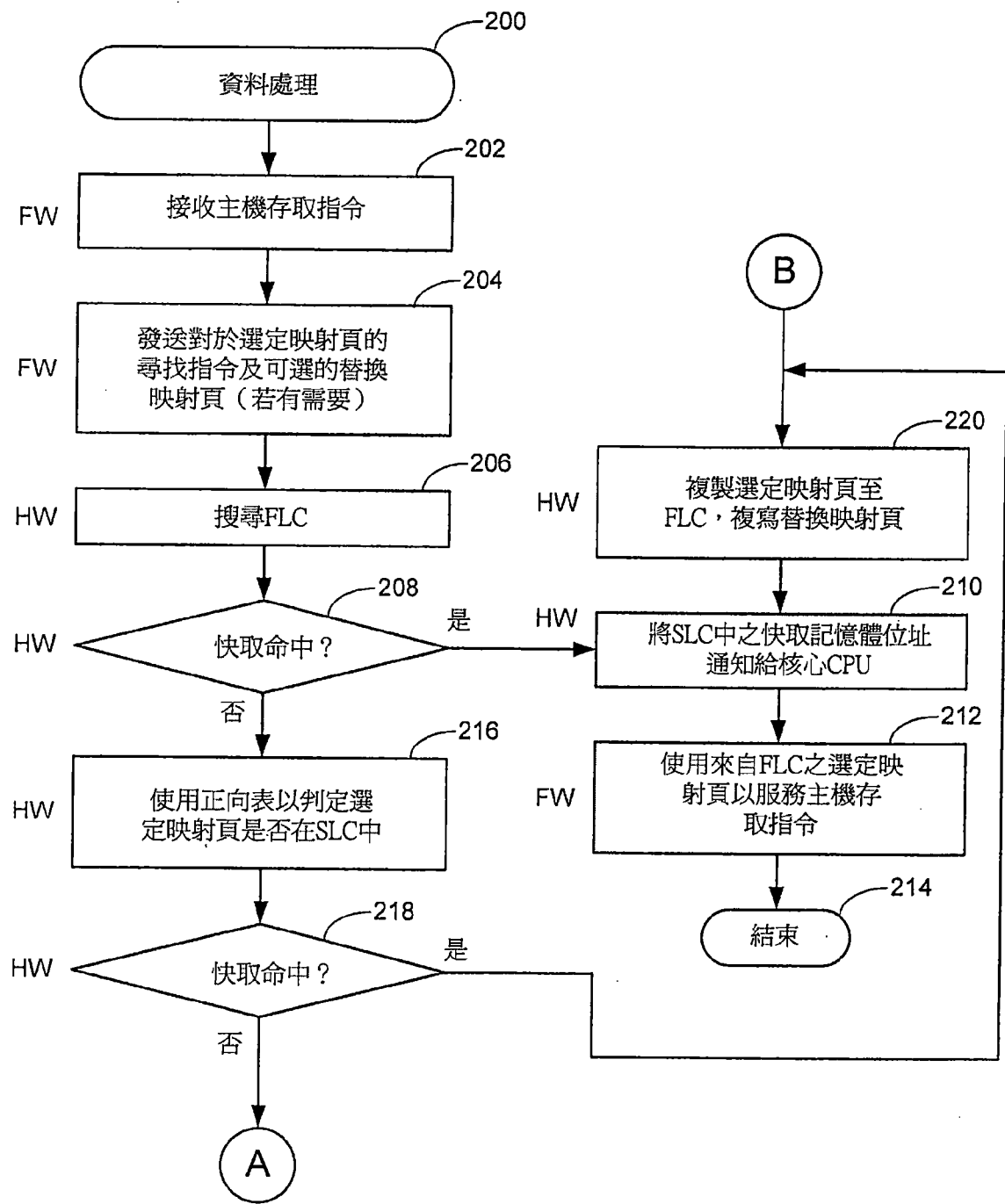


圖9A

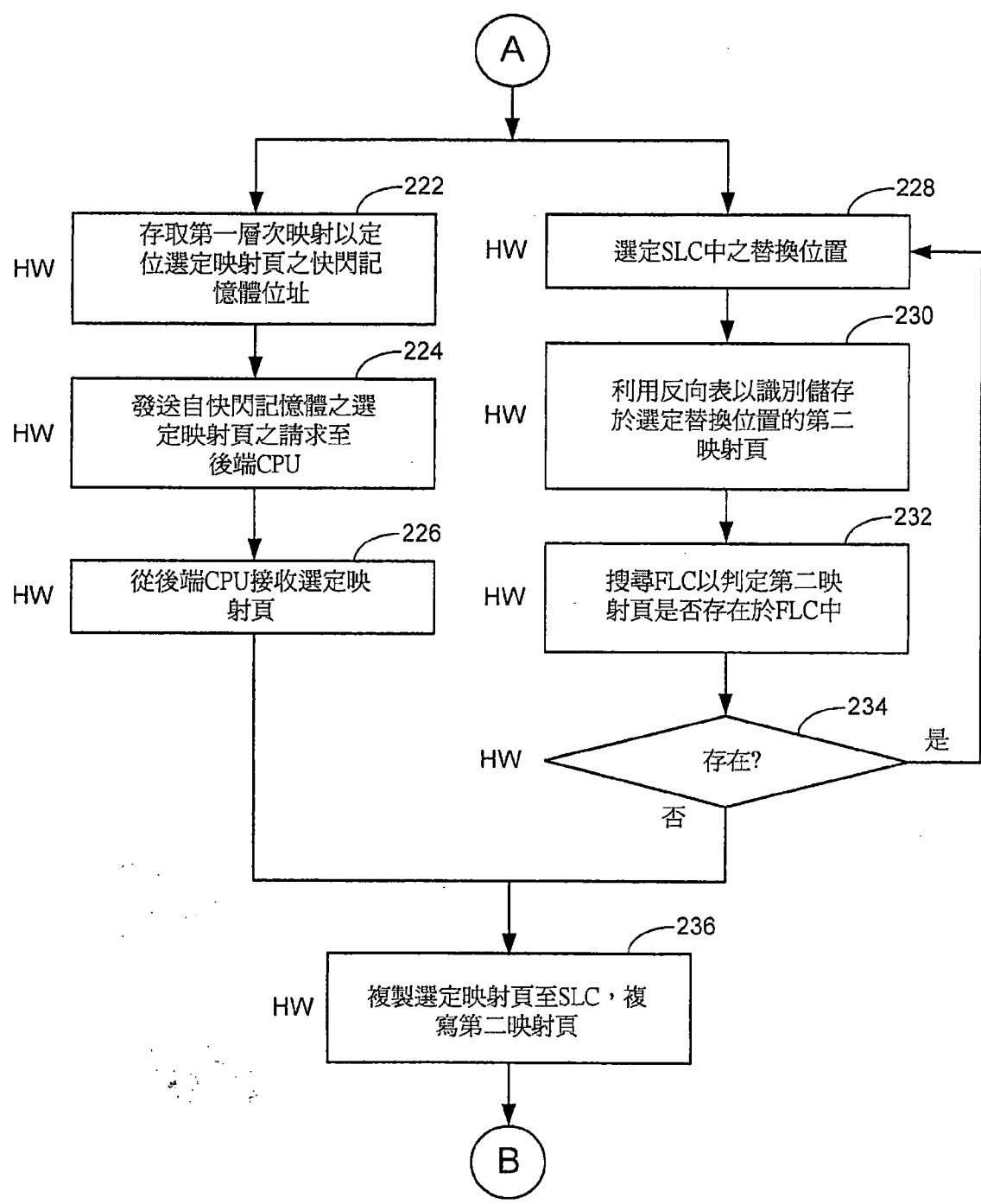


圖9B

申請專利範圍

1. 一種資料儲存設備，其包含：

- 一映射結構，其於一非揮發性記憶體(NVM)中儲存為複數個映射頁，
該複數個映射頁將使用者資料區塊之邏輯位址與該等使用者區
塊儲存於其中之該 NVM 中的實體位址關聯起來；
- 一第一快取記憶體，其儲存該等映射頁之一第一子集的一副本，該
等映射頁被儲存於該 NVM；
- 一第二快取記憶體，其儲存該等映射頁之該第一子集的一副本以及
該等映射頁之一第二子集的一副本，該等映射頁儲存於該
NVM；
- 一可程式化處理器，其具有儲存於一關聯之記憶體中的程式，當執
行該程式時，發送一尋找指令以定位與一所接收之主機指令關
聯的一所請求之映射頁並將該所請求之映射頁放置進該第一快
取記憶體；及
- 一非可程式化硬體電路，其經組態以回應於該尋找指令而引導該所
請求之映射頁從該 NVM 之一擷取、存取一記憶體中之一反向
表(reverse table)以識別儲存於該第二快取記憶體之一選定實體
位址的一潛在替換映射頁、並回應於該非可程式化硬體電路判
定該潛在替換映射頁未於該第一快取記憶體中之該等映射頁之
該第一子集中而引導該所請求之映射頁之一副本至該第二快取
記憶體之該選定實體位址的一寫入。

2. 如請求項 1 之設備，其進一步包含該第二快取記憶體中之實體位址的一先進先出(FIFO)列表，該 FIFO 列表作為一記憶體中之一資料結構，該非可程式化硬體電路進一步經組態以從該 FIFO 列表選定一第一實體位址為該選定實體位址、索引該反向表以將該潛在替換映射頁識別為儲存於該第一實體位址之一第一映射頁、並搜尋該第一快取記憶體以判定該第一映射頁並非儲存於該第一快取記憶體中之映射頁之該第一子集的一成員。
3. 如請求項 2 之設備，其中回應於該非可程式化硬體電路判定該潛在替換映射頁是儲存於該第一快取記憶體中映射頁之該第一子集的一成員，該非可程式化硬體電路進一步經組態以從該 FIFO 列表選定一第二實體位址為該選定實體位址、索引該反向表以將該潛在替換映射頁識別為儲存於該第二實體位址之一第二映射頁、並搜尋該第一快取記憶體以判定該第二映射頁並非儲存於該第一快取記憶體中之映射頁之該第一子集的一成員。
4. 如請求項 1 之設備，其中該非可程式化硬體電路藉由執行該所請求之映射頁之一副本至該第二快取記憶體之該選定實體位址的該寫入，引導該所請求之映射頁之該副本至該第二快取記憶體之該選定實體位址的該寫入。
5. 如請求項 1 之設備，其中該非可程式化硬體電路藉由提供該選定實體位址之一通知至該可程式化處理器，引導該所請求之映射頁之一副本至該第二快取記憶體之該選定實體位址的該寫入，其後係藉由

該可程式化處理器之該所請求之映射頁之該副本至該選定實體位址的該寫入。

6. 如請求項 1 之設備，其中該反向表係一轉換表，該轉換表藉由該第二快取記憶體中之實體位址來關聯邏輯位址，使得藉由將該第二快取記憶體之一選定實體位址輸入至該反向表，該反向表指示儲存於彼選定實體位置的對應的該映射頁。
7. 如請求項 1 之設備，其中該非可程式化硬體電路進一步經組態以搜尋一記憶體中之一正向表(forward table)，該正向表係儲存為一資料結構，該資料結構係配置為一轉換表，該轉換表將該第二快取記憶體中之實體位址關聯至與該等映射頁關聯之邏輯位址，使得藉由將一選定邏輯位址輸入至該正向表，該正向表指出與該選定邏輯位址關聯之該映射頁儲存於其中之該第二快取記憶體中的對應之該選定實體位址。
8. 如請求項 1 之設備，其中該非可程式化硬體電路進一步經組態以回應於該尋找指令且回應於該第一快取記憶體之一快取命中，而搜尋該第一快取記憶體並將該所請求之映射頁儲存於其中之該第一快取記憶體的一實體位址通知該可程式化處理器。
9. 如請求項 1 之設備，其中該可程式化處理器進一步經組態以將該第一快取記憶體中之一第二潛在替換映射頁結合該尋找指令識別至該非可程式化硬體電路，其中該非可程式化硬體電路進一步經組態以用該所請求之映射頁複寫該第一快取記憶體中之該第二潛在替換映射頁。

10. 如請求項 1 之設備，其中該可程式化處理器係一核心可程式化處理器，該核心可程式化處理器提供一資料儲存裝置之整體處理控制，且該設備進一步包含一後端可程式化處理器，該後端可程式化處理器具有儲存於一關聯之記憶體中的程式，並經組態以引導程式化及讀取操作以在該 NVM 與一緩衝記憶體之間傳輸資料，其中該非可程式化硬體電路進一步經組態以回應於該第二快取記憶體對於該所請求之映射頁的一快取未中，而發送一讀取請求至該後端可程式化處理器以從該 NVM 擷取該所請求之映射頁。
11. 如請求項 1 之設備，其中回應於一正向表指示該所請求之映射頁係於該第二快取記憶體中而根據該所請求之映射頁在該第二快取記憶體中的位置，該非可程式化硬體電路進一步經組態以執行下列之至少一選定者：將該所請求之映射頁從該第二快取記憶體複製至該第一快取記憶體、或將識別該所請求之映射頁在該第二快取記憶體中之實體位置的一指標提供至該可程式化記憶體。
12. 一種資料儲存裝置，其包含：
- 一非揮發性記憶體(NVM)，其儲存一映射結構，該映射結構經配置為總數個映射頁，該總數個映射頁將使用者資料區塊之邏輯位址與該等使用者資料區塊儲存於其中之該 NVM 的實體位址關聯起來；
 - 一第一快取記憶體，其儲存少於該總數之第一數量個映射頁；
 - 一第二快取記憶體，其儲存少於該總數之第二數量個映射頁，該第二數量個映射頁包括該第一數量個映射頁之各者；

- 一正向表，其儲存為一記憶體中之一資料結構，該資料結構識別與儲存於該第二快取記憶體中之該第二數量個映射頁之各者關聯的邏輯位址；
- 一反向表，其儲存為一記憶體中之一資料結構，該資料結構識別該第二數量個映射頁之各者儲存於其中之該第二快取記憶體的實體位址；
- 一可程式化處理器，其具有儲存於關聯之一記憶體中的程式，經組態以回應於從一主機接收一主機存取指令而發送一尋找指令以尋找一所請求之映射頁；及
- 一硬體電路，其表徵為一非基於處理器之映射硬體輔助管理器電路，經組態以：
 - 回應於該尋找指令，而搜尋該第一快取記憶體並將該所請求之映射頁儲存於其中之該第一快取記憶體的一實體位址通知該可程式化處理器；
 - 回應於該第一快取記憶體之一快取未中而搜尋該正向表，並回應於該正向表指示該所請求之映射頁係於該第二快取記憶體中而將該所請求之映射頁從該第二快取記憶體複製至該第一快取記憶體；及
 - 回應於該第二快取記憶體之一快取未中而搜尋該反向表以識別儲存於該選定實體位址的一第二映射頁、搜尋該第一快取記憶體以判定該第二映射頁未儲存在該第一快取記憶體中、

並將該潛在替換映射頁作為從該第二快取記憶體逐出之一候選而識別至該可程式化處理器。

13. 如請求項 12 之資料儲存裝置，其中該可程式化處理器進一步經組態以將該第一快取記憶體中之一潛在替換映射頁結合該尋找指令識別至該非可程式化硬體電路，其中該硬體電路進一步經組態以用該所請求之映射頁複寫該第一快取記憶體中之該潛在替換映射頁。
14. 如請求項 12 之資料儲存裝置，其中該可程式化處理器係一核心可程式化處理器，該核心可程式化處理器提供一資料儲存裝置之整體處理控制，且該資料儲存裝置進一步包含一後端可程式化處理器，該後端可程式化處理器具有儲存於一關聯之記憶體中的程式，並經組態以引導程式化及讀取操作以在該主記憶體與一緩衝記憶體之間傳輸資料，其中該硬體電路進一步經組態以回應於該第二快取記憶體對於該所請求之映射頁的一快取未中而存取該映射結構以識別該所請求之映射頁位於其中之該主記憶體中的一主記憶體實體位置，並將該主記憶體實體位置結合至該後端可程式化處理器的一讀取請求供應至該後端處理器以從該主記憶體擷取該所請求之映射頁。
15. 如請求項 12 之資料儲存裝置，其進一步包含一先進先出(FIFO)列表，該 FIFO 列表作為一本機記憶體中之一資料結構，該資料結構由該硬體電路存取以將該第二快取記憶體中之該選定實體位址識別為至該反向表之一輸入，該 FIFO 列表以最近最少使用(LRU)為基礎配置該第二快取記憶體中之位置。

16.如請求項 12 之資料儲存裝置，其中該映射結構包含一多層次映射，該多層次映射包含一第一層次映射及一第二層次映射，該第二層次映射儲存於該主記憶體並包含複數個映射頁，該複數個映射頁包括該所請求之映射頁，該第一層次映射包含識別該複數個映射頁儲存於該主記憶體中之實體位置的項目，且其中第一數量個之該第二層次映射之該等映射頁儲存於該第一快取記憶體，第二、較大數量個之該第二層次之該等映射頁儲存於該第二快取記憶體，且儲存於該第一快取記憶體的各映射頁亦儲存於該第二快取記憶體。

17.如請求項 12 之資料儲存裝置，其表徵為一固態硬碟(SSD)，其中該主記憶體包含一快閃記憶體陣列。

18.一種資料儲存方法，包含：

由一可程式化處理器發送一尋找指令以定位一映射結構之一所請求之映射頁並將該所請求之映射頁放置進一第一快取記憶體以服務一所接收之主機指令，該可程式化處理器具有儲存於一關聯之記憶體中的程式，該所請求之映射頁將一使用者資料區塊之一邏輯位址與該使用者資料區塊儲存於其中之一非揮發性記憶體(NVM)中的一實體位址關聯起來；

使用一非可程式化硬體電路以：

回應於一正向表指示該所請求之映射頁係於一第二快取記憶體中並回應於該第一快取記憶體之一快取未中，而搜尋該正向表並將該所請求之映射頁從該第二快取記憶體複製至該第一快取記憶體，該正向表係作為一資料結構儲存於一記

憶體，該資料結構識別與儲存於該第二快取記憶體之該映射結構之複數個映射頁之各者關聯的邏輯位址；及

識別該第二快取記憶體中之一選定實體位址，搜尋一反向表以識別儲存於該選定實體位址之一潛在替換映射頁，搜尋該第一快取記憶體以判定該潛在替換映射頁是不儲存於該第一快取記憶體，並引導該所請求之映射頁至該第二快取記憶體中之該選定實體位址的複寫。

19. 如請求項 18 之方法，其進一步包含使用該非可程式化硬體電路以回應於該尋找指令且回應於該第一快取記憶體之一快取命中而搜尋該第一快取記憶體並將該所請求之映射頁儲存於其中之該第一快取記憶體的一實體位址通知該可程式化處理器。
20. 如請求項 18 之方法，其進一步包含操作該非可程式化硬體電路以：
回應於該第二快取記憶體對於該所請求之映射頁的一快取未中而存取該映射結構以識別該所請求之映射頁位於其中之該 NVM 中的一實體位置，並將該實體位置連同一讀取請求供應至一後端處理器以從該 NVM 擷取該所請求之映射頁，該後端處理器包含一第二可程式化處理器，該第二可程式化處理器具有儲存於一記憶體中的關聯之程式以將資料程式化至該 NVM 及從該 NVM 讀取資料。