



(12) **Patentschrift**

(21) Aktenzeichen: **10 2009 012 767.4**
(22) Anmeldetag: **12.03.2009**
(43) Offenlegungstag: **16.09.2010**
(45) Veröffentlichungstag
der Patenterteilung: **23.05.2013**

(51) Int Cl.: **H02M 3/156 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**Texas Instruments Deutschland GmbH, 85356,
Freising, DE**

(72) Erfinder:
**Wicht, Bernhard, 80803, München, DE; Kulkarni,
Sumeet Prakash, 80797, München, DE; Herzer,
Stefan, 98693, Ilmenau, DE; Neidhardt, Jochen,
80992, München, DE**

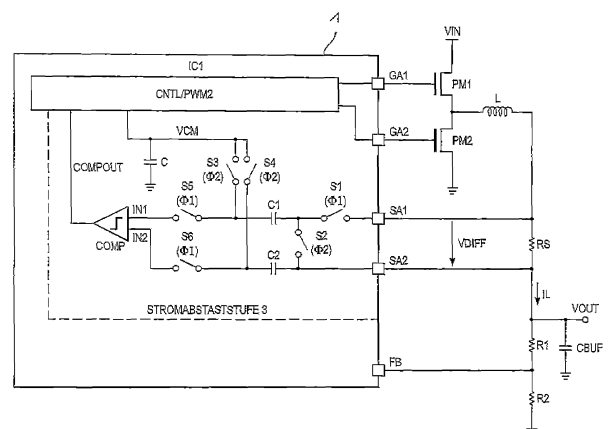
(74) Vertreter:
**Prinz & Partner Patentanwälte Rechtsanwälte,
80335, München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
siehe Folgeseiten

(54) Bezeichnung: **Geschaltete Spannungsversorgung mit Stromabtastung**

(57) Hauptanspruch: Elektronische Vorrichtung zur geschalteten DC-DC-Umwandlung, die eine Stufe (3) zum Abtasten eines Ausgangsstroms (IL), der eine Spannungsdifferenz (VDIFF) zwischen einem ersten (IN1) und einem zweiten Knoten (IN2) verursacht, umfasst, wobei die Stromabtaststufe (3) einen Komparator (COMP) zum Bestimmen einer Größe des Ausgangsstromes (IL) umfasst, dadurch gekennzeichnet, dass der Komparator (COMP) kapazitiv mit einem ersten Eingang (IN1) an den ersten Knoten (SA1) und mit einem zweiten Eingang (IN2) an den zweiten Knoten (SA2) gekoppelt ist, wobei der Komparator (COMP) die Größe der Spannungsdifferenz (VDIFF) detektiert und ein entsprechendes Ausgangssignal bereitstellt, ein erster Kondensator (C1) in Serie zum ersten Eingang (IN1) des Komparators (COMP) und ein zweiter Kondensator (C2) in Serie zu dem zweiten Eingang (IN2) des Komparators (COMP) gekoppelt ist, ein erster Schalter (S1) zwischen eine erste Seite des ersten Kondensators (C1) und den ersten Knoten (SA1) und ein zweiter Schalter (S2) zwischen die erste Seite des ersten Kondensators (C1) und eine erste Seite des zweiten Kondensators (C2) gekoppelt ist, um abwechselnd die erste Seite des ersten Kondensators (C1) an den ersten Knoten (SA1) oder an die erste Seite des zweiten Kondensators (C2) anzuschließen, wobei die elektronische Vorrichtung ferner umfasst, einen fünften Schalter (S5), der zwischen die zweite Seite des ersten Kondensators (C1) und den ersten Eingang (IN1) des Komparators (COMP) gekoppelt ist, und einen sechsten Schalter (S6), der zwischen die zweite Seite des zweiten Kondensators (C2) und den zweiten Eingang (IN2) des Komparators (COMP) gekoppelt ist, um die Eingänge des Kom-

parators (COMP) während einer Auffrischungsperiode abzukoppeln.



(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE	42 15 444	A1
DE	199 29 034	A1
US	2008 0157841	A1
US	2008 0197823	A1
US	2004 / 0 183 769	A1
US	2006 / 0 062 026	A1
US	2007 / 0 002 134	A1
US	2007 / 0 091 979	A1
US	2007 / 0 274 015	A1
US	2008 / 0 203 997	A1
US	3 171 977	A

Beschreibung

GEBIET DER ERFINDUNG

[0001] Die Erfindung betrifft eine elektronische Vorrichtung und ein Verfahren für geschaltete DC-DC-Umwandlung, und insbesondere Abwärts-, Aufwärts- oder Abwärts/Aufwärts-DC-DC-Wandler und ein Verfahren zum Betreiben eines Abwärts-, Aufwärts oder Abwärts/Aufwärts-DC-DC-Wandlers.

HINTERGRUND

[0002] DC-DC-Wandler, die als Aufwärts- oder Abwärts oder Abwärts/Aufwärts-Wandler konfiguriert sind, können Spannungs- oder Stromabtastmodi einsetzen, um die Größe einer Ausgangsspannung oder eines Ausgangsstromes zu bestimmen. In einem Stromabtastmodus kann der DC-DC-Wandler einen Ausgangsstrom mit einem Shunt-Widerstand abtasten, der in Serie in den Ausgangspfad geschaltet ist. Der Ausgangsstrom verursacht einen Spannungsabfall über den Shunt-Widerstand. Die Anschlüsse des Shunt-Widerstands werden an einen Verstärker angeschlossen, dessen Ausgangssignal verwendet werden kann, um DC-DC-Umwandlungsparameter zu steuern.

[0003] **Fig. 1** zeigt einen vereinfachten Schaltplan eines herkömmlichen DC-DC-Wandlers. Hier ist ein integrierter Schaltkreis IC vorgesehen, der eine Steuerstufe CNTL zum Erzeugen von Steuersignalen GA1, GA2 für die Leistungs-MOSFETs PM1 und PM2 vorsieht. PM1 wird auch als High-Side (HS) MOSFET und PM2 als Low-Side (LS) MOSFET bezeichnet. PM1 und PM2 werden jeweils von einem HS- und einem LS-Treiber angetrieben. Durch die Power-MOSFETs PM1 und PM2 wird eine Ausgangsinduktivität L abwechselnd mit einer Seite zur Eingangsspannung (primäre Versorgungsspannung) und Masse geschaltet. Eine Ausgangsspannung VOUT wird generiert, die höher (Aufwärtsmodus) oder niedriger (Abwärtsmodus) sein kann als der Eingangsspannungspegel VIN. Die Ausgangsspannung VOUT wird gebuffert auf einem Bufferkondensator CBUF. Der Ausgangsspannungspegel kann durch einen Spannungsteiler R1, R2 abgetastet und an die Kontrollstufe CNTL zurückgeführt werden, um die Schaltparameter für die Power-MOSFETs PM1, PM2 einzustellen, um eine stabile Ausgangsspannung VOUT eines bestimmten gewünschten Spannungspegels bereitzustellen.

[0004] Eine Last (nicht dargestellt) kann an den Ausgangsknoten VOUT gekoppelt werden und ein Ausgangsstrom IL kann an die Last geliefert werden. Der Ausgangsstrom IL verursacht einen Spannungsabfall über dem Abtast-(oder Shunt-)Widerstand RS, der in Serie zu der Ausgangsinduktivität L gekoppelt ist. Die Spannungsdifferenz zwischen den Pins SA1 und SA2 wird mit einem Verstärker AMP abgetastet. Der Verstärker AMP verstärkt die Spannungsdifferenz und stellt der Steuerstufe CNTL ein Ausgangssignal bereit, das dann ebenfalls dazu verwendet werden kann, die Schaltparameter der Power-MOSFETs PM1, PM2 zu steuern. Solch ein Steuerparameter kann die Taktperiode oder das Verhältnis der AN-Dauer und der AUS-Dauer eines pulsbreitenmodulierten (PWM) Steuersignals sein. Dies kann verwendet werden, um die Power-MOSFETs PM1, PM2 zu schalten. Herkömmliche Verstärker, die zum Stromabtasten verwendet werden, haben jedoch einen begrenzten Gleichtaktbereich, signifikante Offsets, die sich auch noch mit dem Gleichakteingangsspannungspegel ändern und geringe Eingangsimpedanzwerte, was die Stromabtastung aufgrund eines endlichen Eingangsstromes durch die Anschlüsse SA1 und SA2 des Verstärkers AMP negativ beeinflussen kann.

[0005] Dokument US 2008/0197823 A1 zeigt eine elektronische Vorrichtung zur geschalteten DC-DC Umwandlung. Diese umfasst eine Stufe zum Abtasten eines Ausgangsstroms, der eine Spannungsdifferenz zwischen einem ersten und einem zweiten Knoten verursacht. Außerdem umfasst die Stromabtaststufe einen Komparator zur Bestimmung einer Größe des Ausgangsstroms.

[0006] Die Dokumente DE 199 29 034 A1, DE 42 15 444 A1 und US 2007/0002134 A1 betreffen Maßnahmen zur Pegelanpassung. Die DE 199 29 034 A1 zeigt einen Entkopplungskondensator zwischen zwei Verstärkerstufen. Aus der DE 42 15 444 A1 geht eine integrierte Schaltungsanordnung mit einer Analogstufe und einer Digitalstufe hervor, wobei eine Entkopplungskondensator zur Pegelanpassung zwischen der Analogstufe und der Digitalstufe verwendet wird. Schließlich zeigt die US 2007/0002134 A1 einen Entkopplungskondensator, der in eine Signalleitung integriert ist, auf welcher ein Ausgangssignal eines Vorverstärkers an einen integrierten Schaltkreis weitergegeben wird.

KURZZUSAMMENFASSUNG

[0007] Es ist eine Aufgabe der vorliegenden Erfindung, eine elektronische Vorrichtung und ein Verfahren zur DC-DC-Umwandlung bereitzustellen, bei denen Stromabtastung verwendet wird und die eine höhere Genauigkeit aufweisen und weniger komplex sind als herkömmliche DC-DC-Wandler.

[0008] Gemäß einem Aspekt der Erfindung wird eine elektronische Vorrichtung zur geschalteten DC-DC-Umwandlung bereitgestellt, welche eine Stufe zum Abtasten eines Ausgangsstromes, der eine Spannungsdifferenz zwischen einem ersten und einem zweiten Knoten verursacht, umfasst. Die Stromabtaststufe kann einen Komparator umfassen. Ein erster Eingang des Komparators kann kapazitiv mit einem ersten Knoten und ein zweiter Eingang kann kapazitiv mit einem zweiten Knoten gekoppelt sein, um eine Größe des Ausgangsstroms zu bestimmen. Dieser Aspekt der Erfindung kann vorteilhaft verwendet werden, um die hohen Gleichtakt-Anforderungen für den Komparator aufgrund des großen Ausgangsspannungsbereichs der DC-DC-Umwandlung zu überwinden. Ferner kann die kapazitive Kopplung hohe Impedanzen für den ersten und den zweiten Knoten (z. B. die Anschlüsse eines Shunt-Widerstands oder einer Induktivität) bereitstellen. Kapazitive Kopplung kann ebenfalls hochwertige Paarungsgüteeigenschaften verschaffen, was nützlich ist, um den Offset des Komparatoreingangs zu reduzieren.

[0009] Die kapazitive Kopplung kann mit zwei oder mehr Kondensatoren implementiert werden. Ein erster Kondensator kann in Serie mit dem ersten Eingang des Komparators gekoppelt sein. Ein zweiter Kondensator kann in Serie mit dem zweiten Eingang des Komparators gekoppelt sein. Mit anderen Worten wird der erste Kondensator mit einer ersten Seite an den ersten Knoten und mit einer zweiten Seite an den ersten Eingang des Komparators gekoppelt und der zweite Kondensator kann mit einer ersten Seite an den zweiten Knoten und mit einer zweiten Seite an den zweiten Eingang des Komparators gekoppelt werden.

[0010] Die Kondensatoren können vorteilhaft selektiv jeweils mit dem ersten Knoten und dem zweiten Knoten und dem ersten Eingang und dem zweiten Eingang des Komparators gekoppelt werden. Ein erster Schalter kann dann zwischen die erste Seite des ersten Kondensators und den ersten Knoten gekoppelt sein. Ein zweiter Schalter kann zwischen die erste Seite des ersten Kondensators und die erste Seite des zweiten Kondensators gekoppelt werden, um abwechselnd die erste Seite des ersten Kondensators mit dem ersten Knoten oder der ersten Seite des zweiten Kondensators zu verbinden.

[0011] Im Allgemeinen kann die Spannungsdifferenz zwischen dem ersten Knoten und dem zweiten Knoten durch einen Shunt-Widerstand verursacht werden. Allerdings kann der Shunt-Widerstand gemäß einem Aspekt der Erfindung ein parasitärer inhärenter Widerstand der Ausgangsinduktivität sein. Das bedeutet, dass die Spannungsdifferenz zwischen dem ersten Knoten und dem zweiten Knoten an einem Spannungsabfall über der Induktivität aufgrund ihres inhärenten parasitären Widerstandes liegt. Dies ist ein sehr effizienter Weg, den Ausgangsstrom abzutasten, da keine zusätzlichen Komponenten in den Ausgangspfad gekoppelt werden müssen. Die alleinige Verwendung des parasitären Widerstands der Induktivität legt der Stromabtastschaltung jedoch höhere Anforderungen auf, da dieser Widerstand sehr klein ist. Die Ausführungsbeispiele der Erfindung sind in der Lage, diese Probleme zu überwinden.

[0012] Gemäß einem anderen Aspekt der Erfindung können ein dritter Kondensator, ein Widerstand und eine Ausgangsinduktivität vorgesehen sein. Diese zusätzlichen Komponenten können in Kombination mit Aspekten der Erfindung zur Implementierung eines Direktstromwiderstand-(engl. direct current resistance = DCR) Mechanismus verwendet werden. Dies kann eine erhöhte Effizienz verschaffen, da es den Spannungsabfall über einem zusätzlichen Shunt-Widerstand beseitigt. Die Induktivität kann dann eine Ausgangsinduktivität sein, die für die DC-DC-Umwandlung verwendet wird. Eine Reihenschaltung des dritten Kondensators und des Widerstands kann dann parallel mit der Ausgangsinduktivität gekoppelt werden. Der erste Knoten und der zweiten Knoten können dann zum Beispiel die Anschlüsse des Kondensators sein.

[0013] Der Widerstand und der Kondensator können dann so dimensioniert sein, dass sie mit der Zeitkonstanten der Induktivität inklusive eines endlichen Reihenwiderstandes übereinstimmen. Dies kann als $RC = L/DCR$ ausgedrückt werden, wobei DCR der parasitäre Reihenwiderstand der Induktivität, L die Induktivität der Ausgangsinduktivität und R und C der Widerstand und die Kapazität des Kondensators und des Widerstands, die parallel zur Induktivität gekoppelt sind, sind.

[0014] Gemäß einem Aspekt der Erfindung können ein dritter Schalter und ein vierter Schalter vorgesehen und eingerichtet sein, um eine zweite Seite des ersten Kondensators und eine zweite Seite des zweiten Kondensators selektiv mit einem Gleichtaktspannungsknoten zu koppeln. Dies kann eingesetzt werden, um die kapazi-

tive Kopplung auf einen bestimmten Gleichakteingangsbereich des Komparators einzustellen. Während einer Auffrischungsperiode können der erste Kondensator und der zweite Kondensator dann beide mit ihren zweiten Seiten an den Gleichtaktspannungspegel gekoppelt werden. Auch die ersten Seiten der Kondensatoren können dann aneinandergekoppelt werden, um beide Kondensatoren auf denselben Spannungspegel zu setzen. Dies kann verwendet werden, um sicherzustellen, dass die kapazitive Kopplung periodisch initialisiert wird.

[0015] Gemäß einem weiteren vorteilhaften Aspekt der Erfindung kann ein fünfter Schalter zwischen die zweite Seite des ersten Kondensators und den ersten Eingang des Komparators gekoppelt sein. Ein sechster Schalter kann zwischen die zweite Seite des zweiten Kondensators und den zweiten Eingang des Komparators gekoppelt sein. Dieser Aspekt der Erfindung ist in verschiedener Hinsicht vorteilhaft. Während einer Auffrischung der kapazitiven Kopplung können die Eingänge des Komparators von den Kondensatoren entkoppelt werden. Die Eingänge (d. h. die Eingangskapazitäten) des Komparators können dann einen Spannungspegel aufrechterhalten, anstatt von der Auffrischung der Kondensatoren, die für die kapazitive Kopplung verwendet werden, beeinträchtigt zu werden. Dieser Aspekt kann insbesondere angewendet werden, wenn sich die Spannungsdifferenz (d. h. der Ausgangsstrom) nur langsam ändert.

[0016] Eine Steuerstufe kann zum Steuern der verschiedenen Schalter vorgesehen sein. Die Steuerstufe kann verschiedene Taktsignale zum Schalten der Schalter ausgeben. Der erste Schalter kann dann angesteuert werden, um während einer ersten Phase eines Taktsignals leitend zu sein und der zweite Schalter kann angesteuert werden, um während einer zweiten Phase des Taktsignals leitend zu sein. Die erste Phase und die zweite Phase können Phasen zweier nicht überlappender Taktsignale mit derselben Taktperiode sein. Der dritte Schalter und der vierte Schalter können ebenfalls während der zweiten Phase leitend sein. Der fünfte Schalter und der sechste Schalter können dann während der ersten Phase leitend sein. Die erste Phase kann dann als die Abtastperiode und die zweite Phase kann als die Auffrischungsperiode bezeichnet werden.

[0017] Die Steuerstufe kann ausgestaltet sein, um ein pulswertenmoduliertes (PWM) Signal zur DC-DC-Umwandlung zu erzeugen. Das PWM-Signal kann eine PWM-Taktperiode aufweisen. Dieselbe Taktperiode kann dann für die Taktsignale zum Ansteuern des ersten bis sechsten Schalters verwendet werden. Das PWM-Signal kann einen ersten Abschnitt (z. B. AN-Periode) und einen zweiten Abschnitt (z. B. AUS-Periode) aufweisen. Das Verhältnis dieser Abschnitte oder AN- und AUS-Perioden (oder Testverhältnis) des PWM-Signals kann variiert werden, um einen Ausgangsstrom (oder eine Ausgangsspannung) der DC-DC-Umwandlung einzustellen. Die erste Phase kann dann mit einem ersten Abschnitt (AN-Periode) des PWM-Signals und die zweite Phase kann mit einem zweiten Abschnitt (z. B. AUS-Periode) des PWM-Signals zusammenfallen. In einem Ausführungsbeispiel kann der Beginn einer zweiten Phase (Auffrischungsperiode) durch den Beginn einer AUS-Periode (z. B. mit einer fallenden Flanke) des PWM-Signals ausgelöst werden.

[0018] Gemäß einem Aspekt der Erfindung können die Auffrischungs- und die Abtastperioden verlängert oder verkürzt werden im Einklang mit den AUS-Perioden und AN-Perioden des PWM-Signals. Gemäß einem Aspekt der Erfindung kann jedoch immer eine minimale Länge der zweiten Phase aufrechterhalten werden. Die minimale Länge kann selbst dann aufrechterhalten werden, wenn der zweite Abschnitt (z. B. AUS-Periode) des PWM-Taktsignals kürzer als ein Minimum oder Null ist. Die Auffrischungsperiode kann mit einer minimalen Länge ausgeführt werden, selbst wenn das PWM-Signal keine AUS-Periode aufweist. Das kann der Fall sein, wenn der Stromverbrauch zunimmt, sodass für eine gewisse Zeit die AUS-Perioden völlig unterdrückt werden. Selbst in dieser Situation können die Auffrischungsperioden periodisch ausgeführt werden, d. h. dass der erste und zweite Kondensator periodisch von dem Komparatoreingang oder dem ersten und/oder zweiten Knoten entkoppelt werden, um einen Auffrischungszyklus einer minimalen Länge durchzuführen. Die Dauer der zweiten Phase kann immer größer gehalten werden als 20% bis 30% der PWM-Taktperiode.

[0019] Gemäß eines noch anderen Aspekts der Erfindung kann der Ausgang des Komparators während einer Freihalteperiode nicht ausgewertet werden. Diese Freihalteperiode kann vorteilhaft ausgeführt werden, nachdem die Komparatoreingänge mit dem ersten und zweiten Knoten gekoppelt sind. Mit anderen Worten kann der Komparatorausgang während einer Freihalteperiode nicht ausgewertet werden nach dem Beginn der Abtastperiode (Beginn der ersten Phase). Dies ist ein effizienter Weg, Spikes zu eliminieren und Komparatorausgangsfehler aufgrund von Ladungsinjektion der Schalter oder Artefakte aufgrund des Schaltens (inklusive PM1 und PM2) zu eliminieren. In einem vorteilhaften Ausführungsbeispiel kann die Freihalteperiode ebenfalls mit der zweiten Phase (Auffrischungsperiode) korreliert werden. Wenn eine Auffrischungsperiode ohne AUS-Periode (keine zweite Phase) auftritt, kann die Freihalteperiode mindestens 10% länger als das Ende einer Auffrischungsperiode (d. h. eine zweite Phase) gewählt werden.

[0020] Der erste Schalter kann ein MOSFET sein, und der zweite Schalter kann ein MOSFET sein, und ein Kontrollgate des MOSFET kann mit einer Bootstraphaltung gesteuert werden. Dies sorgt dafür, dass die MOSFETs vollständig eingeschaltet werden können. Das ist nützlich, um einen NMOS-Transistor zu schalten. Andernfalls müssen PMOS-Transistoren verwendet werden, die Pegelumsetzer benötigen und einen höheren EIN-Widerstand aufweisen. Solch eine Bootstraphaltung kann eine Diode, einen Kondensator und einen Buffer umfassen. Die Diode kann mit einer Anode jeweils an den ersten oder zweiten Knoten und mit einer Katode an den jeweiligen Steuereingang des MOSFET gekoppelt sein. Die Taktsignale zum Schalten der MOSFETs können dann den jeweiligen Steueranschlüssen der MOSFETs durch eine Reihenschaltung eines Buffers und eines Kondensators zugeführt werden. Der Kondensator wird dann durch die Diode auf einen Spannungspegel geladen, der höher ist als die Spannung jeweils am ersten oder zweiten Knoten.

[0021] Gemäß einem anderen Aspekt der Erfindung kann die Fläche von Transistoren eine Eingangsstufe des Komparators erhöht werden, um die Paarungsgüte der Eingangstransistoren zu verbessern. Dies scheint eine abwegige Maßnahme, weil das Erhöhen der Fläche der Eingangstransistoren ebenfalls die Eingangskapazität des Komparators erhöht. In Kombination mit der kapazitiven Kopplung (erster und zweiter Kondensator) wird ein kapazitiver Teiler implementiert, der die Performance und Genauigkeit der Stromabtaststufe signifikant verschlechtern kann. Allerdings können der fünfte und der sechste Schalter vor den Eingängen des Komparators verwendet werden, um die Eingänge während der zweiten Phase (Auffrischungsperiode) abzukoppeln. Die Eingangskapazität des Komparators kann dann eine gewisse Menge Ladung speichern, um grundsätzlich den letzten Eingangsspannungspegel beizubehalten. Die Eingangskondensatoren können Schritt für Schritt geladen werden während mehrerer aufeinanderfolgender Taktzyklen. Nachdem sie geladen sind, wird die Eingangsspannung konserviert. Das bedeutet, dass für langsame Veränderungen der Spannungsdifferenz zwischen den ersten und zweiten Knoten die Eingangstransistoren des Komparators erhöht werden können, ohne die allgemeine Performance der Stromabtaststufe signifikant zu beeinträchtigen. Darüber hinaus verschaffen die großen Eingangstransistoren eine verbesserte Paarungsgüte und daher einen reduzierten Offset. Selbst sehr kleine Spannungsdifferenzen zwischen dem ersten und dem zweiten Knoten können detektiert und korrekt ausgewertet werden.

[0022] Gemäß einem anderen Aspekt können die Kapazitätswerte und die Fläche des ersten und zweiten Eingangskondensators ebenfalls gemäß der minimalen Spannungsdifferenz zwischen dem ersten und zweiten Knoten, die mit der Stromabtaststufe detektiert werden soll, dimensioniert werden.

[0023] Die Erfindung stellt ebenfalls ein Verfahren zum Betreiben einer elektronischen Vorrichtung zur geschalteten DC-DC-Wandlung bereit. Ein Komparatoreingang wird kapazitiv gekoppelt, um eine Spannungsdifferenz, die durch einen Ausgangsstrom (der DC-DC-Wandlung) verursacht wird, zu empfangen während einer Abtastperiode (erste Phase), und die DC-DC-Wandlung wird in Reaktion auf ein Komparatorausgangssignal gesteuert. Der Komparatoreingang kann von dem ersten und zweiten Knoten während einer Auffrischungsperiode (zweite Phase) entkoppelt werden. Die Abtastperiode und die Auffrischungsperiode können zwei verschiedene Taktphasen desselben Taktsignals sein. Die Abtastperiode kann mit einem ersten Abschnitt eines pulsweitenmodulierten (PWM) Taktsignals zusammenfallen, um das Schalten der DC-DC-Wandlung zu steuern.

[0024] Die Auffrischungsperiode kann mit einem zweiten Abschnitt des PWM-Taktsignals zusammenfallen. Die Auffrischungsperiode kann periodisch ausgeführt werden, selbst wenn der zweite Abschnitt (zum Beispiel die AUS-Periode des PWM-Signals) sehr kurz oder sogar null wird. Die Auffrischungsperiode kann immer eine minimale Dauer aufweisen, selbst wenn das PWM-Signal keinen zweiten Abschnitt (d. h. zum Beispiel die AUS-Periode wird ausgelassen) aufweist. Eine Freihalteperiode kann ebenfalls vorgesehen sein, nach dem kapazitiven Koppeln des Komparatoreingangs, um die Spannungsdifferenz zu empfangen. Der Ausgang des Komparators kann während der Freihalteperiode nicht ausgewertet werden. Die Freihalteperiode kann vorteilhaft länger sein als die Auffrischungsperiode.

KURZE BESCHREIBUNG DER FIGUREN

[0025] [Fig. 1](#) zeigt einen vereinfachten Schaltplan eines herkömmlichen DC-DC-Wandlers mit einer Stromabtastungsstufe gemäß dem Stand der Technik,

[0026] [Fig. 2](#) zeigt einen vereinfachten Schaltplan einer elektronischen Vorrichtung gemäß einem Ausführungsbeispiel der Erfindung,

[0027] [Fig. 3](#) zeigt einen vereinfachten Schaltplan einer elektronischen Vorrichtung gemäß einem Ausführungsbeispiel der Erfindung,

[0028] [Fig. 4](#) zeigt Signalverläufe, die Taktsignale betreffen, die gemäß Aspekten der Erfindung konfiguriert sind,

[0029] [Fig. 5](#) zeigt Signalverläufe, die Taktsignale betreffen, die gemäß Aspekten der Erfindung konfiguriert sind,

[0030] [Fig. 6](#) ist ein vereinfachter Schaltplan, der Aspekte der Erfindung darstellt,

[0031] [Fig. 7](#) ist ein vereinfachter Schaltplan, der weitere Aspekte der Erfindung darstellt, und

[0032] [Fig. 8](#) ist ein vereinfachter Schaltplan, der weitere Aspekte der Erfindung darstellt.

DETAILLIERTE BESCHREIBUNG EINES AUSFÜHRUNGSBEISPIELS

[0033] [Fig. 2](#) zeigt einen vereinfachten Schaltplan eines Ausführungsbeispiels der Erfindung. Wie bezüglich [Fig. 1](#) beschrieben, stellt die Steuerstufe CNTL Steuersignale zum EIN- und AUS-Schalten der Leistungs-MOSFETs PM1 und PM2 bereit. Eine Ausgangsspannung VOUT wird in einem Ausgangsknoten erzeugt und kann mit einem Bufferkondensator CBUF gebuffert werden. Ein Shunt-Widerstand RS ist in den Ausgangspfad gekoppelt. Ein Laststrom IL, der von der Induktivität L an den Ausgangsknoten VOUT geliefert wird, kann dann einen Spannungsabfall über den Shunt-Widerstand RS verursachen. Es besteht eine Spannungsdifferenz VDIFF zwischen den Knoten SA1 und SA2, welche die Eingangspins einer integrierten Schaltung 1 sein können. Die Stromabtaststufe 3 enthält den kapazitiv gekoppelten Komparator COMP. Ein erster Eingang IN1 und ein zweiter Eingang IN2 des Komparators COMP werden nun selektiv und kapazitiv mit den Knoten SA1 und SA2 gekoppelt. Der Komparator COMP detektiert eine Größe der Spannungsdifferenz und/oder ein Verhältnis zwischen den Spannungspegeln an dem ersten Knoten SA1 und dem zweiten Knoten SA2 und stellt ein entsprechendes Ausgangssignal COMPOUT bereit. Das Komparatorausgangssignal COMPOUT wird der Steuerstufe CNTL zugeführt, die eingerichtet ist, um Steuersignale an den Pins GA1, GA2 für die Steueranschlüsse der Leistungs-MOSFETs im Einklang mit dem Komparatorausgangssignal COMPOUT einzustellen.

[0034] Die kapazitive Kopplung der Komparatoreingänge IN1, IN2 mit dem ersten Knoten SA1 und dem zweiten Knoten SA2 kann mit zwei Kondensatoren C1, C2 und verschiedenen Schaltern S1 bis S6 implementiert werden. Der erste Kondensator C1 wird mit einer ersten Seite an den ersten Knoten SA1 durch einen ersten Schalter S1 gekoppelt. Der zweite Kondensator C2 wird mit einer ersten Seite an den zweiten Knoten SA2 gekoppelt. Ein zweiter Schalter S2 ist vorgesehen, um die erste Seite des ersten Kondensators C1 und die erste Seite des zweiten Kondensators C2 zu verbinden. Die zweite Seite des ersten Kondensators C1 wird durch einen dritten Schalter S3 an einen Gleichtaktspannungsknoten VCM gekoppelt. Die zweite Seite des zweiten Kondensators C2 kann ebenfalls durch einen vierten Schalter S4 an den Gleichtaktspannungsknoten VCM gekoppelt werden. Ein fünfter Schalter S5 ist vorgesehen, um die zweite Seite des ersten Kondensators C1 an den ersten Eingang IN1 des Komparators COMP zu koppeln. Ein sechster Schalter S6 ist vorgesehen, um die zweite Seite des zweiten Kondensators C2 mit dem zweiten Eingang IN2 des Komparators COMP zu verbinden.

[0035] Die Schalter S1 bis S6 können mit zwei Taktsignalen gesteuert werden: ein erstes Taktsignal $\Phi 1$ und ein zweites Taktsignal $\Phi 2$. Die zwei Taktsignale $\Phi 1$, $\Phi 2$ können zwei nicht überlappende Taktsignale mit entgegengesetzten Logikpegeln und derselben Taktperiode sein. Die Schalter S1, S5 und S6 werden mit dem ersten Taktsignal $\Phi 1$ gesteuert. Die Schalter S2, S3 und S4 werden mit dem zweiten Taktsignal $\Phi 2$ gesteuert. Entweder das erste Taktsignal $\Phi 1$ oder das zweite Taktsignal $\Phi 2$ sind logisch hoch. Wenn das erste Taktsignal $\Phi 1$ logisch hoch ist und das zweite Taktsignal $\Phi 2$ logisch niedrig, d. h. $\Phi 1 = 1$ und $\Phi 2 = 0$, sind die Schalter S1, S5 und S6 leitend und die Schalter S2, S3 und S4 sind nicht eingeschaltet. Dieser Zustand wird als erste Phase oder Abtastperiode bezeichnet. Wenn das erste Taktsignal logisch niedrig und das zweite Taktsignal logisch hoch ist (d. h. $\Phi 1 = 0$ und $\Phi 2 = 1$), sind die Schalter S1, S5 und S6 nicht eingeschaltet und die Schalter S2, S3 und S4 sind leitend. Dies wird als zweite Phase oder Auffrischungsperiode bezeichnet. Während der Abtastperiode sind die Anschlüsse des Shunt-Widerstandes durch die Kondensatoren C1, C2 an die Eingänge IN1, IN2 des Komparators COMP angeschlossen. Der Komparatorausgang wird dann seinen Ausgangswert im Einklang mit dem Wert der Spannungsdifferenz VDIFF über den Shunt-Widerstand RS ändern, d. h. die Spannungsdifferenz zwischen dem ersten Knoten SA1 und dem zweiten Knoten SA2.

[0036] Während der Auffrischungsperiode werden die zweiten Seiten der Kondensatoren C1 und C2 mit einem Gleichtaktspannungspegel VCM gekoppelt. Ebenfalls werden die ersten Seiten der Kondensatoren C1 und C2 durch den Schalter S2 aneinandergeschaltet. Die zweiten Seiten können dann an den Ausgangskno-

ten VOUT gekoppelt werden. Dies bewirkt, dass jegliche Differenz der Spannungspegel zwischen jedem der Kondensatoren eliminiert wird. Das stellt eine nahezu ideale Anfangsoffsetspannung von 0 Volt sicher. Die kapazitive Kopplung bewirkt einen großen Gleichtakteingangsbereich und eine hohe Eingangsimpedanz. Die überlegenen Paarungsgüteeigenschaften der Kondensatoren C1, C2 minimieren Offsetfehler. Wenn die elektronische Vorrichtung als integrierter Schaltkreis implementiert wird, können die Kondensatoren bezüglich ihrer Paarungsgüte optimiert werden (z. B. große Flächen aufweisen). Die Unterseite von integrierten Kondensatoren C1, C2 kann dann an die Gleichtaktspannung VCM und die Oberseite an VOUT gekoppelt werden.

[0037] Während der Abtast- oder Messperiode können die ersten Seiten (d. h. die Unterseiten der Kondensatoren C1, C2) der Spannung an den ersten und zweiten Knoten SA1, SA2, die gekoppelt sind, um die Spannungsdifferenz VDIFF zu empfangen, folgen.

[0038] Fig. 2 zeigt einige Pins GA1, GA2, SA1, SA2, die als Pins einer integrierten Schaltung angesehen werden können. Diese Konfiguration suggeriert eine bestimmte Partitionierung von integrierten Komponenten und diskreten Komponenten. Allerdings können in diesem oder anderen Ausführungsbeispielen ebenfalls andere Komponenten in IC1 integriert oder als externe Komponenten implementiert werden. Insbesondere können die Leistungs-MOSFETs PM1 und PM2 in IC1 integriert werden.

[0039] Der Gleichtaktspannungspegel VCM kann optimiert werden, um den Gleichtakteingangsbereichsanforderungen des Komparators COMP gerecht zu werden. Ein Pegel von 0,8 V oder 0,9 V kann für VCM verwendet werden. In einem vorteilhaften Ausführungsbeispiel kann der Pegel der Gleichtakteingangsspannung VCM ein Bruchteil eines Referenzspannungspegels sein, der für die Spannungsrückkopplungsschleife verwendet wird. Der Referenzspannungspegel kann dann kleiner als der kleinste Ausgangsspannungspegel VOUT sein. Dies stellt die richtige Betriebsweise eines resistiven Spannungsteilers, der an VOUT und an den Rückkopplungsspannungspin FB gekoppelt ist, sicher.

[0040] Fig. 3 zeigt ein anderes Ausführungsbeispiel der Erfindung. Die Stromabtaststufe 3 ist ähnlich wie die Stromabtaststufe 3, die in Fig. 2 dargestellt ist. Allerdings verwendet dieses Ausführungsbeispiel eine Direktstromwiderstands-(DCR)Kopplung. Das Anwenden des DCR-Abtastprinzips ist insbesondere in Kombination mit Aspekten und Ausführungsbeispielen der Erfindung vorteilhaft, weil viele Nachteile von Stromabtaststufen gemäß dem Stand der Technik ausgeräumt werden können. Zum DCR-Abtasten wird eine Reihenschaltung eines Widerstands R und eines Kondensators C parallel zur Ausgangsinduktivität L geschaltet. Der Widerstand DCR ist keine reale Komponente, sondern repräsentiert den parasitären Serienwiderstand der Induktivität L. Die ersten und zweiten Knoten SA1 und SA2 werden nun an den Kondensator C gekoppelt. Die Spannung VDC über dem Kondensator C ist dann

$$VDC = (VIN - VOUT) \frac{DCR}{DCR + \omega L}$$

[0041] Die Spannungsdifferenz VDIFF kann dann bestimmt werden zu

$$VDIFF = (VIN - VOUT) \frac{1}{\omega C(R + \frac{1}{\omega C})}$$

[0042] Die Spannungsdifferenz VDIFF über dem Kondensator ist gleich dem Spannungsabfall VDCR über der Induktivität L, d. h. VDIFF ist gleich VDCR, wenn die Zeitkonstante der Induktivität L und die Zeitkonstante des RC-Netzwerkes gleich sind:

$$VDIFF = \frac{1}{\omega C(R + \frac{1}{\omega C})} = \frac{DCR}{DCR + \omega L}; \frac{L}{DCR} = RC; \tau_{DCR,L} = \tau_{RC}$$

[0043] Fig. 4 zeigt Signalverläufe, die Steuerungs- und Taktsignale für Ausführungsbeispiele der vorliegenden Erfindung, die in den Fig. 2 und Fig. 3 dargestellt sind, betreffen. Ein pulsweitenmoduliertes Signal PWM kann verwendet werden, um das Tastverhältnis oder AN-AUS-Verhältnis der Leistungs-MOSFETs PM1, PM2 aus den Fig. 2 und Fig. 3 zu steuern. Wenn PWM logisch hoch ist (AN), ist PM1 leitend und die Induktivität ist an VIN angeschlossen. Dies wird auch als High-Side-AN-Periode (HSON) bezeichnet. Wenn PWM logisch niedrig (AUS) ist, ist der Leistungs-MOSFET PM2 leitend und PM1 ist AUS geschaltet. Die Induktivität L ist dann an Masse angeschlossen. Dies wird auch als Low-Side-AN-Periode (LSON) bezeichnet. Das Verhältnis von AN- zu AUS-Periode des pulsweitenmodulierten Signals PWM ist das Tastverhältnis des PWM-Signals, das verwendet wird, um den Ausgangsspannungspegel VOUT und den Ausgangsstrom IL einzustellen. Wenn

mehr Ausgangsstrom IL benötigt wird, werden die AN-Perioden verlängert und die AUS-Perioden reduziert. Das erste Taktsignal $\Phi 1$ und das zweite Taktsignal $\Phi 2$ können von dem PWM-Signal abgeleitet werden. Diese werden verwendet wie bezüglich [Fig. 2](#) beschrieben. Sie können konfiguriert sein, um nicht zu überlappen. In [Fig. 4](#) sind sie lediglich als invertierte Signale dargestellt. Eine erste Phase oder Abtastperiode tritt auf, wenn das erste Taktsignal $\Phi 1$ logisch hoch ist. Wenn das zweite Taktsignal $\Phi 2$ logisch hoch ist, tritt eine zweite Phase oder Auffrischungsperiode auf. Wenn eine Abtastperiode beginnt (steigende Flanke von $\Phi 1$), kann ein plötzlicher Peak von VDIFF aufgrund von Ladungsinjektionseffekten der Schalter (z. B. MOSFETs, die als Schalter verwendet werden) auftreten. Diese plötzlichen Peaks können das Komparatorausgangssignal COMP OUT beeinträchtigen. Daher wird ein Freihaltesignal BLP bereitgestellt, welches synchron mit steigenden Flanken des PWM-Signals aktiviert wird ($BLP = 1$, Freihalteperioden oder Freihaltepulse). Während einer Logisch-hoch-Periode des Freihaltesignals BLP wird der Ausgang des Komparators COMP ignoriert. Dies hat sich als effizienter und robuster erwiesen als analoge Mechanismen wie beispielsweise das Kurzschließen der Komparatoreingänge.

[0044] [Fig. 5](#) zeigt Signalverläufe, die einen Aspekt der Erfindung betreffen. Wenn mehr Ausgangsstrom IL benötigt wird, wird das Verhältnis der AN- zu AUS-Perioden des PWM-Signals angepasst. Die AN-Perioden werden verlängert, während die AUS-Perioden reduziert werden. Dies kann in einer Situation resultieren, in der keine AUS-Perioden auftreten und PWM konstant logisch hoch bleibt. Allerdings werden gemäß diesem Aspekt der Erfindung selbst ohne AUS-Perioden des PWM-Signals Auffrischungsperioden ($\Phi 2 = 1$) ausgeführt. Ferner besitzen die Auffrischungsperioden immer eine minimale Länge. Wie für den zweiten Puls (2.) des zweiten Taktsignals $\Phi 2$ dargestellt, wird das Signal logisch hoch gehalten, obwohl das PWM-Signal zu logisch hoch zurückgekehrt ist. Für den dritten Puls (3.) zur Zeit t_x ist das PWM-Signal nicht zu logisch niedrig (die AUS-Periode wird ausgelassen) zurückgekehrt und selbst dann wird ein Auffrischungspuls ausgegeben und für eine minimale Dauer aufrechterhalten, um sicherzustellen, dass die Kondensatoren initialisiert werden. Ferner werden Freihaltepulse des Freihaltesignals BLP ebenfalls ausgegeben, selbst wenn keine AUS-Periode auftritt. Die Dauer der Freihaltepulse geht über die Auffrischungspulse hinaus, um sicherzustellen, dass keine Artefakte oder Störungen am Komparatoreingang während der Auswertung des Ausgangssignals auftreten. Die minimale Dauer eines Auffrischungspulses ($\Phi 2 = 1$) kann 20% bis 30% der Periode des PWM-Signals betragen. Die Freihaltepulse können rund 10% länger als die Auffrischungspulse sein, d. h. die fallende Flanke des Freihaltepulses tritt später auf als die fallende Flanke der Auffrischungsperiode.

[0045] [Fig. 6](#) ist ein vereinfachter Schaltplan, der einen anderen Aspekt der Erfindung veranschaulicht. Sie zeigt den Komparator COMP der [Fig. 2](#) und [Fig. 3](#) und den Eingangskondensator C1 oder C2, der an den jeweiligen Eingang IN1 oder IN2 des Komparators gekoppelt ist. Nur ein Eingangspfad ist dargestellt, obwohl dieser Aspekt der Erfindung beide Eingangspfade betrifft. Ferner ist ein parasitärer Eingangskondensator CIN des Komparators COMP vorhanden. Um die Paarungsgüte der Eingangsstufe des Komparators COMP zu verbessern, können die Eingangstransistoren (zwei Transistoren einer differentiellen Eingangsstufe) dimensioniert werden, um große Flächen aufzuweisen. Die Fläche kann erhöht werden, bis die statistische Paarungsgenauigkeit (mit einer statistischen Sicherheit) unterhalb eines maximalen Wertes bleibt. Die Paarungsgenauigkeit steht im Verhältnis zu einem Eingangsoffsetwert, der dann unterhalb eines maximal zulässigen Wertes bleibt. Ein vereinfachtes Verfahren des Designens einer elektronischen Vorrichtung für DC-DC-Umwandlung kann dann die folgenden Überlegungen und Näherungen beinhalten. Der erwartete minimale Spannungsabfall über dem Shunt-Widerstand R_S oder dem Kondensator C für DCR-Abtastung kann VDIFFMIN sein. Eine maximale eingangsbezogene Offsetspannung VOFFMAX des Komparators COMP sollte gut unterhalb VDIFFMAX bleiben. Der maximale eingangsbezogene Offsetfehler VOFFMAX hängt von der Fläche AT der Eingangstransistoren gemäß der Beziehung $VOFFMAX \sim k/\sqrt{AT}$. Die Paarungsgütenkonstante k ist technologieabhängig.

[0046] Allerdings erhöht die Vergrößerung der Eingangstransistoren die Gatekapazität der Transistoren, wenn MOSFETs verwendet werden. Der Eingangskondensator CIN kann dann einen kapazitiven Spannungsteiler mit den jeweiligen Kondensatoren C1, C2 bilden. Dies wird üblicherweise als nachteilige Beeinträchtigung der Komparatorperformance angesehen. Dieser Nachteil wird jedoch mit dem geschalteten kapazitiven Koppeln gemäß den Aspekten der Erfindung ausgeräumt. Dies basiert auf der Beobachtung, dass die Verwendung der Eingangsschalter S5, S6 die negativen Einflüsse der Eingangskapazität beseitigt. Das liegt daran, dass die kapazitive Teilung nur die Spannungsdifferenz zwischen der vorangehenden und der letzten Phase betrifft und nicht die viel größere absolute Spannung an den Eingängen SA1 und SA2. Gute Paarungsgüte der Eingangsstufe des Komparators und ein geringer Offset können erreicht werden.

[0047] [Fig. 7](#) zeigt einem vereinfachten Schaltplan eines Ausführungsbeispiels der Erfindung. [Fig. 7](#) zeigt die Stromabtaststufe, wie sie in den [Fig. 2](#) und [Fig. 3](#) dargestellt ist, aber mit einer bestimmten vorteilhaften

Implementierung für die Schalter S1 und S2. Diese beiden Schalter werden an den ersten und zweiten Knoten SA1, SA2 (oder Pins SA1 und SA2) gekoppelt. Daher können diese Schalter beide einen Spannungspegel erhalten, der größer sein kann als die interne Versorgungsspannung, die für die Steuerstufe CNTL oder den Komparator COMP verwendet wird. Gemäß diesem Aspekt der Erfindung werden der erste und der zweite Schalter S1, S2 mit erhöhten Spannungspegeln betrieben, die jeweils von dem ersten Knoten (SA1) und dem zweiten Knoten (SA2) abgeleitet sind. Der erste Transistor M1 ist mit einem Kanal an den ersten Knoten SA1 und an die erste Seite des ersten Kondensators C1 gekoppelt. Eine erste Diode D1 ist in Flussrichtung zwischen den ersten Knoten SA1 und das Steuergate des ersten Transistors M1 gekoppelt. Das Steuergate ist ebenfalls mit einer ersten Seite eines Kondensators CB1 gekoppelt. Die andere Seite dieses Kondensators CB1 ist an einen Ausgang des ersten Buffers BUF1 gekoppelt. Der Eingang des ersten Buffers BUF1 erhält das Taktsignal $\Phi 1$. Der zweite Schalter S2 ist mit dem zweiten Transistor M2 implementiert, der mit einem Kanal zwischen die erste Seite des ersten Kondensators C1 und die erste Seite des zweiten Kondensators C2 gekoppelt ist. Eine zweite Diode ist zwischen den zweiten Knoten SA2 und das Steuergate des zweiten Transistors M2 gekoppelt. Eine erste Seite eines Kondensators CB2 ist ebenfalls an das Steuergate des Transistors M2 gekoppelt. Die andere Seite des Kondensators CB2 ist an den Ausgang des zweiten Buffers BUF2 gekoppelt, dessen Eingang das Taktsignal $\Phi 2$ erhält. Die Schalter S2, S4, S5 und S6 sowie der Komparator COMP arbeiten wie in Bezug auf die [Fig. 2](#), [Fig. 3](#), [Fig. 4](#), [Fig. 5](#) und [Fig. 6](#) beschrieben. Das Steuergate des ersten Transistors M1 ist nun jedoch angehoben (erhöht) auf einen Spannungspegel

$$VG1 = VSA1 - VD1 + SWINGBUF1,$$

wobei VD1 der Spannungsabfall der ersten Diode D1 und SWINGBUF1 der Ausgangshub des ersten Buffers BUF1 ist. Die maximale Spannung am Steuergate des zweiten Transistors M2 ist

$$VG2 = VSA2 - VD2 + SWINGBUF2 = VOUT - VD2 + SWINGBUF2,$$

wobei VD2 der Spannungsabfall über der zweiten Diode D2 und SWINGBUF2 der Ausgangshub des zweiten Buffers BUF2 ist. Dies sorgt dafür, dass der erste Transistor (Schalter) M1 und der zweite Transistor (Schalter) M2 komplett eingeschaltet werden können mit einem minimalen EIN-Widerstand. Gemäß diesem Aspekt der Erfindung können Taktsignale mit geringen Spannungspegeln für den ersten und zweiten Transistor M1, M2 verwendet werden und Pegelumsetzer werden nicht benötigt.

[0048] [Fig. 8](#) zeigt einen vereinfachten Schaltplan eines anderen Ausführungsbeispiels der Erfindung. Die Schaltung ist grundsätzlich ähnlich zu der Schaltung, die in [Fig. 7](#) dargestellt ist. Allerdings können die Spannungserhöhungskondensatoren bei fallender Spannung an den Pins SA1 und SA2 Ladung konservieren und den ersten und zweiten Transistor M1, M2 eingeschaltet lassen. Daher wird ein erster Ausgleichstransistor MR1 mit seinem Kanal zwischen das Gate des ersten Transistors M1 und Knoten SA1 und ein zweiter Ausgleichstransistor MR2 mit seinem Kanal zwischen das Gate des zweiten Transistors M2 und den zweiten Knoten SA2 gekoppelt. Diese beiden zusätzlichen Transistoren MR1, MR2 werden ebenfalls mit Bootstrapschaltungen (DR1, CBR1 und BUFR1 für MR1 und DR2, CBR2 und BUFR2 für MR2) zum Einschalten der Transistoren MR1 und MR2 betrieben. Die beiden entsprechenden Steuersignale REBAL1 und REBAL2 sind unter dem Schaltplan dargestellt. In diesem Ausführungsbeispiel sind die Steuersignale REBAL1, REBAL2 gepulste Signale, die jeweils mit der steigenden Flanke des ersten Taktsignals $\Phi 1$ (für REBAL1) und dem zweiten Taktsignal $\Phi 2$ (für REBAL2) synchronisiert sind. Die Ausgleichstransistoren MR1, MR2 und/oder die Länge der Ausgleichspulse (REBAL1, REBAL2 = 1) können dimensioniert werden, um die Gateanschlüsse des ersten und zweiten Transistors M1, M2 nur nach mehreren Pulsen zu entladen. Dies kann Leistung und Chipfläche einsparen. Gemäß einem weiteren Aspekt der Erfindung kann ein Widerstand CBR1, CBR2 zwischen das Gate des ersten Ausgleichstransistors MR1 und Knoten SA1 sowie zwischen das Gate des zweiten Ausgleichstransistors MR2 und Knoten SA2 gekoppelt werden. Dies sorgt dafür, dass auch die Gates der Ausgleichstransistoren MR1, MR2 für fallende Spannungspegel an SA1 und SA2 allmählich entladen werden.

Patentansprüche

1. Elektronische Vorrichtung zur geschalteten DC-DC-Umwandlung, die eine Stufe (3) zum Abtasten eines Ausgangsstroms (IL), der eine Spannungsdifferenz (VDIFF) zwischen einem ersten (IN1) und einem zweiten Knoten (IN2) verursacht, umfasst, wobei die Stromabtaststufe (3) einen Komparator (COMP) zum Bestimmen einer Größe des Ausgangsstromes (IL) umfasst, **dadurch gekennzeichnet, dass**

der Komparator (COMP) kapazitiv mit einem ersten Eingang (IN1) an den ersten Knoten (SA1) und mit einem zweiten Eingang (IN2) an den zweiten Knoten (SA2) gekoppelt ist, wobei der Komparator (COMP) die Größe der Spannungsdifferenz (VDIFF) detektiert und ein entsprechendes Ausgangssignal bereitstellt, ein erster Kondensator (C1) in Serie zum ersten Eingang (IN1) des Komparators (COMP) und ein zweiter Kondensator (C2) in Serie zu dem zweiten Eingang (IN2) des Komparators (COMP) gekoppelt ist, ein erster Schalter (S1) zwischen eine erste Seite des ersten Kondensators (C1) und den ersten Knoten (SA1) und ein zweiter Schalter (S2) zwischen die erste Seite des ersten Kondensators (C1) und eine erste Seite des zweiten Kondensators (C2) gekoppelt ist, um abwechselnd die erste Seite des ersten Kondensators (C1) an den ersten Knoten (SA1) oder an die erste Seite des zweiten Kondensators (C2) anzuschließen, wobei die elektronische Vorrichtung ferner umfasst, einen fünften Schalter (S5), der zwischen die zweite Seite des ersten Kondensators (C1) und den ersten Eingang (IN1) des Komparators (COMP) gekoppelt ist, und einen sechsten Schalter (S6), der zwischen die zweite Seite des zweiten Kondensators (C2) und den zweiten Eingang (IN2) des Komparators (COMP) gekoppelt ist, um die Eingänge des Komparators (COMP) während einer Auffrischungsperiode abzukoppeln.

2. Elektronische Vorrichtung gemäß Anspruch 1, ferner umfassend einen dritten Schalter (S3) und einen vierten Schalter (S4) zum Koppeln einer zweiten Seite des ersten Kondensators (C1) und einer zweiten Seite des zweiten Kondensators (C2) mit einem Gleichtaktspannungsknoten (VCM).

3. Elektronische Vorrichtung nach einem der vorstehenden Ansprüche, wobei die Spannungsdifferenz (VDIFF) zwischen dem ersten Knoten (SA1) und dem zweiten Knoten (SA2) durch einen Shunt-Widerstand (RS) verursacht wird und der Shunt-Widerstand (RS) ein parasitärer Inhärenter Widerstand einer Ausgangsinduktivität (L) ist.

4. Elektronische Vorrichtung gemäß Anspruch 3, ferner umfassend einen dritten Kondensator (C) und einen Widerstand (R), wobei eine Serienschaltung des dritten Kondensators (C) und des Widerstands (R) parallel zur Ausgangsinduktivität L gekoppelt ist und der erste Knoten (SA1) und der zweite Knoten (SA2) die Anschlüsse des dritten Kondensators (C) sind.

5. Ein Verfahren zum Betreiben einer elektronischen Vorrichtung zum Ausführen einer DC-DC-Umwandlung, wobei das Verfahren umfasst: kapazitives Koppeln eines Komparatoreingangs, um eine Spannungsdifferenz (VDIFF), die von einem Ausgangsstrom (IL) verursacht wird, während einer Abtastperiode zu empfangen, und Steuern der DC-DC-Umwandlung in Reaktion auf das Komparatorausgangssignal (COMPOUT), wobei ein erster Kondensator (C1) in Serie zum ersten Eingang (IN1) des Komparators (COMP) und ein zweiter Kondensator (C2) in Serie zu dem zweiten Eingang (IN2) des Komparators (COMP) gekoppelt wird, wobei der Komparator (COMP) die Größe der Spannungsdifferenz (VDIFF) detektiert und ein entsprechendes Ausgangssignal bereitstellt, und wobei ein erster Schalter (S1) zwischen eine erste Seite des ersten Kondensators (C1) und den ersten Knoten (SA1) und ein zweiter Schalter (S2) zwischen die erste Seite des ersten Kondensators (C1) und eine erste Seite des zweiten Kondensators (C2) gekoppelt wird, um abwechselnd die erste Seite des ersten Kondensators (C1) an den ersten Knoten (SA1) oder an die erste Seite des zweiten Kondensators (C2) anzuschließen, wobei ein fünfter Schalter (S5), der zwischen die zweite Seite des ersten Kondensators (C1) und den ersten Eingang (IN1) des Komparators (COMP) gekoppelt ist, und ein sechster Schalter (S6), der zwischen die zweite Seite des zweiten Kondensators (C2) und den zweiten Eingang (IN2) des Komparators (COMP) gekoppelt ist, die Eingänge des Komparators (COMP) während einer Auffrischungsperiode abkoppeln.

6. Verfahren nach Anspruch 5, wobei die Abtastperiode mit einem ersten Abschnitt eines pulsmodulierten (PWM) Taktsignals zum Steuern des Schaltens der DC-DC-Umwandlung zusammenfällt und die Auffrischungsperiode mit einem zweiten Abschnitt des PWM-Taktsignals zusammenfällt.

7. Verfahren gemäß Anspruch 6, wobei die Auffrischungsperiode mit einer minimalen Länge auch dann ausgeführt wird, wenn der zweite Abschnitt des PWM-Taktsignals ausgelassen wird.

8. Verfahren nach Anspruch 6 oder 7, wobei der Ausgang des Komparators (COMP) während einer Freihalteperiode nicht ausgewertet wird, nachdem die Komparatoreingänge (IN1, IN2) kapazitiv gekoppelt sind.

9. Verfahren nach Anspruch 8, wobei die Freihalteperiode länger ist als die Auffrischungsperiode.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

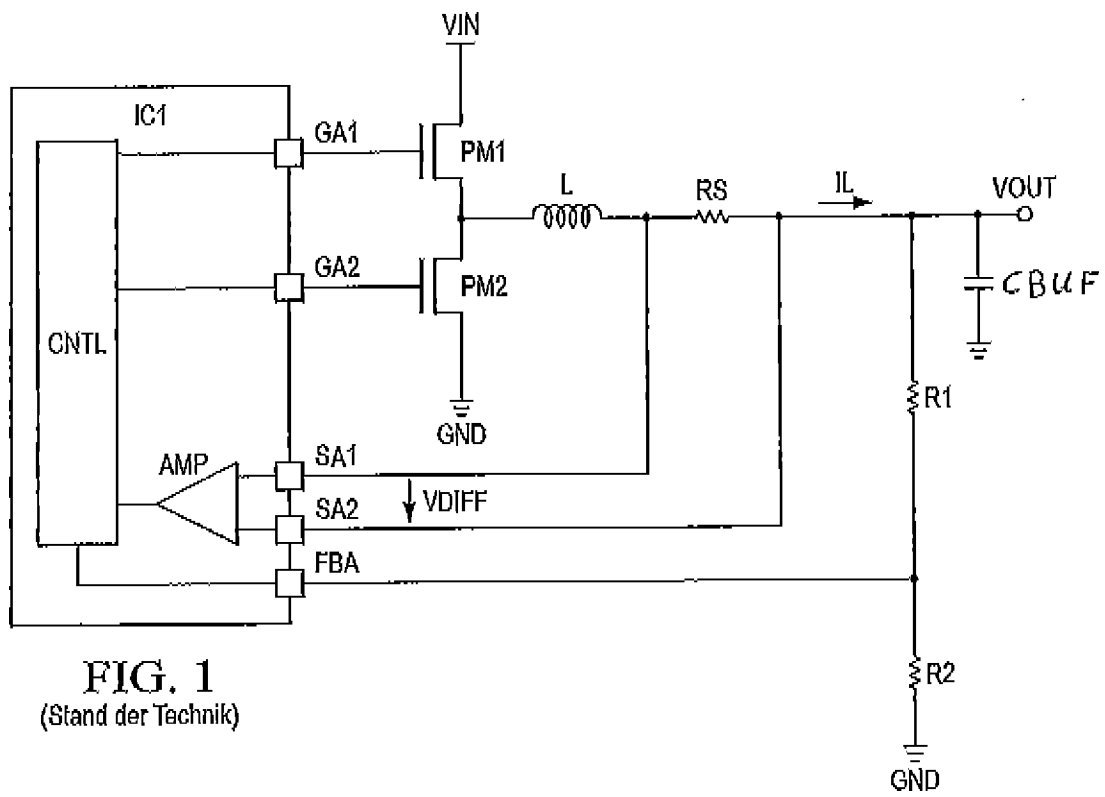


FIG. 1
(Stand der Technik)

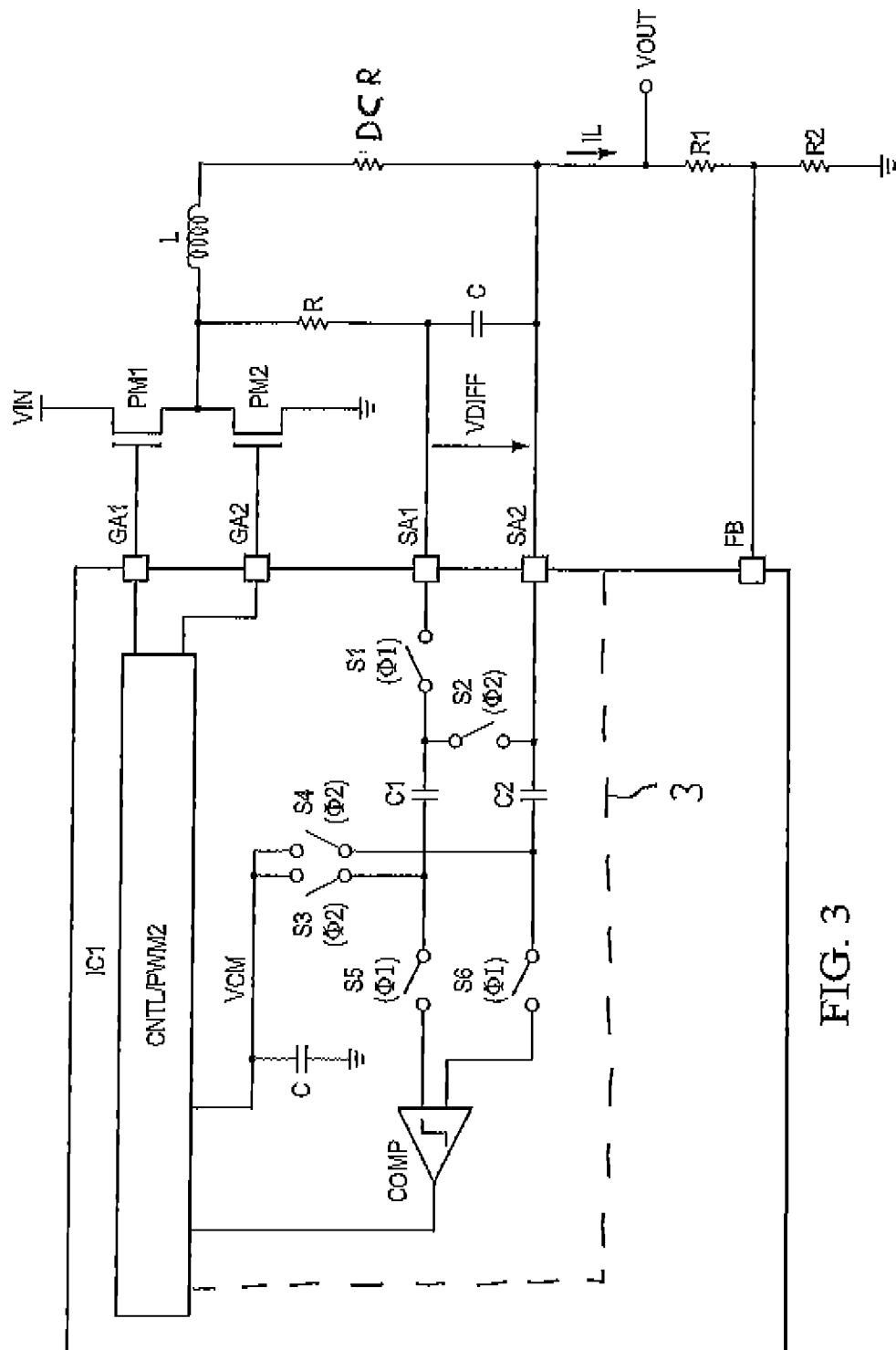


FIG. 3

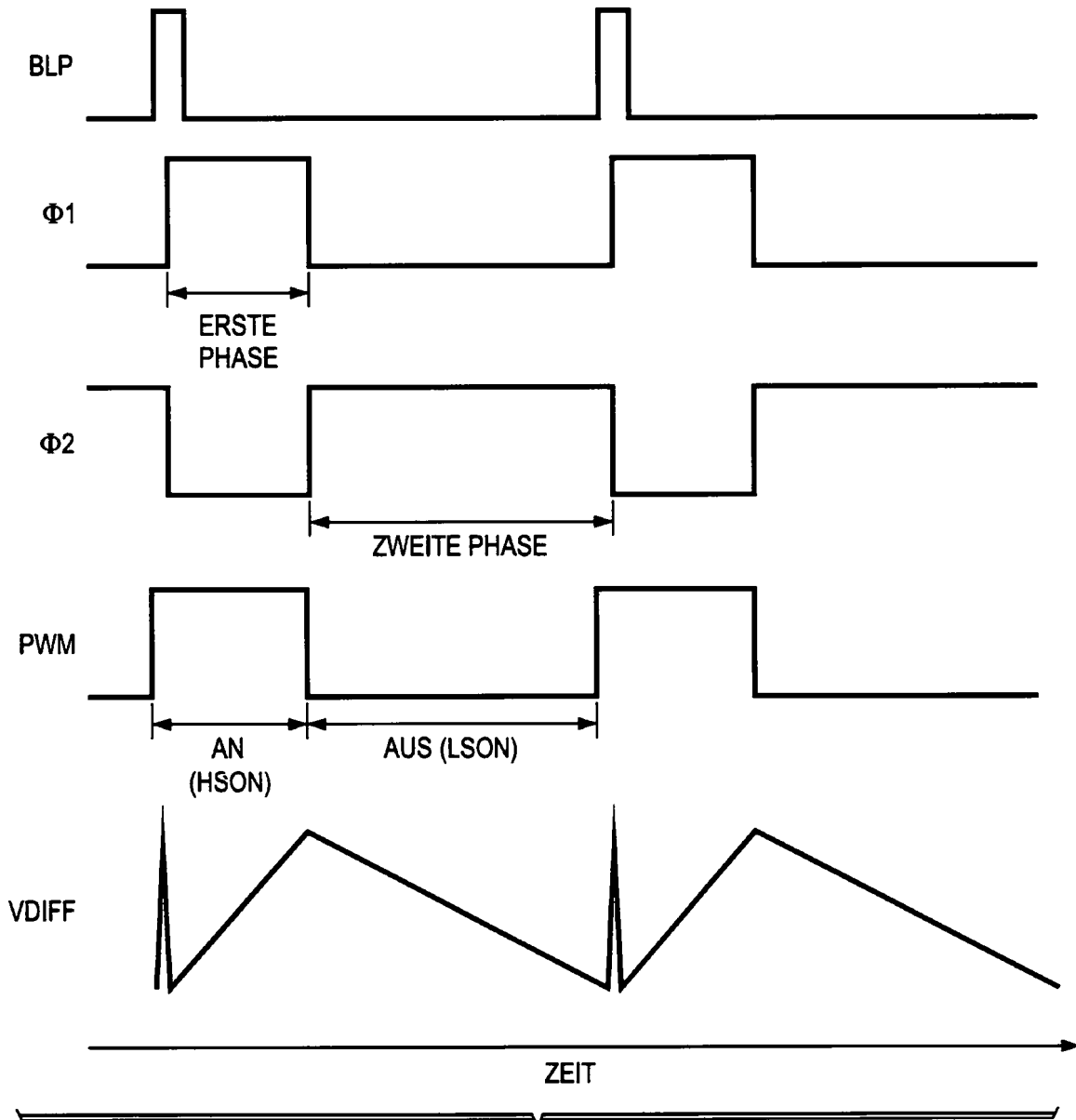


FIG. 4

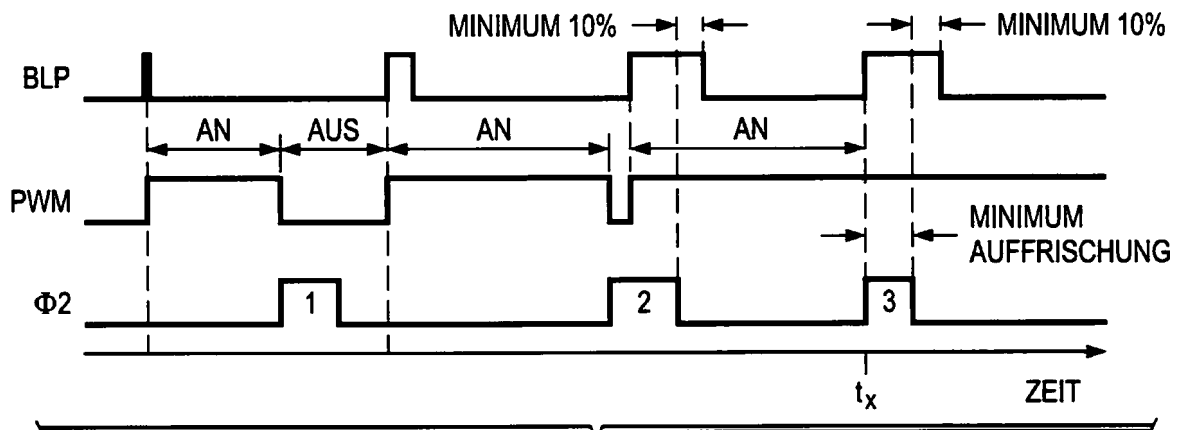


FIG. 5

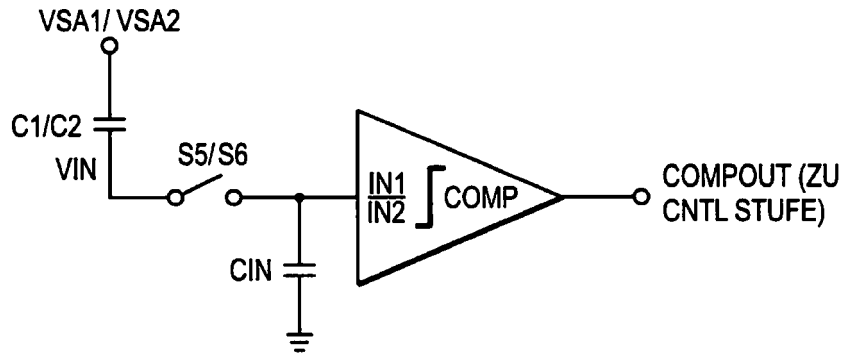


FIG. 6

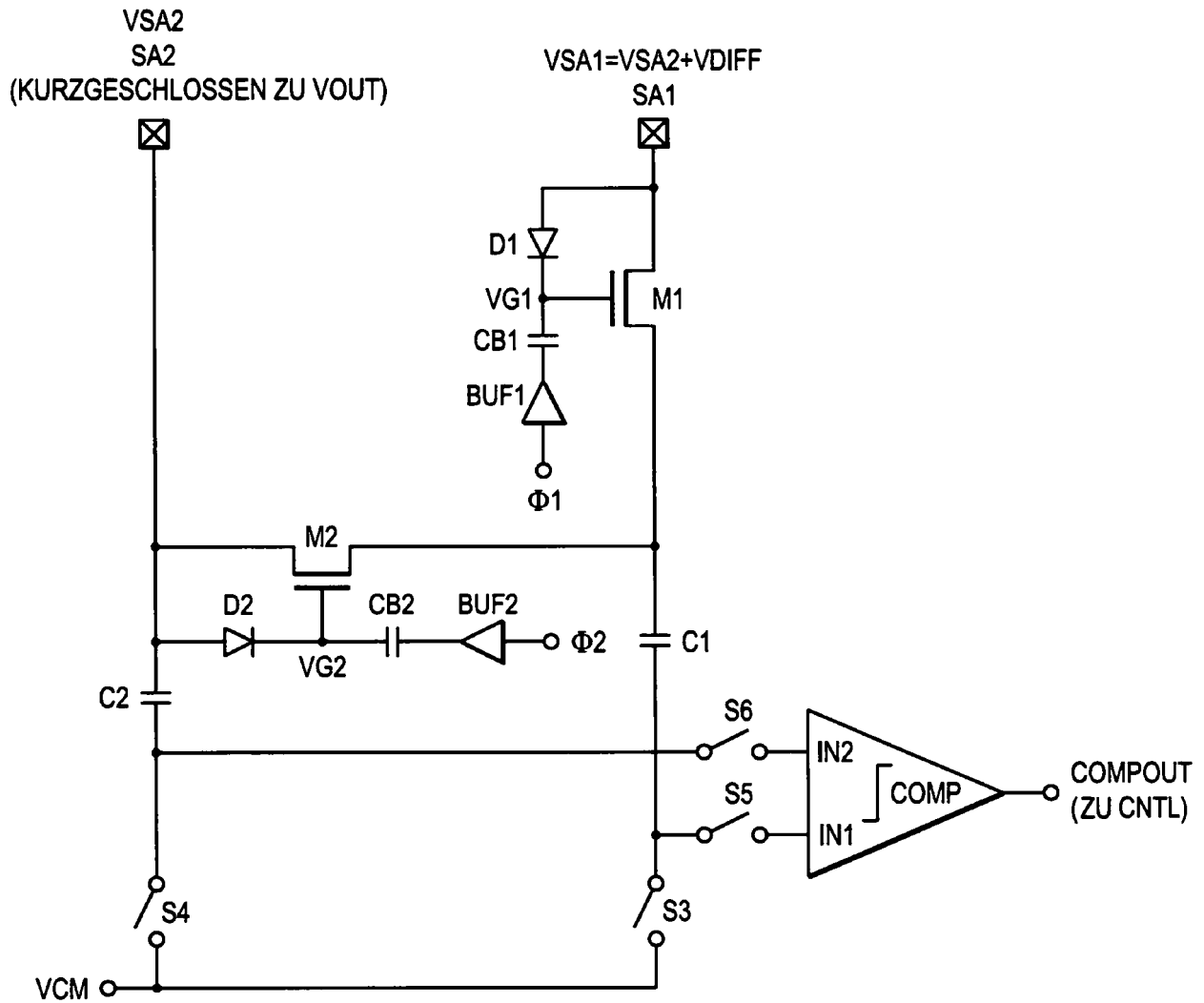


FIG. 7

FIG. 8

