

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/407

(45) 공고일자 2001년03월02일
(11) 등록번호 10-0284468
(24) 등록일자 2000년12월19일

(21) 출원번호	10-1997-0709065	(65) 공개번호	특1999-0022584
(22) 출원일자	1997년12월06일	(43) 공개일자	1999년03월25일
번역문제출일자	1997년12월06일		
(86) 국제출원번호	PCT/US 96/09073	(87) 국제공개번호	WO 96/39699
(86) 국제출원일자	1996년06월05일	(87) 국제공개일자	1996년12월12일
(81) 지정국	AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA 유라시아특허 : 아르메니아 벨라루스 키르기즈 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국 국내특허 : 아일랜드 일본 북한 알바니아 오스트레일리아 바베이도스 불가리아 브라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 이 스라엘 아이슬란드 대한민국		
(30) 우선권주장	8/471,860 1995년06월06일 미국(US)		
(73) 특허권자	마이크론 테크놀로지, 인크 로데릭 더블류 루이스		
(72) 발명자	미국 83716-9632 아이다호주 보이시 피.오. 박스 6 사우쓰 페드럴 웨이 8000 세이예디, 머마지드 미국 83702 아이다호주 보이시 엔. 밴트리 플레이스 4665 캐스퍼, 스티븐 엘. 미국 83706 아이다호주 보이시 리버네스트 3443		
(74) 대리인	안국찬, 주성민		

심사관 : 정재현

(54) DRAM의글로벌비트라인을이용한싱글-엔드센싱

요약

개시된 집적 회로 다이내믹 메모리 장치는 캐패시터의 전하로서 메모리 셀에 데이터를 기억시킨다. 메모리 셀은 디지털 라인에 선택적으로 접속될 수 있다. p-센스 및 n-센스 증폭기를 포함하는 센싱 회로가 디지털 라인에 접속되어 메모리 셀에 기억된 데이터를 센싱한다. 균등화 회로는 메모리 셀에 기억된 데이터를 센싱하기 전에 센스 증폭기의 두 노드를 디지털 라인에 접속시켜서 센스 증폭기를 평등하게 한다.

대표도

도3

명세서

기술분야

본 발명은 일반적으로 다이내믹 메모리 집적 회로에 관한 것이며 특히 그 센싱 회로에 관한 것이다.

배경기술

집적 회로 메모리는 메모리 기억용량의 대형화 필요성이 증대됨에 따라 더욱 집적도가 높아가고 있다. 제조 기술 및 디자인 옵션은 메모리 용량의 지속적인 증가를 유지함에 있어 상당히 성공적이었다고는 하지만 새로운 고 집적도 회로에 대한 필요성도 계속되고 있다.

다이내믹 랜덤 액세스 메모리(DRAM)는 개개의 메모리 셀을 배열하여 구성된다. 각각의 메모리 셀은 전하를 보유할 수 있는 캐패시터와 캐패시터 전하를 액세스하기 위한 액세스 트랜지스터를 구비한다. 전하는 데이터 비트로 일컬어지며 고(하이) 전압 또는 저(로우) 전압으로 될 수 있다. 데이터는 기록 모드 동안에 메모리 셀에 기억되거나 판독 모드 동안에 메모리 셀로부터 검색될 수 있다. 데이터는 비트 또는 디지털 라인으로 일컬어지는 신호 라인에 전송되며, 신호 라인은 스위칭 디바이스로 사용되는 트랜지스터를 통해 입/출력 라인에 결합된다. 기억된 데이터의 비트 각각에 대해, 참 논리 상태는 I/O 라인에서, 그 보수 논리 상태는 I/O 상보 라인에서 이용할 수 있다. 따라서, 각각의 메모리 셀은 두 개의 디지털 라인, 즉 디지털 및 디지털 상보 라인을 갖는다.

통상적으로, 메모리 셀은 어레이 형태로 배열되며 각각의 셀은 어레이에서 그 위치를 가리키는 어드레스

를 갖는다. 어레이는 교차하는 로우 구성을 가지며 메모리 셀은 각각의 교차점과 연관되어 있다. 셀로부터의 판독 또는 셀로의 기록을 위해서는 원하는 특정 셀이 선택 또는 어드레스되어야 한다. 선택된 셀의 어드레스는 로우 디코더 및 칼럼 디코더로의 입력 신호에 의해 표시된다. 로우 디코더는 로우 어드레스에 응답하여 워드 라인을 활성화한다. 선택된 워드 라인은 선택된 워드 라인과 통하는 각 메모리 셀의 액세스 트랜지스터를 활성화한다. 칼럼 디코더는 칼럼 어드레스에 응답하여 디지털 라인 쌍을 선택한다. 판독 동작을 위해, 선택된 워드 라인은 주어진 로우 어드레스를 위한 액세스 트랜지스터를 활성화하며, 데이터는 디지털 라인 쌍에 래치된다.

통상적인 다이내믹 메모리는 집적 회로에서 캐패시터로 제조된 메모리 셀을 사용하여 데이터를 저장한다. 말하자면, 논리 "1" 이 캐패시터에 전하로써 저장되고 캐패시터가 방전되어 논리 "0" 으로 된다. 디지털 라인 쌍은 집적 회로에서 금속 라인으로 제조되며 메모리 셀에 접속되어 메모리 셀에 기억된 데이터를 전송한다. 센스 증폭기는 디지털 라인상의 소량의 차동 전압을 센싱하고 메모리 셀의 판독 또는 기록을 위해 디지털 라인을 최대 전력 공급 레일로 구동하는데 사용된다. 메모리 셀 및 액세스 회로의 사이즈를 축소하기 위한 특정 제조 기술 및 공정이 개발되어 왔지만, 디지털 라인에 대한 물리적인 스페이싱 요건은 이용가능한 다이 면적을 최대화하는데 장애가 되고 있다. 말하자면, 디지털 라인 쌍 때문에 메모리 셀 사이즈의 축소가 완전하게 실현될 수 없다.

전술한 이유 때문에, 또한 본 기술 분야의 숙련자라면 명세서를 읽어보면 알 수 있는 후술하는 이유 때문에, 다이 면적의 점유를 줄여서 더욱 조밀하게 메모리를 집적할 수 있는 센싱 회로를 필요로 하고 있다.

〈발명의 요약〉

본 발명에서는 집적 회로 메모리의 집적도 증가에 따른 전술한 문제점 및 그 밖의 문제점을 다루고 있는데, 후술하는 설명을 보면 이해할 수 있을 것이다. 메모리 셀을 액세스하는데 필요한 금속 디지털 라인의 수를 줄인 센싱 회로를 이용한 다이내믹 메모리 회로가 개시되어 있다.

특히, 본 발명에서 개시하는 집적 회로는 다수의 메모리 셀 캐패시터들과, 다수의 메모리 셀 캐패시터들 및 하나의 디지털 라인에 접속되어 다수의 메모리 셀 캐패시터들중 하나를 디지털 라인에 선택적으로 각각 접속시키는 다수의 액세스 디바이스들과, 디지털 라인에 선택적으로 각각 접속된 제1 및 제2 노드를 가진 센스 증폭기 회로를 구비한다.

집적 회로는 센스 증폭기의 제1 노드와 디지털 라인 사이에 전기적으로 배치되어 제1 노드를 디지털 라인에 선택적으로 접속시키는 차단 회로를 더 구비할 수 있다. 차단 회로는 센스 증폭기의 제2 노드와 디지털 라인 사이에 전기적으로 배치되어 제2 노드를 디지털 라인에 선택적으로 접속시킬 수도 있다.

한 실시예에서 집적 회로는 센스 증폭기 회로를 평형화(equilibrate)하는 평형 회로를 구비한다. 상기 평형 회로는 소오스가 제1 노드에 접속되고 드레인이 센스 증폭기 회로의 제2 노드에 접속된 트랜지스터를 구비할 수 있다.

대안적 실시예에서, 다이내믹 메모리 집적 회로는 다수의 메모리 셀 캐패시터와, 다수의 메모리 셀 캐패시터 및 하나의 디지털 라인에 접속되어 다수의 메모리 셀 캐패시터중 하나를 디지털 라인에 선택적으로 각각 접속시키는 다수의 액세스 디바이스를 구비한다. 제1 및 제2 노드를 가진 센스 증폭기가 제공된다. 제1 차단 회로가 센스 증폭기의 제1 노드와 디지털 라인 사이에 전기적으로 배치되어 제1 노드를 디지털 라인으로부터 선택적으로 차단시키며, 제2 차단 회로가 센스 증폭기의 제2 노드와 디지털 라인 사이에 전기적으로 배치되어 제2 노드를 디지털 라인으로부터 선택적으로 차단시킨다.

또다른 실시예에는 다수의 다이내믹 메모리 셀 캐패시터에 저장된 데이터를 센싱하는 방법이 개시되어 있다. 상기 방법은 디지털 라인에 선택적으로 접속된 제1 노드 및 제2 노드를 가진 센스 증폭기를 평등하게 하는 단계와, 센스 증폭기 회로의 제2 노드를 전기적으로 차단하는 단계와, 다이내믹 메모리 셀 캐패시터에 저장된 데이터를 센싱하는 단계를 구비한다. 다이내믹 메모리 셀 캐패시터에 저장된 데이터를 센싱하는 단계는 다이내믹 메모리 셀 캐패시터를 디지털 라인에 선택적으로 접속시키는 단계와, 센스 증폭기 회로의 제1 노드를 디지털 라인으로부터 전기적으로 차단하는 단계와, 센스 증폭기 회로를 사용하여 제1 노드와 제2 노드 간의 차동 전압을 센싱하는 단계를 포함한다. 또한, 센스 증폭기 회로를 평등하게 하는 단계는 센스 증폭기 회로의 제1 노드를 디지털 라인으로부터 전기적으로 차단하는 단계와, 제2 노드를 디지털 라인에 선택적으로 접속시키는 단계와, 소오스가 제1 노드에 접속되고 드레인이 제2 노드에 접속된 트랜지스터를 활성화하는 단계를 포함한다.

도면의 간단한 설명

도1은 관련 있는 메모리 센싱 회로를 도시한 도면;

도2는 도1의 센싱 회로의 타이밍도;

도3은 본 발명의 센싱 회로를 도시한 도면;

도4는 도3의 회로의 타이밍도;

도5는 도3의 회로의 대안적인 타이밍도;

도6은 센싱 및 평형화 동작을 상세히 설명한 도면;

도7은 대안적인 평형화 동작을 상세히 설명한 도면;

도8은 관련 있는 메모리 회로의 간략한 레이아웃;

도9는 본 발명을 채용한 메모리 회로의 간략한 레이아웃.

실시예

후술하는 양호한 실시예의 상세한 설명에 있어서 첨부 도면을 참고로 하고 있는데, 도면은 본 발명이 실행될 수 있는 특정 실시예를 설명하기 위한 것이다. 실시예들은 본 기술 분야에 숙련된 사람이면 본 발명을 실시할 수 있을 정도로 자세히 설명되어 있다. 또한, 다른 실시예를 사용할 수도 있으며 본 발명의 범주에서 벗어나지 않고서 논리적, 기계적, 전기적 변경도 가능하다. 그러므로 후술되는 상세한 설명을 제한적인 관점에서 보지 말아야 하며, 본 발명의 범위는 첨부된 청구의 범위에 의해서만 한정되는 것이다.

도1에는 통상적인 다이내믹 메모리 액세스 회로의 일부분이 도시되어 있다. 메모리 어레이(100)는 공통 셀 플레이트(104)로서 형성되는 용량성 플레이트를 갖고 다른 노드는 액세스 트랜지스터(106(0)-(n))에 접속되어 있는 캐패시터로서 제조된 다수의 메모리 셀들(102(0)-(n))을 갖는다. 각각의 액세스 트랜지스터는 그 게이트가 워드 라인(108(0)-(n))에 접속된 n-타입 트랜지스터이다. 셀 플레이트(104)는 일반적으로 바이어싱 소스(비도시)에 의해 전원 전압(Vcc)의 절반으로 바이어싱된다.

디지털 라인(110 및 112)은 각각 액세스 트랜지스터 및 메모리 셀에 접속된다. 액세스 트랜지스터(106)가 선택적으로 활성화될 때, 대응하는 메모리 셀(102)에 저장된 전하는 디지털 라인중 하나에 결합된다. N-타입 차단 트랜지스터(114 및 116)는 n-센스 증폭기(118) 및 p-센스 증폭기(120)로부터 디지털 라인(110 및 112)을 각각 차단시키는데 사용된다. 평형 트랜지스터(122)은 후술하는 바와 같이 센스 증폭기들의 노드들을 동일한 전압으로 동등하게 하는데 사용된다.

작동시, 메모리 셀에 기억된 데이터는 도2에 도시된 절차에 따라 액세스되고 센싱될 수 있다. 제1 단계에서는 트랜지스터(122)의 게이트(EQ)를 하이로 유지하여 센스 증폭기(118 및 120)의 노드(129 및 131)를, 바이어싱 회로(비도시)에 의해 바이어싱할 때와 같이, Vcc/2로 균등하게 만든다. 따라서 센스 증폭기 양단의 차동 전압은 영(0)이며 각각의 노드는 공급 전압(Vcc)의 절반인 양호한 전압을 갖는다. 다음 단계에서는 차단 트랜지스터(114 및 116)의 게이트(ISO A 및 ISO B)에 고(하이) 전압을 제공하여 차단 트랜지스터(114 및 116)를 활성화한다. 이렇게 하면 디지털 라인(110 및 112)이 센스 증폭기(118 및 120)에 접속되어 디지털 라인도 Vcc/2로 안정하게 된다. 다음에는 메모리 셀 액세스 트랜지스터(106(0)-(n))중 하나를 관련 워드 라인(108(0)-(n)) 게이트 전압을 상승시켜 선택적으로 활성화한다. 선택된 메모리 셀(102)에 저장된 전하 또는 전하의 부재는 디지털 라인이 공유한다. 캐패시터에 논리 "1"이 기억되었다면 관련 디지털 라인은 예컨대 대략 100mV 전압 만큼 약간 상승한다. 디지털 라인에 공유되는 전하는 메모리 셀에 저장된 전하에 직접 영향을 받는다. 메모리 셀이 충전되지 않았다면 디지털 라인 전압은 예컨대 100mV 하강한다.

n-센스 증폭기(118) 및 p-센스 증폭기(120)는, 공지된 바와 같이, 디지털 라인 간의 차동성을 센싱하고 응답으로 디지털 라인을 최대 레일로 구동한다. N-센스 증폭기(118)는 두 개의 n-채널 트랜지스터들을 가지며 그 게이트들은 다른 트랜지스터의 소오스에 교차 결합된다. 각 트랜지스터의 드레인은 함께 접속되며 NLat라인에 의해 제어된다. NLat라인은 통상적으로 노드들(129 및 131)이 동등하게 되는 레벨과 동일한 레벨, 즉 Vcc/2로 예비-충전된다. NLat라인상의 전압은 노드들중 하나의 고전압을 센싱하도록 하강된다. 예를 들어 노드(129)가 노드(131)보다 100mV 높다고 가정하면, 트랜지스터(119)는 NLat가 노드(129) 이하의 임계 전압만큼 하강할 때 턴온을 개시한다. 노드(131)는 NLat로 풀링되어(pulled) 트랜지스터(117)가 턴온되지 않게 해준다. 유사하게, p-센스 증폭기(120)는 두 개의 교차 결합된 p-채널 트랜지스터(121 및 125)를 갖는다. 각 트랜지스터의 드레인은 함께 접속되며 PLat라인에 의해 제어된다. PLat라인은 통상적으로 노드들(129 및 131)이 동등하게 되는 동일한 레벨 즉 Vcc/2로 예비-충전된다. PLat라인상의 전압은 노드들 중 하나의 저전압을 센싱하도록 상승된다. 예를 들어 노드(131)가 노드(129)보다 100mV 낮다고 가정하면, 트랜지스터(121)는 PLat가 노드(131) 이상의 임계 전압만큼 상승할 때 턴온을 개시한다. 노드(129)는 PLat로 풀링되어 트랜지스터(125)가 턴온되지 않게 해준다. NLat 및 PLat에 최대 전력 레일, 접지 및 Vcc로 각각 스트로브된다. 디지털 라인들 중 하나가 더 높다면, 그 디지털 라인은 Vcc로 구동되는 반면 상보 디지털 라인은 접지로 풀링된다.

도2에 도시된 바와 같이, 디지털 라인들의 전압은 워드 라인이 활성화된 약간 후까지 동등하다. n-센스 증폭기가 먼저 스트로브되어 한 라인을 로우로 구동한 다음 p-센스 증폭기가 스트로브되어 다른 라인을 하이로 구동한다. 디지털 라인들은 평형 트랜지스터(122)가 다시 활성화될 때까지 이 최대 전력 레벨들로 래치되어 있다. 워드 라인이 하이이고 디지털 라인들이 래치되어 있는 시간 동안 메모리 셀이 리프레시된다.

전술한 바와 같이, 디지털 라인들은 금속 라인으로 제조되어 비교적 넓은 다이 면적을 필요로 하며 메모리 장치의 밀도를 증가시키는데 장애가 된다. 그러므로, 디지털 라인들의 수를 감소시키는 것이 바람직하다. 도3은 본 발명의 센싱 회로를 도시한 것이다. 메모리 어레이(123)는 한 노드가 공통 셀 플레이트(127)에 접속된 캐패시터로서 제조되는 메모리 셀들(126(0)-(n))을 구비한다. 셀 플레이트는 바이어싱 회로(비도시)에 의해 Vcc/2로 바이어싱된다. 각 메모리 셀(126)의 다른 플레이트는 n-타입 액세스 트랜지스터들(128(0)-(n))중 하나에 접속된다. 액세스 트랜지스터는 디지털 라인(124)에 접속되며 그 게이트는 워드 라인(130(0)-(n))에 접속된다. 차단 트랜지스터(132)는 n-센스 증폭기(136) 및 p-센스 증폭기(138)의 노드(135)로부터 디지털 라인(124)을 선택적으로 차단시킨다. 유사하게, n-타입 차단/평형 트랜지스터(134)가 센스 증폭기의 노드(137)와 디지털 라인(124) 사이에 접속된다. N-타입 평형 트랜지스터(139)는 센스 증폭기의 노드들(135 및 137)을 공통 전압으로 동등하게 해준다. 후술되는 바와 같이, 상기 공통 전압은 Vcc/2 근방인 것이 적절하다.

도4를 참조하면, 메모리 셀(126)에 기억된 데이터를 센싱하기 위해 디지털 라인(124)과 센스 증폭기의 노드들(135 및 137)은 트랜지스터(139)의 게이트(EQ)를 활성화하여 동등하게 된다. 트랜지스터(134)는 그 게이트 전압(ISO Equil)을 강하시켜 턴오프된다. 기억된 데이터를 센싱하기 이전에 평형 트랜지스터(139)가 턴오프된다. 트랜지스터(139)가 턴오프될 때 노드(137)의 전압은 결합되어 하강된다. 예를 들어, 노드(137)의 전압은 트랜지스터(139)가 턴오프될 때 대략 20mV 하강한다. 그러나 노드(135)는 디지털 라인(124)상의 대용량 캐패시턴스가 트랜지스터(139)의 결합 효과를 막아주어 비교적 안정한 전압을 유지하므로 비교적 변동없이 유지된다. 따라서 트랜지스터(139)가 턴오프될 때 센스 증폭기 노드들(135 및 137) 사이에는 약간의 차동 전압이 즉시 발생하는 것을 알 수 있다. 메모리 셀에 기억된 데이터로부

터 야기되는 통상적인 차동전압이 대략 100mV 이므로, 결합에 의한 20mV의 차동 전압은 상당한 것이며, 후술되는 바와 같이 다루어져야 한다.

노드(137)는 평형 전압으로 래치되어 결합 효과를 낮춘다. 액세스 트랜지스터들(128(0)-(n))은 대응하는 워드 라인들(130(0)-(n))을 상승시켜 선택적으로 활성화된다. 메모리 셀에 저장된 전하 또는 전하의 부재는 디지털 라인과 센스 증폭기 노드(135)에 공유된다. 디지털 라인상의 전압 변화는 메모리 셀에 저장된 전하에 영향을 받으며, 통상적으로 이러한 전압 차이는 전술한 바와 같이 대략 $\pm 100\text{mV}$ 이다.

전하가 디지털 라인에 결합된 다음, 차단 트랜지스터(132)는 그 게이트 전압(ISO Digit)을 하강시켜 턴오프되어 노드(135)를 선택된 디지털 라인으로부터 차단시킨다. 노드(135)를 디지털 라인(124)으로부터 차단시킴으로써, 디지털 라인(124)의 캐패시턴스가 제거되고 노드(135)는 노드(137)가 결합 하강하는 양만큼 결합 하강한다. 그러므로, 센스 증폭기 노드들(135 및 137) 사이의 전체 차동 전압은 선택된 메모리 셀에 기억된 전하와 동등하다.

센스 증폭기는 NLat 및 PLat를 이용하여 노드(135)가 본 기술 분야에 공지된 적절한 공급 레벨로 구동되도록 스트로브된다. 말하자면, 노드(135)가 평형 레벨 이상이면 노드는 Vcc로 구동되고 노드(135)가 평형 레벨 이하이면 접지로 구동된다. 다음에는 ISO Digit를 상승시켜 차단 트랜지스터(132)가 재-활성화되어 전체 디지털 라인(124)이 적절한 전력 레일로 가고 메모리 셀은 리프레시될 수 있다. 워드 라인(130)이 로우 레벨로 복귀한 후, 평형 트랜지스터는 센스 증폭기의 노드 및 디지털 라인이 모두 동등해지도록 재 활성화될 수 있다.

센스 증폭기가 활성화된 채로 트랜지스터(139)를 통해 노드들(135 및 137)을 접속시키면 센스 증폭기에 교차 전류가 생긴다. 이러한 교차 전류는 비교적 클 수 있으며 경제적으로 바람직하지 않은 것이다. 센스 증폭기 노드들중 하나가 원래 Vcc이고 다른 하나가 접지이면, 결과적인 평형 레벨은 Vcc/2 근방인 것은 알 수 있는 일이다.

대안적으로, 트랜지스터(134)를 사용하여 노드(137)를 디지털 라인(124)에 선택적으로 접속시키고 노드(137)를 반대 상태로 만들어 센스 증폭기를 동등하게 할 수 있다. 말하자면, 먼저 노드(135)를 디지털 라인(124)으로부터 차단시킨 다음 트랜지스터(134)를 활성화시킴으로써, 센스 증폭기는 디지털 라인의 전압이 그 상태를 변동하도록 만든다. 예를 들어, 트랜지스터(134)가 활성화되었을 때 디지털 라인이 "1" 이라면, 디지털 라인의 전압은 n-센스 증폭기에 의해 로우로 전이된다. 노드(135)를 일정하게 유지하고 트랜지스터(134)를 사용하면 교차 전류가 없어지는 것을 알 수 있다. 트리거 또는 트래킹 회로(비도시)를 사용하여 전압을 Vcc/2 근방의 레벨로 래치할 수도 있다. 한 실시예에서는 평형 트랜지스터(139)를 턴오프하고 센스 증폭기(136 및 138)를 턴오프하는 타이밍 회로를 사용한다.

도5는 이러한 대안적인 평형 회로의 타이밍을 도시한 것이다. 평형 트랜지스터(139)는 그 게이트 전압(EQ)을 하강시켜서 턴오프된다. 트랜지스터(134)는 그 게이트 ISO Equil를 하강시켜서 턴오프된다. 메모리 셀(126)을 액세스하도록 워드 라인(130)이 상승되고 트랜지스터(132)는 그 게이트 전압(ISO Digit)을 하강시켜서 비활성화된다. 센스 증폭기는 NLat 및 PLat를 이용하여 스트로브되고 트랜지스터(132)가 재활성화되어 메모리 셀을 리프레시한다. 워드 라인이 로우로 복귀한 다음, 트랜지스터(132)가 턴오프되어 디지털 라인(124)을 노드(135)로부터 차단한다. 트랜지스터(134)는 그 게이트 전압(ISO Equil)을 상승시켜 활성화되며 노드(137)는 디지털 라인에 접속된다. 센스 증폭기는 디지털 라인을 충전시키거나 방전시켜서 디지털 라인이 상태 변동을 시작하도록 만든다. 디지털 라인의 전압이 대략 Vcc/2일 때 타이밍 또는 트리거 회로가 평형 트랜지스터(139)를 활성화하고 센스 증폭기를 턴오프한다. 그러므로 노드들(135 및 137)은 동등하게 되고 트랜지스터(132)는 활성화된다. 마지막으로 트랜지스터(134)가 턴오프된다.

도3에는 선택적인 바이어스 회로(141)가 도시되어 있다. 상기 회로는 디지털 라인(142)을 선정된 전압 레벨로 바이어스하는데 사용될 수 있다. 트랜지스터(132 및 139)를 활성화함으로써 센스 증폭기의 노드들은 선정된 전압 레벨로 동등하게 될 수 있다. 이러한 평형화 선택사양은 부가적인 다이 면적을 필요로 하므로 다른 평형 회로보다는 경제적으로 바람직하지 않은 것이다.

도6는 도3의 회로에서 "1" 로써 기억된 데이터를 포함하는 선택된 메모리 셀에서의 센싱 동작을 더욱 상세히 도시한 것이다. Vcc(3.6볼트)로부터 트랜지스터(139)의 게이트(EQ)의 하강 이전에 센스 증폭기 노드들(135 및 137)은 1.8볼트(Vcc/2)로 동등하게 되어 있음을 알 수 있다. EQ가 로우로 갈 때 노드(137)가 결합 하강하므로 노드들(135 및 137) 간에는 약간의 차동 전압이 발생한다. 메모리 셀(126)중 하나가 그 관련 워드 라인(130)을 상승시킴으로써 선택된다. 메모리 셀에 저장된 전하는 디지털 라인 및 노드(135)에 공유된다. 디지털 라인(124)의 캐패시턴스가 메모리 셀의 캐패시턴스보다 높으므로 노드(135)의 전압은 메모리 셀의 전압 강하의 부분만큼만 증가한다. 트랜지스터(132)는 ISO Digit 라인을 하강시켜서 턴오프된다. 그 결과 노드(135)가 결합 하강하며 센스 증폭기 노드들 간의 차동 전압이 메모리 셀 전하의 진정한 값을 반영한다. 센스 증폭기들이 디지털 라인으로부터 전기적으로 차단된 후, n-센스 증폭기(136)가 스트로브되고(포인트 N으로 도시) 그 다음 p-센스 증폭기(138)가 스트로브된다(포인트 P로 도시). 노드(135)는 n-센스 증폭기가 스트로브된 후 로우로 결합되지만 p-센스 증폭기가 스트로브될 때 하이로 풀링된다. 트랜지스터(132)가 재활성화되어 노드(135)를 디지털 라인 및 메모리 셀(126)에 접속시킨다. ISO Digit 라인이 하이로 갈 때 센스 증폭기의 노드들은 모두 하이로 결합된다. 노드(135)는 p-센스 증폭기에 의해 하이로 풀링되며 노드(137)는 n-센스 증폭기에 의해 로우로 풀링된다. 메모리 셀은 트랜지스터(132) 및 트랜지스터(130)가 모두 활성화되어 있는 동안 리프레시된다. 즉, 메모리 셀(126)의 전압이 Vcc로 풀링되어 셀을 재충전시킨다. 본 기술 분야의 숙련자에게 공지된 바와 같이, 트랜지스터들(132 및 130)의 게이트 전압은 Vcc 이상의 하이 레벨을 갖는 펌프 전압에 접속된다. EQ 라인이 하이로 복귀하여 트랜지스터(139)를 활성화하고 노드들(135 및 137)은 Vcc/2로 동등해진다.

도7은 도6과 유사한 것이지만, 센스 증폭기 노드들(135 및 137)은 트랜지스터(134)를 이용하여 평형화된다. 센스 증폭기에 의해 노드가 최대 레일로 구동된 다음, ISO Equil이 상승되어 트랜지스터(134)를 활성화한다. 그러므로 노드(137)는 처음에 하이로 결합된 다음 디지털 라인의 전압이 방전됨에 따라 로우로 복귀하기 시작한다. 노드(137)의 전압 레벨이 대략 Vcc/2일 때 트랜지스터(139)가 활성화되고 센스

증폭기가 턴오프되어 노드들(135 및 137)을 동등하게 한다. 평형 전압 레벨은 그 레벨이 NLat 및 PLat의 바이어스 전압과 거의 동일하게 유지되는 한도에서 변동할 수 있다.

싱글-엔드 센싱 회로를 사용함으로써 주어진 용량의 메모리에 필요한 디지털 라인의 수를 감소시킬 수 있다. 또한 메모리 셀을 디지털 라인에 접속하는데 필요한 스페이싱이 감소되어 메모리 셀을 축소시킬 수 있다. 도8를 참조하면, 집적 회로가 두 개의 디지털 라인(140)을 사용하여 메모리 셀(142)을 각각 센스 증폭기(144)에 접속시키고 있다. 메모리 셀들은 하나 걸러의 로우 라인(146)과 하나 걸러의 디지털 라인의 교차점에 하나의 메모리 셀(142)을 갖도록 배열된다. 그러므로, 각각의 센스 증폭기는 도면에서 4개의 상이한 메모리 셀을 선택적으로 센싱할 수 있다. 그러나, 메모리 셀 사이즈의 축소는 레이아웃 스페이싱 요건을 충족시킬 정도로 완전하게 실현될 수 없다는 것을 알 수 있다. 이에 비해, 도9는 본 발명의 셀 플레이트 바이어싱을 채용한 집적 회로를 도시하고 있는데, 여기서 메모리 셀(150)은 디지털 라인(148)과 로우 라인(152)의 각각의 교차점에 배치된다. 센스 증폭기 회로(154)는, 전술한 바와 같이, 싱글-엔드 회로를 사용하여 바이어싱되며 도면에서 4개의 상이한 메모리 셀을 선택적으로 센싱할 수 있다.

제2 디지털 라인을 제거함으로써 메모리 셀의 스페이싱이 상당히 축소될 수 있다. 본 발명에서는 $6F^2$ 사이즈 메모리 셀의 사용이 가능한 반면 통상적인 회로는 $8F^2$ 메모리 셀을 사용한다. 여기서 F는 본 기술 분야에 공지된 바와 같은 디바이스의 최소 배선폭이다.

디지털 라인이 더 적게 필요한 집적 회로 다이내믹 메모리에 대해 설명하였다. 집적 회로는 메모리 셀 캐패시터에 저장된 전하를 센싱하기 위해 두 개의 디지털 라인 대신 하나의 디지털 라인을 사용한다. 디지털 라인 하나를 제거하는 것은 메모리 셀 및 관련 회로의 소형화에 크게 기여한다. 또한, 메모리 셀에 기억된 데이터를 센싱하기 전에 싱글-엔드 센스 증폭기를 균등하게 하는 몇가지 회로 및 방법도 제공되어 있다.

(57) 청구의 범위

청구항 1

다수의 메모리 셀(126)들, 상기 다수의 메모리 셀들 및 싱글 디지털 라인(124)에 접속된 다수의 액세스 장치들(128), 및 제1과 제2 차단 트랜지스터들(132, 134) 각각을 통해 상기 싱글 디지털 라인에 선택적으로 각각 접속되는 제1과 제2 노드들(135, 137)을 갖는 차동 센스 증폭기 회로(136, 138)를 포함하고, 상기 제1 노드는 센싱된 메모리 셀상에 저장된 데이터를 나타내는 제1 로직 상태에 있고, 상기 제2 노드는 그 반대 로직 상태에 있는 메모리 장치를 작동하는 방법에 있어서,

차단 신호(IS0 DIGIT)를 상기 제1 차단 트랜지스터의 게이트에 제공하여 상기 센스 증폭기 회로의 제1 노드를 상기 싱글 디지털 라인으로부터 전기적으로 차단하는 단계;

다른 차단 신호(IS0 EQUIL)를 상기 제2 차단 트랜지스터의 게이트에 제공하여 상기 차동 센스 증폭기 회로가 활성화되어 있는 동안 상기 제2 노드를 상기 싱글 디지털 라인에 선택적으로 접속하는 단계;

평형 회로(139)를 활성화하여 상기 제1 노드를 상기 제2 노드에 결합하고 상기 차동 센스 증폭기 회로를 비활성화하여 상기 메모리 장치를 평형화하는 단계

를 포함하는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서,

상기 평형 회로(139)를 활성화하고 상기 차동 센스 증폭기 회로를 비활성화하는 상기 단계는 상기 싱글 디지털 라인이 선택된 전압 레벨에 도달하는 때를 검출하는 트리거 회로에 응답하여 시작되는 것을 특징으로 하는 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 평형 회로는 상기 차동 센스 증폭기 회로의 상기 제1 노드에 접속된 소스와 상기 제2 노드에 접속된 드레인을 갖는 트랜지스터(139)를 포함하는 것을 특징으로 하는 방법.

청구항 4

제1항에 있어서,

상기 다수의 메모리 셀들은 다이내믹 메모리 셀 캐패시터들인 것을 특징으로 하는 방법.

청구항 5

제4항에 있어서,

상기 다수의 메모리 셀 캐패시터들 각각은 제1 스토리지 플레이트와 공통의 제2 플레이트(127)를 갖는 것을 특징으로 하는 방법.

청구항 6

제5항에 있어서,

상기 공통의 제2 플레이트는 공급 전압(Vcc)의 1/2인 바이어스 전압에 접속되는 것을 특징으로 하는 방법.

청구항 7

제1항에 있어서, 상기 차동 센스 증폭기는,

상기 제2 노드에 접속된 게이트와 상기 제1 노드에 접속된 소오스를 가진 제1 n-채널 트랜지스터;

상기 제1 노드에 접속된 게이트와 상기 제1 n-채널 트랜지스터의 드레인에 접속된 드레인과 상기 제2 노드에 접속된 소오스를 가진 제2 n-채널 트랜지스터;

상기 제2 노드에 접속된 게이트와 상기 제1 노드에 접속된 소오스를 가진 제1 p-채널 트랜지스터; 및

상기 제1 노드에 접속된 게이트와 상기 제1 p-채널 트랜지스터의 드레인에 접속된 드레인과 상기 제2 노드에 접속된 소오스를 가진 제2 p-채널 트랜지스터

를 포함하는 것을 특징으로 하는 방법.

청구항 8

제1항에 있어서, 상기 다른 차단 신호를 상기 제2 차단 트랜지스터의 게이트에 제공하는 단계는 상기 차단 신호를 상기 제1 차단 트랜지스터의 게이트에 제공하는 단계 후에 수행되는 것을 특징으로 하는 방법.

청구항 9

제1항에 있어서,

상기 제1 및 제2 차단 트랜지스터들은 n-채널 트랜지스터들인 것을 특징으로 하는 방법.

청구항 10

제1항에 있어서,

상기 제2 노드를 상기 싱글 디지털 라인으로부터 전기적으로 차단하는 단계;

상기 메모리 셀을 상기 싱글 디지털 라인에 선택적으로 접속하는 단계;

상기 센스 증폭기 회로의 상기 제1 노드를 상기 싱글 디지털 라인으로부터 전기적으로 차단하는 단계; 및

상기 센스 증폭기 회로를 사용하여, 상기 제1 노드와 상기 제2 노드 사이의 차동 전압을 센싱하는 단계를 더 포함하는 방법.

청구항 11

제1항에 있어서, 상기 메모리 셀은

상기 센스 증폭기의 제1 노드(135)를 상기 싱글 디지털 라인에 전기적으로 접속하는 단계;

상기 센스 증폭기의 상기 제1 노드와 상기 제2 노드 사이에 접속된 상기 평형 회로(139)를 비활성화하는 단계;

상기 센스 증폭기의 상기 제2 노드를 상기 싱글 디지털 라인으로부터 전기적으로 차단하는 단계;

상기 메모리 셀을 상기 싱글 디지털 라인에 전기적으로 접속하여 상기 메모리 셀에 저장된 전하를 상기 싱글 디지털 라인과 공유하는 단계;

상기 센스 증폭기의 상기 제1 노드를 상기 싱글 디지털 라인으로부터 전기적으로 차단하는 단계;

상기 센스 증폭기의 상기 제1 노드와 상기 제2 노드 사이의 차동 전압을 센싱하고, 상기 센스 증폭기의 상기 제1 노드를 상기 싱글 디지털 라인에 접속하여 상기 메모리 셀 내에 저장된 데이터를 리프레시하는 단계; 및

상기 메모리 셀을 상기 싱글 디지털 라인으로부터 분리하는 단계

에 의해 센싱되고 리프레시되는 것을 특징으로 하는 방법.

청구항 12

제1항에 있어서,

상기 다수의 메모리 셀 캐패시터들은 $6F^2$ 메모리 셀들로 제조되는 방법.

청구항 13

다수의 메모리 셀(126)들, 상기 다수의 메모리 셀들 및 싱글 디지털 라인(124)에 접속된 다수의 액세스 장치들(128), 및 제1과 제2 차단 트랜지스터들(132, 134) 각각을 통해 상기 싱글 디지털 라인에 선택적으로 각각 접속되는 제1과 제2 노드들(135, 137)을 갖는 차동 센스 증폭기 회로(136, 138)를 포함하고, 메모리 셀의 센싱 및 리프레싱 결과, 상기 제1 노드는 센싱된 메모리 셀 상에 저장된 데이터를 나타내는 제1 로직 상태에 있게 되고 상기 제2 노드는 그 반대의 로직 상태에 있게 되는 메모리 장치에 있어서,

차단 신호(ISO DIGIT)를 상기 제1 차단 트랜지스터의 게이트에 제공하여 상기 센스 증폭기 회로를 상기 싱글 디지털 라인으로부터 전기적으로 차단하는 수단;

다른 차단 신호(ISO EQUIL)를 상기 제2 차단 트랜지스터의 게이트에 제공하여 상기 차동 센스 증폭기 회로가 활성화되어 있는 동안 상기 제2 노드를 상기 싱글 디지털 라인에 선택적으로 접속하는 수단; 및

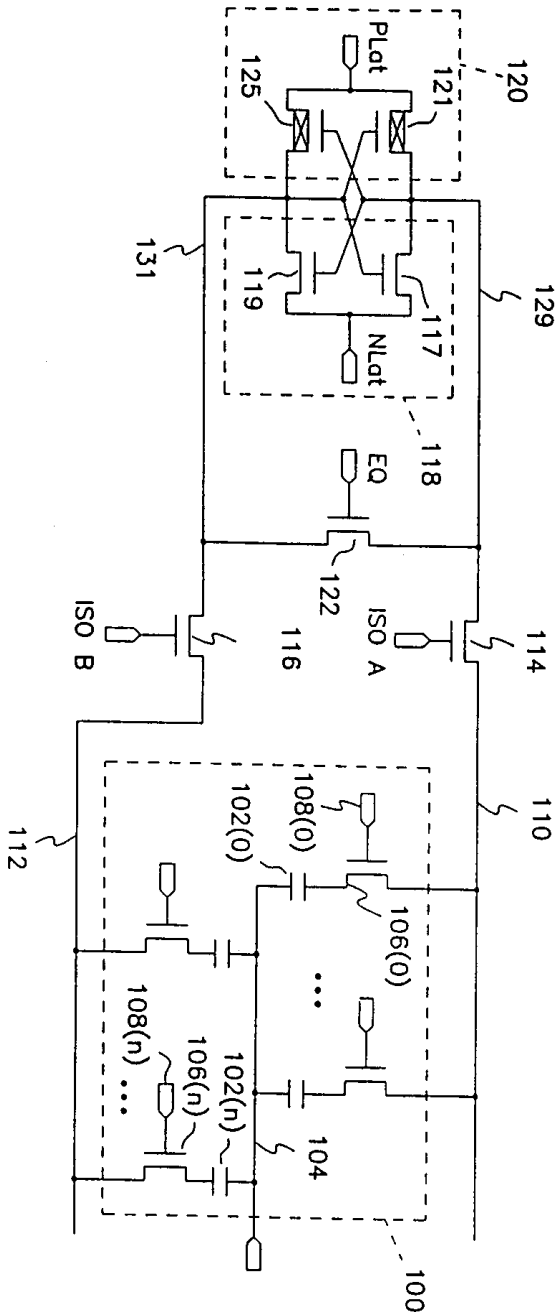
평형 회로(139)를 활성화하여 상기 제1 노드를 상기 제2 노드에 결합하고 상기 차동 센스 증폭기 회로를 비활성화하여 상기 메모리 장치를 평형화하는 수단

을 포함하는 것을 특징으로 하는 메모리 장치.

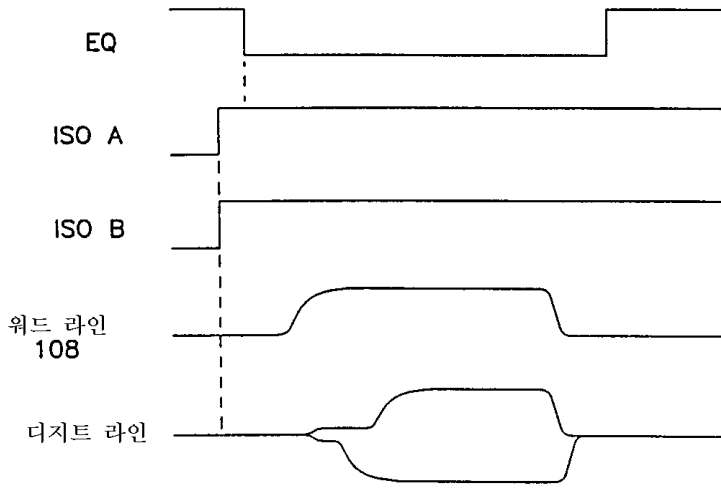
도면

도면1

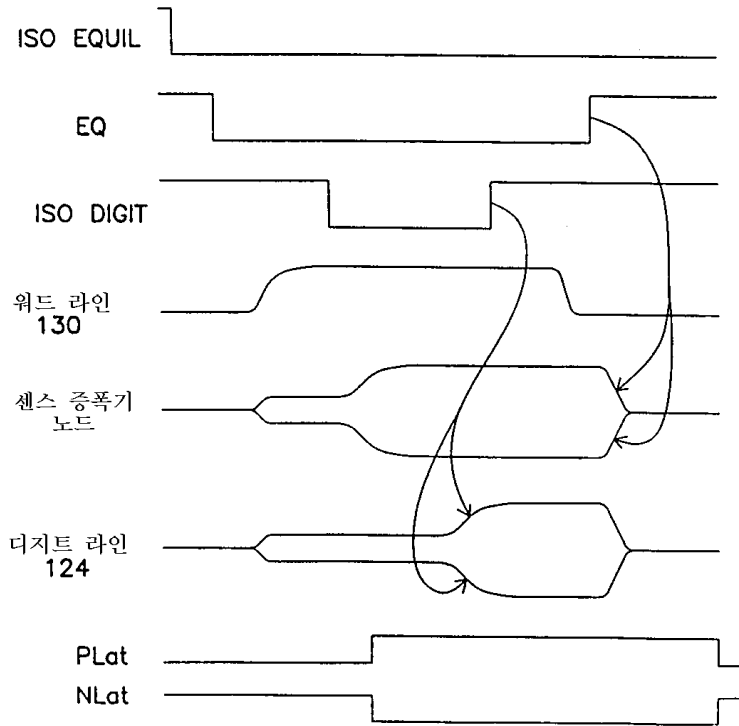
(관련 기술)



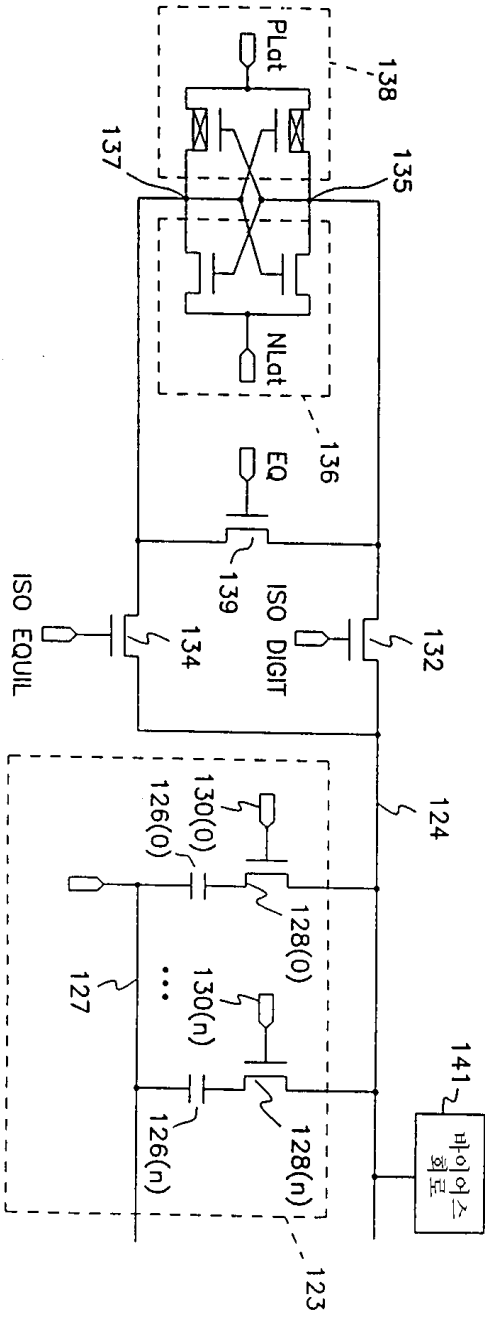
도면2



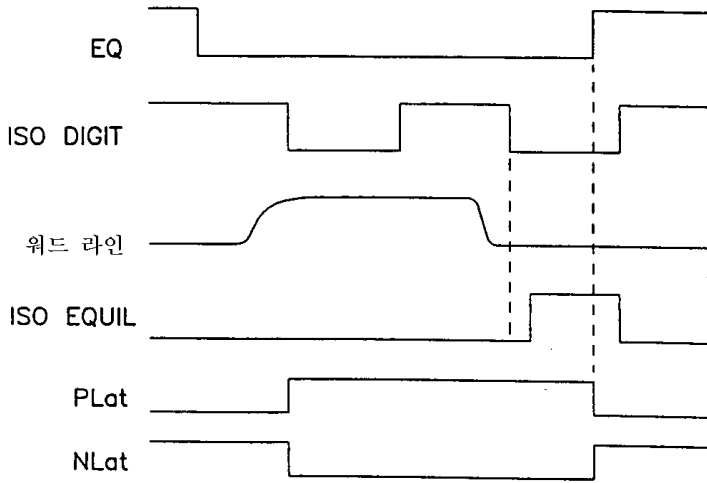
도면3



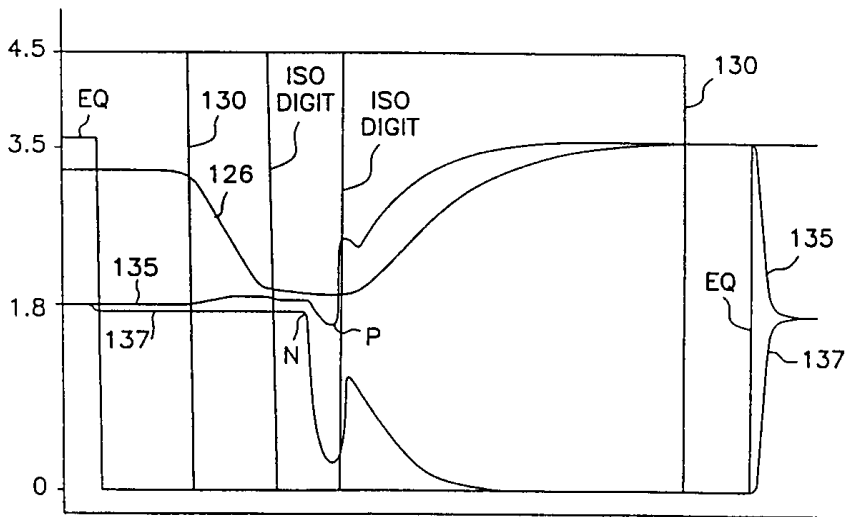
도면4



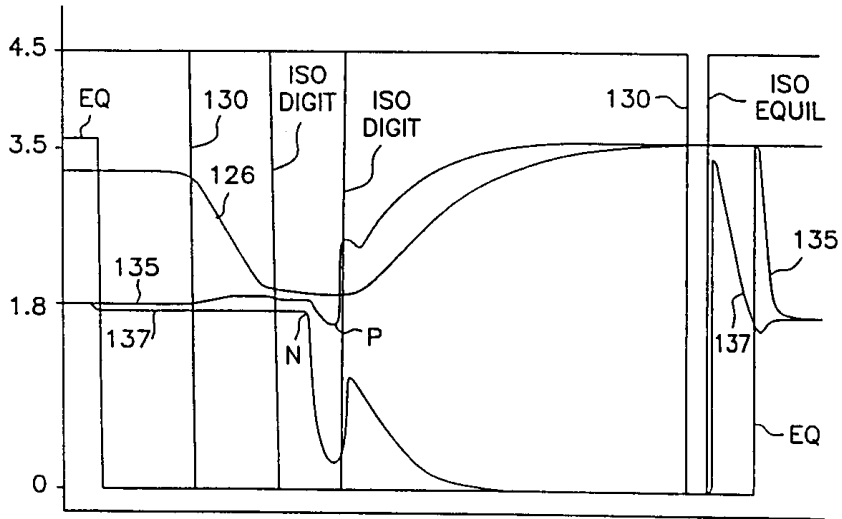
도면5



도면6

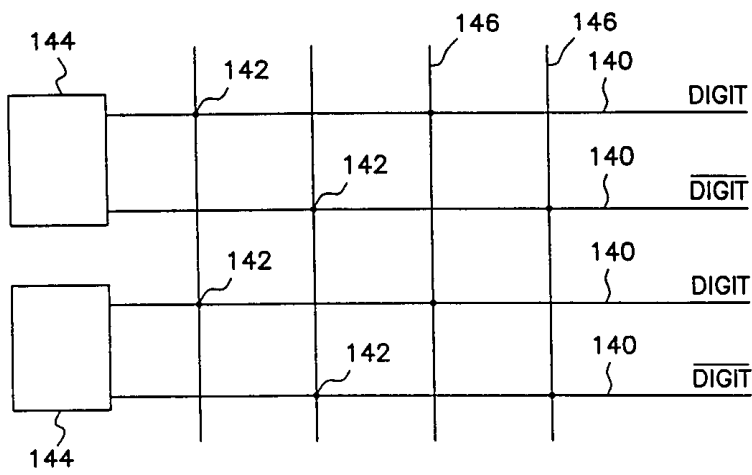


도면7

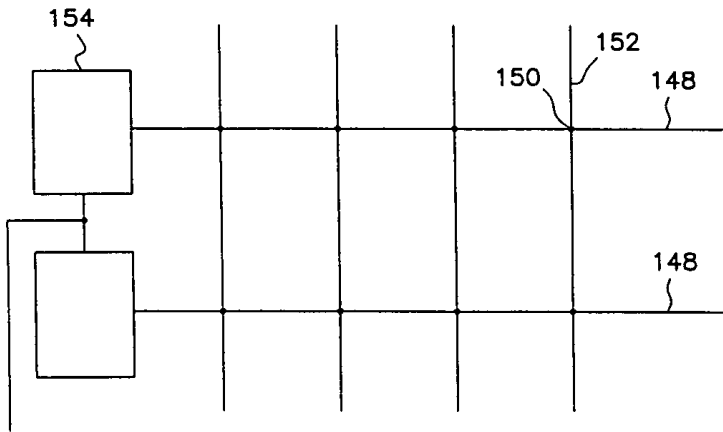


도면8

(관련 기술)



도면9



셀 플레이트