

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年5月26日(26.05.2017)



(10) 国際公開番号
WO 2017/085845 A1

- (51) 国際特許分類:
H04L 25/03 (2006.01) **H04L 25/02** (2006.01)
H04L 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2015/082612
- (22) 国際出願日: 2015年11月19日(19.11.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 堺ディスプレイプロダクト株式会社
(SAKAI DISPLAY PRODUCTS CORPORATION)
[JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地
Osaka (JP).
- (72) 発明者: 堀邊 隆介(HORIBE, Ryusuke); 〒5908522
大阪府堺市堺区匠町1番地 堺ディスプレイ
プロダクト株式会社内 Osaka (JP).
- (74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.); 〒
5400035 大阪府大阪市中央区釣鐘町二丁目4番
3号 河野特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

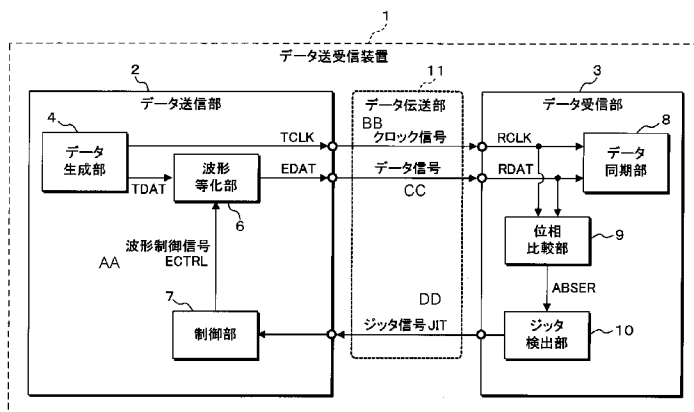
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: DATA TRANSMISSION-RECEPTION APPARATUS AND DISPLAY APPARATUS

(54) 発明の名称: データ送受信装置及び表示装置



- | | |
|---|----------------------------|
| 1 Data transmission-reception apparatus | 9 Phase comparison unit |
| 2 Data transmission unit | 10 Jitter detection unit |
| 3 Data reception unit | 11 Data transfer unit |
| 4 Data generation unit | AA Waveform control signal |
| 6 Waveform equalization unit | BB Clock signal |
| 7 Control unit | CC Data signal |
| 8 Data synchronization unit | DD Jitter signal |

(57) Abstract: Provided is a data transmission-reception apparatus that, regardless of characteristics of a transmission line and a transmission side, can maximize a set-up time and a hold time of a flip-flop when resynchronization is performed and a data signal is determined. The data transmission-reception apparatus is provided with: a data generation unit 4 that generates a clock signal and a data signal that is synchronized with the clock signal; a data synchronization unit 8 that receives the clock signal and the data signal transferred by a data transfer unit 11, and that determines whether the data signal is at an H level or an L level on the basis of a changing edge of the clock signal; output units 9 and 10 that detect the absolute value of a phase error between changing edges of the clock signal and the data signal transferred by the data transfer unit 11, and that output a jitter signal based on the absolute value; a control unit 7 that outputs a waveform control signal for adjusting a high-frequency enhancement level of the data signal generated by the data generation unit 4 so that the jitter signal output by the output units 9 and 10 is minimized; and an enhancement processing unit 6 that performs high-frequency enhancement processing on the data signal on the basis of the waveform control signal output by the control unit 7.

(57) 要約:

[続葉有]



伝送線路及び送信側の特性に依らず、再同期化しデータ信号を判定する時のフリップフロップのセットアップ時間及びホールド時間を最大化できるデータ送受信装置を提供する。 クロック信号、及びクロック信号に同期したデータ信号を生成するデータ生成部４と、データ伝送部１１が伝送したクロック信号及びデータ信号を受信し、クロック信号の変化エッジに基づきデータ信号がＨレベル又はＬレベルかを判定するデータ同期部８と、データ伝送部１１が伝送したクロック信号及びデータ信号の各変化エッジ間の位相誤差の絶対値を検出し、絶対値に基づくジッタ信号を出力する出力部９、１０と、出力部９、１０が出力したジッタ信号が最小となるように、データ生成部４が生成したデータ信号の高域周波数強調度を調整する波形制御信号を出力する制御部７と、制御部７が出力した波形制御信号に基づきデータ信号を高域周波数強調処理する強調処理部６とを備えている。

明 細 書

発明の名称：データ送受信装置及び表示装置

技術分野

[0001] 本発明は、クロック信号、及びクロック信号に同期したデータ信号を生成して伝送し、伝送したクロック信号及びデータ信号を受信して、データ信号のハイ又はローを判定するデータ送受信装置、及びこのデータ送受信装置を備える表示装置に関するものである。

背景技術

[0002] 液晶表示装置及び有機ＥＬ表示装置等の表示装置では、表示画面に画素毎の薄膜トランジスタがマトリクス状に配置されている。このような表示画面では、例えば、横方向の線上の薄膜トランジスタ群毎に、ゲートドライバが各ゲートを同時に第１周期で順次オンにして行き、縦方向の線上の薄膜トランジスタ群毎に、ソースドライバが各ソースに同時に第１周期より短い第２周期で画素データ信号を順次与えて行く。

[0003] 近年、液晶表示装置の高解像度化及び多階調化等の技術進展に伴い、液晶コントローラからソースドライバに伝送する情報量が急激に増大して来っており、パラレル伝送方式では信号線数が増加する為、Point-to-Point接続の低振幅・高速差動データ伝送方式が採用されている。

[0004] 特許文献１には、クロック信号から複数の異なる位相のタップ出力信号をストローク信号として出力するPLL（Phase Locked Loop）回路を備え、シリアル伝送データとクロック信号とのスキュー（位相誤差）を検出し、最適なタイミングのストローク信号を選択して設定するシリアル・パラレル変換装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献１：特開２００３－１３３９６５号公報

発明の概要

発明が解決しようとする課題

[0006] 上述したような低振幅・高速差動データ伝送方式のデータ送受信装置では、表示装置の大画面化が進み、液晶コントローラからソースドライバ迄の距離が長くなると、液晶コントローラ及びソースドライバ間での伝送品質劣化が大きくなり、また伝送線路の特性ばらつきも大きくなる。その為、受信側のデータラッチ回路（フリップフロップ）のセットアップ時間及びホールド時間を満たすことが難しくなっている。

例えば、設計試作時に最適調整して仕様を満足できたとしても、量産ばらつきまで考慮すると、図12に示すように、伝送データ信号のアイパターンが劣化して、ウィンドウマージン（タイミングマージン、電圧マージン）を確保することが困難になるという問題がある。

[0007] また、特許文献1に開示されたシリアル・パラレル変換装置では、液晶パネルの長辺側に複数配置されるドライバのそれぞれにPLL回路を搭載する必要があり、ドライバの回路規模が大きくなり、狭額縁化の阻害要因になるという問題がある。また、液晶パネルの幅広い領域に渡って配置されるソースドライバのそれぞれが発振器を含むPLL回路を備える必要があり、不要電磁波の輻射が増大するという問題がある。

[0008] 本発明は、上述したような事情に鑑みてなされたものであり、伝送線路及びデータ送信部の特性ばらつきに依らず、再同期化してデータ信号を判定する時のフリップフロップのセットアップ時間及びホールド時間を最大化できるデータ送受信装置を提供することを目的とする。

また、本発明は、本発明に係るデータ送受信装置を備える表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 本発明に係るデータ送受信装置は、クロック信号、及び該クロック信号に同期したデータ信号を生成するデータ生成部と、該データ生成部が生成したクロック信号及びデータ信号を伝送するデータ伝送部と、該データ伝送部が伝送したクロック信号及びデータ信号を受信し、該クロック信号の変化エッジ

ジに基づき前記データ信号がHレベル又はLレベルかを判定するデータ同期部と、前記データ伝送部が伝送したクロック信号及びデータ信号の各変化エッジ間の位相誤差の絶対値を検出し、該絶対値に基づくジッタ信号を出力する出力部と、該出力部が出力したジッタ信号が最小となるように、前記データ生成部が生成したデータ信号の高域周波数強調度を調整する波形制御信号を出力する制御部と、該制御部が出力した波形制御信号に基づき前記データ信号を高域周波数強調処理する強調処理部とを備えることを特徴とする。

[0010] 本発明に係るデータ送受信装置は、前記データ生成部が生成したクロック信号及びデータ信号間の位相を調整する位相調整部を更に備え、前記制御部は、前記ジッタ信号が最小となるように、前記位相調整部が位相を調整する為の位相制御信号を更に出力するように構成してあることを特徴とする。

[0011] 本発明に係る表示装置は、本発明に係るデータ送受信装置と、該データ送受信装置が送受信したデータ信号に基づく画像を表示する表示部とを備えることを特徴とする。

発明の効果

[0012] 本発明に係るデータ送受信装置によれば、伝送線路及びデータ送信部の特性ばらつきに依らず、再同期化してデータ信号を判定する時のフリップフロップのセットアップ時間及びホールド時間を最大化できる。また、これにより、安定した高速データ伝送が可能となり、更に、データ受信部にPLL回路等の大規模回路を配置する必要が無いので、表示装置の狭額縁化、及び不要電磁波輻射の増大防止を図ることができる。

[0013] 本発明に係る表示装置によれば、伝送線路及びデータ送信部の特性ばらつきに依らず、再同期化してデータ信号を判定する時のフリップフロップのセットアップ時間及びホールド時間を最大化できる。また、これにより、安定した高速データ伝送が可能となり、更に、データ受信部にPLL回路等の大規模回路を配置する必要が無いので、表示装置の狭額縁化、及び不要電磁波輻射の増大防止を図ることができる。

図面の簡単な説明

[0014] [図1]データ送受信装置及び表示装置の実施例の要部構成を模式的に示す模式図である。

[図2]図1に示すデータ送信部、データ受信部及びデータ伝送部の要部構成例を示すブロック図である。

[図3]データ送受信装置の動作例を示すタイミングチャートである。

[図4]データ同期部、位相比較部及びジッタ検出部の具体的な構成例を示す回路図である。

[図5]データ送受信装置の動作例を示すタイミングチャートである。

[図6]波形等化とデータ伝送波形との関係の例を示す説明図である。

[図7A]波形等化部における高域強調処理の例を示す特性図である。

[図7B]波形等化部における高域強調量とジッタ量との関係の例を示す特性図である。

[図8]データ送受信装置の実施例の要部構成を示すブロック図である。

[図9A]クロック信号及びデータ信号の位相差とジッタ量との関係の例を示す波形図である。

[図9B]クロック信号及びデータ信号の位相差とジッタ量との関係の例を示す波形図である。

[図9C]クロック信号及びデータ信号の位相差とジッタ量との関係の例を示す波形図である。

[図10]位相調整量とジッタ量との関係の例を示す特性図である。

[図11]位相調整量、高域強調量及びジッタ量の関係の例を示す特性図である。

[図12]ウィンドウマージンの減少例を模式的に示す説明図である。

発明を実施するための形態

[0015] 以下に、本発明をその実施例を示す図面に基づいて説明する。

実施例 1

[0016] 図1は、データ送受信装置及び表示装置の実施例1の要部構成を模式的に示す模式図である。

この表示装置は、例えばＴＶ（TeleVision）モニタであり、表示画面（表示部）１２に図示しない画素毎の薄膜トランジスタがマトリクス状に配置され、横方向の線上の薄膜トランジスタ群毎に、図示しないゲートドライバが各ゲートを同時に第１周期で順次オンにする。また、複数のソースドライバ（データ受信部）３が分担して、縦方向の線上の薄膜トランジスタ群毎に、各ソースに同時に第１周期より短い第２周期でデータ信号を順次与える。

[0017] 表示画面１２の裏側には、本実施例１に係るデータ送受信装置を構成するデータ送信部２、データ受信部３及びデータ伝送部１１が設けられている。データ送信部２は、表示画面１２の裏側下部の縁辺部に並設された複数のデータ受信部３と伝送線路により個別に接続されている。データ送信部２及びデータ受信部３間を接続する複数の伝送線路はデータ伝送部１１を構成している。

[0018] 図２は、図１に示すデータ送信部２、データ受信部３及びデータ伝送部１１の要部構成例を示すブロック図である。

このデータ送信部２、データ受信部３及びデータ伝送部１１は、データ送受信装置１を構成しており、データ伝送部１１を介して、データ送信部２及びデータ受信部３が接続されている。尚、ここでは、データ伝送部１１及びデータ送信部２は、１つのデータ受信部３に対応する部分のみを図示しているが、実際には、データ伝送部１１及びデータ送信部２は、複数のデータ受信部３にそれぞれ対応している。

[0019] データ送信部２は、データ生成部４、制御部７及び波形等化部６を備えている。

データ生成部４は、データ受信部３が分担する外部から与えられた映像信号に基づき、クロック信号ＴＣＬＫ、及びクロック信号ＴＣＬＫに同期したデータ信号ＴＤＡＴを生成して出力する。

制御部７は、データ受信部３から与えられたジッタ信号ＪＩＴ（信号波形の時間軸上の揺らぎ量を示す）に基づき、波形制御信号ＥＣＴＲＬを生成して出力する。

波形等化部（強調処理部）6は、制御部7から与えられた波形制御信号E C T R Lに基づき、データ信号T D A Tをプリアンファシス処理（高域（周波数）強調処理）する。

クロック信号T C L K、及びプリアンファシス処理されたデータ信号E D A Tは、データ伝送部11を通じて、データ受信部3へ送信される。

[0020] データ受信部3は、データ同期部8、位相比較部9及びジッタ検出部10を備えている。

データ同期部8は、データ伝送部11が伝送したクロック信号R C L K及びデータ信号R D A Tを受信し、クロック信号R C L Kの変化エッジのタイミングでデータ信号R D A Tの0／1（Lレベル／Hレベル）を判定する。

[0021] 位相比較部（出力部）9は、データ信号R D A T及びクロック信号R C L Kの変化エッジ間の位相誤差の絶対値である絶対値位相誤差信号A B S E Rを検出する（遅れ／進みに関係なく位相誤差をプラスとして検出する）。

ジッタ検出部（出力部）10は、位相比較部9が検出した絶対値位相誤差信号A B S E Rの時間的平均値であるジッタ信号J I Tを演算する。

ジッタ検出部10が演算したジッタ信号J I Tは、データ伝送部11を通じて、データ送信部2の制御部7に与えられる。

[0022] 以下に、このような構成のデータ送受信装置1の動作例を、それを示す図3のタイミングチャートを参照しながら説明する。

データ生成部4でクロック信号T C L K及びデータ信号T D A Tが生成される。

ここで、データ信号T D A Tは、クロック信号T C L Kの立ち下がりから隣接する立ち下がり迄の1周期で単位ビットを構成しており、クロック信号T C L Kの立ち下がりに同期した連続する0／1のデータ列として生成される。

[0023] 生成されたクロック信号T C L K及びデータ信号T D A Tは、データ伝送部11の伝送線路を通じて、データ受信部3のデータ同期部8で受信され、受信されたクロック信号R C L Kの立ち上がりのタイミングで、受信された

データ信号 R D A T の 0 / 1 の判定を行う。

データ生成部 4 が生成したクロック信号 T C L K 及びデータ信号 T D A T を、例えば大型液晶パネル等においてコントロール IC からドライバ IC まで長距離伝送する場合、伝送線路の抵抗、インダクタンス及び寄生容量等により、伝送線路の周波数帯域が制限される。これにより、図 3 に示すように、受信されたクロック信号 R C L K 及びデータ信号 R D A T の波形の歪が大きくなり、振幅低下及び位相シフトが発生する。

[0024] 近年、液晶ディスプレイの高解像度化が進み、データ量が増大するに伴い、クロック信号 T C L K とデータ信号 T D A T の伝送周波数が数 G H z と高速化して来ている。また、液晶ディスプレイの大画面化が進んで伝送線路が長くなるに伴い、伝送線路の周波数帯域が制限されて、伝送信号品質が劣化して来ている。

[0025] データ受信部 3 で受信したクロック信号 R C L K の立ち上がりで、受信したデータ信号 R D A T の 0 / 1 の判定が確実にできるよう、データ送信部 2 は、データ信号 T D A T をクロック信号 T C L K の立ち下がりに同期して遷移する 0 / 1 のデータ列として送信する。しかし、伝送線路により信号波形が劣化して歪が大きくなり、信号振幅の低下及び位相シフト量が大きくなって、データを判定するタイミングでのアイパターンのウィンドウマージンが小さくなると、データ同期部 8 でのデータ信号 R D A T の判定が正しく行えなくなる。

[0026] 通常、受信側のデータ同期部 8 では、フリップフロップを用いてクロック信号 R C L K の立ち上がりエッジでデータ信号 R D A T をラッチして、データ信号 R D A T の 0 / 1 の判定を行う。しかし、クロック信号 R C L K 又はデータ信号 R D A T の位相シフトにより、フリップフロップのセットアップ時間、ホールド時間を満たせなくなると、判定エラーが発生する。判定エラーは、液晶ディスプレイにおいては画面ノイズとなる。

[0027] 上記の問題を解決する為、本実施例 1 においては、図 2, 3 に示すように、データ同期部 8 に入力されるクロック信号 R C L K の立ち下がリエッジと

データ信号 R D A T の変化エッジとの位相誤差の絶対値である絶対値位相誤差信号 A B S E R を位相比較部 9 が検出する。次いで、検出した絶対値位相誤差信号 A B S E R の時間的平均値であるジッタ信号 J I T をジッタ検出部 10 が演算し、演算したジッタ信号 J I T が最小となるように、即ち絶対値位相誤差信号 A B S E R が最小となるように、制御部 7 が波形制御信号 E C T R L を生成し出力する。

[0028] 図 4 は、データ同期部 8、位相比較部 9 及びジッタ検出部 10 の具体的な構成例を示す回路図である。

データ同期部 8 は、D 型フリップフロップで構成され、D (Data) 端子にデータ信号 R D A T が、C (Clock) 端子にクロック信号 R C L K がそれぞれ与えられ、クロック信号 R C L K の立ち上がりエッジのときの、データ信号 R D A T の 0 / 1 値をラッチして Q 端子から出力する。

[0029] 位相比較部 9 は、パルスゲート 13、D 型フリップフロップ 14、15、論理積ゲート 16 を備えている。

パルスゲート 13 は、データ信号 R D A T を与えられ、データ信号 R D A T の立ち上がりエッジ又は立ち下がりエッジが与えられた時に、このエッジタイミングを起点としてクロック信号 T C L K の 1 / 2 周期間 0 となるパルスゲート信号 P G を出力する。

[0030] フリップフロップ 14 は、D 端子に常に 1 が、C 端子にパルスゲート信号 P G が、R (Reset) 端子に論理積ゲート 16 の出力信号が与えられ、Q 端子から進み位相誤差信号 L D E R を出力する。フリップフロップ 14 は、C 端子に立ち上がりエッジが入力されると、Q 端子出力を 0 から 1 に遷移させ、R 端子入力が 1 になると、Q 端子出力を 0 に戻すように動作する。

[0031] フリップフロップ 15 は、D 端子に常に 1 が、C 端子にクロック信号 R C L K が、R 端子に論理積ゲート 16 の出力信号が、E N (ENable) 端子にパルスゲート信号 P G の反転信号が与えられ、Q 端子から遅れ位相誤差信号 L G E R を出力する。

フリップフロップ 15 は、E N 端子に立ち上がりエッジ (パルスゲート信

号 P G の立ち下がリエッジ) が入力されると、C 端子への立ち上がりエッジの入力待ち状態 (C 端子のイネーブル状態) になる。そして、C 端子に立ち上がりエッジが入力されると、Q 端子出力を 0 から 1 に遷移させて、C 端子への立ち上がりエッジの入力を受け付けない状態 (C 端子のディスエーブル状態) になる。また、R 端子入力が 1 になると、Q 端子出力を 0 に戻すように動作する。

[0032] 論理積ゲート 16 は、一方の入力端子に、フリップフロップ 14 の Q 端子から進み位相誤差信号 L D E R が、他方の入力端子に、フリップフロップ 15 の Q 端子から遅れ位相誤差信号 L G E R が与えられる。論理積ゲート 16 は、また、出力信号をフリップフロップ 14, 15 の R 端子に与える。

[0033] ジッタ検出部 10 は、論理和ゲート 17、F E T (電界効果トランジスタ) 18、インピーダンス変換アンプ 19、コンデンサ 20 及び抵抗 21 を備えている。

論理和ゲート 17 は、一方の入力端子に、フリップフロップ 14 の Q 端子から進み位相誤差信号 L D E R が、他方の入力端子に、フリップフロップ 15 の Q 端子から遅れ位相誤差信号 L G E R が与えられ、出力端子から絶対値位相誤差信号 A B S E R を F E T 18 のゲートに与える。

[0034] コンデンサ 20 及び抵抗 21 は、並列に接続されて充放電回路を構成しており、この充放電回路の一方の端子は接地されている。

F E T 18 は、制御電源、及び充放電回路 (20, 21) の他方の端子間に接続され、ゲートに論理和ゲート 17 の出力端子から絶対値位相誤差信号 A B S E R が与えられる。F E T 18、コンデンサ 20 及び抵抗 21 は、絶対値位相誤差信号 A B S E R に応じて電荷を蓄積するチャージポンプ回路を構成している。

インピーダンス変換アンプ 19 は、入力端子に充放電回路 (20, 21) の他方の端子が接続され、出力端子からジッタ信号 J I T を出力する。ジッタ信号 J I T は、データ伝送部 11 を経由して、データ受信部 2 の制御部 7 に与えられる。

[0035] このような構成のデータ同期部 8、位相比較部 9 及びジッタ検出部 10 の具体的な動作を、それを示す図 3 のタイミングチャートを参照しながら説明する。

データ同期部 8 は、フリップフロップが、クロック信号 RCLK の立ち上がりエッジの時に、データ信号 RDAT の 0 / 1 値をラッチして、同期化データ信号として出力する。

[0036] 位相比較部 9 では、データ信号 RDAT の立ち上がりエッジとクロック信号 RCLK の立ち上がりエッジとの位相比較を行い、進み位相誤差信号 LDER 及び遅れ位相誤差信号 LGER を出力する。但し、データ信号 RDAT の変化エッジとクロック信号 RCLK の変化エッジとは 1 対 1 に対応しない為、データ信号 RDAT の変化エッジに対応するクロック信号 RCLK の変化エッジを選択して位相比較する必要がある。パルスゲート 13 は、この機能を実現する為に設けられている。

[0037] パルスゲート 13 は、データ信号 RDAT が 1 から 0 に、又は 0 から 1 に変化すると、その変化時点を起点として、クロック信号 RCLK の周期 T の $1/2$ 周期の期間だけ 0 となった後、元の 1 に戻るパルスゲート信号 PG を生成する。

データ信号 RDAT のレベル変化が無い初期状態においては、パルスゲート信号 PG は 1、フリップフロップ 14、15 の Q 端子出力は 0 である。データ信号 RDAT が 1 から 0 に、又は 0 から 1 に変化すると、変化時点を起点として、パルスゲート信号 PG が 0 に遷移する。パルスゲート信号 PG が 0 になると、フリップフロップ 15 の C 端子がイネーブル状態となり、C 端子の立ち上がりエッジの入力を受け付ける状態となる。

[0038] データ信号 RDAT の位相が、クロック信号 RCLK の位相よりも進んでいるときは、フリップフロップ 15 の C 端子よりも先にフリップフロップ 14 の C 端子に立ち上がりエッジが入力される為、フリップフロップ 14 の Q 端子出力が先に 0 から 1 に遷移し、その後、フリップフロップ 15 の Q 端子出力が 0 から 1 に遷移する。フリップフロップ 14、15 の Q 端子出力が共

に 1 になると、論理積ゲート 16 の出力が 1 となり、フリップフロップ 14, 15 がリセットされて、フリップフロップ 14, 15 の各 Q 端子出力が瞬時に 0 となる。

以上の動作により、データ信号 R D A T の位相がクロック信号 R C L K の位相に対して進んでいる位相差に対応して、進み位相誤差信号 L D E R (フリップフロップ 14 の Q 端子出力) が 1 となり出力される。

[0039] また、データ信号 R D A T の位相が、クロック信号 R C L K の位相よりも遅れているときは、フリップフロップ 14 の C 端子よりも先にフリップフロップ 15 の C 端子に立ち上がりエッジが入力される為、フリップフロップ 15 の Q 端子出力が先に 0 から 1 に遷移し、その後、フリップフロップ 14 の Q 端子出力が 0 から 1 に遷移する。フリップフロップ 14, 15 の Q 端子出力が共に 1 になると、論理積ゲート 16 の出力が 1 となり、フリップフロップ 14, 15 がリセットされて、フリップフロップ 14, 15 の各 Q 端子出力が瞬時に 0 となる。

以上の動作により、データ信号 R D A T の位相がクロック信号 R C L K の位相に対して遅れている位相差に対応して、遅れ位相誤差信号 L G E R (フリップフロップ 15 の Q 端子出力) が 1 となり出力される。

[0040] ジッタ検出部 10 において、論理和ゲート 17 は、進み位相誤差信号 L D E R と遅れ位相誤差信号 L G E R とを論理加算して、絶対値位相誤差信号 A B S E R を出力する。即ち、論理和ゲート 17 は、データ信号 R D A T の位相とクロック信号 R C L K の位相との位相差の絶対値を出力することになる。進み位相誤差信号 L D E R と遅れ位相誤差信号 L G E R が共に 0 のときは、絶対値位相誤差信号 A B S E R は 0 となり、進み位相誤差信号 L D E R 又は遅れ位相誤差信号 L G E R の何れかが 1 となると、絶対値位相誤差信号 A B S E R が 1 となる。

[0041] そして、絶対値位相誤差信号 A B S E R が 1 の期間は、F E T 18 がオンとなり、データ信号 R D A T の進み位相分又は遅れ位相分に相当する電荷がコンデンサ 20 に蓄積され、コンデンサ 20 の端子電圧は、蓄積された電荷

に対応する電圧に上昇する。データ信号 R D A T とクロック信号 R C L K との位相差（位相進みであるか位相遅れであるかは問わない）が大きい程、絶対値位相誤差信号 A B S E R が 1 の期間、即ち F E T 1 8 がオンの期間が長くなり、コンデンサ 2 0 の端子電圧は上昇することになる。

また、コンデンサ 2 0 には抵抗 2 1 が並列に接続されており、一定の時定数で電荷を放電することで、ジッタ検出の時定数を決定する。

[0042] 以上の動作により、図 5 のタイミングチャートに示すように、絶対値位相誤差信号 A B S E R が積分され、コンデンサ 2 0 に蓄積された電荷に対応する端子電圧は、インピーダンス変換するインピーダンス変換アンプ 1 9 により電流増幅されて、時系列的に平均化されたジッタ信号 J I T となる。ジッタ信号 J I T は、データ伝送部 1 1 を経由して、データ受信部 2 の制御部 7 に与えられる。

[0043] 受信されたデータ信号 R D A T の振幅低下に関しては、波形等化部 6 において、図 6、図 7 A、図 7 B に示すように、データ伝送部 1 1 の伝送線路における帯域制限の周波數位相特性を逆補正するような高域（周波数）強調処理（プリアンファシス処理）を施す。これにより、位相シフトを抑制することができる。

尚、高域強調処理に関しては、高域強調量の最適値が存在する為、制御部 7 にて波形等化部 6 の高域強調量を制御する波形制御信号 E C T R L を制御することで、ジッタ信号 J I T が最小となるように制御することが好ましい。これにより、伝送時のデータ・クロック間の位相シフトを最小限に抑制して、再同期化時におけるセットアップ時間及びホールド時間を最大化することができ、伝送線路及びデータ送信部の特性ばらつきに依らず、判定エラーを低減することが可能である。

実施例 2

[0044] 図 8 は、データ送受信装置の実施例 2 の要部構成を示すブロック図である。

このデータ送受信装置 1 a は、データ送信部 2 a、データ受信部 3 及びデ

ータ伝送部 1 1 により構成されており、データ伝送部 1 1 を介して、データ送信部 2 a 及びデータ受信部 3 が接続されている。尚、ここでは、データ伝送部 1 1 及びデータ送信部 2 a は、1 つのデータ受信部 3 に対応する部分のみを図示しているが、実際には、データ伝送部 1 1 及びデータ送信部 2 a は、複数のデータ受信部 3 にそれぞれ対応している。

[0045] データ送信部 2 a は、データ生成部 4、制御部 7 a、位相調整部 5 及び波形等化部 6 を備えている。

データ生成部 4 は、データ受信部 3 が分担する外部から与えられた映像信号に基づき、クロック信号 T C L K、及びクロック信号 T C L K に同期したデータ信号 T D A T を生成して出力する。

[0046] 制御部 7 a は、データ受信部 3 から与えられたジッタ信号 J I T に基づき、位相制御信号 P C T R L 及び波形制御信号 E C T R L を生成して出力する。

位相調整部 5 は、制御部 7 a から与えられた位相制御信号 P C T R L に基づき、クロック信号 T C L K 又はデータ信号 T D A T を遅延させて、出力するクロック信号 P C L K 及びデータ信号 P D A T 間の相対位相を調整する。

[0047] 波形等化部 6 は、制御部 7 a から与えられた波形制御信号 E C T R L に基づき、データ信号 P D A T を高域（周波数）強調処理（プリエンファシス処理）する。

クロック信号 P C L K、及び高域強調処理されたデータ信号 E D A T は、データ伝送部 1 1 を通じて送信される。データ伝送部 1 1 を通じて送信されたクロック信号 P C L K 及びデータ信号 E D A T は、クロック信号 R C L K 及びデータ信号 R D A T としてデータ受信部 3 で受信される。

[0048] このような構成のデータ送受信装置 1 a では、受信部 3 のジッタ検出部 1 0 が演算したジッタ信号 J I T が最小となるように、即ち絶対値位相誤差信号 A B S E R が最小となるように、制御部 7 a が位相制御信号 P C T R L 及び波形制御信号 E C T R L を生成し出力する。

波形等化部 6 は、波形制御信号 E C T R L に基づき、図 6、図 7 A、図 7

Bに示すように、データ伝送前に伝送線路における帯域制限の周波數位相特性を逆補正するような高域強調処理を施すことにより、位相シフトを抑制することができる。

[0049] つまり、高域強調処理に関しては、高域強調量の最適値が存在するので、制御部7aにて波形制御信号E C T R Lを制御することにより、ジッタ信号J I Tが最小となるように制御することが好ましい。これにより、位相シフトを最小限に抑制して、判定エラーを低減することができる。

[0050] 位相調整部5は、位相制御信号P C T R Lに基づき、クロック信号T C L K又はデータ信号T D A Tを遅延させたクロック信号P C L K又はデータ信号P D A Tを生成して位相調整する。これにより、位相シフトを最小限に抑制することができる。

データ同期部8に入力されるクロック信号R C L Kとデータ信号R D A Tとの間の位相シフト、所謂スキューに関しては、図9A、図9B、図9Cに示すように、遅延させたクロック信号P C L K又はデータ信号P D A Tを生成して位相調整する。これにより、クロック信号R C L Kとデータ信号R D A Tとの間の位相シフトを最小限に抑制することができる。

[0051] つまり、位相調整に関しては、図10に示すように、位相調整量の最適値が存在するので、制御部7aにて位相制御信号P C T R Lを制御することにより、ジッタ信号J I Tが最小となるように制御することが好ましい。これにより、位相シフトを最小限に抑制して、再同期化時におけるセットアップ時間及びホールド時間を最大化することができ、伝送線路及びデータ送信部の特性ばらつきに依らず、判定エラーを低減することが可能である。

[0052] また、波形等化部6の高域強調量の制御と位相調整部5の位相調整量の制御とは、図11に示すように、一方を調整すると他方の最適値がずれてしまうことがある為、独立して調整を行うのではなく、同時に調整することが好ましい。例えば、位相調整量をN点、高域強調量をM点の合計 $N \times M$ 点をマトリクスの的に探索し、ジッタ信号が最小となる最適点を求めて設定することが好ましい。

[0053] 尚、最小点探索には、 $N \times M$ 点のマトリクス全探索の他に、山登り法、再急降下法等の方法を用いることで、高速に最適点を探索することができる。

このデータ送受信装置 1 a のその他の構成及び動作は、実施例 1 において説明したデータ送受信装置 1 の構成及び動作と同様であるので、説明を省略する。

[0054] 本実施例 1, 2 は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上述の説明ではなく請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

産業上の利用可能性

[0055] 本発明は、テレビジョン受像機、パーソナルコンピュータ等に使用される液晶表示装置及び有機 EL 表示装置等に利用することができる。

符号の説明

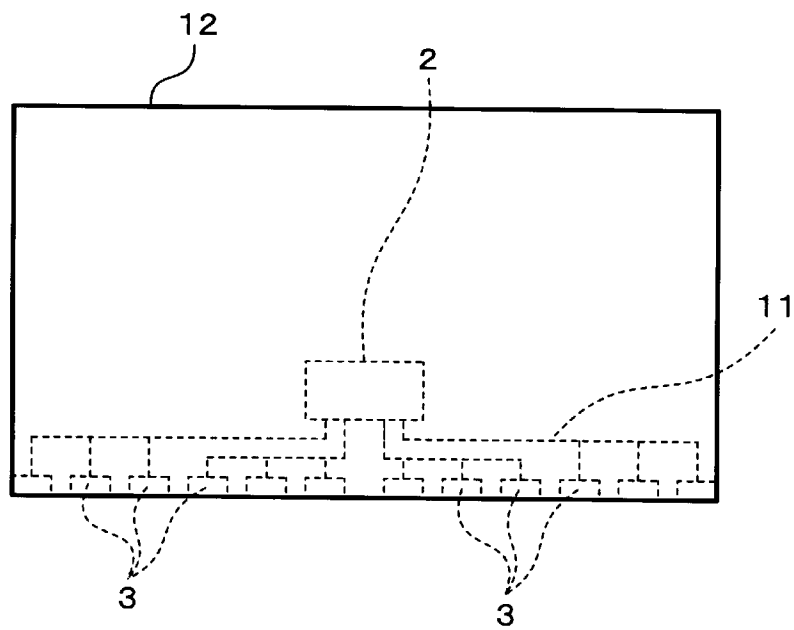
- [0056] 1, 1 a データ送受信装置
2, 2 a データ送信部
3 データ受信部
4 データ生成部
5 位相調整部
6 波形等化部（強調処理部）
7, 7 a 制御部
8 データ同期部
9 位相比較部（出力部）
10 ジッタ検出部（出力部）
11 データ伝送部
12 表示画面（表示部）
13 パルスゲート
14, 15 D型フリップフロップ
16 論理積ゲート

- 1 7 論理和ゲート
- 1 8 F E T
- 1 9 インピーダンス変換アンプ
- 2 0 コンデンサ
- 2 1 抵抗

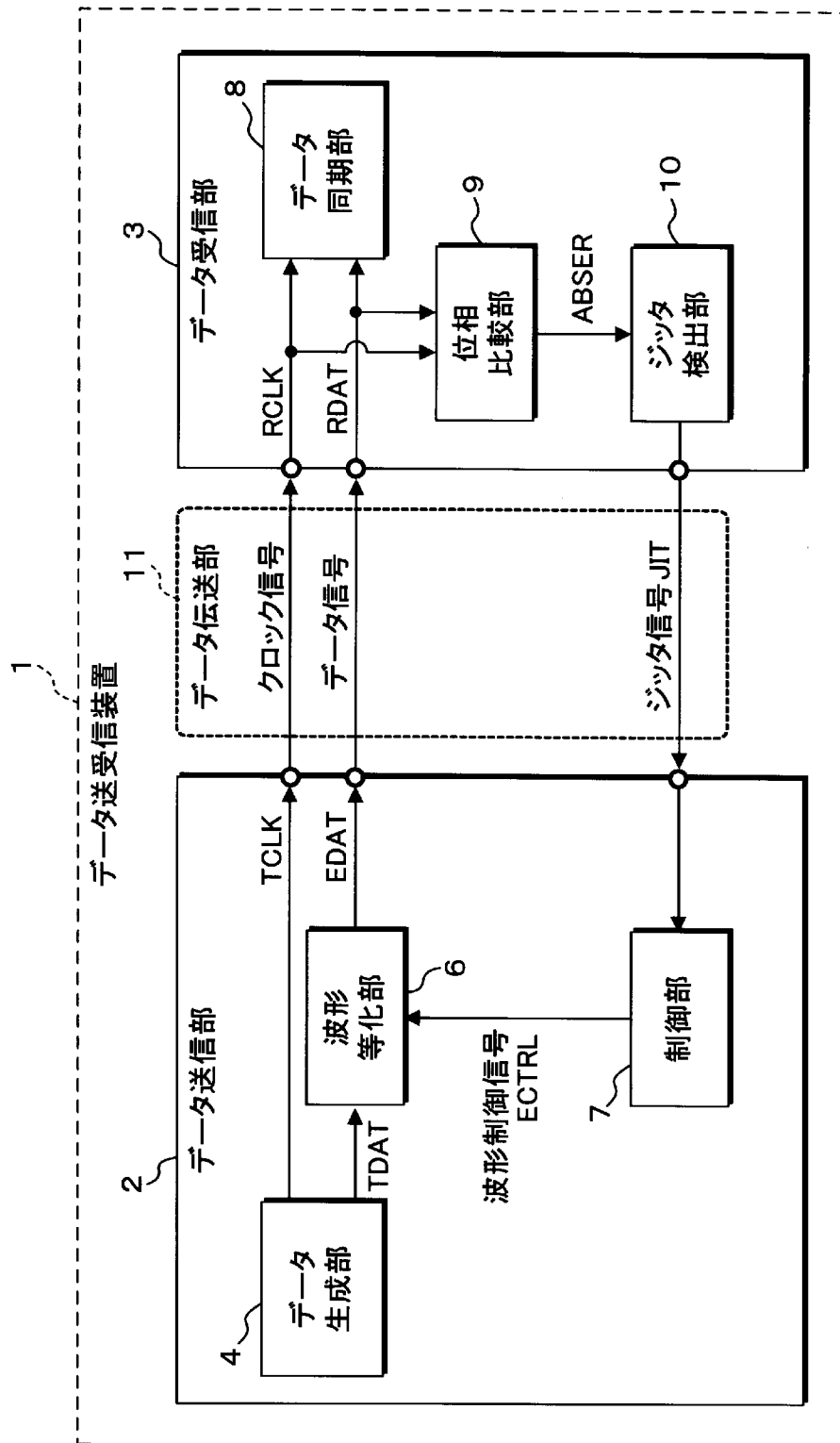
請求の範囲

- [請求項1] クロック信号、及び該クロック信号に同期したデータ信号を生成するデータ生成部と、
- 該データ生成部が生成したクロック信号及びデータ信号を伝送するデータ伝送部と、
- 該データ伝送部が伝送したクロック信号及びデータ信号を受信し、該クロック信号の変化エッジに基づき前記データ信号がHレベル又はLレベルかを判定するデータ同期部と、
- 前記データ伝送部が伝送したクロック信号及びデータ信号の各変化エッジ間の位相誤差の絶対値を検出し、該絶対値に基づくジッタ信号を出力する出力部と、
- 該出力部が出力したジッタ信号が最小となるように、前記データ生成部が生成したデータ信号の高域周波数強調度を調整する波形制御信号を出力する制御部と、
- 該制御部が出力した波形制御信号に基づき前記データ信号を高域周波数強調処理する強調処理部と
- を備えることを特徴とするデータ送受信装置。
- [請求項2] 前記データ生成部が生成したクロック信号及びデータ信号間の位相を調整する位相調整部を更に備え、
- 前記制御部は、前記ジッタ信号が最小となるように、前記位相調整部が位相を調整する為の位相制御信号を更に出力するように構成してある請求項1に記載のデータ送受信装置。
- [請求項3] 請求項1又は2に記載されたデータ送受信装置と、
- 該データ送受信装置が送受信したデータ信号に基づく画像を表示する表示部と
- を備えることを特徴とする表示装置。

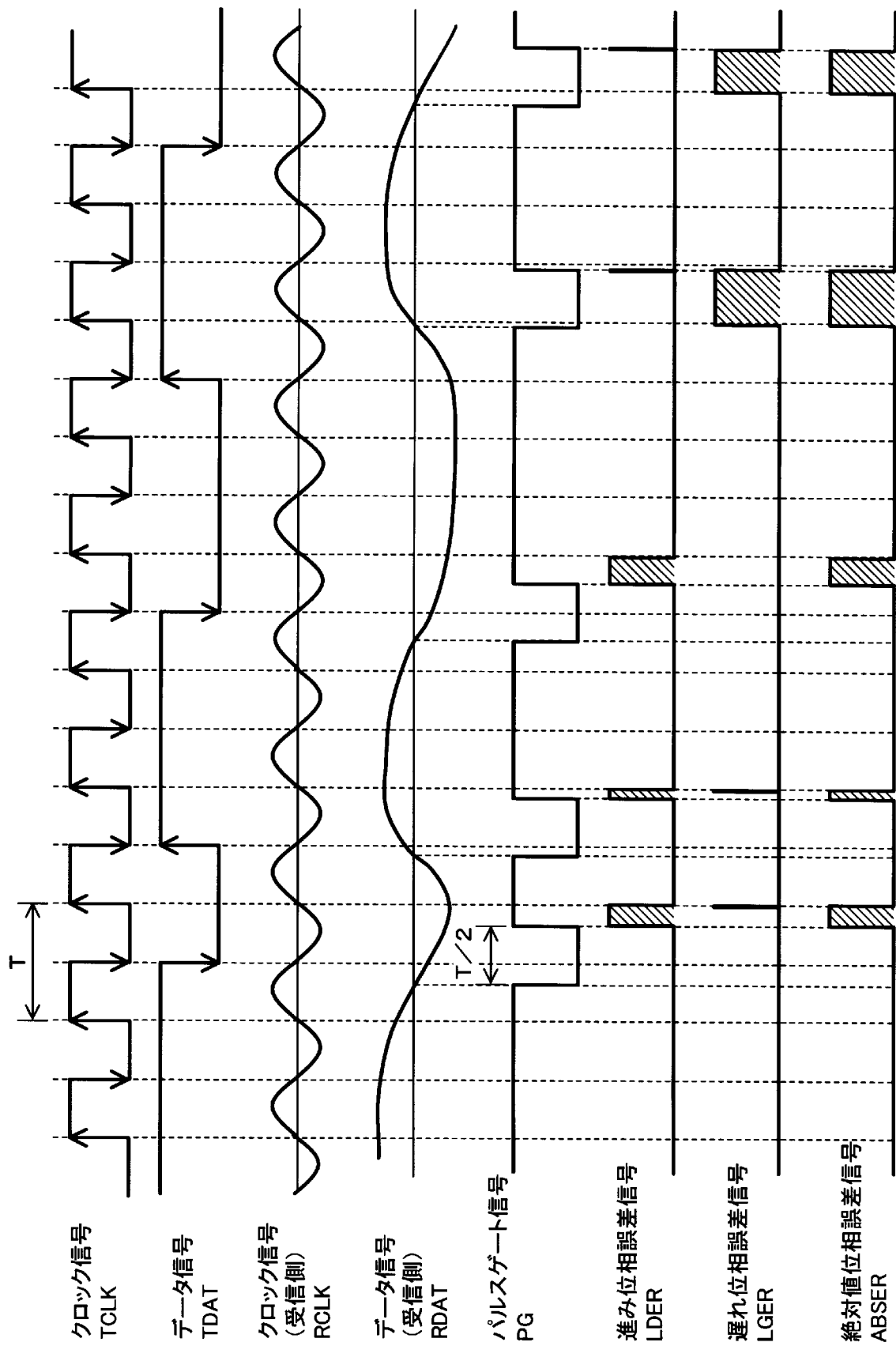
[図1]



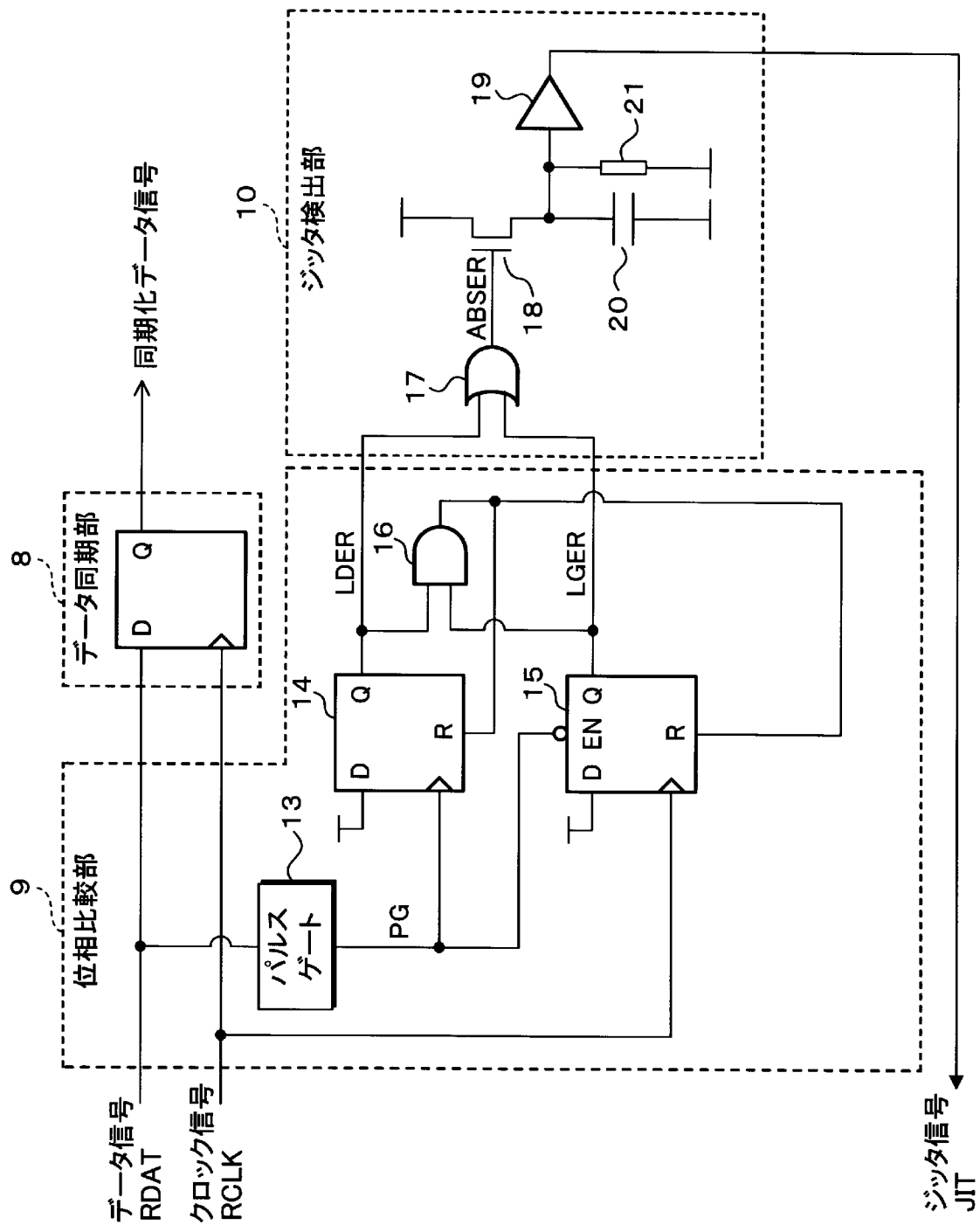
[図2]



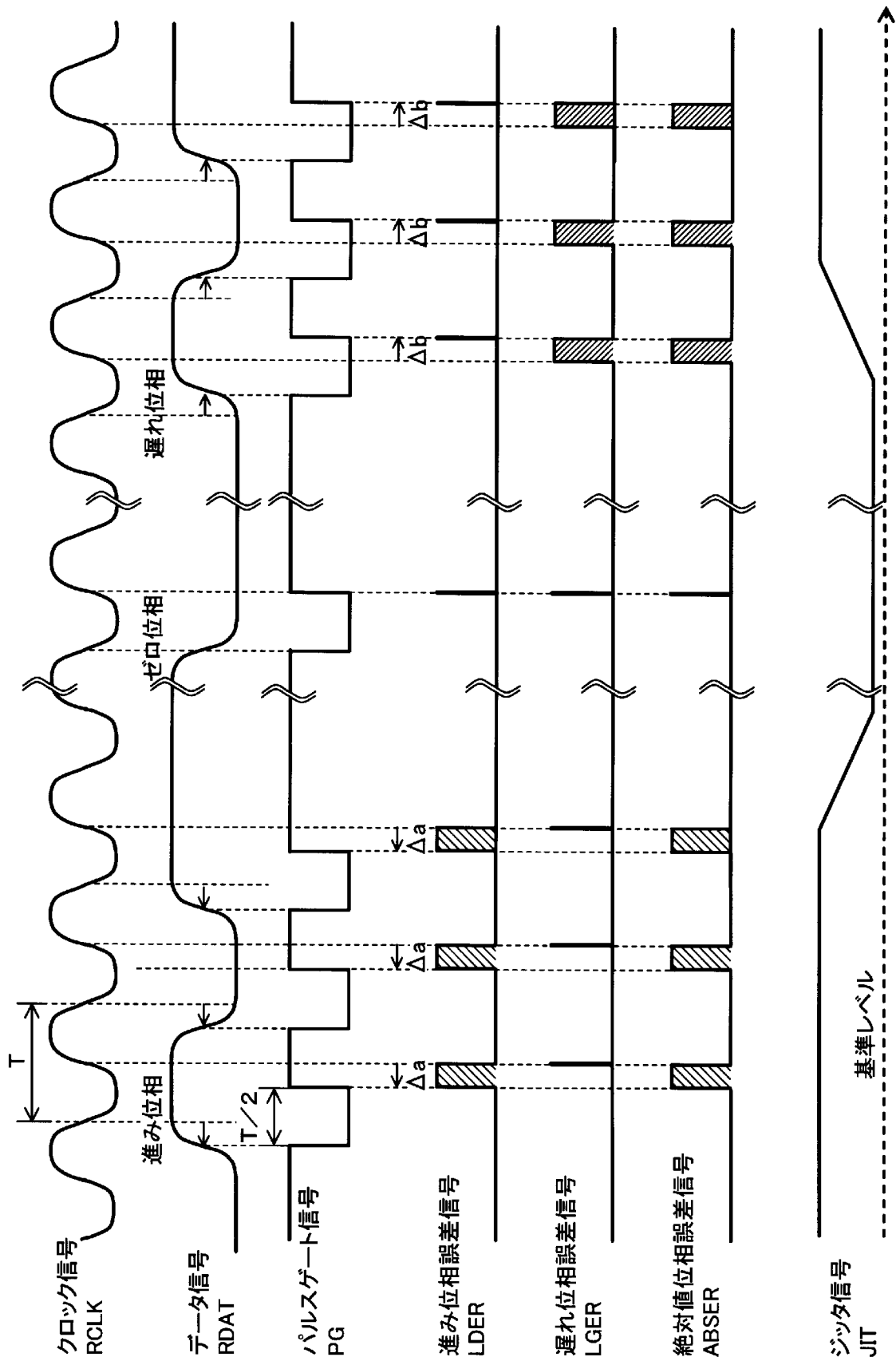
[図3]



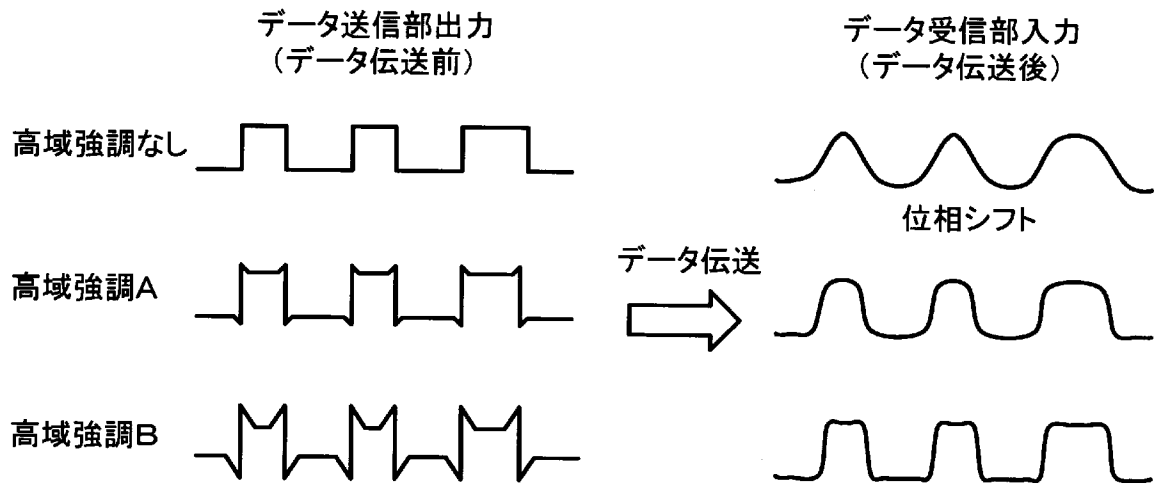
[図4]



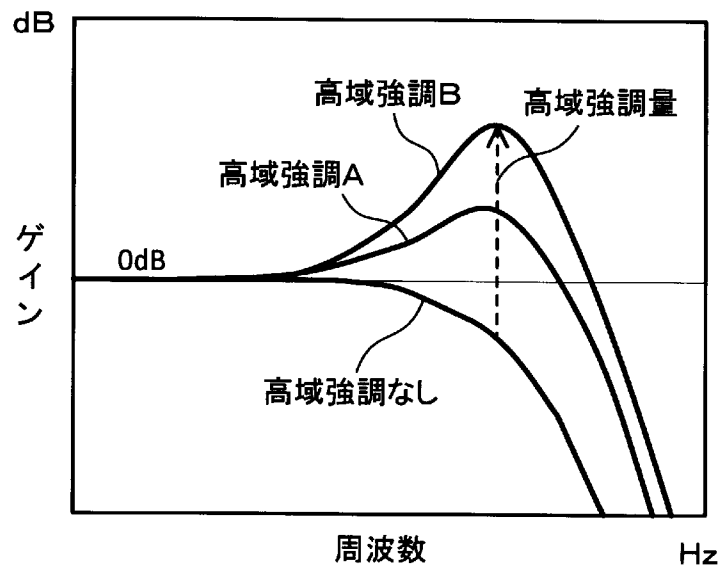
[図5]



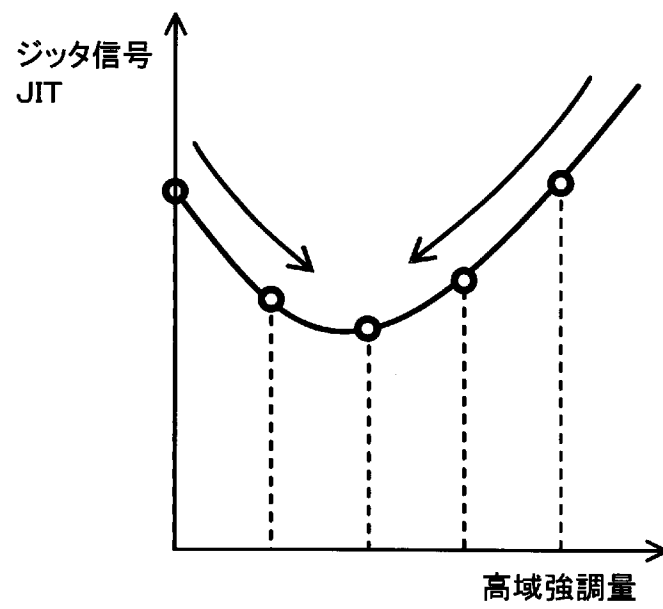
[図6]



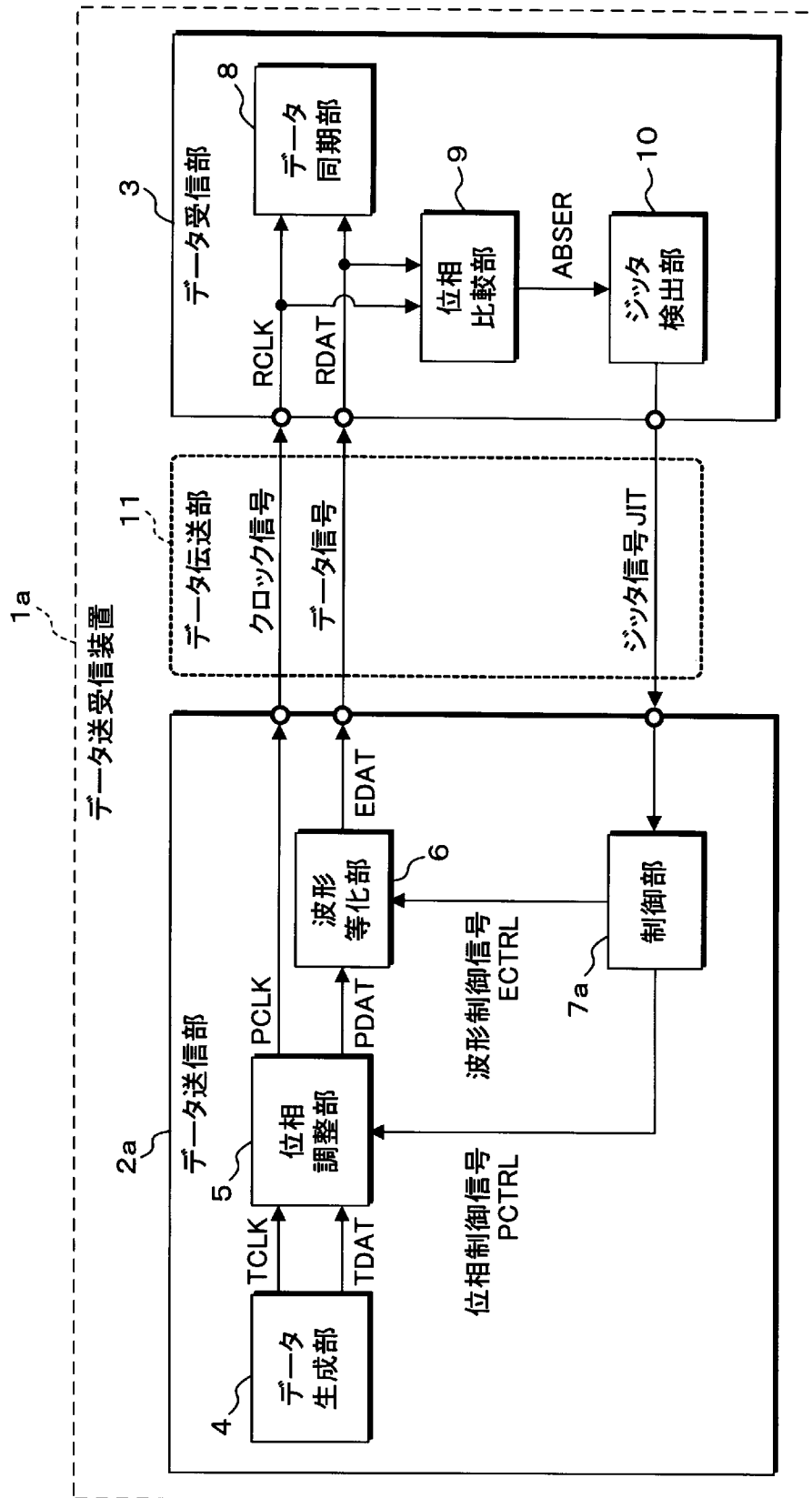
[図7A]



[図7B]

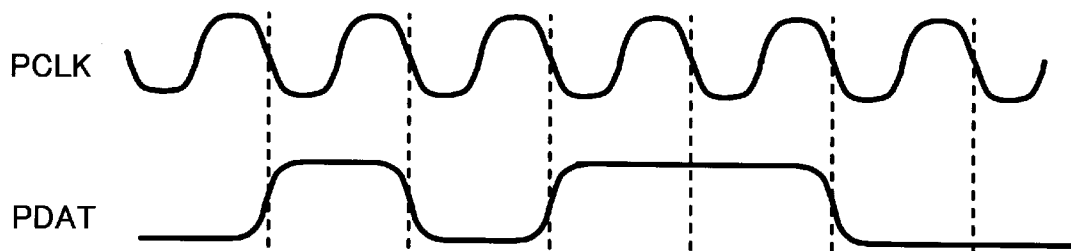


[図8]



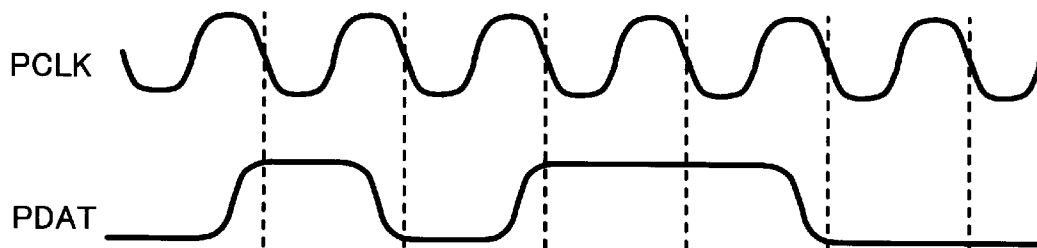
[図9A]

ゼロ位相



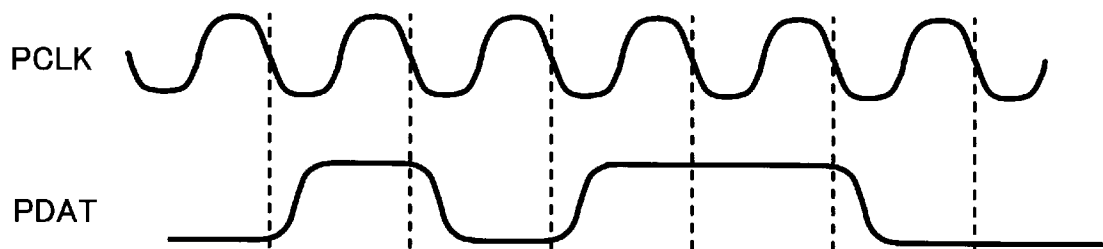
[図9B]

位相進み

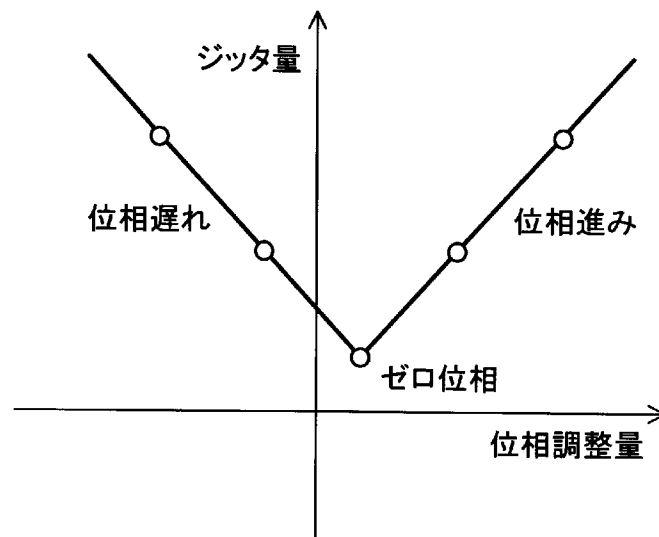


[図9C]

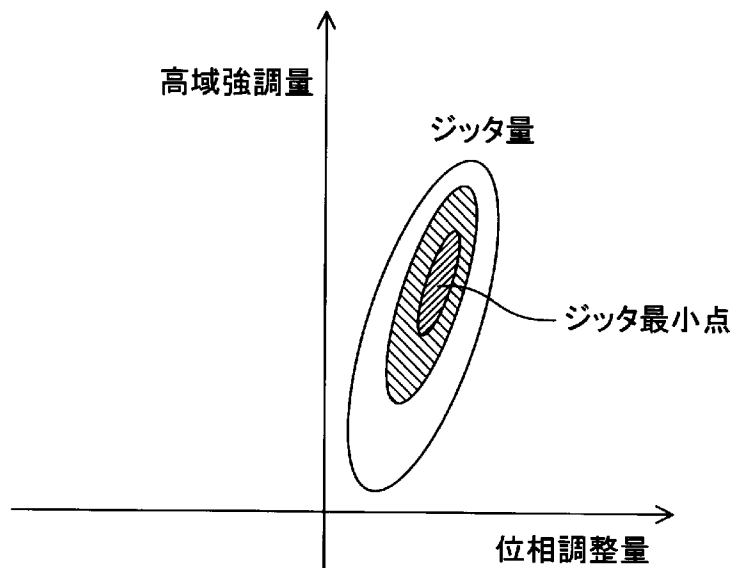
位相遅れ



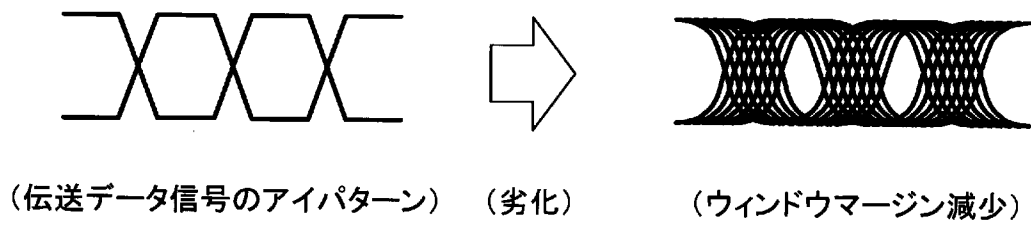
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/082612

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/03(2006.01)i, H04L7/00(2006.01)i, H04L25/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/03, H04L7/00, H04L25/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-146536 A (Fujitsu Ltd.), 13 August 2015 (13.08.2015), paragraphs [0016] to [0022]; fig. 1 to 3 & US 2015/0222302 A1 paragraphs [0019] to [0027]; fig. 1 to 3	1-3
Y	JP 2007-124130 A (Fuji Xerox Co., Ltd.), 17 May 2007 (17.05.2007), paragraphs [0033] to [0044]; fig. 1 (Family: none)	1-3
Y	JP 2001-339374 A (Hitachi, Ltd.), 07 December 2001 (07.12.2001), paragraphs [0019] to [0021]; fig. 1 (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 December 2015 (11.12.15)

Date of mailing of the international search report
22 December 2015 (22.12.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H04L25/03(2006.01)i, H04L7/00(2006.01)i, H04L25/02(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H04L25/03, H04L7/00, H04L25/02			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2－1 9 9 6年 日本国公開実用新案公報 1 9 7 1－2 0 1 5年 日本国実用新案登録公報 1 9 9 6－2 0 1 5年 日本国登録実用新案公報 1 9 9 4－2 0 1 5年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2015-146536 A（富士通株式会社）2015.08.13, 段落[0016]－[0022], 第1－3図 & US 2015/0222302 A1, 段落[0019]－[0027], 第1－3図	1－3	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 1 1 . 1 2 . 2 0 1 5		国際調査報告の発送日 2 2 . 1 2 . 2 0 1 5	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0－8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 阿部 弘 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 5 5 6	5 K 9 3 8 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-124130 A (富士ゼロックス株式会社) 2007.05.17, 段落[0033]－[0044], 第1図 (ファミリーなし)	1－3
Y	JP 2001-339374 A (株式会社日立製作所) 2001.12.07, 段落[0019]－[0021], 第1図 (ファミリーなし)	1－3