



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H03K 19/0175 (2006.01) G01R 19/165 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월01일 10-0652253 2006년11월23일
--	-------------------------------------	--

(21) 출원번호	10-2004-7008879	(65) 공개번호	10-2004-0075873
(22) 출원일자	2004년06월09일	(43) 공개일자	2004년08월30일
심사청구일자	2004년10월18일		
변역문 제출일자	2004년06월09일		
(86) 국제출원번호	PCT/US2002/039176	(87) 국제공개번호	WO 2003/054560
국제출원일자	2002년12월06일	국제공개일자	2003년07월03일

(30) 우선권주장 10/016,513 2001년12월10일 미국(US)

(73) 특허권자 마이크론 테크놀로지 인코포레이티드
미국, 아이다호 83706-9632, 보이즈, 사우스 패더럴 웨이 8000

(72) 발명자 콜리스, 티모시, 비.
미국, 아이다호 83713, 보이즈, 웨스트 우드 스프링 카운티 13345

(74) 대리인 이만재

심사관 : 강윤석

전체 청구항 수 : 총 53 항

(54) 입력버퍼 및 전압레벨 검출방법

(57) 요약

시험목적을 위한 중간레벨 전압의 사용을 용이하게 할 수 있는 전압검출용 입력버퍼회로와 방법이 제공된다. 전압검출을 위한 전형적인 입력버퍼는 기준 발생기와 다상태 검출기를 포함한다. 기준 발생기는 입력신호로서 다상태 검출기에 공급될 적어도 2개의 기준전압을 생성하도록 구성된다. 다상태 검출기는 입력 기준신호를 수신하도록 구성되고, 입력 기준신호와 2개의 기준전압의 비교를 하이, 로우, 중간레벨의 동작상태를 나타내는 3개의 출력단자에 출력신호들을 공급한다. 전형적인 입력버퍼회로는 등을 맞댄 배열로 구성되고 공통노드를 공유하여 저전류요건을 필요로하는 2개의 차동쌍 트랜지스터를 포함할 수 있다. 또한 입력버퍼는 부가적인 공통 핀을 필요로 하지 않고도 동일한 다이패드로부터 다중 동작을 제공할 수 있다.

대표도

도 5

특허청구의 범위

청구항 1.

집적회로 내에서 다중 전압레벨을 검출하기 위한 입력버퍼회로로서,

등을 맞댄 배열로 구성되고, 하나의 공통노드를 공유하며, 하나의 입력전압과 제 1 기준전압 및 제 2 기준전압을 포함하는 적어도 2개의 기준전압을 수신하는 적어도 2개의 차동 입력쌍을 포함하며,

상기 입력버퍼는 상기 입력전압을 상기 제 1 기준전압 및 제 2 기준전압에 비교하여, 상기 입력전압이 상기 제 1 기준전압보다 작으면 제 1 출력신호를 공급하고, 상기 입력전압이 제 1 기준전압과 제 2 기준전압 사이의 전압레벨을 가지면 제 2 출력신호를 공급하며, 상기 입력전압이 상기 제 2 기준전압보다 크면 제 3 출력신호를 공급하는 것을 특징으로 하는 입력버퍼.

청구항 2.

제 1 항에 있어서,

상기 입력버퍼는 2개 이상의 기준전압을 수신하고, 상기 입력전압과 상기 2개 이상의 기준전압의 비교에 대응하는 3개 이상의 출력신호를 생성하는 것을 특징으로 하는 입력버퍼.

청구항 3.

제 1 항에 있어서,

상기 적어도 2개의 차동 입력쌍은,

상기 제 1 기준전압에 결합된 게이트를 구비하는 제 1 트랜지스터와;

상기 입력전압에 결합되는 게이트와 상기 제 1 트랜지스터의 소스에 결합되는 소스를 구비하는 제 2 트랜지스터와;

상기 제 2 기준전압에 결합되는 게이트와, 상기 2개의 차동 입력버퍼가 상기 공통노드를 공유하도록 상기 제 2 트랜지스터의 상기 소스에 결합되는 소스를 구비하는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 입력버퍼.

청구항 4.

제 3 항에 있어서,

상기 입력버퍼는 상기 입력전압과 상기 2개의 기준전압의 비교에 대응하는 출력신호들을 공급하도록 상기 2개의 차동 입력쌍에 결합되는 2개의 전류미러회로를 추가로 포함하는 것을 특징으로 하는 입력버퍼.

청구항 5.

제 4 항에 있어서,

상기 2개의 전류미러회로는,

상기 제 2 트랜지스터의 드레인에 결합되는 게이트와, 상기 제 1 트랜지스터의 드레인에 결합되는 드레인을 구비하는 제 4 트랜지스터와;

상기 제 4 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 드레인에 결합되는 게이트를 구비하는 제 5 트랜지스터와;

상기 제 2 트랜지스터의 상기 드레인에 결합되는 게이트와, 상기 제 3 트랜지스터의 드레인에 결합되는 드레인을 구비하는 제 6 트랜지스터를 포함하는 것을 특징으로 하는 입력버퍼.

청구항 6.

제 5 항에 있어서,

상기 입력버퍼는 상기 제 1 트랜지스터의 상기 드레인과 상기 제 4 트랜지스터의 상기 드레인에 결합된 제 1 인버터와, 상기 제 3 트랜지스터의 상기 드레인과 상기 제 6 트랜지스터의 상기 드레인에 결합된 제 2 인버터로 구성되는 인버터 쌍을 추가로 포함하며, 상기 인버터 쌍은 상기 제 1 출력신호와 상기 제 3 출력신호에 대응하는 출력신호를 공급하도록 구성된 것을 특징으로 하는 입력버퍼.

청구항 7.

제 6 항에 있어서,

상기 입력버퍼는 복수의 논리장치를 추가로 포함하며, 상기 복수의 논리장치는,

상기 제 1 인버터의 출력에 결합되는 입력으로서 상기 제 1 출력신호에 대응하는 입력을 구비하는 제 3 인버터와;

상기 제 2 인버터의 출력에 결합되는 입력과, 상기 제 3 출력신호에 대응하는 출력을 구비하는 제 4 인버터와;

상기 제 3 인버터의 출력과 상기 제 4 인버터의 출력에 결합되는 입력을 구비하는 배타적 OR 게이트와;

상기 배타적 OR 게이트의 출력에 결합되는 입력과, 상기 제 2 출력신호에 대응하는 출력을 구비하는 제 5 인버터를 포함하는 것을 특징으로 하는 입력버퍼.

청구항 8.

집적회로의 중간레벨 동작전압범위를 검출하기 위한 입력버퍼회로로서,

공급전압을 수신하고, 제 1 기준전압과 상기 제 1 기준전압보다 큰 제 2 기준전압을 나타내는 2개의 기준전압을 생성하는 기준 발생기와;

입력전압과 상기 2개의 기준전압을 수신하도록 구성되고, 상기 입력전압과 상기 제 1 및 제 2 기준전압을 비교하여, 상기 입력전압이 상기 제 1 기준전압보다 작으면 로우 입력신호에 대응하는 제 1 출력신호를 공급하고, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨을 가지면 중간레벨 입력신호에 대응하는 제 2 출력신호를 공급하며, 상기 입력전압이 상기 제 2 기준전압보다 크면 하이 입력신호에 대응하는 제 3 출력신호를 공급하는 다상태 검출기를 포함하는 것을 특징으로 하는 입력버퍼회로.

청구항 9.

제 8 항에 있어서,

상기 기준 발생기는 상기 2개의 기준전압 이외에 추가로 제 3 기준 전압을 생성하도록 구성되며, 상기 다상태 검출기는 상기 입력전압과 상기 제 3 기준전압의 비교에 대응하는 제 4 출력신호를 생성하도록 구성되는 것을 특징으로 하는 입력버퍼회로.

청구항 10.

제 8 항에 있어서,

상기 다상태 검출기는 등을 맞댄 배열로 구성되고 공통노드를 공유하는 2개의 차동입력버퍼를 포함하는 것을 특징으로 하는 입력버퍼회로.

청구항 11.

제 10 항에 있어서,

상기 2개의 차동입력버퍼는,

상기 제 1 기준전압에 결합되는 게이트를 구비하는 제 1 트랜지스터와;

상기 입력전압에 결합되는 게이트와, 상기 제 1 트랜지스터의 소스에 결합되는 소스를 구비하는 제 2 트랜지스터와;

상기 제 2 기준전압에 결합되는 게이트와, 상기 2개의 차동 입력버퍼가 상기 공통노드를 공유하도록 상기 제 2 트랜지스터의 상기 소스에 결합되는 소스를 구비하는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 입력버퍼회로.

청구항 12.

제 11 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터는 n-채널 트랜지스터 장치를 포함하는 것을 특징으로 하는 입력버퍼회로.

청구항 13.

제 11 항에 있어서,

상기 다상태 검출기는 상기 입력전압과 상기 2개의 기준전압의 비교에 대응하는 출력신호를 공급하도록 상기 2개의 차동 입력버퍼에 결합되는 2개의 전류미러회로를 추가로 포함하는 것을 특징으로 하는 입력버퍼회로.

청구항 14.

제 13 항에 있어서,

상기 2개의 전류미러회로는,

상기 제 2 트랜지스터의 드레인에 결합되는 게이트와, 상기 제 1 트랜지스터의 드레인에 결합되는 드레인을 구비하는 제 4 트랜지스터와;

상기 제 4 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 드레인에 결합되는 게이트를 구비하는 제 5 트랜지스터와;

상기 제 2 트랜지스터의 상기 드레인에 결합되는 게이트와, 상기 제 3 트랜지스터의 드레인에 결합되는 드레인을 구비하는 제 6 트랜지스터를 포함하는 것을 특징으로 하는 입력버퍼회로.

청구항 15.

제 14 항에 있어서,

상기 입력버퍼는 상기 제 1 트랜지스터의 상기 드레인과 상기 제 4 트랜지스터의 상기 드레인에 결합된 제 1 인버터와, 상기 제 3 트랜지스터의 상기 드레인과 상기 제 6 트랜지스터의 상기 드레인에 결합된 제 2 인버터를 추가로 포함하며, 상기 인버터의 쌍은 상기 로우 출력신호와 상기 하이 출력신호에 대응하는 출력신호를 공급하도록 구성된 것을 특징으로 하는 입력버퍼회로.

청구항 16.

제 15 항에 있어서,

상기 다상태 검출기는 복수의 논리장치를 추가로 포함하며, 상기 복수의 논리장치는,

상기 제 1 인버터의 출력에 결합되는 입력으로서 상기 로우 출력신호에 대응하는 입력을 구비하는 제 3 인버터와;

상기 제 2 인버터의 출력에 결합되는 입력과, 상기 하이 출력신호에 대응하는 출력을 구비하는 제 4 인버터와;

상기 제 3 인버터의 출력과 상기 제 4 인버터의 출력에 결합되는 입력을 구비하는 배타적 OR 게이트와;

상기 배타적 OR 게이트의 출력에 결합되는 입력과, 상기 중간레벨 출력신호에 대응하는 출력을 구비하는 제 5 인버터를 포함하는 것을 특징으로 하는 입력버퍼회로.

청구항 17.

집적회로의 동작 중에 다중레벨의 전압을 식별하기 위한 다상태 검출기로서,

제 1 기준전압과 입력전압을 수신하도록 구성된 제 1 차동 입력버퍼와

제 2 기준전압과 상기 입력전압을 수신하고, 상기 제 1 차동버퍼와 함께 공통노드를 공유하도록 구성되는 제 2 차동 입력버퍼를 포함하며,

상기 입력전압과 상기 제 1 및 제 2 기준전압을 비교하여, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨을 가지면 하나의 출력신호를 공급하며, 상기 입력전압이 상기 제 1 기준전압보다 작고 상기 제 2 기준전압보다 큰, 적어도 하나의 전압레벨을 가지면 다른 출력신호를 공급하는 것을 특징으로 하는 다상태 검출기.

청구항 18.

제 17 항에 있어서,

상기 다상태 검출기는 집적회로 내의 상태를 디코딩하는 능력을 향상시키도록 상기 집적회로 내의 명령 핀에 다수의 기능을 제공하는 적어도 3상태 동작을 제공하는 것을 특징으로 하는 다상태 검출기.

청구항 19.

제 17 항에 있어서,

상기 제 1 기준전압에 결합되는 게이트를 구비하는 제 1 트랜지스터와;

상기 입력전압에 결합되는 게이트와, 상기 제 1 트랜지스터의 소스에 결합되는 소스를 구비하는 제 2 트랜지스터와;

상기 제 2 기준전압에 결합되는 게이트와, 상기 2개의 차동 입력버퍼가 상기 공통노드를 공유하여 상기 제 1 차동 입력버퍼와 상기 제 2 차동 입력버퍼에 의한 전류소모가 최소가 되도록 상기 제 2 트랜지스터의 상기 소스에 결합되는 소스를 구비하는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 다상태 검출기.

청구항 20.

집적회로장치의 동작 중에 다중의 전압레벨을 검출하는 방법으로서,

입력전압과, 제 1 차동 입력버퍼의 제 1 기준전압을 수신하는 단계와;

상기 입력전압과, 제 2 차동 입력버퍼의 제 2 기준전압을 수신하고, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 이하의 전압레벨이면 제 1 출력신호를 공급하는 단계와;

상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨이면 상기 전압레벨에 대응하는 제 2 출력신호를 공급하는 단계와;

상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압을 상회하는 전압레벨이면 제 3 출력신호를 공급하는 것을 특징으로 하는 방법.

청구항 21.

제 20 항에 있어서,

집적회로에서 명령 핀의 요구조건을 증가시키지 않고 상기 제 1 출력신호, 상기 제 2 출력신호, 및 상기 제 3 출력신호에 대응하는 적어도 8개의 디코딩된 동작상태를 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 22.

제 20 항에 있어서,

상기 제 2 차동 입력버퍼는 등을 맞댄 배열로 구성되고, 상기 제 1 차동입력버퍼와 함께 공통노드를 공유하는 것을 특징으로 하는 방법.

청구항 23.

집적회로 장치 내의 다중레벨의 전압을 검출하기 위한 다상태 검출기로서,

제 1 기준전압과 입력전압을 수신하도록 구성된 제 1 차동 입력버퍼와

제 2 기준전압과 상기 입력전압을 수신하고, 상기 제 1 차동버퍼와 함께 공통노드를 공유하도록 구성되는 제 2 차동 입력버퍼와;

상기 입력전압과 상기 제 1 기준전압의 비교에 대응하는 출력신호를 공급하도록 상기 제 1 차동 입력버퍼에 결합되는 제 1 전류미러회로와;

상기 입력전압과 상기 제 2 기준전압의 비교에 대응하는 출력신호를 공급하도록 상기 제 2 차동 입력버퍼에 결합되는 제 2 전류미러를 포함하며, 상기 제 1 전류미러 회로와 제 2 전류미러회로는 제 2 공통노드를 공유하는 것을 특징으로 하는 다상태 검출기.

청구항 24.

제 23 항에 있어서,

상기 다상태 검출기는 상기 입력전압과 상기 제 1 및 제 2 기준전압을 비교하여, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨을 가지면 하나의 출력신호를 공급하고, 상기 입력전압이 상기 제 1 기준전압보다 작고, 상기 제 2 기준전압보다 큰, 적어도 어느 하나의 전압레벨을 가지면 다른 출력신호를 공급하는 것을 특징으로 하는 다상태 검출기.

청구항 25.

집적회로 내에 다중 전압레벨을 검출하기 위한 입력버퍼를 구비하는 메모리 장치로서, 상기 입력버퍼는,

백-투-백 배열(back-to-back arrangement)로 구성되어 하나의 공통노드를 공유하는 적어도 2개의 차동 입력쌍을 포함하고, 상기 적어도 2개의 차동 입력쌍은 입력전압과, 제 1 기준전압 및 제 2 기준전압을 포함하는 적어도 2개의 기준전압을 수신하며,

상기 입력버퍼는 상기 입력전압을 상기 제 1 기준전압 및 제 2 기준전압과 비교하여, 상기 입력전압이 상기 제 1 기준전압보다 낮으면 제 1 출력신호를 공급하고, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨을 가지면 제 2 출력신호를 공급하며, 상기 입력전압이 상기 제 2 기준전압보다 높으면 제 3 출력신호를 공급하는 것을 특징으로 하는 메모리 장치.

청구항 26.

제 25 항에 있어서,

상기 입력버퍼는 상기 입력전압과 상기 2개의 기준전압의 비교에 대응하는 3개의 출력신호를 공급하는 3상태 검출기를 포함하며, 상기 제 2 출력신호는 중간레벨의 입력신호에 대응하고, 상기 제 1 출력신호는 낮은 입력신호에 대응하며, 상기 제 3 출력신호는 높은 입력신호에 대응하는 것을 특징으로 하는 메모리 장치.

청구항 27.

제 25 항에 있어서,

상기 입력버퍼는 2이상의 기준전압을 수신하여, 상기 입력전압과 상기 2이상의 기준전압의 비교에 대응하는 3이상의 출력신호를 생성하는 것을 특징으로 하는 메모리 장치.

청구항 28.

제 25 항에 있어서,

상기 적어도 2개의 차동 입력쌍은,

상기 제 1 기준전압에 결합되는 제어단자를 갖는 제 1 트랜지스터와;

상기 입력전압에 결합되는 제어단자와 상기 제 1 트랜지스터의 입력단자에 결합되는 입력단자를 갖는 제 2 트랜지스터와;

상기 제 2 기준전압에 결합되는 제 2 단자와, 상기 2개의 차동 입력버퍼가 상기 공통노드를 공유하도록 상기 제 2 트랜지스터의 상기 입력단자에 결합되는 입력단자를 갖는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 29.

제 28 항에 있어서,

상기 입력버퍼는 상기 입력전압과 상기 2개의 기준전압의 비교에 대응하는 출력신호를 공급하도록 상기 2개의 차동 입력쌍에 결합된 2개의 전류 미러회로를 추가로 포함하는 것을 특징으로 하는 메모리 장치.

청구항 30.

제 29 항에 있어서,

상기 2개의 전류 미러회로는,

상기 제 2 트랜지스터의 출력단자에 결합되는 제어단자와, 상기 제 1 트랜지스터의 출력단자에 결합되는 출력단자를 갖는 제 4 트랜지스터와;

상기 제 4 트랜지스터의 상기 제어단자와 상기 제 2 트랜지스터의 출력단자에 결합되는 제어단자를 갖는 제 5 트랜지스터와;

상기 제 2 트랜지스터의 상기 출력단자에 결합되는 제어단자와 상기 제 3 트랜지스터의 출력단자에 결합되는 출력단자를 갖는 제 6 트랜지스터를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 31.

제 30 항에 있어서,

상기 입력버퍼는 상기 제 1 트랜지스터의 출력단자와 상기 제 4 트랜지스터의 출력단자에 결합되는 제 1 인버터와, 상기 제 3 트랜지스터의 출력단자와 상기 제 6 트랜지스터의 출력단자에 결합되는 제 2 인버터로 구성되는 인버터 쌍을 추가로 더 포함하며, 상기 인버터 쌍은 상기 제 1 출력신호와 상기 제 3 출력신호에 대응하는 출력신호를 공급하도록 구성되는 것을 특징으로 하는 메모리 장치.

청구항 32.

제 31 항에 있어서,

상기 입력버퍼는 복수의 논리장치를 추가로 포함하고, 상기 논리장치는,

상기 제 1 인버터의 출력에 결합되는 입력으로서 상기 제 1 출력신호에 대응하는 입력을 갖는 제 3 인버터와;

상기 제 2 인버터의 출력에 결합되는 입력을 가지며, 상기 제 3 출력신호에 대응하는 출력을 갖는 제 4 인버터와;

상기 제 3 인버터의 출력과 상기 제 4 인버터의 출력에 결합되는 입력들을 갖는 배타적 OR 게이트와;

상기 배타적 OR 게이트의 출력에 결합되는 입력과 상기 제 2 출력신호에 대응하는 출력을 갖는 제 5 인버터를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 33.

집적회로의 동작의 중간레벨 전압을 검출하는 입력버퍼를 갖는 메모리 칩 회로로서, 상기 메모리 칩 회로는 복수의 명령입력을 구비하고, 상기 입력버퍼는,

공급전압을 수신하여, 제 1 기준전압과, 상기 제 1 기준전압보다 큰 제 2 기준전압의 2개의 기준전압을 생성하는 기준전압 발생기와;

하나의 입력전압과 상기 2개의 기준전압을 수신하고, 상기 입력전압을 상기 제 1 기준전압 및 제 2 기준전압과 비교하여, 상기 입력전압이 상기 제 1 기준전압보다 낮으면 낮은 입력신호에 대응하는 제 1 출력신호를 공급하고, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압사이의 전압레벨을 가지면 중간레벨 입력신호에 대응하는 제 2 출력신호를 공급하며, 상기 입력전압이 상기 제 2 기준전압보다 높으면 높은 입력신호에 대응하는 제 3 출력신호를 공급하여, 상기 메모리 칩 회로의 기능에 필요한 명령입력의 수를 더 적게 하는 다상태 검출기를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 34.

제 33 항에 있어서,

상기 다상태 검출기는 상기 입력전압과 상기 2 개의 기준전압의 비교에 대응하는 3 개의 출력신호를 공급하도록 구성된 3-상태 검출기를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 35.

제 34 항에 있어서,

상기 기준전압 발생기는 상기 2개의 기준전압보다 높은 추가의 기준전압을 발생하고, 상기 다상태 검출기는 상기 입력전압과 상기 추가의 기준전압의 비교에 대응하는 추가의 출력신호를 생성하는 것을 특징으로 하는 메모리 칩 회로.

청구항 36.

제 33 항에 있어서,

상기 다상태 검출기는 백-투-백 배열로 구성되고, 하나의 공통노드를 공유하는 2개의 차동 입력버퍼를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 37.

제 33 항에 있어서,

상기 메모리 칩 회로는 SDRAM 장치를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 38.

제 36 항에 있어서,

상기 2개의 차동 입력버퍼는,

상기 제 1 기준전압에 결합되는 제어단자를 갖는 제 1 트랜지스터와;

상기 입력전압에 결합되는 제어단자와, 상기 제 1 트랜지스터의 입력단자에 결합되는 입력단자를 갖는 제 2 트랜지스터와;

상기 제 2 기준전압에 결합되는 제어단자와, 상기 2개의 차동 입력버퍼가 상기 공통노드를 공유하도록 상기 제 2 트랜지스터의 상기 입력단자에 결합되는 입력단자를 구비하는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 39.

제 38 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터는 n-채널 트랜지스터 장치를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 40.

제 38 항에 있어서,

상기 다상대 검출기는 상기 입력전압과 상기 2개의 기준전압의 비교에 대응하는 출력신호를 공급하도록 상기 2개의 차동 입력버퍼에 결합되는 2개의 전류 미러회로를 추가로 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 41.

제 40 항에 있어서,

상기 2개의 전류 미러회로는,

상기 제 2 트랜지스터의 출력단자에 결합되는 제어단자와, 상기 제 1 트랜지스터의 출력단자에 결합되는 출력단자를 갖는 제 4 트랜지스터와;

상기 제 4 트랜지스터의 상기 제어단자 및 상기 제 2 트랜지스터의 상기 출력단자에 결합되는 제어단자를 갖는 제 5 트랜지스터와;

상기 제 2 트랜지스터의 상기 출력단자에 결합되는 제어단자와, 상기 제 3 트랜지스터의 출력단자에 결합되는 출력단자를 갖는 제 6 트랜지스터를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 42.

제 40 항에 있어서,

상기 다상태 검출기는 상기 제 1 트랜지스터 및 상기 제 4 트랜지스터의 상기 출력단자들에 결합되는 제 1 인버터와, 상기 제 3 트랜지스터 및 상기 제 6 트랜지스터의 상기 출력단자들에 결합되는 제 2 인버터로 된 한 쌍의 인버터를 추가로 포함하고, 상기 한 쌍의 인버터는 상기 낮은 출력신호와 상기 높은 출력신호에 대응하는 출력신호들을 공급하는 것을 특징으로 하는 메모리 칩 회로.

청구항 43.

제 42 항에 있어서,

상기 다상태 검출기는 복수의 논리장치를 추가로 포함하고, 상기 논리장치는,

상기 제 1 인버터의 출력단자에 결합되는 입력단자를 가지며, 상기 입력이 상기 낮은 출력신호에 대응하는 제 3 인버터와;

상기 제 2 인버터의 출력단자에 결합되는 입력단자를 가지며, 상기 높은 출력신호에 대응하는 출력단자를 갖는 제 4 인버터와;

상기 제 3 인버터의 출력과 상기 제 4 인버터의 출력에 결합되는 입력을 갖는 배타적 OR 게이트와;

상기 배타적 OR 게이트의 출력에 결합되는 입력과 상기 중간레벨의 출력신호에 대응하는 출력을 갖는 제 5 인버터를 포함하는 것을 특징으로 하는 메모리 칩 회로.

청구항 44.

명령입력을 해독하기 위한 핀의 수를 감소시키고, 집적회로 장치의 동작 중에 입력전압의 다레벨을 식별하기 위한 다상태 검출기를 구비하는 메모리 장치로서,

상기 다상태 검출기는,

제 1 기준전압과 상기 입력전압을 수신하는 제 1 차동 입력버퍼와;

제 2 기준전압과 상기 입력전압을 수신하고, 상기 제 1 차동 입력버퍼와 하나의 공통노드를 공유하는 제 2 차동 입력버퍼를 포함하며,

상기 다상태 검출기는 상기 입력전압을 상기 제 1 기준전압 및 상기 제 2 기준전압을 비교하여, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨을 가지면 하나의 출력신호를 공급하고, 상기 입력전압이 상기 제 1 기준전압보다 낮고, 상기 제 2 기준전압보다 높은 것 중의 적어도 하나의 전압레벨을 가지면 제 2 출력신호를 공급하는 것을 특징으로 하는 메모리 장치.

청구항 45.

제 44 항에 있어서,

상기 다상태 검출기는 집적회로 내의 상태를 디코딩하는 능력을 증가시키기 위해 상기 집적회로 내의 명령 핀에 다기능을 제공하는 적어도 3개의 동작상태를 제공하는 것을 특징으로 하는 메모리 장치.

청구항 46.

제 44 항에 있어서,

상기 메모리 장치는 공급전압을 수신하여 2개의 기준전압을 발생하는 내부 기준전압 발생기를 포함하고, 상기 2개의 기준전압은 제 1 기준전압과 제 1 기준전압보다 큰 제 2 기준전압을 나타내는 것을 특징으로 하는 메모리 장치.

청구항 47.

메모리 장치 내의 명령 입력신호를 해독하기 위해 다레벨의 전압을 검출하는 방법으로서,

제 1 차동 입력버퍼의 입력전압과 제 1 기준전압을 수신하는 단계와;

제 2 차동 입력버퍼의 입력전압과 제 2 기준전압을 수신하는 단계와;

상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압의 전압레벨보다 낮은 전압레벨이면 제 1 출력신호를 공급하는 단계와;

상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨이면 상기 전압레벨에 대응하는 제 2 출력신호를 공급하는 단계와;

상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압을 초과하는 전압레벨이면 제 3 출력신호를 공급하는 것을 특징으로 하는 방법.

청구항 48.

제 47 항에 있어서,

상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨보다 낮은 전압레벨이면 낮은 출력신호를 공급하는 단계와;

상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압의 전압레벨보다 높은 전압레벨이면 높은 출력신호를 공급하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 49.

제 47 항에 있어서,

상기 메모리 장치 내의 명령 핀 요건을 증가시키지 않고 상기 제 1 출력신호, 상기 제 2 출력신호, 및 상기 제 3 출력신호에 대응하는 적어도 8개의 디코드된 동작상태를 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 50.

제 47 항에 있어서,

상기 제 2 차동 입력버퍼는 백-투-백 배열로 구성되고, 상기 제 1 차동 입력버퍼와 하나의 공통노드를 공유하는 것을 특징으로 하는 방법.

청구항 51.

SDRAM 메모리 장치 내에서 다레벨의 전압을 검출하는 다상태 검출기를 구비하는 SDRAM 메모리 장치로서, 상기 다상태 검출기는,

제 1 기준전압과 입력전압을 수신하는 제 1 차동 입력버퍼와;

제 2 기준전압과 상기 입력전압을 수신하며, 상기 제 1 차동 입력버퍼와 제 1 공통노드를 공유하는 제 2 차동 입력버퍼와;

상기 입력전압과 상기 제 1 기준전압의 비교에 대응하는 출력신호를 공급하도록 상기 제 1 차동 입력버퍼에 결합되는 제 1 전류 미러회로와;

상기 입력전압과 상기 제 2 기준전압의 비교에 대응하는 출력신호를 공급하도록 상기 제 2 차동 입력버퍼에 결합되는 제 2 전류 미러회로를 포함하며, 상기 제 1 전류 미러회로와 제 2 전류 미러회로는 제 2 공통노드를 공유하는 것을 특징으로 하는 SDRAM 메모리 장치.

청구항 52.

제 51 항에 있어서,

상기 다상태 검출기는 상기 입력전압을 상기 제 1 기준전압 및 상기 제 2 기준전압과 비교하여, 상기 입력전압이 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨을 가지면 출력신호를 공급하고, 상기 입력전압이 상기 제 1 기준전압보다 낮고, 상기 제 2 기준전압보다 큰 적어도 어느 하나의 전압레벨을 가지면 다른 출력신호를 공급하는 것을 특징으로 하는 SDRAM 메모리 장치.

청구항 53.

복수의 명령기능을 디코딩하는 복수의 명령입력의 사용을 최적화하는 메모리 장치로서,

공급전압을 수신하여, 제 1 기준전압과 상기 제 1 기준전압보다 높은 제 2 기준전압을 나타내는 2개의 기준전압을 발생하는 내부 기준전압 발생기와;

입력전압과 상기 2개의 기준전압을 수신하고, 상기 입력전압을 상기 제 1 기준전압 및 상기 제 2 기준전압과 비교하여, 상기 입력전압이 상기 제 1 기준전압보다 낮으면 낮은 입력신호에 대응하는 제 1 출력신호를 공급하고, 상기 입력신호가 상기 제 1 기준전압과 상기 제 2 기준전압 사이의 전압레벨을 가지면 중간레벨의 입력신호에 대응하는 제 2 출력신호를 공급하며, 상기 입력전압이 상기 제 2 기준전압보다 높으면 높은 입력신호에 대응하는 제 3 출력신호를 공급하여, 상기 메모리 장치의 동작에 필요한 명령 입력단자의 수를 줄여주는 다상태 검출기를 포함하는 것을 특징으로 하는 메모리 장치.

명세서

기술분야

본 발명은 일반적으로 입력버퍼에 관한 것으로, 보다 구체적으로는 동일한 입력패드로부터 다중 동작을 제공할 뿐 아니라 시험목적 등을 위한 복수레벨의 동작전압을 용이하게 검출하고 사용할 수 있는 입력버퍼와 전압레벨 검출방법에 관한 것이다.

배경기술

입력버퍼는 각종 아날로그 및 디지털 응용장치에서 오랫동안 사용되어 왔다. AC 스위칭 기술과 응용장치를 위해 많은 입력버퍼들이 최적화되어 있지만, 전압검출을 최적화하기 위해 구성된 다른 입력버퍼들도 있다. 전압 검출기로서 구성된 입력버퍼를 사용함으로써, 특정 시스템의 기능을 시작할 것인지 또는 중단할 것인지를 결정할 수 있다. 이러한 전압검출기는

중중 집적회로의 공급전압(Vcc) 레벨을 검출하도록 구성되는데, 집적회로가 설계된 특정범위의 검출을 포함하거나, 전압레벨이 특정범위 밖이면 집적회로의 동작을 금지하거나, 또는 집적회로 내에서 특정 응용장치의 동작을 허용하기 전에 임계레벨에 도달했는지의 여부를 결정한다.

일반적으로 전압 검출기로서 구성된 입력버퍼는 하나의 임계레벨에 대해서만 동작하도록 구성된다. 즉, 전압레벨이 임계레벨을 상회하는지 또는 하회하는지를 확인하도록 하나의 포인트에서만 트립(trip)한다. 예를 들어, 마이크로프로세서 기반의 응용제품에서, 소스 전압 검출기로서 구성된 입력버퍼는 마이크로프로세서 기반의 시스템의 메모리 모듈 내에 전원 전압의 전압레벨을 검출하도록 이용될 수 있다. 임계값에 도달했는지의 여부를 결정하는 이 검출 프로세스를 통해, 전압검출기는 마이크로프로세서 기반 시스템의 메모리 블록에 대한 전원전압을 동작시키도록 제어장치들에 대한 신호를 초기화할 수 있다.

많은 집적회로 응용제품들은 고전압, 초고전압(Super Voltage) 또는 "SV"레벨에서의 동작을 검출하기 위해 구성된 전압 검출기와 함께 설계되었다. 칩 안에서 내부적으로 구성되는 이 SV레벨은 일반적으로 회로 제조자에 의해서만 사용되기 위한 것이고, 또한 다이(die)를 적절하게 시험하기 위해, 즉 다이에 상이한 시험조건을 적용하기 위해 정상 동작조건을 상회하도록 설정되지만, 집적회로의 소비자에 의해 특별히 이용되는 것은 아니다. 이러한 SV레벨이 원래 9볼트 내지 12볼트 사이로 설계되는 한에는 다양한 기술과 프로세스에 대한 개선과 변경에 의해 SV레벨을 7볼트 이하로 낮추므로 활성영역으로부터 다이의 기관에 이르기까지 손상이 방지되고, 또 SV레벨을 집적회로의 동작범위에 가깝게 이동시킨다. SV레벨에서의 이러한 발전으로, 시험 응용장치에 대한 동작마진에 제한이 생기게 되었다.

SV레벨의 감축에 덧붙여, 회로 설계자는 집적회로의 입출력 접속 시스템을 단순화할 수 있도록 최소의 핀으로 현대적인 집적회로(IC)를 구성할 필요성에 직면하게 되었다. 더욱이 CMOS기반의 논리장치를 공통으로 포함하는 전압검출기로서 구성된 입력버퍼는 일반적으로 2상태 동작을 제공하도록 설계된다. 즉, 입력버퍼는 외부전원으로부터 고전압 신호 또는 저전압 신호를 수신하여, 고전압 신호 또는 저전압 신호에 대응하여 집적회로에 논리상태를 제공하도록 구성된다. 예를 들어, 전압 검출기는 한 지점으로부터 작용하여 그것이 "하이(high)" 상태, 즉 임계전압보다 높은 상태일 때와, "로우(low)" 상태, 즉 임계전압보다 낮은 상태일 때 전압레벨을 검출하도록 구성된다. 또한 현재의 전압 검출기는 "하이"나 "로우" 상태 또는 "하이"나 "로우" 사이의 중간범위가 아닌 "하이"나 "로우"의 천이상태에서 동작하도록 구성된다.

도 1을 참조하면 전압검출을 위해 구성된 종래기술의 입력버퍼(100)가 도시되어 있다. 입력버퍼(100)는 2입력단자, 예를 들어 입력신호 INPUT과 기준신호 REF에 결합된 트랜지스터(M₃, M₄)의 게이트를 포함하며, 일련의 직렬 형태 또는 캐스케이드형태의 인버터 단(102, 104, 106)의 출력부로부터 제공되는 출력신호 OUT_DIFF를 갖는 차동증폭기를 포함한다. 입력버퍼(100)는 입력신호 INPUT과 기준신호 REF 사이의 차를 하이 신호 또는 로우 신호로 증폭한다.

예를 들어, 도 2를 참조하면 동작중에 입력신호 INPUT이 0이거나 접지상태이면, 즉 트랜지스터 M₂가 0이면 반전된 출력신호 OUT_DIFF가 하이레벨 신호로 남을 것이다. 입력신호 INPUT이 기준신호 REF를 상회하면 출력신호 OUT_DIFF는 로우 신호로 전환될 것이고, 입력신호 INPUT이 다시 기준신호 REF를 하회하면 출력신호 OUT_DIFF는 다시 하이 신호로 전환될 것이다. 따라서 단 2가지의 동작상태만이 하이와 로우로 실현된다. 즉, 입력버퍼(100)는 하이 상태 또는 로우 상태를 인식하며 2상태 사이의 다른 어떤 상태도 인식하지 않는다.

2개의 동작상태로 제한되는 결과로서, 이러한 입력버퍼(100)를 이용하는 IC의 기능 또한 다소 제한된다. 예를 들어, 2개의 명령핀 A와 B를 갖는 IC에서, 각각에 대하여 실현될 수 있는 2개의 상태로는 단지 4개의 기능 또는 명령, 즉 A,B=0,0; A,B=0,1; A,B=1,0; A,B=1,1이 디코딩될 수 있다. 비록 보다 소형의 패키지를 지향하는 경향에 따라 핀의 수를 증가시키는 것으로 이용가능한 기능의 수를 증가시킬 수는 있지만 이것은 매우 곤란한 문제이며, 패키지에 부가적인 제어핀을 실현하기 위해서는 복잡성과 전체적인 설계 및 IC 제조비용이 증가되어야만 했다.

따라서, 동일한 입력패드로부터 다중 동작을 제공할 뿐아니라 시험목적을 위한 중간레벨의 전압을 용이하게 사용할 수 있는, 전압검출을 위한 개선된 입력버퍼의 필요성이 대두되었다.

발명의 상세한 설명

본 발명은 종래기술의 많은 단점을 설명하고 있다. 본 발명의 다양한 특징에 따르는 개선된 입력버퍼와 전압검출 시스템의 구성방법은 시험목적을 위해 사용될 수 있는 중간레벨의 전압 등 다중 레벨의 전압을 용이하게 검출할 수 있다. 전형적인 실시예에 따르면, 전압검출을 위해 구성된 전형적인 입력버퍼회로는 기준 발생기와 다상태 전압검출기를 포함한다. 기준 발생기는 입력신호로서 다상태 검출기에 제공될 적어도 2개의 기준전압을 발생하도록 구성된다. 전형적인 실시예에 따라,

다상태 검출기는 3상태 검출기를 포함한다. 3상태 검출기는 입력 기준신호를 수신하도록 적합하게 구성되며, 적어도 2개의 기준전압에 대한 입력 기준신호의 비교를 통해 출력신호를, 하이, 로우 및 중간레벨의 동작상태를 나타내는 적어도 3개의 출력단자에 제공한다. 전형적인 실시예에 따르면, 3상태 검출기는 등을 맞댄 배열로 구성되고 공통의 노드를 공유하여 저전류 필요조건이 되는 2개의 차동쌍 트랜지스터를 포함한다.

본 발명의 다른 특징에 따르는 전형적인 입력버퍼회로는 동일한 입력패드로부터 다중 동작을 용이하게 할 수 있다. 예를 들어, 3상태 검출기의 사용을 통해, 적어도 3개 상태의 동작을 실현할 수 있다. 따라서, 3상태 동작이 실현되는 전형적인 실시예에 따라, 8개 까지의 디코딩된 상태를 얻을 수 있다. 결국, IC 설계에 대한 부가적이 명령핀을 필요로 하지 않고도 3상태 검출기에 의해 부가적인 기능을 달성할 수 있다. 더욱이, 중간레벨의 전압범위를 검출하는 이외에 부가적인 레벨의 전압을 검출함으로써 부가적인 명령 핀 없이도 더욱 많은 기능을 제공할 수 있다.

실시예

여기에서는 본 발명을 각종 기능적 구성요소와 각종 처리단계로 설명한다. 이러한 기능적 구성요소와 처리단계는 특정 기능을 수행하도록 구성된 임의의 수의 하드웨어나 구성요소에서 실현될 수 있다는 것을 이해하여야 한다. 예를 들어, 본 발명은 다양한 집적 구성요소, 즉 그 값이 의도하고자 하는 다양한 목적에 적합하도록 구성된 저항, 트랜지스터, 캐패시터, 다이오드 및 기타 구성요소의 다양한 전기장치를 포함하는 버퍼, 기준전원, 전류미러, 신호 프로세서 등을 이용할 수 있다. 또한 본 발명은 전압 검출기나 입력버퍼가 이용될 수 있는 어떠한 집적회로 응용장치에서도 실현될 수 있다. 예를 들어, 본 발명은 주문형 반도체(Application Specific Integrated Circuit; ASIC), 초대규모 집적회로(VLSI 회로) 또는 다른 임의의 집적회로 응용제품에 이용될 수 있다. 본 발명이 속하는 기술분야에 속하는 숙련된 기술자에 의해 평가될 수 있는 이러한 일반적인 응용제품은 여기에서 상세히 설명하지는 않는다. 그러나 설명의 목적을 위해 본 발명의 전형적인 실시예에 대해서는 메모리 칩 응용제품과 관련하여 여기에서 설명하기로 한다. 또한 각종 구성요소가 전형적인 회로 내의 다른 구성요소에 적절하게 결합되거나 접속될 수 있다는 것에 주목하여야 하며, 이러한 접속과 결합은 구성요소 간의 직접 연결에 의해 실현되거나 그들 사이에 위치한 다른 구성요소와 장치를 통한 접속이나 결합에 의해 실현될 수도 있다.

상술한 바와 같이, 전압검출을 위해 구성된 현재의 입력버퍼는 초전압(super voltage) 조건의 사용을 위한 등의 시험조건에 대한 제한된 동작마진을 가지고 있다. 또한 전압검출을 위해 구성된 현재의 입력버퍼는 2상태 동작을 위해서만 구성되어 있고, 명령 핀의 수에 의해 한정되는 출력기능을 갖는다. 그러나 본 발명의 특징에 따르는 개선된 입력버퍼와 전압검출을 위해 구성된 방법은 동일한 다이 패드로부터 다중 동작을 제공할 뿐아니라 시험목적에 위한 중간레벨의 전압의 사용을 용이하게 할 수 있다.

전형적인 실시예에 따라, 전압검출을 위해 구성된 전형적인 입력버퍼회로는 기준 발생기와 다상태 전압검출기를 포함한다. 이 전형적인 실시예에 따라 기준 발생기는 입력신호로서 다상태 검출기에 제공될 적어도 2개의 기준전압을 생성하도록 구성된다. 또한 기준 발생기가 입력버퍼회로 내에서 내적으로 생성될 수 있는 한, 기준 발생기는 입력버퍼회로에 결합된 각종 외부회로에 의해 제공될 수 있다. 다상태 검출기는 입력기준을 수신하도록 적절하게 구성되며, 적어도 2개의 기준전압과의 비교를 통해 출력신호를, 적어도 로우, 하이 및 중간레벨의 동작상태를 나타내는 적어도 3개의 출력단자에 제공한다.

예를 들어 본 발명의 전형적인 실시예에 따르는 도 3을 참조하면 전압검출을 위해 구성된 전형적인 입력버퍼회로(300)가 도시되어 있다. 이 실시예에 따르면, 입력버퍼회로(300)는 기준 발생기(302)와 3상태 검출기(304)를 포함한다. 기준 발생기(302)는 공급전압 V_{cc} 를 받아 입력신호로서 3상태 검출기(304)에 공급될 적어도 2개의 기준전압 REF_1 및 REF_2 를 생성한다. 기준 발생기(302)는 기준전압을 생성하기 위한 임의의 회로구성을 포함할 수 있으며, 각종 버퍼, 전류원 및/또는 스위칭 장치에 구성된 임의의 수의 트랜지스터 장치와 임의의 수의 저항 및/또는 캐패시터 구성요소를 포함할 수 있다. 또한 이러한 트랜지스터 장치는 MOS 트랜지스터 장치 또는 BJT 장치를 포함할 수 있다. 또 기준 발생기(302)는 입력버퍼(300) 내부에 구성되거나 외부회로로부터 제공될 수도 있다.

3상태 검출기(304)는 하이와 로우 상태에 부가하여 중간 또는 중간레벨의 전압범위를 인식하거나 검출하도록 적절하게 구성될 수 있다. 전형적인 실시예에 따라, 3상태 검출기(304)는 입력전압 기준 INPUT을 수신하여, 2개의 기준전압 REF_1 , REF_2 와의 비교를 통해 로우레벨 동작상태 OUT_1 , 중간레벨 동작상태 OUT_2 및 하이레벨 동작상태 OUT_3 을 나타내는 3개의 출력신호를 제공한다. 결국, 3상태 검출기(304)는 중간레벨 범위의 동작전압을 인식할 수 있다. 이러한 중간레벨 범위의 동작전압의 사용을 통해, 종래의 2상태 입력버퍼에 대한 직렬 입력장치로서 동작하면서 SV 조건이 주어진 프로세스에 대한 높은 동작범위에 불확실하게 근접하는 대신 안전한 중간레벨 전압범위 내에서 시험조건이 실행될 수 있다.

예를 들어, 2.0볼트를 나타내는 하이신호와, 0.8볼트를 나타내는 로우신호로, 그리고 약 0.8볼트의 기준신호 REF₁과 약 2.0볼트의 기준신호 REF₂ 사이에서 설정된 중간레벨 검출에 의해 입력버퍼회로(300)는 2상태 동작에 대하여 입력신호 INPUT이 일반적으로 0.8볼트 이하 또는 2.0볼트 이상으로 되거나, 또는 예를 들어 약 2나노초 내에 신속하게 천이된다는 것을 알 수 있게 할 것이다. 따라서, 입력신호 INPUT이 보다 장기간 동안 1.2볼트 내지 1.6볼트의 중간레벨 검출기간 내에 있게 되면, 즉 중간레벨 영역을 통해 단순히 정상적인 천이에 있지 않으면, 중간레벨 출력신호 OUT₂는 3상태 검출기(304)에 의해 제공될 수 있다. 하이신호 레벨과 로우신호 레벨은 응용제품에 따라 다양한 범위에서 구성될 수 있다는 것에 주목해야 한다.

3상태 검출기(304)는 2개의 입력전압 REF₁과 REF₂를 수신하고, 입력기준 INPUT와 비교하기 위한 한 쌍의 차동 입력버퍼를 포함한다. 한 쌍의 입력버퍼는 전형적인 실시예에 따라 다양한 방식으로 구성될 수 있으나, 3상태 검출기(304)는 등을 맞댄 배열로 되어 하나의 공통 노드를 공유하는 2개의 차동쌍 트랜지스터를 포함한다. 이러한 실시예는 전류의 필요조건을 보다 낮게 해주는데, 이하에 상세히 설명하기로 한다.

도 4를 참조하면, 입력버퍼회로(300)의 동작 중에 입력신호 INPUT이 0 또는 접지가 되면, 출력신호 OUT₁은 하이신호를 유지하는 반면, 출력신호 OUT₂와 OUT₃은 로우를 유지할 것이다. 이것은 입력신호 INPUT이 기준신호 REF₁보다 작고, 따라서 로우상태에 있다는 것을 나타내 준다. 입력신호 INPUT은 기준신호 REF₁을 상회하여 위로 경사지나 기준신호 REF₂ 이하를 유지하고 있기 때문에, 출력신호 OUT₁은 로우신호로 전환되고, 출력신호 OUT₂는 하이신호로 전환되며, 출력신호 OUT₃은 로우를 유지할 것이다. 이것은 입력신호 INPUT이 중간레벨 범위에 있다는 것을 나타낸다. 그 다음에 입력신호 INPUT은 기준신호 REF₂를 상회하여 위로 경사져 있기 때문에 출력신호 OUT₁은 로우신호를 유지하고, 출력신호 OUT₂는 다시 로우신호로 복귀하며, 출력신호 OUT₃은 하이신호로 전환할 것이다. 이것은 입력신호 INPUT이 하이상태에 있다는 것을 나타낸다.

입력신호 INPUT이 다시 로우레벨로, 즉 접지로 천이하기 때문에, 3상태 검출기(304)는 로우 동작상태(OUT₁), 중간레벨 동작상태(OUT₂), 및 하이 동작상태(OUT₃)를 나타내는 대응 출력신호를 제공할 수 있다. 따라서 로우, 중간레벨, 하이의 적어도 3개의 동작상태가 실현될 수 있다. 즉, 입력버퍼회로(300)는 하이상태나 로우상태 뿐만 아니라 이들 두 상태의 사이의 상태도 인식할 수 있다. 결국, 집적회로 응용장치로부터 적어도 3종류의 동작범위가 얻어질 수 있다.

중간레벨의 동작범위의 부가에 의해 회로설계자는 보다 바람직한 시험옵션을 용이하게 이용할 수 있다. 예를 들어, 이러한 중간레벨의 동작범위를 사용함으로써 SV조건이 하이 동작범위에 불안정하게 접근하는 대신 안전한 중간레벨 전압범위 내에서 시험조건을 수행할 수 있다. 중간레벨의 전압범위 중에서 시험조건을 수행하기 위한 능력 보다 훨씬 더 주목할 것은 부가적인 동작범위의 제공으로 집적회로 패키지 내의 핀의 필요조건과 기능에 다양한 이점을 용이하게 제공할 수 있다는 것이다. 더 나아가, 중간레벨 검출기는 또한 듀얼 입력버퍼 구성에서 보다 낮은 전류필요조건을 제공하도록 구성될 수 있다는 것이다.

본 발명의 다른 특징에 따라 전압레벨 검출을 위해 구성된 전형적인 입력버퍼회로(300)는 동일한 입력패드로 다중 동작을 용이하게 실행할 수 있다. 예를 들어, 3상태 검출기(304)의 사용을 통해, 적어도 3개의 동작상태를 실현할 수 있다. 따라서 예컨대, 2개의 명령 핀 A와 B, 각각에 대하여 실현될 수 있는 적어도 3개의 상태로 적어도 8가지 기능 또는 명령, 즉 A,B=0,0; A,B=0,1; A,B=0,x; A,B=1,0; A,B=1,1; A,B=1,x; A,B=x,0; A,B=x,1을 제공할 수 있다. 여기에서 x는 중간레벨 상태를 나타내고, 명령 핀의 수를 증가시키지 않고도 적어도 8개의 상이한 논리출력조건이 실현될 수 있다. 즉, 전압검출 시스템에 대한 명령 핀의 부가를 필요로 하지 않고 3상태 검출기(300)에 의해 부가적인 기능을 용이하게 실현할 수 있다.

따라서, 3상태 검출기(304)의 사용을 통해, 명령 입력을 디코딩하기 위해 필요한 핀의 수를 줄임으로써 다른 장치와 회로로부터 명령 핀의 수를 현저하게 줄일 수 있다. 예를 들어, 현재의 컴퓨터 시스템과 페이지를 유지하기 위해 필요하고, 칩 선택(CS), 컬럼 어드레스 스트로브(CAS), 로우 어드레스 스트로브(RAS) 및 WE 등복수의 명령 입력을 갖는 SDRAM (Synchronous dynamic Random Access Memory) 응용장치에 있어서, 모든 가능한 명령입력을 디코딩하기 위해 필요한 핀의 수가 집적회로 패키지에서 현저히 줄어든다.

상술한 입력버퍼회로(300)의 전형적인 실시예는 로우상태, 중간레벨 상태 및 하이상태를 나타내는 출력신호 OUT_1 , OUT_2 및 OUT_3 를 제공하는 3레벨 검출기(304)로 구성되어 있지만, 입력버퍼회로(300)는 전압검출의 부가적인 범위를 용이하게 하는 다상태 검출기로 구성될 수도 있다는 점에 주목하여야 한다. 예를 들어, 기준 발생기(302)는 하나 이상의 부가적인 기준전압, 예를 들면, 기준전압 REF_2 보다 크지만 공급전압 V_{cc} 보다 작은, 입력신호로서 다상태 검출기(304)에 공급될 기준 전압 REF_3 , REF_4 를 제공하도록 구성될 수 있다. 2개의 부가적인 기준전압 REF_3 과 REF_4 에 대한 입력기준 $INPUT$ 과의 비교를 통해, 다상태 검출기(304)는 5개의 동작상태를 나타내는 적어도 5개의 출력신호를 제공할 수 있다.

예를 들어, 다상태 전압 검출기(304)는 $INPUT$ 이 REF_1 보다 작은 로우(OUT_1), $INPUT$ 이 REF_1 보다 크고 REF_2 보다 작은 낮은 중간레벨(OUT_2), $INPUT$ 이 REF_2 보다 크고 REF_3 보다 작은 중간레벨(OUT_3), $INPUT$ 이 REF_3 보다 크고 REF_4 보다 작은 높은 중간레벨(OUT_4), $INPUT$ 이 REF_4 보다 크고 공급전압 V_{cc} 보다 작은 높은 하이(OUT_5) 동작상태를 제공할 수 있다. 또한 2개의 명령 핀 A와 B에 대하여, 각각에 대해 실현될 수 있는 적어도 5개의 상태에 의해 부가적인 기능과 명령 조차도 입력버퍼회로(300)로부터 실현될 수 있다.

따라서, 전형적인 입력버퍼회로는 입력버퍼 내부에 있든지 또는 외부회로부터 구성되던간에 복수의 동작상태를 출력하기 위해 다상태 검출기에 제공되는 복수의 기준전압을 생성하는 기준 발생기로 구성될 수 있다. 결국, 회로 당 명령 핀의 수를 증가시키지 않고도 검사 등의 다른 목적을 위해 사용되는 다양한 동작레벨 뿐아니라 집적회로 장치의 기능성도 현저히 증가시킬 수 있다.

상술한 바와 같이, 3상태 검출기(304)는 중간레벨의 동작전압 범위를 제공하도록 다양한 방식으로 구성될 수 있다. 예를 들어, 본 발명의 전형적인 실시예에 따르는 도 5의 전형적인 3상태 검출기(500)가 도시되어 있다. 3상태 검출기(500)는 중간레벨의 동작범위를 나타내는 출력신호를 제공하도록 적절히 구성될 수 있다. 이 실시예에서, 3상태 검출기(500)는 2개의 입력전압 REF_1 과 REF_2 를 수신하여 입력기준 $INPUT$ 과 비교하도록 구성된 한 쌍의 차동 입력버퍼를 포함한다. 한 쌍의 차동 입력버퍼는 전형적인 실시예에 따라 다양한 방식으로 구성될 수 있지만 이 한쌍의 차동 입력버퍼는 등을 맞댄 배열로 공통의 노드를 공유하는 2개의 차동쌍 트랜지스터를 포함하며, 이러한 구성으로 전류소모를 저하시킬 수 있다.

예를 들어, 제 1 입력쌍(502)은 각각이 함께 결합된 소스를 갖는 트랜지스터(M_1 , M_2)를 포함하고, 제 2 입력쌍(504)은 각각이 함께 결합된 소스를 갖는 트랜지스터(M_3 , M_2)를 포함하며, 두 개의 입력쌍(502, 504)은 트랜지스터 M_2 의 소스에 공통접속을 공유하고, 이들 모두는 접지에 결합될 수 있다. 또한, 트랜지스터 M_1 은 기준전압 REF_1 에 결합된 게이트를 구비하고, 트랜지스터 M_2 는 입력 기준전압 $INPUT$ 에 결합된 게이트를 구비하며, 트랜지스터 M_3 은 기준전압 REF_2 에 결합된 게이트를 구비한다. 전형적인 실시예에 따라 트랜지스터 M_1 , M_2 , 및 M_3 은 n-채널 차동쌍 설계의 n-채널 장치를 포함한다. 그러나 다른 전형적인 실시예에 따르면 3상태 검출기(500)는 p-채널 차동쌍 설계로, 즉 트랜지스터 M_1 , M_2 , 및 M_3 에 대하여 p-채널 장치로 구성될 수도 있다. 즉 입력쌍(502, 504)은 p-채널 장치로 대체될 수 있으며, 공급전압(V_{cc})에 결합된 소스를 구비한다.

각각의 입력쌍(502, 504)은 각각 전류미러회로(506, 508)에 적절하게 결합된다. 전류미러회로(506, 508)는 상기 입력전압과 상기 2개의 기준전압의 비교에 대응하는 출력신호를 제공하도록 구성된다. 전류미러회로(506)는 함께 연결된 게이트를 구비하는 p-채널 트랜지스터 M_4 , 및 M_5 를 포함하고, 전류미러회로(508) 또한 함께 연결된 게이트를 구비하는 p-채널 트랜지스터 M_6 및 M_5 을 포함한다. 공통 트랜지스터 M_5 는 게이트와 소스가 함께 접속된 다이오드 방식으로 구성된다. 따라서 입력쌍(502, 504)을 전류미러회로(506, 508)에 결합하기 위해서는 트랜지스터 M_1 , M_2 , 및 M_3 은 각각 트랜지스터 M_4 , M_5 , 및 M_6 에 접속된다. 또한 트랜지스터 M_4 , M_5 , 및 M_6 은 공급전압(V_{cc})에 결합된다.

차동 입력버퍼 쌍(502, 504)으로부터의 출력신호는 각각 로우 기준출력(LRO) 노드와 하이 기준출력(HRO) 노드에 공급될 수 있다. 전형적인 실시예에서, 로우 기준출력 노드(LRO)는 트랜지스터 M_1 의 드레인과 트랜지스터 M_4 의 소스에서 구성되지만, 하이 기준 출력노드(HRO)는 트랜지스터 M_3 의 드레인과 트랜지스터 M_6 의 소스에서 구성된다.

3상태 검출기(500)는 로우레벨, 중간레벨, 및 하이레벨 출력신호를 제공하도록 구성된 논리장치를 포함한다. 이 전형적인 실시예에 따르면 3상태 검출기는 복수의 인버터(510, 512, 514, 520)와, 배타적 OR 게이트(518)를 포함한다. 인버터

(510, 512, 514, 516, 520)는 종래의 인버터 구성을 포함할 수 있다. 예를 들어, 인버터(510, 512, 514, 516, 520)의 각각은 하나의 PMOS와 하나의 NMOS 트랜지스터로 구성되는 CMOS 인버터 단을 포함할 수 있다. 여기에서, NMOS 트랜지스터는 인버터에 대한 입력이 논리 하이일 때 접지에 전환접속하나, PMOS 트랜지스터는 인버터에 대한 입력이 논리 로우일 때 V_{DD} 전원레일에 접속을 제공한다. 한편 배타적 OR 게이트(518)는 배타적 OR기능을 제공하는 종래의 회로를 포함할 수 있다.

인버터(510)는 로우 기준출력 노드(LRO)로부터의 신호를 수신하고 출력신호 OUT_1 을 제공하도록 구성된다. 이 출력신호는 기준전압 REF_1 보다 낮은 입력신호 INPUT의 로우레벨을 표시하는 것이다. 인버터(510)의 출력신호는 인버터(514)의 입력과 결합하며, 인버터(514)의 출력과 함께 배타적 OR 게이트(518)의 입력에 결합된다. 한편 인버터(512)는 하이 기준출력 노드(HRO)로부터 신호를 수신하여 인버터(516)의 입력에 결합된 출력신호를 제공하고, 하이레벨 출력신호 OUT_3 을 공급하는 인버터(516)의 출력과 함께 배타적 OR 게이트(516)에 공급된다. 인버터(520)는 배타적 OR 게이트(516)의 출력에 접속되며, 중간레벨 전압범위를 나타내는 출력신호 OUT_2 를 제공하도록 구성된다.

3상태 검출기(500)는 집적회로의 동작 중에 3상태 검출기의 온, 오프를 제어하도록 인에이블 회로로 적당하게 구성될 수 있다. 예를 들어, 3상태 검출기(500)는 트랜지스터 M_1 , M_2 , 및 M_3 의 소스와 접지 사이에 결합된 트랜지스터 M_7 을 포함할 수 있다. 트랜지스터 M_7 은 그의 게이트에 결합된 인에이블 신호 EN을 포함한다. 상기 게이트는 임의의 명령신호에 의해 인에이블될 수 있다. 또한 3상태 검출기(500)는 트랜지스터 M_7 의 게이트를 공급전압 V_{cc} , DC 공급전압 V_{DC} 또는 기준전압 REF_1 이나 REF_2 에 연결함으로써 영구적으로 인에이블될 수 있다.

3상태 검출기(500)는 공통 노드를 공유하는 차동 입력버퍼 쌍으로 구성되지만, 공통노드 없이 2개의 독립적 입력버퍼가 본 발명의 다른 전형적인 실시예에 따라 실현될 수도 있다는 것에 주목하여야 한다. 그러나 이러한 독립적인 차동 입력버퍼는 스위칭 동작 중에 상당량의 전류를 흡수한다. 예를 들어, 각각의 독립 입력버퍼는 600마이크로 암페어 이상의 전류를 소모할 수 있으며, 총 1.2밀리암페어의 전류를 소모하게 된다. 그러나 예를 들면, 입력버퍼(502, 504) 내에 트랜지스터 M_2 와 M_5 를 공유하는 공통노드의 구성으로 전류미러(506, 508)는 약 600마이크로암페어의 전류를 소모한다. 또한 트랜지스터 M_1 , M_2 , 및 M_3 의 스위칭 중에 입력신호 INPUT이 증가하고 감소함에 따라 작은 전류서지가 공통의 노드구성에 대하여 예를 들면 220마이크로암페어 정도로 실현된다. 그러나 독립적인 입력버퍼를 갖는 실시예에서는 5배 이상의 전류가 실현될 수 있다.

또한 3상태 검출기(500)의 동작은 완전한 동작보다는 시험목적을 위해 중간레벨 범위가 이용될 때 중간레벨 전압범위를 검출하기 위해 신속한 동작을 요구하지는 않는다는 점에서, 3상태 검출기(500)에 의해 소모되는 전류는 트랜지스터 M_1 내지 M_6 을 감축시킴으로써, 예를 들어 각각의 트랜지스터의 채널폭을 축소시키거나 트랜지스터의 채널길이를 증가시킴으로써 더욱 최소화할 수 있다. 또한 트랜지스터 M_7 을 구비하는 인에이블 회로를 포함하는 전형적인 실시예에서, 트랜지스터 M_7 의 게이트를 공급전압 V_{cc} , DC 전원 V_{DC} 또는 예를 들어 기준전압 REF_1 나 REF_2 중의 하나에 결합함으로써 그리고 보다 작은 강도를 갖는 트랜지스터 M_7 에 대한 트랜지스터 크기를 이용함으로써 전류를 차단할 수 있다. 반면 정상적인 버퍼처럼 동작하도록 3상태 검출기(500)를 구성하기 위해서는, 각종 트랜지스터의 크기 강도 및 W/L비를 적절하게 증가시키거나 그렇지 않으면 조정할 수 있어야 할 뿐만 아니라 3상태 검출기(500)의 동작을 제어하기 위해 트랜지스터 M_7 의 게이트에 인에이블 신호를 별도로 제공할 수 있어야 한다.

3상태 검출기(500)의 전형적인 실시예에서 설명된 동작에는 도 7에 도시된 시뮬레이트된 타이밍도를 참고하여 제공할 수 있다. 이 예에서, 기준전압 REF_1 은 1.0볼트의 신호를 포함하나, 기준전압 REF_2 는 1.5볼트 신호를 포함한다. 초기조건에 대하여, 입력기준 INPUT이 접지이고 두 기준전압 REF_1 과 REF_2 보다 작으면 보다 많은 전류가 트랜지스터 M_2 보다는 M_1 , M_3 을 흘러 노드 LRO와 HRO로 출력될 것이다. 결국 출력신호는 출력기준 OUT_1 , 즉 A와 인버터(516)에 대한 입력에서 실현될 것이다. 따라서 출력기준 OUT_1 이 하이신호이고, OUT_3 이 인버터(516)의 반전된 출력신호라는 점에서 B에서 로우신호가 될 것이고, 배타적 OR 게이트(518)의 출력은 인버터(520)에 공급되어 하이 신호로 되고, 출력기준 OUT_2 에 대한 로우신호가 될 것이다.

출력기준 OUT_1 , OUT_2 및 OUT_3 은 입력기준 INPUT이 기준전압 REF_1 의 전압레벨 이상으로 증가할 때까지 그 상태를 유지할 것이다. 이 상태가 발생하면, 보다 많은 전류가 트랜지스터 M_1 보다는 트랜지스터 M_2 로 흘러들어가 더 이상 노드 LRO에서 출력되지 않고 출력기준 OUT_1 , 즉 A에서 출력된다. 한편, 노드 HRO가 "하이" 상태를 유지하고, 출력기준 OUT_3 이 계속하여 로우신호를 B에 제공할 것이므로 배타적 OR 게이트(518)의 출력에서 로우신호를 제공하여 출력기준 OUT_2 에 대한 하이신호를 출력한다. 따라서 3상태 검출기(500)는 입력기준 INPUT이 기준전압 REF_1 및 REF_2 에 의해 결정된 중간레벨 범위 내에서 동작한다는 점을 나타내고 있다. 입력기준 INPUT이 계속해서 기준전압 REF_2 이상으로 증가함에 따라 보다 많은 전류가 트랜지스터 M_3 보다는 트랜지스터 M_2 로 흘러들어 노드 HRO에서는 더 이상 출력이 없고, 이로 인해 인버터(512)의 출력에서의 출력 기준 OUT_3 이 B에서 하이신호로 된다. 결국, 배타적 OR 게이트(518)의 출력에서 하이신호가 실현되어 출력기준 OUT_2 에 대하여 로우신호가 된다. 따라서 3상태 검출기(500)는 입력기준 INPUT이 더 이상 중간레벨 범위 내에서는 동작하지 않으나 하이 동작상태에서는 동작한다는 것을 나타낸다.

상술한 전형적인 실시예는 중간레벨 검출을 제공하는 예를 도시하고 있으나 본 발명의 다른 전형적인 실시예에 따라 각종 변경과 수정이 가해질 수 있다는 점을 인식해야 한다. 예를 들어, 3상태 검출기(500)는 부가적인 기준전압을 수신하도록 구성되고 공통노드를 공유하도록 구성된 등을 맞댄 배열의 트랜지스터 쌍을 포함하는 부가적인 입력쌍으로 구성될 수 있다. 결국, 전압의 추가적인 범위가 적절하게 검출될 수 있다. 또한 3상태 검출기(500)는 부가적이거나 또는 더 소수의 캐스캐이드 인버터 단 또는 대응하는 출력신호 OUT_1 , OUT_2 및 OUT_3 를 제공할 수 있는 다른 논리구성을 포함하는 부가적이거나 더 소수의 논리장치 구성으로 구성될 수 있다. 또한 DC 공급전압과 트랜지스터 장치의 크기, 강도 및 W/L 비 또한 상이한 설계 기준의 수에 따라 다양한 방식으로 구성될 수 있다.

또한 상술한 바와 같이, 3상태 검출기(500) 내에 사용되는 기준전압 신호는 입력버퍼 회로 내에 구비되거나 또는 다른 집적회로와 장치로부터 외부에 구비되는 등의 다양한 방식으로 생성될 수 있다. 예를 들어, 전형적인 실시예에 따르는 도 6을 참조하면 기준 발생기(600)는 공급전압 V_{cc} 로부터 제 1 기준전압 REF_1 과 제 2 기준전압 REF_2 를 생성하기 위해 구성된다. 기준 발생기(600)는 원하는 전압을 제공하도록 구성가능한 저항값을 포함하는 저항 R을 통해 공급전압 V_{cc} 에 결합되는 소스를 갖는 입력 p-채널 트랜지스터 M_9 와, 접지에 직렬 결합된 n-채널 트랜지스터의 쌍(M_{11} , M_{13})을 포함하는 저항 분주기 회로를 포함한다. 입력 p-채널 트랜지스터 M_9 는 접지에 접속된 게이트를 구비하도록 구성되므로, p-채널 트랜지스터 M_9 는 항상 "온"상태이다. 저항분주기 회로의 동작을 통해 트랜지스터 M_9 의 드레인에서 기준전압 REF_1 이 생성될 수 있다.

이와 유사하게, 기준 발생기(600)는 원하는 전압을 제공하도록 구성가능한 저항값을 갖는 저항 R_2 를 통해 소스가 공급전압 V_{cc} 에 결합되는 입력 p-채널 트랜지스터 M_8 과, 접지에 직렬접속된 한 쌍의 p-채널 트랜지스터 M_{10} 과 M_{12} 을 포함하는 다른 저항 분주기 회로를 포함한다. 입력 p-채널 트랜지스터 M_8 은 또한 접지에 접속된 게이트와 함께 구성되므로 p-채널 트랜지스터 M_8 은 항상 "온"상태이다. 부가적인 저항 분주기회로의 동작을 통해, 기준전압 REF_2 는 트랜지스터 M_{10} 의 드레인에서 생성될 수 있다.

결국, 기준 발생기(600)는 적어도 2개의 기준전압 REF_1 및 REF_2 를 전압검출 시스템에 공급할 수 있다. 다양한 저항값과 트랜지스터 크기가 원하는 기준전압의 출력에 따라 수정될 수 있다. 또한 하나 이상의 부가적인 저항 분주기 회로가 부가적인 기준전압, 예를 들면 REF_3 과 REF_4 를 공급하기 위해 기준 발생기(600) 내에 포함될 수 있다. 또한 기준 발생기(600)는 기준전압을 생성하기 위해 고안되는 공지의 방식뿐 아니라 이후의 방식에 의해서도 구성될 수 있다.

지금까지 본 발명을 다양한 전형적인 실시예를 참조하여 설명하였다. 그러나 당해 기술분야의 기술자라면 본 발명의 범주로부터 벗어나지 않고도 전형적인 실시예에 변경이나 수정을 가할 수 있음을 명백히 인식할 수 있다. 예를 들어, 다양한 처리단계 뿐만 아니라 처리단계를 실행하기 위한 구성요소들도 특정 응용장치에 따라 또는 시스템의 동작과 관련한 기능의 수를 고려하여 다른 방식으로 실현할 수 있다. 또한 의도하고자 하는 기능을 수행하도록 구성된 어떠한 종류의 트랜지스터도 이용될 수 있다. 다음의 청구범위에 기재된 바와 같이, 이들 및 기타의 변경과 수정은 본 발명의 범위 내에 포함되도록 의도된 것이다.

도면의 간단한 설명

도면과 관련하여 고려해볼 때 상세한 설명과 청구범위를 참조함으로써 본 발명을 더욱 완전히 이해할 수 있다. 여기에서 동일한 참조번호는 전 도면을 통해 동일한 구성요소를 나타내고 있다.

도 1은 전압검출을 위해 구성된 종래기술의 입력버퍼를 도시한 개략도

도 2는 전압검출을 위해 구성된 종래기술의 입력버퍼에 대한 동작 타이밍도

도 3은 본 발명에 따라 전압검출을 위해 구성된 전형적인 입력버퍼의 실시예를 도시한 도면

도 4는 본 발명의 전형적인 실시예에 따라 전압검출을 위해 구성된 입력버퍼의 타이밍도

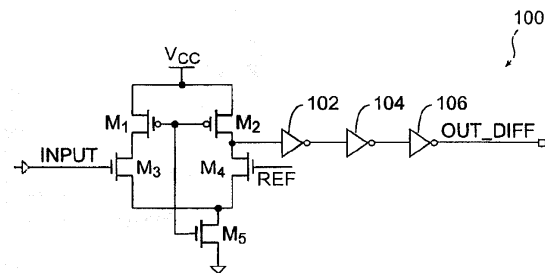
도 5는 본 발명의 전형적인 실시예에 따라 다상태 검출을 위해 구성된 전형적인 입력버퍼의 도면

도 6은 본 발명에 따르는 기준전압의 전형적인 실시예를 도시한 도면

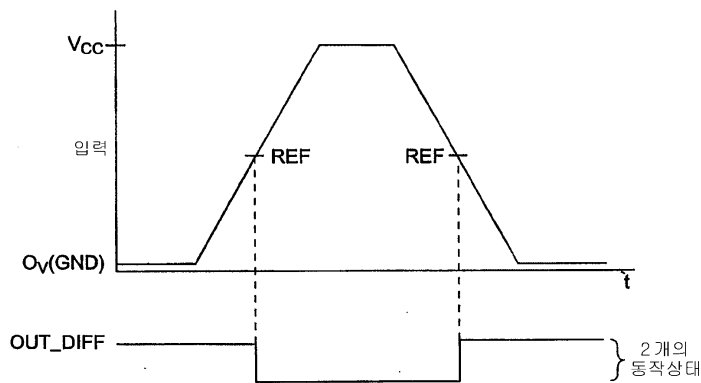
도 7은 본 발명의 전형적인 실시예에 따라 다상태 검출을 위해 구성된 전형적인 입력버퍼의 시뮬레이션 결과에 대한 타이밍도

도면

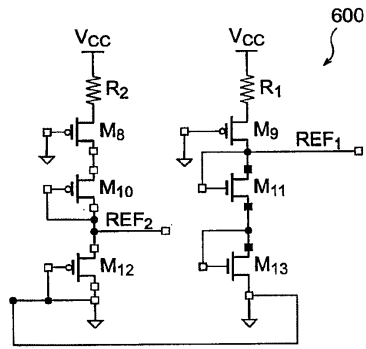
도면1



도면2



도면6



도면7

