

公告本
發明專利說明書

14年9月28日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96131458

※ 申請日期：96.8.24

※IPC 分類：G09G 3/36(2006.01)

一、發明名稱：(中文/英文)

顯示器裝置

DISPLAY APPARATUS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星顯示器公司 / SAMSUNG DISPLAY CO., LTD.

代表人：(中文/英文)

申相澈 / SHIN, SANG CHEOL

住居所或營業所地址：(中文/英文)

韓國京畿道龍仁市器興區三星2路95番地

95, Samsung 2 Ro, Giheung-Gu, Yongin-City, Gyeonggi-Do, 446-711 Korea

國籍：(中文/英文)

韓國 / KOREA

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 李洪雨 / LEE, HONG WOO

2. 許命九 / HUR, MYUNG KOO

3. 李鍾煥 / LEE, JONG HWAN

國籍：(中文/英文)

1. 韓國 / KOREA

2. 韓國 / KOREA

3. 韓國 / KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國、 2006/09/18、 10-2006-0090255

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種顯示器裝置具有一個包括連接到主閘極線和資料線之主像素，及連接到副閘極線和資料線之副像素的像素。一個主閘極驅動器在一個時間時段 1H 期間輸出一個主閘極脈衝到該主閘極線。一個副閘極驅動器接收該主閘極脈衝且在時間時段 1H 的第一部份期間輸出一個副閘極脈衝到該副閘極線。該資料驅動器在該時間時段 1H 的第一部份期間施加一個副像素電壓到該資料線且在時間時段 1H 的第二部份期間施加該主像素電壓到該資料線。

六、英文發明摘要：

A display apparatus has a pixel including a main pixel connected to a main gate line and a data line, and a sub-pixel connected to a sub-gate line and the data line. A main gate driver outputs a main gate pulse to the main gate line during a time period 1H. A sub-gate driver receives the main gate pulse and outputs a sub-gate pulse to the sub-gate line during a first portion of time period 1H. The data driver applies a sub-pixel voltage to the data line during the first portion of time period 1H and applies the main pixel voltage to the data line during a second portion of time period 1H.

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

500	LCD裝置	PA3	第三週邊區域
100	LCD面板	DA	顯示區域
110	陣列基板	DL1	資料線
120	彩色濾光片基板	DLm	資料線
210	主閘極驅動器	GL1-m	主閘極線
220	副閘極驅動器	GLn-m	主閘極線
300	捲帶式載體封裝件	GL1-s	副閘極線
310	資料驅動晶片	GLn-s	副閘極線
400	印刷電路板	SRC1	級
INC1	反相器	SRCn	級
INCn	反相器		
PA1	第一週邊區域		
PA2	第二週邊區域		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

相關申請案之相互參照

本申請案係根據並主張2006年9月18日所申請在先之
5 韓國專利申請案第2006-90255號的優先權，茲將其完整內
容在此列入參考。

發明領域

本發明有關於一種顯示器裝置，更特別地，係有關於
一種具有用於驅動主像素之主閘極驅動器和用於驅動副像
10 素之副閘極驅動器的液晶顯示器(LCD)裝置。

【先前技術】

發明背景

通常，LCD裝置會包括一個LCD面板，該LCD面板包
括一個下基板、一個面向該下基板的上基板和一個置於該
15 下基板與該上基板之間的液晶層。該LCD面板亦可以包括
閘極線、資料線和連接至該等閘極線與資料線的像素。訊
號是供應到該等閘極線和資料線俾可施加一個橫跨該液晶
層的電場。由於在液晶層中的液晶會具有各向異性介電常
數，液晶的配向在電場施加橫越該液晶層時會改變。此外，
20 由於液晶具有一個各向異性折射率，LCD裝置的透光率會
依據液晶的配向而改變。該LCD裝置施加一個電場在該兩
個基板之間以致於該等液晶具有一個對應於被傳輸作為資
料訊號之顯示資訊的透光率。因此，液晶的配向會依據施
加的電場來改變。

此外，液晶的配向會控制背光照明穿過液晶層的傳輸來顯示影像於該LCD裝置上。

該LCD裝置可以包括一個用於連續地把閘極脈衝輸出到該等閘極線的閘極驅動器和一個用於把資料電壓輸出到該等資料線的資料驅動器。該閘極驅動器與該資料驅動器可以各如一個晶片一樣被配置在該LCD面板的薄膜上。

近來，為了減少晶片數目，LCD裝置會使用一種閘極-IC-較少(GIL)結構，在該結構中，閘極驅動器是藉著薄膜形成製程來被直接配置在該下基板上。在具有該GIL結構的LCD裝置中，該閘極驅動器可以包括一個具有數個串聯連接之級的移位暫存器俾可供應閘極脈衝到該等閘極線。

此外，圖案形成垂直配向(PVA)型LCD裝置、多域垂直配向(MVA)型LCD裝置、和超級-圖案形成垂直配向(S-PVA)型LCD裝置業已被研究發展俾改進LCD裝置的視角。

例如，S-PVA型LCD裝置可以具有一個包括兩個副像素的像素，在其中，每個副像素具有一個主像素電極和一個副像素電極而且不同的副電壓是施加到該主像素電極和該副像素電極俾可形成具有不同灰階的域。由於觀看一個顯示在該LCD裝置上之影像的觀眾可以確認一個在主電壓與不同副電壓之間的中間值，該LCD裝置的側視角由於在中間灰階的伽瑪曲線的作用而不會變窄，因此該LCD裝置的側視性會被改進。

該S-PVA型LCD裝置依據其之驅動手段而可以被分為耦合電容器(CC)型LCD裝置或者兩電晶體(TT)型LCD裝

置。

一個CC型LCD裝置可以更包括一個在該主像素電極與該副像素電極之間的耦合電容器。施加到該主像素電極的主電壓由於在該電容器內的儲存電壓的作用而能夠被改變。因此，施加到該主像素電極的主電壓可以與施加到該副像素電極的副電壓不同。

一個TT型LCD裝置可以使用兩個連續地在一個預定時間間隔下被打開的電晶體俾可把主電壓施加到該等主電極及把副像素電壓施加到該等副像素電極，該等主電壓與該等副像素電壓具有不同的電壓位準。然而，TT型LCD裝置的驅動頻率會被增加俾可驅動該兩個電晶體。在驅動頻率上的增加會增加TT型LCD裝置的電力消耗。

此外，在具有GIL結構的TT型S-PVA型LCD裝置中，閘極驅動器之級的數目會增加，因為兩倍數目的電晶體會被驅動。在閘極驅動器中之額外的級會增加LCD面板的尺寸，其亦會增加LCD裝置的電力消耗。

【發明內容】

發明概要

本發明提供一種在藉由降低驅動頻率來節省電力消耗的同時能夠使其之尺寸減至最小程度的LCD裝置。

本發明之額外的特徵將會在後面的描述中陳述，而部份會由於該描述而顯而易見，或者可以藉著本發明的實施來得知。

本發明提供一種顯示器裝置，該顯示器裝置包括一個

包括一條主閘極線、一條副閘極線、一條資料線、與一個像素的第一基板，該像素包括一個連接到該主閘極線與該資料線的主像素以及一個連接到該副-閘極線與該資料線的副像素；一個與該第一基板耦接且面向該第一基板的第二基板；一個把一個第一主閘極脈衝施加到該主閘極線一個第一時段的主閘極驅動器；一個在一個第二時段期間把一個副閘極脈衝施加到該副閘極線的副閘極驅動器，其中，該第二時段包含該第一時段的一個部份；及一個在該第二時段期間把一個副像素電壓施加到該資料線，以及一個包含該第一時段之一個與該第二時段分離之部份的第三時段期間把一個主像素電壓施加到該資料線的資料驅動器。

本發明亦提供一種液晶顯示器裝置，該液晶顯示器裝置包括一個第一基板、一個面向該第一基板的第二基板、一個具有一個主像素與一個副像素的像素、一個把一個主閘極脈衝輸出到該主像素的主閘極驅動器、和一個響應於該主閘極脈衝來把一個副閘極脈衝輸出到該副像素的副閘極驅動器。

應要了解的是，前面的大致描述以及後面的詳細描述是為範例與說明而已且是傾向於提供如所主張之本發明的進一步說明。

圖式簡單說明

該等附圖，其是被包括俾可提供本發明的進一步了解且是被併合與構成這說明書的一部份，描繪本發明的實施

例，而且是與該說明一起作用來說明本發明的原理。

第1圖顯示本發明之範例實施例之一個LCD裝置的平面圖。

第2圖顯示在第1圖中所示之主閘極驅動器、副閘極驅動器、與像素之內部方塊之等效電路的電路圖。

第3圖顯示在第2圖中所示之主閘極驅動器之一個級的內部電路圖。

第4圖顯示在第2圖中所示之副閘極驅動器之反相器的內部電路圖。

第5圖顯示在第2圖中所示之第一時鐘、第二時鐘、第三時鐘、第四時鐘、第一主閘極脈衝、第二主閘極脈衝、第一副閘極脈衝、和第二副閘極脈衝之波形的時序圖。

第6圖顯示對應於一個第一主閘極脈衝、一個第二主閘極脈衝、一個第一副閘極脈衝、和一個第二副閘極脈衝之一個第一主像素電壓、一個第二主像素電壓、一個第一副像素電壓、和一個第二副像素電壓之波形的時序圖。

【實施方式】

較佳實施例之詳細說明

本發明是配合該等顯示本發明之實施例的附圖於此後作更完整的描述。然而，本發明能夠以很多不同的形式實施而且不應被限制為於此中所陳述的實施例。更確切地說，這些實施例是被提供以致於這揭露是完善的，而且會完全表達本發明的範圍讓熟知此項技術的人仕了解。在該等圖式中，層與區域的尺寸與相對尺寸為了清楚而會是被

誇大的。在該等圖式中相同的標號標示相同的元件。

會了解的是，當一個元件或者層是被指”在”另一個元件或者層”上”或者是”連接至”另一個元件或者層時，它可以是直接在或者直接連接至該另一個元件或者層，或者中間元件或者層會存在。相對地，當一個元件是僅被指”直接在”或者”直接連接至”另一個元件或者層時，無中間元件或者層存在。

會了解的是，雖然第一、第二、第三等等的名詞於此中會被使用來描繪不同的元件、組件、區域、層及/或部份，這些元件、組件、區域、層及/或部份不應由這些名詞限制。這些名詞僅被用來區別元件、組件、區域、層或部份。因此，於下面作討論的第一元件、組件、區域、層或部份在沒有離開本發明的教示下能夠被稱為第二元件、組件、區域、層或部份。

第1圖顯示本發明之範例實施例之LCD裝置的平面圖。在第1圖中所示的LCD裝置500可以是一個S-PVA LCD裝置，其具有一個包括一個主像素與一個副像素的像素。

請參閱第1圖所示，該S-PVA LCD裝置500可以包括一個用於顯示影像的LCD面板100、一個配置在該LCD面板100附近的印刷電路板400、和一個把該LCD面板100連接到該印刷電路板400的捲帶式載體封裝件300。

該LCD面板100可以包括一個陣列基板110、一個面向該陣列基板110的彩色濾光片基板120、和一個置於該陣列基板110與該彩色濾光片基板120之間的液晶層(圖中未

示)。該陣列基板110可以被分成一個用於顯示影像的顯示區域DA和配置在該顯示區域DA附近的一個第一週邊區域PA1、一個第二週邊區域PA2、以及一個第三週邊區域PA3。

像素會以矩陣形式配置在該陣列基板110的顯示區域DA中。該顯示區域DA亦可以包括在一個第一方向D1上延伸的主閘極線GL1-m到GLn-m (其中，n是等於或者大於1的整數)、亦在該第一方向D1上延伸的副閘極線GL1-s到GLn-s、和在一個實質上與該第一方向D1垂直之第二方向D2上延伸的資料線DL1到DLm (其中，m是等於或者大於1的整數)。該等像素會被配置在由該等閘極線與資料線所界定的像素區域中。每個像素會包括一個主像素和一個副像素。一個主像素會連接到一條對應的主閘極線和一條資料線。一個副像素會連接至一個對應的副閘極線和該資料線。

包括分別過濾紅色、綠色、與藍色光線之像紅色、綠色、與藍色像素般的彩色像素會配置在對應於該等像素區域的彩色濾光片基板120上。

該第一週邊區域PA1會被配置在該等主閘極線GL1-m到GLn-m的第一末端附近，而且會包括一個連續地把主閘極脈衝施加到該等主閘極線GL1-m到GLn-m的主閘極驅動器210。該主閘極驅動器210會包括一個具有串聯連接在一起之級SRC1到SRCn的移位暫存器。該等級SRC1到SRCn的輸出端會分別連接到該等主閘極線GL1-m到GLn-m。主閘極線GL1-m到GLn-m與級SRC1到SRCn會是一對一的對應關係。因此，該等級SRC1到SRCn會連續地把主閘極脈衝施

加到對應的主閘極線。

該第二週邊區域PA2會配置在該等主閘極線GL1-m到GLn-m的第二末端附近。該第二週邊區域PA2會包括一個副閘極驅動器220，其是連接到該等主閘極線GL1-m到GLn-m來接收該等主閘極脈衝而然後把該等副閘極脈衝輸出到該等副閘極線GL1-s到GLn-s。該副閘極驅動器220可以包括反相器INC1到INCn，其會是連接到該等副閘極線GL1-s到GLn-s。副閘極線GL1-s到GLn-s會與反相器INC1到INCn成一對一的對應關係。因此，該等反相器INC1到INCn在打開時會把副閘極脈衝施加到對應的副閘極線。

該主閘極驅動器210的級SRC1到SRCn與該副閘極驅動器220的反相器INC1到INCn將會配合第2圖、第3圖、第4圖、第5圖、和第6圖來在下面詳細地作描述。

在本發明的範例實施例中，該主閘極驅動器210和該副閘極驅動器220會經由像是薄膜形成製程般的製程來實質上與該等像素同時地配置在該陣列基板110上。這樣，該主閘極驅動器210和該副閘極驅動器220會被整合到該陣列基板110上，因此驅動晶片不是必要的。結果，LCD裝置500的尺寸會被縮減。

該第三週邊區域PA3會配置在該等資料線DL1到DLm的末端附近，而一個捲帶式載體封裝件300的第一末端會連接到該第三週邊區域PA3。該捲帶式載體封裝件300的第二末端會連接到該印刷電路板400。資料驅動晶片310會配置在該捲帶式載體封裝件300上俾可供應資料訊號到該等資

102年9月13日
修正頁(本)
對線

料線DL1到DLm。據此，該等資料驅動晶片310會響應於從印刷電路板400輸出的控制訊號來供應該等資料訊號到該等資料線DL1到DLm。

一個第一閘極控制訊號會經由該捲帶式載體封裝件300來從印刷電路板400施加到主閘極驅動器210。此外，一個第二閘極控制訊號會經由該捲帶式載體封裝件300來從印刷電路板400施加到該副閘極驅動器220。因此，該主閘極驅動器210會響應於該第一閘極控制訊號來供應主閘極脈衝到該等主閘極線GL1-m到GLn-m。該副閘極驅動器220會響應於該第二閘極控制訊號來把副閘極脈衝供應到該等副閘極線GL1-s到GLn-s。

第2圖顯示在第1圖中所示之主閘極驅動器、副閘極驅動器、以及像素之內部方塊之等效電路的電路圖。

請參閱第2圖所示，一個第一像素P1會連接到該第一主閘極線GL1-m、該第一副閘極線GL1-s、和該第一資料線DL1，而一個第二像素P2會連接到該第二主閘極線GL2-m、該第二副閘極線GL2-s、和該第一資料線DL1。

該第一像素P1會包括一個第一主像素和一個第一副像素。該第一主像素會包括一個第一主薄膜電晶體T1-m和一個第一主像素電極MPE1，而該第一副像素會包括一個第一副薄膜電晶體T1-s和一個第一副像素電極SPE1。

該第一主薄膜電晶體T1-m會連接到該第一主閘極線GL1-m和該第一資料線DL1，而該第一副薄膜電晶體T1-s會連接到該第一副閘極線GL1-s和該第一資料線DL1。更明

確地，該第一主薄膜電晶體T1-m的閘極電極會連接到該第一主閘極線GL1-m，該第一主薄膜電晶體T1-m的源極電極會連接到該第一資料線DL1，而該第一主薄膜電晶體T1-m的汲極電極會連接到該第一主像素電極MPE1。該第一副薄膜電晶體T1-s的閘極電極會連接到該第一副閘極線GL1-s，該第一副薄膜電晶體T1-s的源極電極會連接到該第一資料線DL1，而該第一副薄膜電晶體T1-s的汲極電極會連接到該第一副像素電極SPE1。

該第二像素P2會包括一個第二主像素和一個第二副像素。該第二主像素會包括一個第二主薄膜電晶體T2-m和一個第二主像素電極MPE2，而該第二副像素會包括一個第二副薄膜電晶體T2-s和一個第二副像素電極SPE2。

該第二主薄膜電晶體T2-m會連接到該第二主閘極線GL2-m、該第一資料線DL1以及該第二主像素電極MPE2，而該第二副薄膜電晶體T2-s會連接到該第二副閘極線GL2-s、該第一資料線DL1以及該第二副像素電極SPE2。更明確地，該第二主薄膜電晶體T2-m的閘極電極會連接到該第二主閘極線GL2-m，該第二主薄膜電晶體T2-m的源極電極會連接到該第一資料線DL1，而該第二主薄膜電晶體T2-m的汲極電極會連接到該第二主像素電極MPE2。該第二副薄膜電晶體T2-s的閘極電極會連接到該第二副閘極線GL2-s，該第二副薄膜電晶體T2-s的源極電極會連接到該第一資料線DL1，而該第二副薄膜電晶體T2-s的汲極電極會連接到該第二副像素電極SPE2。

該主閘極驅動器210的第一級SRC1會連接到該第一主閘極線GL1-m俾可把一個第一主閘極脈衝施加到該第一主閘極線GL1-m。

該第一級SRC1會包括第一輸入端IN1和第二輸入端IN2、第一時鐘端CK1和第二時鐘端CK2、一個關閉電壓輸入端Vin、一個輸出端OUT、一個進位端CR、和一個重置端RE。一個起動訊號STV會施加到該第一輸入端IN1，第一時鐘訊號CK-L會施加到該第一時鐘端CK1，而第二時鐘訊號CKB-L會施加到該第二時鐘端CK2。如在第5圖中所示以及

5

10 在下面更詳細地作描述，該第二時鐘訊號CKB-L會具有相對於第一時鐘訊號CK-L的反相訊號位準。

一個閘極關閉電壓Voff會施加到該關閉電壓輸入端Vin。在本發明的另一個範例實施例中，一個地電壓會施加到該關閉電壓輸入端Vin。閘極關閉電壓Voff會根據在主像素中之主薄膜電晶體T1-m到Tn-m的臨界電壓來被選擇，而且會端視該等薄膜電晶體是，例如，p-型薄膜電晶體抑或是n-型薄膜電晶體來變化。

15

該第一主閘極脈衝會從輸出端OUT輸出到第一主閘極線GL1-m，而一個進位訊號會從該進位端CR輸出。此外，

20 一個從第二級SRC2輸出的進位訊號會施加到該第二輸入端IN2。

該主閘極驅動器210的第二級SRC2會連接到該第二主閘極線GL2-m來把一個第二主閘極脈衝施加到該第二主閘極線GL2-m。

該第二級 SRC2 會具有一個與第一級 SRC1 相同的結構。第一時鐘訊號 CK-L 會施加到第二時鐘端 CK2，而第二時鐘訊號 CKB-L 會施加到該第一時鐘端 CK1。這配置對於在主閘極驅動器 210 中之額外的級來說是相似的。特別地，

5 該第一時鐘訊號 CK-L 會施加到該主閘極驅動器 210 之以奇數編號之級的第一時鐘端 CK1 和以偶數編號之級的第二時鐘端 CK2。此外，該第二時鐘訊號 CKB-L 會施加到該主閘極驅動器 210 之以奇數編號之級的第二時鐘端 CK2 和以偶數編號之級的第一時鐘端 CK1。

10 雖然第 2 圖僅顯示該主閘極驅動器 210 的第一級 SRC1 和第二級 SRC2，其後的級 SRC3 到 SRCn 會具有與第一級 SRC1 和第二級 SRC2 相同的結構，所以其之詳細描述將會被省略。一個進位訊號會從最後一級 SRCn 供應到該等級的重置端 RE 俾可重置該等級。

15 該副閘極驅動器 220 的第一反相器 INC1 會連接到該第一主閘極線 GL1-m 和該第一副閘極線 GL1-s，而且會響應於接收該第一主閘極脈衝來把該第一副閘極脈衝施加到該第一副閘極線 GL1-s。

20 該第一反相器 INC1 會包括一個輸入端 IN、一個時鐘端 CK、一個關閉電壓輸入端 Vin、和一個輸出端 OUT。該第一主閘極脈衝會在該輸入端 IN 接收，而一個第三時鐘訊號 CK-R 會施加到該時鐘端 CK。該閘極關閉電壓 Voff 會施加到該關閉電壓輸入端 Vin 而該第一副閘極脈衝會從該輸出端 OUT 輸出。閘極關閉電壓 Voff 會是與施加到第一級 SRC1 的

102年9月3日修正頁(去)

閘極關閉電壓 V_{off} 相同。或者，施加到反相器 INC1 到 INCn 的閘極關閉電壓 V_{off} 會根據在該等副像素中之副薄膜電晶體 T1-s 到 Tn-s 的臨界電壓來被選擇，而且會端視該等副薄膜電晶體是，例如，p-型薄膜電晶體抑或是 n-型薄膜電晶體而定來改變。

該副閘極驅動器 220 的第二反相器 INC2 會連接到該第二主閘極線 GL2-m 而且會響應於接收該第二主閘極脈衝來把第二副閘極脈衝施加到第二副閘極線 GL2-s。該第二反相器 INC2 會包括一個實質上與第一反相器 INC1 相同的結構。然而，一個第四時鐘訊號 CKB-R 會施加到第二反相器 INC2 的時鐘端 CK。如在第 5 圖中所示以及在下面更詳細地作描述，該第四時鐘訊號 CKB-R 會具有相對於該第三時鐘訊號 CK-R 的反相訊號位準。

第 3 圖顯示在第 2 圖中所示之主閘極驅動器之第一級 SRC1 的內部電路圖。

請參閱第 3 圖所示，該第一級 SRC1 會包括一個上拉部份 211、一個下拉部份 212、一個上拉驅動器 213、一個反漣波部份 214、一個固持部份 216、一個主反相器 217、一個重置部份 218、以及一個進位部份 219。

該上拉部份 211 會包括一個上拉電晶體 NT1，其包括一個連接到該上拉驅動器 213 的控制電極、一個連接到該第一時鐘端 CK1 的輸入電極、和一個連接到該輸出端 OUT 的輸出電極。該第一時鐘訊號 CK-L 會施加到該第一時鐘端 CK1。該上拉電晶體 NT1 會響應於從上拉驅動器 213 供應出

來的控制電壓來把該第一時鐘訊號CK-L輸出到該輸出端OUT。據此，該第一主閘極脈衝在一個1H時段期間會由具有高位準的第一時鐘訊號CK-L拉向上，其將會在下面配合第5圖詳細地作描述。

- 5 該進位部份219會包括一個進位電晶體NT14，其包括一個連接至該上拉驅動器213的控制電極、一個連接到該第一時鐘端CK1的輸入電極、和一個連接到該進位端CR的輸出電極。該進位電晶體NT14會響應於從該上拉驅動器213供應出來的控制電壓來把該第一時鐘訊號CK-L輸出到該
- 10 進位端CR。據此，該第一進位訊號在該1H時段期間會由該第一時鐘訊號CK-L增加到一個高位準。

- 該下拉部份212會包括一個下拉電晶體NT2，其包括一個連接到該第二輸入端IN2的控制電極、一個連接到該輸出端OUT的輸入電極、和一個連接到該關閉電壓輸入端Vin的
- 15 輸出電極。一個來自像是第二級SRC2般之後續之一級的進位訊號會施加到該第二輸入端IN2，而該閘極關閉電壓Voff會施加到該關閉電壓輸入端Vin。該下拉電晶體NT2會響應於該第二主閘極脈衝來把該已經由第一時鐘訊號CK-L拉向上的第一主閘極脈衝拉向下以致於該第一主閘極脈衝具
- 20 有一個對應於該閘極關閉電壓Voff之位準之位準。

該上拉驅動器213會包括一個緩衝器電晶體NT3、一個第一電容器C1、一個第二電容器C2和一個放電電晶體NT4。該緩衝器電晶體NT3會包括一個輸入端和一個控制電極，它們皆是連接到該第一輸入端IN1，以及包括一個連接

到該上拉電晶體NT1之控制電極的輸出電極。一個起動訊號STV會施加到該第一級SRC1的第一輸入端IN1。該第一電容器C1會配置在該上拉電晶體NT1的控制電極與輸出電極之間，而該第二電容器C2會配置在該進位電晶體NT14的控制電極與輸出電極之間。該放電電晶體NT4會包括一個連接到該緩衝器電晶體NT3之輸出電極的輸入電極、一個連接到該第二輸入端IN2的控制電極、和一個連接到該關閉電壓輸入端Vin的輸出電極。

當該緩衝器電晶體NT3響應於該起動訊號STV來被打開時，該第一電容器C1和該第二電容器C2會被充電。如果該第一電容器C1是以一個相等於或者大於該上拉電晶體NT1之臨界電壓的電壓來充電的話，該上拉電晶體NT1會被打開。因此，該第一時鐘訊號CK-L會經由該上拉電晶體NT1來輸出到該輸出端OUT，因此該第一主閘極脈衝具有一個高位準。

當該放電電晶體NT4響應於一個來自後續之一級的進位訊號來被打開時，一個儲存在該第一電容器C1內的電壓會經由該放電電晶體NT4來被釋放到該閘極關閉電壓Voff的位準。據此，一個第一節點N1的電位會被降低到該閘極關閉電壓Voff的位準，而該上拉電晶體NT1會被關閉俾把該第一主閘極脈衝降低到一個低位準。

該反漣波部份214會包括第一反漣波電晶體NT5、第二反漣波電晶體NT6、和第三反漣波電晶體NT7。該第一反漣波電晶體NT5會包括一個連接到該第一時鐘端CK1的控制

電極、一個連接到該上拉電晶體NT1之輸出電極的輸入電極、及一個連接到該上拉電晶體NT1之控制電極的輸出電極。該第二反漣波電晶體NT6會包括一個連接到該第二時鐘端CK2的控制電極、一個連接到該第一輸入端IN1的輸入

5 電極、及一個連接到該上拉電晶體NT1之控制電極的輸出電極。該第三反漣波電晶體NT7會包括一個連接到該第二時鐘端CK2的控制電極、一個連接到該上拉電晶體NT1之輸出電極的輸入電極、及一個連接到該關閉電壓輸入端Vin的輸出電極。該第二時鐘訊號CKB-L會施加到該第二時鐘端

10 CK2。

該第一反漣波電晶體NT5會響應於施加到第一時鐘端CK1的第一時鐘訊號CK-L來把可以是從輸出端OUT輸出的第一主閘極脈衝供應到該上拉電晶體NT1的控制電極。因此，該第一節點N1的電位由於該第一主閘極脈衝而能夠維持在一個對應於該閘極關閉電壓Voff之位準的位準，俾藉此防止該第一節點N1的漣波。該第二反漣波電晶體NT6會響應於施加到第二時鐘端CK2的第二時鐘訊號CKB-L來把施加到第一輸入端IN1的起動訊號STV供應到該第一節點N1。由於該起動訊號STV是維持在一個低狀態，第一節點N1的電位會維持在一個低位準因此第一節點N1的漣波能夠被防止。此外，該第三反漣波電晶體NT7會響應於該第二時鐘訊號CKB-L來把該第一主閘極脈衝的位準降低到一個對應於該閘極關閉電壓Voff的位準，藉此防止該第一主閘極脈衝的漣波。

15

20

該固持部份216會包括一個固持電晶體NT8，其包括一個連接到該主反相器217之輸出端的控制電極、一個連接到該輸出端OUT的輸入電極、和一個連接到該關閉電壓輸入端Vin的輸出電極。

5 該主反相器217會包括一個第一反相器電晶體NT9、一個第二反相器電晶體NT10、一個第三反相器電晶體NT11、一個第四反相器電晶體NT12、一個第三電容器C3、和一個第四電容器C4。該主反相器217會把一個訊號施加到該固持電晶體NT8的控制端來把該固持電晶體NT8打開和關閉。

10 該第一反相器電晶體NT9會包括皆連接到該第一時鐘端CK1的一個輸入電極和一個控制電極，以及一個經由該第四電容器C4來連接到該第二反相器電晶體NT10的輸出電極。該第二反相器電晶體NT10會包括一個連接到該第一時鐘端CK1的輸入電極、一個經由第三電容器C3來連接到
15 該輸入電極的控制電極、和一個連接到該固持電晶體NT8之控制電極的輸出電極。該第三反相器電晶體NT11會包括一個連接到該第一反相器電晶體NT9之輸出電極的輸入電極、一個連接到輸出端OUT的控制電極、和一個連接到該關閉電壓輸入端Vin的輸出電極。該第四反相器電晶體NT12
20 會包括一個連接到該固持電晶體NT8之控制電極的輸入電極、一個連接到該輸出端OUT的控制電極、和一個連接到該關閉電壓輸入端Vin的輸出電極。

該第三反相器電晶體NT11和該第四反相器電晶體NT12在第一主閘極脈衝是處於一個高位準的該1H時段期

間會響應於該第一主閘極脈衝來被打開。因此，從該第一反相器電晶體NT9和該第二反相器電晶體NT10輸出的第一時鐘訊號CK-L會經由第三反相器電晶體NT11和第四反相器電晶體NT12來被放電到一個對應於該閘極關閉電壓Voff之位準之位準。據此，在該1H時段期間，該主反相器217的輸出端會把該閘極關閉電壓Voff輸出到該固持電晶體NT8的控制端，而該固持電晶體NT8會被關閉。

在那之後，當該第一主閘極脈衝具有一個低位準時，該第三反相器電晶體NT11和該第四反相器電晶體NT12會被關閉。結果，該主反相器217會從該第一反相器電晶體NT9和該第二反相器電晶體NT10輸出該第一時鐘訊號CK-L。因此，當從主反相器217輸出的第一時鐘訊號CK-L具有一個高位準時，該固持電晶體NT8把該第一主閘極脈衝放電到一個對應於該閘極關閉電壓Voff之位準之位準。

另一方面，該重置部份218會包括一個重置電晶體NT13，其包括一個連接到一個重置端RE的控制電極、一個連接到該上拉電晶體NT1之控制電極的輸入電極、和一個連接到該關閉電壓輸入端Vin的輸出電極。該重置電晶體NT13會響應於該在最後一級SRCn中產生之會經由該重置端RE來輸入到該重置電晶體NT13的最後進位訊號來把該第一節點N1的電壓降低到一個對應於該閘極關閉電壓Voff之位準之位準。因此，該上拉和進位電晶體NT1和NT14會響應於最後一級SRCn的最後進位訊號來被關閉。

該最後進位訊號會供應到該等級的重置端RE來打開

關閉該等級的上拉電晶體NT1和進位電晶體NT14，藉此重置該等級。

第4圖顯示在第2圖中所示之副閘極驅動器之反相器INC1的內部電路圖。

5 請參閱第4圖所示，該第一反相器INC1會包括第五反相器電晶體NT15、第六反相器電晶體NT16、第七反相器電晶體NT17、第八反相器電晶體NT18、第五電容器C5、和第六電容器C6。

10 第五反相器電晶體NT15會包括皆連接到該輸入端IN的一個輸入電極和一個控制電極，以及一個連接到該第六電容器C6之第一電極的輸出電極。該第六電容器C6的第二電極會連接到該輸出端OUT。該第六反相器電晶體NT16會包括一個連接到該輸入端IN的輸入電極、一個連接到該第五反相器電晶體NT15之輸出電極的控制電極、和一個連接到該輸出端OUT的輸出電極。該第五電容器C5會配置在該第六反相器電晶體NT16的控制電極與輸入端IN之間。該第七反相器電晶體NT17會包括一個連接到該第五反相器電晶體NT15之輸出電極的輸入電極、一個連接到該時鐘端CK的控制電極、和一個連接到該關閉電壓輸入端Vin的輸出電極。該第八反相器電晶體NT18會包括一個連接到該輸出端OUT的輸入電極、一個連接到該時鐘端CK的控制電極、和一個連接到該關閉電壓輸入端Vin的輸出電極。

15

20

該第五反相器電晶體NT15和該第六反相器電晶體NT16在輸入到輸入端IN之第一主閘極脈衝具有一個高位

- 準的該1H時段期間會響應於處於高位準的第一主閘極脈衝來被打開。另一方面，該第七反相器電晶體NT17和該第八反相器電晶體NT18在輸入到時鐘端CK的第三時鐘訊號CK-R具有一個低位準時會是關閉。這時，在一個與第三時鐘訊號CK-R之低時段重置的第一H/2時段期間通過該第五反相器電晶體NT15和第六反相器電晶體NT16的第一主閘極脈衝是經由該輸出端OUT輸出。因此，在該第一H/2時段期間，該第一主閘極脈衝會被輸出到該第一副閘極線GL1-s作為一個第一副閘極脈衝。
- 10 然後，如果該第三時鐘訊號CK-R的位準是變換成高位準的話，該第七反相器電晶體NT17和該第八反相器電晶體NT18會被打開。因此，在一個第二H/2時段期間從第五反相器電晶體NT15與第六反相器電晶體NT16輸出的第一主閘極脈衝，當該第七反相器電晶體NT17和該第八反相器電晶體NT18是打開時，會被放電到一個對應於該閘極關閉電壓Voff之位準的位準。據此，在該第二H/2時段期間當該第三時鐘訊號CK-R處於高位準時，該輸出端OUT會輸出該處於一個對應於該閘極關閉電壓Voff之位準之位準的第一副閘極脈衝。
- 15 20 這樣，在S-PVA LCD裝置500中由於一個像素包括一個主像素和一個副像素，該主像素和該副像素在該1H時段期間會被打開俾可驅動一個包括該主像素和該副像素的像素列。

該正閘極驅動器220的每個接續反相器INC2到INCn會

具有一個實質上與被包括在副閘極驅動器220內之主反相器INC1相同的結構。據此，與主閘極驅動器210比較起來，該副閘極驅動器220能夠以較少的電晶體運作。結果，該副閘極驅動器220的尺寸能夠比該主閘極驅動器210的尺寸小，而該S-PVA LCD裝置500的製程能夠被簡化。

現在，該1H時段與該H/2時段將會更詳細地作說明。根據本發明之描繪的實施例，該主閘極驅動器210在會包括一個相等於主閘極脈衝之時段之一半之時段之1H的時間時段期間會連續地產生該主閘極脈衝到具有一個高位準訊號。該副閘極驅動器220在1H的第一H/2時段期間會產生該副閘極脈衝。該第一時段H/2會是該主閘極脈衝時段之時段的四分之一和該1H時段的一半。該副閘極驅動器220會包括數個反相器INC1到INCn俾可產生一個副閘極脈衝，在其中，每個反相器接收一個主閘極脈衝和一個第三時鐘訊號CK-R或者一個第四時鐘訊號CKB-R，與施加到主閘極驅動器210的第一時鐘訊號CK-L或第二時鐘訊號CKB-L比較起來，第三時鐘訊號CK-R與第四時鐘訊號CKB-R中之每一者是延遲了一個H/2時段。

此外，該第一時鐘訊號CK-L、該第二時鐘訊號CKB-L、該第三時鐘訊號CK-R、和該第四時鐘訊號CKB-R具有相同的頻率和一個被設定相當於與主閘極脈衝之時段相等之2H時段的時段。因此，該主閘極驅動器210與該副閘極驅動器220的驅動頻率會保持固定不變，藉此降低該S-PVA LCD裝置500的電力消耗。

第5圖顯示在第2圖中所示之第一時鐘、第二時鐘、第三時鐘、第四時鐘、第一主閘極脈衝、第二主閘極脈衝、第一副閘極脈衝、和第二副閘極脈衝之波形的時序圖。

請參閱第5圖所示，該第一時鐘訊號CK-L在第一主薄膜電晶體被打開的該1H時段期間具有一個高位準。此外，由於該第一時鐘訊號CK-L具有一個有一個與第二時鐘訊號CKB-L相反之位準的訊號，該第二時鐘訊號CKB-L相對於該第一時鐘訊號CK-L具有一個1H時段的相位移位。此外，由於該第三時鐘訊號CK-R具有一個有一個與第四時鐘訊號CKB-R相反之位準的訊號，該第四時鐘訊號CKB-R相對於該第三時鐘訊號CK-R具有一個1H時段的相位移位。此外，該第三時鐘訊號CK-R相對於該第一時鐘訊號CK-L具有一個H/2時段的相位移位，而該第四時鐘訊號CKB-R相對於該第二時鐘訊號CKB-L具有一個H/2時段的相位移位。

在該1H時段期間，該第一級SRC1輸出具有一個對應於第一時鐘訊號CK-L之高位準之高位準的第一主閘極脈衝G1-m。該第一反相器INC1在1H時段的第一H/2時段期間響應於接收該第一主閘極脈衝G1-m和該第三時鐘訊號CK-R來輸出該第一副閘極脈衝G1-s。據此，該第一主閘極脈衝G1-m與該第一副閘極脈衝G1-s在1H時段的第一H/2時段期間具有一個高位準，而且是分別施加到該第一主閘極線GL1-m和該第一副閘極線GL1-s。

在1H時段的第一H/2時段之後，從該第一反相器INC1輸出的第一副閘極脈衝G1-s被放電到一個對應於閘極關閉

電壓 V_{off} 之位準的低位準。因此，僅該第一主閘極脈衝 $G1-m$ 在 $1H$ 時段的第二 $H/2$ 時段期間具有一個高位準。

在下一個 $1H$ 時段期間，該第二級 $SRC2$ 輸出對應於第二時鐘訊號 $CKB-L$ 之高時段的第二主閘極脈衝 $G2-m$ 。該第二反相器 $INC2$ 在該下一個 $1H$ 時段之第一 $H/2$ 時段期間響應於接收該第二主閘極脈衝 $G2-m$ 和第四時鐘訊號 $CKB-R$ 來輸出該第二副閘極脈衝 $G2-s$ 。據此，該第二主閘極脈衝 $G2-m$ 和該第二副閘極脈衝 $G2-s$ 在下一個 $1H$ 時段的第一 $H/2$ 時段期間具有一個高位準而且是分別施加到該第二主閘極線 $GL2-m$ 和該第二副閘極線 $GL2-s$ 。

在那之後，從該第二反相器 $INC2$ 輸出的第二副閘極脈衝 $G2-s$ 是被放電到一個對應於該閘極關閉電壓 V_{off} 之位準的低位準。因此，在該下一個 $1H$ 時段的第二 $H/2$ 時段期間僅該第二主閘極脈衝 $G2-m$ 具有高位準。

第6圖顯示對應於第一主閘極脈衝 $G1-m$ 、第二主閘極脈衝 $G2-m$ 、第一副閘極脈衝 $G1-s$ 、和第二副閘極脈衝 $G2-s$ 之第一主像素電壓、第二主像素電壓、第一副像素電壓、和第二副像素電壓之波形的時序圖。

請參閱第2圖、第3圖、第4圖、第5圖、和第6圖所示，該第一主薄膜電晶體 $T1-m$ 在該 $1H$ 時段期間是響應於處於高位準的第一主閘極脈衝 $G1-m$ 來被打開，而該第一副薄膜電晶體 $T1-s$ 在該 $1H$ 時段的第一 $H/2$ 時段期間是響應於處於高位準的第一副閘極脈衝 $G1-s$ 來被打開。

一個第一副像素電壓 V_{pS1} 在該 $1H$ 時段的第一 $H/2$ 時段

期間會施加到該第一資料線DL1。該第一副像素電壓VpS1
在第一主薄膜電晶體T1-m被打開時會經由該第一主薄膜電
晶體T1-m來施加到該第一主像素電極MPE1而當該第一副
薄膜電晶體T1-s被打開時會經由該第一副薄膜電晶體T1-s
5 來施加到該第一副像素電極SPE1。

雖然在該1H時段的第二H/2時段期間該第一主薄膜電
晶體T1-m是在該第一主閘極脈衝G1-m處於高位準時被打
開，該第一副薄膜電晶體T1-s是在該第一副閘極脈衝G1-s
變換成低位準時關閉。此外，在該1H時段的第二H/2時段期
10 間一個第一主像素電壓VpM1會施加到該第一資料線
DL1。據此，當該第一主薄膜電晶體T1-m被打開時該第一
主像素電壓vPm1會經由該第一主薄膜電晶體T1-m來僅施
加到該第一主像素電極MPE1。

由於該第一主像素電極MPE1在該1H時段的第一H/2時
15 段期間會由該第一副像素電壓VpS1充電，該第一主像素電
極MPE1在該1H時段的第二H/2時段期間能夠在較短時間之
內由該第一主像素電壓VpM1充電。據此，具有以上之結構
的S-PVA LCD裝置500能夠改進對應於主像素之液晶的反
應速度。

20 另一方面，在下一個1H時段期間該第二主薄膜電晶體
T2-m會響應於該處於高位準的第二主閘極脈衝G2-m來被
打開，而在下一個1H時段期間該第二副薄膜電晶體T2-s會
響應於該處於高位準的第二副閘極脈衝G2-s來被打開。

在下一個1H時段的第一H/2時段期間一個第二副像素

電壓VpS2會施加到該第一資料線DL1。當該第二主薄膜電
晶體T2-m被打開時該第二副像素電壓VpS2會經由該第二
主薄膜電晶體T2-m來施加到該第二主像素電極MPE2而當
該第二副薄膜電晶體T2-s被打開時會經由該第二副薄膜電
晶體T2-s來施加到該第二副像素電極SPE2。

雖然在該下一個1H時段的第二H/2時段期間該第二主
薄膜電晶體T2-m是在該第二主閘極脈衝G2-m處於高位準
時被打開，該第二副薄膜電晶體T2-s是在該第二副閘極脈
衝G2-s變換到低位準時關閉。此外，在該下一個1H時段的
第二H/2時段期間一個第二主像素電壓VpM2會僅施加到該
第一資料線DL1。據此，當該第二主薄膜電晶體T2-m被打
開時該第二主像素電壓VpM2會經由該第二主薄膜電晶體
T2-m來僅施加到該第二主像素電極MPE2。

由於在該下一個1H時段的第一H/2時段期間該第二主
像素電極MPE2會由該第二副像素電壓VpS2充電，在該下一
個1H時段的第二H/2時段期間該第二主像素電極MPE2能夠
在較短時間之內由該第二主像素電壓VpM2充電。據此，具
有以上之結構的S-PVA LCD裝置500能夠改進對應於該主
像素之液晶的反應速度。

根據具有以上之結構的LCD裝置，該副閘極驅動器會
包括數個反相器俾可輸出該等副閘極脈衝，該數個反相器
接收一個主閘極脈衝和一個比施加到該主閘極驅動器之時
鐘訊號延遲了H/2時段的時鐘訊號。

因此，與主閘極驅動器比較起來，該副閘極驅動器能

夠藉由使用較少數目的電晶體來運作。結果，該副閘極驅動器的尺寸能夠被縮減。此外，該主閘極驅動器和該副閘極驅動器的驅動頻率是維持在一個固定頻率，藉此降低該LCD裝置的電力消耗。

- 5 對於熟知此項技術的人仕來說會是顯而易見的是，在沒有離開本發明的精神或者範圍之外，本發明的各式各樣變化和改變能夠被完成。因此，本發明是傾向於涵蓋落在後附之申請專利範圍與其之等效物之範圍之內之本發明的變化和改變。

10 **【圖式簡單說明】**

第1圖顯示本發明之範例實施例之一個LCD裝置的平面圖。

第2圖顯示在第1圖中所示之主閘極驅動器、副閘極驅動器、與像素之內部方塊之等效電路的電路圖。

- 15 第3圖顯示在第2圖中所示之主閘極驅動器之一個級的內部電路圖。

第4圖顯示在第2圖中所示之副閘極驅動器之反相器的內部電路圖。

- 20 第5圖顯示在第2圖中所示之第一時鐘、第二時鐘、第三時鐘、第四時鐘、第一主閘極脈衝、第二主閘極脈衝、第一副閘極脈衝、和第二副閘極脈衝之波形的時序圖。

第6圖顯示對應於一個第一主閘極脈衝、一個第二主閘極脈衝、一個第一副閘極脈衝、和一個第二副閘極脈衝之一個第一主像素電壓、一個第二主像素電壓、一個第一副

像素電壓、和一個第二副像素電壓之波形的時序圖。

【主要元件符號說明】

100	LCD面板	PA3	第三週邊區域
110	陣列基板	GL1-m至GLn-m	主閘極線
120	彩色濾光片基板	GL1-s至GLn-s	副閘極線
210	主閘極驅動器	DL1至DLm	資料線
211	上拉部份	D1	第一方向
212	下拉部份	D2	第二方向
213	上拉驅動器	SRC1至SRCn	級
214	反漣波部份	INC1至INCn	反相器
216	固持部份	P1	第一像素
217	主反相器	P2	第二像素
218	重置部份	T1-m	第一主薄膜電晶體
219	進位部份	T2-m	第二主薄膜電晶體
220	副閘極驅動器	T1-s	第一副薄膜電晶體
300	捲帶式載體封裝件	T2-s	第二副薄膜電晶體
310	資料驅動晶片	MPE1	第一主像素電極
400	印刷電路板	MPE2	第二主像素電極
500	LCD裝置	SPE1	第一副像素電極
DA	顯示區域	SPE2	第二副像素電極
PA1	第一週邊區域	IN1	第一輸入端
PA2	第二週邊區域	IN2	第二輸入端

CK1	第一時鐘端	NT10	第二反相器電晶體
CK2	第二時鐘端	NT11	第三反相器電晶體
Vin	關閉電壓輸入端	NT12	第四反相器電晶體
CR	進位端	NT13	重置電晶體
RE	重置端	NT14	進位電晶體
STV	起動訊號	NT15	第五反相器電晶體
CK-L	第一時鐘訊號	NT16	第六反相器電晶體
CKB-L	第二時鐘訊號	NT17	第七反相器電晶體
Voff	閘極關閉電壓	NT18	第八反相器電晶體
OUT	輸出端	C1	第一電容器
CK-R	第三時鐘訊號	C2	第二電容器
NT1	上拉電晶體	C3	第三電容器
NT2	下拉電晶體	C4	第四電容器
NT3	緩衝器電晶體	C5	第五電容器
NT4	放電電晶體	C6	第六電容器
NT5	第一反漣波電晶體	G1m	第一主閘極脈衝
NT6	第二反漣波電晶體	G2m	第二主閘極脈衝
NT7	第三反漣波電晶體	G1s	第一副閘極脈衝
NT8	固持電晶體	G2s	第二副閘極脈衝
NT9	第一反相器電晶體		

十、申請專利範圍：

1. 一種顯示器裝置，其包含：

一第一基板，其包括一條主閘極線、一條副閘極線、
一條資料線、和一個像素，該像素包括連接到該主閘極
5 線和該資料線的一個主像素及連接到該副閘極線和該資
料線的一個副像素；

與該第一基板耦接且面向該第一基板的一第二基板；

一個主閘極驅動器，用以響應於一個起動訊號而在一
10 第一時段內將一第一主閘極脈衝施加到該主閘極線；

一個副閘極驅動器，用以響應於該第一主閘極脈衝而
在一第二時段之期間內將一個副閘極脈衝施加到該副閘
極線，其中該第二時段包含該第一時段的一部份；以及

一個資料驅動器，用以在該第二時段之期間內將一個
副像素電壓施加到該資料線，並在一第三時段之期間內
15 將一個主像素電壓施加到該資料線，該第三時段包含該
第一時段之與該第二時段分離的一部份，

其中該副閘極驅動器藉由該主閘極線而連接至該主
閘極驅動器以接收該第一主閘極脈衝。

2. 如申請專利範圍第1項所述之顯示器裝置，其中，該主閘

20 極驅動器包含一個移位暫存器，該移位暫存器具有串聯
連接的一第一級和一第二級，該第一級會在該第一時段
之期間內將該第一主閘極脈衝施加到該主閘極線。

3. 如申請專利範圍第2項所述之顯示器裝置，其中，該主閘

極驅動器是經由一個薄膜形成製程而直接配置在該第一

基板上。

- 4.如申請專利範圍第2項所述之顯示器裝置，其中，該第一級會在對應於該第一時段的一個時段之期間內接收具有高位準的一第一時鐘訊號以在該第一時鐘訊號具有高位準時輸出該第一主閘極脈衝，並且該第二級會接收具有與該第一時鐘訊號顛倒之位準的一第二時鐘訊號以在該第二時鐘訊號具有高位準時輸出一第二主閘極脈衝。
- 5
- 5.如申請專利範圍第4項所述之顯示器裝置，其中，該副閘極驅動器包含一第一反相器，用以接收該第一主閘極脈衝，並在該第二時段之期間內將該副閘極脈衝施加到該副閘極線。
- 10
- 6.如申請專利範圍第5項所述之顯示器裝置，其中，該第一級包含一個切換部份，該切換部份具有實質上與該反相器之結構相似的結構。
- 15
- 7.如申請專利範圍第5項所述之顯示器裝置，其中，該副閘極驅動器是經由一個薄膜形成製程而直接配置在該第一基板上。
- 8.如申請專利範圍第5項所述之顯示器裝置，其中，該第一反相器在對應於該第二時段的一個時段之期間內接收具有低位準的一第三時鐘訊號，俾以在該第三時鐘訊號具有低位準時輸出一個以奇數編號的副閘極脈衝。
- 20
- 9.如申請專利範圍第8項所述之顯示器裝置，其中，該副閘極驅動器進一步包含：
- 一第二反相器，用以接收具有與該第三時鐘訊號顛倒

之位準的一第四時鐘訊號，俾以在該第四時鐘訊號具有低位準時輸出一個以偶數編號的副閘極脈衝。

10.如申請專利範圍第8項所述之顯示器裝置，其中，該第一反相器包含：

5 一個副上拉部份，用以在該第二時段之期間內將該第一主閘極脈衝輸出到一個輸出端；以及

一個放電部份，用以在該第三時段之期間內將被輸出到該輸出端的該第一主閘極脈衝放電成對應於一個閘極關閉電壓之位準之位準。

10 11.如申請專利範圍第10項所述之顯示器裝置，其中，該第一反相器進一步包含：

一個輸入端，用以接收該第一主閘極脈衝；

一個時鐘端，用以接收該第三時鐘訊號；以及

一個電壓輸入端，用以接收該閘極關閉電壓。

15 12.如申請專利範圍第9項所述之顯示器裝置，其中，該第四時鐘訊號被施加到該第二反相器的一個時鐘端。

13.如申請專利範圍第12項所述之顯示器裝置，其中，該第三時鐘訊號相對於該第一時鐘訊號遲了相等於該第二時段的時間，並且該第四時鐘訊號相對於該第二時鐘訊號遲了相等於該第三時段的時間。

20 14.如申請專利範圍第1項所述之顯示器裝置，

其中，該主像素包含：

一個主薄膜電晶體，其連接到該主閘極線和該資料線以響應於該第一主閘極脈衝而輸出該主像素

電壓的；以及

一個主像素電極，其連接到該主薄膜電晶體的一輸出電極以接收該主像素電壓，並且

其中，該副像素包含：

5 一個副薄膜電晶體，其連接到該副閘極線和該資料線以響應於該副閘極脈衝而輸出該副像素電壓；以及

一個副像素電極，其連接到該副薄膜電晶體的一個輸出電極以接收該副像素電壓。

10 15.如申請專利範圍第14項所述之顯示器裝置，其中，該主像素電壓具有比該副像素電壓之位準高的位準。

16.如申請專利範圍第15項所述之顯示器裝置，其中，在該第二時段之期間內，該副薄膜電晶體響應於該副閘極脈衝而將該副像素電壓施加到該副像素電極，並且該主薄膜電晶體響應於該第一主閘極脈衝而以該副像素電壓對該主像素電極充電。

15 17.如申請專利範圍第16項所述之顯示器裝置，其中，在該第三時段之期間內，該主薄膜電晶體將該主像素電壓施加到該主像素電極，並且該副薄膜電晶體是響應於該副閘極脈衝而被關閉。

20 18.一種液晶顯示器(LCD)裝置，其包含：

一第一基板；

面向該第一基板的一第二基板；

一個像素，其具有一個主像素和一個副像素；

一個主閘極驅動器，用以響應於一個起動訊號而將一個主閘極脈衝輸出到該主像素；以及

一個副閘極驅動器，用以響應於該主閘極脈衝而將一個副閘極脈衝輸出到該副像素，

5 其中該副閘極驅動器連接至該主閘極驅動器以接收該主閘極脈衝。

19.如申請專利範圍第18項所述之LCD裝置，其進一步包含：

10 連接到該主像素和該副像素的一個資料驅動器，該資料驅動器會在一第一時段之期間內輸出一第一資料訊號到該主像素和該副像素，並且會在一第二時段之期間內輸出一第二資料訊號到該主像素。

20.如申請專利範圍第19項所述之LCD裝置，其進一步包含：

15 一個副像素薄膜電晶體，其具有連接到該副閘極驅動器的一個閘極電極、連接到該資料驅動器的一個源極電極、和連接到一個副像素電極的一個汲極電極，

其中，該副像素薄膜電晶體在該第二時段之期間內被關閉。

21.一種驅動顯示器裝置的方法，該方法包含下列步驟：

20 響應於一個起動訊號而在一第一時段之期間內將一個主閘極脈衝施加到一條主閘極線；

響應於該主閘極脈衝而在一第二時段之期間內將一個副閘極脈衝施加到一條副閘極線，其中，該第二時段包含該第一時段的一部份；

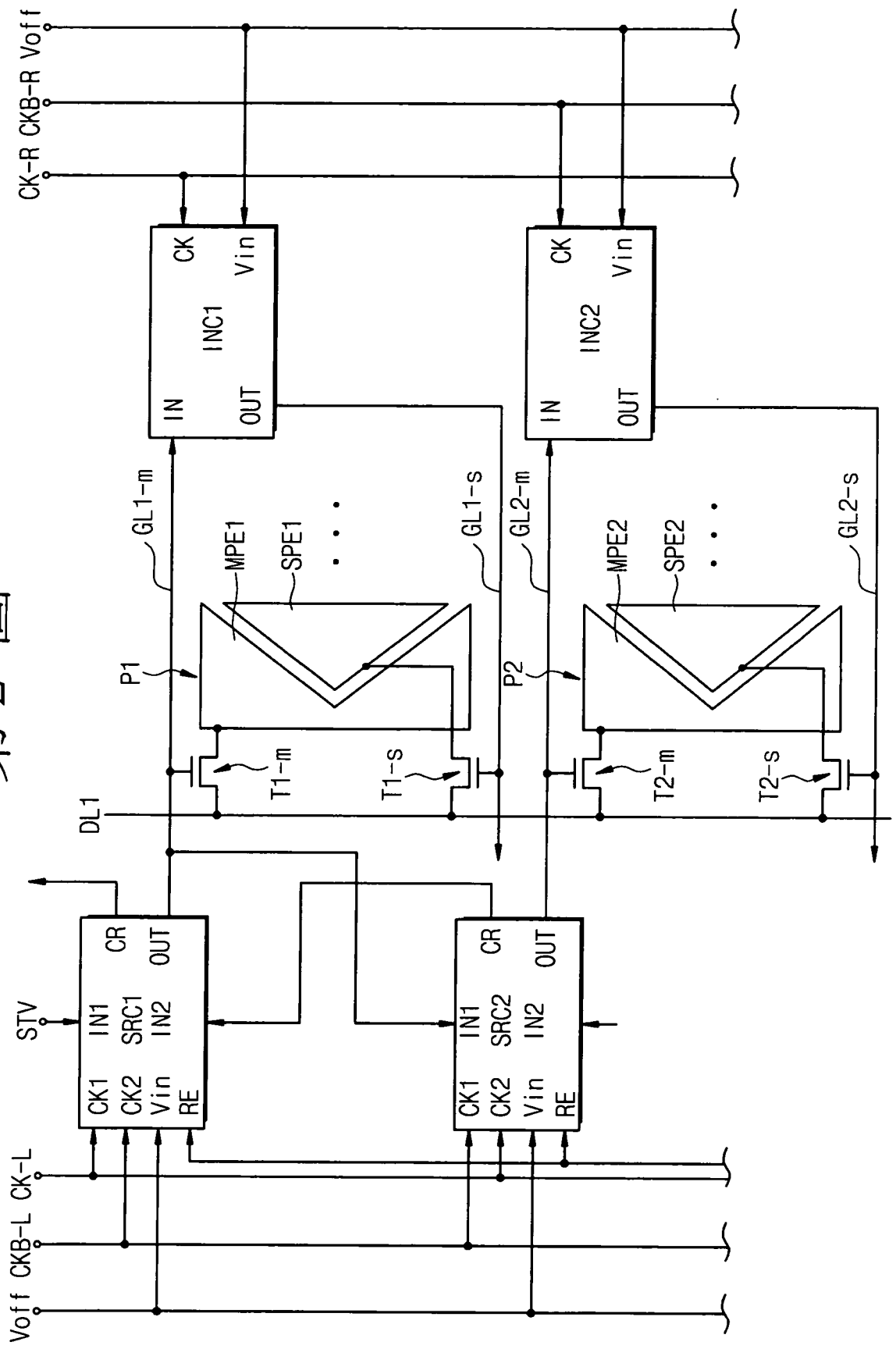
在該第二時段之期間內將一個副像素電壓施加到一

條資料線，並在一第三時段之期間內將一個主像素電壓施加到該資料線，該第三時段包含該第一時段之與該第二時段分離的一部份；

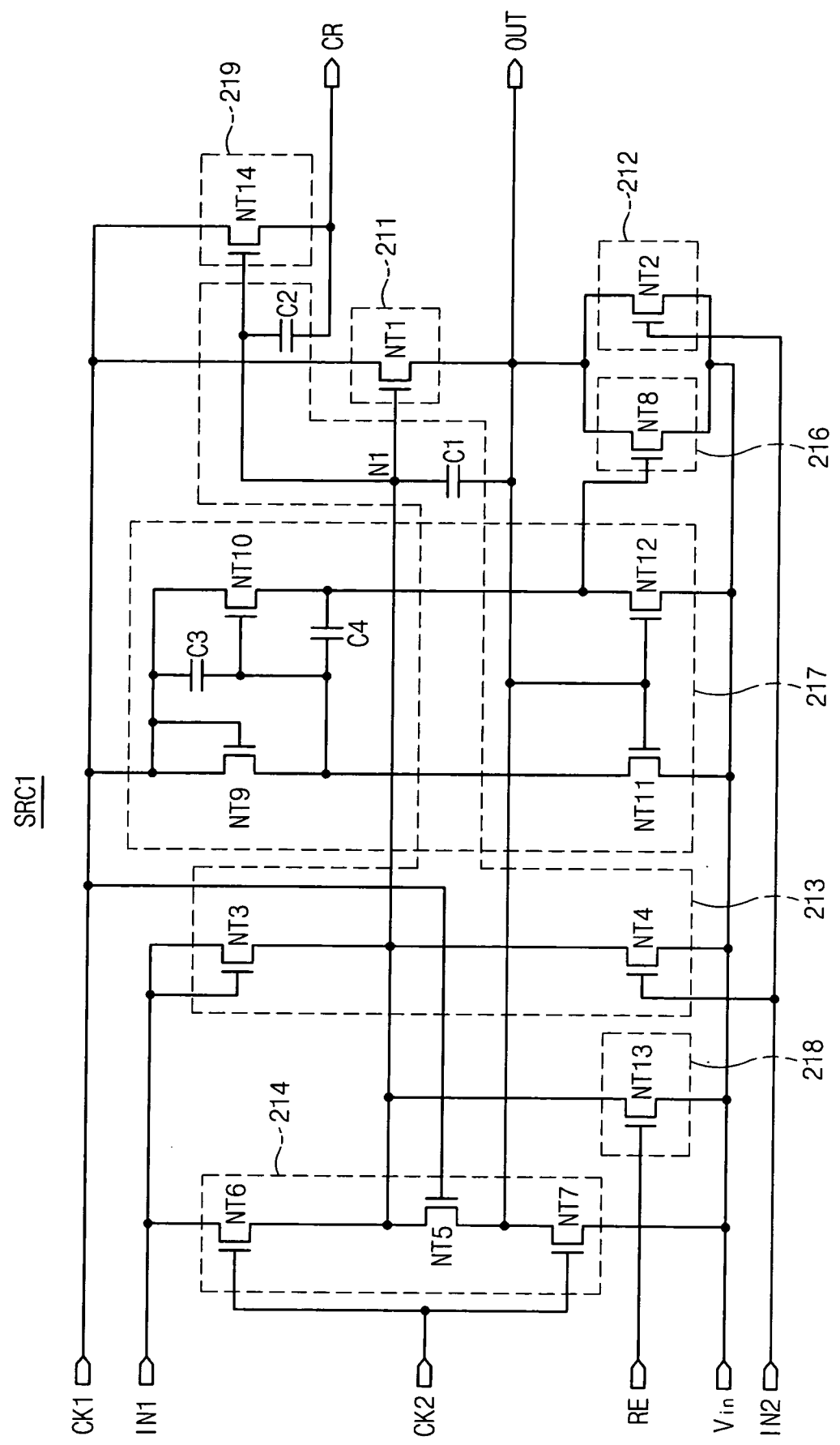
- 5 在該第二時段之期間內響應於該副閘極脈衝而利用該副像素電壓來顯示一個副影像，並在該第三時段之期間內響應於該主閘極脈衝而利用該主像素電壓來顯示一個主影像，

其中該副閘極驅動器藉由該主閘極線而連接至該主閘極驅動器以接收該主閘極脈衝。

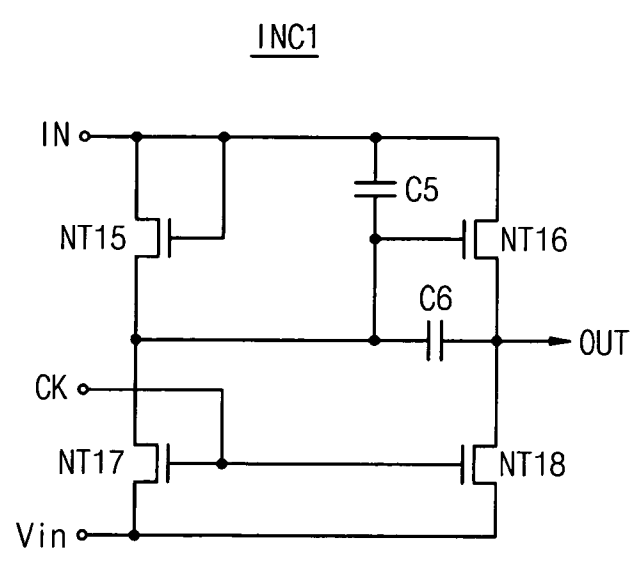
第2圖



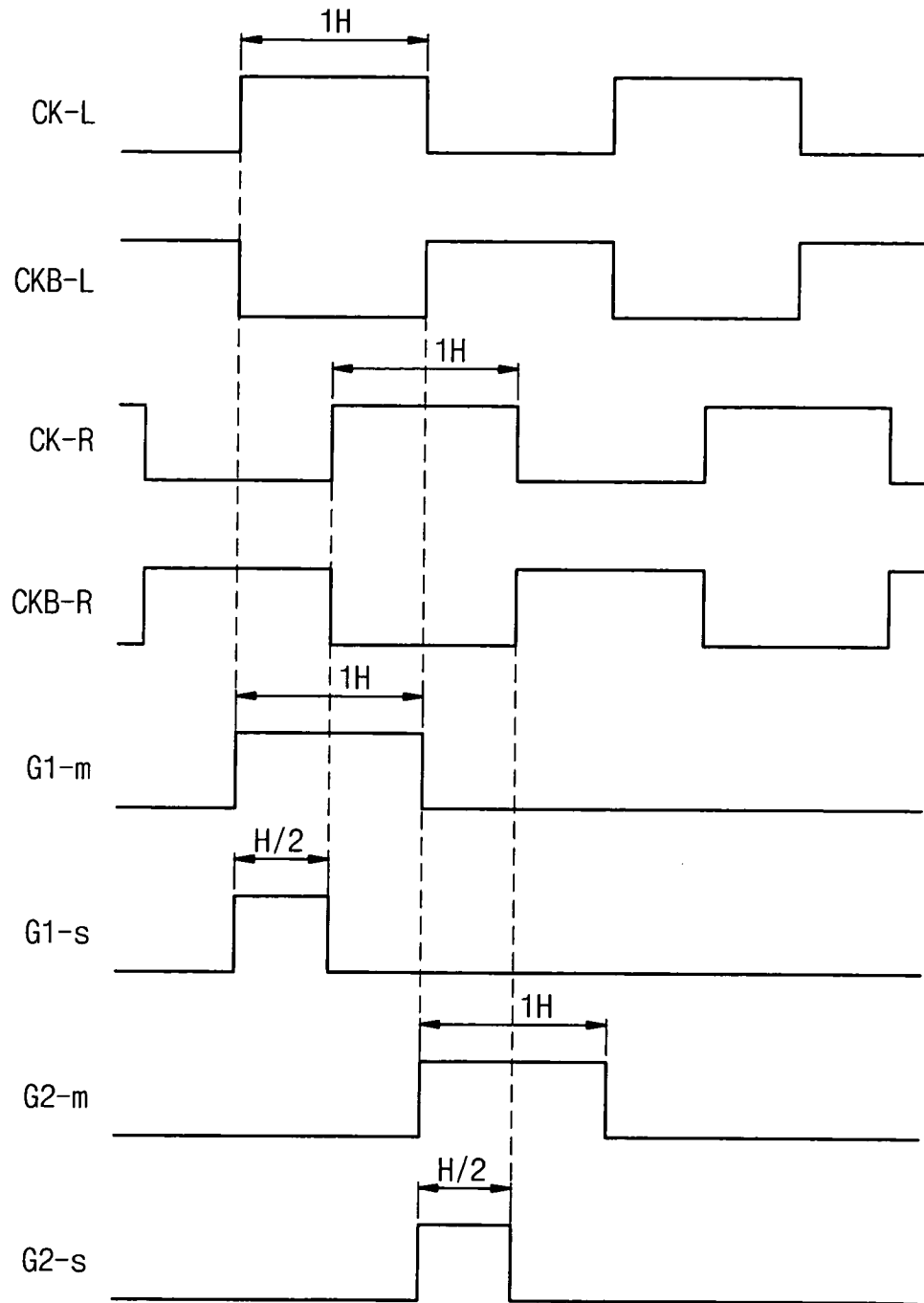
第3圖



第 4 圖



第5圖



第6圖

