



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0095935
(43) 공개일자 2011년08월25일

(51) Int. Cl.

G06F 13/16 (2006.01) G06F 12/06 (2006.01)
G06F 12/08 (2006.01)

(21) 출원번호 10-2011-7015980

(22) 출원일자(국제출원일자) 2009년12월30일

심사청구일자 2011년07월11일

(85) 번역문제출일자 2011년07월11일

(86) 국제출원번호 PCT/US2009/006740

(87) 국제공개번호 WO 2010/080141

국제공개일자 2010년07월15일

(30) 우선권주장

12/350,686 2009년01월08일 미국(US)

(71) 출원인

마이크론 테크놀로지, 인크.

미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000

(72) 발명자

레이보위츠, 로버트, 엔.

미국 83706 아이다호주 보이세 파크리버 2635

필리, 피터

미국 83716 아이다호주 보이세 사우쓰 롱리프 애비뉴 3356

(74) 대리인

양영준, 백만기

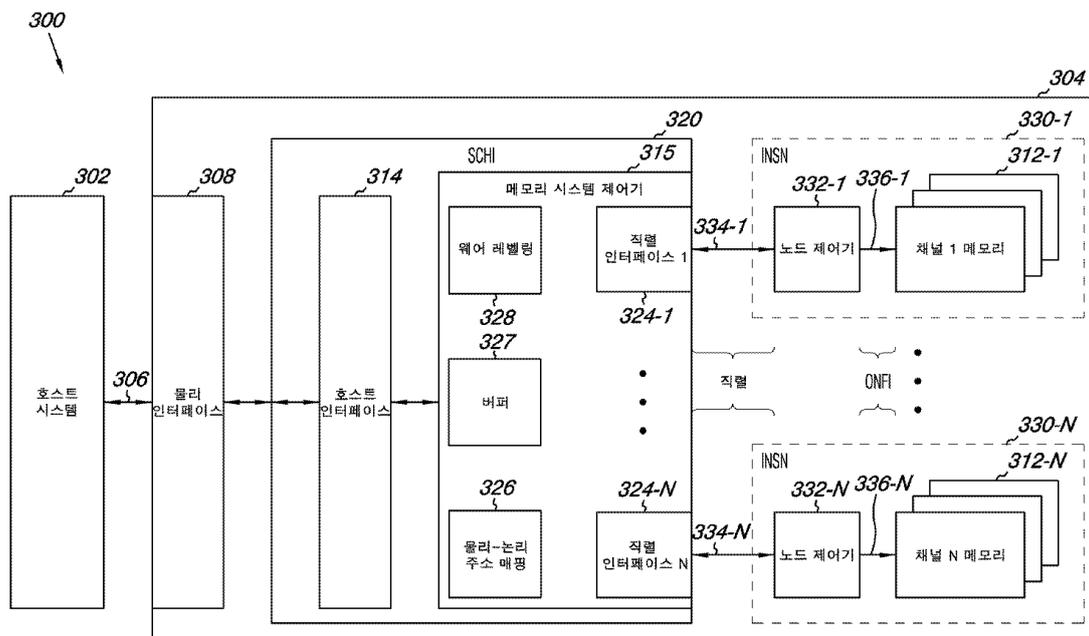
전체 청구항 수 : 총 42 항

(54) 메모리 시스템 제어기

(57) 요약

본 발명은 메모리 시스템 제어기를 위한 방법들 및 장치들을 포함한다. 하나 이상의 실시예들에서, 메모리 시스템 제어기는 시스템 제어기와 통신이 되도록 결합된 호스트 인터페이스를 포함한다. 상기 시스템 제어기는 다수의 메모리 인터페이스들을 구비하며, 상기 다수의 메모리 인터페이스들에 통신이 되도록 결합된 복수의 지능형 스토리지 노드들을 제어하도록 구성된다. 상기 시스템 제어기는 물리 및 논리 메모리 주소들 간을 매핑하도록 구성된 로직, 및 상기 복수의 지능형 스토리지 노드들에 걸쳐 질터 웨어 레벨을 관리하도록 구성된 로직을 포함한다.

대표도



특허청구의 범위

청구항 1

메모리 시스템 제어기에 있어서,

호스트 인터페이스; 및

상기 호스트 인터페이스에 통신이 되도록 결합되고, 다수의 메모리 인터페이스들을 구비하는 시스템 제어기를 포함하며,

상기 시스템 제어기는 상기 다수의 메모리 인터페이스들에 통신이 되도록 결합된 복수의 지능형 NAND 스토리지 노드들(INSNs)을 제어하도록 구성되고, 상기 시스템 제어기는 물리 및 논리 메모리 주소들 간을 매핑하도록 구성된 로직, 및 상기 복수의 INSN들에 걸쳐 웨어 레벨을 관리하도록 구성된 로직을 포함하는, 메모리 시스템 제어기.

청구항 2

청구항 1에 있어서, 상기 메모리 인터페이스들은 동기 메모리 인터페이스들인, 메모리 시스템 제어기.

청구항 3

청구항 2에 있어서, 상기 INSN들의 제 1 부분은 상기 다수의 동기 메모리 인터페이스들 중 하나에 병렬로 통신이 되도록 결합되는, 메모리 시스템 제어기.

청구항 4

청구항 3에 있어서, 상기 INSN들의 제 2 부분은 상기 다수의 동기 메모리 인터페이스들 중 다른 하나에 병렬로 통신이 되도록 결합되는, 메모리 시스템 제어기.

청구항 5

청구항 1에 있어서, 상기 메모리 인터페이스들은 직렬 메모리 인터페이스들인, 메모리 시스템 제어기.

청구항 6

청구항 5에 있어서, 상기 시스템 제어기는 논리 블록 정보 없이 물리 페이지 메모리 액세스 요청들을 생성하도록 구성된, 메모리 시스템 제어기.

청구항 7

청구항 5에 있어서, 상기 다수의 직렬 메모리 인터페이스들 각각은 이에 통신이 되도록 결합된 적어도 2개의 INSN들과 통신하도록 구성된, 메모리 시스템 제어기.

청구항 8

청구항 5에 있어서, 상기 시스템 제어기는 모든 상기 INSN들에 걸쳐 웨어 레벨을 관리하도록 구성된 로직을 포함하는, 메모리 시스템 제어기.

청구항 9

청구항 1 내지 8 중 어느 한 항에 있어서, 상기 INSN들 각각은 다수의 메모리 장치들을 구비하는, 메모리 시스템 제어기.

청구항 10

청구항 9에 있어서, 상기 다수의 INSN들에 걸쳐 웨어 레벨을 관리하도록 구성된 상기 로직은 특정 INSN의 상기 다수의 메모리 장치들에 걸친 웨어 레벨링을 관리하는 로직을 포함하는, 메모리 시스템 제어기.

청구항 11

청구항 9에 있어서, 상기 다수의 INSN들에 걸쳐 웨어 레벨을 관리하도록 구성된 상기 로직은 복수의 INSN들의 상기 다수의 메모리 장치들에 걸쳐 웨어 레벨링을 관리하도록 구성된 로직을 포함하는, 메모리 시스템 제어기.

청구항 12

청구항 11에 있어서, 상기 다수의 INSN들에 걸쳐 웨어 레벨을 관리하도록 구성된 상기 로직은 모든 INSN들의 모든 메모리 장치들에 걸쳐 웨어 레벨링을 관리하도록 구성된 로직을 포함하는, 메모리 시스템 제어기.

청구항 13

메모리 시스템에 있어서,

호스트 인터페이스, 및 상기 호스트 인터페이스에 통신이 되도록 결합되고 적어도 2개의 직렬 메모리 인터페이스들을 구비하는 메모리 시스템 제어기를 포함하는, 시스템 제어기 및 호스트 인터페이스(SCHI); 및

상기 적어도 2개의 직렬 메모리 인터페이스들에 통신이 되도록 결합된 복수의 스토리지 노드들을 포함하고,

상기 메모리 시스템 제어기는 상기 복수의 스토리지 노드들에 대해 중앙집중형으로 물리-논리 주소 변환을 제공하며, 상기 복수의 스토리지 노드들에 걸쳐 웨어 레벨링을 관리하는 것을 포함하는, 상기 복수의 스토리지 노드들을 제어하도록 구성된, 메모리 시스템.

청구항 14

청구항 13에 있어서, 상기 복수의 스토리지 노드들은 지능형 NAND 스토리지 노드들(INSN들)인, 메모리 시스템.

청구항 15

청구항 13에 있어서, 상기 복수의 스토리지 노드들은 다수의 메모리 장치들을 포함하는, 메모리 시스템.

청구항 16

청구항 15에 있어서, 상기 복수의 스토리지 노드들 각각은 상기 다수의 메모리 장치들에 통신이 되도록 결합된 노드 메모리 제어기를 포함하는, 메모리 시스템.

청구항 17

청구항 16에 있어서, 상기 다수의 메모리 장치들은 NAND 플래시 메모리 장치들인, 메모리 시스템.

청구항 18

청구항 17에 있어서, 각각의 노드 메모리 제어기는 개방 NAND 플래시 인터페이스(ONFi)에 의해 상기 다수의 NAND 플래시 메모리 장치들에 통신이 되도록 결합된, 메모리 시스템.

청구항 19

청구항 13 내지 18 중 어느 한 항에 있어서, 상기 복수의 스토리지 노드들은 각각이 멀티칩 패키지에 구성되는, 메모리 시스템.

청구항 20

청구항 19에 있어서, 상기 멀티칩 패키지는 20 미만의 핀들을 갖는, 메모리 시스템.

청구항 21

청구항 20에 있어서, 상기 멀티칩 패키지는 데이터 및 제어 신호들을 위한 단지 3개의 핀들을 구비하는, 메모리 시스템.

청구항 22

청구항 13 내지 15 중 어느 한 항에 있어서, 상기 복수의 스토리지 노드들은 솔리드 스테이트 드라이브들인, 메모리 시스템.

청구항 23

메모리 시스템에 있어서,

복수의 지능형 NAND 스토리지 노드들(INSN들); 및

제 1 직렬 인터페이스를 통해 상기 복수의 INSN들의 제 1 부분에 통신이 되도록 결합되고 제 2 직렬 인터페이스를 통해 상기 복수의 INSN들의 제 2 부분에 통신이 되도록 결합된 메모리 시스템 제어기를 포함하며,

상기 메모리 시스템 제어기는 호스트 시스템에 의해 이용되는 논리 주소들과 상기 복수의 INSN들에 의해 이용되는 물리 주소들 간을 매핑하도록 구성되며, 상기 메모리 시스템 제어기는 상기 복수의 INSN들에 걸친 웨어 레벨링을 관리하도록 구성된, 메모리 시스템.

청구항 24

청구항 23에 있어서, 상기 복수의 INSN들의 상기 제 1 부분은 복수의 INSN들을 포함하는, 메모리 시스템.

청구항 25

청구항 23 또는 24에 있어서, 상기 복수의 INSN들의 상기 제 2 부분은 복수의 INSN들을 포함하는, 메모리 시스템.

청구항 26

청구항 23 또는 24에 있어서, 상기 제 1 및 제 2 직렬 인터페이스들은 직렬 통신 버스이며, 상기 복수의 INSN들의 상기 제 1 부분은 상기 제 1 직렬 통신 버스에 데이터 체인으로 배열되며, 상기 복수의 INSN들의 상기 제 2 부분은 상기 제 2 직렬 통신 버스에 데이터 체인으로 배열되는, 메모리 시스템.

청구항 27

청구항 26에 있어서, 상기 INSN들 각각은 버스 관리 모듈을 포함하는, 메모리 시스템.

청구항 28

청구항 27에 있어서, 각각의 버스 관리 모듈은 상기 노드 메모리 제어기에 통신이 되도록 결합되고, 상기 메모리 시스템 제어기에 데이터를 송신하기 위해 직렬 통신 버스를 제어하도록 구성된, 메모리 시스템.

청구항 29

청구항 27에 있어서, 상기 복수의 INSN들 각각은 다수의 NAND 플래시 메모리 장치들, 및 그 위의 상기 NAND 플래시 메모리 장치들과 노드 제어기 간에 통신이 되도록 결합된 상기 노드 제어기를 포함하는, 메모리 시스템.

청구항 30

청구항 29에 있어서, 각각의 노드 제어기는 NAND 플래시 메모리 장치 액세스를 제어하며 NAND 플래시 메모리 장치 결합들을 관리하도록 구성된, 메모리 시스템.

청구항 31

청구항 29에 있어서, 각각의 노드 제어기는 상기 NAND 플래시 메모리 장치들에 저장된 데이터에 오류들을 검출하여 정정하도록 구성된, 메모리 시스템.

청구항 32

메모리 시스템을 동작하는 방법에 있어서,

다수의 직렬 통신 인터페이스들을 사용하여 복수의 스토리지 노드들과 메모리 시스템 제어기 간에 통신들을 수립하는 단계로서, 상기 복수의 스토리지 노드들 각각은 특정 직렬 통신 인터페이스와 다수의 메모리 장치들 간에 통신이 되도록 결합된 노드 제어기를 구비하는 것인, 상기 통신들을 수립하는 단계;

상기 메모리 시스템 제어기에서 상기 복수의 스토리지 노드들 간에 웨어 레벨링을 관리하는 단계; 및

상기 메모리 시스템 제어기에서 상기 복수의 스토리지 노드들을 위해 논리 주소들 및 물리 주소들 간을 변환하는 단계를 포함하는, 메모리 시스템을 동작하는 방법.

청구항 33

청구항 32에 있어서, 상기 메모리 시스템 제어기에서 특정 스토리지 노드의 상기 다수의 메모리 장치들 간에 웨어 레벨링을 관리하는 단계를 포함하는, 방법.

청구항 34

청구항 33에 있어서, 상기 특정 스토리지 노드에 연관된 상기 노드 제어기에서 특정 스토리지 노드의 상기 다수의 메모리 장치들 간에 오류 정정을 관리하는 단계를 포함하는, 방법.

청구항 35

청구항 34에 있어서, 상기 메모리 시스템 제어기에서 복수의 스토리지 노드들의 상기 다수의 메모리 장치들 간에 웨어 레벨링을 관리하는 단계를 포함하는, 방법.

청구항 36

청구항 35에 있어서, 복수의 스토리지 노드들의 상기 다수의 메모리 장치들 간에 웨어 레벨링을 관리하는 단계는 상기 다수의 메모리 장치들 간에 마모에서의 차이들을 검출하는 단계를 포함하는, 방법.

청구항 37

청구항 35 또는 36에 있어서, 복수의 스토리지 노드들의 상기 다수의 메모리 장치들 간에 웨어 레벨링을 관리하는 단계는 개별 메모리 장치 내에서 한계 이상의 마모를 검출하는 단계를 포함하는, 방법.

청구항 38

청구항 37에 있어서, 상기 한계는 사전에 설정된 고정된 한계인, 방법.

청구항 39

청구항 37에 있어서, 상기 한계는 동적 한계인, 방법.

청구항 40

메모리 시스템을 동작하는 방법에 있어서,

일정 범위의 논리 주소들에 대응하는 기입 명령 및 연관된 데이터를 호스트 시스템으로부터 수신하는 단계:

다수의 스토리지 노드들간에 웨어 레벨링에 기초하여, 상기 연관된 데이터를 저장할 상기 다수의 스토리지 노드들 중 특정 스토리지 노드를 메모리 시스템 제어기에서 판정하는 단계;

상기 범위의 논리 주소들을 상기 특정 스토리지 노드의 물리 주소들에 매핑하는 단계; 및

스토리지 노드들의 데이터 체인을 통해 직렬로 상기 데이터를 상기 특정 스토리지 노드에 송신하는 단계를 포함하는, 방법.

청구항 41

청구항 40에 있어서, 상기 다수의 스토리지 노드들은 지능형 NAND 스토리지 노드들(INSN들)이며, 상기 방법은 상기 메모리 시스템 제어기에 의한 물리 페이지 액세스 요청들을 논리 블록들에 참조함이 없이 상기 INSN들에 전달하는 단계를 포함하는, 방법.

청구항 42

청구항 40 또는 41에 있어서, 상기 데이터를 스토리지 노드들의 데이터 체인을 통해 직렬로 송신하기 전에 디스크 드라이브 프로토콜들을 상기 메모리 시스템 제어기에서 로우(raw) NAND 명령들로 변환하는 단계를 포함하는, 방법.

명세서

기술분야

[0001] 본 발명은 일반적으로 반도체 메모리 장치들, 방법들, 및 시스템들에 관한 것으로, 특히 메모리 시스템 제어기에 관한 것이다.

배경기술

[0002] 메모리 장치들은 전형적으로 컴퓨터들 또는 그외 전자장치들 내에 내부 반도체 집적회로들로서 제공된다. 휘발성 및 비휘발성 메모리를 포함한 많은 서로 다른 유형들의 메모리가 있다. 휘발성 메모리는 자신의 데이터를 유지하기 위해 전력을 필요로 할 수 있으며, 그 중에서도 랜덤-액세스 메모리(random-access memory; RAM), 동적 랜덤-액세스 메모리(dynamic random access memory; DRAM), 및 동기 동적 랜덤 액세스 메모리(synchronous dynamic random access memory; SDRAM)를 포함한다. 비휘발성 메모리는, 전원이 없을 때, 저장된 정보를 보존함으로써 영속적 데이터를 제공할 수 있고, 그 중에서도, NAND 플래시 메모리, NOR 플래시 메모리, 판독 전용 메모리(read only memory; ROM), 전기적 소거가능 프로그램가능 ROM(Electrically Erasable Programmable ROM; EEPROM), 소거가능 프로그램가능 ROM(Erasable Programmable ROM; EPROM), 및 상변화 랜덤 액세스 메모리(phase change random access memory; PCRAM)를 포함할 수 있다.

[0003] 메모리 장치들은 함께 결합되어 솔리드 스테이트 드라이브(solid state drive; SSD)를 형성할 수 있다. 솔리드 스테이트 드라이브는 여러 다른 유형들의 비휘발성 및 휘발성 메모리 중에서도, 비휘발성 메모리, 예를 들면, NAND 플래시 메모리 및 NOR 플래시 메모리를 포함할 수 있고, 및/또는 휘발성 메모리, 예를 들면, DRAM 및 SRAM을 포함할 수 있다.

[0004] SSD는 솔리드 스테이트 드라이브가 성능, 크기, 무게, 견고성, 동작온도 범위, 및 전력 소비면에서 하드드라이브들에 비해 장점들을 가질 수 있기 때문에, 컴퓨터용 주 저장장치로서 하드디스크 드라이브들을 대체하기 위해 사용될 수 있다. 예를 들면, SSD들은 그들의 가동(moving) 부품들이 없어 자기 디스크 드라이브들에 연관된 탐색시간(seek time), 레이턴시(latency), 및 다른 전기-기계적 지연들을 개선할 수 있어 자기 디스크 드라이브들과 비교했을 때 우수한 성능을 가질 수 있다. SSD 제조업자들은 내부 배터리 서플라이를 사용하지 않을 수 있는 플래시 SSD들을 만들기 위해 비휘발성 플래시 메모리를 사용할 수 있어, 이에 따라 드라이브를 더 다목적이고 콤팩트하게 할 수 있다.

[0005] SSD는 다수의 메모리 장치들, 예를 들면, 다수의 메모리 칩들을 포함할 수 있다(여기에서 사용되는 바와 같이, "다수의" 어떤 것은 하나 이상의 이러한 것들을 지칭할 수 있는데, 예를 들면, 다수의 메모리 장치들은 하나 이상의 메모리 장치들을 지칭할 수 있다). 당업자가 알게 되는 바와 같이, 메모리 칩은 다수의 다이들(dies)을 포함할 수 있다. 각각의 다이는 이에 다수의 메모리 어레이(memory array)들 및 주변 회로를 포함할 수 있다. 메모리 어레이는 다수의 플레인(plane)들을 포함할 수 있고, 각각의 플레인은 다수의 물리 블록들의 메모리 셀들을 포함한다. 각각의 물리 블록은 다수의 섹터들의 데이터를 저장할 수 있는 다수의 페이지들의 메모리 셀들을 포함할 수 있다.

[0006] 큰 저장용량에 걸쳐 낮은 레이턴시와 고 대역폭을 달성하기 위해서, SSD들은 각 채널이 메모리의 어떤 부분을 동작시키는 것인, 병렬로 동작하는 복수의 채널들을 포함할 수 있다. 이에 따라, 복수의 동일 메모리 채널 제어기, 예를 들면, NAND 플래시 제어기 로직은 SSD의 복수-채널 시스템 제어기 상에 통합될 수 있다. 이러한 구성에서, 각각의 채널은 물리-논리 매핑(physical to logical mapping) 및 블록 관리, 예를 들면, 웨어 레벨링을 수행하는 것을 포함한, 채널이 관찰하는 연관된 메모리를 동작시키는 기능을 행한다. 그러므로, 복수의 채널들 각각에 대응한, 복수의 메모리 채널 제어기들 각각은 매핑기능 및 블록 관리 기능을 수행하기 위해 사용되는 고속 버퍼 메모리를 구비할 수 있다. 또한, 복수의 메모리 채널 제어기들 각각은 각각의 채널에 보내지는 전송하고 있는 데이터를 위한 버퍼 메모리를 포함할 수 있다.

[0007] 복수의 메모리 채널 제어기들 각각과 메모리의 대응하는 부분들 간의 병렬 통신들은 이들 간에 데이터, 제어, 파워, 및 접지 연결을 위해서 대략 20개의 핀들을 요구할 수 있다. 이것은 기존의 디스크 드라이브 프로토콜들과의 호환성을 보증하기 위해서 많은 핀 수를 갖는 고가의 메모리 시스템 ASIC이 되도록 할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 하나 이상의 실시예들에 따른 계산 시스템의 기능 블록도이다.
- 도 2는 메모리 시스템을 포함하는 종래기술의 계산 시스템의 기능 블록도이다.
- 도 3은 본 발명의 하나 이상의 실시예들에 따라 메모리 시스템 제어기를 포함하는 계산 시스템의 기능 블록도이다.
- 도 4는 본 발명의 하나 이상의 실시예들에 따라, 통신이 되도록 직렬로 결합된 다수의 지능형 스토리지 노드들을 포함한 메모리 시스템의 기능 블록도이다.
- 도 5는 본 발명의 하나 이상의 실시예들에 따라, 통신이 되도록 병렬로 결합된 다수의 지능형 스토리지 노드들을 포함한 메모리 시스템의 기능 블록도이다.
- 도 6은 본 발명의 하나 이상의 실시예들에 따라, 병렬로 통신이 되도록 결합된 다수의 지능형 NAND 스토리지 노드들과 직렬로 통신이 되도록 결합된 적어도 한 지능형 NAND 스토리지 노드들을 포함하는 메모리 시스템의 기능 블록도이다.
- 도 7은 본 발명의 하나 이상의 실시예들에 따라, 지능형 스토리지 노드의 기능 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명은 메모리 시스템 제어기 장치들 및 방법들을 포함한다. 하나 이상의 실시예들에서, 메모리 시스템 제어기는 시스템 제어기에 통신하도록 결합된 호스트 인터페이스를 포함한다. 시스템 제어기는 다수의 메모리 인터페이스들을 구비하며, 다수의 메모리 인터페이스들에 통신하게 결합된 복수의 지능형 스토리지 노드들을 제어하도록 구성된다. 시스템 제어기는 물리 메모리 주소와 논리 메모리 주소 간에 매핑하게 구성된 로직, 및 복수의 지능형 스토리지 노드들에 걸쳐 웨어 레벨을 관리하게 구성된 로직을 포함한다.
- [0010] 본 발명의 하나 이상의 실시예들은 통상적으로 분산된 솔리드 스테이트 드라이브 기능, 이를테면 NAND 제어, 물리-논리 주소 변환, 결합관리 및 블록관리, 예를 들면 웨어 레벨링을 중앙 메모리 시스템 제어기에 대해 "상류측"에 중앙집중된(centralize) 메모리 시스템을 기술한다. 위에 언급된 기능을 중앙에 배치함으로써, 스토리지 노드들 대해 간이화된 노드 제어기들이 이용될 수 있고, 그에 의해 낮은 레이턴시, 고 메모리 밀도, 구성가능성, 및 낮은 메모리 시스템 비용을 제공할 수 있다.
- [0011] 여기에서 도면들에서 표시한 숫자에서 앞의 숫자 또는 숫자들은 도면 번호에 대응하는 것이고 그 뒤의 숫자들은 도면에서 요소 혹은 성분을 나타낸다. 도면들 간에 유사한 요소들 혹은 성분들은 비슷한 숫자들을 사용하여 확인될 수 있다. 예를 들어, 104는 도 1에서 참조요소가 "04"일 수 있고, 유사한 요소는 도 2에서의 204 등으로서 참조될 수 있다.
- [0012] 도 1은 본 발명의 하나 이상의 실시예들에 따른 계산 시스템의 기능 블록도이다. 계산 시스템(computing system; 100)은 호스트 시스템(102)에 통신이 되도록 결합된, 예를 들면 이상의 솔리드 스테이트 드라이브들(SSDs)인 메모리 시스템(104)을 포함한다. 메모리 시스템(104)은 예를 들면 직렬 어드밴스드 기술 탈부착(Seiral Advanced Technology Attachment; SATA) 인터페이스인 통신 인터페이스(106)를 통해 호스트 시스템(102)에 통신이 되도록 결합될 수 있다.
- [0013] 호스트 시스템(102)은 다수의 개별적 집적회로들을 포함할 수 있고, 혹은 하나 이상의 성분 또는 기능이 동일 집적회로 상에 있을 수 있다. 하나 이상의 실시예들에 따라, 호스트 시스템(102)은 적어도 부분적으로, '머더보드(motherboard)'로서, 계산 시스템(100) 내에 물리적으로 구현될 수 있고, 메모리 시스템(104)은 별도로 물리적으로 구현되며, 머더보드 및 메모리 시스템(104)은 이를테면 백플레인 또는 버스에 의해서, 통신 인터페이스(106)를 통해 통신이 되도록 결합된다.
- [0014] 호스트 시스템(102)은 메모리 및 버스 제어(107)에 통신이 되도록 결합된 하나 이상의 프로세서들(105), 예를 들면, 병렬 프로세서들, 코-프로세서들, 등을 포함할 수 있다. 프로세서, 예를 들면, 프로세서(105)는 하나 이상의 마이크로프로세서들, 혹은 이외 어떤 다른 유형의 제어회로, 이를테면 예를 들어 하나 이상의 응용특정 집적회로들(application-specific integrated circuits; ASICs)일 수 있다. 계산 시스템의 그외 다른 성분들도 프로세서들을 구비할 수 있다. 메모리 및 버스 제어(107)는 메모리 및 이에 직접 통신이 되도록 결합된 그외 성분들, 예를 들면 동적 랜덤 액세스 메모리(DRAM)(111), 그래픽 사용자 인터페이스(113), 혹은 그외 사용자 인터페이스, 예를 들면, 디스플레이 모니터, 키보드, 마우스, 등을 구비할 수 있다.

- [0015] 메모리 및 버스 제어(107)는 이에 통신이 되도록 결합된 주변 장치 및 버스 제어(peripheral and bus control; 109)를 구비할 수 있고, 이것은 USB(universal serial bus) 인터페이스를 사용하는 플래시 드라이브(115), 비휘발성 메모리 호스트 제어 인터페이스(non-volatile memory host control interface; NVMHCI) 플래시 메모리(117), 혹은 메모리 시스템(104)과 같은 다수의 장치들에 연결할 수 있다. 당업자가 알게 되는 바와 같이, 메모리 시스템(104)은 다수의 서로 다른 계산 시스템 내 하드디스크 드라이브(hard disk drive; HDD)에 더하여, 혹은 이를 대신하여 사용될 수 있다. 도 1에 도시된 계산 시스템(100)은 이러한 시스템의 일예이며, 그러나, 본 발명의 실시예들은 도 1에 도시된 구성으로 제한되지 않는다.
- [0016] 기업용 솔리드 스테이트 스토리지 기기들은 테라바이트 저장 및 고성능 능력들, 예를 들면 100MB/sec, 초당 100K 입력들/출력들(inputs/outputs per second; IOPS), 등 중 하나 이상에 의해 특징지어질 수 있는 한 부류의 메모리 시스템들이다. 본 발명의 하나 이상의 실시예들에 따라, 기업용 솔리드 스테이트 스토리지 기기는 블록들을 형성하는 솔리드 스테이트 드라이브(SSD)를 사용하여 구성될 수 있다. 예를 들면 도 1에 관련하여, 메모리 시스템(104)은 하나 이상의 성분 SSD들을 사용하여 구현되는 기업용 솔리드 스테이트 스토리지 기기일 수 있고, 하나 이상의 SSD들은 메모리 시스템 제어기에 의해 메모리 시스템으로서 동작된다.
- [0017] 도 2는 메모리 시스템을 포함하는 종래기술의 계산 시스템의 기능 블록도이다. 계산 시스템(200)은 인터페이스(206)를 통해 호스트 시스템(202)에 연결된 메모리 시스템(204), 예를 들면, SSD를 포함한다. 종래기술의 메모리 시스템(204)은 시스템 제어기(210), 물리 인터페이스(208), 예를 들면, 컨넥터, 및 시스템 제어기(210)의 각각의 채널들에 대응하여 다수의 메모리 장치들(212-1, ..., 212-N)을 포함한다. 인터페이스(206)는 메모리 시스템(204)과 호스트 시스템(202) 간에 정보를 통신하기 위해 사용된다.
- [0018] 시스템 제어기(210)는 다수의 메모리 장치들(212-1, ..., 212-N)에 대응하여, 다수의 채널들에 걸친 액세스를 제어하기 위한 제어 회로를 포함할 수 있고, 각각의 채널은 메모리 제어기, 예를 들면, (218-1, ..., 218-N)를 구비한다. 각각의 메모리 채널 제어기, 예를 들면, (218-1, ..., 218-N)은 특정 채널에 연관된 물리 주소와 논리 주소 간에 매핑을 제공하는 것을 포함하여, 대응하는 메모리 장치들(212-1, ..., 212-N)에의 액세스를 관리한다. 또한, 각각의 메모리 채널 제어기, 예를 들면, 218-1, ..., 218-N은 특정 채널에 연관된 메모리 장치들에 대한 웨어 레벨링을 관리한다.
- [0019] 메모리 시스템(204)은 호스트 시스템에 인터페이스하고 디스크 드라이브를 에뮬레이트하게 다수의 메모리 장치들(212-1, ..., 212-N)을 제어하는 모든 로직을 일체화한다. 이에 따라, 시스템 제어기(210)는 디스크 드라이브 에뮬레이션 로직(disk drive emulation logic)(216)과 통신하는 호스트 인터페이스(214)를 포함하며, 디스크 드라이브 에뮬레이션 로직(216)은 다수의 메모리 제어기들(218-1, ..., 218-N)과 통신한다.
- [0020] 도 3은 본 발명의 하나 이상의 실시예들에 따라, 메모리 시스템 제어기를 포함하는 계산 시스템의 기능 블록도이다. 계산 시스템(300)은 인터페이스(306)를 통해 호스트 시스템(302)에 통신이 되도록 결합된 메모리 시스템(304)을 포함할 수 있다. 메모리 시스템(304)은 계산 시스템(300), 예를 들면, 하나 이상의 SSD들을 구비한 기업용 솔리드 스테이트 스토리지 기기에서 대량 데이터 저장 메모리 시스템으로서 사용될 수 있다. 메모리 시스템(304)은 예를 들면, 플러그-인 접속성을 가진, 계산 시스템(300)을 위한 외부, 혹은 휴대 메모리 시스템으로서 사용될 수 있다. 인터페이스(306)는 그 중에서도 USB, PCI, SATA/150, SATA/300, 또는 SATA/600 인터페이스와 같은, 케이블 또는 버스일 수 있다. 메모리 시스템(304)은 도 1의 메모리 시스템(104)과 유사할 수 있다.
- [0021] 메모리 시스템(304)은 물리 인터페이스(308), 예를 들면, 컨넥터와 다수의 스토리지 노드들(330-1, ..., 330-N) 간에 통신하는 시스템 제어기 및 호스트 인터페이스(320)(system controller and host interface; SCHI)를 포함할 수 있다. 메모리 시스템 제어기(315)는 다수의 스토리지 노드들(330-1, ..., 330-N)과 통신할 수 있고, 각각의 스토리지 노드는 예를 들면 메모리 장치들의 메모리 셀들을 동작, 예를 들면, 관독, 기입, 이동, 프로그램, 감지, 소거하기 위해 다수의 메모리 장치들(312-1, ..., 312-N)을 구비한다. 이에 따라, 메모리 시스템 제어기(315)는 메모리 장치들(312-1, ..., 312-N)과의 통신, 및 이에 저장된 데이터를 관리할 수 있다. 메모리 시스템 제어기(315)는 다른 개별적 성분들 뿐만 아니라, 하나 이상의 집적회로들을 이용하는 회로를 구비할 수 있다. 하나 이상의 실시예들에서, 메모리 시스템 제어기(315) 내 회로는 다수의 채널들에 걸친 액세스를 제어하기 위한 제어회로를 포함할 수 있고, 각각의 채널은 직렬 인터페이스, 예를 들면, (324-1, ..., 324-N)을 구비하며, 각각의 직렬 인터페이스는 하나 이상의 스토리지 노드들(330-1, ..., 330-N)과 통신하며, 각각의 스토리지 노드는 다수의 메모리 장치들(312-1, ..., 312-N)을 구비한다. 이에 따라, 메모리 시스템 제어기(315)는 하나 이상의 특정 채널들을 통해 메모리 장치들(312-1, ..., 312-N)과 선택적으로 통신할 수 있다.
- [0022] 각각의 메모리 장치(312-1, ..., 312-N)는 다수의 메모리 셀들을 포함할 수 있다. 메모리 장치들(312-1, ...,

312-N)은 다양한 유형들의 휘발성 혹은 비휘발성 메모리 어레이들, 예를 들면, 특히 NAND 플래시, DRAM을 사용하여 형성될 수 있다. 본 발명의 하나 이상의 실시예들에 따라, 메모리 장치들(312-1, ..., 312-N)은 NAND 아키텍처, NOR 아키텍처, AND 아키텍처, 혹은 이외 어떤 다른 메모리 어레이 아키텍처 -이들 중 하나 이상은 조합하여 사용될 수도 있다- 로 구성되는 다수의 플로팅 게이트 플래시 메모리 셀들(floating gate flash memory cells)을 포함할 수 있다.

[0023] 메모리 장치들(312-1, ..., 312-N)은 이를테면 페이지, 블록, 플레인, 어레이, 또는 그외 그룹과 같은 특정 물리 혹은 논리 구성들을 제공하도록 구성될 수 있는 다수의 메모리 셀들을 포함할 수 있다. 여기에서 사용되는 한 페이지의 메모리 셀들은 한번에 프로그램될 수 있는 다수의 메모리 셀들을 의미한다. 예를 들면, 일부 메모리 어레이들은 한 블록의 메모리 셀들을 구성하는 다수의 페이지의 메모리 셀들을 포함할 수 있고, 한 블록은 한번에 소거될 수 있는 다수의 메모리 셀들을 말한다. 다수의 블록들은 메모리 셀들의 플레인 내에 포함될 수 있다. 다수의 플레인들의 메모리 셀들은 다이 상에 포함될 수 있다. 어레이는 하나 이상의 다이들 포함할 수 있다. 예로서, 제한없이, 128 GB 메모리 장치는 페이지당 4314 바이트의 데이터, 블록 당 128 페이지, 플레인당 2048 블록, 및 장치당 16 플레인을 포함할 수 있다.

[0024] SCHI(320)는 시스템 제어기(315)와 통신하는 호스트 인터페이스(314)를 포함할 수 있다. 시스템 제어기(315)는 물리-논리 매핑을 수행하게 구성된 로직(326)(고속 메모리를 포함함), "전송중의" 데이터 버퍼링을 하게 구성된 로직(327), 블록 관리, 예를 들면, 웨어 레벨링을 위해 구성된 로직(328), 및 다수의 직렬 인터페이스들(324-1, ..., 324-N)을 포함할 수 있다. 다수의 직렬 인터페이스들(324-1, ..., 324-N) 각각은 이하 도 4에 관련하여 더욱 기술되는 바와 같이 직렬 버스(334-1, ..., 334-N)에 의해 다수의 스토리지 노드들(330-1, ..., 330-N) 중 대응하는 하나 이상에 통신 되도록 결합된다.

[0025] 호스트 시스템(302)과 메모리 시스템(304) 간의 통신 프로토콜은 특정 스토리지 노드(330-1, ..., 330-N), 혹은 이 노드 상에 메모리 장치들, 예를 들면, 312-1, ..., 312-N에 액세스하기 위해 사용되는 것과는 다를 수 있다. 메모리 시스템 제어기(315)는 호스트 시스템(302)로부터 수신된 명령들을 의도된 메모리 동작을 달성하기 위해 적합한 명령들로 변환하며, 그에 의해 호스트 시스템(302) 및 메모리 시스템(304) 간에 변환층(translation layer)을 제공할 수 있다. 또한, 메모리 시스템 제어기(315)는 예를 들면 데이터를 저장하고 인출하기 위해서 호스트 명령 시퀀스들 및 연관된 데이터, 및 기타 정보를 적합한 채널 명령 시퀀스들로 처리할 수 있다.

[0026] 하나 이상의 실시예들에서, 그리고 도 3에 도시된 바와 같이, 스토리지 노드(330-1, ..., 330-N)는 하나 이상의 메모리 장치들(312-1, ..., 312-N) 및 노드 제어기(332-1, ..., 332-N)를 포함할 수 있다. 하나 이상의 실시예들에서, 메모리 장치들(312-1, ..., 312-N) 각각은 다수의 메모리 셀들을 갖는 칩일 수 있다. 그러나, 실시예들은 이것으로 제한되는 것은 아니다. 예를 들면, 여기에서 사용되는 바와 같이, 메모리 장치는 제어 입력들을 공유하며 하나 이상의 메모리 셀 유형들, 예를 들면, NAND 플래시를 사용하여 제조될 수 있는 다이, 어레이, 또는 그외 다른 그룹의 메모리 셀들일 수 있다. 제어 입력들은 일반적으로 어드레스 래치 인에이블(address latch enable; ALE), 칩 인에이블(chip enable; CE), 판독 인에이블(read enable; RE), 준비/비지(ready/busy; R/B), 기입 보호(write protect; WP), 및 핀들, 패드들 등과 같은 입력/출력(input/output; I/O) 연결들을 포함할 수 있다.

[0027] 본 발명의 하나 이상의 실시예들에 따라, 스토리지 노드들(330-1, ..., 330-N)은 지능형 NAND 스토리지 노드들 (INSN들)일 수 있다. 특정 채널에 관련하여 단일 INSN이 도시되었을지라도, 본 발명의 실시예들은 이것으로 제한되는 것은 아니며, 예를 들면, 다수의 INSN들은 특정 시스템 제어기 채널에 연관될 수 있다. 예를 들면, 도 3에 관련하여 이하 더 논의되는 바와 같이, 하나 이상의 실시예들에서, 적어도 2개의 INSN들은 다수의 특정 채널들 각각에 연관된다.

[0028] 각각의 INSN은 다수의 메모리 장치들(312-1, ..., 312-N)에 통신이 되도록 결합된 노드 제어기(332-1, ..., 332-N)를 포함할 수 있다. 메모리 장치들(312-1, ..., 312-N)은 앞에서 기술된 바와 같이, 특정 물리적 또는 논리적 구성들, 이를테면 페이지, 블록, 플레인, 어레이, 혹은 그외 그룹을 제공하게 구성될 수 있는 다수의 메모리 셀들을 포함할 수 있다.

[0029] 본 발명의 하나 이상의 실시예들에 따라, 노드 제어기(332-1, ..., 332-N)는 개방 NAND 플래시 인터페이스(Open NAND Flash Interface; ONFi)(336-1, ..., 336-N)에 의해 다수의 메모리 장치들(312-1, ..., 312-N)에 통신이 되도록 결합될 수 있다. ONFi는 소비자 전자 장치들, 계산 플랫폼들, 및 산업용 시스템들에 NAND 플래시 메모리의 통합을 단순화하기 위해 의도된 NAND 플래시를 위한 특별한 인터페이스이다. ONFi는 NAND 장치들 간에 상호운용성을 용이하게 하며, 그에 의해 NAND-기반 제품들의 출시시간을 가속화할 수 있다. ONFi의 몇가지 특징들은 자

체 식별, 명령 세트 표준화, 및 핀 아웃 표준화이다. NAND 자체 식별은 NAND 장치들이 메모리 레이아웃, 타이밍 지원, 및 인터리빙 어드레싱과 같은 향상된 특징들을 포함하는 자신들의 능력들을 호스트에 스스로 기술할 수 있게 한다. NAND용 명령 세트를 표준화하는 것은 벤더 전용의 최적화들을 위한 적응성을 제공하면서도, NAND 능력들의 장래에 개선을 위한 기반구조를 확립한다. 표준 핀 아웃을 정의하는 것은 새로운 NAND 장치들과의 보드 수준에서의 호환성을 증진시킨다.

[0030] 본 발명의 하나 이상의 실시예들에 따라, 시스템 제어기(315)는 예를 들면 웨어 레벨링 -이것으로 제한되는 것은 아니다- 를 포함한, 블록 선택과 같은 블록 관리를 위해 구성된 로직(328)을 포함할 수 있다. 메모리 시스템(304) 내에서 메모리 블록 선택은 예를 들면, 물리 블록들이 기입되고 소거될 순서뿐만 아니라, 어느 물리 블록들에 데이터를 기입할지와 어느 물리 블록들을 소거할지를 판정하는 것을 포함할 수 있다. 메모리 시스템(304)에서 사용되는 메모리 셀들은 유한한 수의 기입-소거 사이클들로 제한될 수 있고, 이것은 메모리 시스템(304)의 수명을 결정할 수 있다. 따라서, 효율적 메모리 블록 관리는 메모리 시스템(304)이 다수의 프로그램 및/또는 소거 사이클들 후에 고장이 발생할 수 있기 때문에 메모리 시스템(304)의 수명을 증가시킬 수 있다.

[0031] 시스템 제어기(210)가 다수의 메모리 장치들(212-1, ..., 212-N) 각각을 위한 별도의 메모리 제어기 회로(218-1, ..., 218-N)를 포함하는 도 2에 도시된 메모리 시스템(200)과 같은 종래의 메모리 시스템들과는 반대로, 본 발명의 하나 이상의 실시예들은 특정 채널에 연관된 메모리 장치들보다는, 메모리 장치들(312-1, ..., 312-N)에 걸쳐 웨어 레벨링을 관리하게 구성된 중앙집중형 웨어 레벨링 로직(328)을 구비하는 메모리 시스템 제어기(315)를 포함한다. 웨어 레벨링을 중앙집중화함으로써, 웨어 레벨링은 메모리 시스템의 일부, 예를 들면 특정 채널에 걸쳐 행하기보다는 전체 메모리 시스템에 관련하여, 예를 들면 전체 메모리 시스템에 걸쳐 행해질 수 있다.

[0032] 하나 이상의 실시예들에 따라, 웨어 레벨링을 관리하는 것은 INSN들 간에, 그리고 특정 INSN에 연관된 INSN 메모리 장치들 간에, 그리고 복수의 INSN들에 연관된 INSN 메모리 장치들 간에 마모(wear)의 차이들을 검출하는 것을 포함할 수 있다. 마모 차이들을 검출하는 것 외에도, 웨어 레벨링을 관리하는 것은 개개의 INSN 혹은 INSN 메모리 장치에서 한계 이상의 마모를 검출하는 것을 포함할 수 있다. 한계는 사전설정된 고정된 한계, 동적 한계, 혹은 이들의 조합일 수 있다.

[0033] 웨어 레벨링 로직(328)은 웨어 레벨링을 관리하기 위한 기술들을 구현할 수 있다. 여기에서 사용되는 바와 같이, 웨어 레벨링을 관리하는 것은 불량 블록 관리를 포함한다. 이들 기술들은 데이터가 기입되는 메모리 장치들 간에 셀들을 순환(rotate)시키는 것을 포함할 수 있다. 또한, 웨어 레벨링은 다수의 무효 페이지들(즉, 다른 페이지에 재기입된 및/또는 무효 페이지들 상에 더 이상 필요하지 않은 데이터를 가진 페이지들)을 가진 블록들이 블록을 소거함으로써 재이용되는 가비지 수거(garbage collection)라고 하는 기술을 포함할 수 있다. 가비지 수거에는 데이터의 동적 또는 정적 특성을 고려하기 위해 메모리 장치들 간에 데이터를 재배열할 것이 수반된다. 웨어 레벨링 기술들에 포함된 가비지 수거는 특정 메모리 장치의 개개의 셀들의 마모율(wear rate)을 관리하는데 도움을 줄 수 있다. 이들 웨어 레벨링 기술들은 메모리 시스템(304) 상에 기입되는 데이터량을 제한하지 않으며, 이들은 드라이브의 성능에 영향을 미칠 수 있는 요인으로서 데이터 기입 및 장치 상에 데이터가 기입되는 시간을 고려하지 않는다.

[0034] 여러 실시예들에서, 웨어 레벨링은 블록을 재이용하기 위해 이동되는 유효 블록들의 양을 최소화하기 위한 동적 웨어 레벨링을 포함할 수 있다. 동적 웨어 레벨링에서, 가장 많은 양의 무효 페이지들을 가진 데이터 블록들은 재이용될 수 있다. 메모리 어레이 내 한 페이지 또는 한 블록의 셀들은 페이지 또는 블록으로부터의 유효 데이터를 제 1 위치에서 제 2 위치 또는 블록 위치로 이동시키고 제 1 페이지 또는 블록 위치를 소거함으로써 재이용될 수 있다. 유효 데이터는 요망되어 메모리 셀들 내 보존되어야 하는 데이터일 수 있고, 반면 무효 데이터는 더 이상 요망되지 않아 소거될 수 있는 데이터일 수 있다. 블록 내 총 무효 페이지들의 수에 대한 임계값은 블록이 재이용될 것인지를 판정하기 위해 설정될 수 있다. 특정 블록들은 임계값 이상의 다수의 무효 페이지들을 가진 블록들에 대해 블록 테이블을 조사함으로써 재이용될 수 있다. 블록 테이블은 메모리 셀들 내 데이터에 대해, 무엇보다도, 유형, 위치, 및 상태를 상세히 한 정보를 가질 수 있다.

[0035] 정적 웨어 레벨링은 블록의 수명을 늘리기 위해서 고 소거 횟수를 갖는 블록들에 정적 데이터를 기입하는 것을 포함한다. 정적 웨어 레벨링에서, 정적 데이터를 저장하고 있는 블록들은 정적 데이터 및 저 소거 횟수를 가진 블록들이 재이용되도록 고 소거 횟수를 갖는 블록들과 교환될 수 있다. 고 소거 횟수를 가진 블록들은 이제 정적 데이터를 가지며, 따라서 이 블록에 대한 소거율을 감소시킨다.

[0036] 일부 실시예들에서, 다수의 블록들은 메모리 장치들 간에 데이터를 기입하는 것에 연관된 기입 증폭량을 감소시키기 위해 예비 블록들로서 지정될 수 있다. 예비 블록은 데이터가 기입될 수 없는 블록으로서 지정될 수 있는

메모리 장치 내 블록일 수 있다. 기입 증폭(write amplification)은 데이터를 솔리드 스테이트 메모리 장치들에 기입할 때 일어나는 프로세스이다. 데이터를 메모리 시스템에 무작위로 기입할 때, 시스템 내 자유 공간에 대한 스캔이 행해진다. 메모리 시스템 내 자유 공간은 하나 이상의 메모리 장치들에서 프로그램되지 않은 개개의 셀들, 페이지들, 및/또는 다수 블록들의 메모리 셀들일 수 있다. 데이터를 기입할 충분한 자유 공간이 있다면, 데이터는 메모리 시스템 내 자유 공간에 기입된다. 한 위치에 충분한 자유 공간이 없다면, 메모리 시스템 내 데이터는 메모리 시스템 내 이미 있는 데이터를 소거하고, 이동하고, 새로운 위치에 재기입하여 메모리 시스템 내 기입될 새로운 데이터에 대한 자유 공간을 남겨 둠으로써 재배열된다. 메모리 시스템 내 이전 데이터를 재배열하는 것은 새로운 데이터를 기입하기 위해 행해야 하는 메모리 시스템이 기입하는 양이 메모리 시스템 내 자유 공간양 및 메모리 시스템에 기입할 새로운 데이터의 크기에 기초하여 증폭되기 때문에 기입 증폭이라고 한다. 기입 증폭은 자유 공간으로서 지정되는 (즉, 정적 데이터가 기입되지 않을 공간) 메모리 시스템내 공간량을 증가시킴으로써 감소될 수 있고, 이에 따라 데이터가 덜 재배열되어야 할 것이기 때문에 기입되어야 하는 데이터 양의 증폭이 덜 일어나게 한다.

[0037] 여러 실시예들에서, 메모리 시스템(304)에 의해 수행되는 호스트 및/또는 사용자 트래픽 및/또는 프로그램/소거 사이클들은 메모리 시스템(304)의 성능을 개선하기 위해, 시스템 제어기(315) 내 중앙집중형 웨어 레벨링 로직(328)에 의해 모니터링될 수 있다. 호스트 및/또는 사용자 트래픽 요청들은 메모리 시스템(304)에서 데이터를 판독 및/또는 데이터를 소거/기입하기 위해서, 시스템 제어기(315)를 통해 호스트 시스템 프로세서에 의해 행해질 수 있다. 프로그램 및/또는 소거 사이클들은 메모리 시스템(304) 내 블록들, 페이지들, 또는 그외 다른 그룹들의 메모리 셀들의 마모율 및 기대 수명을 판정하기 위해서, 모든 채널들, 예를 들면, 직렬 인터페이스들(324-1, ..., 324-N)에 걸쳐, 모든 INSN들(330-1, ..., 330-N)에 걸쳐, 및/또는 메모리 시스템(304)을 포함하는 INSN들의 메모리 장치들(312-1, ..., 312-N)에 걸쳐, 중앙에서 모니터링될 수 있다. 당업자는 특정 블록의 메모리 셀들은 유한한 회수로 소거되고 기입될 수 있을 뿐임을 알 것이다.

[0038] 호스트 및/또는 사용자 트래픽 경향은 메모리 시스템(304)이 요망되는 동작 수명(예를 들면, 시간, 일, 주, 년, 등과 같은 기간) 동안 수행할 수 있도록 중앙집중형 웨어 레벨링 로직(328)에 의해 중앙에서 모니터링되고 변경될 수 있다. 중앙집중형 웨어 레벨링 로직(328)은 요망되는 동작 수명을 보증하기 위해서, 메모리 시스템(304)의 부분들에 의해 수행되는 프로그램 및/또는 소거 사이클 횟수를 모니터링하고 제한할 수 있다. 또한, 중앙집중형 웨어 레벨링 로직(328)은 다수의 공간 블록들 및 메모리 시스템(304)의 요망되는 동작 수명이 주어진 드라이브에 대해 허용가능한 프로그램 및/또는 소거 사이클율을 계산하는 방법을 결정하기 위해서 특정 기간동안 수행되는 프로그램 및/또는 소거 사이클들의 회수를 모니터링할 수 있다.

[0039] 또한, 일부 실시예들에서, 메모리 시스템(304)의 메모리 장치들 내 예비 블록들의 수는 요망되는 기입 회수 IOPS에 대해 요망되는 동작 수명 동안 동작가능성을 보증하기 위해 제어될 수 있다. 예비 블록들의 퍼센티지는 메모리 시스템(304) 상에 프로그램되는 데이터의 유형에 대해 최적화될 수 있다. 정적 데이터(즉, 소거 및/또는 재기입됨이 없이 장기간 드라이브 상에 저장되는 데이터)를 가진 메모리 시스템(304)은 몇개의 프로그램 및/또는 소거 사이클들을 가진 데이터의 정적 특성에 기인하여 드라이브에서 블록들을 재이용할 필요성이 덜하기 때문에 낮은 퍼센티지의 예비 블록들을 가질 수 있다. 동적 데이터(즉, 더 빈번하게 프로그램 및/또는 소거되는 데이터)를 가진 메모리 시스템(304)에서는 메모리 장치에서 프로그램 및/또는 소거 사이클들을 수행하기 위해 블록들을 재이용해야 하는 것에 연관된 기입 증폭을 감소시키기 위해 더 큰 퍼센티지의 예비 블록들이 사용될 수 있다.

[0040] 본 발명의 하나 이상의 실시예들에 따라, 시스템 제어기(315)는 물리-논리 주소 매핑(326), 예를 들면, 이들 간에 변환을 수행하게 구성된 로직을 포함할 수 있다. 예를 들면, 물리-논리 주소 매핑(physical to logical mapping) 로직(326)은 논리-물리 주소간 맵에 따라 프로그램되는 고속 메모리, 예를 들면, DRAM을 포함할 수 있다. 논리-물리 주소간 맵은 솔리드 스테이트 메모리 시스템, 혹은 특정 INSN 메모리 장치들, 예를 들면, 330-1, ..., 330-N의 논리 블록 주소(logical block address; LBA)와 물리 블록 주소(physical block address; PBA) 간 상관(correlation)을 유지할 수 있다.

[0041] 본 발명의 하나 이상의 실시예들에 따라, 도 4는 직렬로 통신이 되도록 결합된 다수의 지능형 NAND 스토리지 노드들을 포함하는 메모리 시스템의 기능 블록도이다. 하나 이상의 실시예들에서, 그리고 도 4에 도시된 바와 같이, 메모리 시스템 제어기(415)는 다수의 스토리지 노드들, 이를테면 지능형 NAND 스토리지 노드들(intelligent NAND storage nodes; INSN들), 예를 들면, 430-1A, 430-1B, ..., 430-NA, 430-NB에 통신이 되도록 결합될 수 있다. 상기 INSN들은 예를 들면, 데이터 체인 배열(daisy chain arrangement)로 직렬로 결합될 수 있다. 시스템 제어기(415)는 다수의 직렬 인터페이스들, 예를 들면, 424-1, ..., 424-N을 포함할 수 있다. 시스템 제어기(41

5)에 관한 기타 상세는 명확성을 위해 도 4에서 생략되었는데, 그러나 시스템 제어기(415)은 도 3에 시스템 제어기(315)와 유사할 수 있다. 다수의 직렬 인터페이스들, 예를 들면, 424-1, ..., 424-N 각각은 도 3에 도시된 바와 같은 직렬 버스, 예를 들면 334-1, ..., 334-N에 의해 다수의 스토리지 노드들, 예를 들면, 430-1A, 430-1B, ..., 430-NA, 430-NB 중 대응하는 하나 이상에 통신이 되도록 결합된다.

[0042] 본 발명의 하나 이상의 실시예들에 따라, 그리고 도 4에 도시된 바와 같이, 각각의 직렬 버스는 클럭 신호 라인, 예를 들면, 444-1, ..., 444-N, 제 1 데이터 라인(D+/-), 예를 들면, 448-1, ..., 448-N, 및 제 2 데이터 라인(Q+/-), 예를 들면, 446-1, ..., 446-N을 포함할 수 있다. 예를 들면, 제 1 데이터 라인(D+/-)(448-1, ..., 448-N)은, 도 4에 도시된 방향 화살표들로 나타낸 바와 같이, 예를 들면, 시스템 제어기(415)에서 INSN들로 제 1 방향으로 데이터를 송신하도록 구성될 수 있고, 제 2 데이터 라인(Q+/-)(446-1, ..., 446-N)은 INSN들에서 시스템 제어기(415)로 제 2 방향으로 데이터를 송신하도록 구성될 수 있다. 클럭에 따르며 래치되어 데이터가 전송되는 직렬 버스의 한 특정한 구현이 도 4에 도시되었지만, 발명의 실시예들은 도 4에 도시된 특정 구현으로 제한되지 않으며, 직렬 통신들은 다른 구성들로 구현될 수도 있다.

[0043] 하나 이상의 실시예들에서, 각각의 INSN은 특정 채널에 대응하며 각각의 특정 채널의 직렬 버스에 통신이 되도록 결합되는 버스 관리 모듈을 포함할 수 있다. 예를 들면, 도 4에 도시된 실시예에서, 채널 1에 대응하는 버스 관리 모듈들(442-1A, 442-1B)은 통신이 되도록 채널 1의 직렬 버스에 결합되는데, 예를 들면, 각각의 신호 라인들(444-1, 446-1, 448-1)은 채널 1에 연관된다. 유사하게, 버스 관리 모듈들(442-NA, 442-NB)은 채널 N에 대응하며 채널 N의 직렬 버스에 통신이 되도록 결합되는데, 예를 들면, 각각의 신호 라인들(444-N, 446-N, 448-N)은 채널 N에 연관된다. 버스 관리 모듈은 특정 채널에 연관된 복수의 INSN들을 상호연결하는 클럭된 직렬 버스(clocked serial bus)를 제어하도록 구성된다. 노드 제어기, 예를 들면, 채널 1에 대응하는 432-1A, 432-1B, 등, ..., 채널 N에 대응하는 432-NA, 432-NB, 등은 버스 관리 모듈, 예를 들면, 채널 1에 대응하는 442-1A, 442-1B, 등, ..., 채널 N에 대응하는 442-NA, 442-NB, 등과 다수의 메모리 장치들, 예를 들면, 채널 1에 대응하는 412-1A1, 412-1A2, 412-1B1, 412-1B2, 등, ..., 채널 N에 대응하는 412-NA1, 412-NA2, 412-NB1, 412-NB2, 등 간에 통신이 되도록 결합될 수 있다.

[0044] 메모리 장치들, 예를 들면, 채널 1에 대응하는 412-1A1, 412-1A2, 412-1B1, 412-1B2, ..., 채널 N에 대응하는 412-NA1, 412-NA2, 412-NB1, 412-NB2, 등은 페이지, 블록, 플레인, 어레이, 또는 다른 그룹 과 같은 특정 물리적 또는 논리적 구성들을 제공하도록 구성될 수 있는 다수의 메모리 셀들을 포함할 수 있다. 하나 이상의 실시예들에 따라, INSN들은 각각 멀티칩 패키지, 예를 들면, 440-1A, 440-1B, ..., 440-NA, 440-NB로서 구성될 수 있다. 일부 실시예들에서, 멀티칩 패키지는 데이터, 제어, 파워, 및 접지 신호들을 위한 20 핀 미만을 가질 수 있다. 예를 들면, 하나 이상의 실시예들의 멀티칩 패키지는 도 4에 도시된 바와 같이, 데이터 및 제어 신호들을 위한 3개(혹은 더 적은) 핀들을 가질 수 있다.

[0045] 도 4에 도시된 바와 같이, 그리고 본 발명의 하나 이상의 실시예들에 따라, 복수의 INSN들, 예를 들면, 430-1A, 430-1B, ..., 430-NA, 430-NB은 특정 직렬 버스에 통신이 되도록 결합될 수 있고, 이에 따라 예를 들면, 다수의 직렬 인터페이스들, 예를 들면, 424-1, ..., 424-N의 특정 인터페이스, 예를 들면 채널에 연관된다. 일부 실시예들에서, 복수의 INSN들은 각각의 채널에 연관될 수 있는데, 예를 들면, 각각의 채널에 대응하는 직렬 버스에 통신이 되도록 결합될 수 있다.

[0046] 하나 이상의 실시예들에 따라, 복수의 INSN들, 예를 들면, 430-1A, 430-1B, ..., 430-NA, 430-NB은 다수의 직렬 메모리 인터페이스들 중 특정 인터페이스에 관련하여 데이터 체인 배열로 특정 직렬 버스에 통신이 되도록 결합될 수 있다. 2개의 INSN들이 각각의 채널의 직렬 버스에 통신이 되도록 결합된 것으로 도 4에 도시되었을지라도, 본 발명의 실시예들은 이 수량의 INSN들로 제한되는 것은 아니며, 더 많은 혹은 더 적은 수(없는 것을 포함하여)의 INSN들은 특정 직렬 버스에 통신이 되도록 결합될 수 있다. 또한, 본 발명의 실시예들은 동일 수량의 INSN들이 각각의 채널의 직렬 버스에 통신이 되도록 결합되게 하는 것으로 제한되지 않으며, 특정 직렬 버스 상에 INSN들의 수는 또 다른 특정 직렬 버스 상에 INSN들보다 더 많거나 적을 수도 있다.

[0047] 도 5은 본 발명의 하나 이상의 실시예들에 따라 병렬로 통신이 되도록 결합되는 다수의 지능형 NAND 스토리지 노드들을 포함하는 메모리 시스템의 기능 블록도이다. 하나 이상의 실시예들에서, 그리고 도 5에 도시된 바와 같이, 메모리 시스템 제어기(515)는 이를테면 지능형 NAND 스토리지 노드들 (INSN들), 예를 들면, 530-1A, 530-1B, 530-1C와 같은 다수의 스토리지 노드들에 통신이 되도록 결합될 수 있다. 시스템 제어기(515)는 동기 통신들을 위한 다수의 인터페이스들, 예를 들면, 524-1을 포함할 수 있다. 시스템 제어기(515)에 관한 다른 상세는 명확성을 위해 도 5로부터 생략된다. 단지 한 채널만이 도 5에 도시되었지만, 본 발명의 실시예들은 이것으로

제한되는 것은 아니며, 메모리 시스템 제어기(515)는 동기 통신들을 위해 구성된 추가의 채널들을 포함할 수 있고 추가된 수의 INSN들, 및/또는 추가된 채널들은 다수의 추가된 INSN들과 통신하도록 구성된다.

[0048] 다수의 인터페이스들 각각, 예를 들면, 524-1은 동기 버스, 예를 들면, 병렬 로컬 버스에 의해 다수의 스토리지 노드들 중 대응하는 하나 이상, 예를 들면, 530-1A, 530-1B, 530-1C에 통신이 되도록 결합될 수 있다. 스토리지 노드들은 병렬로 통신이 되도록 결합될 수 있다. 예를 들면, 제 1 수의 INSN들, 예를 들면, 530-1A, 530-1B, 530-1C는 제 1 동기 인터페이스(synchronous interface)(524-1)에 병렬로 통신이 되도록 결합될 수 있고, 또 다른 수의 INSN들(명확성을 위해 도 5에 도시되지 않음)은 하나 이상의 추가된 채널 동기 인터페이스들에 병렬로 통신이 되도록 결합될 수 있다. 본 발명의 실시예들은 임의의 특정 수량의 채널들로 제한되는 것은 아니며, 하나 이상, 예를 들면, N개의 채널들을 포함할 수 있고, 각각은 이에 통신이 되도록 결합되게 이에 제로 혹은 그 이상의 INSN들을 가지며, 예를 들면, 한 특정 채널에 대응하는 INSN들은 병렬로 배열된다.

[0049] 본 발명의 하나 이상의 실시예들에 따라, 그리고 도 5에 도시된 바와 같이, 하나 이상의 INSN들은 병렬 로컬 버스를 통해 각각의 동기 인터페이스에 통신이 되도록 결합될 수 있다. 병렬 로컬 버스는 동기 버스일 수 있고, 클럭 신호 라인(clock; CLK), 예를 들면, 544-1, 제 1 데이터 라인(Q[Y:0]), 예를 들면, 546-1, 및 제 2 데이터 라인(D[X:0]), 예를 들면, 548-1을 포함할 수 있다. 예를 들면, 도 5에 도시된 방향 화살표로 나타낸 바와 같이, 제 1 데이터 라인(Q[Y:0])(546-1)은 예를 들면 INSN들에서 시스템 제어기(515)로 제 1 방향으로 데이터를 송신하도록 구성될 수 있고, 제 2 데이터 라인(D[X:0])(548-1)은 시스템 제어기(515)에서 INSN들로 제 2 방향으로 데이터를 송신하도록 구성될 수 있다. 제 1 데이터 라인(Q[Y:0])은 정보의 Y+1 데이터 비트의 폭을 갖도록 구성될 수 있고, 제 2 데이터 라인(D[X:0])은 정보의 X+1 데이터 비트의 폭을 갖도록 구성될 수 있다. 클럭에 따르며 래치되어 데이터가 전송되는 동기 버스의 한 특정 구현이 도 5에 도시되었지만, 본 발명의 실시예들은 도 5에 도시된 특정 구별도로 제한되지 않으며, INSN들에 병렬 통신들은 다른 구성들로, 혹은 다른 통신 프로토콜들을 사용하여 구현될 수 있다.

[0050] 하나 이상의 실시예들에서, 각각의 INSN은 특정 채널에 대응하며 각각의 특정 채널의 동기 버스에 통신이 되도록 결합되는 버스 관리 모듈을 포함할 수 있다. 예를 들면, 도 5에 도시된 실시예에서, 채널 1에 대응하여, 버스 관리 모듈들(542-1A, 542-1B, 542-1C)은 채널 1의 병렬 로컬 버스, 예를 들면, 신호 라인들(544-1, 546-1, 548-1)에 통신이 되도록 결합된다. 버스 관리 모듈은 특정 채널, 예를 들면, 병렬 로컬 버스에 연관된 복수의 INSN들을 상호연결하는 클럭사용 동기 버스를 제어하도록 구성된다. 특정 채널 1에 대응하는 노드 제어기, 예를 들면, 532-1A, 532-1B, 532-1C는 각각의 버스 관리 모듈, 예를 들면, 542-1A, 542-1B, 542-1C 간에 통신이 되도록 결합될 수 있다.

[0051] 채널 1에 대응하는 메모리 장치들, 예를 들면, INSN 530-1A에 대응하는 512-1A1 및 512-1A2, INSN 530-1B에 대응하는 512-1B1 및 512-1B2, 및 INSN 530-1C에 대응하는 512-1C1 및 512-1C2은 페이지, 블록, 플레인, 어레이, 또는 다른 그룹과 같은 특정 물리 또는 논리적 구성들을 제공하도록 구성될 수 있는 다수의 메모리 셀들을 포함할 수 있다. 하나 이상의 실시예들에 따라, INSN들은 각각 멀티칩 패키지, 예를 들면, 540-1A, 540-1B, 540-1C로서 구성될 수 있다. 일부 실시예들에서, 멀티칩 패키지는 데이터, 제어, 파워, 및 접지 신호들을 위한 20 핀 미만을 가질 수 있다.

[0052] 도 5에 도시된 바와 같이, 그리고 본 발명의 하나 이상의 실시예들에 따라, 복수의 INSN들, 예를 들면, 530-1A, 530-1B, 530-1C은 통신이 되도록 특정 동기 버스에 결합될 수 있고, 이에 따라, 예를 들면 특정 채널에 대응하여 다수의 인터페이스들 중 특정한 인터페이스, 예를 들면, 524-1에 연관된다. 일부 실시예들에서, 복수의 INSN들은 특정 채널에 연관될 수 있는데, 예를 들면 각각의 채널에 대응하는 병렬 로컬 버스에 통신이 되도록 결합될 수 있다. 일부 실시예들에서, 한 INSN은 특정 채널에 연관될 수 있는데, 예를 들면 각각의 채널에 대응하는 병렬 로컬 버스에 통신이 되도록 결합될 수 있다. 일부 실시예들에서, 어떠한 INSN은 특정 채널에 연관되지 않는데, 예를 들면, 각각의 채널에 대응하는 병렬 로컬 버스에 통신이 되도록 결합되지 않는다. 또한, 본 발명의 실시예들은 특정 채널에 통신이 되도록 결합되는 동일 수량의 INSN들을 갖는 것으로 제한되지 않으며 특정 채널 상에 INSN들의 수는 또 다른 특정 채널 상에 INSN들의 수보다 많거나 적을 수 있다.

[0053] 도 6은 본 발명의 하나 이상의 실시예들에 따라, 병렬로 통신이 되도록 결합된 다수의 지능형 NAND 스토리지 노드들과 직렬로 통신이 되도록 결합된 적어도 한 지능형 NAND 스토리지 노드들을 포함하는 메모리 시스템의 기능 블록도이다. 하나 이상의 실시예들에서, 그리고 도 6에 도시된 바와 같이, 메모리 시스템 제어기(615)는 이를테면 지능형 NAND 스토리지 노드들(INSN들), 예를 들면, 630-1A, 630-1B, 630-NB와 같은 다수의 스토리지 노드들에 통신이 되도록 결합될 수 있다. 본 발명의 실시예들은 임의의 특정한 수의 채널들로 제한되지 않으며, 하나

이상, 예를 들면, N개의 채널들을 포함할 수 있고, 그 각각은 이에 통신이 되도록 결합된 제로 또는 그 이상의 INSN들을 가지며, 예를 들면, 특정 채널에 대응하는 INSN들은 이에 직렬 및 병렬 통신 경로들 둘 다를 포함하도록 구성된다.

[0054] 시스템 제어기(615)는 직렬 통신들을 위해 구성된 다수의 인터페이스들, 예를 들면, 624-1을 포함할 수 있다. 시스템 제어기(615)에 관한 다른 상세는 명확성을 위해 도 6으로부터 생략되었다. 단지 한 채널만이 도 6에 도시되었으나, 본 발명의 실시예들은 이것으로 제한되는 것은 아니며, 메모리 시스템 제어기(615)는 예를 들면, 도 4에 도시된 바와 같이, 추가된 다수의 INSN들과 직렬 통신들을 위해 구성된 추가의 채널들을 포함할 수 있다. 또한, 시스템 제어기(615)는 예를 들면 도 5에 도시된 바와 같이 다수의 추가된 INSN들과의 동기 병렬 통신들을 위한 추가의 채널들을 포함할 수 있고, 및/또는 예를 들면, 도 6에 도시된 바와 같이, 다수의 추가된 INSN들과의 동기 직렬 통신들을 위한 추가의 채널들을 포함할 수 있다.

[0055] 도 6은 다수의 인터페이스들, 예를 들면, 624-1이 직렬 버스에 의해 다수의 스토리지 노드들중 대응하는 하나 이상, 예를 들면, INSN 630-1A에 통신이 되도록 결합될 수 있음을 도시한 것이다. 도 6이 인터페이스(624-1)에 직렬로 통신이 되도록 결합된 한 INSN, 예를 들면, 630-1A을 보이고 있을지라도, 본 발명의 실시예들은 이것으로 제한되는 것은 아니며, 더 많은 혹은 더 적은 직렬로 결합된 INSN들을 포함할 수 있다. 제로 내지 많은 추가의 INSN들, 예를 들면, 630-1B, ..., 630-MB이 하나 이상의 직렬로-연결된 INSN들 중 일부 또는 모두, 예를 들면, 630-1A에 병렬로 통신이 되도록 결합될 수 있다. 예를 들면 도 6에 도시된 바와 같이, 제 1 다수의 INSN들, 예를 들면, 630-1B, ..., 630-MB은 INSN, 예를 들면, 630-1A에 병렬로 통신이 되도록 결합될 수 있다.

[0056] 본 발명의 하나 이상의 실시예들에 따라, 그리고 도 6에 도시된 바와 같이, 하나 이상의 INSN들, 예를 들면, 630-1A는 호스트 버스를 통해 각각의 직렬 인터페이스, 예를 들면, 624-1에 통신이 되도록 결합될 수 있다. 호스트 버스는 직렬 버스일 수 있고, 클럭 신호 라인(CLK), 예를 들면, 644-1, 제 1 데이터 라인(Q+/-), 예를 들면, 646-1, 및 제 2 데이터 라인(D+/-), 예를 들면, 648-1을 포함할 수 있다. 예를 들어, 제 1 데이터 라인(Q+/-), 예를 들면, 646-1은, 도 6에 방향 화살표로 나타난 바와 같이, 예를 들면, 직렬-결합 INSN(630-1A)에서 시스템 제어기(615)로 제 1 방향으로 데이터를 송신하도록 구성될 수 있고, 제 2 데이터 라인(D+/-)(648-1)은 예를 들면, 시스템 제어기(615)에서 직렬-결합 INSN들, 예를 들면, 630-1A로 제 2 방향으로 데이터를 송신하도록 구성될 수 있다. 클럭에 따라 래치되어 데이터가 전송되는 직렬 버스의 한 특정 구현이 도 6에 도시되었지만, 본 발명의 실시예들은 도 6에 도시된 특정 구현으로 제한되지 않으며, 직렬-결합 INSN들, 예를 들면, 630-1A에 직렬 통신들은 다른 구성들로, 혹은 다른 통신 프로토콜들을 사용하여 구현될 수 있다.

[0057] 본 발명의 하나 이상의 실시예들에 따라, 그리고 도 6에 도시된 바와 같이, 특정 직렬 인터페이스에 대응하는 하나 이상의 직렬-결합 INSN들, 예를 들면, 630-1A는 병렬 로컬 버스를 통해 추가된 수의 INSN들, 예를 들면, 630-1B, ..., 630-MB에 통신이 되도록 결합될 수 있다. 추가된 수의 INSN들, 예를 들면, 630-1B, ..., 630-MB는 병렬 로컬 버스에 병렬로 통신이 되도록 결합될 수 있다.

[0058] 병렬 로컬 버스는 동기 버스, 일 수 있고, 클럭 신호 라인(CLK), 예를 들면, 645-1, 제 1 데이터 라인(Q[Y:0]), 예를 들면, 647-1, 및 제 2 데이터 라인(D[X:0]), 예를 들면, 649-1을 포함할 수 있다. 예를 들면, 도 6에 방향 화살표나 나타난 바와 같이, 제 1 데이터 라인(Q[Y:0])(647-1)은 직렬-결합 INSN, 예를 들면, 630-1A에의 방향으로 데이터를 송신하게 구성될 수 있고, 제 2 데이터 라인(D[X:0])(649-1)은 직렬-결합 INSN, 예를 들면, 630-1A로부터 데이터를 송신하게 구성될 수 있다. 동기 로 클럭에 따라 래치되어 데이터가 전송되는 병렬 로컬 버스의 한 특정 구현이 도 6에 도시되었지만, 본 발명의 실시예들은 도 6에 도시된 특정 구현으로 제한되지 않으며, 직렬-결합 INSN과 이에 병렬로 통신이 되도록 결합된 하나 이상의 INSN들 간에 병렬 로컬 통신들은 다른 구성들로, 혹은 다른 통신 프로토콜들을 사용하여 구현될 수 있다.

[0059] 하나 이상의 실시예들에서, INSN은 버스 관리 모듈, 예를 들면, 643-1A, 643-1B, ..., 643-MB를 포함할 수 있다. 예를 들면, 도 6에 도시된 실시예에서, 버스 관리 모듈(643-1A)은 채널 1의 직렬 호스트 버스, 예를 들면, 신호 라인들(644-1, 646-1, 648-1), 및 채널 1에 연관된 동기 병렬 로컬 버스, 예를 들면, 신호 라인들(645-1, 647-1, 649-1)에 통신이 되도록 결합된다. 버스 관리 모듈들(643-1B, ..., 643-MB)은 채널 1에 연관된 병렬 로컬 버스, 예를 들면, 신호 라인들(645-1, 647-1, 649-1)에 통신이 되도록 결합된다. 버스 관리 모듈은 이에 연결된 클럭사용 직렬 호스트 버스 및/또는 클럭사용 동기 병렬 로컬 버스를 제어하게 구성될 수 있다.

[0060] 미디어 제어기(media controller), 예를 들면, 632-1A, 632-1B, ..., 632-MB는 각각의 버스 관리 모듈, 예를 들면, 643-1A, 643-1B, ..., 643-MB와 채널 1에 대응하여, 각각의 다수의 메모리 장치들, 예를 들면, 612-1A1, 612-1A2, 612-1B1, 612-1B2, ..., 612-MB1, 612-MB2 간에 통신이 되도록 결합될 수 있다.

- [0061] 채널 1에 대응하여 메모리 장치들, 예를 들면, 612-1A1, 612-1A2, 612-1B1, 612-1B2, ..., 612-MB1, 612-MB2는 이를테면 페이지, 블록, 플레인, 어레이, 혹은 다른 그룹과 같은 특정 물리 또는 논리 구성들을 제공하게 구성될 수 있는 다수의 메모리 셀들을 포함할 수 있다. 하나 이상의 실시예들에 따라, INSN들은 각각이 멀티칩 패키지, 예를 들면, 640-1A, 640-1B, ..., 640-MB로서 구성된다. 일부 실시예들에서, 멀티칩 패키지는 데이터, 제어, 파워, 및 접지 신호들을 위한 20 핀 미만을 가질 수 있다. 예를 들면, 하나 이상의 실시예들의 멀티칩 패키지는 도 6에 도시된 바와 같이, 호스트 버스를 위해 데이터 및 제어 신호들을 위한 3개(혹은 더 적은) 핀들 및 병렬 로컬 버스를 위한 추가의 핀들을 가질 수 있다.
- [0062] 다수의 INSN들, 예를 들면, 630-1B, ..., 630-MB가 도 6에서 직렬-결합 INSN, 예를 들면, 630-1A에 병렬로 통신이 되도록 결합된 것으로 도시되었을지라도, 본 발명의 실시예들은 각각 이들 개수들의 직렬-결합 및 병렬-결합 INSN들로 제한되는 것은 아니다. 더 많은, 혹은 더 적은 INSN들이 특정 직렬-결합 INSN, 예를 들면, 630-1A에 대응하여 병렬로 통신이 되도록 결합될 수 있다. 또한, 본 발명의 실시예들은 각 채널에 통신이 되도록 결합된 동일 개수의 직렬-결합 INSN들 및/또는 병렬-결합 INSN들을 갖는 것으로 제한되지 않으며, 특정 채널 상에 직렬-결합 INSN들 및/또는 병렬-결합 INSN들의 수는 또 다른 특정 채널 상에 각각의 직렬-결합 INSN들 및/또는 병렬-결합 INSN들의 수보다 많거나 적을 수 있다.
- [0063] 도 7은 본 발명의 하나 이상의 실시예들에 따라 지능형 NAND 스토리지 노드(INSN)의 기능 블록도이다. INSN(730)은 도 6에 도시된 INSN들 예를 들면, 630-1A, 630-1B, 630-1C와 유사할 수 있다. INSN(730)은 제어 회로(731), 예를 들면, 버스 관리자(743) 및 미디어 제어기(732)를 포함할 수 있는 제어기를 포함할 수 있다. 미디어 제어기(732)는 도 6에 도시된 INSN들 내에 제어기들, 예를 들면, 632-1A, 632-1B, 632-1C과 유사할 수 있다.
- [0064] 버스 관리자(743)는 호스트 버스와 인터페이스하는 PCIe 부분(741), 예를 들면, 클럭 신호 라인(CLK)(744)(도 6에 도시된 클럭 신호 라인(644-1)과 유사할 수 있는), 제 1 데이터 라인(Q+/-)(746)(도 6에 도시된 제 1 데이터 라인(646-1)과 유사할 수 있는), 및 제 2 데이터 라인(D+/-)(748)(도 6에 도시된 제 2 데이터 라인(648-1)과 유사할 수 있는)을 포함할 수 있다. 또한, 버스 관리자(743)는 로컬 버스와 인터페이스하는 로컬 버스 부분(743), 예를 들면, 클럭 신호 라인(CLK)(745), 제 1 데이터 라인(Q[X:0])(747), 및 제 2 데이터 라인(D[X:0])(749)을 포함할 수 있다. 당업자가 도 7로부터 알게 되는 바와 같이, 제 1 데이터 라인(Q)은 Y+1 데이터 비트 정보의 폭을 갖게 구성될 수 있고, 제 2 데이터 라인(D)은 X+1 데이터 비트 정보의 폭을 갖게 구성될 수 있다.
- [0065] 하나 이상의 실시예들에 따라, 메모리의 하나 이상의 채널들은 미디어 제어기(732), 에 통신이 되도록 결합될 수 있고, 각각의 채널은 채널당 16개까지의 NAND, 예를 들면, 712-1, 712-2을 포함한다. 다른 유형들, 수량들 또는 구성들의 메모리 장치들이 본 발명의 실시예들에 의해 고찰되며, 채널들의 수는 도 7에 도시된 2개의 채널들보다 많거나 적을 수 있다.
- [0066] **결론**
- [0067] 본 발명은 메모리 시스템 제어기를 위한 방법들 및 장치들을 포함한다. 하나 이상의 실시예들에서, 메모리 시스템 제어기는 시스템 제어기에 통신이 되도록 결합된 호스트 인터페이스를 포함한다. 시스템 제어기는 다수의 메모리 인터페이스들을 구비하며, 다수의 메모리 인터페이스들에 통신이 되도록 결합된 복수의 지능형 스토리지 노드들을 제어하게 구성된다. 시스템 제어기는 물리 메모리 주소와 논리 메모리 주소간에 매핑하게 구성된 로직, 및 복수의 지능형 스토리지 노드들에 걸친 웨어 레벨을 관리하게 구성된 로직을 포함한다.
- [0068] 본 발명의 상세한 설명에서, 이의 일부를 이루며 본 발명의 하나 이상의 실시예들이 어떻게 실시될 수 있는가를 예시로서 도시한 동반된 도면들이 참조되었다. 이들 실시예들은 당업자들이 본 발명의 실시예를 실시할 수 있게 충분히 상세히 기술되었으며, 다른 실시예들이 이용될 수도 있다는 것과 본 발명의 범위 내에서 프로세스, 전기적, 또는 구조적 변경들이 행해질 수 있음이 이해될 것이다.
- [0069] 여기에서 사용되는 바와 같이, 도면들에서 특히 참조부호에 관련하여, "N", "M", "X", 및 "Y"로 나타낸 것은 이와 같이 표시된 다수의 특정한 특징이 본 발명의 하나 이상의 실시예들에 포함될 수 있음을 나타낸다. 알게 되는 바와 같이, 여기에 여러 실시예들에 보인 요소들은 본 발명의 추가의 다수의 실시예들을 제공하기 위해서 추가되고, 교환되고, 또는 제거될 수 있다. 또한, 알게 되는 바와 같이, 도면들에서 제공된 요소들의 부분 및 상대적 스케일은 본 발명의 실시예들을 예시하기 위한 것이며 제한하려고 취해진 것이 아니다.
- [0070] 제 1 요소가 다른 요소 "에 연결된" 혹은 "에 결합된"이라 언급될 때, 제 1 요소는 2개의 요소들 중 다른 요소

에 물리적으로 부착될 수 있음이 이해될 것이다. 반대로, 요소들이 "에 통신이 되도록 결합된"이라고 언급될 때, 요소들은 서로 통신됨을 알 것이다.

[0071] 요소가 다른 요소 "상에", "에 연결된" 혹은 "에 결합된"이라 언급될 때, 이것은 직접 다른 요소 혹은 층 상에, 혹은 이에 연결되거나, 이에 결합될 수 있고 혹은 개재된 요소들 혹은 층들이 있을 수 있음이 이해될 것이다. 반대로, 요소가 다른 요소 혹은 층 "상에 직접", "에 직접 연결" 혹은 "에 직접 결합"되는 것으로 언급될 때, 개재되는 요소들 혹은 층들은 없다. 여기에서 사용되는 바와 같이, "및/또는"이라는 용어는 연관된 나열된 항목들 중 하나 이상의 어느 하나 및 모든 조합들을 포함한다.

[0072] 제 1, 제 2, 등의 용어들이 여기에서 다양한 요소들, 성분들, 영역들, 층들, 및 부분들을 기술하기 위해 사용될 수 있을지라도, 이들 요소들, 성분들, 영역들, 배선라인들, 층들, 및 부분들은 이들 용어들에 의해 제한되는 것은 아님을 알 것이다. 이들 용어들은 단지 한 요소, 성분, 영역, 배선라인, 층 혹은 부분을 다른 영역, 층, 혹은 부분과 구별하기 위해 사용될 뿐이다. 따라서, 이하 논의되는 제 1 요소, 성분, 영역, 배선라인, 층 혹은 부분은 본 발명의 교시되는 범위 내에서 제 2 요소, 성분, 영역, 배선라인, 층, 혹은 부분이라는 용어가 사용될 수도 있을 것이다.

[0073] 이를테면 "밑", "아래", "하부", "위", "상측" 등과 같은 공간적 상대적 용어들은 여기에서는 공간 내 놓이는 절대적 방위보다는 도면들에서 도시된 바와 같은 다른 요소(들) 혹은 특징(들)에 대한 한 요소 혹은 특징의 관계를 기술하기 위해 설명을 용이하게 위해 사용된다. 공간적인 상대적 용어들은 도면들에 도시된 방위 외에도 사용 혹은 동작시 장치의 서로 다른 방위들을 포괄하기 위한 것임을 알 것이다. 예를 들어, 도면들에서 장치가 뒤집어 진다면, 다른 요소들 혹은 특징들 "아래" 혹은 "밑에"로서 기술된 요소들은 다른 요소들 혹은 특징들 "위"에 놓이는 방위가 될 것이다. 따라서, "아래"라는 용어의 예는 위 및 아래라는 방위 둘 다를 포괄할 수 있다. 장치는 다른 방위에 놓여질 수도 있는데(90도 회전되거나 다른 방위들에) 여기에서 사용되는 공간적 상대적 설명은 그에 따라 해석될 수 있다.

[0074] 여기에서 사용되는 용어는 특정 실시예들을 설명할 목적을 위한 것일 뿐이며 개시된 바를 제한하려는 것이 아니다. 여기에서 사용되는 바와 같이, 문맥이 다른 것을 명확히 나타내지 않는 한 단수 형태들은 복수 형태도 포함하게 한 것이다. "포함하다"라는 용어가 이 명세서에서 사용될 때 이 용어는 언급된 특징들, 정수들, 단계들, 동작들, 요소들, 및/또는 성분들의 존재를 명시하는 것이며 하나 이상의 다른 특징들, 정수들, 단계들, 동작들, 요소들, 및/또는 성분들 및/또는 이들의 그룹들의 존재 혹은 이들의 추가를 배제하는 것은 아님을 알 것이다.

[0075] 달리 정의되지 않는 한 여기에서 사용되는 모든 용어들(기술적 및 과학용어들 포함하여)은 본 발명이 관련된 당업자가 일반적으로 이해하는 바와 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전들에 정의된 것들과 같은 용어들은 관련 기술 및 본 발명의 맥락에서 이들의 의미와 일관된 의미를 갖는 것으로서 해석되어야 하며, 이상적인 혹은 지나치게 형식적 의미로 여기에 분명하게 정의되지 않는 한 이러한 의미로 해석되지 않아야 함을 알 것이다.

[0076] 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시한 기능 블록도를 참조로 여기에 기술된다. 이러한 때문에 예를 들어 제조 기술들 및 공차들의 결과로서 여기 도시된 바들의 형상들로부터 변동들이 예상될 것이다. 따라서, 본 발명의 실시예들은 여기에 도시된 영역들의 특정 형상들로 제한되는 것으로 해석되는 것이 아니라 예를 들어 제조에 기인하여 나타나는 형상들의 변화들도 포함하는 것으로 해석되어야 한다. 예를 들어, 평탄으로서 예시 또는 기술된 영역은 전형적으로 기복이 있거나 비선형 특징들을 가질 수도 있다. 또한, 도시된 예리한 각들은 둥글 수도 있다. 따라서, 도면들에 도시된 영역들은 본질적으로 개략적인 것이고 이들의 형상들 및 상대적 크기들, 두께들 등은 영역의 정밀한 형상/크기/두께를 예시하려는 것이 아니며 본 발명의 범위를 제한하려는 것이 아니다.

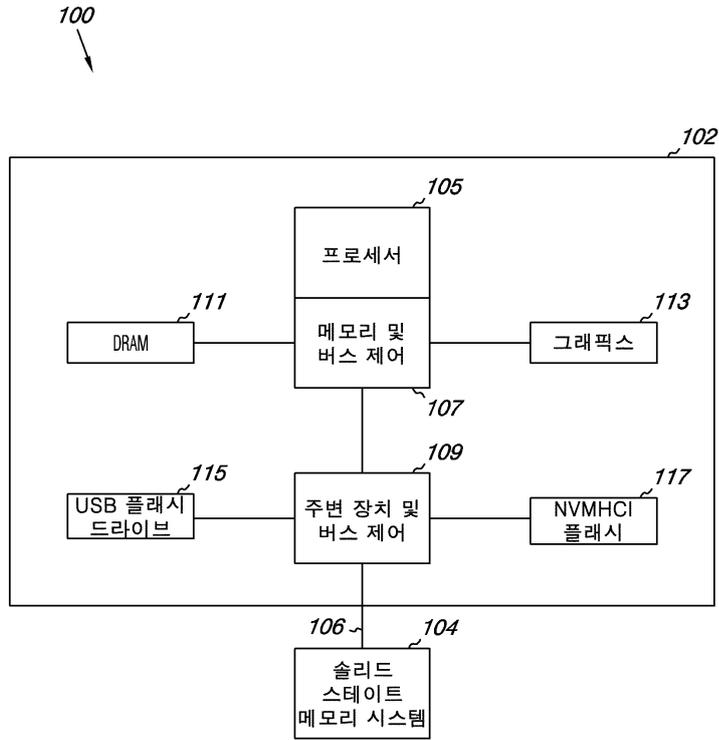
[0077] 특정한 실시예들이 여기에 도시되고 기술되었을지라도, 당업자들은 동일 결과들을 달성하기 위해 계산된 구성이 여기 도시된 구체적 실시예들을 대체할 수 있음을 알 것이다. 본 개시된 바는 본 발명의 하나 이상의 실시예들의 개조 혹은 변형들도 포함한다. 위에 기술된 바는 제약적 형태가 아니라 예시적 형태로 행해졌음을 알아야 한다. 위에 실시예들의 조합, 및 특정하게 여기 기술되지 않은 다른 실시예들의 의 조합은 위에 기술된 바를 검토하였을 때 당업자들에게 명백할 것이다. 본 발명의 하나 이상의 실시예들의 범위는 위에 구조들 및 방법들이 사용되는 다른 적용들을 포함한다. 그러므로, 본 발명의 하나 이상의 실시예들의 범위는 이러한 청구항들이 부여하는 일범위의 전체 등가물들과 더불어 첨부된 청구항들에 관련하여 판정되어야 한다.

[0078] 전술한 상세한 설명에서, 일부 특징들은 효율적 설명을 위해 단일 실시예에 그룹화하였다. 개시된 이 방법은 본

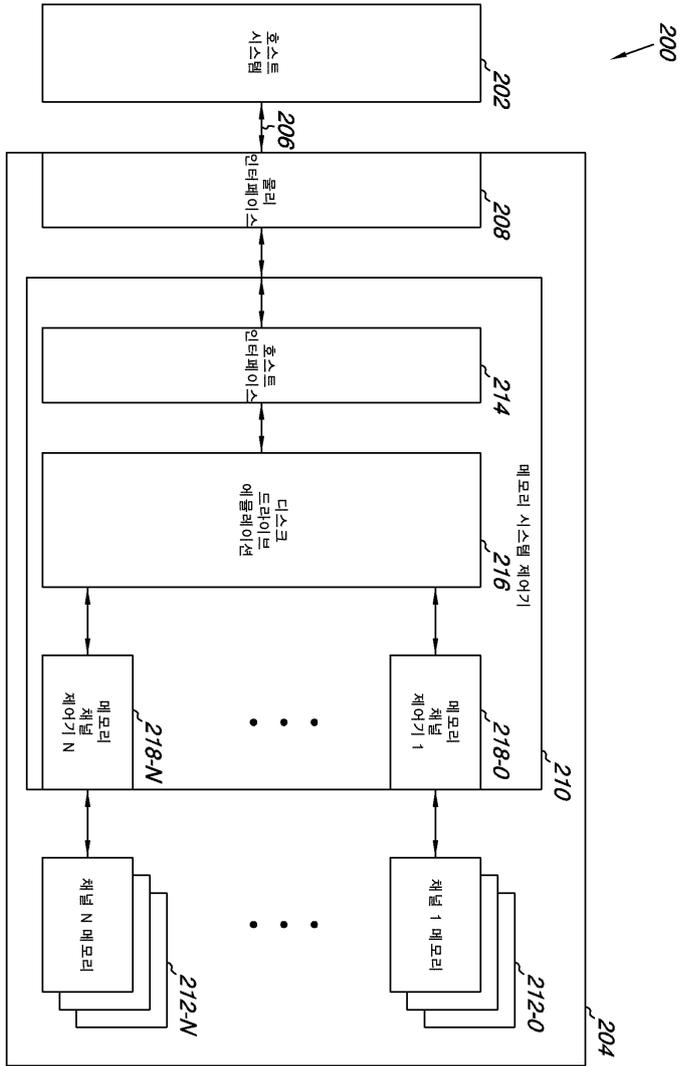
발명의 개시된 실시예들이 각 청구항에 분명하게 인용된 것보다 더 많은 특징들을 사용해야 하는 의도를 반영하는 것으로 해석되지 않아야 한다. 그보다는, 다음 청구항들이 반영하는 바와 같이, 발명의 요체는 개시된 단일 실시예의 모든 특징들 미만의 특징들에 놓여 있다. 따라서, 다음 청구항들은 상세한 설명에 포함되고 각 청구항은 자체가 별도의 실시예를 구성한다.

도면

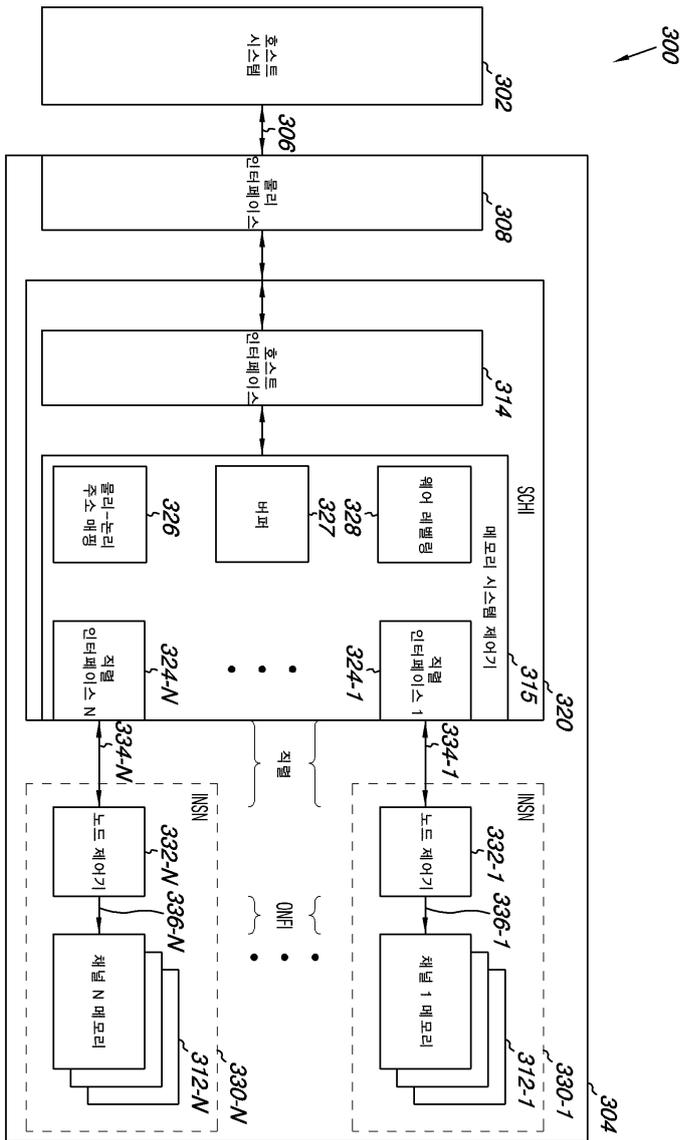
도면1



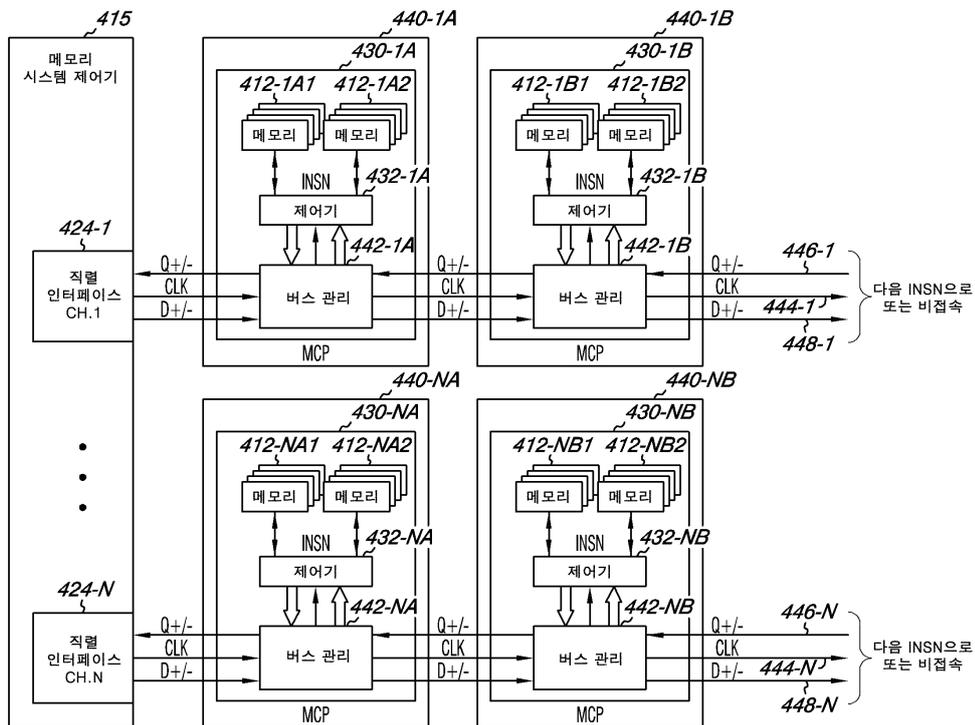
도면2



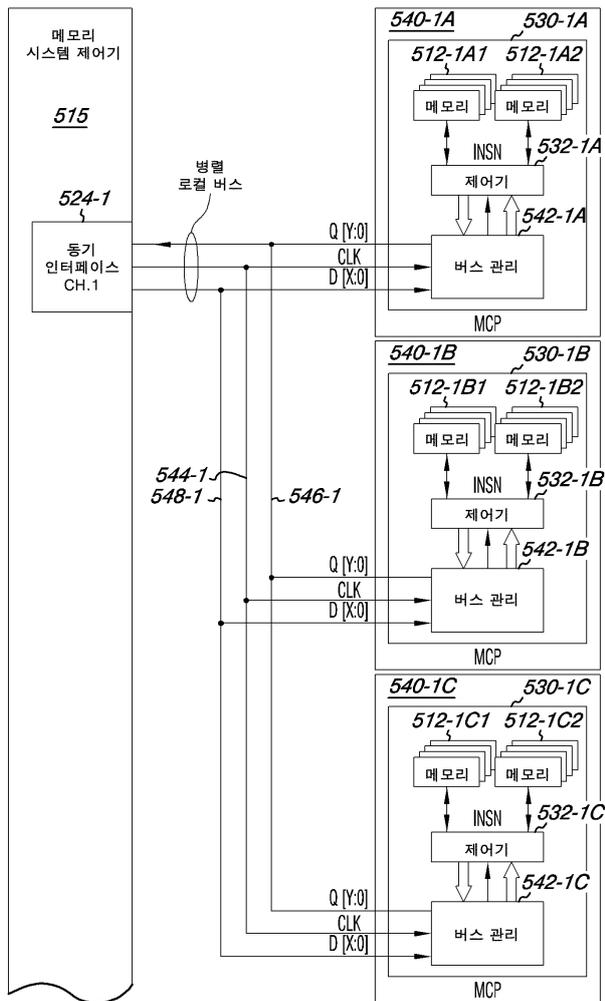
도면3



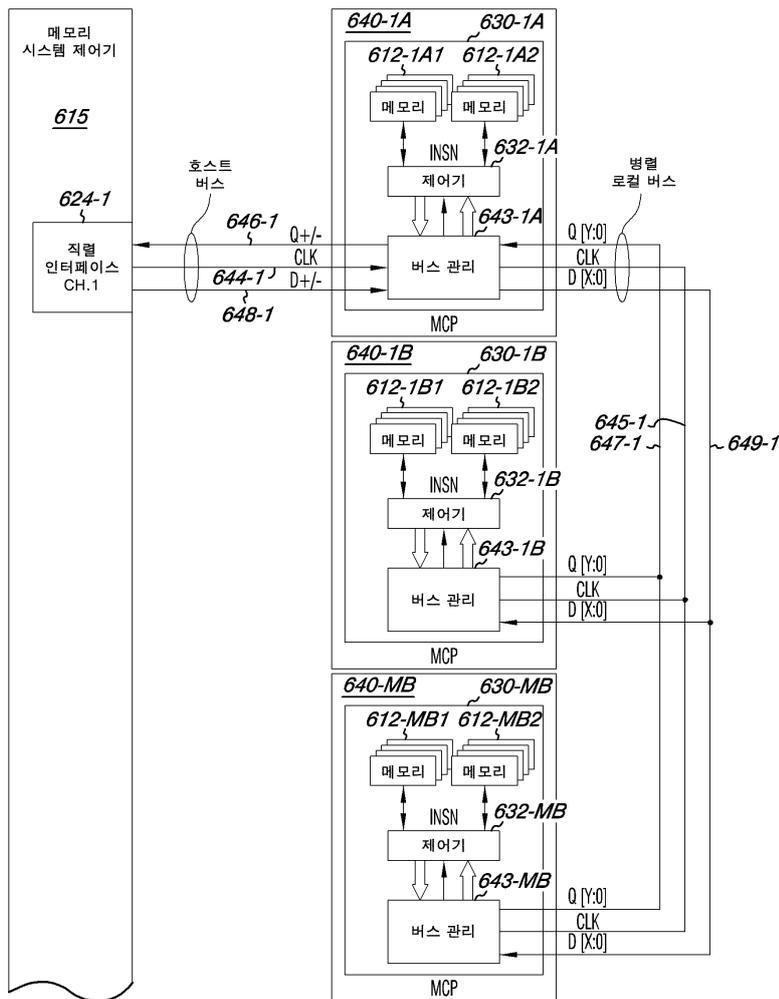
도면4



도면5



도면6



도면7

