

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 24 日 (24.03.2022)



(10) 国际公布号
WO 2022/057342 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) **H01L 27/108** (2006.01)

(21) 国际申请号: PCT/CN2021/100314

(22) 国际申请日: 2021 年 6 月 16 日 (16.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010988656.4 2020 年 9 月 18 日 (18.09.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 程明 (**CHENG, Ming**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。金星 (**JIN, Xing**); 中国安徽

省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。李冉 (**LI, Ran**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法

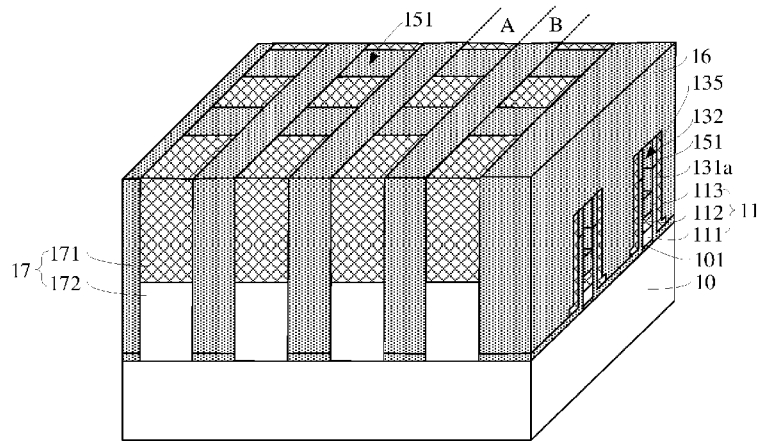


图 17

(57) **Abstract:** A semiconductor structure and a manufacturing method therefor, the manufacturing method for the semiconductor structure comprising: providing a substrate and bit line structures located on the substrate, the bit line structures comprising top-layer dielectric layers, and capacitor contact holes being provided on two opposite sides of the bit line structures; forming first separating side walls that cover the top-layer dielectric layers, and forming second separating side walls that cover the first separating side walls, the first separating side walls being located between the bit line structures and the capacitor contact holes, and the top surfaces of the second separating side walls being higher than the top surfaces of the first separating side walls; removing at least a portion of the top-layer dielectric layers to form first gaps; performing deposition processing to form first sealing films that cover the first separating side walls and seal the openings at the tops of gaps, the top surfaces of the first sealing films being higher than the top surfaces of the second separating side walls; and performing first planarization processing, removing the first sealing films that are higher than the top surfaces of the second separating side walls, the remaining first sealing films serving as first sealing layers. The present invention helps to improve the structural stability of semiconductor structures.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请实施例提供一种半导体结构及其制作方法, 半导体结构的制作方法包括: 提供基底和位于基底上的位线结构, 位线结构包括顶层介质层, 位线结构相对两侧具有电容接触孔; 形成覆盖顶层介质层侧壁的第一隔离侧墙, 以及形成覆盖第一隔离侧墙侧壁的第二隔离侧墙, 第一隔离侧墙位于位线结构和电容接触孔之间, 第二隔离侧墙的顶面高于第一隔离侧墙的顶面; 去除至少部分顶层介质层, 形成第一空隙; 进行沉积工艺, 形成覆盖第一隔离侧墙顶面且封堵空隙顶部开口的第一封口膜, 第一封口膜顶面高于第二隔离侧墙顶面; 进行第一平坦化工艺, 去除高于第二隔离侧墙顶面的第一封口膜, 剩余第一封口膜作为第一封口层。本申请有利于提高半导体结构的结构稳定性。

半导体结构及其制作方法

相关申请的交叉引用

本申请要求在 2020 年 09 月 18 日提交中国专利局、申请号为 202010988656.4、申请名称为“半导体结构及其制作方法”的中国专利申请的
5 优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及半导体领域，特别涉及一种半导体结构及其制作方法。

背景技术

随着半导体集成电路特征尺寸的不断减小，对动态随机存取存储器
10 (Dynamic Random Access Memory, DRAM) 制程的制造工艺提出了更高的要求。

具体地，随着特征尺寸的不断缩小，相邻导体之间的间距越来越小，隔离相邻导体的介电层的厚度越来越薄。在介电层的介电常数不变的情况下，介电层的厚度越薄，相邻导体之间的寄生电容问题越严重。

15 发明内容

本申请实施例提供一种半导体结构及其制作方法，有利于提高半导体结构的结构稳定性。

为解决上述问题，本申请实施例提供一种半导体结构的制作方法，包括：
提供基底和位于所述基底上的位线结构，所述位线结构包括顶层介质层，所述
20 位线结构相对两侧具有电容接触孔；形成覆盖所述顶层介质层侧壁的第一隔离侧墙，以及形成覆盖所述第一隔离侧墙侧壁的第二隔离侧墙，所述第一隔离侧墙位于所述位线结构和所述电容接触孔之间，所述第二隔离侧墙的顶面高于所述第一隔离侧墙的顶面；去除至少部分所述顶层介质层，形成第一空隙；进行

沉积工艺，形成覆盖所述第一隔离侧墙顶面且封堵所述空隙顶部开口的第一封口膜，所述第一封口膜顶面高于所述第二隔离侧墙顶面；进行第一平坦化工艺，去除高于所述第二隔离侧墙顶面的所述第一封口膜，剩余所述第一封口膜作为第一封口层。

- 5 在一些实施例中，在形成所述第一封口层之后，还包括：在相邻所述位线结构之间填充牺牲层；形成掩膜层，且在同一刻蚀工艺中，通过所述掩膜层去除部分所述牺牲层、部分所述第一封口层、部分所述第一隔离侧墙以及部分所述第二隔离侧墙，以将部分所述第一空隙刻蚀为第二空隙。

10 在一些实施例中，在形成所述第二空隙之后，形成位于相邻所述位线结构之间的隔离层以及封堵所述第二空隙顶部开口的第二封口层，所述第一封口层和所述第二封口层构成所述封口层。

15 在一些实施例中，形成所述隔离层以及所述第二封口层的工艺步骤包括：在同一沉积工艺中，形成位于相邻所述位线结构之间的隔离膜以及封堵所述第二空隙顶部开口的第二封口膜；进行第二平坦化工艺，形成所述隔离层和所述第二封口层，所述隔离层和所述第二封口层的顶面与所述第一封口层顶面平齐。

在一些实施例中，在形成所述第二封口层之后，去除剩余所述牺牲层，形成所述电容接触孔；填充所述电容接触孔，以形成电容接触窗。

在一些实施例中，在同一刻蚀工艺中，去除剩余所述牺牲层和剩余所述第二隔离侧墙，形成所述电容接触孔。

- 20 相应地，本申请实施例还提供一种半导体结构，包括：基底、位于所述基底上的位线结构以及位于所述位线结构相对两侧的电容接触孔；第一隔离侧墙，所述第一隔离侧墙位于所述位线结构与所述电容接触孔之间，位于所述位线结构相对两侧的所述第一隔离侧墙之间具有空隙；封口层，所述封口层覆盖所述第一隔离侧墙顶面且封堵所述空隙顶部开口，在垂直于所述基底的方向上，位于
25 于所述第一隔离侧墙上的所述封口层的厚度大于等于 30nm。

在一些实施例中，所述空隙包括位于相对的所述电容接触孔之间的第一空隙，以及在所述位线结构延伸方向上，位于相邻所述第一空隙之间的第二空隙。

在一些实施例中，所述半导体结构还包括：隔离层，所述隔离层位于所述位线结构相对两侧，所述隔离层用于隔离相邻所述电容接触孔，所述第二空隙位于相对的所述隔离层之间。

5 在一些实施例中，所述封口层包括用于封堵所述第一空隙的第一封口层和用于封堵所述第二空隙的第二封口层。

在一些实施例中，在垂直于所述基底表面的方向上，所述第一空隙的顶面高于所述第二空隙的顶面。

在一些实施例中，在垂直于所述基底表面的方向上，所述空隙的厚度小于等于 80nm。

10 与现有技术相比，本申请实施例提供的技术方案具有以下优点：

上述技术方案中，可在不使用额外掩膜的情况下，由具有高度差的多层隔离侧墙定义第一封口层的厚度，即由顶面较低的隔离侧墙提供支撑，由顶面较高的隔离侧墙提供位置限定，以形成厚度较厚的第一封口层，保证第一封口层具有较好的支撑性，以及保证半导体结构具有较好的结构稳定性。

15 另外，第二封口层的厚度大于第一封口层，第二封口层可承担更多的压应力，从而进一步减轻第一封口层的承压，避免第一封口层的坍塌，以及避免相应发生的半导体结构损伤以及寄生电容增大，保证半导体结构具有较好的结构稳定性以及相邻的电容接触窗之间具有较小的寄生电容。

附图说明

20 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

图 1 至图 17 为本申请实施例提供的半导体结构的制作方法各步骤对应的结构示意图。

具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。

5 但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

图1至图17为本申请实施例提供的半导体结构的制作方法各步骤对应的结构示意图。

参考图1，提供基底10、在基底10上依次堆叠底层介质膜101、第一导电膜111a、第二导电膜112a、顶层介质膜113a、第一掩膜层121、第二掩膜层122以及第三掩膜层123。

底层介质膜101用于隔离第一导电膜111a和基底10内的有源区(未图示)，底层介质膜101的材料包括氮化硅；部分第一导电膜111a与有源区接触，以作为位线接触，第一导电膜111a的材料包括多晶硅；第二导电膜112a的材料包
15 括钨；顶层介质膜113a起到介电层和保护第二导电膜112a的作用，顶层介质膜113a的材料包括氮化硅。

本实施例中，掩膜层包括第一掩膜层121以及第二掩膜层122，第一掩膜层121的硬度大于第二掩膜层122的硬度，以提高后续刻蚀工艺的刻蚀精度；在其他实施例中，第一掩膜层与第二掩膜层之间还具有抗反射涂层，以减少反
20 射和驻波等问题。

其中，第一掩膜层121的材料可包括氮化硅，第二掩膜层122的材料可包括多晶硅，抗反射涂层通常为碳涂层。

本实施例中，第三掩膜层123用于限定后续形成的位线结构的位置。

参考图2，形成覆盖第三掩膜层123顶面和侧壁以及覆盖第二掩膜层122顶面的第四掩膜层124，第四掩膜层124用于限定后续形成的位线结构在平行于基底10方向上的宽度。

参考图 3, 采用自对准双重成像技术 (Self-aligned Double Patterning, SADP) 刻蚀第二掩膜层 122, 剩余的第三掩膜层 122 的宽度与覆盖第二掩膜层 123 (参考图 2) 侧壁的第四掩膜层 124 (参考图 2) 的宽度相等。剩余的第三掩膜层 122 作为刻蚀形成位线结构的掩模版, 剩余的第三掩膜层 122 的宽度与后续形成的位线结构的宽度相等。

参考图 4, 通过剩余的第三掩膜层 122 对顶层介质膜 113a、第二导电膜 112a、第一导电膜 111a 以及底层介质膜 101 (参考图 3) 进行刻蚀, 形成位线结构 11。

本实施例中, 位线结构 11 包括底层介质层 (未图示)、导电层和顶层介质层 113, 导电层包括第一导电层 111 和第二导电层 112; 在其他实施例中, 导电层可以包括单层或两层以上的导电层。

参考图 5, 采用沉积工艺, 形成依次堆叠的第一隔离膜 131a、第二隔离膜 132a 以及第三隔离膜 133a。

第一隔离膜 131a 覆盖位线结构 11 顶面和侧壁, 以及覆盖基底 10 表面; 第二隔离膜 132a 覆盖第一隔离膜 131a 表面; 第三隔离膜 133a 覆盖第二隔离膜 132a 表面。

本实施例中, 第一隔离膜 131a 的硬度大于第二隔离膜 132a 的硬度, 以较好地支撑位线结构 11, 保证半导体结构具有较好的结构稳定性, 同时, 第一隔离膜 131a 的材料可与顶层介质层 113 的材料相同, 如此, 后续可采用同一去除工艺同时去除第一隔离膜 131a 和顶层介质层 113; 第三隔离膜 133a 的材料与后续使用的牺牲层的材料相同, 如此, 可采用同一去除工艺同时去除牺牲层和第三隔离膜 133a, 有利于减少工艺步骤和缩短工艺周期; 此外, 在同一刻蚀工艺下, 第二隔离膜 132a 与第一隔离膜 131a 和第三隔离膜 133a 之间具有较大的刻蚀选择比。

具体地, 第一隔离膜 131a 的材料可以是氮化硅, 第二隔离膜 132a 的材料可以是氮氧化硅, 第三隔离膜 133a 的材料可以是氧化硅。

参考图 6, 采用无掩膜干法刻蚀工艺去除部分第三隔离膜 133a (参考图 5), 剩余的第三隔离膜 133a 作为第二隔离侧墙 133。

参考图 7，以第三隔离侧墙 133 为掩膜对第二隔离膜 132a（参考图 6）进行刻蚀，剩余的第三隔离膜 132a 作为第一隔离侧墙 132，第一隔离侧墙 132 暴露出第一隔离膜 131a 顶面。

本实施例中，第一隔离侧墙 132 顶面低于第二隔离侧墙 133 顶面，第一隔离侧墙 132 顶面和第二隔离侧墙 133 顶面之间的第一高度差 $d1$ 用于定义后续形成的第一封口层的厚度，第一封口层的厚度既需要保证第一封口层能够有效支撑而不会坍塌，又要避免第一封口层过厚而增大半导体结构的整体尺寸。

具体地，第一高度差 $d1$ 的范围为 5nm~15nm，例如 8nm、10nm 或 13nm。

需要说明的是，由于第一高度差 $d1$ 可以根据需要自定义，因此，第一隔离侧墙 132 的顶面可能低于、平齐于或高于第一隔离膜 131a 顶面。

参考图 8，形成填充于相邻位线结构 11 之间的第一牺牲层 141。

第一牺牲层 141 的形成用于避免后续刻蚀去除第一隔离膜 131a 和顶层介质层 113 以形成第一空隙时对覆盖基底 10 表面的第一隔离膜 131a 进行刻蚀，从而保护基底 10。

本实施例中，第一牺牲层 141 的材料与第二隔离侧墙 133 的材料不同，具体地，在同一研磨工艺下，第一牺牲层 141 与第二隔离侧墙 133 具有差异较大的去除速率。如此，可通过获取研磨工艺的去除速率控制研磨工艺的进程，使得后续进行的平坦化工艺可准确停止于第二隔离侧墙 133 顶面所在平面，从而提高平坦化工艺的自动化程度，无需工作人员检测工艺进度；进一步地，平坦化工艺准确停止于第二隔离层 133 顶面所在平面，有利于保证第一封口层的厚度能由第一高度差 $d1$ 定义，从而提高第一封口层的厚度的准确性。

本实施例中，在同一研磨工艺下，第一牺牲层 141 的去除速率大于第二隔离侧墙 133 的去除速率，具体地，第一牺牲层 141 的材料包括光刻胶；在其他实施例中，第一牺牲层的材料与第二隔离侧墙的材料相同或者第一牺牲层的去除速率小于第二隔离侧墙的去除速率，具体地，第一牺牲层的材料包括二氧化硅。

参考图 9，去除相对的第二隔离侧墙 133 之间的第一隔离膜 131a 和顶层介

质层 113，形成第一空隙 134。

由于刻蚀选择比不是无限大，因此在刻蚀第一隔离膜 131a 和顶层介质层 113 的过程中，第一牺牲层 141、第二隔离侧墙 133 以及第一隔离侧墙 132 也会被相应刻蚀，当第一牺牲层 141 与第二隔离侧墙 133 被刻蚀的厚度不同时，就会形成在垂直于基底 10 方向上的第二高度差 d_2 ；同时，由于刻蚀剂本身是针对第一隔离膜 131a 以及顶层介质层 113，因此第一牺牲层 141 和第二隔离侧墙 133 被刻蚀的厚度较小，相应地，形成的第二高度差 d_2 也较小。通常来说，第二高度差 d_2 相较于第一高度差 d_1 可忽略不计。

相应地，由于刻蚀选择比的不同，第一隔离侧墙 132 和第二隔离侧墙 133 被刻蚀的厚度可能不同，进而可能导致第一高度差 d_1 的数值发生变化，即形成第一高度差波动 Δd_1 ；而由于刻蚀剂本身是针对第一隔离膜 131a 以及顶层介质层 113，因此刻蚀第一隔离侧墙 132 和第二隔离侧墙 133 形成的第一高度差波动 Δd_1 相对于第一高度差 d_1 可忽略不计。

参考图 10，采用沉积工艺，形成第一封口膜 151a。

本实施例中，第一封口膜 151a 覆盖第一隔离侧墙 132 侧壁以及第一隔离侧墙 132 顶面，以封堵第一空隙 134 的顶部开口；在其他实施例中，第一封口膜还覆盖顶层介质层顶面。

需要说明的是，第一封口膜 151a 的形成会挤压第一空隙 134 的空间，本申请实施例中，第一空隙 134 指的是被挤压后的剩余的空隙空间。

还需要说明的是，在没有额外支撑的情况下，形成的封口层通常较薄。具体地，位于相对的第一隔离侧墙 132 之间的且位于第一空隙 134 上的第一封口膜 151a 较薄。

参考图 11，采用平坦化工艺，去除部分第一封口膜 151a（参考图 10）以及部分第一牺牲层 141，剩余的第一封口膜 151a 作为第一封口层 151，第一封口层 151 的顶面与第二隔离侧墙 133 的顶面平齐。

本实施例中，依靠第二隔离侧墙 133 的位置限定，以及第一隔离侧墙 132 的支撑，可在不采用掩膜版的情况下，形成具有预设厚度的第一封口层 151，

从而保证第一封口层 151 具有良好的支撑性能, 以及保证半导体结构具有良好的结构稳定性。

参考图 12 和图 13, 去除第一牺牲层 141 (参考图 11), 形成替换第一牺牲层 141 的第二牺牲层 142, 并在第二牺牲层 142 顶面形成第五掩膜层 152。

5 本实施例中, 第二牺牲层 142 顶面高于隔离侧墙第一封口层 151 顶面; 在其他实施例中, 第二牺牲层顶面平齐于或低于隔离侧墙顶面。

本实施例中, 第二牺牲层 142 的材料与第二隔离侧墙 133 的材料相同, 如此, 后续可采用同一刻蚀剂快速去除第二牺牲层 142 和第二隔离侧墙 133。

参考图 14, 通过第五掩膜层 152 进行干法刻蚀工艺。

10 本实施例中, 在平行于位线结构 11 的延伸方向上, 可将基底 10 划分为间隔排列的第一区域 A 和第二区域 B, 相邻位线结构 11 之间的第一区域 A 用于形成电容接触孔和填充电容接触窗, 相邻位线结构 11 之间的第二区域 B 用于形成隔离层, 隔离层用于划分电容接触孔和隔离相邻的电容接触窗。

本实施例中, 第五掩膜层 152 (参考图 13) 覆盖第一区域 A 的第二牺牲层
15 142 顶面, 并暴露出第二区域 B 的第二牺牲层 142 顶面。相应地, 通过第五掩膜层 152 进行干法刻蚀工艺, 包括: 去除第二区域 B 的第二牺牲层 142 以及去除第二区域 B 的第二隔离侧墙 133。

本实施例中, 干法刻蚀工艺的刻蚀剂针对的是第二牺牲层 142 的材料, 在进行干法刻蚀工艺的过程中, 由于第二牺牲层 142 的刻蚀速率较快, 当刻蚀剂
20 对第一封口层 151 进行刻蚀时, 第一隔离侧墙 132 逐渐被暴露出来; 同时, 又由于干法刻蚀工艺的角度并不总是垂直于基底 10 表面(既可能是刻蚀工艺本身设定的原因, 也可能是工艺稳定性的原因), 刻蚀剂会对暴露出的第一隔离侧墙 132 以及进一步暴露出来的第一封口层 151 侧壁进行刻蚀, 从而导致在干法刻蚀工艺中, 不仅第二牺牲层 142 和第二隔离侧墙 133 会被去除, 部分第一隔离
25 侧墙 132 以及部分第一封口层 151 也会被去除, 此时, 第二区域 B 中的第一空隙 134 (参考图 13) 被转换为第二空隙 135, 第二空隙 135 的顶面低于第一空隙 134 的顶面。

其中，在垂直于基底 10 表面的方向上，被去除的第一隔离侧墙 132 的厚度与第二隔离侧墙 133 和第一隔离侧墙 132 的刻蚀选择比有关，被去除的第一封口层 151 的厚度与第二隔离侧墙 133 与第一封口层 151 的刻蚀选择比有关。具体地，在干法刻蚀工艺下，第二隔离侧墙 133 和第一隔离侧墙 132 的刻蚀选择比越大，被去除的第一隔离侧墙 132 越薄，剩余的第一隔离侧墙 132 越厚；相应地，第二隔离侧墙 133 与第一封口层 151 的刻蚀选择比越大，被去除的第一封口层 151 越薄，剩余的第一封口层 151 越厚。

参考图 15，进行沉积工艺和平坦化工艺。

本实施例中，在进行沉积工艺之前去除第五掩膜层 152，以避免后续进行平坦化工艺的过程中，研磨装置需要与至少三种材料接触（第五掩膜层 152 的材料、第二牺牲层 142 的材料以及沉积工艺沉积的材料），进而避免因不同材料去除速率差异较大而形成的凹凸结构对研磨装置造成影响，从而保证研磨装置具有较长的使用寿命，或者，无需因避免去除速率差异过大而中途更换研磨液或掩膜部件，从而提高工艺效率。

在其他实施例中，在进行沉积工艺时保留第五掩膜层，且后续采用平坦化工艺同时去除第五掩膜层和其他膜层。如此，有利于减少工艺步骤，缩短工艺周期。

本实施例中，沉积工艺用于形成封隔层 16，封隔层 16 包括用于封堵第二空隙 135 的第二封口层（未标示）以及用于隔离相邻电容接触窗的隔离层（未标示），即在同一沉积工艺中，同时形成第一封口层和隔离层。

具体地，先形成顶面高于第一封口层 151 顶面的隔离膜和第二封口膜，再对隔离膜和第二封口膜进行平坦化工艺，形成顶面平齐于第一封口层 151 顶面的隔离层和第二封口层。

本实施例中，在平坦化工艺中，还去除第一区域 A 中的位于第一封口层 151 上的第二牺牲层 142，暴露出第一封口层 151。

参考图 16，对剩余的第一区域 A 中的第二牺牲层 142 和第二隔离侧墙 133（参考图 14）进行刻蚀，形成初始电容接触孔 161。

要形成电容接触孔,以使填充于电容接触孔内的电容接触窗与基底 10 内的有源区接触,还需要去除位于初始电容接触孔 161 与基底 10 之间的第一隔离膜 131a,以形成暴露基底 10 表面的电容接触孔。

本实施例中,在去除第二牺牲层 142 之后,进一步去除位于初始电容接触孔 161 与基底 10 之间的第一隔离膜 131a,以形成电容接触孔。

参考图 17,形成第二空隙 135。

本实施例中,电容接触窗 17 包括位于顶部的第一电容接触窗 171 以及位于底部的第二电容接触窗 172,第二电容接触窗 172 与基底 10 的接触电阻小于第一电容接触窗 171 与基底 10 的接触电阻。如此,有利于提高信号传输性能。

其中,第一电容接触窗 171 的材料包括钨,第二电容接触窗 172 的材料包括多晶硅。

本实施例中,可在不使用额外掩膜的情况下,由具有高度差的多层隔离侧墙定义第一封口层的厚度,即由顶面较低的隔离侧墙提供支撑,由顶面较高的隔离侧墙提供位置限定,以形成厚度较厚的第一封口层,保证第一封口层具有较好的支撑性,以及保证半导体结构具有较好的结构稳定性。

相应地,本申请实施例还提供一种半导体结构,可采用上述半导体结构的制作方法制成。

参考图 17,半导体结构包括:基底 10、位于基底 10 上的位线结构 11 以及位于位线结构 11 相对两侧的电接触孔(未标示);第一隔离侧墙 132,第一隔离侧墙 132 位于位线结构 11 和电接触孔之间,位于位线结构 11 相对两侧的第一隔离侧墙 132 之间具有空隙;封口层,封口层覆盖第一隔离侧墙 132 顶面且封堵空隙顶部开口,在垂直于基底 10 的方向上,位于第一隔离侧墙 132 上的封口层的厚度大于等于 30nm。

本实施例中,空隙包括位于相对的电接触孔之间的第一空隙(未图示),以及在位线结构 11 延伸方向上,位于相邻第一空隙之间的第二空隙 135。其中,第一空隙的顶面高于第二空隙 135 的顶面。

本实施例中,半导体结构还包括:隔离层,隔离层位于位线结构 11 相对两

侧，隔离层用于隔离相邻电容接触孔，第二空隙 135 位于相对的隔离层之间。

本实施例中，封口层包括用于封堵第一空隙的第一封口层 151 以及用于封堵第二空隙 135 的第二封口层。其中，在垂直于基底 10 表面的方向上，第一封口层 151 的厚度大于等于 30nm，例如为 32nm、34nm 或 36nm。

5 本实施例中，在垂直于基底 10 表面的方向上，空隙的厚度小于等于 80nm，例如为 72nm、75nm 或 78nm。如此，有利于避免因空隙无法提供支撑而导致的结构崩塌，保证半导体结构具有较好的结构稳定性。

本实施例中，封口层的厚度大于预设值，有利于保证封口层具有良好的支撑性能，避免封口层因不满足承压要求而发生坍塌，从而保证半导体结构具有
10 良好的结构稳定性。

本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，
15 均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

工业实用性

本申请实施例中，通过提供基底和位于基底上的位线结构，位线结构包括顶层介质层，位线结构相对两侧具有电容接触孔；形成覆盖顶层介质层侧壁的第一隔离侧墙，以及形成覆盖第一隔离侧墙侧壁的第二隔离侧墙，第一隔离侧
20 墙位于位线结构和电容接触孔之间，第二隔离侧墙的顶面高于第一隔离侧墙的顶面；去除至少部分顶层介质层，形成第一空隙；进行沉积工艺，形成覆盖第一隔离侧墙顶面且封堵空隙顶部开口的第一封口膜，第一封口膜顶面高于第二隔离侧墙顶面；进行第一平坦化工艺，去除高于第二隔离侧墙顶面的第一封口膜，剩余第一封口膜作为第一封口层。这样，有利于提高半导体结构的结构稳
25 定性。

权 利 要 求 书

1、一种半导体结构的制作方法，包括：

提供基底和位于所述基底上的位线结构，所述位线结构包括顶层介质层，所述位线结构相对两侧具有电容接触孔；

形成覆盖所述顶层介质层侧壁的第一隔离侧墙，以及形成覆盖所述第一隔离侧墙侧壁的第二隔离侧墙，所述第一隔离侧墙位于所述位线结构和所述电容接触孔之间，所述第二隔离侧墙的顶面高于所述第一隔离侧墙的顶面；

去除至少部分所述顶层介质层，形成第一空隙；

进行沉积工艺，形成覆盖所述第一隔离侧墙顶面且封堵所述空隙顶部开口的第一封口膜，所述第一封口膜顶面高于所述第二隔离侧墙顶面；

进行第一平坦化工艺，去除高于所述第二隔离侧墙顶面的所述第一封口膜，剩余所述第一封口膜作为第一封口层。

2、根据权利要求1所述的半导体结构的制作方法，其中，在形成所述第一封口层之后，还包括：在相邻所述位线结构之间填充牺牲层；形成掩膜层，且在同一刻蚀工艺中，通过所述掩膜层去除部分所述牺牲层、部分所述第一封口层、部分所述第一隔离侧墙以及部分所述第二隔离侧墙，以将部分所述第一空隙刻蚀为第二空隙。

3、根据权利要求2所述的半导体结构的制作方法，其中，在形成所述第二空隙之后，形成位于相邻所述位线结构之间的隔离层以及封堵所述第二空隙顶部开口的第二封口层，所述第一封口层和所述第二封口层构成所述封口层。

4、根据权利要求3所述的半导体结构的制作方法，其中，形成所述隔离层以及所述第二封口层的工艺步骤包括：在同一沉积工艺中，形成位于相邻所述位线结构之间的隔离膜以及封堵所述第二空隙顶部开口的第二封口膜；进行第二平坦化工艺，形成所述隔离层和所述第二封口层，所述隔离层和所述第二封口层的顶面与所述第一封口层顶面平齐。

5、根据权利要求3所述的半导体结构的制作方法，其中，在形成所述第二

封口层之后，去除剩余所述牺牲层，形成所述电容接触孔；填充所述电容接触孔，以形成电容接触窗。

6、根据权利要求 5 所述的半导体结构的制作方法，其中，在同一刻蚀工艺中，去除剩余所述牺牲层和剩余所述第二隔离侧墙，形成所述电容接触孔。

7、一种半导体结构，包括：

基底、位于所述基底上的位线结构以及位于所述位线结构相对两侧的电容接触孔；

第一隔离侧墙，所述第一隔离侧墙位于所述位线结构与所述电容接触孔之间，位于所述位线结构相对两侧的所述第一隔离侧墙之间具有空隙；

封口层，所述封口层覆盖所述第一隔离侧墙顶面且封堵所述空隙顶部开口，在垂直于所述基底的方向上，位于所述第一隔离侧墙上的所述封口层的厚度大于等于 30nm。

8、根据权利要求 7 所述的半导体结构，其中，所述空隙包括位于相对的所述电容接触孔之间的第一空隙，以及在所述位线结构延伸方向上，位于相邻所述第一空隙之间的第二空隙。

9、根据权利要求 8 所述的半导体结构，其中，还包括：隔离层，所述隔离层位于所述位线结构相对两侧，所述隔离层用于隔离相邻所述电容接触孔，所述第二空隙位于相对的所述隔离层之间。

10、根据权利要求 8 所述的半导体结构，其中，所述封口层包括用于封堵所述第一空隙的第一封口层和用于封堵所述第二空隙的第二封口层。

11、根据权利要求 8 所述的半导体结构，其中，在垂直于所述基底表面的方向上，所述第一空隙的顶面高于所述第二空隙的顶面。

12、根据权利要求 7 所述的半导体结构，其中，在垂直于所述基底表面的方向上，所述空隙的厚度小于等于 80nm。

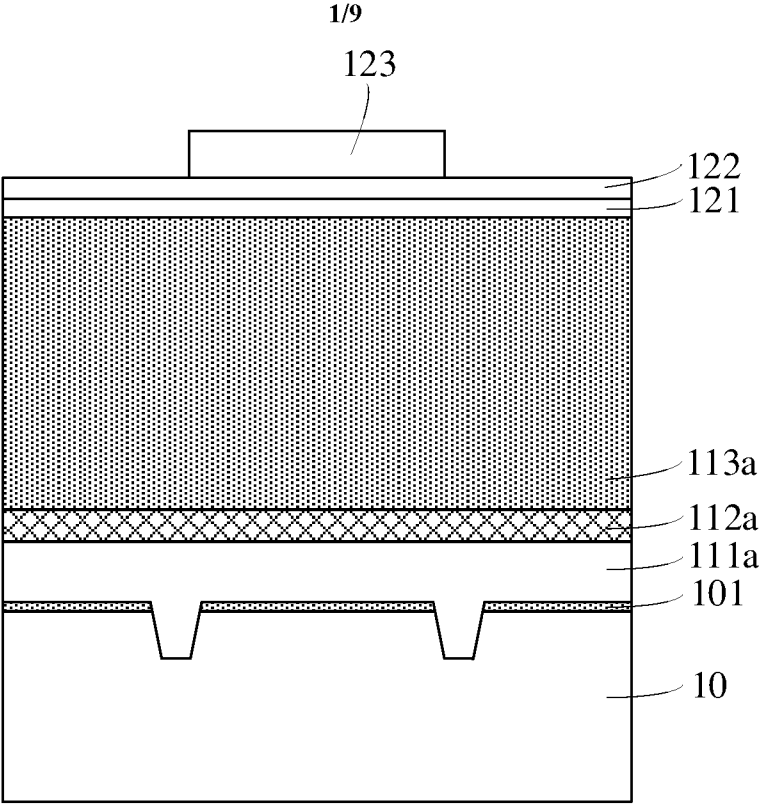


图 1

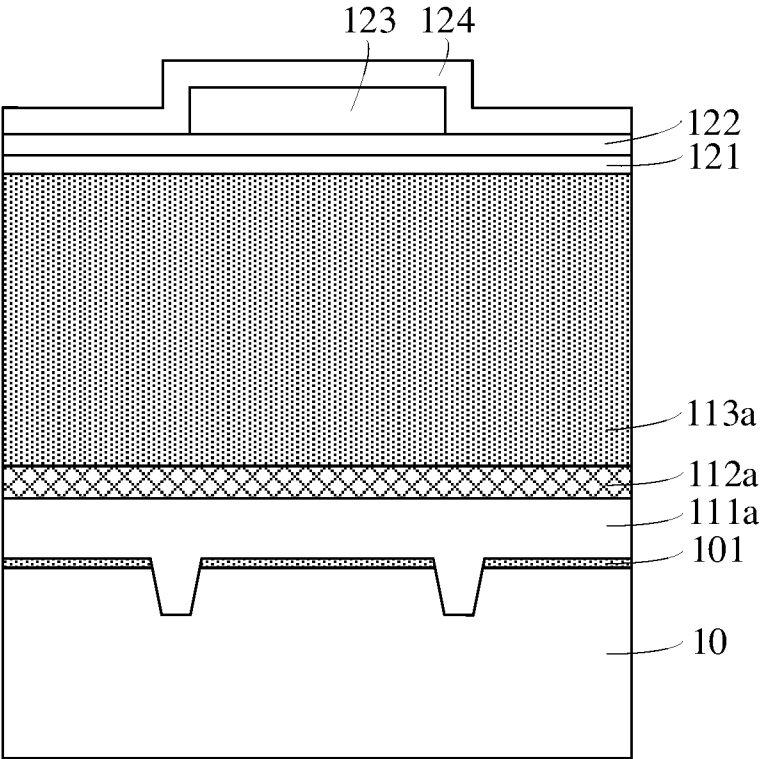


图 2

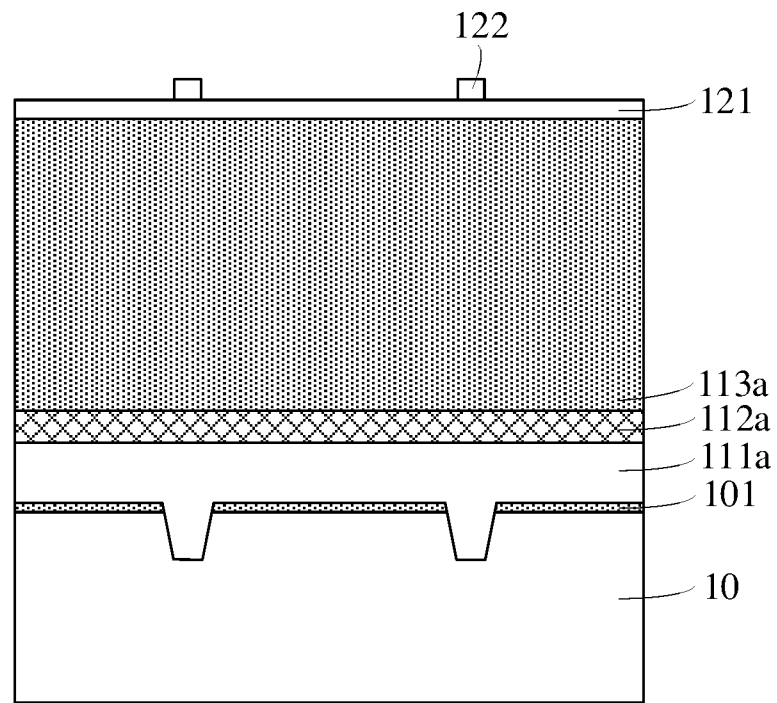


图 3

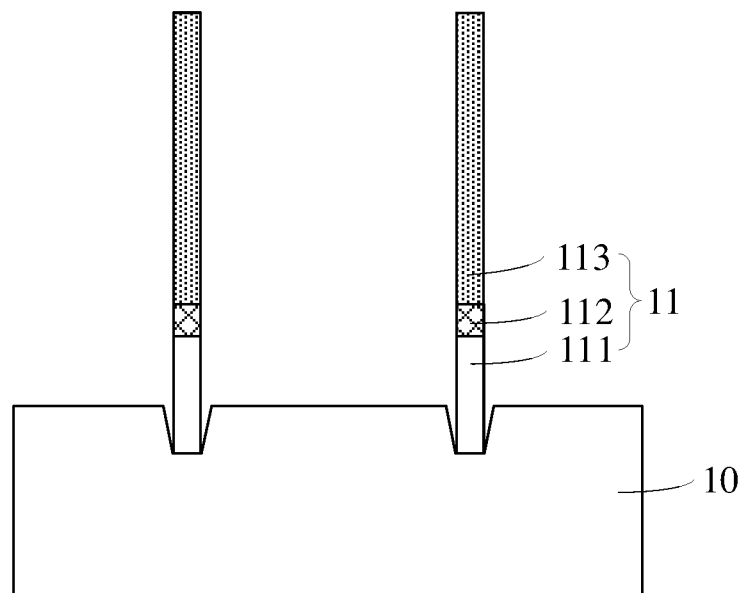


图 4

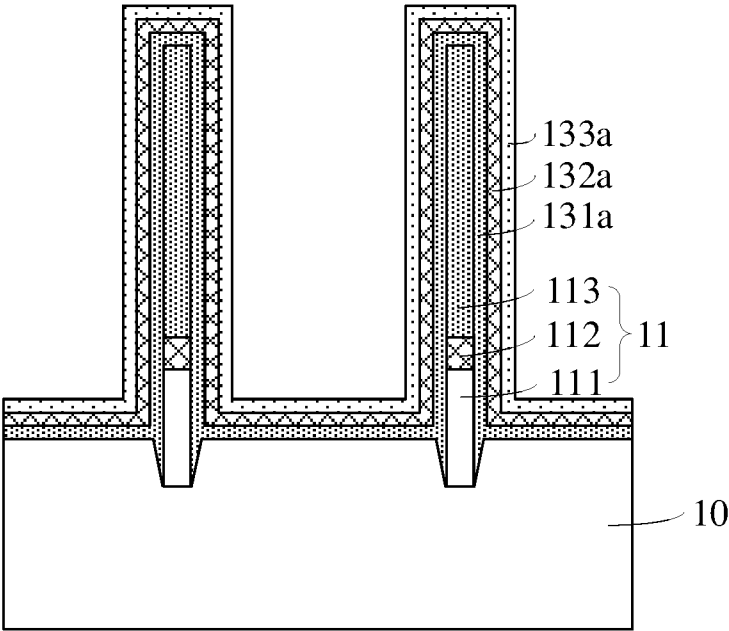


图 5

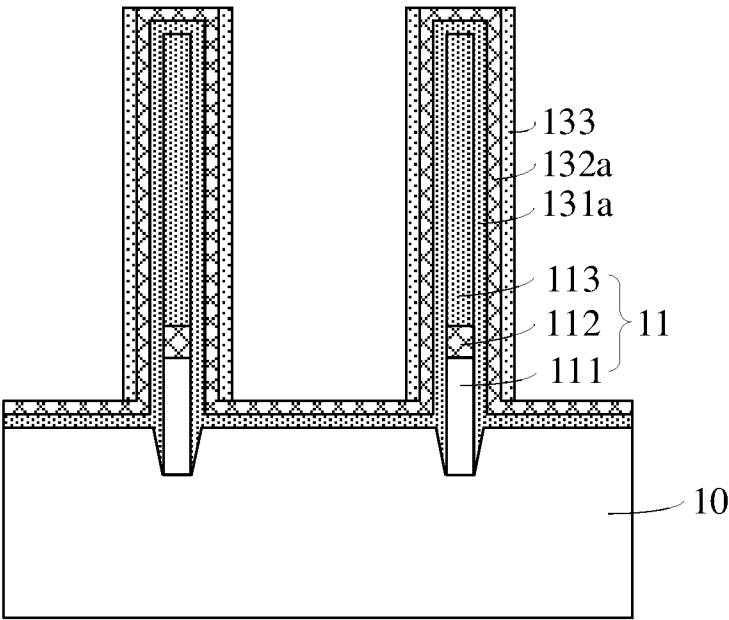


图 6

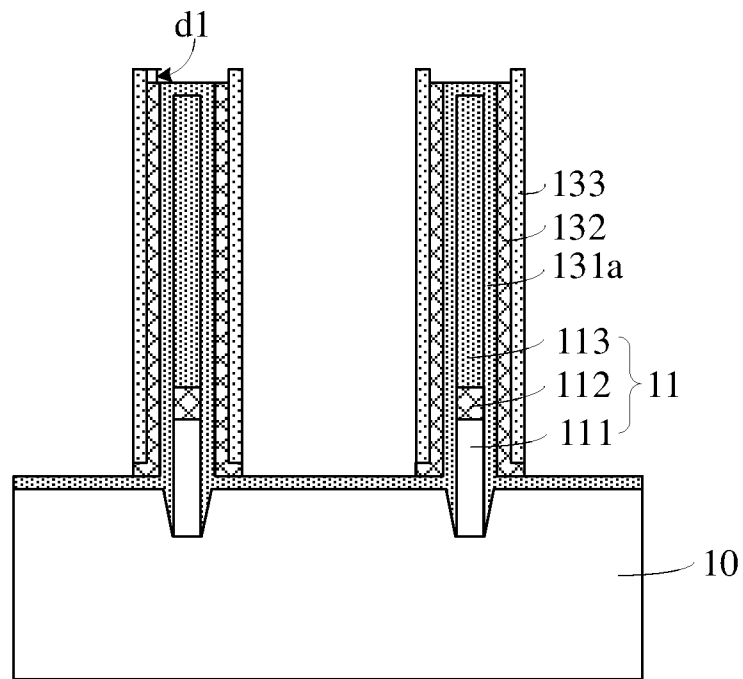


图 7

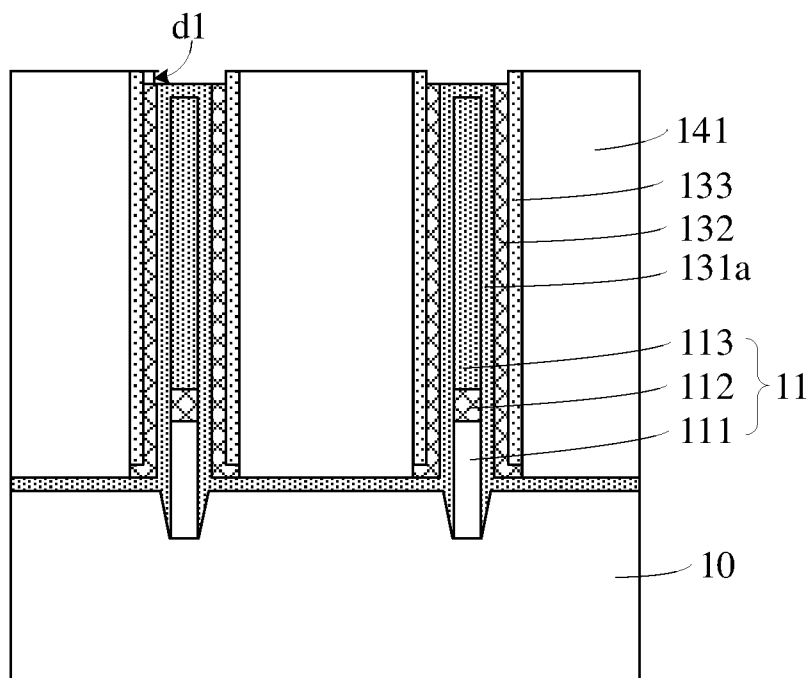


图 8

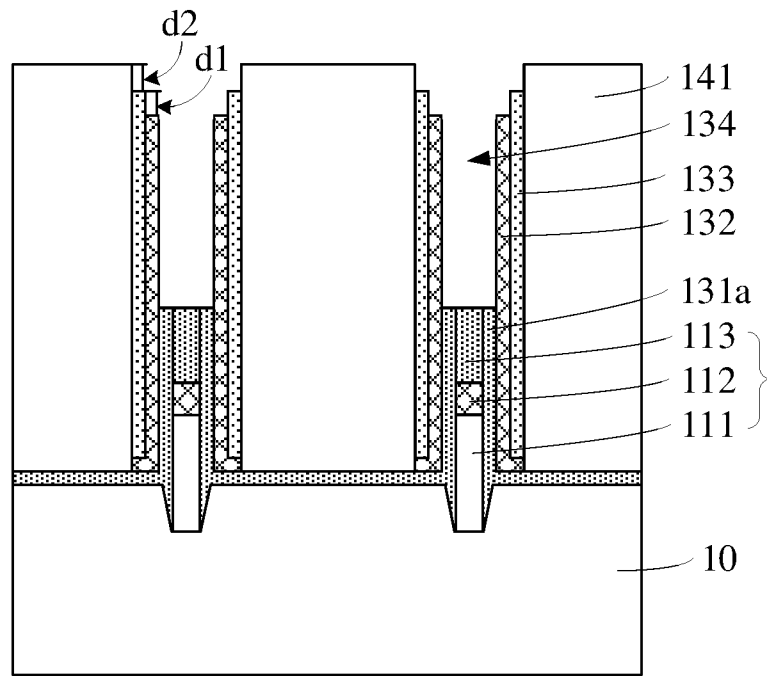


图 9

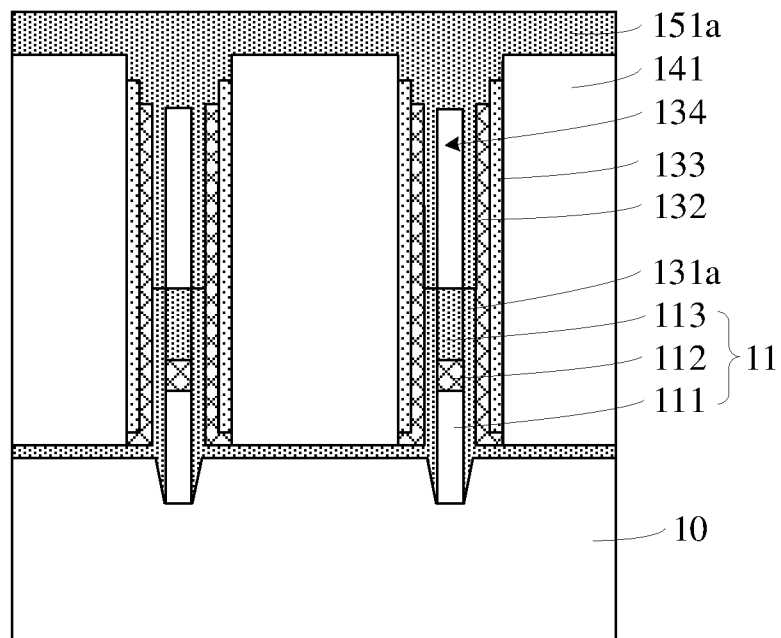


图 10

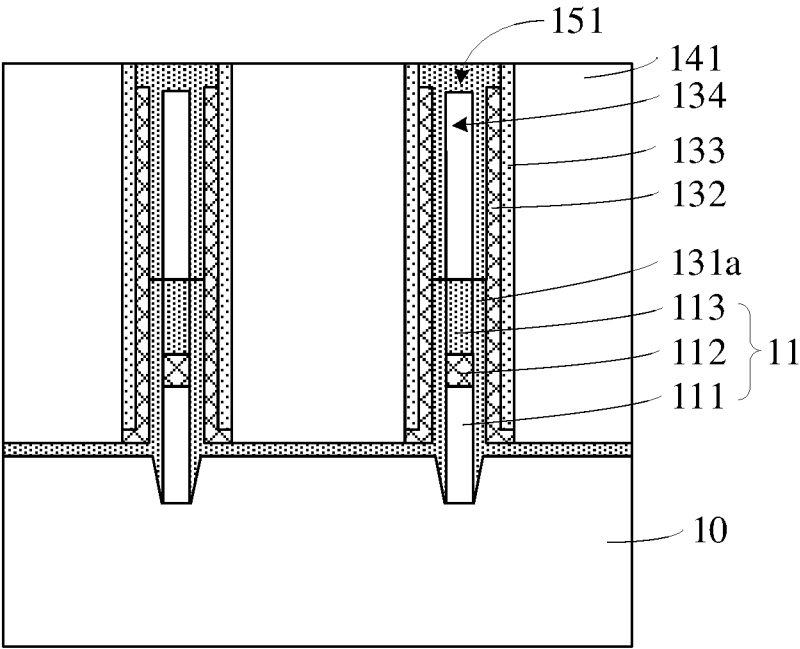


图 11

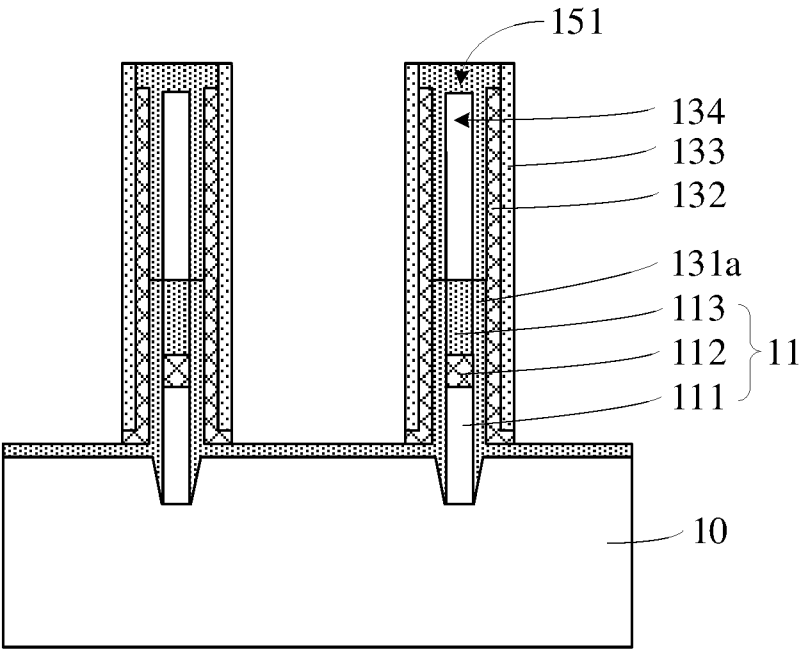


图 12

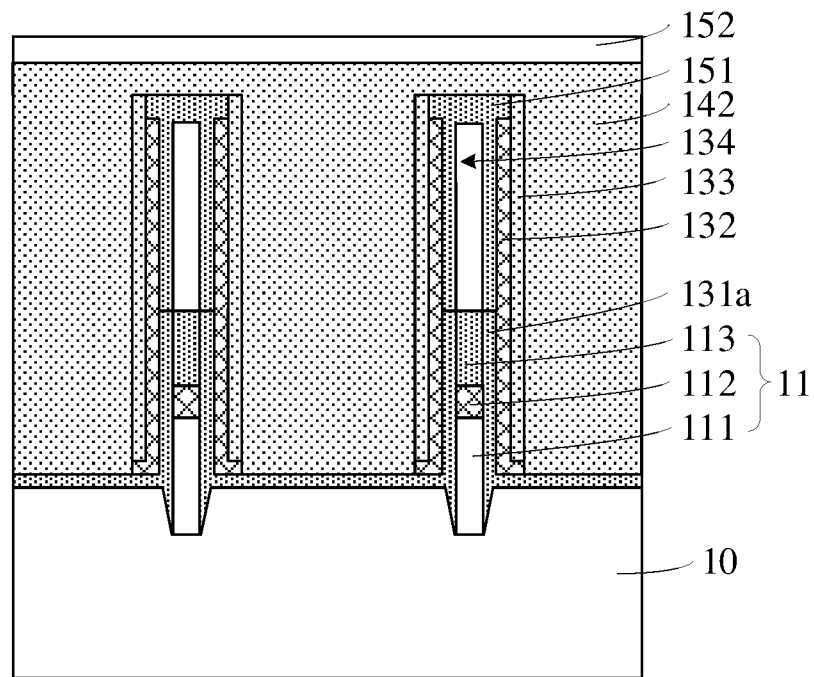


图 13

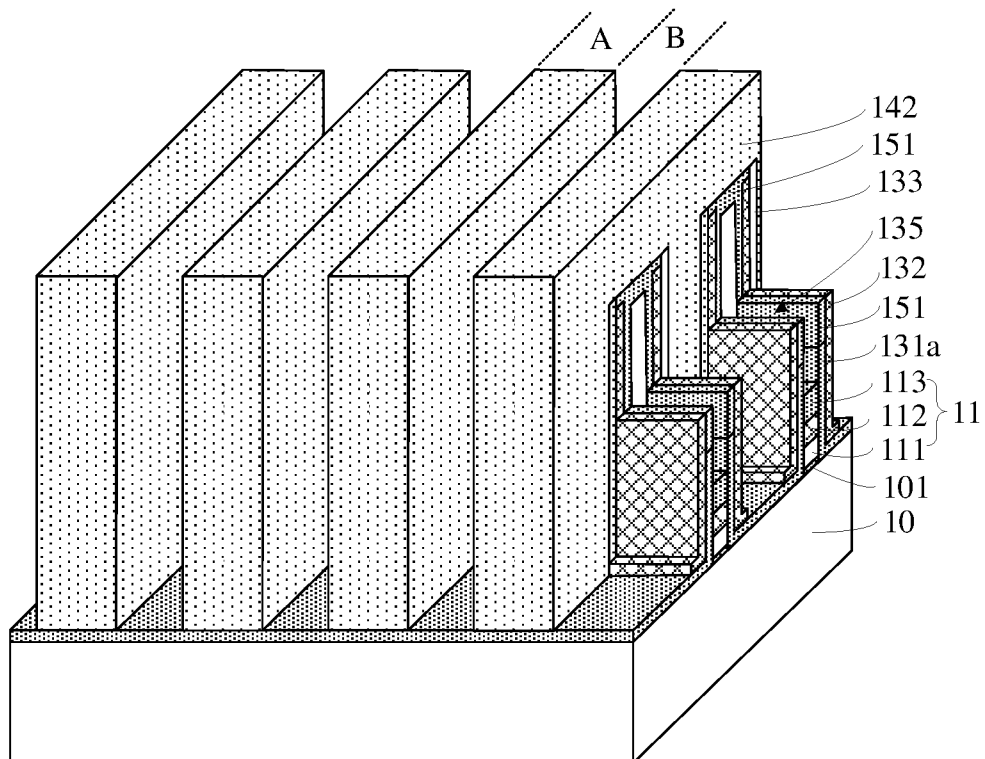


图 14

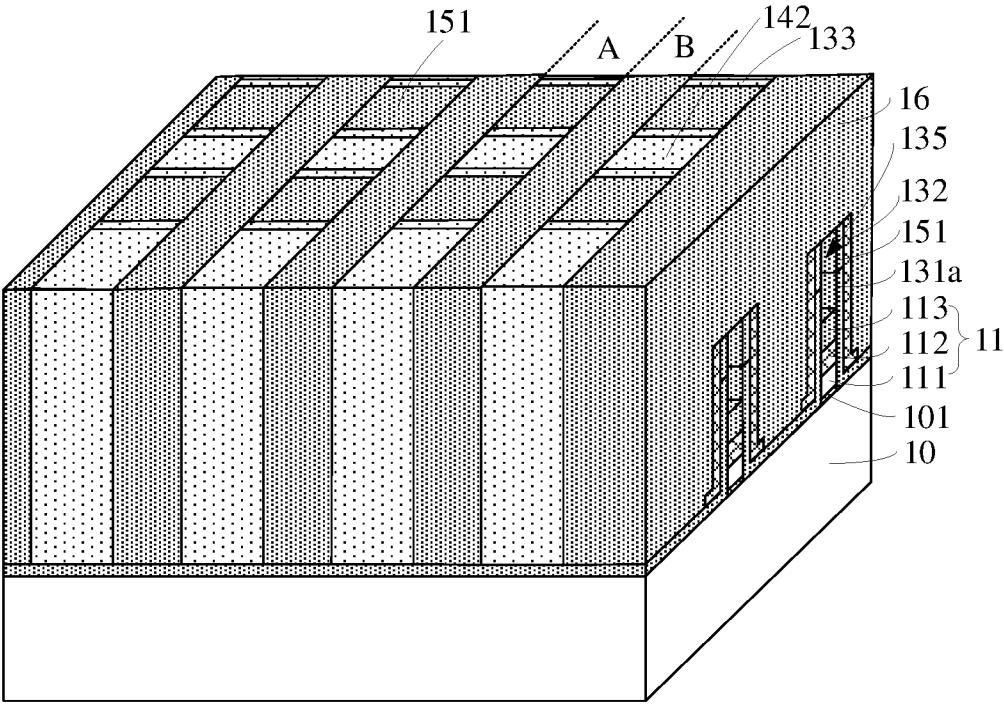


图 15

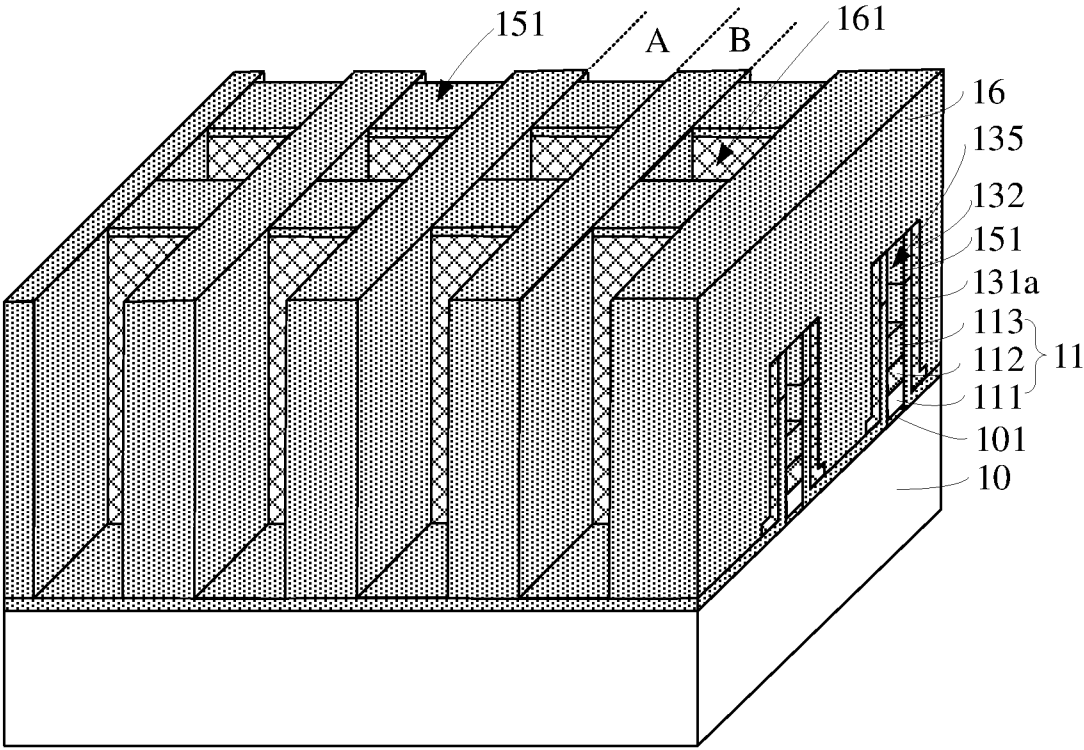


图 16

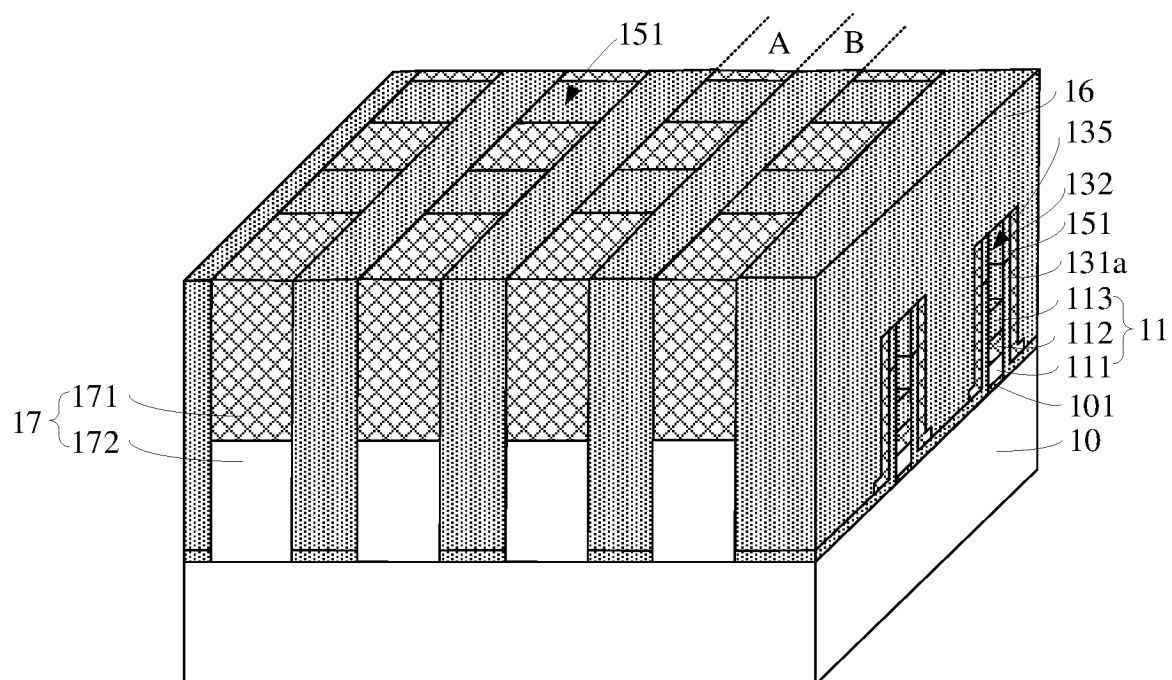


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100314

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; VEN; EPTXT; USTXT; WOTXT; CNTXT; CNKI: 位线, 电容, 接触孔, 空隙, 间隔, 介电, 介质, bit line, capacitor, contact hole, gap, spacer, dielectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103903994 A (SK HYNIX INC.) 02 July 2014 (2014-07-02) description, paragraphs 8-145, figure 1 - figure 6	1-12
A	CN 106941097 A (WINBOND ELECTRONICS CORPORATION) 11 July 2017 (2017-07-11) description, paragraphs 8-71, figure 1 - figure 15B	1-12
A	CN 105280608 A (SK HYNIX INC.) 27 January 2016 (2016-01-27) entire document	1-12
A	US 2014179102 A1 (SK HYNIX INC.) 26 June 2014 (2014-06-26) entire document	1-12
A	US 2016329337 A1 (SK HYNIX INC.) 10 November 2016 (2016-11-10) entire document	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 September 2021

Date of mailing of the international search report

14 September 2021

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/100314

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103903994	A	02 July 2014	US	2016172304	A1	16 June 2016
				CN	103903994	B	15 December 2017
CN	106941097	A	11 July 2017	None			
CN	105280608	A	27 January 2016	US	2016027727	A1	28 January 2016
				CN	105280608	B	28 May 2019
				US	9786598	B2	10 October 2017
				KR	20160012826	A	03 February 2016
US	2014179102	A1	26 June 2014	US	8828829	B2	09 September 2014
				KR	20140083744	A	04 July 2014
US	2016329337	A1	10 November 2016	US	10411014	B2	10 September 2019

国际检索报告

国际申请号

PCT/CN2021/100314

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;SIP0ABS;VEN;EPTXT;USTXT;WOTXT;CNTXT;CNKI:位线, 电容, 接触孔, 空隙, 间隔, 介电, 介质, bit line, capacitor, contact hole, gap, spacer, dielectric

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103903994 A (爱思开海力士有限公司) 2014年 7月 2日 (2014 - 07 - 02) 说明书第8-145段, 图1-图6	1-12
A	CN 106941097 A (华邦电子股份有限公司) 2017年 7月 11日 (2017 - 07 - 11) 说明书第8-71段, 图1-图15B	1-12
A	CN 105280608 A (爱思开海力士有限公司) 2016年 1月 27日 (2016 - 01 - 27) 全文	1-12
A	US 2014179102 A1 (SK HYNIX INC) 2014年 6月 26日 (2014 - 06 - 26) 全文	1-12
A	US 2016329337 A1 (SK HYNIX INC) 2016年 11月 10日 (2016 - 11 - 10) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 9月 1日

国际检索报告邮寄日期

2021年 9月 14日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

叶常茂

电话号码 86-(20)-28950404

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100314

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103903994	A	2014年 7月 2日	US	2016172304	A1	2016年 6月 16日
				CN	103903994	B	2017年 12月 15日
CN	106941097	A	2017年 7月 11日	无			
CN	105280608	A	2016年 1月 27日	US	2016027727	A1	2016年 1月 28日
				CN	105280608	B	2019年 5月 28日
				US	9786598	B2	2017年 10月 10日
				KR	20160012826	A	2016年 2月 3日
US	2014179102	A1	2014年 6月 26日	US	8828829	B2	2014年 9月 9日
				KR	20140083744	A	2014年 7月 4日
US	2016329337	A1	2016年 11月 10日	US	10411014	B2	2019年 9月 10日