

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-299523
(P2007-299523A)

(43) 公開日 平成19年11月15日(2007. 11. 15)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 B	5 C 0 8 0
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00 J	
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 2 E	
	G 0 9 G 3/20 6 2 3 H	

審査請求 有 請求項の数 10 O L (全 36 頁)

(21) 出願番号	特願2007-175730 (P2007-175730)	(71) 出願人	000153878
(22) 出願日	平成19年7月4日 (2007. 7. 4)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2002-205961 (P2002-205961) の分割	(72) 発明者	納 光明
原出願日	平成14年7月15日 (2002. 7. 15)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願2001-216040 (P2001-216040)	Fターム(参考)	5C080 AA06 AA10 BB05 EE29 FF11
(32) 優先日	平成13年7月16日 (2001. 7. 16)		JJ02 JJ03 JJ04 JJ06
(33) 優先権主張国	日本国 (JP)		

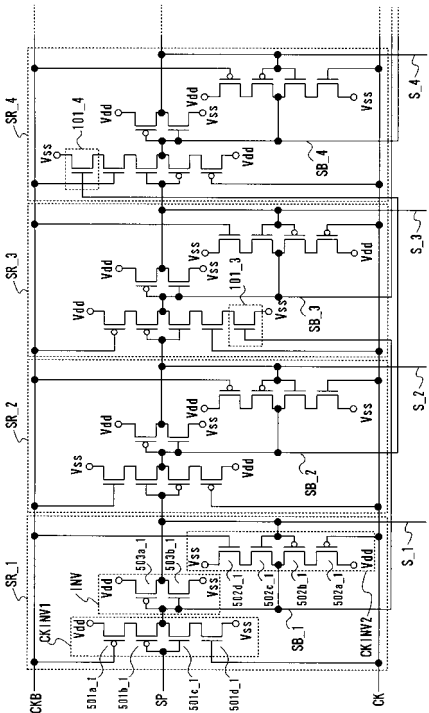
(54) 【発明の名称】 シフトレジスタ及び表示装置

(57) 【要約】

【課題】 レベルシフタ等を用いて、入力するパルス信号の振幅電圧を大きくするシフトレジスタの場合、高周波数で動作が困難、電源線のノイズ、レイアウト面積の増大等の問題が生じる。そこで、上記問題を解決するシフトレジスタ及びその駆動方法を提供することを課題とする。

【解決手段】 シフトレジスタの電源電圧より小さな振幅電圧を有するクロックパルスをシフトレジスタに入力する。このとき、シフトレジスタの有する第2のクロックドインバータを構成するT F Tのゲート幅を大きく設定し、第1のクロックドインバータの漏れ電流によって起こる出力電位の変化を低減する。また、第1のクロックドインバータに、新たに追加したT F Tのゲート電極に電源電圧程度の振幅を有する信号を入力し、オン・オフを切り替えることによって、第1のクロックドインバータの漏れ電流を遮断する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

クロックに同期して第 1 のパルスを順に出力する複数の段と、
高電源電位が与えられる第 1 の電源線と低電源電位が与えられる第 2 の電源線とを有し

、

前記複数の段はそれぞれ、前記クロック、前段から出力される前記第 1 のパルス、及び
2 段前の段から出力される前記第 1 のパルスの極性を反転した第 2 のパルスに応じて前記
高電源電位または前記低電源電位を選択的に出力する回路を有し、

前記回路は前記回路の出力端子と前記第 2 の電源線との間に接続された n チャンネル型ト
ランジスタを有し、

10

前記 n チャンネル型トランジスタのゲートに前記第 2 のパルスを入力することによって、
前記 n チャンネル型トランジスタの導通または非導通が制御され、前記回路の出力端子と前
記第 2 の電源線の電氣的接続が制御されることを特徴とするシフトレジスタ。

【請求項 2】

クロックに同期して第 1 のパルスを順に出力する複数の段と、
高電源電位が与えられる第 1 の電源線と低電源電位が与えられる第 2 の電源線とを有し

、

前記複数の段はそれぞれ、前記クロック、前段から出力される前記第 1 のパルス、及び
2 段前の段から出力される前記第 1 のパルスの極性を反転した第 2 のパルスに応じて前記
高電源電位または前記低電源電位を選択的に出力する回路を有し、

20

前記回路は前記回路の出力端子と前記第 1 の電源線との間に接続された p チャンネル型ト
ランジスタを有し、

前記 p チャンネル型トランジスタのゲートに前記第 2 のパルスを入力することによって、
前記 p チャンネル型トランジスタの導通または非導通が制御され、前記回路の出力端子と前
記第 1 の電源線の電氣的接続が制御されることを特徴とするシフトレジスタ。

【請求項 3】

クロックに同期して第 1 のパルスを順に出力する複数の段と、
高電源電位が与えられる第 1 の電源線と低電源電位が与えられる第 2 の電源線とを有し

、

前記複数の段はそれぞれ、前記クロック、前段から出力される前記第 1 のパルス、及び
2 段前の段から出力される前記第 1 のパルスの極性を反転した第 2 のパルスに応じて前記
高電源電位または前記低電源電位を選択的に出力する第 1 の回路と、

30

前記第 1 の回路の出力の極性を反転させる第 2 の回路と、

前記第 2 の回路の出力が入力され、前記クロックに同期して前記高電源電位または前記
低電源電位を選択的に出力する第 3 の回路とを有し、

前記第 3 の回路の出力は前記第 2 の回路に入力され、

前記第 1 の回路は前記第 1 の回路の出力端子と前記第 2 の電源線との間に接続された n
チャンネル型トランジスタを有し、

前記 n チャンネル型トランジスタのゲートに前記第 2 のパルスを入力することによって、
前記 n チャンネル型トランジスタの導通または非導通が制御され、前記第 1 の回路の出力端
子と前記第 2 の電源線の電氣的接続が制御されることを特徴とするシフトレジスタ。

40

【請求項 4】

クロックに同期して第 1 のパルスを順に出力する複数の段と、
高電源電位が与えられる第 1 の電源線と低電源電位が与えられる第 2 の電源線とを有し

、

前記複数の段はそれぞれ、前記クロック、前段から出力される前記第 1 のパルス、及び
2 段前の段から出力される前記第 1 のパルスの極性を反転した第 2 のパルスに応じて前記
高電源電位または前記低電源電位を選択的に出力する第 1 の回路と、

前記第 1 の回路の出力の極性を反転させる第 2 の回路と、

前記第 2 の回路の出力が入力され、前記クロックに同期して前記高電源電位または前記

50

低電源電位を選択的に出力する第3の回路とを有し、

前記第3の回路の出力は前記第2の回路に入力され、

前記第1の回路は前記第1の回路の出力端子と前記第1の電源線との間に接続されたpチャンネル型トランジスタを有し、

前記pチャンネル型トランジスタのゲートに前記第2のパルスを入力することによって、前記pチャンネル型トランジスタの導通または非導通が制御され、前記第1の回路の出力端子と前記第1の電源線の電氣的接続が制御されることを特徴とするシフトレジスタ。

【請求項5】

シフトレジスタを有し、

前記シフトレジスタは、

クロックに同期して第1のパルスを順に出力する複数の段と、

高電源電位が与えられる第1の電源線と低電源電位が与えられる第2の電源線とを有し

10

、
前記複数の段はそれぞれ、前記クロック、前段から出力される前記第1のパルス、及び2段前の段から出力される前記第1のパルスの極性を反転した第2のパルスに応じて前記高電源電位または前記低電源電位を選択的に出力する回路を有し、

前記回路は前記回路の出力端子と前記第2の電源線との間に接続されたnチャンネル型トランジスタを有し、

前記nチャンネル型トランジスタのゲートに前記第2のパルスを入力することによって、前記nチャンネル型トランジスタの導通または非導通が制御され、前記回路の出力端子と前記第2の電源線の電氣的接続が制御され、

20

前記クロックの振幅電圧が前記高電源電位と前記低電源電位との電位差よりも小さいことを特徴とする表示装置。

【請求項6】

シフトレジスタを有し、

前記シフトレジスタは、

クロックに同期して第1のパルスを順に出力する複数の段と、

高電源電位が与えられる第1の電源線と低電源電位が与えられる第2の電源線とを有し

、
前記複数の段はそれぞれ、前記クロック、前段から出力される前記第1のパルス、及び2段前の段から出力される前記第1のパルスの極性を反転した第2のパルスに応じて前記高電源電位または前記低電源電位を選択的に出力する回路を有し、

30

前記回路は前記回路の出力端子と前記第1の電源線との間に接続されたpチャンネル型トランジスタを有し、

前記pチャンネル型トランジスタのゲートに前記第2のパルスを入力することによって、前記pチャンネル型トランジスタの導通または非導通が制御され、前記回路の出力端子と前記第1の電源線の電氣的接続が制御され、

前記クロックの振幅電圧が前記高電源電位と前記低電源電位との電位差よりも小さいことを特徴とする表示装置。

【請求項7】

40

シフトレジスタを有し、

前記シフトレジスタは、

クロックに同期して第1のパルスを順に出力する複数の段と、

高電源電位が与えられる第1の電源線と低電源電位が与えられる第2の電源線とを有し

、
前記複数の段はそれぞれ、前記クロック、前段から出力される前記第1のパルス、及び2段前の段から出力される前記第1のパルスの極性を反転した第2のパルスに応じて前記高電源電位または前記低電源電位を選択的に出力する第1の回路と、

前記第1の回路の出力の極性を反転させる第2の回路と、

前記第2の回路の出力が入力され、前記クロックに同期して前記高電源電位または前記

50

低電源電位を選択的に出力する第3の回路とを有し、

前記第3の回路の出力は前記第2の回路に入力され、

前記第1の回路は前記第1の回路の出力端子と前記第2の電源線との間に接続されたnチャンネル型トランジスタを有し、

前記nチャンネル型トランジスタのゲートに前記第2のパルスを入力することによって、前記nチャンネル型トランジスタの導通または非導通が制御され、前記第1の回路の出力端子と前記第2の電源線の電氣的接続が制御され、

前記クロックの振幅電圧が前記高電源電位と前記低電源電位との電位差よりも小さいことを特徴とする表示装置。

【請求項8】

10

シフトレジスタを有し、

前記シフトレジスタは、

クロックに同期して第1のパルスを順に出力する複数の段と、

高電源電位が与えられる第1の電源線と低電源電位が与えられる第2の電源線とを有し

、

前記複数の段はそれぞれ、前記クロック、前段から出力される前記第1のパルス、及び2段前の段から出力される前記第1のパルスの極性を反転した第2のパルスに応じて前記高電源電位または前記低電源電位を選択的に出力する第1の回路と、

前記第1の回路の出力の極性を反転させる第2の回路と、

前記第2の回路の出力が入力され、前記クロックに同期して前記高電源電位または前記低電源電位を選択的に出力する第3の回路とを有し、

20

前記第3の回路の出力は前記第2の回路に入力され、

前記第1の回路は前記第1の回路の出力端子と前記第1の電源線との間に接続されたpチャンネル型トランジスタを有し、

前記pチャンネル型トランジスタのゲートに前記第2のパルスを入力することによって、前記pチャンネル型トランジスタの導通または非導通が制御され、前記第1の回路の出力端子と前記第1の電源線の電氣的接続が制御され、

前記クロックの振幅電圧が前記高電源電位と前記低電源電位との電位差よりも小さいことを特徴とする表示装置。

【請求項9】

30

請求項5乃至請求項8のいずれか一において、

単結晶IC基板上に形成されたパルス信号制御回路を有し、

前記シフトレジスタは絶縁表面を有する基板上に形成され、

前記パルス信号制御回路は前記クロックを前記シフトレジスタへ出力することを特徴とする表示装置。

【請求項10】

請求項5乃至請求項9のいずれか一において、

前記表示装置を利用した携帯情報端末、パーソナルコンピュータ、画像再生装置、テレビ、ヘッドマウントディスプレイまたはカメラ。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、シフトレジスタに関する。特に、薄膜トランジスタ（以下、TFTと表記する）を用いて構成されたシフトレジスタ及びその駆動方法に関する。

【背景技術】

【0002】

クロックパルス及びスタートパルスを入力することで、順次、パルス（サンプリングパルス）を出力するシフトレジスタは、様々な回路に用いられている。中でも、マトリクス状に配置された複数の画素を有する表示装置において、シフトレジスタは、各画素を選択し、また選択された画素に信号を入力する、ソース信号線駆動回路やゲート信号線駆動回

50

路として用いられている。

【0003】

ここで、一般のシフトレジスタの構造の例を、図5に示す。シフトレジスタは、第1段～第 r （ r は、3以上の自然数）段を有している。それぞれの段は、第1のクロックドインバータCKINV1と、第2のクロックドインバータCKINV2と、インバータINVとによって構成されてる。

【0004】

一般に、第 i （ i は、 r 以下の自然数）段をSR__ i と表記する。第 i 段を構成する第1のクロックドインバータ、第2のクロックドインバータ及びインバータをCKINV1__ i 、CKINV2__ i 、INV__ i と表記する。

10

【0005】

第1段SR__1において、第1のクロックドインバータCKINV1__1の入力端子には、外部からスタートパルスSPが入力されており、第1のクロックドインバータCKINV1__1の出力端子は、インバータINV__1の入力端子、及び第2のクロックドインバータCKINV2__1の出力端子に接続されている。第2のクロックドインバータCKINV2__1の入力端子は、インバータINV__1の出力端子に接続されている。インバータINV__1の出力端子が第1段SR__1の出力端子に相当する。

【0006】

第2段SR__2において、第1のクロックドインバータCKINV1__2の入力端子は、第1段SR__1のインバータINV__1の出力端子に接続され、第1のクロックドインバータCKINV1__2の出力端子は、インバータINV__2の入力端子、及び第2のクロックドインバータCKINV2__2の出力端子に接続されている。第2のクロックドインバータCKINV2__2の入力端子は、インバータINV__2の出力端子に接続されている。インバータINV__2の出力端子が、第2段SR__2の出力端子に相当する。

20

【0007】

一般に、第 j （ j は、2以上 r 以下の自然数）段において、第1のクロックドインバータCKINV1__ j の入力端子は、第 $j-1$ 段SR__ $j-1$ のインバータINV__ $j-1$ の出力端子に接続されている。第1のクロックドインバータCKINV1__ j の出力端子は、インバータINV__ j の入力端子、及び第2のクロックドインバータCKINV2__ j の出力端子に接続されている。第2のクロックドインバータCKINV2__ j の入力端子は、インバータINV__ j の出力端子に接続されている。インバータINV__ j の出力端子が、第 j 段の出力端子に相当する。

30

【0008】

上記接続の第1段の回路SR__1～第 r 段の回路SR__ r によって構成されるシフトレジスタは、第1段にスタートパルスSPが入力されると、それぞれの段が有する第1のクロックドインバータCKINV1及び第2のクロックドインバータCKINV2それぞれに入力される、クロックパルスCK及びその極性が反転した反転クロックパルスCKBに同期して、第1段SR__1～第 r 段の回路SR__ r それぞれの出力端子から、順にシフトしたパルスS__1～S__ r が出力される。

【0009】

図5で示した構成のシフトレジスタにおいて、各段を構成する第1のクロックドインバータCKINV1、第2のクロックドインバータCKINV2及びインバータINVの詳細な回路図の例を図4に示す。

40

【0010】

Vddは高電源電位であり、Vssは低電源電位であるとする。ここで、高電源電位Vddの電位は、低電源電位Vssの電位より高いとする。高電源電位Vddと低電源電位Vssの電位差が、シフトレジスタの電源電圧に相当する。

【0011】

第1のクロックドインバータCKINV1は、pチャネル型TF501a及び501bと、nチャネル型TF501d及び501cとによって構成されている。本明細書中

50

では、第1のクロックドインバータCKINV1において、そのゲート電極に、クロックパルスCKもしくは反転クロックパルスCKBが入力されるpチャンネル型TF T、nチャンネル型TF Tをそれぞれ、501a、501dとする。また、pチャンネル型TF T501b及びnチャンネル型TF T501cのゲート電極は、第1のクロックドインバータCKINV1の入力端子に接続されているものとする。

【0012】

ここで、pチャンネル型TF T501aのゲート電極にクロックパルスCKが入力される場合、nチャンネル型TF T501dのゲート電極に、反転クロックパルスCKBが入力される。一方、pチャンネル型TF T501aのゲート電極に、反転クロックパルスCKBが入力される場合、nチャンネル型TF T501dのゲート電極に、クロックパルスCKが入力される。 10

【0013】

pチャンネル型TF T501aのソース電極は、高電源電位Vddに保たれ、ドレイン電極は、pチャンネル型TF T501bのソース電極に接続されている。pチャンネル型TF T501bのドレイン電極は、nチャンネル型TF T501cのドレイン電極に接続され、nチャンネル型TF T501cのソース電極は、nチャンネル型TF T501dのドレイン電極に接続されている。nチャンネル型TF T501dのソース電極は、低電源電位Vssに保たれている。pチャンネル型TF T501b及びnチャンネル型TF T501cのゲート電極が、第1のクロックドインバータCKINV1の入力端子となり、pチャンネル型TF T501b及びnチャンネル型TF T501cのドレイン電極が、第1のクロックドインバータCKINV1の出力端子となっている。 20

【0014】

第2のクロックドインバータCKINV2は、pチャンネル型TF T502a及び502bと、nチャンネル型TF T502d及び502cとによって構成されている。本明細書中では、第2のクロックドインバータCKINV2において、そのゲート電極に、クロックパルスCKもしくは反転クロックパルスCKBが入力されているpチャンネル型TF T、nチャンネル型TF Tをそれぞれ、502a、502dとする。また、pチャンネル型TF T502b及びnチャンネル型TF T502cのゲート電極が、インバータINVの出力端子に接続されているものとする。

【0015】

ここで、各段において、第1のクロックドインバータCKINV1を構成するpチャンネル型TF T501aのゲート電極に、クロックパルスCKが入力される場合、第2のクロックドインバータCKINV2を構成するpチャンネル型TF T502aのゲート電極に、反転クロックパルスCKBが入力され、nチャンネル型TF T502dのゲート電極に、クロックパルスCKが入力される。一方、各段において、第1のクロックドインバータCKINV1を構成するpチャンネル型TF T501aのゲート電極に、反転クロックパルスCKBが入力される場合、第2のクロックドインバータCKINV2を構成するpチャンネル型TF T502aのゲート電極に、クロックパルスCKが入力され、nチャンネル型TF T502dのゲート電極に、反転クロックパルスCKBが入力される。 30

【0016】

pチャンネル型TF T502aのソース電極は、高電源電位Vddに保たれており、ドレイン電極は、pチャンネル型TF T502bのソース電極に接続されている。pチャンネル型TF T502bのドレイン電極は、nチャンネル型TF T502cのドレイン電極に接続され、nチャンネル型TF T502cのソース電極は、nチャンネル型TF T502dのドレイン電極に接続されている。nチャンネル型TF T502dのソース電極は、低電源電位Vssに保たれている。pチャンネル型TF T502b及びnチャンネル型TF T502cのドレイン電極が、第2のクロックドインバータCKINV2の出力端子となっている。 40

【0017】

インバータINVは、pチャンネル型TF T503aとnチャンネル型TF T503bとによって構成されている。pチャンネル型TF T503aのソース電極は、高電源電位Vdd 50

に保たれ、pチャネル型TFT503aのドレイン電極は、nチャネル型TFT503bのドレイン電極に接続されている。nチャネル型TFT503bのソース電極は、低電源電位 V_{ss} に保たれている。pチャネル型TFT503a及びnチャネル型TFT503bのゲート電極が、インバータINVの入力端子となり、pチャネル型TFT503a及びnチャネル型TFT503bのドレイン電極が、インバータINVの出力端子となる。

【0018】

第 i (i は、自然数) 段の第1のクロックドインバータCKINV1__ i が有するpチャネル型TFT501a__ i のゲート電極に、クロックパルスCKが入力されている場合、第($i-1$) 段の第1のクロックドインバータCKINV1__ $i-1$ が有するpチャネル型TFT501a__ $i-1$ のゲート電極には、反転クロックパルスCKBが入力されている。 10

【0019】

一般に、第 i (i は、自然数) 段の第1のクロックドインバータCKINV1__ i を構成するpチャネル型TFT501a、501bをそれぞれ、501a__ i 、501b__ i と表記し、nチャネル型TFT501c、501dをそれぞれ501c__ i 、501d__ i と表記する。同様に、第 i 段の第2のクロックドインバータCKINV2__ i を構成するpチャネル型TFT502a、502bをそれぞれ、502a__ i 、502b__ i と表記し、nチャネル型TFT502c、502dをそれぞれ、502c__ i 、502d__ i と表記する。また、第 i 段のインバータINV__ i を構成するnチャネル型TFT503a、pチャネル型TFT503bをそれぞれ、503a__ i 、503b__ i と表記する。 20

【0020】

図7に、図4及び図5に示した構成のシフトレジスタの理想的な駆動方法を示すタイミングチャートを示し、その具体的な動作について以下に説明する。

【0021】

シフトレジスタには、クロックパルスCK及びクロックパルスの極性が反転した反転クロックパルスCKB、スタートパルスSPが入力される。第1段SR__1の第1のクロックドインバータCKINV1__1において、pチャネル型TFT501a__1のゲート電極には、反転クロックパルスCKBが入力され、nチャネル型TFT501d__1のゲート電極には、クロックパルスCKが入力されている。第1のクロックドインバータCKINV1__1のpチャネル型TFT501b__1及びnチャネル型TFT501c__1のゲート電極に、スタートパルスSPが入力される。 30

【0022】

スタートパルスSPと、クロックパルスCK及び、反転クロックパルスCKBの関係は、図7のタイミングチャートに示した通りである。

【0023】

その入力端子にスタートパルスSPが入力された、つまりスタートパルスSPによって「Hi」の電位が入力され、クロックパルスCK及び反転クロックパルスCKBが入力された第1段SR__1の第1のクロックドインバータCKINV1__1において、nチャネル型TFT501c__1及び501d__1がオンの状態となる。こうして、第1のクロックドインバータCKINV1の出力端子は、低電源電位 V_{ss} の電位となる。すなわち、第1段の第1のクロックドインバータCKINV1__1の出力SB__1は、「Lo」の電位となる。このとき、同じ段の第2のクロックドインバータCKINV2__1のpチャネル型TFT502a__1及びnチャネル型TFT502d__1は、そのゲート電極に入力されたクロックパルスCK及び反転クロックパルスCKBによって、オフの状態にある。 40

【0024】

一方、第2段の第1のクロックドインバータCKINV1__2のpチャネル型TFT501a__2及びnチャネル型TFT501d__2は、それらのゲート電極に入力されているクロックパルスCK及び反転クロックパルスCKBによって、どちらもオフの状態となっている。

【0025】

また、第2のクロックドインバータCKINV2__2のpチャネル型TFT502a__2及びnチャネル型TFT502d__2は、それらのゲート電極に入力されているクロックパルスCK及び反転クロックパルスCKBによって、どちらもオンの状態であり、且つ、第2のクロックドインバータCKINV2__2の入力端子に、「Lo」の電位が入力されているため、第2のクロックドインバータCKINV2__2の出力端子は、高電源電位Vddが出力される。すなわち、「Hi」の電位が出力される。

【0026】

次に、クロックパルスCK及び反転クロックパルスCKBによって、第1段SR__1の第1のクロックドインバータCKINV1__1において、nチャネル型TFT501d__1がオフの状態に変化する。一方、第2のクロックドインバータCKINV2__1において、nチャネル型TFT502d__1がオンの状態となる。 10

【0027】

また、第2のクロックドインバータCKINV2__1の入力端子には、第1のクロックドインバータCKINV1__1の出力SB__1が、インバータINV__1を介して入力されている。すなわち、第2のクロックドインバータCKINV2__1の入力端子には、第1のクロックドインバータCKINV1__1の出力SB__1の極性が反転した信号が入力されている。この入力信号により、第2のクロックドインバータCKINV2__1のnチャネル型TFT502c__1がオンの状態となる。こうして、第2のクロックドインバータCKINV2__1の出力端子は、低電源電位Vssとなる。すなわち、第2のクロックドインバータCKINV2__1の出力SB__1は、「Lo」の電位となる。 20

【0028】

一方、第2段の第1のクロックドインバータCKINV1__2の入力端子に、第1段SR__1から「Hi」の電位が入力されている。また、クロックパルスCK及び反転クロックパルスCKBにより、nチャネル型TFT501d__2がオンの状態にある。こうして、第2段の第1のクロックドインバータCKINV1__2の出力端子は、低電源電位Vssの電位となり、第2段の第1のクロックドインバータの出力SB__2は、「Lo」の電位となる。

【0029】

再び、クロックパルスCK及び反転クロックパルスCKBによって、第1段の第1のクロックドインバータのpチャネル型TFT501a__1がオンの状態となる。このとき、スタートパルスSPは入力されていないので、第1のクロックドインバータのpチャネル型TFT501b__1もオンの状態である。こうして、第1段の第1のクロックドインバータCKINV1__1の出力端子は、高電源電位Vddの電位となり、第1のクロックドインバータの出力SB__1は、「Hi」となる。 30

【0030】

上記の様に、第1のクロックドインバータCKINV1および第2のクロックドインバータCKINV2の出力が変化する。こうして各段の出力Sが、クロックパルスCKの半周期分ずつ順に、入力されたスタートパルスSPからシフトして出力される。こうして、図4で示したシフトレジスタはパルスを出力する。

【0031】

また、図4で示した構成のシフトレジスタに対して、隣り合う段の出力信号SをNAND演算したものを出力パルスとするシフトレジスタの例を図10に示す。図10において、図4と同じ部分は同じ符号を用いて示し、説明は省略する。 40

【0032】

第(i+1)(i+1は、r以下の自然数)段の回路SR__i+1と、第i段の回路SR__i、それぞれの出力S__i、S__i+1が、第iのNAND回路NAND__iに入力される。この第iのNAND回路NAND__iから、第iのパルスSMP__iが出力される。このパルスSMP__iが、シフトレジスタの出力パルスとなる。

【0033】

図10で示したシフトレジスタの駆動方法を示すタイミングチャートを、図11に示す 50

。第1段の回路SR__1から第r段の回路SR__rの出力端子から、順にシフトしたパルスS__1～S__rが出力されるまでの動作は、図7において示した動作と同様である。隣り合う段の出力がそれぞれNAND回路NAND__1～NAND__r-1に入力され、パルスSMP__1～SMP__r-1が順に出力される。こうして、図10で示したシフトレジスタはパルスを出力する。

【0034】

図4、図5及び図10で示した構成のシフトレジスタは、回路を構成する素子が少なくてすむので、負荷容量が小さくてすみ、高周波数での動作が比較的容易である。

【発明の開示】

【発明が解決しようとする課題】

10

【0035】

シフトレジスタは一般に、電源電圧と、クロックパルス及びスタートパルスの信号の振幅電圧とが、ほぼ等しい状態で動作させる。通常、シフトレジスタの電源電圧は、10V程度に設定されることが多い。

【0036】

ここで、シフトレジスタに入力するクロックパルスやスタートパルス等のパルス信号は、通常、単結晶IC基板上に形成された、パルス信号制御回路によって出力されている。パルス信号制御回路は、通常、振幅電圧が3.3V程度のコントロール信号を出力する。よって、パルス信号発生回路の出力するパルス信号の振幅電圧は、通常は、レベルシフタ等によって、シフトレジスタの電源電圧程度まで大きくして、シフトレジスタに入力される。

20

【0037】

ここで、仮にレベルシフタ等によって、シフトレジスタに入力されるパルス信号の信号電圧を大きくしなかった場合について考える。つまりこれは、図4において、シフトレジスタを構成する素子の電源電圧（高電源電位Vddと低電源電位Vssの電位差に相当する）、つまりシフトレジスタの電源電位が、スタートパルスSPや、クロックパルスCKの振幅電圧より大きい場合に該当する。

【0038】

このときのシフトレジスタの動作について、図6のタイミングチャートを用いて説明する。また、シフトレジスタの回路構成は、図4を参照する。ここで、説明のため、シフトレジスタの電源電圧を10V（高電源電位Vddを10V、低電源電位Vssを0V）とし、クロックパルスやスタートパルス等のパルス信号の振幅電圧を3.0Vとする。このとき、パルス信号の「Lo」に対応する電位（最低電位）を3.5V、「Hi」に対応する電位（最高電位）を6.5Vとする。

30

【0039】

第1のクロックインバータCKINV1に注目する。クロックパルスCK、反転クロックパルスCKBが入力され、pチャネル型TFT501aのゲート電極には、「Hi」に対応する電位、この場合は、6.5Vが入力され、同時に、nチャネル型TFT501dのゲート電極には、「Lo」に対応する電位、この場合は3.5Vが入力されている場合を考える。このとき、理想的には、pチャネル型TFT501a及び、nチャネル型TFT501dは、どちらもオフの状態であることが望まれる。しかし、電源電圧より、クロックパルスCK及び反転クロックパルスCKBの振幅電圧が小さいため次のような問題が生じる。

40

【0040】

pチャネル型TFT501aにおいて、そのソース電極の電位が、そのゲート電極の電位より大きくなる。この例では、pチャネル型TFT501aのソース電極の電位は、高電源電位Vddの10Vであり、ゲート電極の電位は、クロックパルスCKまたは反転クロックパルスCKBの「Hi」の電位、6.5Vが入力されており、その電位差は3.5Vである。もし、pチャネル型TFT501aの閾値電圧（pチャネル型TFTにおいて、ソース電極の電位に対するゲート電極の電位を示すものとする）が-3.5V以上であ

50

ったら、つまり、pチャネル型TFT501aの閾値電圧の絶対値が、3.5Vより小さい場合、pチャネル型TFT501aはオンの状態となって、そのソース・ドレイン間が導通状態となってしまう。

【0041】

同様に、nチャネル型TFT501dにおいて、そのソース電極の電位が、そのゲート電極の電位より小さくなる。この例では、nチャネル型TFT501dのソース電極の電位は、低電源電位Vssの0Vであり、ゲート電極の電位は、クロックパルスCKもしくは、反転クロックパルスCKBの「Lo」の電位、3.5Vが入力されており、その電位差は3.5Vである。もし、nチャネル型TFT501dの閾値電圧（nチャネル型TFTにおいて、ソース電極の電位に対するゲート電極の電位を示すものとする）が3.5V以下であったら、nチャネル型TFT501dはオンの状態となってしまう。 10

【0042】

タイミングチャートにおいて、破線で示した部分は、上記した問題によってオフとなるべきTFTがオンの状態となった場合の動作を示す。

【0043】

ここで、第1段SR__1の第1のクロックドインバータCKINV1__1においては、その入力端子に、タイミングチャートに示すようにスタートパルスSPが入力されている場合、クロックパルスCK及び反転クロックパルスCKBに同期して、信号SB__1を出力する。

【0044】

一方、第2段SR__2の第1のクロックドインバータCKINV1__2においては、第1段目SR__1のインバータINV__1からの出力（図中、S__1と表記）が入力されている。 20

【0045】

第1段SR__1から出力されたパルス信号S__1が、第2段SR__2の第1のクロックドインバータCKINV1__2の入力端子に入力されている場合、前述した問題によって、本来オフの状態にあるはずのnチャネル型TFT501d__2がオンの状態となると、nチャネル型TFT501c__2及びnチャネル型TFT501d__2を介して漏れ電流が流れる。この漏れ電流が流れ続ける間に、第1のクロックドインバータCKINV1__2の出力電位SB__2が、高電源電位Vddに対して低くなっていく。（図6中、破線401nで示す。） 30

【0046】

一方、第1段SR__1から出力されたパルス信号S__1が、第2段SR__2の第1のクロックドインバータCKINV1__2の入力端子に入力されていない場合、前述した問題によって、本来オフの状態にあるはずのpチャネル型TFT501a__2がオンの状態となると、pチャネル型TFT501a__2及びpチャネル型TFT501b__2を介して漏れ電流が流れる。この漏れ電流が流れ続ける間に、第1のクロックドインバータCKINV1__2の出力電位SB__2が、低電源電位Vssに対して高くなっていく。（図6中、破線401pで示す。）

【0047】

同様に、第3段SR__3以降も、その段の有する第1のクロックドインバータCKINV1の出力電位SBは、漏れ電流のために、図7のタイミングチャートに示したような理想的な動作をする場合と比較して、変動する。 40

【0048】

上記の様に、本来オフの状態であるはずのpチャネル型TFT501a及びnチャネル型TFT501dが、オンの状態となった場合に、第1のクロックドインバータCKINV1の入力端子に、パルスが入力されると、nチャネル型TFT501c及び501dを介して電流（以下、これをnチャネル型TFTの漏れ電流と呼ぶ）が流れ、本来出力されるべき出力電位Vddより低い電位が出力される。

【0049】

また、本来オフの状態であるはずのT F T 5 0 1 a及びT F T 5 0 1 dが、オンの状態となった場合に、第1のクロックドインバータC K I N V 1の入力端子に、パルスが入力されていない場合、5 0 1 a及び5 0 1 bを介して電流（以下、これをpチャネル型T F Tの漏れ電流と呼ぶ）が流れ、本来出力されるべき出力電位V s sより高い電位が出力される。

【0050】

上記漏れ電流が大きくなると、出力S Bのパルスがシフトしなくなる。

【0051】

このように、本来オフの状態であることを求められるT F Tがオンの状態となってしまうためにシフトレジスタ内の出力が、正常に行われず、誤作動を起す可能性が高い。

10

【0052】

上記理由による誤作動を配慮して、従来のシフトレジスタでは、クロックパルスC K、スタートパルスS P等のパルス信号は、レベルシフタを介して、その振幅電圧をシフトレジスタの電源電圧程度に大きくした後、入力されている。

【0053】

ここで、レベルシフタを有するシフトレジスタを用いた駆動回路を備えた表示装置を例に挙げる。この際のレベルシフタは、シフトレジスタを用いた駆動回路と、この駆動回路から出力される信号によって表示を行う画素部とが形成された基板（パネル基板）上や、パネル基板とは別の単結晶I C基板上に形成される。

【0054】

パネル基板とは別の基板上に、レベルシフタを形成する場合、表示装置内で画素部以外の周辺回路が占める面積が増大する。また、レベルシフタとパネル上の回路の接続部分の配線容量及び配線抵抗が大きくなるため、消費電力が増大する。

20

【0055】

また、パネル基板上にレベルシフタを形成する場合、次のような問題点がある。クロックパルスC KやスタートパルスS Pなどが入力される信号線は、負荷容量が大きい。そのため、レベルシフト後のバッファ出力は、クロックパルスC KやスタートパルスS Pなどのパルス信号がなまって出力され、信号遅延によるタイミングずれを引き起こす。また、パルス信号のなまりを防ぐために、バッファの電流供給能力を大きくする必要が生じる。

【0056】

このように、パネル基板上にレベルシフタを有するシフトレジスタでは、高周波数で動作が困難、電源線のノイズ、レイアウト面積の増大等の問題が生じる。

30

【0057】

このように、パネル基板上やパネル基板とは別の基板上のレベルシフタ等を用いて、入力するパルス信号の振幅電圧を大きくするシフトレジスタの場合、消費電力の増大、高周波数で動作が困難、電源線のノイズ、レイアウト面積の増大等の問題が生じる。そこで、上記問題を解決するシフトレジスタ及びその駆動方法を提供することを課題とする。

【課題を解決するための手段】

【0058】

シフトレジスタの電源電圧より小さな振幅電圧を有する、クロックパルス、スタートパルスをシフトレジスタに入力する。これによって、パネル基板外にクロックパルスやスタートパルスの振幅電圧を昇圧するためのレベルシフタを形成し電源電圧程度の振幅電圧を有する様にレベルシフトしたクロックパルスやスタートパルスをパネルに入力する必要がないので、パネル上の回路とレベルシフタの間の配線容量及び配線抵抗による、消費電力の増大の問題を解決することができる。

40

【0059】

また、パネル基板上にクロックパルスやスタートパルスの振幅電圧を昇圧するためのレベルシフタを形成しレベルシフトしたクロックパルスやスタートパルスを信号線に入力する必要がないので、信号線の負荷によるなまりの影響を抑え、シフトレジスタを高周波数で動作させることが可能となる。また、電源線のノイズの影響を抑えることができる。

50

【0060】

加えて、レベルシフタが必要ない分、シフトレジスタのレイアウト面積を縮小することができる。

【0061】

こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタの駆動方法が提供される。

【0062】

上記駆動方法を用いる場合に、シフトレジスタを構成する第2のクロックドインバータの電流能力が高ければ、第1のクロックドインバータにおいて、オフになるべきTFTがオンになってしまうために流れる電流（漏れ電流）によって起こる、第1のクロックドインバータの出力電位の変化を低減することができる。

10

そこで、第2のクロックドインバータを構成するTFTのゲート幅を、大きく設定する。

【0063】

ここで従来のシフトレジスタでは、各段において、第2のクロックドインバータCKINV2は、第1のクロックドインバータCKINV1より出力された信号を保持するだけの役割を有する。そのため、第2のクロックドインバータによる負荷を小さくするために、第1のクロックドインバータCKINV1を構成するpチャネル型TFT501a及び501bと、nチャネル型TFT501c及び501dとに対して、第2のクロックドインバータCKINV2を構成するpチャネル型TFT502a及び502bと、nチャネル型TFT502c及び502dとは、それぞれの極性のTFTに関してそのゲート幅を十分に小さくしていることが多かった。例えば、第1のクロックドインバータを構成するTFTのゲート幅に対して、第2のクロックドインバータを構成するTFTのゲート幅が、1/10程に設定されていた。なお、これらのTFTのゲート長は、すべて同じであるとする。

20

【0064】

一方本発明では、シフトレジスタの電源電圧より小さな振幅電圧を有する、クロックパルス、スタートパルスをシフトレジスタに入力するため、漏れ電流が問題となる。そこで、第2のクロックドインバータを構成するTFTのゲート幅を、従来と比較して大きく設定することで漏れ電流を低減する。

【0065】

30

例えば、シフトレジスタが有する第1のクロックドインバータを構成するnチャネル型TFTのソース電極の電位と、そのゲート電極に入力されるクロックパルスまたは反転クロックパルスの最低電位（「Lo」に対応する電位）の電位差の絶対値が、nチャネル型TFTの閾値電圧の絶対値より大きな場合を考える。

本来オフの状態になるはずのnチャネル用TFTがオンになってしまうために流れる電流（漏れ電流）によって起こる、第1のクロックドインバータの出力電位の変化を、第2のクロックドインバータを構成するpチャネル型TFTのゲート幅を大きく設定することによって抑制することができる。

【0066】

40

また、シフトレジスタが有する第1のクロックドインバータを構成するpチャネル型TFTのソース電極の電位と、そのゲート電極に入力されるクロックパルスまたは反転クロックパルスの最高電位（「Hi」に対応する電位）の電位差の絶対値が、pチャネル型TFTの閾値電圧の絶対値より大きな場合を考える。本来オフの状態になるはずのpチャネル用TFTがオンになってしまうために流れる電流（漏れ電流）によって起こる、第1のクロックドインバータの出力電位の変化を、第2のクロックドインバータを構成するnチャネル型TFTのゲート幅を大きく設定することによって抑制することができる。

【0067】

また、第1のクロックドインバータに、新たにTFTを追加する。この追加したTFTのソース・ドレイン間を介して、電源電位を第1のクロックドインバータの出力端子に出力する構成とする。追加したTFTのゲート電極には、シフトレジスタの電源電圧程度の

50

振幅電圧を有する信号が入力される。漏れ電流が問題となる場合に、追加したT F Tをオフする構成とする。これによって、第1のクロックドインバータを流れる電流（漏れ電流）を遮断する。

【0068】

こうして、誤作動を起さないシフトレジスタが提供される。

【0069】

上記構成によって、誤作動を起さず、高周波数で、また、低電源電圧での動作が可能なシフトレジスタ及びその駆動方法が提供される。

【発明の効果】

【0070】

シフトレジスタの電源電圧より小さな振幅電圧を有する、クロックパルス、スタートパルスをシフトレジスタに入力する。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタの駆動方法が提供される。

【0071】

また上記駆動方法を用いる場合に、第2のクロックドインバータを構成するT F Tのゲート幅を、従来と比較して大きく設定することで漏れ電流を低減する。

【0072】

さらに、第1のクロックドインバータに、新たにT F Tを追加する。この追加したT F Tのソース・ドレイン間を介して、電源電位を第1のクロックドインバータの出力端子に出力する構成とする。追加したT F Tのゲート電極には、シフトレジスタの電源電圧程度の振幅電圧を有する信号が入力される。漏れ電流が問題となる場合に、追加したT F Tをオフする構成とする。これによって、第1のクロックドインバータを流れる電流（漏れ電流）を遮断する。

【0073】

上記構成によって、シフトレジスタにおいて高周波数・低電源電圧動作、また、小型化を実現することができる。

【発明を実施するための最良の形態】

【0074】

（第1の実施の形態）

第1の実施の形態で説明する、本発明のシフトレジスタは、従来例において図4で示した回路図と同等の回路図によって示すことができる。以下、図4と同じ部分は同じ符号を用い、説明は省略する。

【0075】

本発明のシフトレジスタでは、その電源電圧（高電源電位V d dと低電源電位V s sの電位差に相当する）より小さな振幅電圧の、スタートパルスS Pや、クロックパルスC Kを入力する。

【0076】

このとき、シフトレジスタの各段を構成する第2のクロックドインバータC K I N V 2が有するpチャネル型T F T 5 0 2 a及び5 0 2 bのゲート幅は、第1のクロックドインバータが有するpチャネル型T F T 5 0 1 a及び5 0 1 bのゲート幅の1 / 2以上に設定する。

【0077】

ここで、T F Tのゲート幅は、T F Tの半導体活性層と重なるゲート電極部分の、キャリアの移動方向に垂直な方向の長さを示すものとする。図26を用いて、ゲート幅Wについて説明する。ここで、図26（A）のa-a'の断面が図26（B）に相当する。3000は絶縁表面を有する基板、3005は半導体活性層、3004はゲート電極、3001はゲート絶縁膜である。半導体活性層3005は、ソース領域及びドレイン領域として機能する領域3002 a、3002 b、チャネル領域3006を有する。図中ゲート幅をWで示す。

10

20

30

40

50

【0078】

また、シフトレジスタの各段を構成する第2のクロックドインバータが有するnチャンネル型TFT502c及び502dのゲート幅は、第1のクロックドインバータが有するnチャンネル型TFT501c及び501dのゲート幅の1/2以上に設定する。

【0079】

こうして、各段の回路の有する、第2のクロックドインバータCKINV2の電流能力を高める。これによって、シフトレジスタの電源電圧より小さな振幅電圧の、スタートパルスSPや、クロックパルスCKを入力するシフトレジスタにおいて、第2のクロックドインバータCKINV2の「Hi」の電位（高電源電位Vdd）の出力によって、第1のクロックドインバータCKINV1のnチャンネル型TFTの漏れ電流による出力電位SB 10の変動を抑制することができる。

【0080】

同様に、第2のクロックドインバータCKINV2の「Lo」の電位（低電源電位Vss）の出力によって、第1のクロックドインバータCKINV1のpチャンネル型TFTの漏れ電流による出力電位SBの変動を抑制することができる。

【0081】

上記構成のシフトレジスタの動作について、図3のタイミングチャートを用いて説明する。破線は、漏れ電流による出力電位SBの変化を示す。図3中破線301nは、第2段の第1のクロックドインバータCKINV1__2のnチャンネル型TFT501c及び501dを介して流れる漏れ電流による出力電位SB__2の変化を示す。また、破線301p 20は、第2段の第1のクロックドインバータCKINV1__2のpチャンネル型TFT501a及び501bを介して流れる漏れ電流による出力電位SB__2の変化を示す。

【0082】

第2のクロックドインバータCKINV2のpチャンネル型TFTのゲート幅を大きくすることによって、従来例において、図6において示した漏れ電流による出力電位SB__2の変化401nに対して、301nを小さく抑えることができる。

【0083】

また、第2のクロックドインバータCKINV2のnチャンネル型TFTのゲート幅を大きくすることによって、従来例において、図6において示した漏れ電流による出力電位SB__2の変化401pに対して、301pを小さく抑えることができる。 30

【0084】

上記構成によって、第1のクロックドインバータの漏れ電流による、出力電圧の変動を抑えることができる。

【0085】

なお、図4において従来例において示したように、シフトレジスタの各段が有する第1のクロックドインバータの、クロックパルスCKまたは反転クロックパルスCKBがゲート電極に入力されているpチャンネル型TFT501aと、ゲート電極が第1のクロックドインバータの入力端子に相当するpチャンネル型TFT501bとは、その配置を入れ替えることができる。

【0086】

ここで、上記のTFTの配置の入れ替えについてその意味を定義する。例えば、TFT1とTFT2を有する第1の構成において、TFT1とTFT2の配置を入れ替えて得られる第2の構成について説明する。第2の構成は、TFT1とTFT2それぞれのゲート電極に入力される信号は第1の構成と同じであって、TFT1のソース電極の電氣的接続関係を第1の構成のTFT2のソース電極の電氣的接続関係となるように配線し、TFT2のソース電極の電氣的接続関係を第1の構成のTFT1のソース電極の電氣的接続関係となるように配線し、TFT1のドレイン電極の電氣的接続関係を第1の構成のTFT2のドレイン電極の電氣的接続関係となるように配線し、TFT2のドレイン電極の電氣的接続関係を第1の構成のTFT1のドレイン電極の電氣的接続関係となるように配線した構成を示すものとする。 40

【0087】

また、第1のクロックドインバータの、クロックパルスCKまたは反転クロックパルスCKBがゲート電極に入力されているnチャンネル型TF T 5 0 1 dと、ゲート電極が第1のクロックドインバータの入力端子に相当するnチャンネル型TF T 5 0 1 cとは、その配置を入れ替えることができる。

【0088】

同様に、シフトレジスタの各段が有する第2のクロックドインバータの、クロックパルスCKまたは反転クロックパルスCKBがゲート電極に入力されているpチャンネル型TF T 5 0 1 aと、ゲート電極が第2のクロックドインバータの入力端子に相当するpチャンネル型TF T 5 0 1 bとは、その配置を入れ替えることができる。また、第2のクロックドインバータの、クロックパルスCKまたは反転クロックパルスCKBがゲート電極に入力されているnチャンネル型TF T 5 0 1 dと、ゲート電極が第2のクロックドインバータの入力端子に相当するnチャンネル型TF T 5 0 1 cとは、その配置を入れ替えることができる。

10

【0089】

また、図4において、シフトレジスタの各段が有する、第1のクロックドインバータCK INV 1、第2のクロックドインバータCK INV 2及びインバータINVを構成するTF Tは、シングルゲート構造としたが、これに限定されない。ダブルゲート構造や、更に多くのゲート電極を有するマルチゲート構造であっても良い。

【0090】

(第2の実施の形態)

第2の実施の形態におけるシフトレジスタの構成を示す回路図を図1に示す。
なお、図4と同じ部分は同じ符号を用いて表現し、説明は省略する。

20

【0091】

本発明のシフトレジスタでは、その電源電圧（高電源電位V d dと低電源電位V s sの電位差に相当する）より小さな振幅電圧の、スタートパルスSPや、クロックパルスCKを入力する。この際問題となる、第1のクロックドインバータの漏れ電流を以下の構成によって低減する。

【0092】

図1において、シフトレジスタを構成する第3段以降の各段の第1のクロックドインバータCK INV 1に、新たに、nチャンネル型TF T 1 0 1を追加する。
ここで、第k（kは、3以上r以下の自然数）段のnチャンネル型TF T 1 0 1を1 0 1 __ kと表記する。

30

【0093】

nチャンネル型TF T 1 0 1 __ kのゲート電極は、第k-2段の第1のクロックドインバータCK INV 1 __ k-2の出力端子に接続されている。また、nチャンネル型TF T 1 0 1 __ kのソース電極は、低電源電位V s sに接続され、ドレイン電極は、クロックドインバータCK INV 1 __ kの有するnチャンネル型TF T 5 0 1 d __ kのソース電極に接続されている。

【0094】

上記構成によって、第k段の第1のクロックドインバータCK INV 1 __ kにおいて、nチャンネル型TF T 1 0 1 __ kのゲート電極には、SB __ k-2の信号が入力される。nチャンネル型TF T 5 0 1 d __ kがオフの状態になることを望まれる際に、SB __ k-2の信号は、「Lo」の電位となる。この信号SB __ k-2の「Lo」の電位は、低電源電位V s s程度の電位である。そのため、信号SB __ k-2の「Lo」の電位がゲート電極に入力されたnチャンネル型TF T 5 0 1 d __ kは、ゲート電圧（ゲート・ソース間電圧V_{gs}）を0 V程度にすることができ、確実にオフすることができる。こうして、第k段の回路の第1のクロックドインバータCK INV 1 __ kにおいて、nチャンネル型TF Tの漏れ電流が流れるのを防ぐことができる。

40

【0095】

50

図1のシフトレジスタを駆動させた場合のタイミングチャートを、図2に示す。

【0096】

ここで、タイミングチャートに示すようにスタートパルスを入力すれば、漏れ電流による第1段の第1のクロックドインバータの出力SB__1の変動は問題とならない。つまり、第1段の第1のクロックドインバータにおいて、入力されたスタートパルスSPの極性が反転した信号が、第1段の第1のクロックドインバータCKINV1__1の出力SB__1となるような場合、漏れ電流による第1段の第1のクロックドインバータの出力SB__1の変動は問題とならない。

【0097】

なお、第2段の第1のクロックドインバータの出力SB__2は、漏れ電流によって変動する。一方、本実施の形態の構成によって、第3段以降の第1のクロックドインバータの出力SBの、nチャネル型TFTの漏れ電流による変動を防ぐことができる。この際、第3段以降の出力を正規出力とするシフトレジスタとすればよい。

【0098】

この様に、第3段以降の第1のクロックドインバータCKINV1に、新たに、nチャネル型TFT101を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。

【0099】

ここで、図1に示した部分の電位に対応する各段の出力Sにおいて、その隣り合う段の出力SのNANDをとった信号を出力信号とするタイプのシフトレジスタを、図12に示す。図1と同じ部分は同じ符号を用いて示し、説明は省略する。

【0100】

タイミングチャートに示すようにスタートパルスSPを入力すれば、漏れ電流による第1段の第1のクロックドインバータCKINV1__1の出力SB__1の変動は問題とならない。また、第2段の第1のクロックドインバータの出力SB__2は、漏れ電流によって変動するが、第1段及び第2段の出力S__1とS__2のNANDをとったものが、サンプリングパルスSMP__1として出力されるため、シフトレジスタの動作上、問題ない。第3段以降の第1のクロックドインバータCKINV1に、新たに、nチャネル型TFT101を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。

【0101】

なお、本実施の形態において、pチャネル型TFTの漏れ電流を確実に防ぐために、新たなpチャネル型TFT等は設けなかった。一般に、nチャネル型TFTは、pチャネル型TFTより特性が良いため、特にnチャネル型TFTの漏れ電流を確実に防止することが重要である。そのため、上記構成による漏れ電流防止の構造は有効である。

【0102】

なお、本実施の形態のシフトレジスタの第1段及び第2段において、それぞれ有する第1のクロックドインバータCKINV1のpチャネル型TFT501aと、pチャネル型TFT501bとは、その配置を入れ替えることができる。つまり、図1及び図12に示すように、高電源電位Vddにそのソース電極が接続されたpチャネル型TFTを501aとして、pチャネル型TFT501a、501bの順に直列に接続し、pチャネル型TFT501bのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、高電源電位Vddにそのソース電極が接続されたpチャネル型TFTを501bとして、pチャネル型TFT501b、501aの順に直列に接続し、pチャネル型TFT501aのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良い。

【0103】

また、また上記の様に、第1のクロックドインバータCKINV1内において、pチャネル型TFT501a及び501bの配置が2とおり存在するが、このそれぞれにおいて、nチャネル型TFT501dと、501cとは、その配置を入れ替えることができる。

つまり、図1及び図12に示すように、低電源電位 V_{ss} にそのソース電極が接続されたnチャンネル型TFTを501dとして、nチャンネル型TFT 501d、501cの順に直列に接続し、nチャンネル型TFT 501cのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位 V_{ss} にそのソース電極が接続されたnチャンネル型TFTを501cとして、nチャンネル型TFT 501c、501dの順に直列に接続し、nチャンネル型TFT 501dのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良い。

【0104】

第1段及び第2段の回路において、第1のクロックドインバータCKINV1と同様に、第2のクロックドインバータCKINV2のpチャンネル型TFT 501aと、501bとは、その配置を入れ替えることができる。また、第2のクロックドインバータCKINV2のnチャンネル型TFT 501dと、501cとは、その配置を入れ替えることができる。

【0105】

なお、本実施の形態のシフトレジスタの第3段以降の回路において、それぞれ有する第1のクロックドインバータCKINV1のpチャンネル型TFT 501aと、pチャンネル型TFT 501bとは、その配置を入れ替えることができる。つまり、図1及び図12に示すように、高電源電位 V_{dd} にそのソース電極が接続されたTFTをpチャンネル型TFT 501aとして、pチャンネル型TFT 501a、501bの順に直列に接続し、pチャンネル型TFT 501bのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、高電源電位 V_{dd} にそのソース電極が接続されたTFTをpチャンネル型TFT 501bとし、pチャンネル型TFT 501b、501aの順に直列に接続し、pチャンネル型TFT 501aのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良い。

【0106】

また、また上記の様に、第1のクロックドインバータCKINV1内において、pチャンネル型TFT 501a及び501bの配置が2とおり存在するが、このそれぞれにおいて、nチャンネル型TFT 101と、501dと、501cとは、その配置を入れ替えることができる。つまり、図1及び図12に示すように、低電源電位 V_{ss} にそのソース電極が接続されたTFTをnチャンネル型TFT 101とし、nチャンネル型TFT 101、501d、501cの順に直列に接続し、nチャンネル型TFT 501cのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いがその他に、低電源電位 V_{ss} にそのソース電極が接続されたTFTをnチャンネル型TFT 101とし、nチャンネル型TFT 101、501c、501dの順に直列に接続し、nチャンネル型TFT 501dのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位 V_{ss} にそのソース電極が接続されたTFTをnチャンネル型TFT 501dとし、nチャンネル型TFT 501d、101、501cの順に直列に接続し、nチャンネル型TFT 501cのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位 V_{ss} にそのソース電極が接続されたTFTをnチャンネル型TFT 501cとし、nチャンネル型TFT 501c、101、501dの順に直列に接続し、nチャンネル型TFT 501dのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位 V_{ss} にそのソース電極が接続されたTFTをnチャンネル型TFT 501dとし、nチャンネル型TFT 501d、501c、101の順に直列に接続し、nチャンネル型TFT 101のドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位 V_{ss} にそのソース電極が接続されたTFTをnチャンネル型TFT 501cとし、nチャンネル型TFT 501c、501d、101の順に直列に接続し、nチャンネル型TFT 101のドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良い。

【0107】

第1段及び第2段における第2のクロックドインバータCKINV2と同様に、第3段以降の第2のクロックドインバータCKINV2のpチャネル型TF T501aと、501bとは、その配置を入れ替えることができる。また、第2のクロックドインバータCKINV2のnチャネル型TF T501dと、501cとは、その配置を入れ替えることができる。

【0108】

なお、図1及び図12において、シフトレジスタの各段が有する、第1のクロックドインバータCKINV1、第2のクロックドインバータCKINV2及びインバータINVを構成するTF Tは、シングルゲート構造としたが、これに限定されない。ダブルゲート構造や、更に多くのゲート電極を有するマルチゲート構造であっても良い。

10

【0109】

本実施の形態は、第1の実施の形態と自由に組み合わせて実施することが可能である。

【0110】

(第3の実施の形態)

本実施の形態では、第2の実施の形態において、図1で示した構成とは異なる構成のシフトレジスタについて図8を用いて説明する。図8において、図1と同じ部分は同じ符号を用いて表現し、説明は省略する。

【0111】

本発明のシフトレジスタでは、その電源電圧（高電源電位Vddと低電源電位Vssの電位差に相当する）より小さな振幅電圧の、スタートパルスSPや、クロックパルスCKを入力する。この際問題となる、第1のクロックドインバータの漏れ電流を以下の構成によって低減する。

20

【0112】

図8において、シフトレジスタを構成する第2段以降の各段の第1のクロックドインバータCKINV1に、新たに、nチャネル型TF T101を追加する。

ここで、第k（kは、2以上r以下の自然数）段目のnチャネル型TF T101を101__kと表記する。

【0113】

nチャネル型TF T101__kのゲート電極は、第k-2段目の第1のクロックドインバータCKINV1__k-2の出力端子に接続されている。また、nチャネル型TF T101__kのソース電極は、低電源電位Vssに接続され、ドレイン電極は、クロックドインバータCKINV1__kの有するnチャネル型TF T501d__kのソース電極に接続されている。

30

【0114】

また、第2段に追加したnチャネル型TF T101__2のソース電極は、低電源電位Vssに接続され、ドレイン電極は、第1のクロックドインバータCKINV1__2が有する第1のnチャネル型TF T501d__2のソース電極に接続されている。

【0115】

図8においては、第2段のnチャネル型TF T101__2のゲート電極には、遅延回路110を介して、第1段のインバータINV__1の出力が入力されている。遅延回路110としては、複数の縦列接続されたインバータ回路によって構成することができる。しかしこれに限定されず、遅延回路110として、公知の構成の回路を自由に用いることができる。

40

【0116】

上記構成によって、第2段の第1のクロックドインバータCKINV1__2において、nチャネル型TF Tがオフの状態になることを望まれる際に、nチャネル型TF T101__2のゲート電極には、第1段の出力（第1段のインバータINV__1の出力）S__1を遅延させた信号が入力される。この遅延の度合いは、クロックパルスの半周期程度に設定する。これによって、第2段の回路の第1のクロックドインバータCKINV1__2において、nチャネル型TF Tの漏れ電流が流れるのを防ぐことができる。

50

【0117】

ここで、 n チャネル型TFT101__2のゲート電極に入力される信号は、第1段のインバータINV__1の出力S__1を、クロックパルスの半周期程度遅延させた信号に限定されない。例えば、第1段の第1のクロックドインバータCKINV1__1の出力SB__1の極性を反転させ、遅延させた信号であっても構わない。

【0118】

なお、 n チャネル型TFTの漏れ電流が問題となる際に、 n チャネル型TFT101__2をオフの状態とし、第2段の n チャネル型TFT501c及び501dが共にオンの状態を選択される場合に、 n チャネル型TFT101__2をオンの状態にする信号であれば、上記に限定されない。

10

【0119】

また、第3段以降の回路において、第 k 段の第1のクロックドインバータにおいて、 n チャネル型TFT501d__kがオフの状態になることを望まれる際に、 n チャネル型TFT101__kのゲート電極に入力されたSB__k-2の信号によって、 n チャネル型TFT101__kをオフにする。こうして、第 k 段の回路の第1のクロックドインバータCKINV1__kにおいて、 n チャネル型TFTの漏れ電流が流れるのを防ぐことができる。

【0120】

ここで、タイミングチャートに示すようにスタートパルスを入力すれば、漏れ電流による第1段の第1のクロックドインバータの出力SB__1の変動は問題とならない。つまり、第1段の第1のクロックドインバータにおいて、入力されたスタートパルスSPの極性が反転した信号が、第1段の第1のクロックドインバータCKINV1__1の出力SB__1となるような場合、漏れ電流による第1段の第1のクロックドインバータの出力SB__1の変動は問題とならない。

20

【0121】

こうして、第2段以降の第1のクロックドインバータCKINV1に、新たに、 n チャネル型TFT101を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。

【0122】

本実施の形態のシフトレジスタの駆動方法について、図9のタイミングチャートを用いて説明する。図9において、遅延回路110を介してTFT101__2のゲート電極に入力される信号S__1Rを示す。この信号S__1Rによって、TFT101__2をオフにし、第2段の第1のクロックドインバータCKINV1__2の漏れ電流を防ぐことができる。

30

【0123】

なお、 p チャネル型TFTの漏れ電流を確実に防ぐために、新たな p チャネル型TFT等は設けなかった。一般に、 n チャネル型TFTは、 p チャネル型TFTより特性が良いため、特に n チャネル型TFTの漏れ電流を確実に防止することが重要である。そのため、上記構成による漏れ電流防止の構造は有効である。

【0124】

なお、本実施の形態のシフトレジスタの第1段において、第1のクロックドインバータCKINV1__1の p チャネル型TFT501aと、 p チャネル型TFT501bとは、その配置を入れ替えることができる。つまり、図8のように、高電源電位Vddにそのソース電極が接続された p チャネル型TFTを501aとして、 p チャネル型TFT501a、501bの順に直列に接続し、 p チャネル型TFT501bのドレイン電極を第1のクロックドインバータCKINV1__1の出力端子とした構成であっても良いし、高電源電位Vddにそのソース電極が接続された p チャネル型TFTを501bとして、 p チャネル型TFT501b、501aの順に直列に接続し、 p チャネル型TFT501aのドレイン電極を第1のクロックドインバータCKINV1__1の出力端子とした構成であっても良い。

40

50

【0125】

また、また上記の様に、第1のクロックドインバータCKINV1__1内において、pチャンネル型TF T501a及び501bの配置が2とおりに存在するが、このそれぞれにおいて、nチャンネル型TF T501dと、501cとは、その配置を入れ替えることができる。つまり、図8のように低電源電位Vssにそのソース電極が接続されたnチャンネル型TF Tを501dとして、nチャンネル型TF T501d、501cの順に直列に接続し、nチャンネル型TF T501cのドレイン電極を第1のクロックドインバータCKINV1__1の出力端子とした構成であっても良いし、低電源電位Vssにそのソース電極が接続されたnチャンネル型TF Tを501cとして、nチャンネル型TF T501c、501dの順に直列に接続し、nチャンネル型TF T501dのドレイン電極を第1のクロックドインバータCKINV1__1の出力端子とした構成であっても良い。

10

【0126】

第1段の回路において、第1のクロックドインバータCKINV1__1と同様に、第2のクロックドインバータCKINV2__1のpチャンネル型TF T501aと、501bとは、その配置を入れ替えることができる。また、第2のクロックドインバータCKINV2__1のnチャンネル型TF T501dと、501cとは、その配置を入れ替えることができる。

【0127】

なお、本実施の形態のシフトレジスタの第2段以降の回路において、それぞれ有する第1のクロックドインバータCKINV1のpチャンネル型TF T501aと、pチャンネル型TF T501bとは、その配置を入れ替えることができる。つまり、図8のように高電源電位Vddにそのソース電極が接続されたTF Tをpチャンネル型TF T501aとして、pチャンネル型TF T501a、501bの順に直列に接続し、pチャンネル型TF T501bのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、高電源電位Vddにそのソース電極が接続されたTF Tをpチャンネル型TF T501bとし、pチャンネル型TF T501b、501aの順に直列に接続し、pチャンネル型TF T501aのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良い。

20

【0128】

また、また上記の様に、第1のクロックドインバータCKINV1内において、pチャンネル型TF T501a及び501bの配置が2とおりに存在するが、このそれぞれにおいて、nチャンネル型TF T101と、501dと、501cとは、その配置を入れ替えることができる。つまり、図8のように低電源電位Vssにそのソース電極が接続されたTF Tをnチャンネル型TF T101とし、nチャンネル型TF T101、501d、501cの順に直列に接続し、nチャンネル型TF T501cのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いがその他に、低電源電位Vssにそのソース電極が接続されたTF Tをnチャンネル型TF T101とし、nチャンネル型TF T101、501c、501dの順に直列に接続し、nチャンネル型TF T501dのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位Vssにそのソース電極が接続されたTF Tをnチャンネル型TF T501dとし、nチャンネル型TF T501d、101、501cの順に直列に接続し、nチャンネル型TF T501cのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位Vssにそのソース電極が接続されたTF Tをnチャンネル型TF T501cとし、nチャンネル型TF T501c、101、501dの順に直列に接続し、nチャンネル型TF T501dのドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位Vssにそのソース電極が接続されたTF Tをnチャンネル型TF T501dとし、nチャンネル型TF T501d、501c、101の順に直列に接続し、nチャンネル型TF T101のドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良いし、低電源電位Vssにそのソース電極が接続されたTF Tをnチャンネル型TF T501c

30

40

50

とし、 n チャンネル型TFT501c、501d、101の順に直列に接続し、 n チャンネル型TFT101のドレイン電極を第1のクロックドインバータCKINV1の出力端子とした構成であっても良い。

【0129】

第1段の回路における第2のクロックドインバータCKINV2__1と同様に、第2段以降の第2のクロックドインバータCKINV2のpチャンネル型TFT501aと、501bとは、その配置を入れ替えることができる。また、第2のクロックドインバータCKINV2の n チャンネル型TFT501dと、501cとは、その配置を入れ替えることができる。

【0130】

なお、図8において、シフトレジスタの各段が有する、第1のクロックドインバータCKINV1、第2のクロックドインバータCKINV2及びインバータINVを構成するTFTは、シングルゲート構造としたが、これに限定されない。ダブルゲート構造や、更に多くのゲート電極を有するマルチゲート構造であっても良い。

【0131】

本実施の形態は、第1の実施の形態と自由に組み合わせて実施することが可能である。

【0132】

(第4の実施の形態)

本実施の形態では、実施の形態2や実施の形態3とは異なる構成のシフトレジスタについて説明する。

【0133】

本実施の形態のシフトレジスタは、図1に示した構成のシフトレジスタにおいて、第1のクロックドインバータCKINV1に n チャンネル型TFT101を有する第3段以降の段では、クロックパルスCKまたは反転クロックパルスCKBが入力される n チャンネル型TFT501dを省略した構成である。この構成を図18に示す。なお、図1と同じ部分は同じ符号を用いて示し説明は省略する。例えば、図18における第3段の第1のクロックドインバータCKINV1では、図1に対して n チャンネル型TFT501d__3が省略されている。図18に示す構成のシフトレジスタは、図1と同様のタイミングでパルスを出力することができる。

【0134】

図18に示すような構成では、シフトレジスタを構成するTFTの数は従来のシフトレジスタに対して増加しない。しかし、その電源電圧より小さな振幅電圧を有するクロックパルス、スタートパルスを入力する場合にも、漏れ電流による第1のクロックドインバータの出力電位の変化を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

【0135】

また同様に、図8に示した構成のシフトレジスタにおいて、第1のクロックドインバータCKINV1に n チャンネル型TFT101を有する第2段以降の段では、クロックパルスCKまたは反転クロックパルスCKBが入力される n チャンネル型TFT501dを省略した構成である。この構成を図19に示す。なお、図8と同じ部分は同じ符号を用いて示し説明は省略する。例えば、図19における第2段の第1のクロックドインバータCKINV1では、図8に対して n チャンネル型TFT501d__2が省略されている。図19に示す構成のシフトレジスタは、図8と同様のタイミングでパルスを出力することができる。

【0136】

図19に示すような構成でも、シフトレジスタを構成するTFTの数は従来のシフトレジスタに対して増加しない。しかし、その電源電圧より小さな振幅電圧を有するクロックパルス、スタートパルスを入力する場合にも、漏れ電流による第1のクロックドインバータの出力電位の変化を低減することができる。こうして、低消費電力・高周波数で動作し

10

20

30

40

50

、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

【0137】

本実施の形態は、実施の形態1～実施の形態3と自由に組み合わせて実施することができる。

【0138】

(第5の実施の形態)

本実施の形態では、その電源電圧（高電源電位 V_{dd} と低電源電位 V_{ss} の電位差に相当する）より小さな振幅電圧の、スタートパルス SP や、クロックパルス CK を入力するシフトレジスタであって、この際問題となる、第1のクロックドインバータの漏れ電流を以下の構成によって低減したシフトレジスタの例を示す。

10

【0139】

なお、本実施の形態に示すシフトレジスタでは、第1のクロックドインバータの p チャネル型 $TFT501a$ や $501b$ を介して流れる漏れ電流を低減する構成である。

【0140】

本実施の形態のシフトレジスタの構成を図21に示す。また、図21のシフトレジスタのタイミングチャートを図20に示す。ここで、スタートパルス SP 、クロックパルス CK の入力のタイミングは実施の形態1において図1で示した構成と同様であるので詳細な説明は省略する。

【0141】

20

但し、実施の形態1において図1で示した構成のシフトレジスタに入力されるスタートパルスに対して、本実施の形態の図21で示した構成のシフトレジスタに入力されるスタートパルスの極性は反転している。入力されるクロックパルス CK 、反転クロックパルス CKB については、図1の構成のシフトレジスタ、図21の構成のシフトレジスタ共に同じである。

【0142】

図21に示すシフトレジスタでは、第3段以降の各段の第1のクロックドインバータ $CKINV1$ は、 p チャネル型 $TFT1101$ を有する。ここで、第 k (k は、3以上 n 以下の自然数) 段の p チャネル型 $TFT1101$ を 1101_k と表記する。なお、 p チャネル型 $TFT1101$ のゲート電極の電氣的接続については、図21に示した通りである。つまり、ある段における p チャネル型 $TFT1101$ のゲート電極には、2つ前の段の第1のクロックドインバータ $CKINV1$ の出力が入力されている。

30

【0143】

図21に示した構成のシフトレジスタによって、第1のクロックドインバータの p チャネル型 $TFT501a$ や $501b$ を介して流れる漏れ電流を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

【0144】

なお、図21に示した構成において、さらに第2段の第1のクロックドインバータ $CKINV1$ に、新たに p チャネル型 $TFT1101$ を追加する構成としてもよい。この構成を、図22に示す。なお、図22に示した構成において、図21と同じ部分は同じ符号を用いて示し説明は省略する。ここで、 110 は遅延回路である。第2段の第1のクロックドインバータ $CKINV1$ に追加された p チャネル型 $TFT1101_2$ のゲート電極には、第1段の第1のクロックドインバータ $CKINV1$ の出力が遅延回路 110 を介して入力される。遅延回路 110 により信号を遅延させる度合いは、クロックパルスの半周期程度に設定する。

40

【0145】

図22に示した構成のシフトレジスタによって、第1のクロックドインバータの p チャネル型 $TFT501a$ や $501b$ を介して流れる漏れ電流を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題

50

を解決するシフトレジスタが提供される。

【0146】

また、図21や図22に示した構成のシフトレジスタにおいて、新たにpチャネル型TF T 1 1 0 1が追加された第1のクロックドインバータCK I N V 1では、クロックパルスCKまたは反転クロックパルスCK Bが入力されるpチャネル型TF T 5 0 1 aを省略した構成とすることができる。

【0147】

つまり、図21において、新たにpチャネル型TF T 1 1 0 1が追加された第3段以降の第1のクロックドインバータCK I N V 1では、クロックパルスCKまたは反転クロックパルスCK Bが入力されるpチャネル型TF T 5 0 1 aを省略することができる。この構成を図23に示す。例えば、図23における第3段の第1のクロックドインバータCK I N V 1では、図21に対してpチャネル型TF T 5 0 1 a _ 3が省略されている。 10

【0148】

また図22において、新たにpチャネル型TF T 1 1 0 1が追加された第2段以降の第1のクロックドインバータCK I N V 1では、クロックパルスCKまたは反転クロックパルスCK Bが入力されるpチャネル型TF T 5 0 1 aを省略することができる。この構成を図24に示す。例えば、図24における第2段の第1のクロックドインバータCK I N V 1では、図22に対してpチャネル型TF T 5 0 1 a _ 2が省略されている。

【0149】

図23や図24において、シフトレジスタを構成するTF Tの数は従来のシフトレジスタに対して増加しない。しかし、その電源電圧より小さな振幅電圧を有するクロックパルス、スタートパルスを入力する場合にも、漏れ電流による第1のクロックドインバータの出力電位の変化を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。 20

【0150】

また、図21～図24に示したようなシフトレジスタの各段の出力Sにおいて、その隣り合う段の出力のN O Rをとった信号を出力信号とするタイプのシフトレジスタでもよい。図21に示したようなシフトレジスタにおいて、その隣り合う段の出力のN O Rをとった信号を出力信号とするタイプのシフトレジスタを図25に示す。

【0151】

なお図25において、図21に示したタイミングチャートに示すようにスタートパルスS Pを入力すれば、漏れ電流による第1段の第1のクロックドインバータCK I N V 1 _ 1の出力S B _ 1の変動は問題とならない。また、第2段の第1のクロックドインバータの出力S B _ 2は、漏れ電流によって変動するが、第1段及び第2段の出力S _ 1とS _ 2のN O Rをとったものが、サンプリングパルスS M P _ 1として出力されるため、シフトレジスタの動作上、問題ない。第3段以降の第1のクロックドインバータCK I N V 1に、新たに、pチャネル型TF T 1 1 0 1を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。 30

【0152】

本実施の形態は、実施の形態1～実施の形態4と自由に組み合わせて実施することが可能である。 40

【0153】

(第6の実施の形態)

本発明のシフトレジスタ及びその駆動方法は、表示装置の駆動回路に用いることができる。

【0154】

例えば、エレクトロルミネッセンス(E L)素子を用いたE L表示装置や、液晶素子を用いた液晶表示装置等の駆動回路に、本発明のシフトレジスタ及びその駆動方法を用いることができる。これにより、消費電力が少なく、また、小型化可能で、信頼性の高い表示装置が提供される。 50

【0155】

なおEL素子とは、一対の電極（陽極と陰極）間にEL層を挟んだ構成の素子で、一対の電極間に電圧を印加することによって発光する素子を示すものとする。なお、EL層は、有機化合物によって形成されていてもよいし、無機物によって構成されていてもよいし、有機化合物と無機物の混合物によって形成されていてもよい。ここで、EL層が有機化合物を主成分として形成される素子を特にOLED（Organic Light Emitting Diode）と呼ぶことにする。OLEDを用いた表示装置をOLED表示装置と呼ぶ。

【0156】

OLEDのEL層を有機化合物層と呼ぶことにする。有機化合物層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て有機化合物層に含まれる。そして、上記構造でなる有機化合物層に一対の電極（陽極と陰極）

から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。

【0157】

なお、有機化合物層は、明確な積層構造を有している必要は無い。各層を構成する物質が混合した構造を有していてもよい。

【0158】

また本明細書中において、OLEDとは、1重項励起子からの発光（蛍光）と、3重項励起子からの発光（燐光）の一方または両方を用いるものを示すものとする。

【0159】

図13に、表示装置の構成の例を示すブロック図を示す。図13において、表示装置700は、ソース信号線駆動回路701、ゲート信号線駆動回路702、画素部703によって構成されている。ソース信号線駆動回路701は、シフトレジスタ704、第1のラッチ回路705、第2のラッチ回路706によって構成されている。また、ゲート信号線駆動回路702は、シフトレジスタ707によって構成されている。

【0160】

画素部703には、ソース信号線駆動回路701からの信号が入力される複数のソース信号線が列方向に配置され、ゲート信号線駆動回路702からの信号が入力される複数のゲート信号線が行方向に配置されている。これらのソース信号線及びゲート信号線の交点毎に、画素が配置されている。

【0161】

表示装置がOLED表示装置では、画素はそれぞれOLEDを有し、表示装置が液晶表示装置では液晶素子を有する。

【0162】

ゲート信号線駆動回路702は、シフトレジスタ707からの信号によって、ゲート信号線に順に信号を出力し、画素部703が有する画素行を選択する。ソース信号線駆動回路701は、シフトレジスタ704からの信号によって、第1のラッチ回路705が順にビデオ信号を保持し、第1のラッチ回路705において保持されたビデオ信号は、第2のラッチ回路706に転送されて、ソース信号線に入力される。こうして、1行の画素に信号を入力する。これを全ての画素行について繰り返し、1つの画像が表示される。

【0163】

例えば、OLED表示装置の画素の構成としては、ゲート信号線の信号によって、画素にソース信号線の信号を入力するかどうかを選択するスイッチとして働く、スイッチング用TFT及び、スイッチング用TFTがオンの状態となり、ソース信号線から入力された信号に応じて、画素のOLEDを流れる電流を制御するOLED駆動用TFTを配置する

10

20

30

40

50

構成の画素を用いることができる。

【0164】

なお、画素の構成としては公知のものを自由に用いることができる。

【0165】

本発明のシフトレジスタ及びその駆動方法は、ソース信号線駆動回路701が有するシフトレジスタ704及び、ゲート信号線駆動回路702が有するシフトレジスタ707に用いることができる。

【0166】

本実施の形態は、本発明の実施の形態1～実施の形態5と自由に組み合わせて実施することが可能である。

【0167】

(第7の実施の形態)

本実施の形態では、本発明のシフトレジスタを実際に作製した際の上面図を示す。図15において、図1におけるシフトレジスタの第3段以降のある1段に相当する部分の上面図を示す。ここで、第 k (k は3以上の自然数)段 SR_k の上面図を示す。

【0168】

第1のクロックドインバータ $CKINV1_k$ 、第2のクロックドインバータ $CKINV2_k$ 及びインバータ INV_k が配置されている。なお、図1において示した部分と同じ部分は、同じ符号を用いて示す。

【0169】

第1のクロックドインバータ $CKINV1_k$ を構成する p チャネル型 $TFT501a_k$ 及び $501b_k$ を、図中 $pchTFT501a_k$ 、 $501b_k$ で示す。また、第1のクロックドインバータ $CKINV1_k$ を構成する n チャネル型 $TFT501c_k$ 、 $501d_k$ 及び漏れ電流対策として配置した $TFT101_k$ を、図中 $nchTFT501c_k$ 、 $501b_k$ 、 101_k で示す。

【0170】

CK 、 CKB は、それぞれクロックパルス及びクロックパルスの極性が反転した反転クロックパルスが入力される配線である。また、 Vdd は、高電源電位が入力される電源線であり、 Vss は、低電源電位が入力される電源線である。

【0171】

図中、 A 、 B で示した配線は、前段(第 $k-1$ 段)の A' 、 B' にそれぞれ接続される。但し、前後の段(第 $k-1$ 段及び第 $k+1$ 段)の回路では、 $TFT501d$ のゲート電極に信号を入力する配線 $CKin1$ が配線 CKB に接続され、 $TFT501a$ のゲート電極に信号を入力する配線 $CKin2$ が配線 CK に接続されている。

【0172】

第 k 段の第1のクロックドインバータ $CKINV1_k$ に追加した、 n チャネル型 $TFT101_k$ のゲート電極には、前々段(第 $k-2$ 段)の第1のクロックドインバータ $CKINV1_k-2$ の出力に相当する、 SB_k-2 で示す信号が入力されている。(なお、出力される信号と同じ符号をもって、その信号が出力される端子や配線を示すこととする)。図15中 SB_k-2 は、第 $k-2$ 段の第1のクロックドインバータの出力端子及び第 $k-2$ 段の第2のクロックドインバータの出力端子に相当する。

【0173】

図16に、シフトレジスタの3段分の構成を示す上面図を示す。なお、図15と同じ部分は同じ符号を用いて示し説明は省略する。

【0174】

図16において、シフトレジスタの第 k 段～第 $k+2$ 段、 $SR_k \sim SR_k+2$ を示す。第 $k+2$ 段 SR_k+2 の第1のクロックドインバータ $CKINV1_k+2$ の n チャネル型 $TFT101_k+2$ のゲート電極に入力される信号は、第 k 段 SR_k の第1のクロックドインバータ $CKINV1_k$ の出力端子から出力される信号 SB_k である。図15中 SB_k は、第 k 段の第1のクロックドインバータの出力端子及び第 k 段の第

10

20

30

40

50

2のクロックドインバータの出力端子に相当する。

【0175】

図15及び図16において示した構成のシフトレジスタでは、電源電圧より小さな振幅電圧を有するパルス信号（クロックパルス、反転クロックパルス及びスタートパルス）を入力しても、nチャネル型TFT101によって、漏れ電流による出力電位の変動を抑えることができる。

【0176】

本実施の形態は、実施の形態1～実施の形態6と自由に組み合わせて実施することが可能である。

【0177】

（第8の実施の形態）

本実施の形態では、本発明のシフトレジスタを実際に作製した際の断面図を示す。

【0178】

ここでは、図15のa～a'の部分の断面図を図17に示す。なお、図15と同じ部分は同じ符号を用いて示し、説明は省略する。

【0179】

絶縁表面を有する基板800上に、pチャネル型TFT（図中、pchTFTと表記）501a__k、501b__k、nチャネル型TFT（図中、nchTFTと表記）501c__k、501d__k、101__kが形成されている。なお、801はゲート絶縁膜、802は層間絶縁膜である。

【0180】

pチャネル型TFT501a__kは活性層中に、ソース領域として機能する不純物領域881及び885、チャネル領域として機能する891及び894を有する。なお、不純物領域882及び884はドレイン領域として機能する。なお、不純物領域885は、配線810によって、電源線Vddと電氣的に接続されている。pチャネル型TFT501a__kは、活性層と重ならない部分で電氣的に接続されたゲート電極803と806を有するダブルゲート型のTFTである。ゲート電極803は、配線CKin2によって配線CKBと接続されている。

【0181】

pチャネル型TFT501b__kは活性層中に、ソース領域として機能する不純物領域882及び884、ドレイン領域として機能する不純物領域883、チャネル領域として機能する892及び893を有する。pチャネル型TFT501b__kは、活性層と重ならない部分で電氣的に接続されたゲート電極804と805を有するダブルゲート型のTFTである。ゲート電極804は、端子S__k-1と電氣的に接続されている。また、ドレイン領域として機能する不純物領域883は、端子SB__kに接続されている。

【0182】

pチャネル型TFT501a__kのドレイン領域とpチャネル型TFT501b__kのソース領域とは、活性層によって直接接続されている。

【0183】

nチャネル型TFT501c__kは活性層中に、ドレイン領域として機能する不純物領域886、ソース領域として機能する不純物領域887、チャネル領域として機能する895を有する。なお、ドレイン領域として機能する不純物領域886は、配線811によって、端子SB__kと接続されている。ゲート電極807は、端子S__k-1と接続されている。

【0184】

nチャネル型TFT501d__kは活性層中に、ドレイン領域として機能する不純物領域887、ソース領域として機能する不純物領域888、チャネル領域として機能する896を有する。ゲート電極808は、配線CKin1によって配線CKと接続されている。

【0185】

10

20

30

40

50

nチャネル型TFT101__kは活性層中に、ドレイン領域として機能する不純物領域888、ソース領域として機能する不純物領域889、チャネル領域として機能する897を有する。ゲート電極809は、端子SB__k-2と接続されている。ソース領域として機能する不純物領域889は、電源線Vssと電氣的に接続されている。

【0186】

nチャネル型TFT501c__kのソース領域とnチャネル型TFT501d__kのドレイン領域は、活性層によって直接接続されている。また、nチャネル型TFT501d__kのソース領域とnチャネル型TFT101__kのドレイン領域は、活性層によって直接接続されている。

【0187】

以上が、本発明のシフトレジスタを実際に作製した際の断面図についての説明であった。本発明のシフトレジスタでは、電源電圧より小さな振幅電圧を有するパルス信号（クロックパルス、反転クロックパルス及びスタートパルス）を入力しても、nチャネル型TFT101によって、漏れ電流による出力電位の変動を抑えることができる。

【0188】

本実施の形態は、実施の形態1～実施の形態7と自由に組み合わせて実施することが可能である。

【0189】

（第9の実施の形態）

本実施の形態では、本発明のシフトレジスタ用いた駆動回路を有する表示装置を利用した電子機器について図11を用いて説明する。

【0190】

図11（A）に本発明の表示装置を用いた携帯情報端末の模式図を示す。携帯情報端末は、本体2701a、操作スイッチ2701b、電源スイッチ2701c、アンテナ2701d、表示部2701e、外部入力ポート2701fによって構成されている。本発明の表示装置は、表示部2701eに用いることができる。

【0191】

図11（B）に本発明の表示装置を用いたパーソナルコンピュータの模式図を示す。パーソナルコンピュータは、本体2702a、筐体2702b、表示部2702c、操作スイッチ2702d、電源スイッチ2702e、外部入力ポート2702fによって構成されている。本発明の表示装置は、表示部2702cに用いることができる。

【0192】

図11（C）に本発明の表示装置を用いた画像再生装置の模式図を示す。画像再生装置は、本体2703a、筐体2703b、記録媒体2703c、表示部2703d、音声出力部2703e、操作スイッチ2703fによって構成されている。本発明の表示装置は、表示部2703dに用いることができる。

【0193】

図11（D）に本発明の表示装置を用いたテレビの模式図を示す。テレビは、本体2704a、筐体2704b、表示部2704c、操作スイッチ2704dによって構成されている。本発明の表示装置は、表示部2704cに用いることができる。

【0194】

図11（E）に本発明の表示装置を用いたヘッドマウントディスプレイの模式図を示す。ヘッドマウントディスプレイは、本体2705a、モニター部2705b、頭部固定バンド2705c、表示部2705d、光学系2705eによって構成されている。本発明の表示装置は、表示部2705dに用いることができる。

【0195】

図11（F）に本発明の表示装置を用いたビデオカメラの模式図を示す。ビデオカメラは、本体2706a、筐体2706b、接続部2706c、受像部2706d、接眼部2706e、バッテリー2706f、音声入力部2706g、表示部2706hによって構成されている。本発明の表示装置は、表示部2706hに用いることができる。

10

20

30

40

50

【0196】

本発明は、上記応用電子機器に限定されず、様々な電子機器に応用することができる。

【0197】

本実施の形態は、実施の形態1～実施の形態8と自由に組み合わせて実施することが可能である。

【0198】

(第10の実施の形態)

本実施の形態では、同一基板上に従来型及び本発明のシフトレジスタの各々を搭載したパネルを作製し、動作させたときの測定結果について述べる。より詳しくは、入力する信号電圧を0～3Vとして、電源電圧の振幅を増加していき、何Vまで正常に動作するのかを測定した結果について述べる。なおこのときの周波数は5MHzとした。

【0199】

従来型のシフトレジスタは、電源電圧が-1.5V～5.5Vの範囲において正常に動作し、その振幅は7.0Vであった。一方、本発明のシフトレジスタでは、電源電圧が-5.0～7.5Vの範囲において正常に動作し、その振幅は12.5Vであった。

【0200】

以上の結果より、本発明のシフトレジスタを用いると、従来型のシフトレジスタよりも電源電圧にマージンが生じるため、TFTの特性バラツキの影響を抑制することができる。さらに、シフトレジスタから他の回路に対して正確に信号を供給することができる。

【0201】

(第11の実施の形態)

本発明のシフトレジスタについて、上面から撮影した写真を図27に示す。具体的な仕様としては、入力信号の振幅電圧は3.0V、電源電圧は8.0Vとした。

【0202】

また、本発明のシフトレジスタを周波数5MHzで動作させたときの波形を図28に示す。図28において、上から順にスタートパルス、クロック信号、シフトレジスタが出力する信号の波形を示す。なお、シフトレジスタが出力する信号において、1段目の波形が半パルス分大きくなっているが、これは2段目のNANDをとるためであるので、特に問題はない。

【図面の簡単な説明】

【0203】

【図1】本発明のシフトレジスタの構成を示す回路図。

【図2】本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。

【図3】本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。

【図4】シフトレジスタの構成を示す図。

【図5】シフトレジスタの構成を示す図。

【図6】従来のシフトレジスタの駆動方法を示すタイミングチャートを示す図。

【図7】理想的なシフトレジスタの駆動方法を示すタイミングチャートを示す図。

【図8】本発明のシフトレジスタの構成を示す回路図。

【図9】本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。

【図10】シフトレジスタの構成を示す回路図。

【図11】本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。

【図12】本発明のシフトレジスタの構成を示す回路図。

【図13】本発明のシフトレジスタを用いた駆動回路を有する表示装置のブロック図。

【図14】本発明のシフトレジスタを用いた駆動回路を有する表示装置を応用した電子機器を示す図。

【図15】本発明のシフトレジスタの作製例を示す上面図。

【図16】本発明のシフトレジスタの作製例を示す上面図。

【図17】本発明のシフトレジスタの作製例を示す断面図。

【図18】本発明のシフトレジスタの構成を示す回路図。

10

20

30

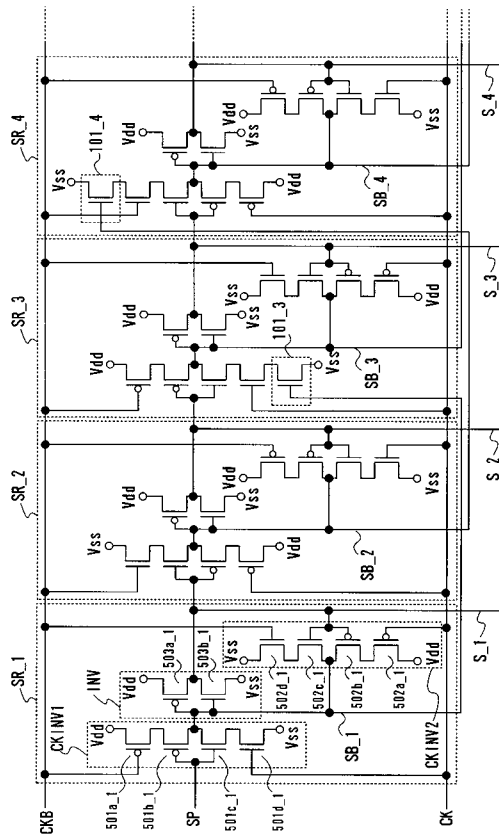
40

50

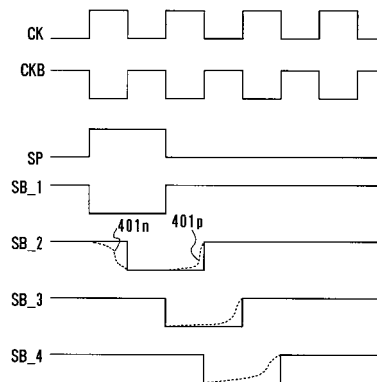
- 【図 19】 本発明のシフトレジスタの構成を示す回路図。
 【図 20】 本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。
 【図 21】 本発明のシフトレジスタの構成を示す回路図。
 【図 22】 本発明のシフトレジスタの構成を示す回路図。
 【図 23】 本発明のシフトレジスタの構成を示す回路図。
 【図 24】 本発明のシフトレジスタの構成を示す回路図。
 【図 25】 本発明のシフトレジスタの構成を示す回路図。
 【図 26】 T F T のゲート幅を示す図。
 【図 27】 本発明のシフトレジスタの上面写真。
 【図 28】 本発明のシフトレジスタを周波数 5 MHz で動作させたときの波形を示す図。

10

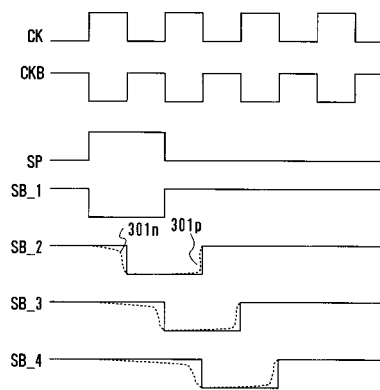
【図 1】



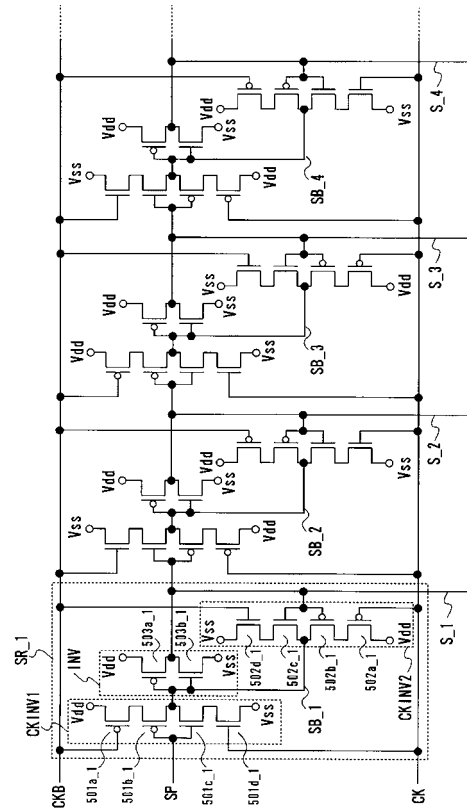
【図 2】



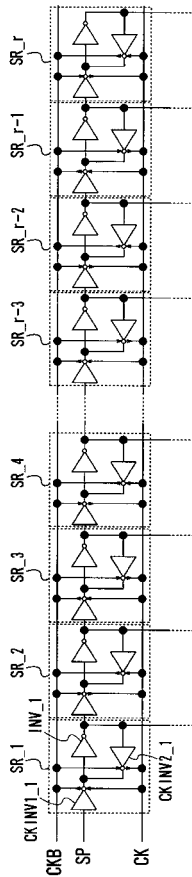
【図 3】



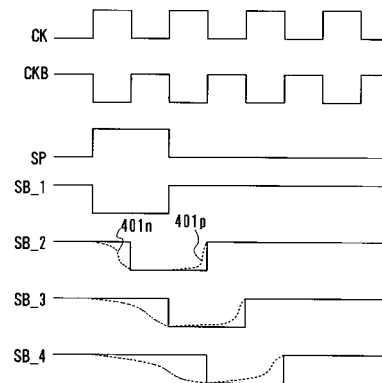
【図 4】



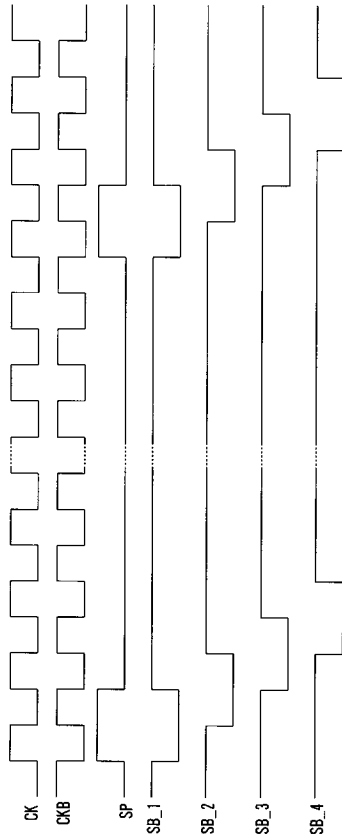
【図 5】



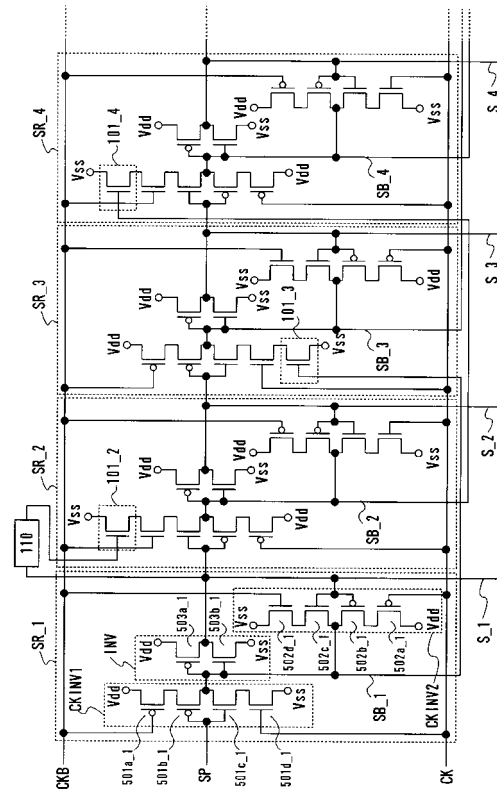
【図 6】



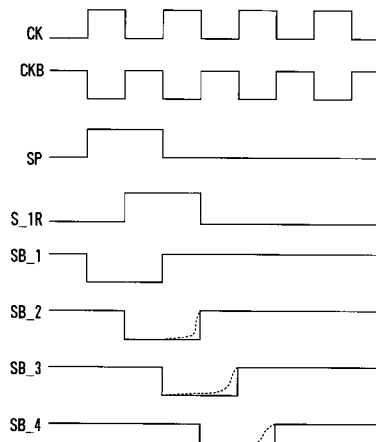
【図 7】



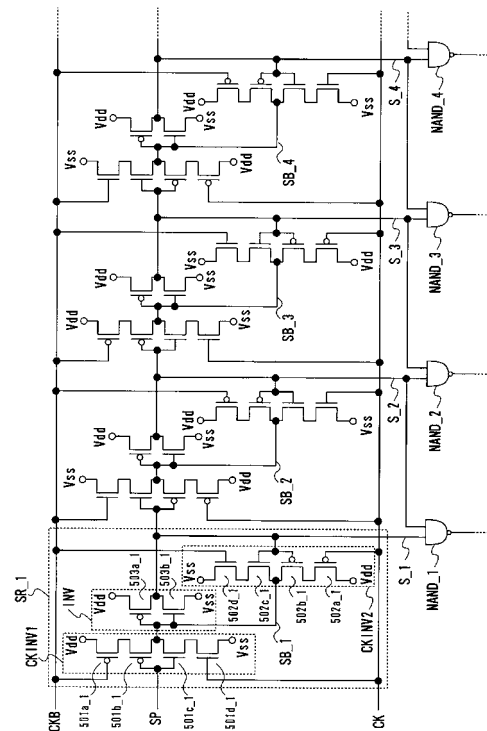
【図 8】



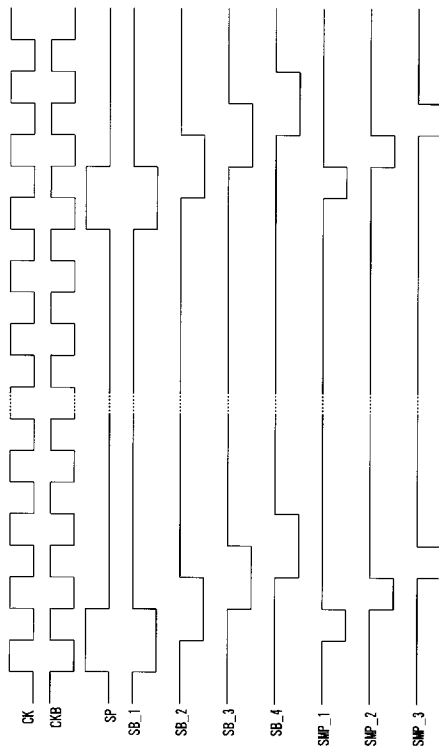
【図 9】



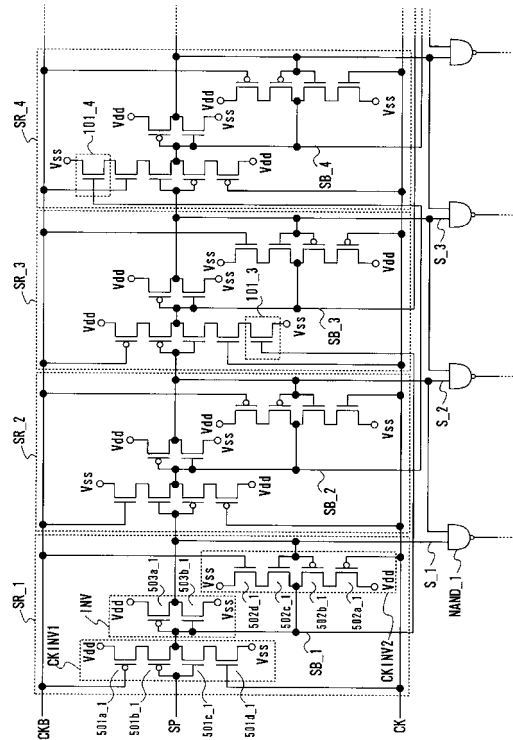
【図 10】



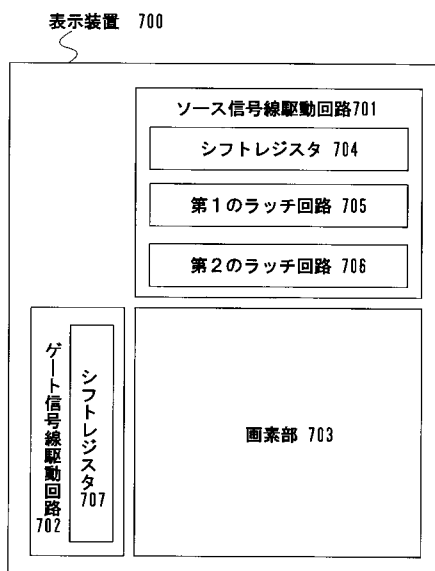
【図 1 1】



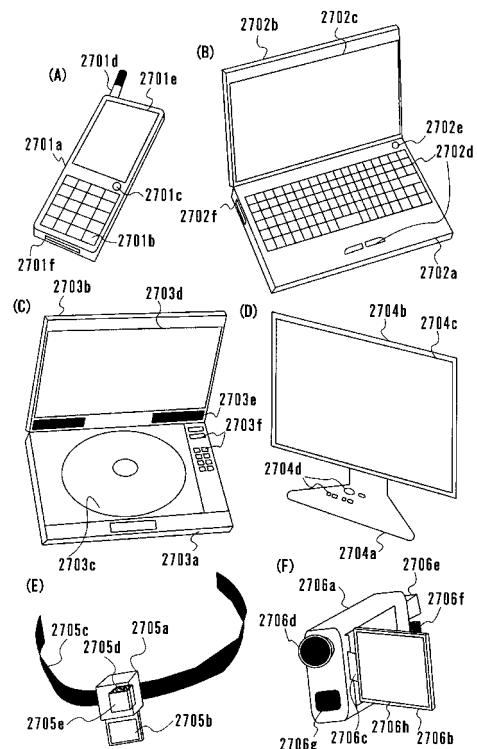
【図 1 2】



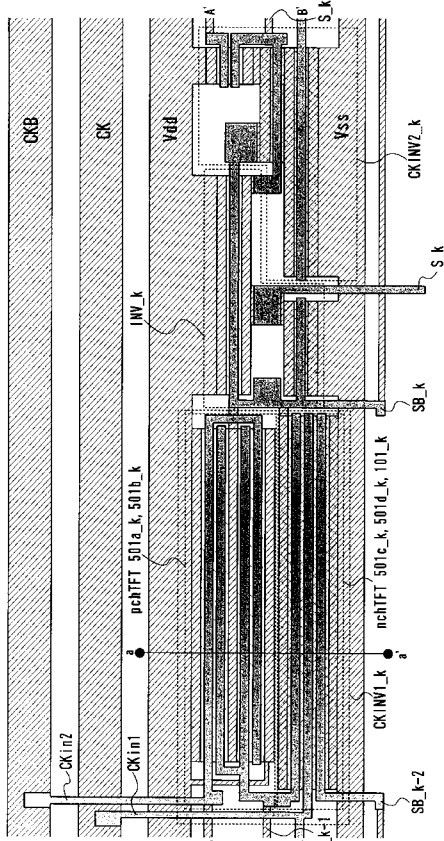
【図 1 3】



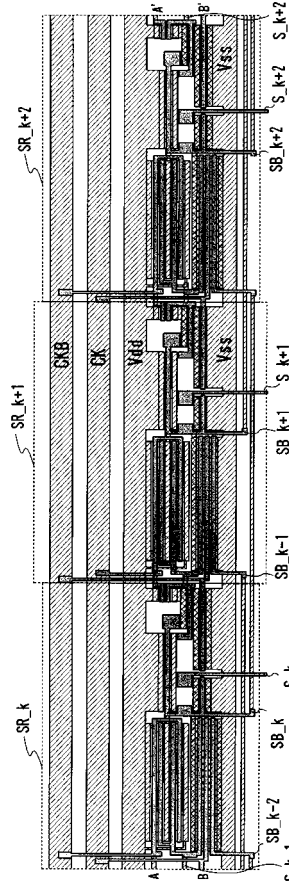
【図 1 4】



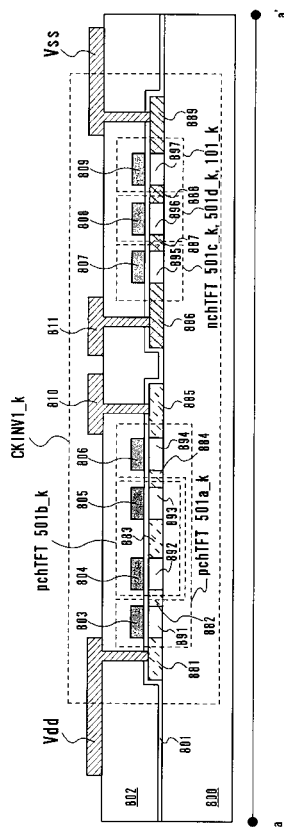
【図 15】



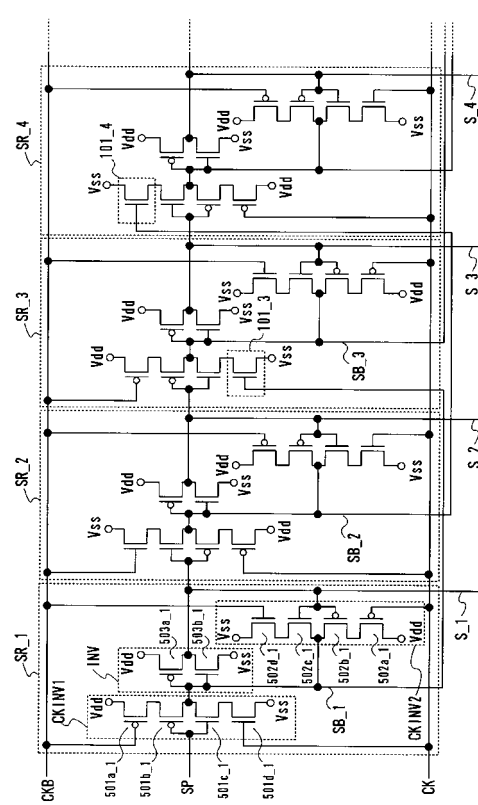
【図 16】



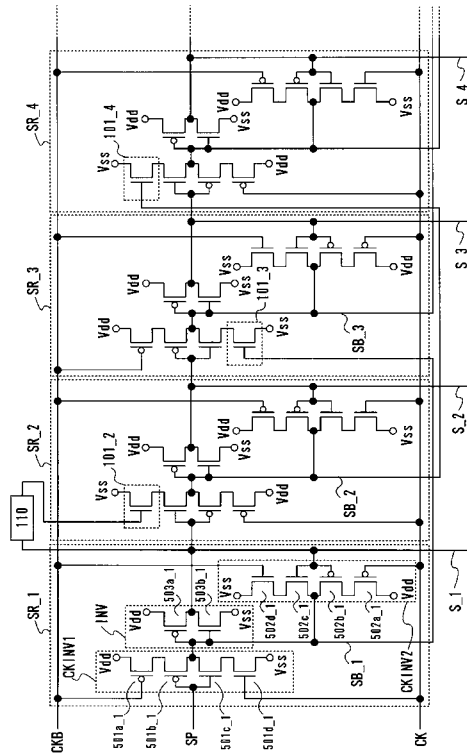
【図 17】



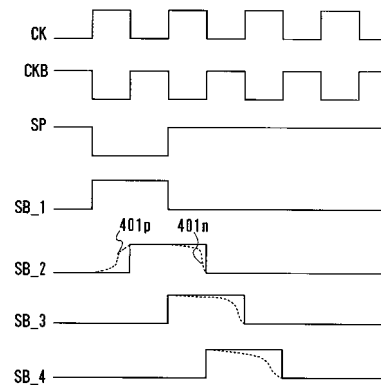
【図 18】



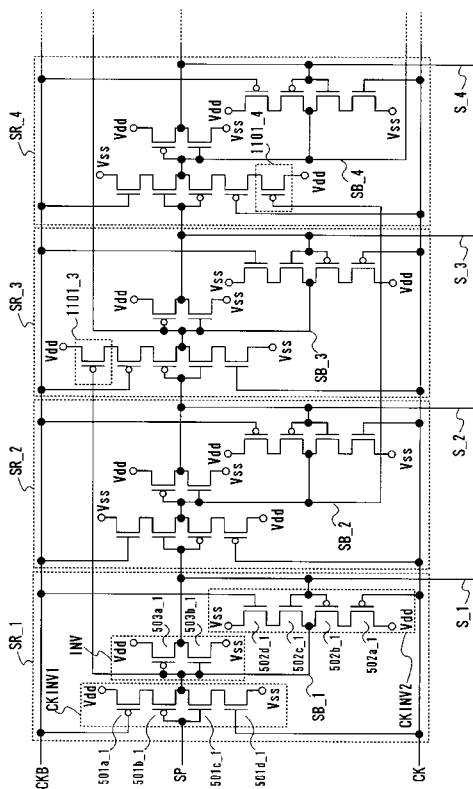
【図 19】



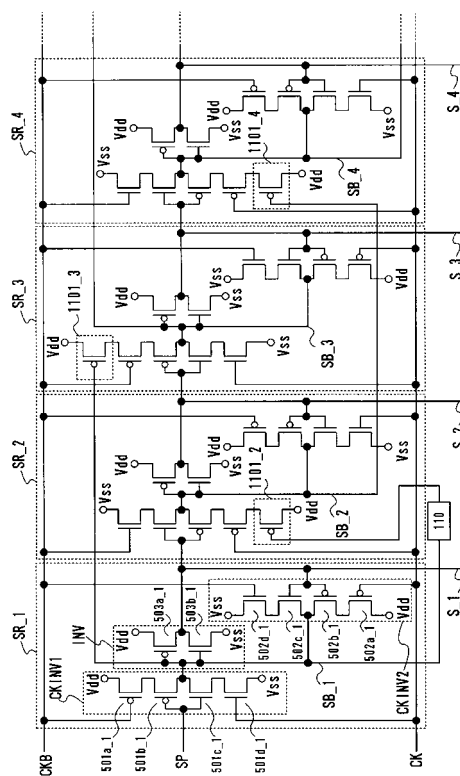
【図 20】



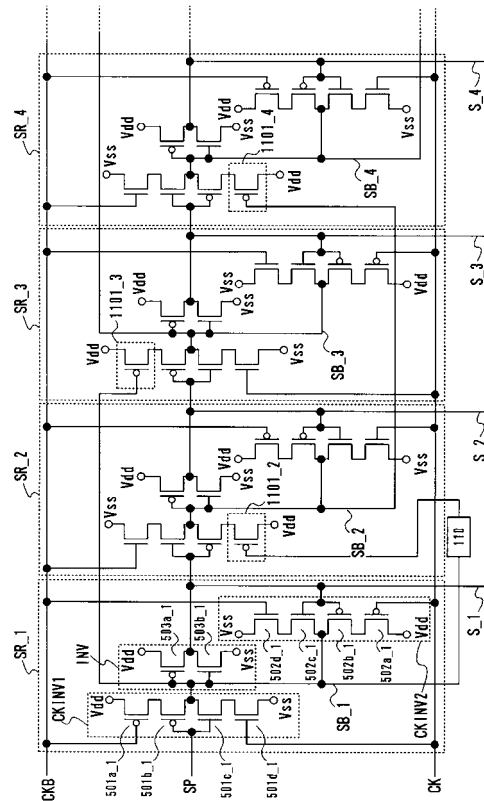
【図 21】



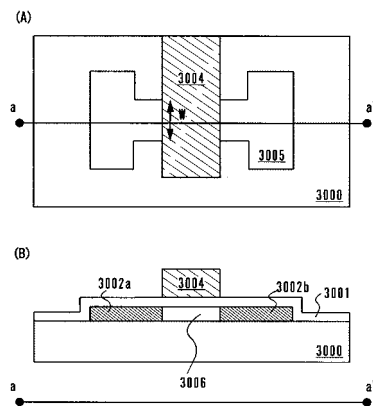
【図 22】



【図 2 4】



【 図 2 6 】



【図 28】

