

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年4月20日(20.04.2023)



(10) 国際公開番号

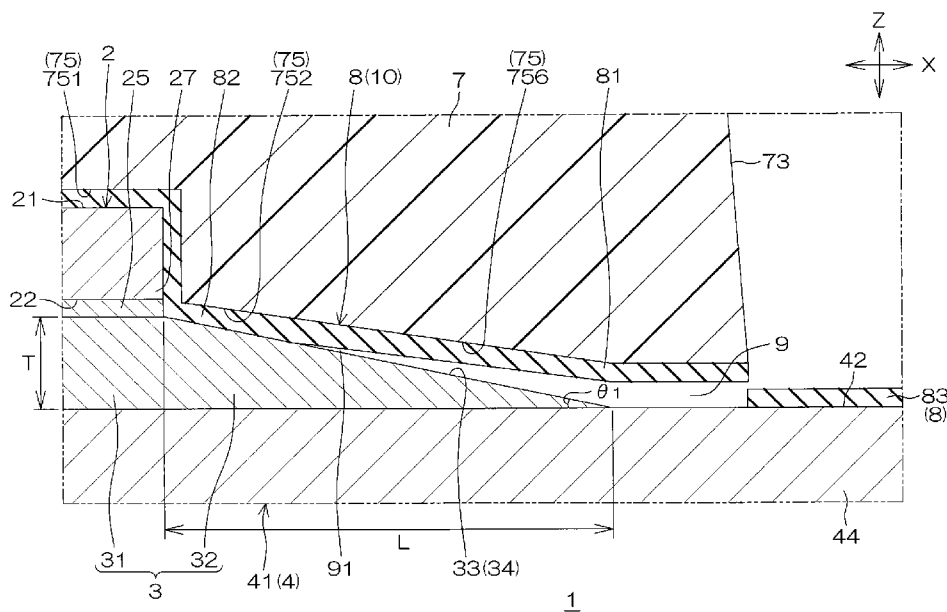
WO 2023/063064 A1

- (51) 国際特許分類:
H01L 23/29 (2006.01) H01L 23/40 (2006.01)
H01L 23/31 (2006.01) H01L 21/52 (2006.01)
- (21) 国際出願番号: PCT/JP2022/035719
- (22) 国際出願日: 2022年9月26日(26.09.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-168410 2021年10月13日(13.10.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 鶴見 直明 (TSURUMI, Naoaki);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目2番8号 岩田東急ビル8階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図8]



(57) Abstract: A semiconductor device that includes: a die pad; a semiconductor element disposed upon the die pad; an element-joining layer that is formed between the die pad and the semiconductor element and joins the die pad and the semiconductor element; a sealing resin that covers the die pad, the semiconductor element, and the element-joining layer; and a barrier layer that is formed at the boundary of the sealing resin and the element-joining layer and blocks corrosive ions derived from the sealing resin. The sealing resin has an end surface that forms a circumferential outer shape for



WO 2023/063064 A1

KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

sealing resin and the die pad may include a protruding section on the outside of the sealing resin, starting from the end surface of the sealing resin.

(57) 要約 : 半導体装置は、ダイパッドと、前記ダイパッド上に配置された半導体素子と、前記ダイパッドと前記半導体素子との間に形成され、前記ダイパッドに前記半導体素子を接合する素子接合層と、前記ダイパッド、前記半導体素子および前記素子接合層を覆う封止樹脂と、前記封止樹脂と前記素子接合層との境界部に形成され、前記封止樹脂由来の腐食性イオンをブロックするバリア層とを含む。前記封止樹脂は、前記封止樹脂の周囲外形を形成する端面を有し、前記ダイパッドは、前記封止樹脂の端面を起点に前記封止樹脂の外側に突出する突出部を含んでいてもよい。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] たとえば、特許文献1は、素子主面に電極パッドが形成された半導体素子と、半導体素子を搭載し、かつ素子裏面に導通する中間端子と、中間端子に隣接して配置され、かつ電極パッドに導通する側方端子と、電極パッドと側方端子とを接続する金属板と、電極パッドと金属板との間に介在する接合層と、半導体素子を覆う封止樹脂と、を備え、金属板は、電極パッドに接続される素子接続部と、側方端子に接続される端子接続部と、素子接続部と端子接続部との間に位置する中間部と、を有し、素子接続部に突起が形成されている、半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-050441号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示の一実施形態は、素子接合層にクラックが発生することを抑制することによって放熱性の低下を抑制することができる半導体装置を提供する。

課題を解決するための手段

[0005] 本開示の一実施形態に係る半導体装置は、ダイパッドと、前記ダイパッド上に配置された半導体素子と、前記ダイパッドと前記半導体素子との間に形成され、前記ダイパッドに前記半導体素子を接合する素子接合層と、前記ダイパッド、前記半導体素子および前記素子接合層を覆う封止樹脂と、前記封止樹脂と前記素子接合層との境界部に形成され、前記封止樹脂由来の腐食性イオンをブロックするバリア層とを含む。

発明の効果

[0006] 本開示の一実施形態に係る半導体装置によれば、素子接合層にクラックが発生することを抑制できるので、素子接合層を介する放熱性の低下を抑制することができる。

図面の簡単な説明

[0007] [図1]図1は、本開示の一実施形態に係る半導体装置の模式的な斜視図である。

[図2]図2は、前記半導体装置の模式的な正面図である。

[図3]図3は、前記半導体装置の模式的な側面図である。

[図4]図4は、前記半導体装置の模式的な背面図である。

[図5]図5は、前記半導体装置の模式的な底面図である。

[図6]図6は、図2のV1-V1線における断面を示す図である。

[図7]図7は、図6の二点鎖線V11で囲まれた部分の拡大図である。

[図8]図8は、図7の二点鎖線V111で囲まれた部分の拡大図である。

[図9]図9は、前記半導体装置の製造工程のフロー図である。

[図10]図10は、腐食性イオンの発生を説明するための図である。

[図11A]図11Aは、サンプル1に係る半導体装置の要部を示すSEM画像である。

[図11B]図11Bは、図11Aの二点鎖線X1Bで囲まれた部分の拡大図である。

[図12A]図12Aは、サンプル2に係る半導体装置の要部を示すSEM画像である。

[図12B]図12Bは、図12Aの二点鎖線X11Bで囲まれた部分の拡大図である。

[図13]図13は、サンプル2に係る半導体装置のバリア層の説明をするためのSEM画像である。

[図14]図14は、サンプル2に係る半導体装置のバリア層の説明をするためのSEM画像である。

[図15]図15は、温度サイクル試験のサイクル数と熱抵抗変化率との関係を示すグラフである。

発明を実施するための形態

[0008] 次に、本開示の実施形態を、添付図面を参照して詳細に説明する。

[半導体装置1の構成]

まず、図1～図8を参照して、本開示の一実施形態に係る半導体装置1の構造について説明する。図1は、本開示の一実施形態に係る半導体装置1の模式的な斜視図である。図1では、明瞭化のため、後述する封止樹脂7を破線で示し、半導体装置1の内部構造を透視して示している。図2は、半導体装置1の模式的な正面図である。図3は、半導体装置1の模式的な側面図である。図4は、半導体装置1の模式的な背面図である。図5は、半導体装置1の模式的な底面図である。図6は、図2のV1-V1線における断面を示す図である。図7は、図6の二点鎖線V11で囲まれた部分の拡大図である。図8は、図7の二点鎖線V111で囲まれた部分の拡大図である。

[0009] 以下の説明では、平面図（図2）の上下方向を第1方向Xと定義し、第1方向Xに対して直角である平面図（図2）の左右方向を第2方向Yと定義する。第1方向Xおよび第2方向Yは、いずれも半導体装置1や後述する半導体素子2等の厚さ方向（第3方向Z）に対して直角である。

[0010] 半導体装置1は、たとえば、自動車電装等の回路基板に表面実装される形式のものである。半導体装置1は、半導体素子2、素子接合層3、パッド端子4、リード端子5、ボンディングワイヤ6、封止樹脂7およびバリア層8を含む。

[0011] 半導体素子2は、半導体装置1の機能の中核となる素子（半導体チップ）である。この実施形態では、半導体素子2は、パワーMOSFETのディスクリット素子（単機能半導体）である。半導体素子2は、たとえば、一辺が3.0mm以上8.0mm以下の四角形状に形成されている。半導体素子2は、素子主面21（第1主面）、素子裏面22（第2主面）、電極パッド23、パッシベーション膜24および裏面電極25を有する。

[0012] 素子主面 21 は、図 6～図 8 に示す半導体素子 2 の上面である。図 1 を参照して、素子主面 21 に電極パッド 23 が形成されている。素子裏面 22 は、図 6～図 8 に示す半導体素子 2 の下面である。図 7 および図 8 を参照して、素子裏面 22 に裏面電極 25 が形成されている。この実施形態では、裏面電極 25 は半導体素子 2 のドレイン電極となっている。素子主面 21 および素子裏面 22 は、ともに半導体素子 2 の厚さ方向 Z に対して直交し、かつ互いに反対側を向いている。

[0013] 図 1 を参照して、電極パッド 23 は、第 1 電極パッド 23a および第 2 電極パッド 23b を含む。電極パッド 23 は、たとえば、Al を含む金属で形成されていてもよい。電極パッド 23 は、たとえば、Al-Cu 合金、Al-Si 合金、Al-Si-Cu 合金等を含む金属で形成されていてもよい。具体的な一例としては、電極パッド 23 は、Al-Cu/Ti の積層構造からなるパッドであってもよい。この実施形態では、第 1 電極パッド 23a は、半導体素子 2 のソース電極である。この実施形態では、第 2 電極パッド 23b は、半導体素子 2 のゲート電極である。第 1 電極パッド 23a が素子主面 21 のほぼ全体を覆う略四角形状に形成されている。第 2 電極パッド 23b は、第 1 電極パッド 23a の一辺に形成された凹部 26 に形成されている。したがって、第 1 電極パッド 23a の面積は、第 2 電極パッド 23b の面積よりも大とされている。第 1 電極パッド 23a および第 2 電極パッド 23b には、ボンディングワイヤ 6 が接続されている。

[0014] 図 1 を参照して、パッシベーション膜 24 は、素子主面 21 を覆うように形成された半導体素子 2 の保護膜である。パッシベーション膜 24 は、たとえばプラズマ CVD 法によって形成された Si₃N₄ 層と、塗布によって形成されたポリイミド樹脂層とが互いに積層されたものであってもよい。パッシベーション膜 24 から、第 1 電極パッド 23a および第 2 電極パッド 23b がともに露出している。

[0015] 図 1、図 7 および図 8 を参照して、素子接合層 3 は、半導体素子 2 とパッド端子 4 との間に介在する、導電性を有した部材である。素子接合層 3 によ

って、半導体素子2はパッド端子4にダイボンディングによって搭載され、かつ半導体素子2とパッド端子4との導通が確保される。素子接合層3は、たとえば、はんだ合金材、Ag焼結材等からなる。

[0016] はんだ合金材としては、たとえば、高温はんだ（たとえば、268℃以上305℃以下程度の固相線温度を有する高温はんだ）が挙げられる。高温はんだは、たとえば、PbまたはSnをベース材料とし、当該ベース材料にAg、Sb、In等が配合されていてもよい。たとえば、85wt%以上のPb、および10wt%以下のSnを含んでいてもよく、具体的には、Pb-5Sn、Pb-2Sn-2.5Agであってもよい。また、高温のPbフリーはんだとして、Sn-Ag-CuであるSAC系はんだを使用してもよい。これらのはんだ材料のうち、半導体素子2がパワーMOSFET（パワー半導体）であるこの実施形態では、高温はんだを使用することが好ましい。素子接合層3が高温はんだであれば、パワーMOSFETから発生する比較的高い熱に耐えることができる。また、表面実装型の半導体装置1を外部の回路基板に実装する際、再度リフロー処理（たとえば、SAC系はんだを使用して260℃程度のリフロー処理）を実施する必要がある。素子接合層3が高温はんだであれば、このリフロー処理の際に溶融することを防止することができる。

[0017] パッド端子4は、回路基板に接合されることによって半導体装置1と前記回路基板との導電経路を構成する、導電性を有した部材である。パッド端子4は、この実施形態では、ダイパッド41を含む。以下では、特に必要な場合を除いて、パッド端子4をダイパッド41として説明する。この実施形態では、ダイパッド41は、Cuを含む合金からなる。また、この実施形態では、ダイパッド41は、たとえば、1.0mm以上2.0mm以下の厚さを有している。ダイパッド41が1.0mm以上2.0mm以下の厚さを有していれば、ダイパッド41の熱抵抗を比較的に低くすることができる。これにより、半導体装置1の放熱性を向上させることができる。

[0018] 図1および図6～図8を参照して、ダイパッド41は、半導体素子2を搭

載する部位である。ダイパッド41は、搭載面42および実装面43を有する。搭載面42は、半導体素子2が搭載された面であり、実装面43は、搭載面42に対して反対側を向く面である。搭載面42は、図6～図8に示すダイパッド41の上面である。実装面43は、図6～図8に示すダイパッド41の下面である。搭載面42および実装面43は、ともに平坦である。搭載面42および実装面43は、ともに外装めっき層によって覆われていてもよい。前記外装めっき層は、リフローによるはんだ接合によって半導体装置1を回路基板に表面実装させる際に、封止樹脂7から露出したパッド端子4の部分への、はんだの付着を良好なものにしつつ、はんだ接合に起因した該部分の侵食を防止する機能を果たす。

[0019] 図7および図8を参照して、素子裏面22（裏面電極25）と搭載面42との間に前述の素子接合層3が介在し、ダイパッド41は素子接合層3を介して裏面電極25に導通している。したがって、ダイパッド41（パッド端子4）は、半導体装置1のドレイン端子として機能する。また、図1～図4に示すように、搭載面42の一部および実装面43が封止樹脂7からともに露出している。ダイパッド41において、封止樹脂7の端面（後述する樹脂第1側面73）から突出する部分は、ダイパッド41の突出部44と称してもよい。

[0020] ここで図1、図7および図8を参照して、素子接合層3は、ダイパッド41と半導体素子2との間に挟まれた本体部31と、半導体素子2の周囲に形成された周辺部32とを一体的に含む。本体部31は、素子接合層3において、ダイパッド41と裏面電極25との間の導電経路かつ放熱経路のメイン経路を形成している。周辺部32は、リフローによるはんだ接合によって半導体素子2をダイパッド41に搭載する際に、半導体素子2の外側に食み出した、はんだ材料の余剰部分であってもよい。周辺部32は、半導体素子2を取り囲んでいる。周辺部32は、前記導電経路かつ前記放熱経路のサブ経路を形成している。周辺部32が形成されているので、半導体素子2で発生した熱が半導体素子2の直下に籠ることを防止し、半導体素子2の周囲に広

く拡散させることができる。これにより、半導体装置1の放熱性を向上することができる。なお、素子接合層3は、周辺部32を有せずに本体部31のみでもあってもよいし、周辺部32の一部が半導体素子2の端面に濡れ上がっていてもよい。

[0021] 図7および図8を参照して、素子接合層3の周辺部32は、ダイパッド41の搭載面42に対して傾斜する傾斜面33を有している。傾斜面33は、半導体素子2の下縁角部27の近傍から搭載面42に向かう下り傾斜となっている。傾斜面33は、平坦であり、搭載面42に対して、たとえば 5° 以上 45° 以下の角度 θ_1 で傾斜している。なお、周辺部32は、平坦な傾斜面33に代えて、半導体素子2の下縁角部27の近傍から搭載面42に達する曲面状の側面34を有していてもよい。また、周辺部32は、素子接合層3の厚さT（たとえば、 $50\mu\text{m}$ 以上 $200\mu\text{m}$ 以下）に対して、 0.1mm 以上 2mm 以下の長さLを有していてもよい。

[0022] リード端子5は、回路基板に接合されることによって半導体装置1と前記回路基板との導電経路を構成する、導電性を有した部材である。図1を参照して、リード端子5は、第1方向Xにおいてパッド端子4に隣接して配置され、かつ電極パッド23に導通している。図1、図2、図4および図5を参照して、リード端子5は、平面視の第2方向Yにおいて互いに隣接する第1リード端子51および第2リード端子52を含む。この実施形態では、リード端子5は、パッド端子4と同じくCuを含む合金からなる。また、この実施形態では、リード端子5は、たとえば、 1.0mm 以上 2.0mm 以下の厚さを有している。

[0023] 図1および図6を参照して、第1リード端子51には、ボンディングワイヤ6が接続されている。第1リード端子51は、ボンディングワイヤ6を介して第1電極パッド23aに導通している。したがって、第1リード端子51は半導体装置1のソース端子である。第1リード端子51は、第1パッド部511、第1リード部512およびダミーリード部513を有する。

[0024] 図1を参照して、第1パッド部511は、ボンディングワイヤ6が接続さ

れる平面視略四角形状の部位である。第1パッド部511は平坦で、かつ全面にわたって封止樹脂7に覆われている。第1リード部512は、第1パッド部511につながり、かつ第1方向Xに平行となるように配置された平面視略四角形状の部位である。第1リード部512は、封止樹脂7から露出した部分を有する。図1、図3および図6を参照して、第1リード部512の露出部分は、ガルウィング状に曲げ加工が施されている。第1リード部512の先端部512aは、第1リード端子51の回路基板に接合される部分である。図1を参照して、ダミーリード部513は、第1パッド部511につながり、かつ第1方向Xに平行となるように配置された平面視略四角形状の部位である。ダミーリード部513は、第1パッド部511から、第1方向Xにおいて第1リード部512に平行に延びている。したがって、第1リード部512およびダミーリード部513は、第2方向Yにおいて、互いに隣接している。ダミーリード部513は、封止樹脂7から露出した部分を有する。ダミーリード部513の露出部分は、平板状である。したがって、ダミーリード部513の先端部513aは、第1リード部512の先端部512aに対して第3方向Zの上方に位置している。これにより、半導体装置1を回路基板に実装した際に、ダミーリード部513は、回路基板に対して非接触であり、封止樹脂7によって片持ち支持される。

[0025] 図1を参照して、第2リード端子52には、ボンディングワイヤ6が接続されている。第2リード端子52は、ボンディングワイヤ6を介して第2電極パッド23bに導通している。したがって、第2リード端子52は半導体装置1のゲート端子である。第2リード端子52は、第2パッド部521および第2リード部522を有する。

[0026] 図1を参照して、第2パッド部521は、ボンディングワイヤ6が接続される平面視略四角形状の部位である。第2パッド部521は平坦で、かつ全面にわたって封止樹脂7に覆われている。第2リード部522は、第2パッド部521につながり、かつ第1方向Xに平行となるように配置された平面視略四角形状の部位である。第2リード部522は、封止樹脂7から露出し

た部分を有する。図1を参照して、第2リード部522の露出部分は、ガルウィング状に曲げ加工が施されている。この実施形態では、第2リード部522の形状は、第1リード部512の形状と同一である。第2リード部522の先端部522aは、第2リード端子52の回路基板に接合される部分である。

[0027] ボンディングワイヤ6は、第1ボンディングワイヤ61と、第2ボンディングワイヤ62とを含む。図1を参照して、第1ボンディングワイヤ61は、第1電極パッド23aと第1リード端子51の第1パッド部511とを接続する、導電性を有した部材である。したがって、第1ボンディングワイヤ61は半導体装置1のソースワイヤである。この実施形態では、第1ボンディングワイヤ61は、たとえばAlまたはAl合金からなる。第1ボンディングワイヤ61は、たとえば、250 μ m以上500 μ m以下の径を有している。第2ボンディングワイヤ62は、第2電極パッド23bと第2リード端子52の第2パッド部521とを接続する、導電性を有した部材である。したがって、第2ボンディングワイヤ62は半導体装置1のゲートワイヤである。この実施形態では、第2ボンディングワイヤ62は、たとえばAlまたはAl合金からなる。第2ボンディングワイヤ62は、第1ボンディングワイヤ61よりも細く、たとえば、100 μ m以上200 μ m以下の径を有している。

[0028] 封止樹脂7は、電気絶縁性を有する黒色の樹脂からなる。封止樹脂7は、たとえば、エポキシ樹脂等の熱硬化性樹脂をマトリックス樹脂（ベース樹脂）とし、さらに、充填材、添加剤としてのシランカップリング剤、硬化剤、硬化促進剤等を含有していてもよい。充填材としては、たとえば、シリカフィラー、タルク、クレイ、ガラスビーズ、ガラスファイバー等が挙げられる。シランカップリング剤は、たとえば、封止樹脂7の有機表面と、ガラスや金属等の無機表面との密着性を向上させる機能を有する。硬化剤としては、たとえば、アミン系硬化剤、酸無水物系硬化剤、フェノール樹脂、アミノ樹脂等が挙げられる。硬化促進剤としては、たとえば、リン系硬化促進剤、第

3級アミン系硬化促進剤、イミダゾール系硬化促進剤等が挙げられる。この実施形態では、リン系硬化促進剤が使用されている。

- [0029] 封止樹脂7は、パッド端子4およびリード端子5のそれぞれ一部ずつと、半導体素子2およびボンディングワイヤ6とを覆っている。封止樹脂7は、金型を用いたトランスファ成形によって形成される。封止樹脂7は、樹脂主面71、樹脂裏面72、樹脂第1側面73、樹脂第2側面74および樹脂内部表面75を有する。
- [0030] 樹脂主面71は、図5および図6に示す封止樹脂7の上面である。樹脂裏面72は、図5および図6に示す封止樹脂7の下面である。樹脂主面71および樹脂裏面72は、ともに半導体装置1の厚さ方向Zに対して直交し、かつ互いに反対側を向いている。この実施形態では、樹脂裏面72から実装面43が露出している。
- [0031] 図2を参照して、樹脂第1側面73は、第1方向Xに離間して形成された一对の面である。一对の樹脂第1側面73は、互いに反対側を向いている。樹脂第1側面73の上端が樹脂主面71につながり、樹脂第1側面73の下端が樹脂裏面72につながっている。この実施形態では、図1に示すように、一方の樹脂第1側面73から、第1リード端子51および第2リード端子52のそれぞれの一部が露出している。また、図2～図4を参照して、他方の樹脂第1側面73から、ダイパッド41の突出部44が露出している。
- [0032] 図2を参照して、樹脂第2側面74は、第2方向Yに離間して形成された一对の面である。一对の樹脂第2側面74は、互いに反対側を向いている。樹脂第2側面74の上端が樹脂主面71につながり、樹脂第2側面74の下端が樹脂裏面72につながっている。樹脂第1側面73と異なり、樹脂第2側面74から、パッド端子4、またはリード端子5が露出していない。
- [0033] 樹脂内部表面75は、封止樹脂7が、封止樹脂7に覆われた内部構造に接触する面、および後述する隙間9等の空間を介して前記内部構造に対向する面のいずれかであってもよい。ここで、内部構造に接触する面は、内部構造との間に隙間等の空間が形成されていない場合を広く包含し、内部構造に直

接的に接触する面、およびバリア層 8 等の中間層を介在させて間接的に接触する面をともに包含していてもよい。

[0034] 図 6～図 8 を参照して、樹脂内部表面 7 5 は、封止樹脂 7 と半導体素子 2 との接触面である第 1 内部表面 7 5 1、封止樹脂 7 と素子接合層 3 との接触面である第 2 内部表面 7 5 2、封止樹脂 7 とパッド端子 4 (ダイパッド 4 1) との接触面である第 3 内部表面 7 5 3、封止樹脂 7 とリード端子 5 との接触面である第 4 内部表面 7 5 4、および封止樹脂 7 とボンディングワイヤ 6 との接触面である第 5 内部表面 7 5 5 を含んでいてもよい。

[0035] 一方、図 8 を参照して、半導体装置 1 には、封止樹脂 7 の端面 (この実施形態では、突出部 4 4 が形成された樹脂第 1 側面 7 3) から半導体素子 2 へ向かって延びる隙間 9 が形成されていてもよい。この実施形態では、隙間 9 は、断面視において、封止樹脂 7 の樹脂第 1 側面 7 3 から、ダイパッド 4 1 の搭載面 4 2 および素子接合層 3 の傾斜面 3 3 に沿って上方に反るように延び、素子接合層 3 の傾斜面 3 3 に先端部 9 1 を有している。先端部 9 1 は、封止樹脂 7 の樹脂第 1 側面 7 3 を隙間 9 の入り口としたとき、隙間 9 の行き止まりに対応する。この隙間 9 を介してダイパッド 4 1 および素子接合層 3 に対向する樹脂内部表面 7 5 は、第 6 内部表面 7 5 6 であってもよい。第 6 内部表面 7 5 6 は、隙間 9 を挟んでダイパッド 4 1 および素子接合層 3 から離れている。したがって、素子接合層 3 の傾斜面 3 3 上では、半導体素子 2 の下縁角部 2 7 から傾斜面 3 3 の途中までが第 2 内部表面 7 5 2 であり、傾斜面 3 3 の前記途中からダイパッド 4 1 の搭載面 4 2 までが第 6 内部表面 7 5 6 である。

[0036] なお、樹脂内部表面 7 5 のうち、封止樹脂 7 内の半導体素子 2、ダイパッド 4 1 等の内部構造に接触する面 (この実施形態では、第 1～第 5 内部表面 7 5 1～7 5 5) を総称して樹脂内部接触面と定義し、隙間 9 等の空間を介して前記内部構造から離れた面 (この実施形態では、第 6 内部表面 7 5 6) を総称して樹脂内部離間面と定義してもよい。

[0037] バリア層 8 は、封止樹脂 7 由来の腐食性イオンが素子接合層 3 に接触する

ことをブロックする機能を有する材料からなる。前記腐食性イオンは、素子接合層3を攻撃することによって腐食させ得るイオンである。この実施形態では、封止樹脂7に本来的に含有されているイオン、封止樹脂7の構成物質が化学変化や変質等することによって発生するイオンが挙げられる。具体的には、シランカップリング剤由来の SiO_3H イオン、リン系硬化促進剤由来の PO_3 イオン、エポキシ樹脂の酸化によって発生する COOH イオン等が挙げられる。これらのイオンが存在すると、素子接合層3の構成物質が容易にイオン化し（たとえば、PbがPbイオンにイオン化等）、素子接合層3が電気化学的に腐食して、素子接合層3に空隙やクラックが発生する場合がある。

[0038] この種の空隙やクラックを防止するバリア層8の具体例としては、たとえば、酸化アルミニウム (Al_2O_3)、酸化ケイ素 (SiO_2)、酸化ジルコニウム (ZrO_2)、五酸化タンタル (Ta_2O_5)、二酸化ハフニウム (HfO_2)、酸化イットリウム (Y_2O_3) およびこれらの多層構造等が挙げられる。これらのうち、この実施形態では、 Al_2O_3 が使用されている。また、バリア層8は、50nm以上10 μm 以下の厚さを有していてもよい。

[0039] 図6～図8を参照して、バリア層8は、封止樹脂7内の半導体素子2、素子接合層3、パッド端子4（ダイパッド41）、リード端子5およびボンディングワイヤ6等の内部構造を全体的に覆うように形成されている。したがって、封止樹脂7の内部において、半導体素子2、パッド端子4（ダイパッド41）、素子接合層3およびリード端子5の図6～図8における上面および側面は、バリア層8で覆われている。一方、バリア層8は、封止樹脂7の外側において、ダイパッド41の突出部44およびリード端子5の露出部分を覆っていない。これにより、パッド端子4（ダイパッド41）およびリード端子5の封止樹脂7の外側部分には、回路基板との導通を確保する導電性の端子面が確保される。

[0040] 図8を参照して、バリア層8は、素子接合層3（周辺部32）と封止樹脂7との境界部10を形成している。バリア層8の一部は、隙間9を介してダ

イパッド41から浮いた状態で、封止樹脂7の樹脂内部表面75に密着して保持されている。たとえば、バリア層8は、隙間9を介してダイパッド41および素子接合層3から浮いた状態の離間部81と、半導体素子2の下縁角部27と隙間9の先端部91との間において封止樹脂7と素子接合層3との間に挟まれた挟持部82とを含んでいてもよい。また、封止樹脂7の外側の搭載面42上のバリア層8は、樹脂第1側面73の近傍を境界にして、樹脂内部表面75に密着したバリア層8（離間部81）から分離された外部バリア層83であってもよい。

[半導体装置1の製造方法]

次に、半導体装置1の製造方法について説明する。図9は、半導体装置1の製造工程の一例を示すフロー図である。

[0041] 図9を参照して、半導体装置1の製造方法は、主に、部品準備工程S1、ダイボンディング工程S2、ワイヤボンディング工程S3、バリア層形成工程S4、樹脂封止工程S5および最終工程S6を含んでいてもよい。半導体装置1の製造方法は、図9に表示されていない工程を含んでいてもよい。

[0042] 部品準備工程S1は、前述の半導体装置1の各構成要素を準備する工程である。たとえば、半導体素子2のウェハから、前記ウェハをダイシングすることによって、所定の大きさの半導体素子2を生成する。また、パッド端子4（ダイパッド41）およびリード端子5が一体的につながったリードフレームを金型成形によって成形する。

[0043] ダイボンディング工程S2は、半導体素子2をダイボンディングする工程である。ダイボンディング工程S2は、たとえば、周知のダイボンダを用いて行われ、マウント工程と称してもよい。ダイボンディング工程S2は、素子接合層3によって、半導体素子2をダイパッド41に導通接合する工程である。具体的には、ダイパッド41の搭載面42に、ペースト状の接合材料（たとえば、はんだペースト、Agペースト等）を塗布し、当該接合材料を介して半導体素子2を載置する。そして、炉内の雰囲気温度を、接合材料の融点（たとえば、高温はんだの場合には、300℃以上390℃以下）以上に上昇

させ、接合材料を融解させる。その後、炉内の雰囲気温度を常温（接合材料の融点以下）に下降させ、接合材料を硬化させて素子接合層3を形成する。これにより、半導体素子2とダイパッド41とが導通接合される。

[0044] ワイヤボンディング工程S3は、第1ボンディングワイヤ61および第2ボンディングワイヤ62をボンディングする工程である。ワイヤボンディング工程S3は、たとえば、周知のワイヤボンダを用いて行われる。ワイヤボンディング工程S3は、上記ワイヤボンダを用いて、第1ボンディングワイヤ61の一端と第1電極パッド23aとのワイヤボンディング、および、第1ボンディングワイヤ61の他端と第1パッド部511とのワイヤボンディングを行う工程を含む。具体的には、まず、ワイヤボンダのキャピラリからワイヤの先端部を突出させ、これを溶解させ、ワイヤの先端部をボール状にする。そして、当該先端部を第1電極パッド23aに押し付ける。次に、キャピラリからワイヤを引き出しつつキャピラリを移動させ、第1パッド部511にワイヤを押し付ける。そして、キャピラリのクランプでワイヤを押さえながら、キャピラリを持ち上げ、ワイヤを切断する。これにより、第1ボンディングワイヤ61が形成され、第1電極パッド23aと第1パッド部511とが導通接続される。同様の方法によって、ワイヤボンディング工程S3は、上記ワイヤボンダを用いて、第2ボンディングワイヤ62の一端と第2電極パッド23bとのワイヤボンディング、および、第2ボンディングワイヤ62の他端と第2パッド部521とのワイヤボンディングを行う工程を含む。

[0045] この実施形態では、全てのワイヤ接合部がウェッジボンディングであってもよい。ウェッジボンディングは、ワイヤを所定の位置に押し付けて、ワイヤを切断することによって形成される。なお、便宜上、ワイヤの接合する順序に応じて、各ワイヤ接合部をファーストボンディングおよびセカンドボンディングと区別してもよい。ワイヤボンディング工程S3においては、第1電極パッド23aおよび第2電極パッド23bにファーストボンディングし、第1パッド部511および第2パッド部521にセカンドボンディングす

る。なお、ファーストボンディングを第1パッド部511および第2パッド部521に、セカンドボンディングを第1電極パッド23aおよび第2電極パッド23bにしてもよい。

[0046] バリア層形成工程S4は、バリア層8で、半導体素子2、素子接合層3、パッド端子4（ダイパッド41）、リード端子5およびボンディングワイヤ6を覆う工程である。バリア層形成工程S4は、たとえば、周知の成膜法によって行われる。この実施形態では、イオンプレーティング法、スパッタ法等によって Al_2O_3 膜を成膜する。バリア層8の成膜温度は、たとえば、室温以上300℃以下であってもよい。

[0047] 樹脂封止工程S5は、封止樹脂7を形成し、半導体装置1のパッケージを行う工程である。すなわち、樹脂封止工程S5は、上記形状の封止樹脂7を形成する工程である。樹脂封止工程S5は、たとえば、金型を用いた、周知のトランスファモールディング成形によって行われる。具体的には、バリア層8の形成後、半導体素子2をボンディングしたリードフレームを、金型成形機にセットし、流動化させたエポキシ樹脂を金型に流し込み、モールディング成形する。そして、エポキシ樹脂を硬化させ、成形済みのリードフレームを取り出す。そして、余分な樹脂やバリ取り等によって、上記する封止樹脂7の形に整形する。

[0048] 最終工程S6は、半導体装置1を図1に示す形状にし、半導体装置1を出荷可能な製品に仕上げる工程である。最終工程S6は、たとえば、封止樹脂7のバリ取り工程、封止樹脂7の外部に露出したリードフレームの不要部分を切断する切断工程、封止樹脂7の外部に露出したリードフレームの曲げに対する強度向上、回路基板等への実装時のはんだ濡れ性の向上、錆防止等のための外装処理工程、当該外装処理工程前の洗浄工程、封止樹脂7の外部に露出したリードフレームを所定の形状に曲げるリード加工工程、社名、製品名、ロット番号等をパッケージに刻印する捺印工程、および製品の良・不要を判別する検査・選別工程等が行われる。なお、これらの工程は、最終的な半導体装置1の仕様に応じて、適宜実施すればよい。また、前記バリ取り工

程や前記洗浄工程において、封止樹脂 7 の外部に露出するリード端子 5 上に形成されたバリア層 8 は除去され、リード端子 5 の外装面が露出する。当該最終工程 S 6 が終了することによって、図 1 に示す半導体装置 1 が完成する。

[腐食性イオンの発生の検証]

図 10 は、封止樹脂 7 と素子接合層 3 との境界部 10 において腐食性イオンが発生することを検証するための図である。ここでは、前述の半導体装置 1 のバリア層 8 を省略した構造を有するサンプル 1 に係る半導体装置を観察対象とした。図 10 は、サンプル 1 における封止樹脂 7 と素子接合層 3 との境界部 10 の光学顕微鏡画像、および飛行時間型二次イオン質量分析法 (TOF-SIMS: Time-of-Flight Secondary Ion Mass Spectrometry) による分析結果画像を線図で現したものである。サンプル 1 では、封止樹脂 7 は、少なくとも、添加剤としてのシランカップリング剤およびリン系硬化促進剤、ならびに充填材 11 としてのシリカフィラーを含有するエポキシ樹脂である。素子接合層 3 は、Pb-2Sn-2.5Ag からなる高温はんだである。

[0049] 図 10 において、最も左側のマスが光学顕微鏡画像に対応する図であり、それ以外のマスは、TOF-SIMS の分析結果を、Si イオン、Pb イオン、SiO₃H イオン、PO₃ イオンおよび COOH イオンを含む検出フラグメントごとに図で示したものである。各検出フラグメントの図は、いずれも光学顕微鏡画像と同様に境界部 10 における分析結果を示すものであるが、明瞭化のため、封止樹脂 7 および素子接合層 3 の参照符号を省略して示している。

[0050] また、図 10 中、上段の各図は、サンプル 1 の半導体装置の組立て後（製造直後）であり、温度サイクル試験 (TC) を実施する前の状態を示している。一方、下段の各図は、サンプル 1 の半導体装置に温度サイクル試験 (TC) を実施した後の状態を示している。温度サイクル試験は、組立て後の半導体装置を、IPC/JEDEC J-STD-020 に準拠して MSL 1 (

Moisture Sensitivity Level 1) の環境下に晒す前処理試験を実施した後、
−55℃～150℃の間で昇降温を1000サイクル繰り返すことによって
行った。

[0051] その結果、下段の光学顕微鏡の図を参照して、素子接合層3に腐食が発生し、境界部10に対して素子接合層3側に空隙14およびクラック12が生じていることが確認された。さらに検証の結果、この空隙14およびクラック12の発生要因は、温度サイクル試験時に境界部10に発生する熱応力（引っ張り応力）が影響していることに加え、境界部10に腐食性イオン（腐食性化学種）が発生し、当該腐食性イオンによる腐食的な作用が関係していることが分かった。

[0052] たとえば、図10の下段のPbイオン、SiO₃Hイオン、PO₃イオンおよびCOOHイオンに対応するマス参照して、TOF-SIMSで各イオンが分布している確認された分布領域13にドットハッチングを付している。これらのマスから、空隙14およびクラック12が発生した領域に腐食性イオンであるSiO₃Hイオン、PO₃イオンおよびCOOHイオンが広く分布し、それにより高温はんだのPbがイオン化して腐食が進行していることが確認された。たとえば、SiO₃Hイオンは封止樹脂7中のシランカップリング剤が出所であり、PO₃イオンは封止樹脂7中のリン系硬化促進剤が出所であり、COOHイオンは、封止樹脂7のエポキシ樹脂が酸化によって生成したものであると考えられる。つまり、温度サイクル試験時の熱応力によって空隙14およびクラック12が発生しやすい条件が揃っている中で、境界部10に腐食性イオンが発生したことによって、素子接合層3（はんだ合金）の合金の組成バランスが崩され、空隙14およびクラック12の発生が加速されたものと考えられる。

[0053] なお、ここでは図示しないが、Pb-2Sn-2.5Agとは異なるSn組成およびAg組成を有する高温Pbはんだ（Pbはんだ合金）、Sn-Ag-CuであるSAC系の高温Pbフリーはんだ（Pbフリーはんだ合金）についても同様の検証を行った結果、図10に示す空隙14およびクラック

12の発生が確認された。これから、素子接合層3が合金である場合に、応力および腐食に起因するクラックの発生がし易いと言える。

[半導体装置1の効果]

次に、本開示の実施形態に係る半導体装置1の効果について、図11A、11B～図15を参照して説明する。図11Aは、サンプル1に係る半導体装置の要部を示すSEM画像である。図11Bは、図11Aの二点鎖線X1Bで囲まれた部分の拡大図である。図12Aは、サンプル2に係る半導体装置の要部を示すSEM画像である。図12Bは、図12Aの二点鎖線X1Bで囲まれた部分の拡大図である。図13は、サンプル2に係る半導体装置のバリア層8の説明をするためのSEM画像である。図14は、サンプル2に係る半導体装置のバリア層8の説明をするためのSEM画像である。図15は、温度サイクル試験のサイクル数と熱抵抗変化率との関係を示すグラフである。

[0054] 上記では、図10を参照して、サンプル1における腐食性イオンに起因する素子接合層3の空隙・クラック発生メカニズムについて説明した。サンプル1ではバリア層8が省略されていたため空隙14およびクラック12が発生していたが、以下では、サンプル1とサンプル2との比較によって、バリア層8がクラック12の発生を抑制することを説明する。サンプル1との比較対象であるサンプル2は、封止樹脂7と、ダイパッド41（パッド端子4）および素子接合層3との間にバリア層8（ Al_2O_3 層）を備えること以外は、サンプル1と同じ構造を有している。図13に示すように、サンプル2では、封止樹脂7と素子接合層3との間に挟まれたバリア層8が確認できる。つまり、サンプル2の全体的な構造は、図1～図8に示した構造と同じである。

[0055] そして、図11A、図11B（サンプル1）および図12A、図12B（サンプル2）は、いずれもの前述の温度サイクル試験を750サイクル実施した後のSEM画像である。まず、図11A、図11Bを参照して、サンプル1ではバリア層8が形成されていないため、封止樹脂7と素子接合層3と

の境界部10に大きな空隙14と、空隙14から素子接合層3の内部に延びるクラック12が確認された。空隙14およびクラック12は、素子接合層3の傾斜面33の全体にわたって分布しており、さらに、クラック12は、半導体素子2の直下において、半導体素子2と素子接合層3との導電経路および放熱経路を分断するように横方向に長く延びている。また、図示は省略するが、SEM画像をカラー画像で見ると、封止樹脂7の境界部10近傍の部分が大きく変色していた。これは、空隙14を介して封止樹脂7の内部に侵入した酸素や水分によって封止樹脂7の一部が酸化したためであると考えられる。

[0056] これに対し、図12A、図12Bを参照して、温度サイクル試験を750サイクル実施した後であっても、目立った空隙14やクラック12の発生は確認されなかった。一方で、封止樹脂7と素子接合層3との間に界面剥離に起因する隙間9が形成されているが、当該剥離は素子接合層3の傾斜面33の途中で止まっている。さらに、図14に示すように、隙間9においてバリア層8は、ダイパッド41から浮いた状態で、封止樹脂7の樹脂内部表面に密着して保持されていることが確認された（図8も併せて参照）。また、サンプル2の封止樹脂7には、温度サイクル試験後も、サンプル1で見られたような変色を確認できなかった。

[0057] このように、この実施形態に係る半導体装置1によれば、封止樹脂7と素子接合層3との間にバリア層8が形成されているため、腐食性イオンと素子接合層3との接触を防止することができる。これにより、素子接合層3の腐食を抑制でき、素子接合層3が強度的に脆弱になることを抑制することができる。その結果、素子接合層3に応力が加わっても素子接合層3にクラックが発生することを抑制できるので、素子接合層3を介する放熱性の低下を抑制することができる。

[0058] 特に、パワー半導体では、大電流（たとえば、数10A～100A）を流す必要があるため、電気抵抗値はできる限り低いことが好ましい。低抵抗化のため、たとえば、半導体装置1を構成する各種部材（たとえば、パッド端

子4、リード端子5、ボンディングワイヤ6等)が大きくなる傾向があり、その結果、これらの部材から素子接合層3に伝わる応力が大きくなりやすい。そのため、当該応力に起因して、素子接合層3にクラックが発生しやすくなる。これに対し、半導体装置1によれば、バリア層8によって素子接合層3の腐食を抑制でき、素子接合層3が強度的に脆弱になることを抑制することができる。したがって、素子接合層3に大きな応力が加わっても、クラックが広範囲にわたって発生することを抑制することができる。

[0059] さらに、半導体装置1は、ドレイン端子であるパッド端子4（ダイパッド41）を介して、回路基板等に表面実装されるものである。表面実装型の半導体装置1は、回路基板へのアタッチ用接合材（たとえば、Pbフリーはんだ等のアタッチ用ペースト）をリフローして実装される。表面実装された半導体装置1には、フロー方式で実装されたピン端子を有する半導体装置に比べて、アタッチ用接合材からダイパッド41を介して素子接合層3に熱応力が加わりやすい。しかしながら、半導体装置1によれば、前述のように、バリア層8によって、素子接合層3が強度的に脆弱になることを抑制することができる。したがって、素子接合層3に加わる熱応力に起因するクラックの発生を抑制できるので、高い放熱信頼性を有するパワー半導体を提供することができる。

[0060] また、図8に示すように、突出部44の基端部において、封止樹脂7の樹脂第1側面73から封止樹脂7の内部に通じる隙間9が形成されている。つまり、封止樹脂7の樹脂内部表面75とダイパッド41との間に隙間9が形成されていて、封止樹脂7の内部に酸素や水分が入り込みやすい環境である。そのため、封止樹脂7と素子接合層3との間に酸素が入り込み、封止樹脂7（エポキシ樹脂）の一部が酸化して腐食性イオンが発生する環境が形成されるおそれがある。しかしながら、バリア層8が封止樹脂7の樹脂内部表面75に密着している。これにより、隙間9に酸素や水分が侵入しても、封止樹脂7と酸素や水分との接触を効果的に防止し、封止樹脂7由来の腐食性イオンの発生を抑制することができる。

[0061] また、半導体素子2の下縁角部27よりも半導体素子2の内側領域において素子接合層3にクラックが発生すると、当該クラックは、半導体素子2から直下のダイパッド41に熱を伝達する放熱抵抗となり得る。たとえば、この種のクラックは、図11Aに示すように、半導体素子2の直下において、半導体素子2と素子接合層3との導電経路および放熱経路を分断するように横方向に長く延びるクラック12が該当する。これに対し、半導体装置1によれば、封止樹脂7の樹脂第1側面73から延びる隙間9が半導体素子2の下縁角部27にまで達していない。そのため、たとえば、半導体装置1の外部から来る腐食性イオンが隙間9に侵入しても、少なくとも半導体素子2の下縁角部27近傍において素子接合層3にクラックが発生することを防止することができる。その結果、素子接合層3を介する放熱性の低下を抑制することができる。

[放熱性の低下抑制の検証]

図15は、サンプル1およびサンプル2に関して、温度サイクル試験のサイクル数と熱抵抗変化率との関係を示すグラフである。この図15を参照して、バリア層8の形成によって放熱性がどの程度抑制されているかどうかを検証する。図15では、前述のサンプル1およびサンプル2に関して、温度サイクル試験の実施前の半導体装置の熱抵抗(0%)に対する、サイクル数300、500、750および1000のときの熱抵抗変化率が示されている。

[0062] まず、サンプル1の場合、半導体装置の熱抵抗変化率が、およそ200サイクル行った辺りから高くなり始め、500サイクルを超えた辺りから急激に高くなっている。一方、サンプル2の場合、500サイクル行った場合でも熱抵抗にほとんど変化がなかった。また、サンプル2では、500サイクルを超えた辺りから熱抵抗変化率が上昇しているが、1000サイクル時点での熱抵抗変化率が10%程度であり、サンプル1の30%程度に比べれば、はるかに低い熱抵抗率を維持できていた。この検証結果から、バリア層8を形成することによって、素子接合層3にクラックが発生することを抑制で

き、放熱性の低下を抑制できることが分かる。

[0063] 本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0064] 本開示の実施形態は、すべての点において例示であり限定的に解釈されるべきではなく、すべての点において変更が含まれることが意図される。

[0065] この明細書および図面の記載から以下に付記する特徴が抽出され得る。

[0066] [付記 1 - 1]

ダイパッド (41) と、

前記ダイパッド (41) 上に配置された半導体素子 (2) と、

前記ダイパッド (41) と前記半導体素子 (2) との間に形成され、前記ダイパッド (41) に前記半導体素子 (2) を接合する素子接合層 (3) と、

前記ダイパッド (41)、前記半導体素子 (2) および前記素子接合層 (3) を覆う封止樹脂 (7) と、

前記封止樹脂 (7) と前記素子接合層 (3) との境界部 (10) に形成され、前記封止樹脂 (7) 由来の腐食性イオンをブロックするバリア層 (8) とを含む、半導体装置 (1)。

[0067] この構成によれば、封止樹脂 (7) と素子接合層 (3) との間にバリア層 (8) が形成されているため、腐食性イオンと素子接合層 (3) との接触を防止することができる。これにより、素子接合層 (3) の腐食を抑制でき、素子接合層 (3) が強度的に脆弱になることを抑制することができる。その結果、素子接合層 (3) に応力が加わっても素子接合層 (3) にクラック (12) が発生することを抑制できるので、素子接合層 (3) を介する放熱性の低下を抑制することができる。

[0068] [付記 1 - 2]

前記封止樹脂 (7) は、前記封止樹脂 (7) の周囲外形を形成する端面 (73, 74) を有し、

前記ダイパッド (41) は、前記封止樹脂 (7) の端面 (73, 74) を

起点に前記封止樹脂（７）の外側に突出する突出部（４４）を含む、付記１－１に記載の半導体装置（１）。

[0069] この構成によれば、突出部（４４）の基端部において、封止樹脂（７）の端面（７３，７４）から封止樹脂（７）の内部に通じる部分が形成されている。そのため、封止樹脂（７）と素子接合層（３）との間に酸素や水分が入り込み、封止樹脂（７）の構成物質が酸化して腐食性イオンが発生する環境が形成されるおそれがある。しかしながら、この構成によれば、バリア層（８）が形成されているので、この種の腐食性イオンをブロックすることもできる。

[0070] [付記１－３]

前記封止樹脂（７）は、前記半導体素子（２）、前記素子接合層（３）および前記ダイパッド（４１）に面する内部表面（７５）を有し、

少なくとも前記封止樹脂（７）の内部表面（７５）と前記ダイパッド（４１）の間には、前記封止樹脂（７）の端面（７３，７４）から前記半導体素子（２）へ向かって延びる隙間（９）が形成されており、

前記バリア層（８）の一部は、前記隙間（９）を介して前記ダイパッド（４１）から浮いた状態で、前記封止樹脂（７）の内部表面（７５）に密着して保持されている、付記１－２に記載の半導体装置（１）。

[0071] この構成によれば、封止樹脂（７）の内部表面（７５）とダイパッド（４１）との間に隙間（９）が形成されていて、封止樹脂（７）の内部に酸素や水分が入り込みやすい環境であるが、バリア層（８）が封止樹脂（７）の内部表面（７５）に密着している。これにより、隙間（９）に酸素や水分が侵入しても、封止樹脂（７）と酸素や水分との接触を効果的に防止し、封止樹脂（７）由来の腐食性イオンの発生を抑制することができる。

[0072] [付記１－４]

前記隙間（９）は、前記封止樹脂（７）の端面（７３，７４）から、前記ダイパッド（４１）および前記素子接合層（３）に沿って延び、前記素子接合層（３）上に端部（９１）を有しており、

前記バリア層（８）は、前記隙間（９）を介して前記ダイパッド（４１）および前記素子接合層（３）から浮いた状態の離間部（８１）と、前記半導体素子（２）の下縁角部（２７）と前記隙間（９）の前記端部（９１）との間において前記封止樹脂（７）と前記素子接合層（３）との間に挟まれた挟持部（８２）とを含む、付記１－３に記載の半導体装置（１）。

[0073] たとえば、半導体素子（２）の下縁角部（２７）よりも半導体素子（２）の内側領域において素子接合層（３）にクラック（１２）が発生すると、当該クラック（１２）は、半導体素子（２）から直下のダイパッド（４１）に熱を伝達する放熱抵抗となり得る。これに対し、この構成によれば、封止樹脂（７）の端面（７３，７４）から延びる隙間（９）が半導体素子（２）の下縁角部（２７）にまで達していない。そのため、たとえば、外部由来の腐食性イオンが隙間（９）に侵入しても、少なくとも半導体素子（２）の下縁角部（２７）近傍において素子接合層（３）にクラック（１２）が発生することを防止することができる。その結果、素子接合層（３）を介する放熱性の低下を抑制することができる。

[0074] さらに、素子接合層（３）が、バリア層（８）（挟持部（８２））を介して封止樹脂（７）に密着しているため、素子接合層（３）に加わる応力を軽減することができる。バリア層（８）を介する封止樹脂（７）と素子接合層（３）との密着によっても、素子接合層（３）にクラック（１２）が発生することを抑制することができる。

[0075] [付記１－５]

前記素子接合層（３）は、前記ダイパッド（４１）と前記半導体素子（２）との間に挟まれた本体部（３１）と、前記半導体素子（２）の周囲に形成された周辺部（３２）であり、前記ダイパッド（４１）に対して傾斜する傾斜面（３３）を有する周辺部（３２）とを一体的に含み、

前記隙間（９）は、断面視において、前記ダイパッド（４１）の表面（４２）および前記素子接合層（３）の傾斜面（３３）に沿って上方に反るように形成されている、付記１－４に記載の半導体装置（１）。

[0076] [付記 1-6]

前記素子接合層 (3) の傾斜面 (33) は、前記ダイパッド (41) の表面 (42) に対して 5° 以上 45° 以下の角度 (θ_1) で傾斜している、付記 1-5 に記載の半導体装置 (1)。

[0077] [付記 1-7]

前記半導体素子 (2) は、第 1 主面 (21) およびその反対側の素子裏面 (22) を有し、前記第 1 主面 (21) にゲート電極 (23b) およびソース電極 (23a) が形成され、前記素子裏面 (22) に、前記素子接合層 (3) を介して前記ダイパッド (41) に電氣的に接続されたドレイン電極 (25) が形成されたパワー半導体を含む、付記 1-1 ~ 付記 1-6 のいずれか一項に記載の半導体装置 (1)。

[0078] 半導体装置 (1) の各種信頼性試験の 1 つとして、温度サイクル試験がある。パワー半導体では、大電流を流す必要があるため、抵抗値はできる限り低いことが好ましい。低抵抗化のため、たとえば、半導体装置 (1) を構成する各種部材 (たとえば、外部端子、内部ワイヤ等) が大きくなる傾向があり、その結果、これらの部材から素子接合層 (3) に伝わる応力が大きくなりやすい。そのため、当該応力に起因して、素子接合層 (3) にクラック (12) が発生しやすくなる。これに対し、この構成によれば、バリア層 (8) によって素子接合層 (3) の腐食を抑制でき、素子接合層 (3) が強度的に脆弱になることを抑制することができる。したがって、素子接合層 (3) に大きな応力が加わっても、クラック (12) が広範囲にわたって発生することを抑制することができる。

[0079] [付記 1-8]

前記ダイパッド (41) は、前記半導体素子 (2) を搭載する搭載面 (42) と、前記搭載面 (42) の反対側で、ドレイン端子 (4) として前記封止樹脂 (7) から露出する実装面 (43) とを有し、

前記封止樹脂 (7) 内で前記ソース電極 (23a) に電氣的に接続され、前記封止樹脂 (7) から露出するソースリード端子 (51) と、

前記封止樹脂（７）内で前記ゲート電極（２３ｂ）に電氣的に接続され、前記封止樹脂（７）から露出するゲートリード端子（５２）とをさらに含む、付記１－７に記載の半導体装置（１）。

[0080] この構成によれば、ドレイン端子（４）であるダイパッド（４１）を介して、半導体装置（１）を回路基板等に表面実装することができる。表面実装型の半導体装置（１）は、回路基板へのアタッチ用接合材（たとえば、アタッチ用ペースト）をリフローして実装される。表面実装された半導体装置（１）には、フロー方式で実装されたピン端子を有する半導体装置に比べて、アタッチ用接合材からダイパッド（４１）を介して素子接合層（３）に応力が加わりやすい。しかしながら、この構成によれば、前述のように、バリア層（８）によって、素子接合層（３）に加わる応力に起因するクラック（１２）の発生を抑制できるので、高い放熱信頼性を有するパワー半導体を提供することができる。

[0081] [付記１－９]

前記半導体素子（２）は、一辺が３．０ｍｍ以上８．０ｍｍ以下の四角形状に形成されている、付記１－７または付記１－８に記載の半導体装置（１）。

[0082] [付記１－１０]

前記ダイパッド（４１）は、１．０ｍｍ以上２．０ｍｍ以下の厚さを有している、付記１－７～付記１－９のいずれか一項に記載の半導体装置（１）。

[0083] この構成によれば、ダイパッド（４１）が１．０ｍｍ以上２．０ｍｍ以下の厚さを有しているので、ダイパッド（４１）の熱抵抗を比較的に低くすることができる。これにより、半導体装置（１）の放熱性を向上させることができる。

[0084] [付記１－１１]

前記バリア層（８）は、酸化アルミニウム層を含む、付記１－１～付記１－１０のいずれか一項に記載の半導体装置（１）。

[0085] [付記 1-12]

前記素子接合層 (3) は、はんだ合金を含む素子接合層 (3) を含む、付記 1-1~付記 1-11 のいずれか一項に記載の半導体装置 (1)。

[0086] たとえば、素子接合層 (3) が、はんだ合金である場合、素子接合層 (3) の構成金属が腐食性イオンと部分的に反応すると、合金の組成バランスが崩れ、素子接合層 (3) が腐食しやすい可能性がある。しかしながら、この構成によれば、バリア層 (8) によって、腐食性イオンと素子接合層 (3) との接触をブロックできるので、合金の組成バランスが崩れることを抑制することができる。その結果、素子接合層 (3) が強度的に脆弱になることを抑制することができる。

[0087] [付記 1-13]

前記封止樹脂 (7) は、熱硬化性ベース樹脂、シランカップリング剤、および硬化促進剤を含む、付記 1-1~付記 1-12 のいずれか一項に記載の半導体装置 (1)。

[0088] [付記 1-14]

前記熱硬化性ベース樹脂は、エポキシ樹脂を含み、
前記硬化促進剤は、リン系硬化促進剤を含む、付記 1-13 に記載の半導体装置 (1)。

[0089] [付記 1-15]

前記ダイパッド (41) は、Cu を含むダイパッド (41) を含む、付記 1-1~付記 1-14 のいずれか一項に記載の半導体装置 (1)。

[0090] [付記 1-16]

前記素子接合層 (3) は、50 μm 以上 200 μm 以下の厚さを有している、付記 1-1~付記 1-15 のいずれか一項に記載の半導体装置。

[0091] [付記 1-17]

前記バリア層 (8) は、50 nm 以上 10 μm 以下の厚さを有している、付記 1-1~付記 1-16 のいずれか一項に記載の半導体装置。

[0092] 本出願は、2021年10月13日に日本国特許庁に提出された特願 20

21-168410号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0093]	1	: 半導体装置
	2	: 半導体素子
	3	: 素子接合層
	4	: パッド端子
	5	: リード端子
	6	: ボンディングワイヤ
	7	: 封止樹脂
	8	: バリア層
	9	: 隙間
	10	: 境界部
	11	: 充填材
	12	: クラック
	13	: 分布領域
	14	: 空隙
	21	: 素子主面
	22	: 素子裏面
	23	: 電極パッド
	23 a	: 第1電極パッド
	23 b	: 第2電極パッド
	24	: パッシベーション膜
	25	: 裏面電極
	26	: 凹部
	27	: 下縁角部
	31	: 本体部
	32	: 周辺部

- 3 3 : 傾斜面
- 3 4 : 側面
- 4 1 : ダイパッド
- 4 2 : 搭載面
- 4 3 : 実装面
- 4 4 : 突出部
- 5 1 : 第1リード端子
- 5 2 : 第2リード端子
- 6 1 : 第1ボンディングワイヤ
- 6 2 : 第2ボンディングワイヤ
- 7 1 : 樹脂主面
- 7 2 : 樹脂裏面
- 7 3 : 樹脂第1側面
- 7 4 : 樹脂第2側面
- 7 5 : 樹脂内部表面
- 8 1 : 離間部
- 8 2 : 挾持部
- 8 3 : 外部バリア層
- 9 1 : 先端部
- 5 1 1 : 第1パッド部
- 5 1 2 : 第1リード部
- 5 1 2 a : 先端部
- 5 1 3 : ダミーリード部
- 5 1 3 a : 先端部
- 5 2 1 : 第2パッド部
- 5 2 2 : 第2リード部
- 5 2 2 a : 先端部
- 7 5 1 : 第1内部表面

- 7 5 2 : 第 2 内部表面
- 7 5 3 : 第 3 内部表面
- 7 5 4 : 第 4 内部表面
- 7 5 4 : 第 5 内部表面
- 7 5 5 : 第 5 内部表面
- 7 5 6 : 第 6 内部表面
- S 1 : 部品準備工程
- S 2 : ダイボンディング工程
- S 3 : ワイヤボンディング工程
- S 4 : バリア層形成工程
- S 5 : 樹脂封止工程
- S 6 : 最終工程
- X : 第 1 方向
- Y : 第 2 方向
- Z : 第 3 方向

請求の範囲

- [請求項1] ダイパッドと、
前記ダイパッド上に配置された半導体素子と、
前記ダイパッドと前記半導体素子との間に形成され、前記ダイパッドに前記半導体素子を接合する素子接合層と、
前記ダイパッド、前記半導体素子および前記素子接合層を覆う封止樹脂と、
前記封止樹脂と前記素子接合層との境界部に形成され、前記封止樹脂由来の腐食性イオンをブロックするバリア層とを含む、半導体装置。
- [請求項2] 前記封止樹脂は、前記封止樹脂の周囲外形を形成する端面を有し、
前記ダイパッドは、前記封止樹脂の端面を起点に前記封止樹脂の外側に突出する突出部を含む、請求項1に記載の半導体装置。
- [請求項3] 前記封止樹脂は、前記半導体素子、前記素子接合層および前記ダイパッドに面する内部表面を有し、
少なくとも前記封止樹脂の内部表面と前記ダイパッドの間には、前記封止樹脂の端面から前記半導体素子へ向かって延びる隙間が形成されており、
前記バリア層の一部は、前記隙間を介して前記ダイパッドから浮いた状態で、前記封止樹脂の内部表面に密着して保持されている、請求項2に記載の半導体装置。
- [請求項4] 前記隙間は、前記封止樹脂の端面から、前記ダイパッドおよび前記素子接合層に沿って延び、前記素子接合層上に端部を有しており、
前記バリア層は、前記隙間を介して前記ダイパッドおよび前記素子接合層から浮いた状態の離間部と、前記半導体素子の下縁角部と前記隙間の前記端部との間において前記封止樹脂と前記素子接合層との間に挟まれた挟持部とを含む、請求項3に記載の半導体装置。
- [請求項5] 前記素子接合層は、前記ダイパッドと前記半導体素子との間に挟ま

れた本体部と、前記半導体素子の周囲に形成された周辺部であり、前記ダイパッドに対して傾斜する傾斜面を有する周辺部とを一体的に含み、

前記隙間は、断面視において、前記ダイパッドの表面および前記素子接合層の傾斜面に沿って上方に反るように形成されている、請求項4に記載の半導体装置。

[請求項6] 前記素子接合層の傾斜面は、前記ダイパッドの表面に対して 5° 以上 45° 以下の角度で傾斜している、請求項5に記載の半導体装置。

[請求項7] 前記半導体素子は、第1主面およびその反対側の第2主面を有し、前記第1主面にゲート電極およびソース電極が形成され、前記第2主面に、前記素子接合層を介して前記ダイパッドに電氣的に接続されたドレイン電極が形成されたパワー半導体を含む、請求項1～6のいずれか一項に記載の半導体装置。

[請求項8] 前記ダイパッドは、前記半導体素子を搭載する搭載面と、前記搭載面の反対側で、ドレイン端子として前記封止樹脂から露出する実装面とを有し、

前記封止樹脂内で前記ソース電極に電氣的に接続され、前記封止樹脂から露出するソースリード端子と、

前記封止樹脂内で前記ゲート電極に電氣的に接続され、前記封止樹脂から露出するゲートリード端子とをさらに含む、請求項7に記載の半導体装置。

[請求項9] 前記半導体素子は、一辺が 3.0 mm 以上 8.0 mm 以下の四角形状に形成されている、請求項7または8に記載の半導体装置。

[請求項10] 前記ダイパッドは、 1.0 mm 以上 2.0 mm 以下の厚さを有している、請求項7～9のいずれか一項に記載の半導体装置。

[請求項11] 前記バリア層は、酸化アルミニウム層を含む、請求項1～10のいずれか一項に記載の半導体装置。

[請求項12] 前記素子接合層は、はんだ合金を含む素子接合層を含む、請求項1

～ 1 1 のいずれか一項に記載の半導体装置。

[請求項13] 前記封止樹脂は、熱硬化性ベース樹脂、シランカップリング剤、および硬化促進剤を含む、請求項 1 ～ 1 2 のいずれか一項に記載の半導体装置。

[請求項14] 前記熱硬化性ベース樹脂は、エポキシ樹脂を含み、
前記硬化促進剤は、リン系硬化促進剤を含む、請求項 1 3 に記載の半導体装置。

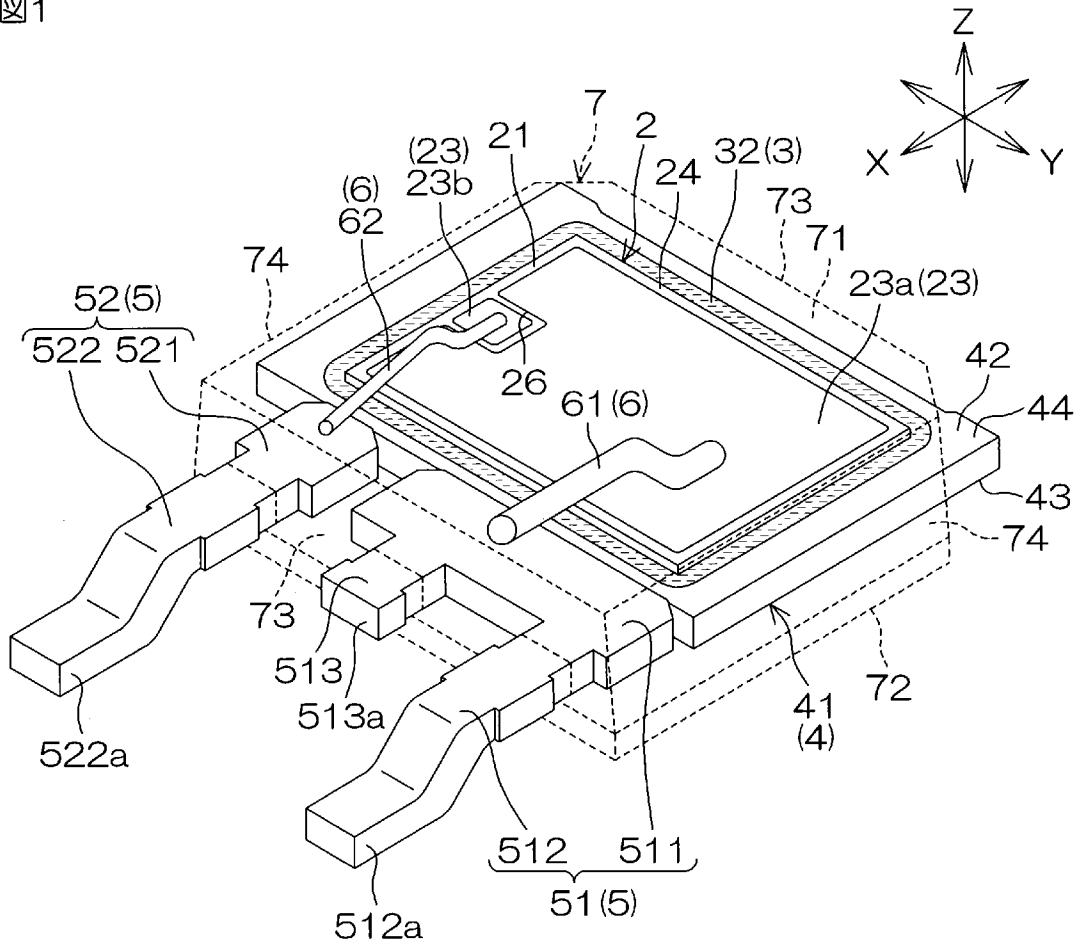
[請求項15] 前記ダイパッドは、Cuを含むダイパッドを含む、請求項 1 ～ 1 4 のいずれか一項に記載の半導体装置。

[請求項16] 前記素子接合層は、50 μ m以上200 μ m以下の厚さを有している、請求項 1 ～ 1 5 のいずれか一項に記載の半導体装置。

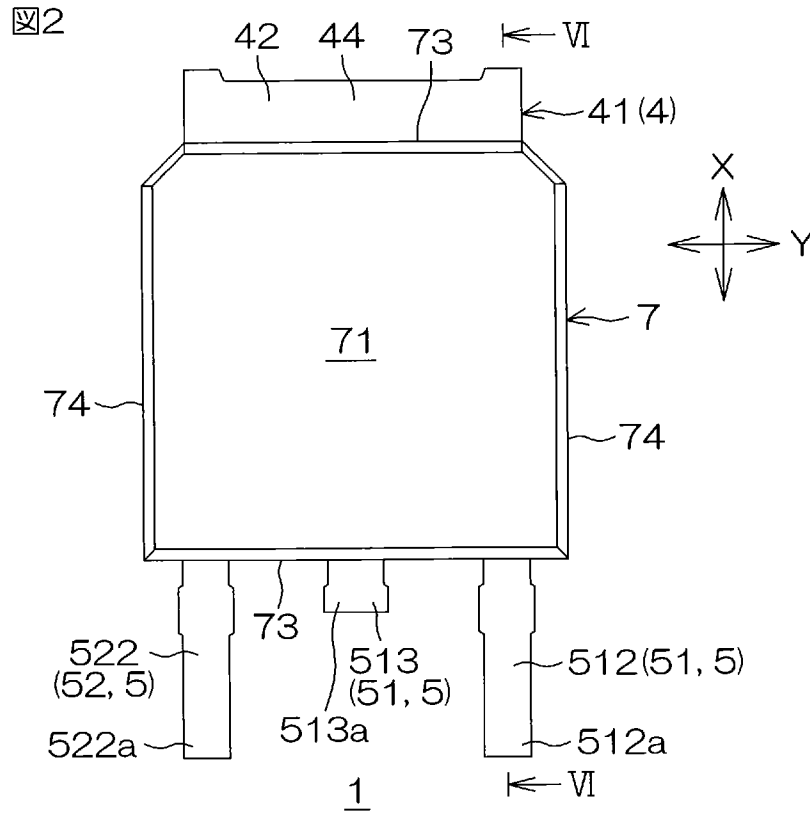
[請求項17] 前記バリア層は、50 nm以上10 μ m以下の厚さを有している、請求項 1 ～ 1 6 のいずれか一項に記載の半導体装置。

[図1]

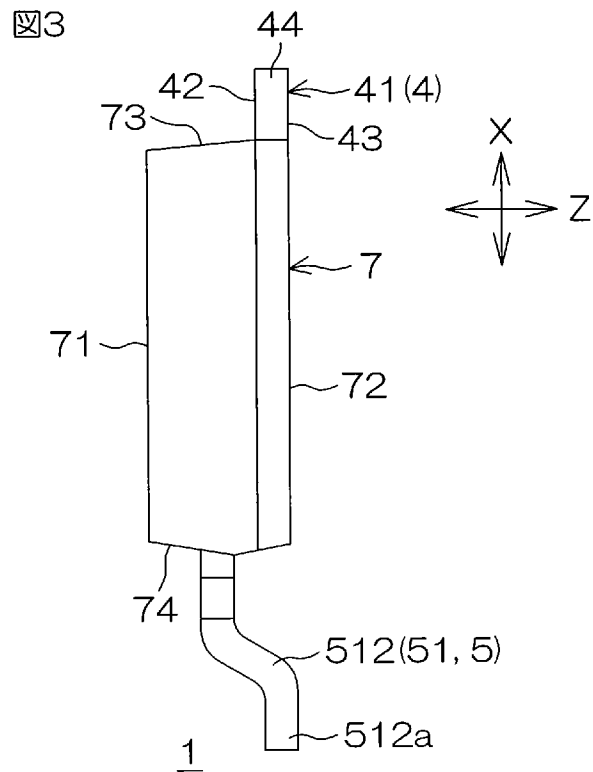
図1

1

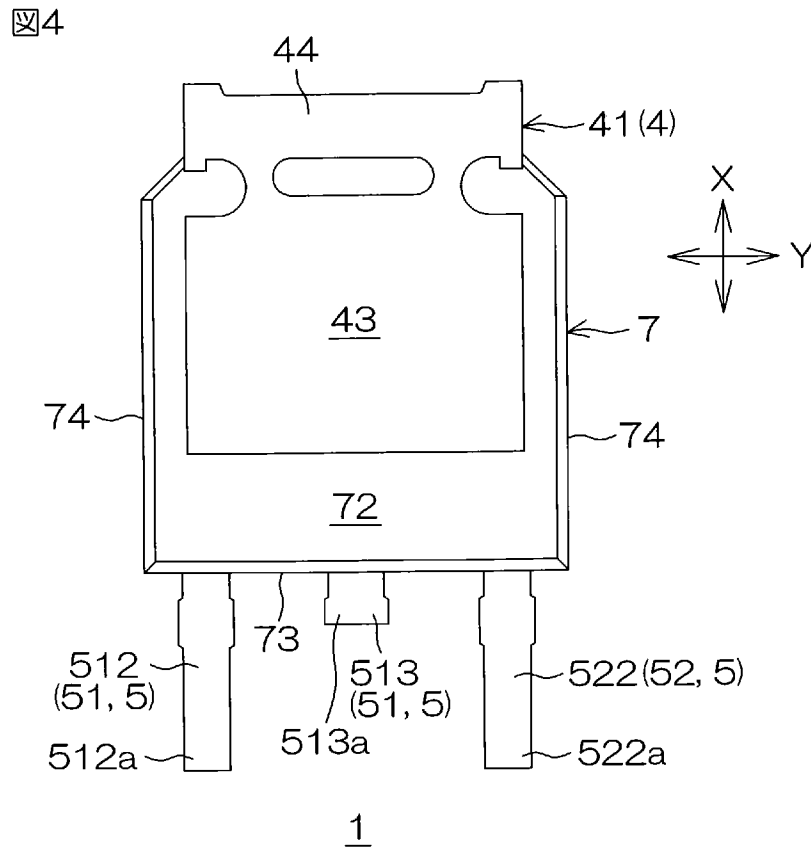
[図2]



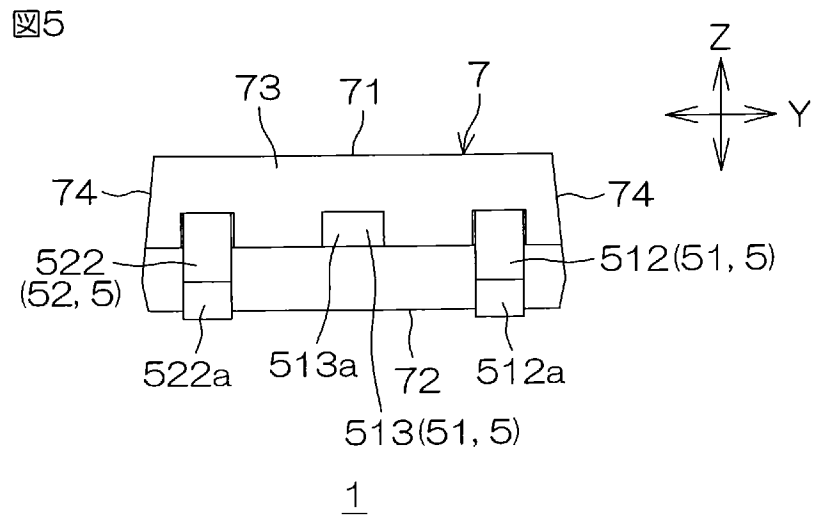
[図3]



[図4]



[図5]



[図6]

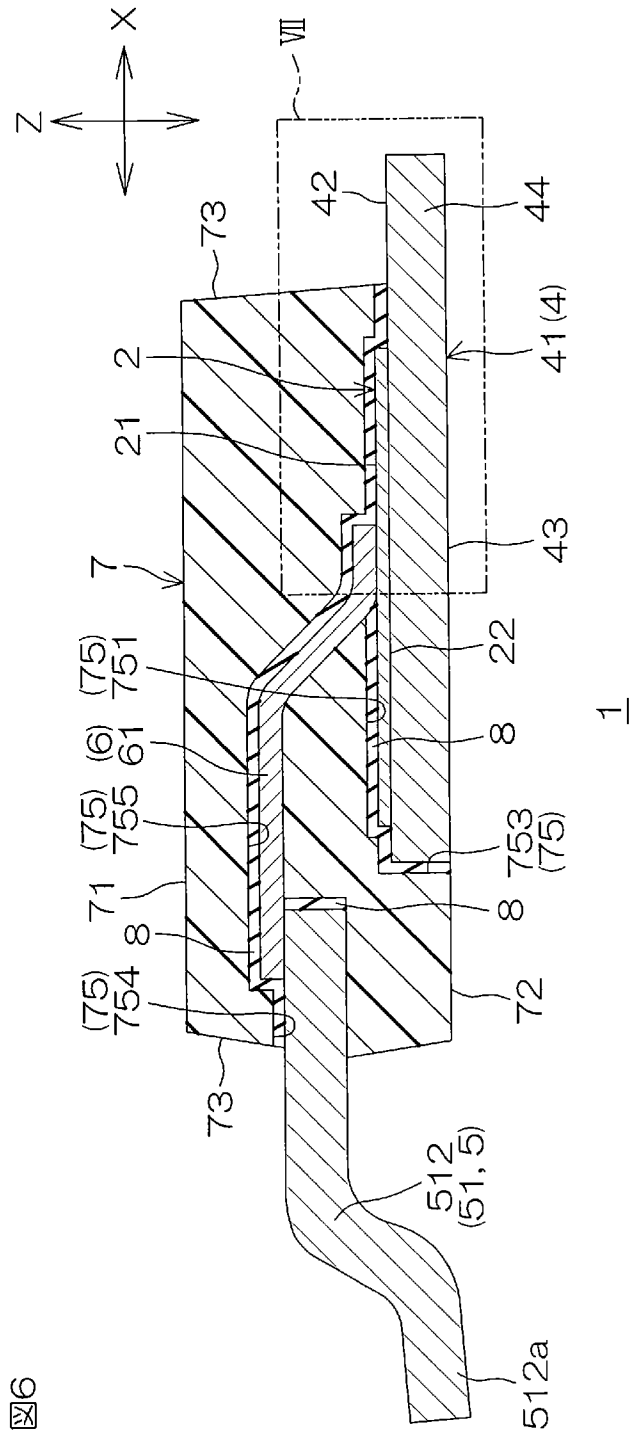
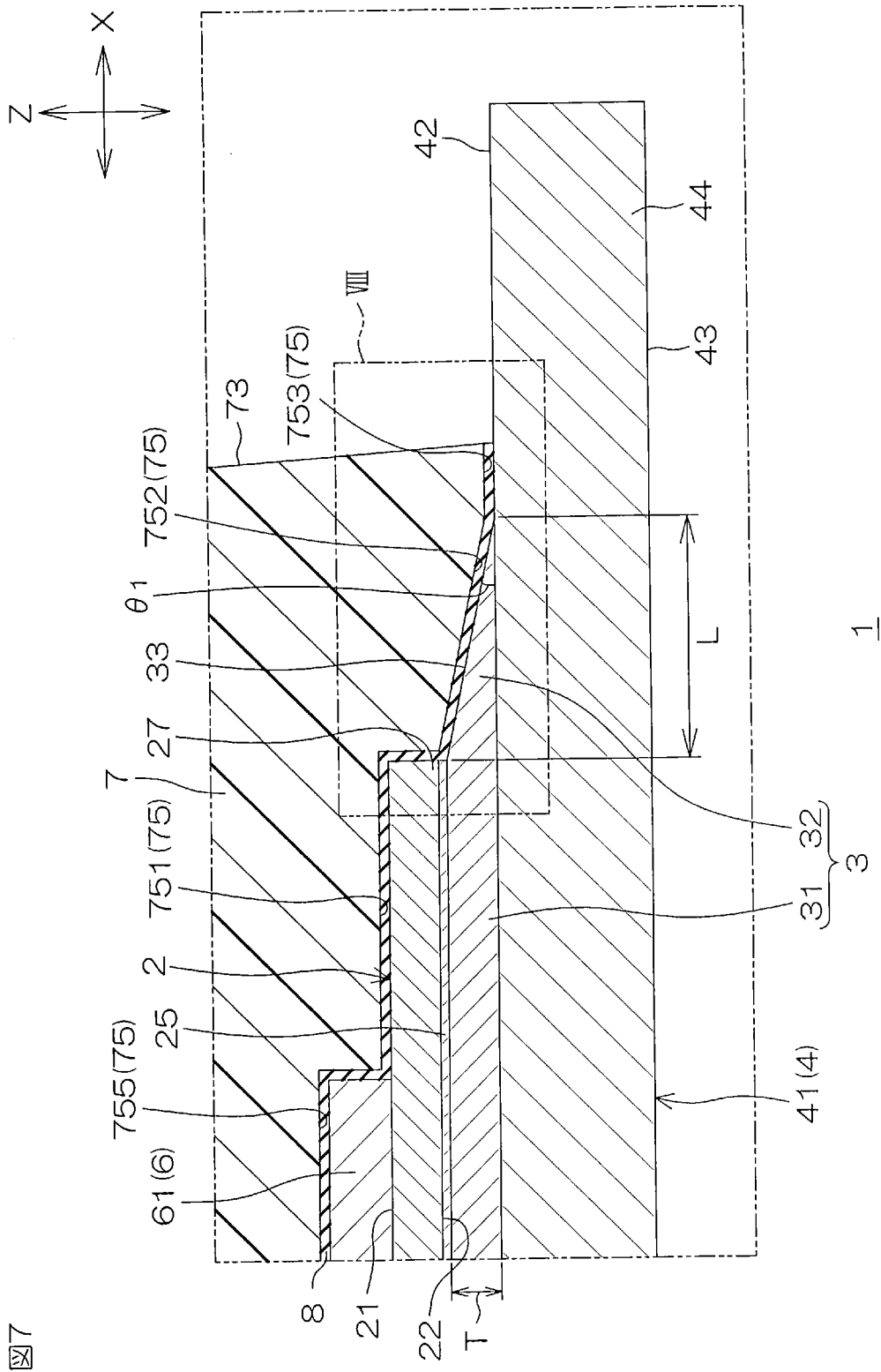
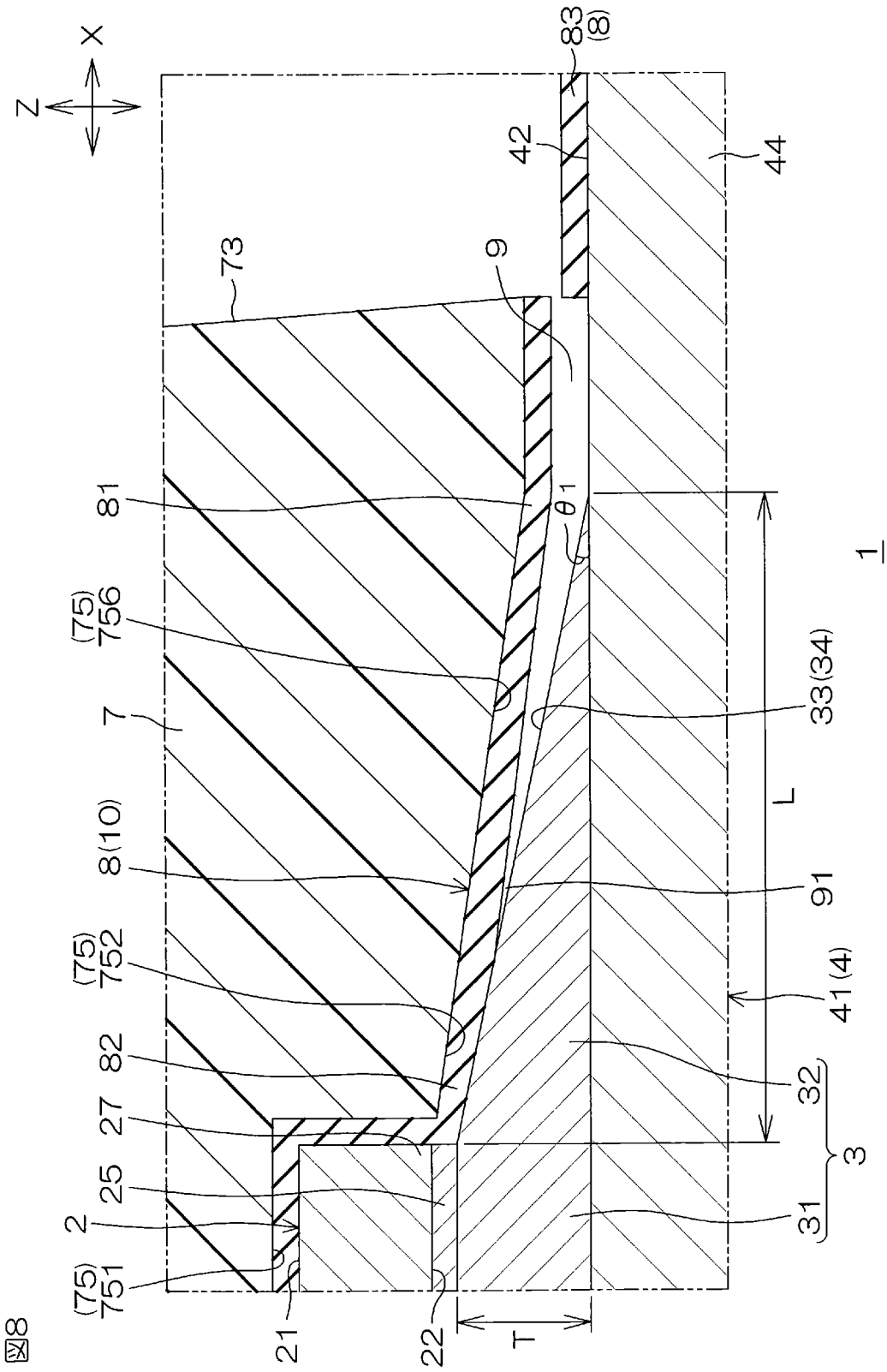


図6

[図7]

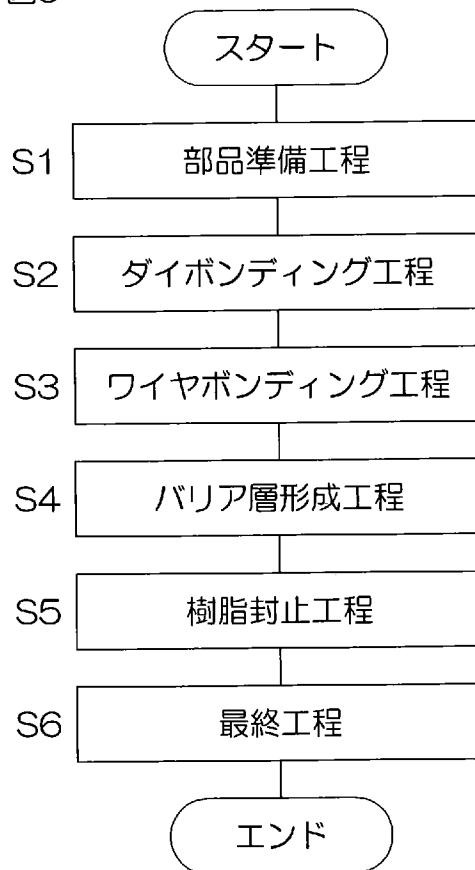


[図8]



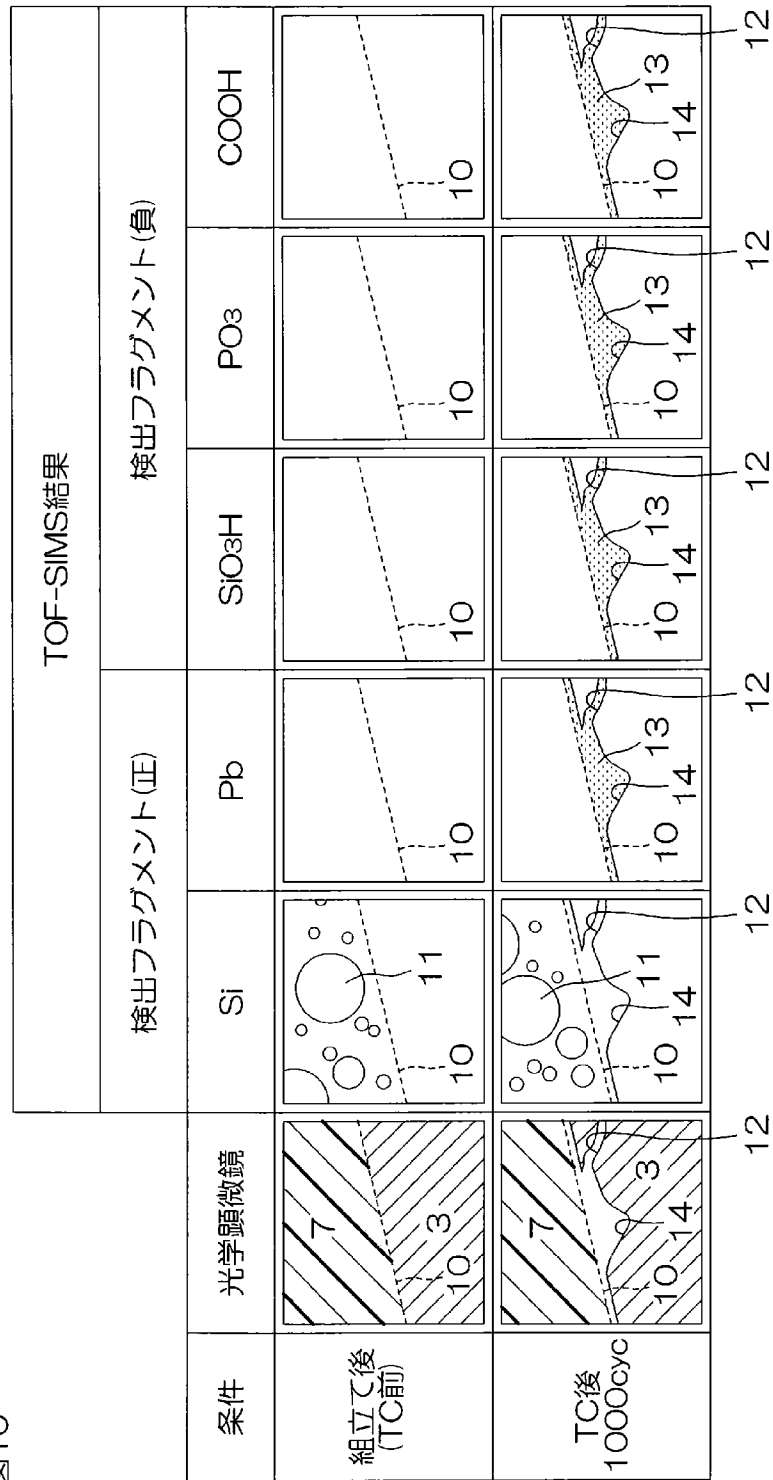
[図9]

図9



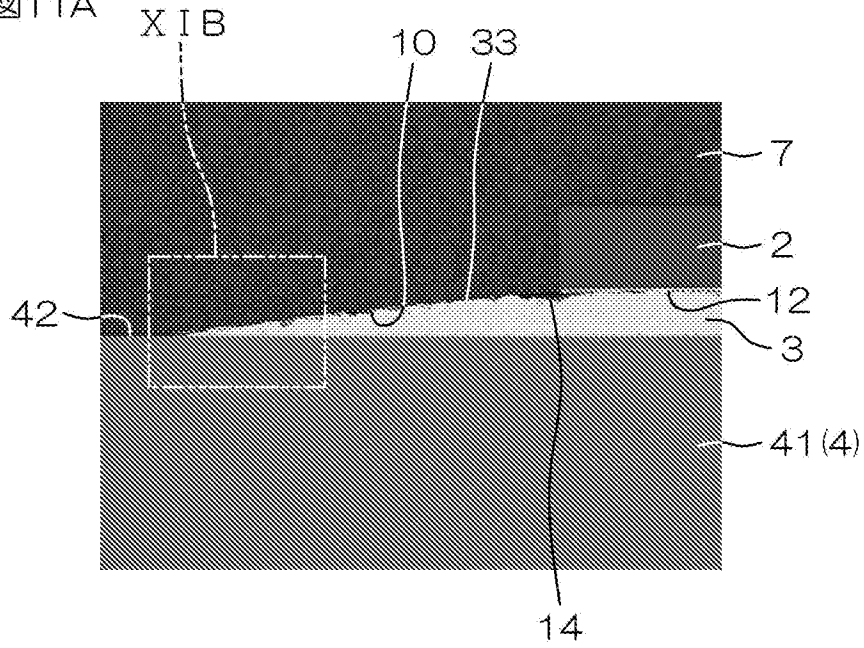
[図10]

図10



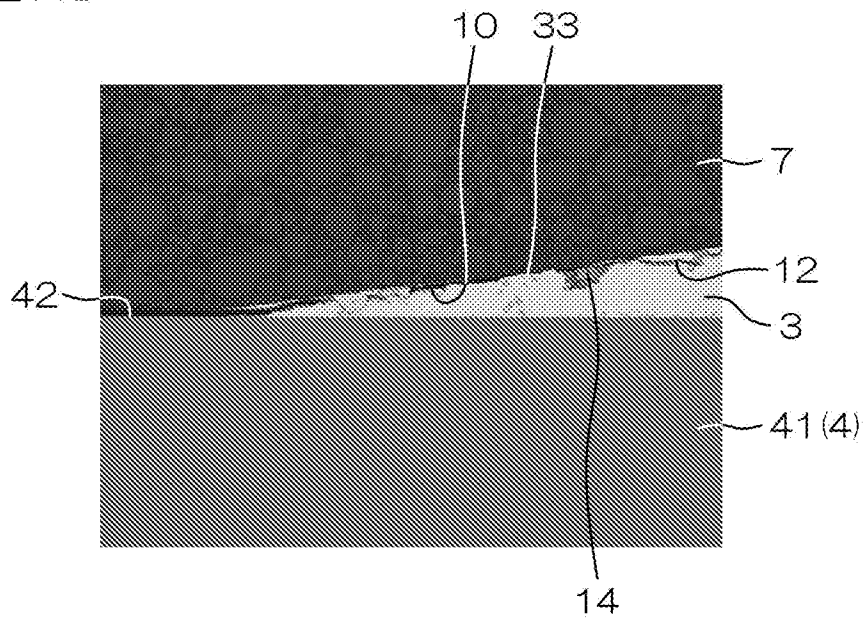
[図11A]



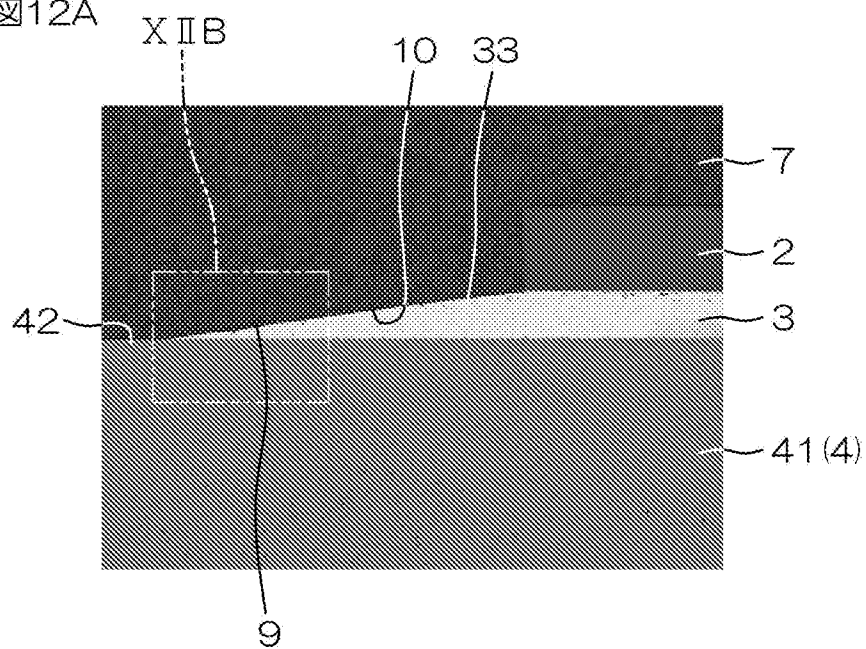


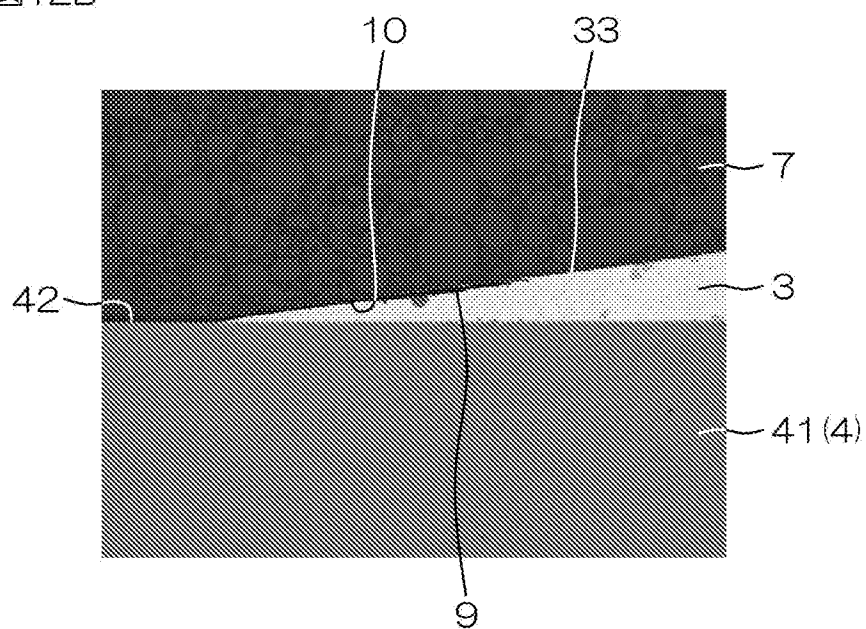
図11A



[図11B]

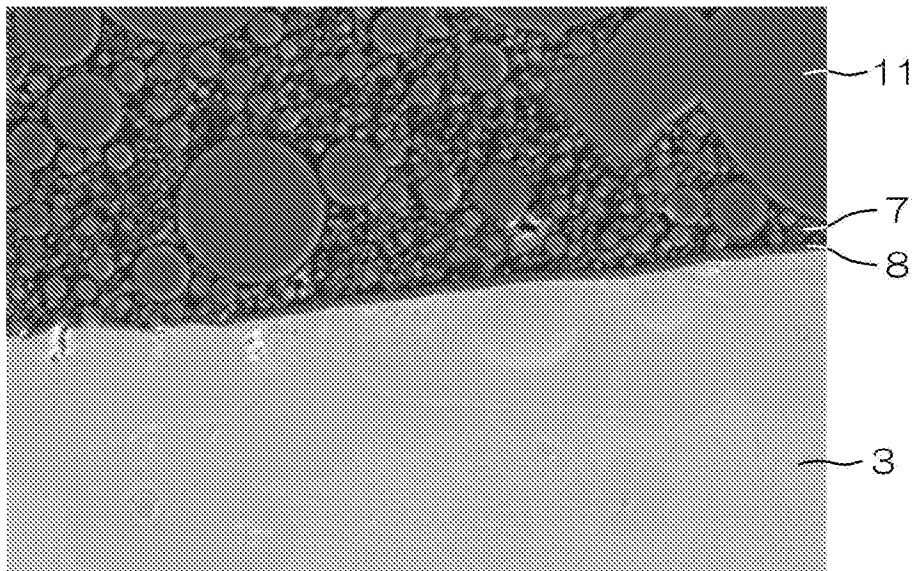
図11B



[12A]12A[12B]12B

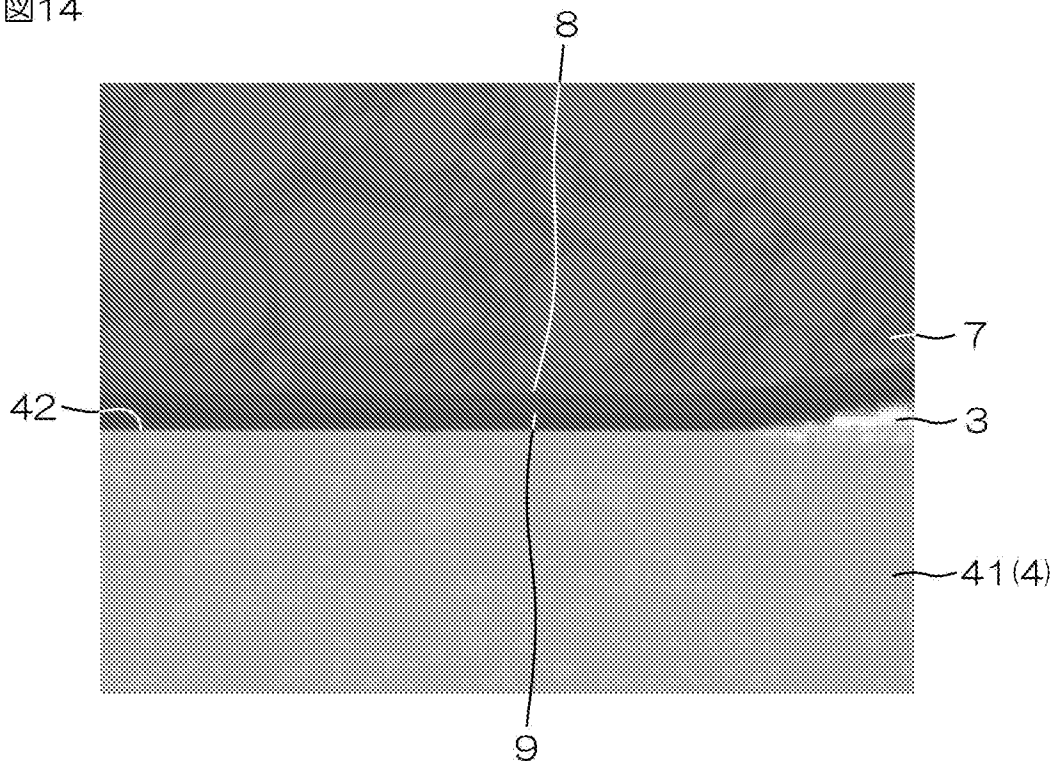
[図13]

図13



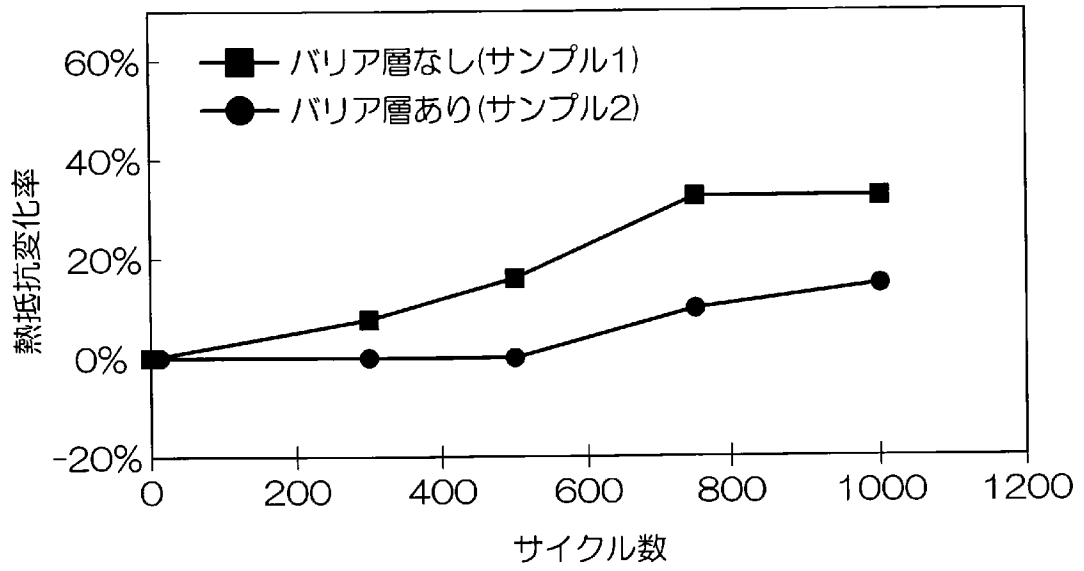
[図14]

図14



[図15]

図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/035719

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/29</i> (2006.01)i; <i>H01L 23/31</i> (2006.01)i; <i>H01L 23/40</i> (2006.01)i; <i>H01L 21/52</i> (2006.01)i FI: H01L23/30 B; H01L23/40 F; H01L21/52 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/29; H01L23/31; H01L23/40; H01L21/52		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-137344 A (SUMITOMO BAKELITE CO., LTD.) 30 July 2015 (2015-07-30) entire text, all drawings	1-17
A	JP 2002-9218 A (HITACHI, LTD.) 11 January 2002 (2002-01-11) entire text, all drawings	1-17
A	JP 2016-216606 A (DAICEL CORP.) 22 December 2016 (2016-12-22) entire text, all drawings	1-17
A	JP 2016-4877 A (RENESAS ELECTRONICS CORP.) 12 January 2016 (2016-01-12) entire text, all drawings	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 November 2022		Date of mailing of the international search report 22 November 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/035719

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2015-137344 A	30 July 2015	(Family: none)	
JP 2002-9218 A	11 January 2002	(Family: none)	
JP 2016-216606 A	22 December 2016	(Family: none)	
JP 2016-4877 A	12 January 2016	US 2015/0364587 A1 entire text, all drawings CN 105322001 A TW 201611200 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/29(2006.01)i; H01L 23/31(2006.01)i; H01L 23/40(2006.01)i; H01L 21/52(2006.01)i FI: H01L23/30 B; H01L23/40 F; H01L21/52 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/29; H01L23/31; H01L23/40; H01L21/52 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-137344 A（住友ベークライト株式会社）30.07.2015（2015-07-30） 全文,全図	1-17
A	JP 2002-9218 A（株式会社日立製作所）11.01.2002（2002-01-11） 全文,全図	1-17
A	JP 2016-216606 A（株式会社ダイセル）22.12.2016（2016-12-22） 全文,全図	1-17
A	JP 2016-4877 A（ルネサスエレクトロニクス株式会社）12.01.2016（2016-01-12） 全文,全図	1-17
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
09.11.2022	22.11.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 靖史 5F 5895 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/035719

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-137344 A	30.07.2015	(ファミリーなし)	
JP 2002-9218 A	11.01.2002	(ファミリーなし)	
JP 2016-216606 A	22.12.2016	(ファミリーなし)	
JP 2016-4877 A	12.01.2016	US 2015/0364587 A1 全文, 全図	
		CN 105322001 A	
		TW 201611200 A	