

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4906047号
(P4906047)

(45) 発行日 平成24年3月28日(2012.3.28)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl.	F I
H O 1 L 23/12 (2006.01)	H O 1 L 23/12 E
H O 1 L 27/11 (2006.01)	H O 1 L 27/10 3 8 1
H O 1 L 21/8244 (2006.01)	H O 1 L 27/04 E
H O 1 L 21/822 (2006.01)	
H O 1 L 27/04 (2006.01)	

請求項の数 10 (全 24 頁)

(21) 出願番号	特願2005-342479 (P2005-342479)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成17年11月28日(2005.11.28)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2007-149977 (P2007-149977A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成19年6月14日(2007.6.14)	(72) 発明者	吉川 泰弘 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
審査請求日	平成20年11月27日(2008.11.27)	(72) 発明者	諏訪 元大 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
		(72) 発明者	豊嶋 博 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

上面、前記上面とは反対側の下面、前記上面に形成された上面側配線層、前記下面に配置された下面側配線層、前記上面側配線層と前記下面側配線層との間に配置された絶縁層、及び前記絶縁層に形成され、かつ前記上面側配線層と前記下面側配線層を接続する複数のスルーホールを有するパッケージ基板と、

表面、及び前記表面に形成された複数のパッド電極を有し、前記パッケージ基板の前記上面に搭載された半導体チップと、

前記パッケージ基板の前記下面に配置された複数のモジュール端子と、を含み、

前記複数のパッド電極は、データの外部入力が行われるデータ入力用のパッド電極と、前記外部入力と並列に行われ、かつデータの外部出力が行われるデータ出力用のパッド電極とを有し、

前記上面側配線層は、前記データ入力用のパッド電極と電氣的に接続される入力用上面側配線パターンと、前記データ出力用のパッド電極と電氣的に接続される出力用上面側配線パターンとを有し、

前記複数のスルーホールは、前記入力用上面側配線パターンと接続される入力用スルーホールと、前記出力用上面側配線層と接続される出力用スルーホールとを有し、

前記複数のモジュール端子は、前記入力用スルーホールを介して前記入力用上面側配線パターンと接続される入力用モジュール端子と、前記出力用スルーホールを介して前記出力用上面側配線パターンと接続される出力用モジュール端子とを有し、

10

20

前記上面側配線層において、前記入力用上面側配線パターンの中の前記データ入力用のパッド電極と最初に接続される第 1 部分から前記入力用スルーホールまでの前記入力用上面側配線パターンの長さは、前記出力用上面側配線パターンの中の前記データ出力用のパッド電極と最初に接続される第 2 部分から前記出力用スルーホールまでの前記出力用上面側配線パターンの長さよりも長いことを特徴とする半導体装置。

【請求項 2】

前記下面側配線層は、前記入力用スルーホールと前記入力用モジュール端子とを接続する入力用下面側配線パターンと、前記出力用スルーホールと前記出力用モジュール端子とを接続する出力用下面側配線パターンとを有し、

前記下面側配線層において、前記入力用下面側配線パターンの長さは、前記出力用下面側配線パターンの長さよりも短いことを特徴とする請求項 1 記載の半導体装置。

10

【請求項 3】

前記パッケージ基板は、前記上面側配線層と前記下面側配線層との間に配置された電源電圧用配線層及びグランド電圧用配線層と、前記電源電圧用配線層と前記グランド電圧用配線層との間に配置された絶縁層とを有することを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記電源電圧用配線層は、前記上面側配線層と前記下面側配線層との間に配置された第 1 電源電圧用配線層と、前記パッケージ基板の前記下面に配置された第 2 電源電圧用配線層とを有し、

20

前記グランド電圧用配線層は、前記第 1 電源電圧用配線層と前記下面との間に配置されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記グランド電圧用配線層は、前記第 1 電源電圧用配線層と前記下面との間において、プレーン状に形成されていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記出力用スルーホールは、前記入力用スルーホールよりも前記パッケージ基板の中央部側に配置されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記半導体チップの前記表面には、入力用引き出し配線を介して前記データ入力用のパッド電極と結合される入力用バンパ電極と、出力用引き出し配線を介して前記データ出力用のパッド電極と結合される出力用バンパ電極とが形成されており、

30

前記出力用バンパ電極は、前記入力用バンパ電極よりも前記半導体チップの前記表面における中央部側に配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】

前記複数のパッド電極は、電源電圧が供給される電源電圧用のパッド電極と、前記グランド電圧が供給されるグランド電圧用のパッド電極とを有し、

前記半導体チップの前記表面には、電源電圧用引き出し配線を介して前記電源電圧用のパッド電極と結合される電源電圧用バンパ電極と、グランド電圧用引き出し配線を介して前記グランド電圧用のパッド電極と結合されるグランド電圧用バンパ電極とが形成されており、

40

前記入力用バンパ電極と前記出力用バンパ電極の間には、前記電源電圧用バンパ電極又は前記グランド電圧用バンパ電極が配置されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

前記複数のパッド電極は、電源電圧が供給される電源電圧用のパッド電極と、前記グランド電圧が供給されるグランド電圧用のパッド電極とを有し、

前記半導体チップの前記表面には、電源電圧用引き出し配線を介して前記電源電圧用のパッド電極と結合される電源電圧用バンパ電極と、グランド電圧用引き出し配線を介して前記グランド電圧用のパッド電極と結合されるグランド電圧用バンパ電極とが形成されて

50

おり、

前記入力用パンプ電極と前記出力用パンプ電極との間には、前記電源電圧用引き出し配線又は前記グランド電圧用引き出し配線が配置されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 10】

前記半導体チップの前記表面には、入力用引き出し配線を介して前記データ入力用のパッド電極と結合される入力用パンプ電極と、出力用引き出し配線を介して前記データ出力用のパッド電極と結合される出力用パンプ電極とが形成されており、

前記半導体チップに形成された前記入力用引き出し配線のうち、前記パッケージ基板に形成された前記出力用上面側配線パターンと平面的に重なる部分は、前記出力用上面側配線パターンの延在方向と直交するように、引き回されていることを特徴とする請求項 1 記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部出力動作と外部入力動作が並列可能にされた半導体装置に関し、特に半導体集積回路を実装したパッケージ基板等に寄生する不所望なインダクタンス成分によって発生するノイズを低減する技術に関する。例えば、複数ビットの外部データ入力動作に対して外部データ出力動作タイミングが可変にされたクワッド・スタティック・ランダム・アクセス・メモリ（クワッドSRAM）に適用して有効な技術に関する。

20

【背景技術】

【0002】

信号伝播系に電流変化があると自己インダクタンスに比例したノイズ電圧を生ずるのはもとより、隣接する別の信号伝播系に電流変化があっても相互インダクタンスに比例したノイズ電圧を生ずる。半導体装置のパッケージ基板において外部データ出力系配線と外部データ入力系配線が上下又は左右で隣接しているとき、データの外部入力動作中に外部出力状態が変化されると、相互インダクタンスに従って出力系における電流変化が入力系にノイズ電圧を誘起することになる。したがって、入力タイミングが必ず出力動作の確定期間になるように入力動作タイミングを規定すれば、出力動作によって入力データが大きく歪むことはない。特許文献 1 には、半導体集積回路における相互インダクタンスによるクロストークノイズを低減する技術について記載がある。

30

【0003】

また、フルグリッドでパッケージ端子を持つボールグリッドアレイ（BGA）によるパッケージ構造では、BGAを持つパッケージ基板に、パッド電極に引出し配線を介して接続する半田パンプ電極を外部端子として持つWPP（ウェーハ・プロセス・パッケージ）構造の半導体集積回路を搭載する。多層配線のパッケージ基板では配線層間の接続をスルーホールを介して行なわなければならないから、BGAのボール及び半田パンプの配置を避けてスルーホールを形成しなければならない。したがって、パッケージ基板のスルーホールの配置を整然とし若しくは規則的にするには、BGAのボールと半田パンプとの配置を半導体集積化回路とパッケージ基板との積双方向から見て、重なりがあるように配置するのが望ましい。特許文献 2 にはそのように重なりを持って配置した技術が記載される。

40

【0004】

【特許文献 1】特開平 11 - 135668 号公報

【特許文献 2】特開 2001 - 203298 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明者は、BGAパッケージ構造の半導体装置において並列動作可能にされる外部出力信号系と外部入力信号系の相互インダクタンスを小さくすることについて検討した。特許文献 2 に記載の如くパッケージ基板に形成するスルーホールの配置を整然且つ規則的に

50

すれば、部分的にスルーホールが密集する場所を減らすことができ、パッケージ基板上に形成する配線経路の自由度が増し、並列に入出力可能にされる外部出力信号系と外部入力信号系を離間させたりシールドしたりする自由度が増す。

【 0 0 0 6 】

しかしながら、それだけでは十分に相互インダクタンスを小さくすることができない。本発明者は以下の認識を得た。まず、BGAパッケージ基板にWPP構造の半導体集積回路が搭載される場合、BGAパッケージ基板の最上層配線層は、半田バンプとパッド電極とを結ぶ引出し配線に直接対向することになり、シールド層が介在されない。そのように対向する配線として外部出力信号系配線と外部入力信号系配線が存在することになれば、外部入力信号にノイズが乗ってしまう。この意味において、パッケージ基板の最上配線層に対する主な配線の割り当てが特に重要になることが本発明者によって見出された。即ち、半導体パッケージ基板の配線層に対する機能割り当ての重要性が増すということである。一方、半導体集積回路のWPP構造におけるパッド電極から半田バンプに至る引出し配線は平面的配置にならざるを得ないから、引出し配線等に関しては、平面的配置においてインダクタンス成分を実効的に小さくしなければならないことが明らかにされた。

10

【 0 0 0 7 】

本発明の目的は、並列入出力化能された外部出力信号系から外部入力信号系へのノイズの誘起を緩和若しくは抑制することにある。要するに、並列入出力化能された外部出力信号系から外部入力信号系に対する相互インダクタンスを小さくすることにある。

【 0 0 0 8 】

20

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 0 9 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 0 】

〔 1 〕《パッケージ基板の配線層割り当て》

本発明に係る半導体装置(1)は、パッケージ基板(2)と前記パッケージ基板に搭載された半導体集積回路(3)とを有する。前記半導体集積回路は前記パッケージ基板に臨む複数の外部接続端子(BMP)を有し、前記複数の外部接続端子の一部として並列に入出力可能にされる外部入力端子(BMP[D])及び外部出力端子(BMP[Q])と、外部グランド端子(BMP[Vss])と、外部電源端子(BMP[Vdd])とを有する。前記パッケージ基板は、前記半導体集積回路が搭載される面とは反対の面にアレイ状に配置された複数のモジュール端子(BLL)を有する。前記パッケージ基板は、相互に対応する前記外部接続端子と前記モジュール端子とを電気的に接続するために必要な配線パターンが形成された複数の配線層(L1~L4)を有する。前記複数の配線層の内、前記半導体集積回路に臨む第1の配線層(L1)は相互に対応する前記外部入力端子と前記モジュール端子とを接続する主な配線(L1[D])を有し、前記モジュール端子が形成される第2の配線層(L4)は相互に対応する前記外部出力端子と前記モジュール端子とを接続する主な配線(L4[Q])を有する。

30

40

【 0 0 1 1 】

上記より、外部出力端子に接続される外部出力系の主な信号配線は半導体集積回路から離れた(半導体集積回路が搭載される面とは反対の面に形成された)配線層に追いやられているから、外部出力系の主な信号配線における電流変化によって半導体集積回路側における外部入力系の信号配線にノイズ電圧が誘起されるのを緩和することができる。

【 0 0 1 2 】

本発明の一つの具体的な形態として、前記第1の配線層と第2の配線層との間には前記外部グランド端子に接続されるプレーン状の導電パターン(PLN[Vss])が主に形成される第3の配線層(L3)を有する。第3の配線層の導電パターンは外部出力系の主な

50

信号配線上での電流変化により発生する磁界をシールドする。出力動作に並行する入力
の耐ノイズ性が更に向上する。

【 0 0 1 3 】

本発明の別の一つの具体的な形態として、前記半導体集積回路は半導体チップ（ 1 0 ）
と複数の引出し配線（ B L N ）とを有し、前記引出し配線は、前記半導体チップの表面保
護膜から露出するパッド電極（ C P D ）と対応する前記外部接続端子とを結合する。要す
るに半導体集積回路には所謂 W P P 構造が採用される。この所謂 W P P 構造において各種
引出し配線はパッケージ基板の最上層に面し、シールド層は介在されていない。それ故に
、所謂 W P P 構造において、外部出力端子に接続される外部出力系の主な信号配線を半導
体集積回路から離れた配線層に追いやった上記構成は、上記耐ノイズ性の実効性が高い。

10

【 0 0 1 4 】

更に具体的な形態として、前記半導体集積回路において前記外部入力端子に接続する前
記引出し配線は、前記半導体集積回路の外部出力端子に接続する前記第 1 配線層の配線に
対して直交する配置を有する。直交する導体間の相互インダクタンスは実質的に無視し得
るようになる。

【 0 0 1 5 】

本発明の更に別の一つの具体的な形態では、前記外部接続端子として更に、第 1 の外部
クロック入力端子（ B M P [C , / C] ）と第 2 の外部クロック入力端子（ B M P [K , /
K] ）とを有する。前記第 1 の外部クロック入力端子は前記外部出力端子から出力するデ
ータの出力動作を同期させるクロック信号を入力する。前記第 2 の外部クロック入力端子
は前記外部入力端子から入力するデータの入力動作を同期させるクロック信号を入力する
。外部入力動作に対して外部出力動作タイミングが可変にされる構成では、入出力動作の
タイミングを規制して対処することはできないから、前記パッケージ基板の配線層に対す
る機能割り当てによるノイズ対策は必須となる。

20

【 0 0 1 6 】

更に具体的な形態として、前記引出し配線の内、前記第 1 の外部クロック入力端子に接
続するクロック用第 1 引出し配線（ B L N [C , / C] ）と第 2 の外部クロック入力端子に
接続するクロック用第 2 引出し配線（ B L N [K , / K] ）とは、前記半導体チップの中央
部を横切って対応するパッド電極（ C P D [C , / C] 、 C P D [K , / K] ）に接続する
。通常、クロックスキュー対策の観点より半導体集積回路の中央部にクロック入力用パ
ッド電極が配置される場合が多い。これを考慮したとき、パッケージ基板の上層配線層で中
心にクロック供給配線を通し、当該クロック供給配線に半田ボールのような外部クロック
入力端子を接続することも可能である。そうすると、中央部にはスルーホールを打つこと
ができなくなる。これに対して、上述の如くクロック入力パッド電極に接続する引出し配
線を半導体集積回路の中央部に形成し、これに半田ボールのような外部クロック入力端子
を形成すれば、パッケージ基板の中央にはクロック配線を形成しなくて済む。このことが
、パッケージ基板に形成するスルーホールの配置の自由度を向上させ、パッケージ基板上
の配線レイアウトの自由度の向上に資することができる。

30

【 0 0 1 7 】

更に具体的な形態として、例えば前記パッケージ基板は、前記クロック用第 1 引出し配
線及びクロック用第 2 引出し配線と重なる位置に、異なる配線層の配線を接続するための
複数のスルーホール（ T H [V s s] ）を有する。

40

【 0 0 1 8 】

更に具体的な形態として、前記モジュール端子におけるアレイ状配置のピッチに対し前
記外部接続端子は当該ピッチの半分のピッチを基本ピッチとして有し、相互に配列のピッ
チの等しいモジュール端子と外部接続端子は、前記パッケージ基板と半導体集積回路との
表裏方向に重なりを有する。これにより、パッケージ基板に形成するスルーホールの配置
を整然且つ規則化し易くなる。この点においても、部分的にスルーホールが密集する場所
を減らすことができ、パッケージ基板上に形成する配線経路の自由度が増し、並列に入出
力可能にされる外部出力信号系と外部入力信号系を離間させたりシールドしたりする自由

50

度を増すのに資することができる。

【 0 0 1 9 】

〔 2 〕 < W P P バンプ配列 >

本発明の別の観点による半導体装置 (1) は、パッケージ基板 (2) と前記パッケージ基板に搭載された半導体集積回路 (3) とを有する。前記半導体集積回路は、半導体チップ (1 0) と、複数の引出し配線 (B L N) と、前記パッケージ基板に臨む複数の外部接続端子 (B M P) とを有する。前記引出し配線は、前記半導体チップの表面保護膜から露出するパッド電極 (C P D) と対応する外部接続端子 (B M P) とを結合するものであり、半導体集積回路には所謂 W P P 構造が採用される。前記複数の外部接続端子の一部として、並列に入出力可能にされる外部入力端子 (B M P [D]) 及び外部出力端子 (B M P [Q]) と、外部グランド端子 (B M P [V s s]) と、外部電源端子 (B M P [V d d]) と、外部入出力用電源端子 (B M P [V d d q]) とを有する。外部入出力用電源端子は前記外部出力端子及び外部入力端子に接続する回路に動作電源を供給する端子である。前記半導体集積回路の中央部から縁辺部に向かって順次、前記パッド電極の第 1 配列、前記外部入出力用電源端子と前記外部グランド端子の第 2 配列、前記外部出力端子の第 3 配列、前記外部入出力用電源端子と前記外部グランド端子の第 4 配列、前記外部入力端子の第 5 配列が形成される。

10

【 0 0 2 0 】

上記より、パッド電極の第 1 配列と、外部出力端子の第 3 配列と、外部入力端子の第 5 配列との間には必ず外部グランド端子又は外部入出力用電源端子が配置されるから、隣り合う外部入力端子用の引出し配線及び外部出力端子用の引出し配線の間には外部グランド端子に接続する引出し配線又は外部入出力用電源端子に接続する引出し配線を配置することが容易になる。それら外部グランド端子に接続する引出し配線及び外部入出力用電源端子に接続する引出し配線は、隣り合う外部入力端子用の引出し配線及び外部出力端子用の引出し配線にとって電磁的なシールド配線として機能し、外部出力用の引き出し配線と外部入力用の引出し配線とのクロストークを抑制することができる。

20

【 0 0 2 1 】

更に、外部入出力用電源又はグランド電源の引出し配線に隣り合うように外部出力用の引出し配線及び外部入力用の引出し配線が配置されれば、信号経路とそのリターンパスを電磁的に密結合することが容易になって、信号系の実効インダクタンスを小さくすることも容易になる。

30

【 0 0 2 2 】

更に、外部出力端子は外部入力端子よりもパッド電極の第 1 配列寄りに配置されているから、ノイズ源となり得る出力用の引出し配線を短くでき、この点においても耐ノイズ性が向上される。

【 0 0 2 3 】

本発明の一つの具体的な形態として、前記パッド電極の第 1 配列を挟んで、前記外部入出力用電源端子と前記外部グランド端子の第 2 配列とは反対側に、前記外部グランド端子及び前記外部電源端子の第 6 配列が形成される。前記外部グランド端子及び前記外部電源端子の配列の隣に前記パッド電極の配列があるから、外部グランド端子用の引出し配線と外部電源端子用の引出し配線を隣接させることが容易になる。要するに、電源とそのリターンパスを電磁的に密結合することが容易になって、電源系の実効インダクタンスを小さくすることが可能になる。

40

【 0 0 2 4 】

本発明の別の一つの具体的な形態として、前記半導体集積回路において前記外部入力端子に接続する前記引出し配線 (B L N [D]) は、前記半導体集積回路の外部出力端子に接続する前記第 1 配線層 (L 1) の配線に対して直交する配置を有する。直交配置により原理的に相互インダクタンスがゼロになり、パッケージ基板の外部出力系信号配線と半導体集積回路の外部入力系引出し配線との間のクロストークを抑制することができる。

【 0 0 2 5 】

50

本発明の別の一つの具体的な形態として、前記パッケージ基板は、前記半導体集積回路が搭載される面とは反対の面にアレイ状に配置された複数のモジュール端子（ＢＬＬ）を有する。前記パッケージ基板は、前記外部接続端子と対応する前記モジュール端子とを電氣的に接続するために必要な配線パターンが形成された複数の配線層を有する。前記複数の配線層の内、前記半導体集積回路に臨む第１の配線層（Ｌ１）は前記外部入力端子と対応するモジュール端子とを接続する主な配線を有し、前記モジュール端子が形成される第２の配線層（Ｌ４）は前記外部出力端子と対応するモジュール端子とを接続する主な配線を有する。上記より、外部出力端子に接続される外部出力系の主な信号配線は半導体集積回路から離れた配線層に追いやられているから、外部出力系の主な信号配線における電流変化によって半導体集積回路側における外部入力系の信号配線にノイズ電圧が誘起されるのを緩和することができる。

10

【００２６】

更に具体的な形態として、前記第１の配線層と前記第２の配線層との間に、前記外部グラウンド端子に接続するプレーン状の導電パターン（ＰＬＮ〔Ｖｓｓ〕）が主に形成された第３の配線層（Ｌ３）と、前記外部入出力用電源端子に接続するプレーン状の導電パターン（ＰＬＮ〔Ｖｄｄｑ〕）が主に形成された第４の配線層（Ｌ２）とを有する。第３の配線層及び第４の配線層の導電パターンは外部出力系の主な信号配線上の電流変化で生ずる磁界に対するシールド層として機能する。

【００２７】

更に具体的な形態として、前記第２の配線層（Ｌ４）は、前記外部電源端子に接続するプレーン状の導電パターン（ＰＬＮ〔Ｖｄｄ〕）を更に有する。前記第３の配線層は前記前記第２の配線層（Ｌ４）と第４の配線層（Ｌ２）との間に配置される。外部入出力用電源端子に接続するプレーン状の導電パターンと前記外部電源端子に接続するプレーン状の導電パターンは、第３の配線層（Ｌ３）を介して第４の配線層（Ｌ２）と前記第２の配線層に分離されることになるから、外部入出力用電源と外部電源の夫々の電源系インダクタンスの低減になる。さらに、外部入出力用電源端子に接続する第４の配線層のプレーン状の導電パターンは第１の配線層に形成された主な入力信号配線のリターンパスを構成し、また、前記グラウンド端子に接続する第３の配線層（Ｌ３）のプレーン状の導電パターンは第４配線層に形成された主な出力信号配線のリターンパスを構成するから、それらのデータ出力系とデータ入力系各々の実効インダクタンス低減に資することができる。

20

30

【００２８】

配線層の割り当てに関連して更に説明する。本発明はデータの外部入力と外部出力が並列可能にされた半導体集積回路（３）を使用している。外部出力は信号配線上の電流変化によりノイズを発生し易い。そのため、外部入力系の主な信号配線が外部出力系の主な信号配線の近くに配置されていると、外部出力系の主な信号配線における電流変化によって半導体集積回路における外部入力系の信号配線にノイズ電圧が誘起され、誤動作が生じる。そこで、外部入力系の主な信号配線はパッケージ基板の主面上（半導体集積回路が搭載される側）に第１の配線層（Ｌ１）として配置し、外部出力系の主な信号配線はパッケージ基板の主面とは反対側の裏面上（モジュール端子が形成される側）に第２の配線層（Ｌ４）として配置し、更に外部グラウンド端子に接続するプレーン状の導電パターン（ＰＬＮ〔Ｖｓｓ〕）が主に形成された第３の配線層（Ｌ３）と、前記外部入出力用電源端子に接続するプレーン状の導電パターン（ＰＬＮ〔Ｖｄｄｑ〕）が主に形成された第４の配線層（Ｌ２）を第１の配線層（Ｌ１）と第２の配線層（Ｌ４）の間に配置することで、シールド層として機能させることができ、ノイズ対策が可能となる。

40

【００２９】

ここで、前記外部グラウンド端子、前記外部入出力用電源端子及び外部電源端子に接続するパッケージ基板内の導電層をプレーン状に形成するのは、かかる電位が高いことから、実効インダクタンスを低減するためである。このとき、各々プレーン状に形成された導電層はパッケージ基板の内層である第３の配線層（Ｌ３）と第４の配線層（Ｌ２）に形成するのがよい。何故ならば、パッケージ基板の主面（Ｌ１）および裏面（Ｌ４）は、複数の

50

外部接続電極、複数のモジュール端子、配線パターンまたはスルーホールなどが配置されるため、そこにプレーン状の大きなパターンに形成することが困難だからだと考えられる。このような理由から、前記外部グランド端子、前記外部入出力用電源端子及び外部電源端子に接続するパッケージ基板内の導電層を内層である第3の配線層(L3)と第4の配線層(L2)に形成するのがよいと考えられる。この中で、第3配線層(L3)に主に形成される外部グランド端子に接続するプレーン状の導電パターン(PLN[Vss])は基準電位であるため、半導体集積回路の安定した電氣的動作を得るためには十分に大きな面積を確保したいため、前記外部入出力用電源端子及び外部電源端子に接続するパッケージ基板内の導電層とは異なる配線層に配置することが好ましい。また、前記外部入出力用電源端子及び外部電源端子に接続する導電パターンはどちらも基本的には電源用配線であるが、供給する対象が異なり、扱う電位も異なる。更には、前記外部入出力用電源端子に接続する導電パターンはパッケージ基板の中でも最も高い電位を扱うため、ノイズの発生源でもあることから、外部電源端子に接続する導電パターンとは配線層を分離させることが好ましいと考えられる。ここで、前記外部入出力用電源端子が接続されるパッケージ基板内の導電パターンと外部電源端子に接続するパッケージ基板内の導電パターンとの間に第3の配線層(L3)を配置しておけば、上記したように、シールド効果が得られるためノイズ対策が可能である。しかしながら、上記したように、第2の配線層において外部出力端子(BMP[Q])に接続する主の配線パターンもノイズを発生し易いため、外部グランド端子に接続する導電パターンは、第2の配線層の近傍であって、パッケージ基板の1層目(L1)である主面から3層目(L3)に配置することが好ましい。そして、相対的に高電位である前記外部入出力用電源端子に接続されるプレーン状導電パターンを第1の配線層と第3の配線層の間の第4の配線層に形成すれば、実効インダクタンスも低減できる。これらを考慮して、外部電源端子(BMP[Vdd])に接続するプレーン状導電パターン(PLN[Vdd])については第2の配線層と同じ配線層(L4)に配置することで、第4の配線層(L2)におけるプレーン状導電パターン(PLN[Vddq])からのノイズの影響を受け難くすることが可能である。

10

20

【0030】

本発明の更に別の一つの具体的な形態として、前記外部出力端子から出力するデータの出力動作を同期させるためのクロック信号を入力する第1の外部クロック入力端子と、前記外部入力端子から入力するデータの入力動作を同期させるためのクロック信号を入力する第2の外部クロック入力端子とを更に有する。前記半導体集積回路はスタティック・ランダム・アクセス・メモリとして動作可能とされる。外部入力動作に対して外部出力動作タイミングが可変にされる構成では、入出力動作のタイミングを規制して対処することはできないから、前記半導体集積回路における外部接続端子の機能別配列によるノイズ対策は必須となる。

30

【発明の効果】

【0031】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0032】

40

すなわち、並列入出力化能された外部出力信号系から外部入力信号系へのノイズの誘起を緩和若しくは抑制することができる。並列入出力化能された外部出力信号系から外部入力信号系に対する相互インダクタンスを小さくすることができる。

【発明を実施するための最良の形態】

【0033】

《QDR - SRAM》

図2には本発明に係る半導体装置の一例としてクワッド・スタティック・ランダム・アクセス・メモリ(QDR - SRAM)のブロック図が示される。QDR - SRAM1は、フルグリッドのボール・グリッド・アレイ(BGA)形態のパッケージ基板(PKG)2に、WPP構造を有する半導体集積回路(LSI)3を搭載して構成される。半導体集積

50

回路3はデータの外部入力と外部出力が並列に可能にされ、入力と出力が夫々固有のクロック信号に同期され、各々の動作はクロック信号のフォールエッジとライズエッジの夫々の同期可能にされる。D[i n]は外部入力データ、Q[o u t]は外部出力データ、V r eは参照電位、A D R Sはアドレス信号、S T R Vは外部アクセス制御信号を代表的に示す。メモリアレイ(A R Y)4は、特に制限されないが各々独立にメモリ動作可能な複数のメモリバンクを備え、メモリバンク毎にメモリセルの選択が可能にされる。メモリセルの選択はアドレスデコーダ(D E C)5によるアドレス信号A D R Sのデコード結果従って行われる。書込み動作が選択されたメモリバンクに対する書込みデータの外部入力は入力回路6が行い、読出し動作が選択されたメモリバンクから出力される読出しデータの外部出力は出力回路7が行う。入力回路6は制御回路8へのコマンド入力にも利用される。制御回路8は入力コマンド及びアクセス制御信号に従って内部動作を制御し、その動作タイミングは外部からのクロック信号に同期させる。

10

【0034】

図3には入出力動作タイミングが例示される。入力回路6によるデータ入力は差動のクロック信号K、/Kの両クロックエッジに同期される。出力回路7によるデータ出力動作は差動のクロック信号C、/Cの両クロックエッジに同期される。クロック信号K、/Kとクロック信号C、/Cとの位相は同じであっても相違してもよい。要するに、データの入出力動作が並列されるとき、データ入力タイミングはデータ出力タイミングに対して可変能にされる。仮に、出力データの出力信号配線に対する入力データの入力信号配線の相互インダクタンスが大きいとすれば、入力信号線には出力信号線の電流変化に応じて所謂クロストークによるノイズが誘起される。図3のN I Sの部分に示されるように入力データD[i n]の論理値が不所望に変化することになる。本実施形態に係るQ D R - S R A M 1においては出力データの出力信号配線に対する入力データの入力信号配線の相互インダクタンスが小さくなるように後述の対策が施されている。

20

【0035】

図1にはQ D R - S R A M 1の縦断面構造の概略が示される。前記半導体集積回路3のW P P構造は、半導体チップ(C H P)10の表面保護膜から露出するパッド電極C P Dと対応する外部接続端子B M Pとを引出し配線(W P P引出し配線、又は再配線とも称する)B L Nによって結合して構成される。パッド電極C P Dはアルミニウム等から成る半導体チップ10の表面電極である。外部接続端子B M Pは半田又は金等のバンプ電極であり、半導体ウェーハ状態で蒸着等によって形成される。引出し配線B L Nは例えば銅配線である。パッド電極C P Dは半導体チップ10の中央部にその縁辺に沿って2列で配置されている。図4にはパッド電極C P Dの配置が例示される。図5にはバンプ電極B M Pの配置が例示される。

30

【0036】

パッケージ基板(P K G)2は例えばL 1~L 4の4層の配線層を有する多層配線基板によって構成される。配線層の配線パターンはアルミニウム等で構成され、配線層間はガラスエポキシ樹脂等で絶縁されている。配線層間における配線パターンの接続はスルーホールT Hを介して行われる。前記バンプ電極B M Pは配線層L 1の配線パターンに接続される。配線層L 4には多数のモジュール端子としてボール電極B L Lがアレイ状に配置される。ボール電極B L Lは例えば半田等によって構成される。図6にはボール電極B L Lの配置が例示される。図4乃至図6において、電源用にはV D D、グランド用にはV S S、外部入出力電源用にはV D D Q、データ入力用にはD i、データ出力用にはQ i、アドレス用にはS A、出力クロック用にはC、/C、入力クロック用にはK、/K、コントロール系には/B W、/R、/Wの参照符号が付されている。

40

【0037】

図7にはQ D R - S R A M 1の電源系の概略が例示される。V d dは外部から供給される電源電圧、V d d qは外部から供給される入出力回路用電源電圧、V d d iは内部降圧電圧、V s sはグランド電圧である。電源電圧V d dは降圧回路(P U P c h g)、基準電圧発生回路(G v r e f)、電源制御回路(C p o w)、J T A G(J o i n t E u

50

ropean Test Action Group) 準拠のバウンダリスキャンテスト回路の動作電源とされる。内部降圧電圧 V_{ddi} は降圧回路 (PUPchg) で生成され、メモリアレイ (ARY) 4、デコーダ (DEC) 5 及び制御回路 (CONT) 8 等の SRAM のコア回路 (CORE) の動作電源とされる。入出力回路用電源電圧 V_{ddq} は入力回路 (BUFin) 6、出力回路 (BUFout) 7 及び入力保護ダイオード (Desd) 等の動作電源とされる。電源電圧 V_{dd} は電源ボール電極 $BL[V_{dd}]$ 及び電源パンプ電極 $BMP[V_{dd}]$ から供給される。入出力回路用電源電圧 V_{ddq} は電源ボール電極 $BL[V_{ddq}]$ 及び電源パンプ電極 $BMP[V_{ddq}]$ から供給される。グランド電圧 V_{ss} はグランドボール電極 $BL[V_{ss}]$ 及びグランドパンプ電極 $BMP[V_{ss}]$ から供給される。

10

【0038】

図 8 には WPP 構造の平面的な構成が示される。図 9 には配線層 L1 の平面的な構成が示され、図 10 には配線層 L2 の平面的な構成が示され、図 11 には配線層 L3 の平面的な構成が示され、図 12 には配線層 L4 の平面的な構成が示される。図 13 にはパンプ電極 BMP とボール電極 BL との平面的な相対位置関係が示される。図 13 において $BMP_{pitch}(min)$ は最小パンプピッチ、 BL_{pitch} はボールピッチを意味する。以下、半導体集積回路における WPP 構造とパッケージ基板の特徴的な構成について説明する。

【0039】

《データ入出力系の配線層割り当て》

20

図 1 及び図 14 の縦断面構造に端的に示されるように、データ入力パンプ電極 $BMP[D]$ と対応するデータ入力ボール電極 $BL[D]$ とを接続する主な配線を表層の配線層 L1 に形成し、データ出力パンプ電極 $BMP[Q]$ と対応するデータ出力ボール電極 $BL[Q]$ とを裏面の配線層 L4 に形成する。データ入力系配線とデータ出力系配線の配線層を分離することにより、相互間のクロストークを低減することができる。半導体集積回路 3 のパッド電極 CPD は半導体チップ 10 の中央部に配置されており、データ出力パンプ電極 $BMP[Q]$ はデータ入力パンプ電極 $BMP[D]$ よりもパッド電極 CPD 寄りの配置を有する。要するに、データ出力パンプ電極 $BMP[Q]$ に接続するスルーホール $TH[Q]$ はデータ入力パンプ電極 $BMP[D]$ に接続するスルーホール $TH[D]$ よりもパッケージ基板 2 の中央寄りに配置される。したがって、ノイズ源となる出力信号配線はデータ出力パッド電極 $CPD[Q]$ の近傍で、遠くの L4 配線層に追いやられ、その結果、データ入力パッド電極 $CPD[D]$ につながる WPP の引出し配線やその他の WPP 引出し配線に対向するパッケージ基板 10 上でノイズ源となる出力信号配線の長さが短くなる。これにより、シールド層が介在されていない L1 配線層と WPP 引出し配線との間において、L1 配線層の $BMP[Q]$ に接続するノイズ源配線に起因するその他の WPP 引出し配線との間のクロストークについても低減することができる。

30

【0040】

図 15 には図 9 の A2 部分における L1 配線層の配線と WPP 引出し配線との平面上での相対位置関係が例示される。L1[Q] は配線層 L1 においてデータ出力パンプ電極 $BMP[Q]$ に接続するデータ出力配線、 $BLN[D]$ はデータ入力パンプ電極 $BMP[D]$ に接続する WPP 引出し配線である。図 15 より明らかなように、データ入力 WPP 引出し配線 $BLN[D]$ は、データ出力配線 L1[Q] に対して直交する配置を有する。直交する導体間の相互インダクタンスは実質的に無視し得るようになるから、両者間のクロストークは極めて小さくなる。

40

【0041】

《電源系配線層割り当て》

外部入出力用電源電圧 V_{ddq} のためのプレーン状の導電パターン (V_{ddp} プレーン) $PLN[V_{ddq}]$ は L2 配線層に割り当てられる。その平面的構成は図 10 に示される。グランド電圧 V_{ss} のためのプレーン状の導電パターン (V_{ss} プレーン) $PLN[V_{ss}]$ は L3 配線層に割り当てられる。その平面的構成は図 11 に示される。電源電圧 V

50

ddのためのプレーン状の導電パターン(Vddプレーン)PLN[Vdd]はL4配線層に割り当てられる。その平面的構成は図12に示される。

【0042】

配線層L3のVssプレーンPLN[Vss]及び配線層L2のVddプレーンPLN[Vddq]は配線層L4の外部出力系信号配線の電流変化によって生ずる磁界に対するシールド層として機能する。VddqプレーンPLN[Vddq]とvddプレーンPLN[Vdd]は配線層L3を介して配線層L2と配線層L4に分離されることになるから、外部入出力用電源電圧Vddqと外部電源電圧Vddの夫々の電源系の実効インダクタンスの低減になる。さらに、配線層L2に形成されたVddqプレーンPLN[Vddq]は配線層L1に形成された主な入力信号配線のリターンパスを構成し、また、配線層L3に形成されたVssプレーンPLN[Vss]は配線層L4に形成された主な出力信号配線のリターンパスを構成するから、それらのデータ出力系とデータ入力系の各々の実効インダクタンスを低減することができる。

【0043】

《バンプ電極の配置》

図1の縦断面構造、図8の平面的構成より明らかなように、前記半導体集積回路3の中央部から縁辺部に向かって順次、パッド電極CPDの第1配列、外部入出力用電源バンプ電極BMP[vddq]とグランドバンプ電極BMP[Vss]の第2配列、データ出力バンプ電極BMP[Q]の第3配列、外部入出力用電源バンプ電極BMP[Vddq]とグランドバンプ電極BMP[Vss]の第4配列、データ入力バンプ電極BMP[D]の第5配列が形成される。図16には図8のA1部分の拡大図が示される。パッド電極CPDの第1配列と、データ出力バンプ電極BMP[Q]の第3配列と、データ入力バンプ電極BMP[D]の第5配列との間には必ず外部入出力用電源バンプ電極BMP[vddq]又はグランドバンプ電極BMP[Vss]が配置される。従って、隣り合うデータ入力用の引出し配線BLN[D]とデータ出力用の引出し配線BLN[Q]との間にはグランド用引出し配線BLN[Vss]又はVddq電源の引出し配線BLN[Vddq]を配置することが容易になる。それらグランド用引出し配線BLN[Vss]及びVddq電源の引出し配線BLN[Vddq]は、隣り合うデータ入力用の引出し配線BLN[D]とデータ出力用の引出し配線BLN[Q]にとって電磁的なシールド配線として機能し、データ入力用の引出し配線BLN[D]とデータ出力用の引出し配線BLN[Q]とのクロストークを抑制することができる。

【0044】

グランド用引出し配線BLN[Vss]又はVddq電源の引出し配線BLN[Vddq]に隣り合うようにデータ入力用の引出し配線BLN[D]及びデータ出力用の引出し配線BLN[Q]が配置されるから、信号経路とそのリターンパスを電磁的に密結合することが容易になって、信号系の実効インダクタンスを小さくするのにも資することができる。

【0045】

データ出力バンプ電極BMP[Q]はデータ入力バンプ電極BMP[D]よりもパッド電極CPDの第1配列寄りに配置されているから、ノイズ源となり得る出力用の引出し配線BLN[Q]を短くでき、この点においても耐ノイズ性が向上される。

【0046】

《Vss、Vddqの給電経路》

図17にはグランド電圧Vss及び外部入出力電源電圧Vddqの給電経路の縦断面構造が例示される。図12に示されるように、グランドボール電極BL[Vss]はパッケージ基板2の中央部に配置される。電源プレーンPLN[Vdd]の外側に外部入出力電源ボール電極BL[Vddq]が配置される。その外側にデータ入力ボール電極BL[D]及びデータ出力ボール電極BL[Q]が配置される。図17にはそのうち、グランドボール電極BL[Vss]と外部入出力電源ボール電極BL[Vddq]が代表的に示される。外部入出力電源ボール電極BL[Vddq]はスルーホールTH[Vddq]Aを介して配線層L2の電源プレーンPLN[Vddq]と配線層L1の配線L1[Vddq]Aに接続される。配線L1[Vddq]Aはバンプ電極BMP[Vddq]AからWPP引出し配線B

L N[V d d q]を通して電源パッドC P D[V d d q]に接続する。パッケージ基板2の中央部寄りには外部入出力電源ボール電極B L L[V d d q]に結合されないスルーホールT H[V d d q]Bが形成され、このスルーホールT H[V d d q]Bも、配線L 1[V d d q]B及びパンプ電極B M P[V d d q]B経由で、上記と同じくW P P引出し配線B L N[V d d q]を通して電源パッドC P D[V d d q]に接続する。スルーホールT H[V d d q]Aを經由する給電経路は図16を参照することによって明らかなように、専らB L N[D]とB L N[Q]との間のシールド配線B L N[V d d q]を形成するためである。このシールド配線B L N[V d d q]だけで給電を行おうとすると、当該経路の自己インダクタンスが大きくなり過ぎてしまい、リターン経路とされるべきグラウンド電圧V s sの給電経路と電磁的な特性が大きく相違することになる。スルーホールT H[V d d q]Bを經由する給電経路は、電源プレーンP L N[V d d q]を介してグラウンド電圧V s sの給電経路と電磁的な特性を同等するための経路である。換言すれば、図10より容易に理解されるように電源プレーンP L N[V d d q]によってインピーダンスの小さな電流経路を確保しようとするものである。この点においても、電源電圧V d d qとグラウンド電圧V s sとの実効インダクタンスが小さくされる。

10

【0047】

特に、図18に例示されるように、電源プレーンP L N[V d d q]上においてスルーホールT H[V d d q]AからスルーホールT H[V d d q]Bに向かう電流の向きと、配線層L 1における外部入力データ配線L 1[D]の配線方向が部分的に平行にされているので、これが入力信号とそのリターンパスとの間の実効インダクタンスを小さくするように作用する。

20

【0048】

《スルーホール配置の自由度》

上述した図14の外部出力データ用のスルーホールT H[Q]、図17のV s s用のスルーホールT H[V s s]、同じく図17の電源V d d qの給電に用いるスルーホールT H[V d d q]は、いままでの説明より明らかなようにパッケージ基板2の中央寄りに形成することが望ましい。この意味においてスルーホール形成の自由度を高めた構成について説明する。

【0049】

パッケージ基板2の中央部に対するスルーホール形成の自由度を高めるために、半導体集積回路におけるクロックやコマンド系のパッド電極の配置と、パッケージにおけるそれら信号のボール電極の配置との相違について着目した。半導体集積回路におけるクロックやコマンド系のパッド電極の配置は通常チップの中央部にされる。クロック等長配線を考慮するからである。パッケージにおけるそれら信号のボール電極の配置は通常パッケージ基板の端に配置されることが多い。したがって、両者を接続するのにパッケージ基板の配線層を用いる場合には、少なからずパッケージ基板の中央部の配線を利用しなければならない。それによってパッケージ基板の中央部に対するスルーホール形成の自由度が疎外される。図8のA1部分の拡大図である図19に示されるように、半導体集積回路3におけるクロックやコマンド系のパッド電極C P Dと、パッケージ基板2におけるそれら信号のボール電極B L Lとの接続に、W P P引出し配線20を利用する。図19においてクロック及びコマンド系の複数のパッド電極C P D群20は、チップの中央部に形成したW P P引出し配線21を介してチップ端部の対応する複数のパンプ電極B M群22に接続される。クロック信号として入力クロック信号K、/Kが例示される。図示はしないが図8の下半分の中央部も同様に構成され、ここには出力クロック信号C、/C等のW P P引出し配線が形成される。従って図20に例示されるように、W P P引出し配線20に重なるパッケージ基板2の中央部にはグラウンドV s s等のスルーホールT Hを形成することが可能になる。

30

40

【0050】

パッケージ基板2の左右の外側領域P D O U Tにおいてスルーホール形成の自由度を高めるために、例えば図21に例示されるように、ボール電極B L Lを一定のピッチ(例え

50

ば $1000\ \mu\text{m}$) でマトリクス配置し、バンプ電極 B M P はボール電極に重なるように或いはボール電極の半分のピッチ上に配置するものとする。スルーホール T H はバンプ電極 B M P 又はボール電極 B L L と重なる位置に形成することはできない。ボール電極 B L L とバンプ電極 B M P が平面的に重なる分だけスルーホール T H を形成可能な面積が大きくなる。従ってバンプ電極 B M P 及びボール電極 B L L をランダムに配置する場合に比べてスルーホール T H の形成箇所に対する自由度が増し、形成可能なスルーホールの数も増やすことが容易になる。図 13 では A R [T H] がスルーホール形成可能領域になる。外側領域 P D O U T の境界はチップのパッド電極 P D 列である。左右のパッド電極 P D 列の内側領域 P D I N ではバンプ電極 B M P はボール電極 B L L の直近に配置される。図 22 にはボール電極 B L L、スルーホール T H、バンプ電極 B M P の配置の一例が示される。

10

【0051】

図 21 には前記 W P P 引出し配線 21 を信号や電源の種類が例示される。前記 W P P 引出し配線 21 に V d d q, V d d, V d d i が含まれるのはチップ内部の設計との関係で W P P 引出し配線の一部利用しているに過ぎない。

【0052】

《評価と修正》

前記 Q D R - S R A M 1 のデータ並列入出力における出力の変化が入力データに与える影響について評価を行った。評価は、ある出力ピンをノイズ源としたとき、それによる全ての入力ピンの電圧変化を評価するシミュレーションを行い、これを全ての出力ピンに対して繰り返し行うことで図 23 に例示されるような実効相互インダクタンスマトリクスを作成して行う。即ち、特定の出力ピンの変化が夫々の入力に与える影響を、実効相互インダクタンスとして全出力ピンについてシミュレーションにより演算を行った。図 25 にはシミュレーション対象回路が模式的に示される。図 25 ではチップ側 (C H P s i d e) の S i g 0 がノイズ源となりチップ側の出力ピン、S i g 1, S i g 2 ... が入力ピンを意味する。信号系に対する電源側 (P O W s i d e) からのリターンパスとしての電源系には V s s, V d d q のパスを考慮する。図 23 には、Q 18 ~ Q 30 の出力ピンと D 18 ~ D 3 の入力ピンに対するシミュレーション結果が示される。例えば出力ピン Q 18 の電流変化は、相互インダクタンス $0.98\ \text{nH}$ に比例するノイズ電圧として入力ピン D 18 に与えられ、相互インダクタンス $0.37\ \text{nH}$ に比例するノイズ電圧として入力ピン D 19 に与えられることを示している。M Q はある入力ピンに関する全出力ピン及び電源分の実効相互インダクタンスの絶対値の総和を意味する。ここで、図 26 に例示されるように、テストボード 30 に Q D R - S R A M 1 を搭載し、信号振幅を徐々に小さくしながら順次リードライトを繰り返し、テストレシーバ 31 から入力したリードデータの正誤を判定したとき、データエラーを生じない最小振幅値 D m i n を実測した。このとき、本発明者の検討によれば、図 27 に例示されるように、M Q の値が大きくなると最小振幅値 D m i n が大きくなる傾向のあることが明らかになった。即ち、最小振幅値 D m i n が大きいほど電磁的耐ノイズ性が小さいということであり、M Q の値が電磁的耐ノイズ性に対する指標になり、M Q の値を小さくすることが最小振幅値 D m i n を小さくする上において重要であることが本発明者によって見出された。この観点より、図 23 の実効相互インダクタンスマトリクスにおいて D 27 の入力ピンに関する M Q = $3.82\ \text{nH}$ がワーストとなっている。比較例として図 24 には今まで説明した W P P 構造とパッケージ基板の特徴的構造を採用しなかった Q D R - S R A M (c o m p a r i s o n Q D R - S R Q M) の場合の実効相互インダクタンスマトリクスが例示される。比較例のワースト値は M Q = $4.78\ \text{nH}$ であり、本願発明に係る Q D R - S R A M 1 は約 $1\ \text{nH}$ の改善がなされたことになる。図 28 には双方の Q D R - S R A M における M Q の相違が示される。

20

30

40

【0053】

更に本発明者は図 23 の実効相互インダクタンスマトリクスを検証した結果、M Q が比較的大きいパッケージ基板の縁辺側に位置する D 18、D 27 の入力ピンに着目した。図 29 に明示的に示されるように、前記 D 18、D 27 の入力ピンは、最寄の Q 18、Q

50

27の出力ピンとの相互インダクタンスが大きいことが分かる。この原因として、隣接する入力ピンと出力ピンの間のクロストークが考えられる。図30には配線層L1と配線層L4を透視した様子が示される。これによれば、D18に接続する配線とQ18に接続する配線がSTK1の部分で上下方向に重なり、D27に接続する配線とQ27に接続する配線がSTK2の部分で上下方向に重なっていることが分かる。そこで、図31に例示されるように、D18に接続する配線とQ18に接続する配線をSPR1の部分で離し、D27に接続する配線とQ27に接続する配線がSPR2の部分で離し、更に配線クロスするところはCRSの部分のように直交配線にする。これによる改善結果は図32に例示される。MQの最大値は改善前に比べて僅かではあるが0.2nH低減することができた。図33には改善前と後の双方のQDR-SRAMにおけるMQの相違が示される。

10

【0054】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0055】

例えば、半導体集積回路はQDR-SRAMに限定されず、他のメモリ、マイクロコンピュータ、アクセラレータ等のその他のデータ処理LSIであってよい。並列入出力の対象はデータに限定されない。出力データと入力コマンド、出力データと入力アドレス等であってもよい。半導体集積回路はWPP構造を有するものに限定されない。パッケージ基板はBGA構造に限定されず、また、4層の複合配線基板に限定されない。

20

【図面の簡単な説明】

【0056】

【図1】本発明の一例に係るQDR-SRAMの縦断面構造を概略的に示す断面図である。

【図2】QDR-SRAMのブロック図である。

【図3】QDR-SRAMの入出力動作タイミングを例示するタイミングチャートである。

【図4】QDR-SRAMにおけるパッド電極CPDの配置を例示する平面図である。

【図5】QDR-SRAMにおけるパンプ電極BMPの配置を例示する平面図である。

【図6】QDR-SRAMにおけるボール電極BL Lの配置を例示する平面図である。

30

【図7】QDR-SRAMの電源系の概略を例示するブロック図である。

【図8】半導体集積回路のWPP構造を示す平面図である。

【図9】パッケージ基板の配線層L1の平面的構成を示す平面図である。

【図10】パッケージ基板の配線層L2の平面的構成を示す平面図である。

【図11】パッケージ基板の配線層L3の平面的構成を示す平面図である。

【図12】パッケージ基板の配線層L4の平面的構成を示す平面図である。

【図13】パンプ電極BMPとボール電極BL Lとの平面的な相対位置関係を示す平面図である。

【図14】データ入出力系の配線層割り当てを示す縦断面図である。

【図15】L1配線層の配線とWPP引出し配線との平面上での交差的配置を例示する平面図である。

40

【図16】図8のA1部分の拡大図である。

【図17】グランド電圧及び外部入出力電源電圧Vddqの給電経路を示す縦断面図である。

【図18】電源プレーンPLN[Vddq]上に電流の向きと配線層L1における外部入力データ配線L1[D]の配線方向との関係を例示する平面図である。

【図19】クロック及びコマンド系の複数のパッド電極CPD群に接続するWPP引出し配線をチップの中央部に形成した構成を示す平面図である。

【図20】チップ中央部のWPP引出し配線に重なるパッケージ基板の中央部にグランド電圧Vss等のスルーホールTHを形成した状態を示す平面図である。

50

【図 2 1】ボール電極 B L L を一定のピッチでマトリクス配置し、バンク電極 B M P をボール電極に重なるように或いはボール電極の半分のピッチ上に配置した状態を示す平面図である。

【図 2 2】ボール電極 B L L、スルーホール T H、バンク電極 B M P の配置の一例を全体的に示す平面図である。

【図 2 3】Q D R - S R A M のデータ並列入出力における出力の変化が入力データに与える影響について評価を行う点に取得した実効相互インダクタンスマトリクスを示す説明図である。

【図 2 4】W P P 構造とパッケージ基板の特徴的構造を採用しなかった Q D R - S R A M 場合の実効相互インダクタンスマトリクスを比較例として示す説明図である。

10

【図 2 5】相互インダクタンスマトリクスを取得するためのシミュレーション対象回路を模式的に示す回路図である。

【図 2 6】テストボードによる Q D R - S R A M 1 最小振幅値 D m i n を実測するときのテストボードとの接続例を示す概略断面図である。

【図 2 7】 M Q の値が大きくなると最小振幅値 D m i n が大きくなる傾向を示す特性図である。

【図 2 8】本発明と比較例の双方の Q D R - S R A M における M Q の相違を示す説明図である。

【図 2 9】前記 D 1 8、D 2 7 の入力ピンは、最寄の Q 1 8、Q 2 7 の出力ピンとの相互インダクタンスが大きいことを明示的に示す説明図である。

20

【図 3 0】配線層 L 1 と配線層 L 4 を透視した様子を示す平面図である。

【図 3 1】D 1 8 に接続する配線と Q 1 8 に接続する配線を離し、D 2 7 に接続する配線と Q 2 7 に接続する配線を離し、更に配線クロスするようにレイアウトの修正を行なった状態を示す平面図である。

【図 3 2】図 3 1 の修正による改善結果を例示する説明図である。

【図 3 3】図 3 1 の改善前と後の双方の Q D R - S R A M における M Q の相違を示す説明図である。

【符号の説明】

【 0 0 5 7 】

- 1 Q D R - S R A M
- 2 パッケージ基板 (P K G)
- 3 半導体集積回路 (L S I)
- 4 メモリアレイ
- 5 アドレスデコーダ (D E C)
- 6 入力回路
- 7 出力回路
- 8 制御回路

30

C , / C データ出力動作の差動クロック信号

K , / K データ入力動作の差動クロック信号

1 0 導体チップ (C H P)

40

C P D パッド電極

B M P バンク電極 (外部接続端子)

L 1 ~ L 4 配線層

V d d 電源電圧

V d d q 入出力回路用電源電圧

V d d i 内部降圧電圧

V s s グランド電圧

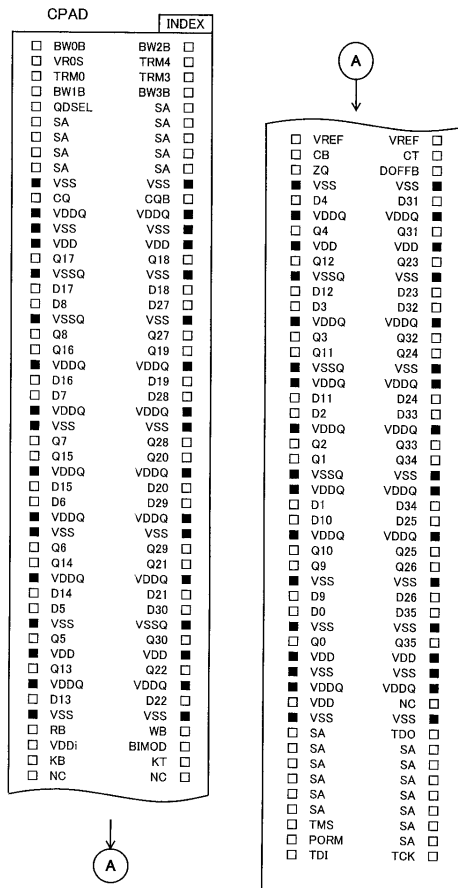
T H スルーホール

P L N [V d d q] V d d p プレーン

P L N [V s s] V s s プレーン

50

图4

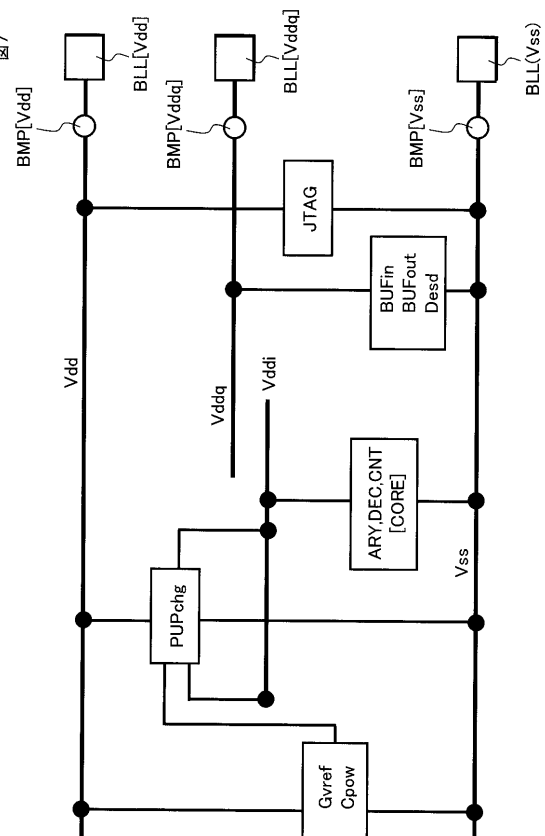


BLL															
	CQ	SA	SA	/R	/BW1	/K	/BW2	/W	SA	SA	INDEX				
A	Q8	Q17	D17	SA	/BW0	K	/BW3	SA	D18	SA	/CQ				
B	D8	Q7	D16	VSS	SA	SA	SA	VSS	D19	Q28	D27				
C	D7	D15	Q16	VSS	VSS	VSS	VSS	VSS	Q19	D20	D28				
D	Q6	D6	Q15	VDDQ	VSS	VSS	VSS	VDDQ	Q20	D29	Q29				
E	Q5	Q14	D14	VDDQ	VDD	VSS	VDD	VDDQ	Q21	D21	Q30				
F	D5	D13	Q13	VDDQ	VDD	VSS	VDD	VDDQ	Q22	D22	D30				
G	Q0	VREF	VDDQ	VDDQ	VDDQ	VSS	VDD	VDDQ	VDDQ	VREF	/DOF				
H	D4	Q4	D12	VDDQ	VDD	VSS	VDD	VDDQ	D23	Q31	D31				
I	Q3	Q3	Q12	VDDQ	VDD	VSS	VDD	VDDQ	Q23	D32	Q32				
J	Q2	Q11	D11	VDDQ	VSS	VSS	VDD	VDDQ	D24	Q32	D33				
K	D2	Q1	D11	VSS	VSS	VSS	VSS	VDDQ	D25	Q33	D34				
L	D1	D9	Q10	VSS	VSS	VSS	SA	SA	VSS	D25	Q34				
M	Q0	D0	Q9	SA	SA	C	SA	VSS	Q26	D26	D34				
N	Q0	D0	Q9	SA	SA	C	SA	SA	Q26	D35	Q35				
P	TDI	TMS	SA	SA	SA	/C	SA	SA	SA	TKK	TD0				
R	11	10	9	8	7	6	5	4	3	2	1				

图5

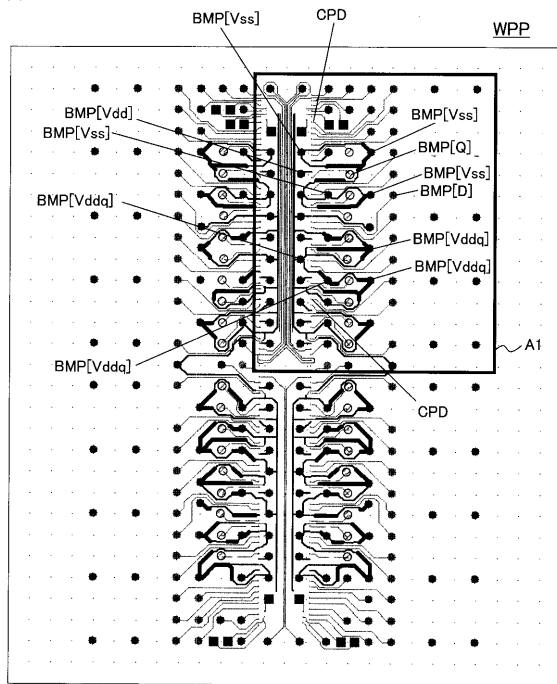
BMP										INDEX
R00	TRM2	TRM1	TRM0	/BW1	VR0S	FC	/BW2		TRM3	TRM4
R01	SA 9A	BLSEL		/BW0	/K	K	/BW3		IOSEL2	SA 3A
R02	SA 10A		QDSEL	/R			/W	SA 4B	SA 2A	SA 5A
R03	SA 8B	SA 7C			VDD	VDD			SA 6C	SA 1C
R04	D17	VSS	Q7	VDDQ	VSS	VSS	VDDQ	/CQ	VSS	D18
R05	D18		Q17		VDDQ	VDDQ		Q18		D27
R06	D16	VSS	Q8	VSS	VSS	VSS	VSS	Q27	VSS	D19
R07	D17		Q16		VDDQ	VDDQ		Q19		D28
R08	D15	VDDQ	Q7	VDDQ	VSS	VSS	VDDQ	Q28	VDDQ	D20
R09	D6	VDDQ	Q15		VDDQ	VDDQ		Q20	VDDQ	D29
R10	D14	VDDQ	Q6	VDDQ	VSS	VSS	VDDQ	Q29	VDDQ	D21
R11	D5		Q14	VDDQ	VSS	VSS	VDDQ	Q21		D30
R12		VDDQ	Q5	VDDQ	VDD	VDD	VDDQ	Q30	VDDQ	
R13	D13		Q13	VDDQ	VSS	VSS	BiMOD	Q22		D22
R14	VSS	VDDQ	ZQ	VREF2			VREF1	/DOFF	VDDQ	VSS
R15	D4		Q4		VSS	VSS		Q31		D31
R16		VDDQ	Q12	VDDQ	VDD	VDD	VDDQ	Q23	VDDQ	
R17	D12		Q3	VDDQ	VSS	VSS	VDDQ	Q32		D23
R18	D3	VDDQ	Q11	VDDQ	VSS	VSS	VDDQ	Q24	VDDQ	D32
R19	D11	VDDQ	Q2		VDDQ	VDDQ		Q33	VDDQ	D24
R20	D2	VDDQ	Q1	VDDQ	VSS	VSS	VDDQ	Q34	VDDQ	D33
R21			Q10		VDDQ	VDDQ		Q25		D34
R22	D10	VSS	Q9	VSS	VSS	VSS	VSS	Q26	VSS	D25
R23	D9		Q0		VDDQ	VDDQ		Q35		D26
R24	D0	VSS	VDDM	VDDQ	VSS	VSS	VDDQ		VSS	D35
R25	SA 8P	SA 7N			VDD	VDD		TDO	SA 5N	SA 3R
R26	SA 9R	SA 7P						SA 6N	SA 5P	SA 4P
R27	SA 8R	SA 7R	SCSEL		/C	C		PRST		SA 4R
R28	PTCK	TMS	PORM	TDI	PORC	PTDI	TCK		SA 5R	
	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3

7. ☒ 图



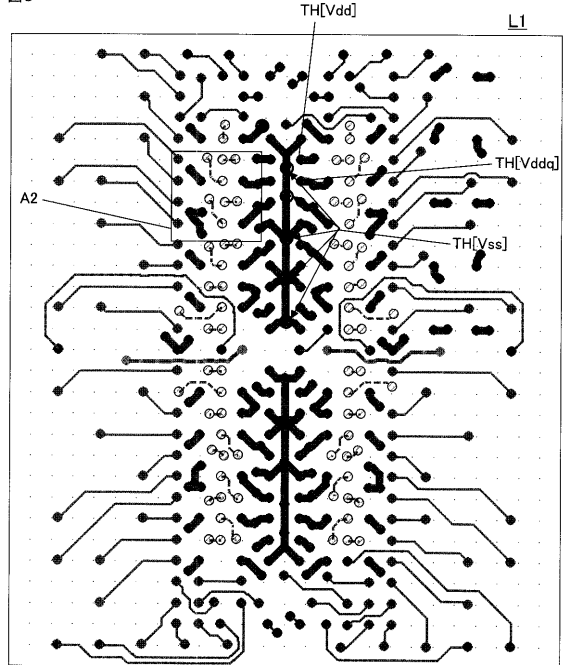
【図 8】

図8



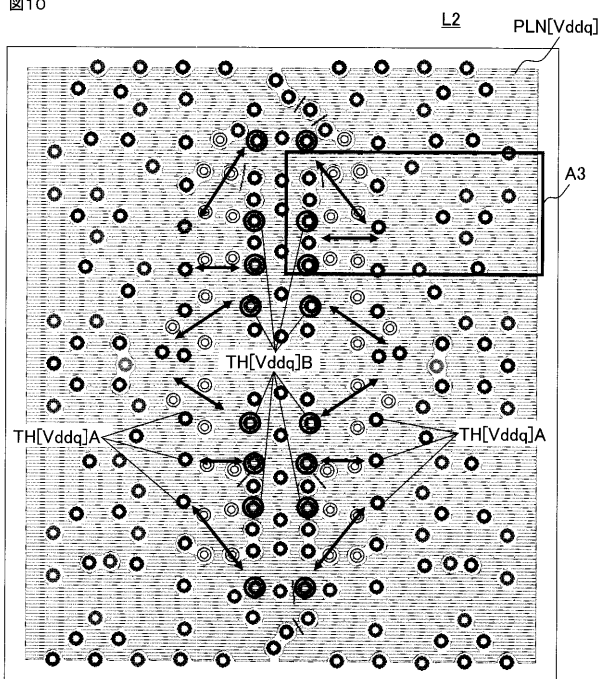
【図 9】

図9



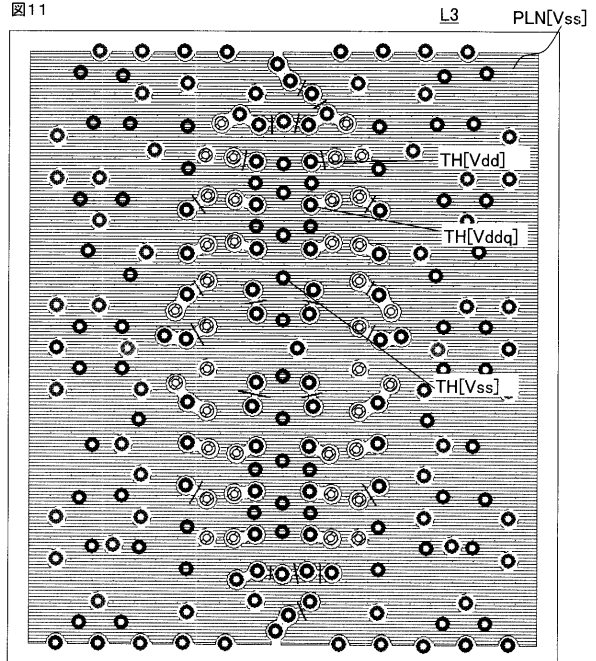
【図 10】

図10



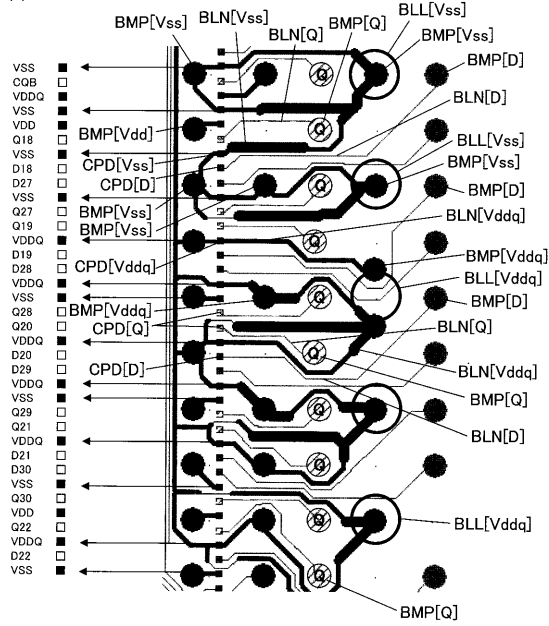
【図 11】

図11



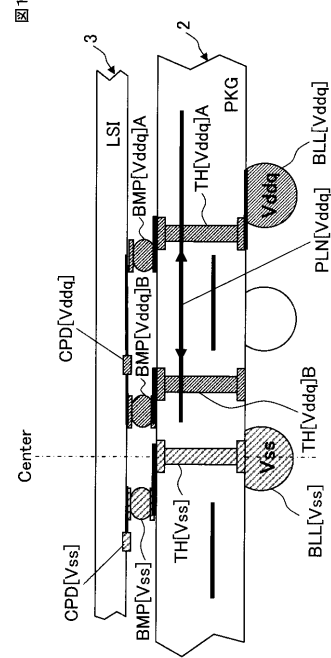
【図16】

図16



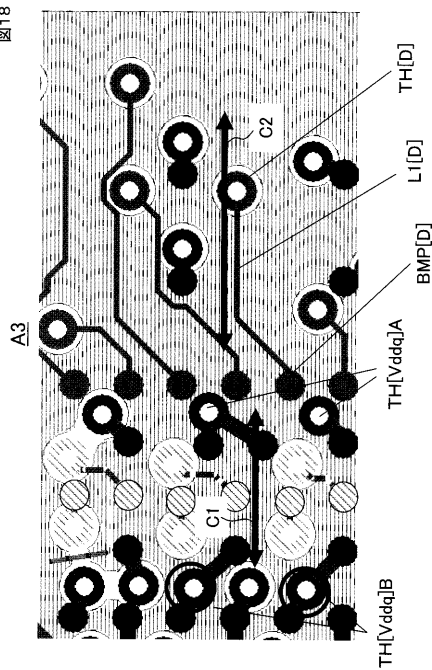
【図17】

図17



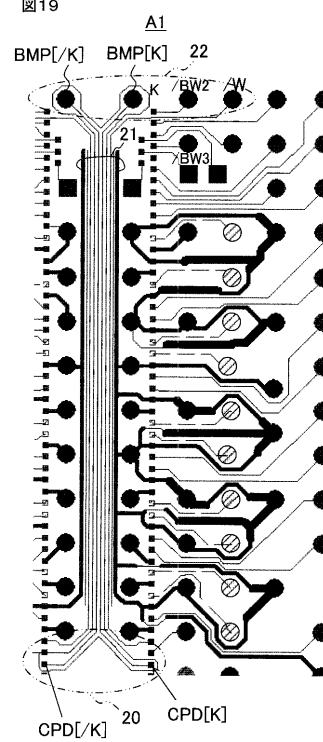
【図18】

図18

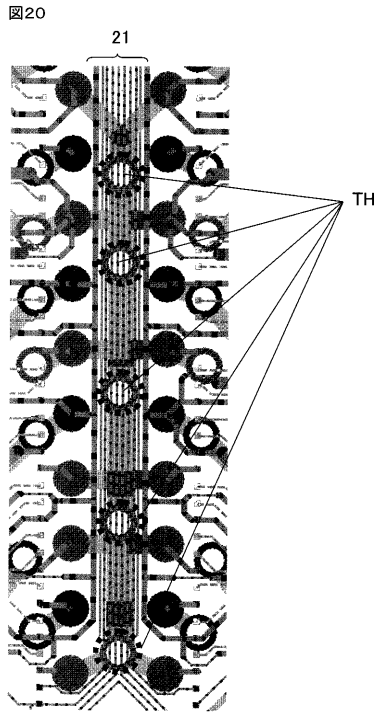


【図19】

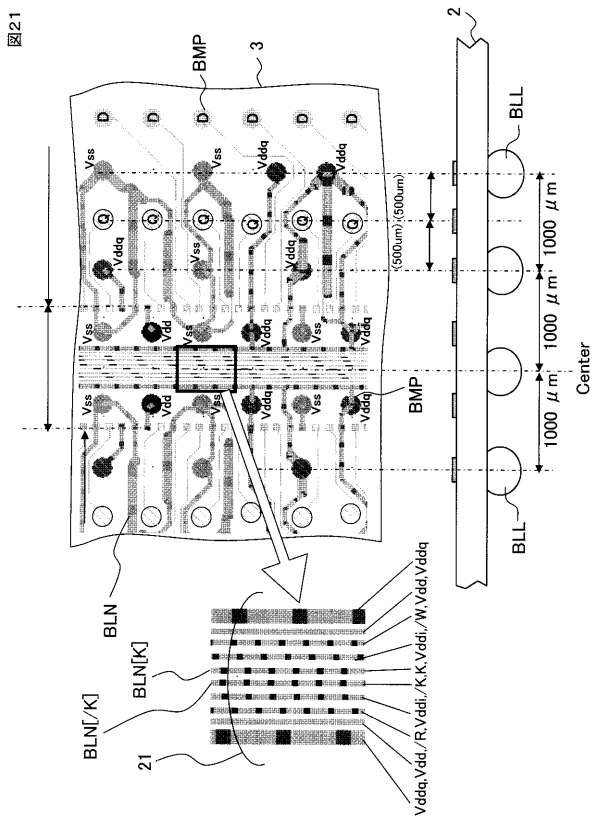
図19



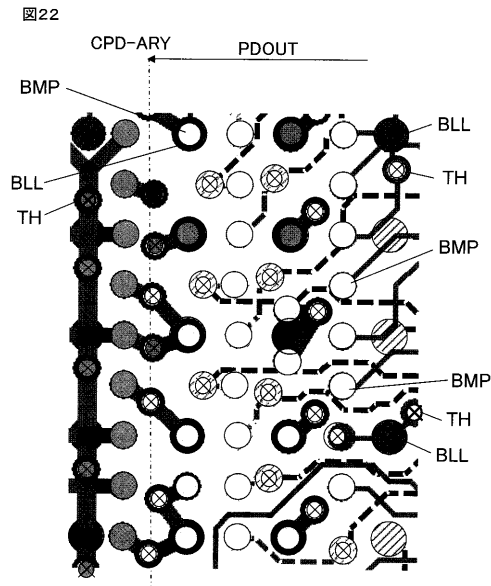
【図20】



【図21】



【図22】



【図23】

図23

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.98	0.37	0.16	-0.22	-0.23	0.84	0.31	-0.04	-0.18
Q19	0.37	0.93	0.52	-0.06	-0.15	0.46	0.61	0.22	-0.07
Q20	0.05	0.36	0.75	0.17	-0.06	0.15	0.47	0.50	0.05
Q21	-0.09	0.04	0.29	0.66	0.32	-0.01	0.17	0.67	0.59
Q22	-0.21	-0.15	-0.02	0.77	0.75	-0.17	-0.07	0.19	0.55
Q27	0.98	0.52	0.27	-0.18	-0.21	1.20	0.49	0.03	-0.15
Q28	0.82	0.81	0.57	-0.12	-0.21	0.79	0.77	0.18	-0.12
Q29	0.05	0.23	0.63	0.33	0.11	0.17	0.48	0.81	0.33
Q30	-0.09	-0.02	0.15	0.58	0.62	-0.02	0.11	0.38	1.05
Σ MQ	3.65	3.44	3.38	3.09	2.67	3.82	3.48	3.03	3.09

(nH) Worst

【図24】

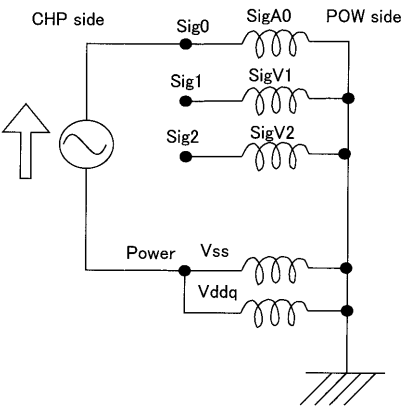
図24

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	1.33	0.69	0.32	-0.13	-0.15	0.98	0.53	0.13	-0.10
Q19	0.58	1.27	0.60	-0.03	-0.10	0.60	0.79	0.30	-0.02
Q20	0.15	0.39	0.86	0.31	0.01	0.20	0.58	0.69	0.15
Q21	-0.02	0.07	0.34	0.88	0.41	0.02	0.27	0.68	1.04
Q22	-0.16	-0.10	0.05	0.78	0.77	-0.12	0.01	0.22	0.61
Q27	1.32	0.72	0.36	-0.09	-0.12	1.42	0.61	0.18	-0.06
Q28	0.94	0.96	0.72	-0.05	-0.12	0.73	1.11	0.35	-0.03
Q29	0.14	0.25	0.69	0.66	0.22	0.20	0.62	0.96	0.53
Q30	-0.02	0.05	0.29	0.79	0.48	0.03	0.26	0.50	1.41
Σ MQ	4.66	4.50	4.22	3.71	2.37	4.31	4.78	4.02	3.93

(nH) Worst

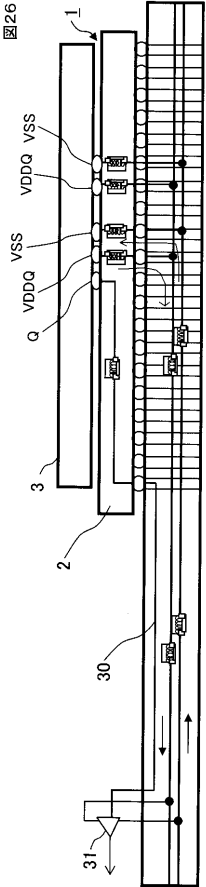
【 図 2 5 】

図25



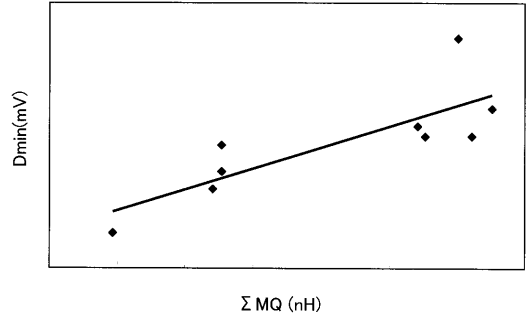
【 図 2 6 】

図26



【 図 2 7 】

図27



【 図 2 9 】

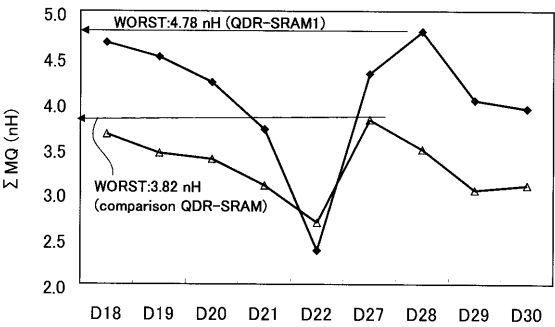
図29

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.98	0.37	0.16	-0.22	-0.23	0.84	0.31	-0.04	-0.18
Q19	0.37	0.93	0.52	-0.06	-0.15	0.46	0.61	0.22	-0.07
Q20	0.05	0.36	0.75	0.17	-0.06	0.15	0.47	0.50	0.05
Q21	-0.09	0.04	0.29	0.66	0.32	-0.01	0.17	0.67	0.59
Q22	-0.21	-0.15	-0.02	0.77	0.75	-0.17	-0.07	0.19	0.55
Q27	0.98	0.52	0.27	-0.18	-0.21	1.20	0.49	0.03	-0.15
Q28	0.82	0.81	0.57	-0.12	-0.21	0.79	0.77	0.18	-0.12
Q29	0.05	0.23	0.63	0.33	0.11	0.17	0.48	0.81	0.33
Q30	-0.09	-0.02	0.15	0.58	0.62	-0.02	0.11	0.38	1.05
Σ MQ	3.65	3.44	3.38	3.09	2.67	3.82	3.48	3.03	3.09

(nH)

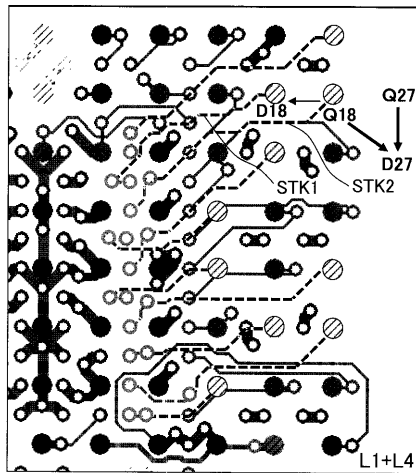
【 図 2 8 】

図28



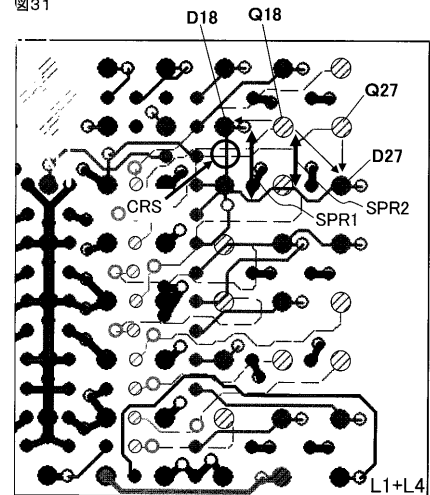
【図 30】

図30



【図 31】

図31



【図 32】

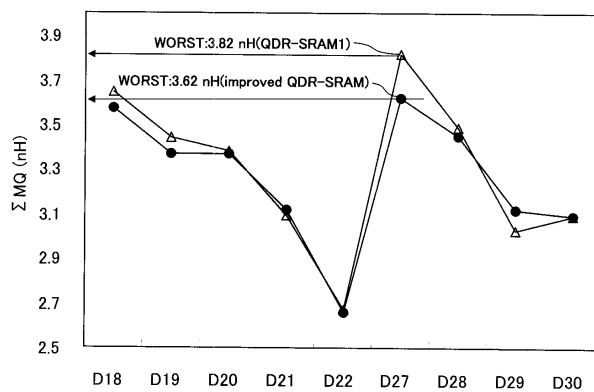
図32

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.90	0.35	0.15	-0.23	-0.24	0.70	0.30	-0.04	-0.18
Q19	0.38	0.93	0.54	-0.04	-0.14	0.48	0.59	0.26	-0.05
Q20	0.05	0.36	0.75	0.18	-0.04	0.18	0.46	0.52	0.07
Q21	-0.09	0.05	0.32	0.67	0.32	0.01	0.18	0.69	0.59
Q22	-0.22	-0.15	-0.01	0.76	0.75	-0.16	-0.07	0.19	0.53
Q27	0.97	0.51	0.25	-0.19	-0.22	1.05	0.47	0.02	-0.16
Q28	0.84	0.80	0.56	-0.12	-0.21	0.84	0.79	0.19	-0.11
Q29	0.04	0.21	0.61	0.35	0.13	0.19	0.46	0.80	0.37
Q30	-0.09	-0.01	0.18	0.59	0.61	0.00	0.13	0.41	1.03
Σ MQ	3.58	3.37	3.37	3.12	2.66	3.62	3.45	3.12	3.09

(nH)

【図 33】

図33



フロントページの続き

審査官 宮本 靖史

(56)参考文献 国際公開第2002/050898(WO, A1)

特開2003-264256(JP, A)

特開2004-193501(JP, A)

特開2005-340247(JP, A)

特開2002-222892(JP, A)

特開2001-044591(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/822

H01L 21/8244

H01L 27/04

H01L 27/11