

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4906047号
(P4906047)

(45) 発行日 平成24年3月28日(2012.3.28)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl.	F 1
HO 1 L 23/12	(2006.01)
HO 1 L 27/11	(2006.01)
HO 1 L 21/8244	(2006.01)
HO 1 L 21/822	(2006.01)
HO 1 L 27/04	(2006.01)
HO 1 L 23/12	
HO 1 L 27/10	381
HO 1 L 27/04	E

請求項の数 10 (全 24 頁)

(21) 出願番号	特願2005-342479 (P2005-342479)
(22) 出願日	平成17年11月28日 (2005.11.28)
(65) 公開番号	特開2007-149977 (P2007-149977A)
(43) 公開日	平成19年6月14日 (2007.6.14)
審査請求日	平成20年11月27日 (2008.11.27)

(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(74) 代理人	100089071 弁理士 玉村 静世
(72) 発明者	吉川 泰弘 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(72) 発明者	諏訪 元大 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(72) 発明者	豊嶋 博 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

上面、前記上面とは反対側の下面、前記上面に形成された上面側配線層、前記下面に配置された下面側配線層、前記上面側配線層と前記下面側配線層との間に配置された絶縁層、及び前記絶縁層に形成され、かつ前記上面側配線層と前記下面側配線層を接続する複数のスルーホールを有するパッケージ基板と、

表面、及び前記表面に形成された複数のパッド電極を有し、前記パッケージ基板の前記上面に搭載された半導体チップと、

前記パッケージ基板の前記下面に配置された複数のモジュール端子と、を含み、

前記複数のパッド電極は、データの外部入力が行われるデータ入力用のパッド電極と、前記外部入力と並列に行われ、かつデータの外部出力が行われるデータ出力用のパッド電極とを有し、

前記上面側配線層は、前記データ入力用のパッド電極と電気的に接続される入力用上面側配線パターンと、前記データ出力用のパッド電極と電気的に接続される出力用上面側配線パターンとを有し、

前記複数のスルーホールは、前記入力用上面側配線パターンと接続される入力用スルーホールと、前記出力用上面側配線層と接続される出力用スルーホールとを有し、

前記複数のモジュール端子は、前記入力用スルーホールを介して前記入力用上面側配線パターンと接続される入力用モジュール端子と、前記出力用スルーホールを介して前記出力用上面側配線パターンと接続される出力用モジュール端子とを有し、

10

20

前記上面側配線層において、前記入力用上面側配線パターンのうちの前記データ入力用のパッド電極と最初に接続される第1部分から前記入力用スルーホールまでの前記入力用上面側配線パターンの長さは、前記出力用上面側配線パターンのうちの前記データ出力用のパッド電極と最初に接続される第2部分から前記出力用スルーホールまでの前記出力用上面側配線パターンの長さよりも長いことを特徴とする半導体装置。

【請求項2】

前記下面側配線層は、前記入力用スルーホールと前記入力用モジュール端子とを接続する入力用下面側配線パターンと、前記出力用スルーホールと前記出力用モジュール端子とを接続する出力用下面側配線パターンとを有し、

前記下面側配線層において、前記入力用下面側配線パターンの長さは、前記出力用下面側配線パターンの長さよりも短いことを特徴とする請求項1記載の半導体装置。 10

【請求項3】

前記パッケージ基板は、前記上面側配線層と前記下面側配線層との間に配置された電源電圧用配線層及びグランド電圧用配線層と、前記電源電圧用配線層と前記グランド電圧用配線層との間に配置された絶縁層とを有することを特徴とする請求項2記載の半導体装置。
。

【請求項4】

前記電源電圧用配線層は、前記上面側配線層と前記下面側配線層との間に配置された第1電源電圧用配線層と、前記パッケージ基板の前記下面に配置された第2電源電圧用配線層とを有し、 20

前記グランド電圧用配線層は、前記第1電源電圧用配線層と前記下面との間に配置されていることを特徴とする請求項3記載の半導体装置。

【請求項5】

前記グランド電圧用配線層は、前記第1電源電圧用配線層と前記下面との間において、プレーン状に形成されていることを特徴とする請求項4記載の半導体装置。

【請求項6】

前記出力用スルーホールは、前記入力用スルーホールよりも前記パッケージ基板の中央部側に配置されていることを特徴とする請求項5記載の半導体装置。

【請求項7】

前記半導体チップの前記表面には、入力用引き出し配線を介して前記データ入力用のパッド電極と結合される入力用バンプ電極と、出力用引き出し配線を介して前記データ出力用のパッド電極と結合される出力用バンプ電極とが形成されており、 30

前記出力用バンプ電極は、前記入力用バンプ電極よりも前記半導体チップの前記表面における中央部側に配置されていることを特徴とする請求項1記載の半導体装置。

【請求項8】

前記複数のパッド電極は、電源電圧が供給される電源電圧用のパッド電極と、前記グランド電圧が供給されるグランド電圧用のパッド電極とを有し、

前記半導体チップの前記表面には、電源電圧用引き出し配線を介して前記電源電圧用のパッド電極と結合される電源電圧用バンプ電極と、グランド電圧用引き出し配線を介して前記グランド電圧用のパッド電極と結合されるグランド電圧用バンプ電極とが形成されており、 40

前記入力用バンプ電極と前記出力用バンプ電極との間には、前記電源電圧用バンプ電極又は前記グランド電圧用バンプ電極が配置されていることを特徴とする請求項7記載の半導体装置。

【請求項9】

前記複数のパッド電極は、電源電圧が供給される電源電圧用のパッド電極と、前記グランド電圧が供給されるグランド電圧用のパッド電極とを有し、

前記半導体チップの前記表面には、電源電圧用引き出し配線を介して前記電源電圧用のパッド電極と結合される電源電圧用バンプ電極と、グランド電圧用引き出し配線を介して前記グランド電圧用のパッド電極と結合されるグランド電圧用バンプ電極とが形成されて 50

おり、

前記入力用バンプ電極と前記出力用バンプ電極との間には、前記電源電圧用引き出し配線又は前記グランド電圧用引き出し配線が配置されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 10】

前記半導体チップの前記表面には、入力用引き出し配線を介して前記データ入力用のパッド電極と結合される入力用バンプ電極と、出力用引き出し配線を介して前記データ出力用のパッド電極と結合される出力用バンプ電極とが形成されており、

前記半導体チップに形成された前記入力用引き出し配線のうち、前記パッケージ基板に形成された前記出力用上面側配線パターンと平面的に重なる部分は、前記出力用上面側配線パターンの延在方向と直交するように、引き回されていることを特徴とする請求項 1 記載の半導体装置。10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部出力動作と外部入力動作が並列可能にされた半導体装置に関し、特に半導体集積回路を実装したパッケージ基板等に寄生する不所望なインダクタンス成分によって発生するノイズを低減する技術に関する。例えば、複数ビットの外部データ入力動作に対しても外部データ出力動作タイミングが可変にされたクワッド・スタティック・ランダム・アクセス・メモリ(クワッド S R A M)に適用して有効な技術に関する。20

【背景技術】

【0002】

信号伝播系に電流変化があると自己インダクタンスに比例したノイズ電圧を生ずるのはもとより、隣接する別の信号伝播系に電流変化があっても相互インダクタンスに比例したノイズ電圧を生ずる。半導体装置のパッケージ基板において外部データ出力系配線と外部データ入力系配線が上下又は左右で隣接しているとき、データの外部入力動作中に外部出力状態が変化されると、相互インダクタンスに従って出力系における電流変化が入力系にノイズ電圧を誘起することになる。したがって、入力タイミングが必ず出力動作の確定時間になるように入力動作タイミングを規定すれば、出力動作によって入力データが大きく歪むことはない。特許文献 1 には、半導体集積回路における相互インダクタンスによるクロストークノイズを低減する技術について記載がある。30

【0003】

また、フルグリッドでパッケージ端子を持つボールグリッドアレイ(BGA)によるパッケージ構造では、BGAを持つパッケージ基板に、パッド電極に引出し配線を介して接続する半田バンプ電極を外部端子として持つWPP(ウェーハ・プロセス・パッケージ)構造の半導体集積回路を搭載する。多層配線のパッケージ基板では配線層間の接続をスルーホールを介して行なわなければならないから、BGAのボール及び半田バンプの配置を避けてスルーホールを形成しなければならない。したがって、パッケージ基板のスルーホールの配置を整然とし若しくは規則的にするには、BGAのボールと半田バンプとの配置を半導体集積化回路とパッケージ基板との積双方向から見て、重なりがあるように配置するのが望ましい。特許文献 2 にはそのように重なりを持って配置した技術が記載される。40

【0004】

【特許文献 1】特開平 11 - 135668 号公報

【特許文献 2】特開 2001 - 203298 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明者は、BGAパッケージ構造の半導体装置において並列動作可能にされる外部出力信号系と外部入力信号系の相互インダクタンスを小さくすることについて検討した。特許文献 2 に記載の如くパッケージ基板に形成するスルーホールの配置を整然且つ規則的に50

すれば、部分的にスルーホールが密集する場所を減らすことができ、パッケージ基板上に形成する配線経路の自由度が増し、並列に入出力可能にされる外部出力信号系と外部入力信号系を離間させたりシールドしたりする自由度が増す。

【0006】

しかしながら、それだけでは十分に相互インダクタンスを小さくすることができない。本発明者は以下の認識を得た。先ず、BGAパッケージ基板にWPP構造の半導体集積回路が搭載される場合、BGAパッケージ基板の最上層配線層は、半田バンプとパッド電極とを結ぶ引出し配線に直接対向することになり、シールド層が介在されない。そのように対向する配線として外部出力信号系配線と外部入力信号系配線が存在することになれば、外部入力信号にノイズが乗ってしまう。この意味において、パッケージ基板の最上配線層に対する主な配線の割り当てが特に重要になることが本発明者によって見出された。即ち、半導体パッケージ基板の配線層に対する機能割り当ての重要性が増すと言うことである。一方、半導体集積回路のWPP構造におけるパッド電極から半田バンプに至る引出し配線は平面的配置にならざるを得ないから、引出し配線等に関しては、平面的配置においてインダクタンス成分を実効的に小さくしなければならないことが明らかにされた。10

【0007】

本発明の目的は、並列入出力化能された外部出力信号系から外部入力信号系へのノイズの誘起を緩和若しくは抑制することにある。要するに、並列入出力化能された外部出力信号系から外部入力信号系に対する相互インダクタンスを小さくすることにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

〔1〕《パッケージ基板の配線層割り当て》

本発明に係る半導体装置(1)は、パッケージ基板(2)と前記パッケージ基板に搭載された半導体集積回路(3)とを有する。前記半導体集積回路は前記パッケージ基板に臨む複数の外部接続端子(BMP)を有し、前記複数の外部接続端子の一部として並列に入出力可能にされる外部入力端子(BMP[D])及び外部出力端子(BMP[Q])と、外部グランド端子(BMP[Vss])と、外部電源端子(BMP[Vdd])とを有する。前記パッケージ基板は、前記半導体集積回路が搭載される面とは反対の面にアレイ状に配置された複数のモジュール端子(BLL)を有する。前記パッケージ基板は、相互に対応する前記外部接続端子と前記モジュール端子とを電気的に接続するために必要な配線パターンが形成された複数の配線層(L1～L4)を有する。前記複数の配線層の内、前記半導体集積回路に臨む第1の配線層(L1)は相互に対応する前記外部入力端子と前記モジュール端子とを接続する主な配線(L1[D])を有し、前記モジュール端子が形成される第2の配線層(L4)は相互に対応する前記外部出力端子と前記モジュール端子とを接続する主な配線(L4[Q])を有する。3040

【0011】

上記より、外部出力端子に接続される外部出力系の主な信号配線は半導体集積回路から離れた(半導体集積回路が搭載される面とは反対の面に形成された)配線層に追いやられているから、外部出力系の主な信号配線における電流変化によって半導体集積回路側における外部入力系の信号配線にノイズ電圧が誘起されるのを緩和することができる。

【0012】

本発明の一つの具体的な形態として、前記第1の配線層と第2の配線層との間には前記外部グランド端子に接続されるプレーン状の導電パターン(PLN[Vss])が主に形成される第3の配線層(L3)を有する。第3の配線層の導電パターンは外部出力系の主な50

信号配線上での電流変化により発生する磁界をシールドする。出力動作に並行する入力の耐ノイズ性が更に向かう。

【0013】

本発明の別の一つの具体的な形態として、前記半導体集積回路は半導体チップ(10)と複数の引出し配線(BLN)とを有し、前記引出し配線は、前記半導体チップの表面保護膜から露出するパッド電極(CPD)と対応する前記外部接続端子とを結合する。要するに半導体集積回路には所謂WPP構造が採用される。この所謂WPP構造において各種引出し配線はパッケージ基板の最上層に面し、シールド層は介在されていない。それ故に、所謂WPP構造において、外部出力端子に接続される外部出力系の主な信号配線を半導体集積回路から離れた配線層に追いやった上記構成は、上記耐ノイズ性の実効性が高い。

10

【0014】

更に具体的な形態として、前記半導体集積回路において前記外部入力端子に接続する前記引出し配線は、前記半導体集積回路の外部出力端子に接続する前記第1配線層の配線に対して直交する配置を有する。直交する導体間の相互インダクタンスは実質的に無視し得るようになる。

【0015】

本発明の更に別の一つの具体的な形態では、前記外部接続端子として更に、第1の外部クロック入力端子(BMP[C, /C])と第2の外部クロック入力端子(BMP[K, /K])とを有する。前記第1の外部クロック入力端子は前記外部出力端子から出力するデータの出力動作を同期させるクロック信号を入力する。前記第2の外部クロック入力端子は前記外部入力端子から入力するデータの入力動作を同期させるクロック信号を入力する。外部入力動作に対して外部出力動作タイミングが可変にされる構成では、入出力動作のタイミングを規制して対処することはできないから、前記パッケージ基板の配線層に対する機能割り当てによるノイズ対策は必須となる。

20

【0016】

更に具体的な形態として、前記引出し配線の内、前記第1の外部クロック入力端子に接続するクロック用第1引出し配線(BLN[C, /C])と第2の外部クロック入力端子に接続するクロック用第2引出し配線(BLN[K, /K])とは、前記半導体チップの中央部を横切って対応するパッド電極(CPD[C, /C], CPD[K, /K])に接続する。通常、クロックスキュー対策の観点より半導体集積回路の中央部にクロック入力用パッド電極が配置される場合が多い。これを考慮したとき、パッケージ基板の上層配線層で中央にクロック供給配線を通し、当該クロック供給配線に半田ボールのような外部クロック入力端子を接続することも可能である。そうすると、中央部にはスルーホールを打つことができなくなる。これに対して、上述の如くクロック入力パッド電極に接続する引出し配線を半導体集積回路の中央部に形成し、これに半田ボールのような外部クロック入力端子を形成すれば、パッケージ基板の中央にはクロック配線を形成しなくて済む。このことが、パッケージ基板に形成するスルーホールの配置の自由度を向上させ、パッケージ基板上の配線レイアウトの自由度の向上に資することができる。

30

【0017】

更に具体的な形態として、例えば前記パッケージ基板は、前記クロック用第1引出し配線及びクロック用第2引出し配線と重なる位置に、異なる配線層の配線を接続するための複数のスルーホール(TH[VSS])を有する。

40

【0018】

更に具体的な形態として、前記モジュール端子におけるアレイ状配置のピッチに対し前記外部接続端子は当該ピッチの半分のピッチを基本ピッチとして有し、相互に配列のピッチの等しいモジュール端子と外部接続端子は、前記パッケージ基板と半導体集積回路との表裏方向に重なりを有する。これにより、パッケージ基板に形成するスルーホールの配置を整然且つ規則化し易くなる。この点においても、部分的にスルーホールが密集する場所を減らすことができ、パッケージ基板上に形成する配線経路の自由度が増し、並列に入出力可能にされる外部出力信号系と外部入力信号系を離間させたりシールドしたりする自由

50

度を増すのに資することができる。

【0019】

[2] <WPP バンプ配列>

本発明の別の観点による半導体装置(1)は、パッケージ基板(2)と前記パッケージ基板に搭載された半導体集積回路(3)とを有する。前記半導体集積回路は、半導体チップ(10)と、複数の引出し配線(BLN)と、前記パッケージ基板に臨む複数の外部接続端子(BMP)とを有する。前記引出し配線は、前記半導体チップの表面保護膜から露出するパッド電極(CPD)と対応する外部接続端子(BMP)とを結合するものであり、半導体集積回路には所謂WPP構造が採用される。前記複数の外部接続端子の一部として、並列に入出力可能にされる外部入力端子(BMP[D])及び外部出力端子(BMP[Q])と、外部グランド端子(BMP[Vss])と、外部電源端子(BMP[Vdd])と、外部入出力用電源端子(BMP[Vdq])とを有する。外部入出力用電源端子は前記外部出力端子及び外部入力端子に接続する回路に動作電源を供給する端子である。前記半導体集積回路の中央部から縁辺部に向かって順次、前記パッド電極の第1配列、前記外部入出力用電源端子と前記外部グランド端子の第2配列、前記外部出力端子の第3配列、前記外部入出力用電源端子と前記外部グランド端子の第4配列、前記外部入力端子の第5配列が形成される。
10

【0020】

上記より、パッド電極の第1配列と、外部出力端子の第3配列と、外部入力端子の第5配列との間には必ず外部グランド端子又は外部入出力用電源端子が配置されるから、隣り合う外部入力端子用の引出し配線及び外部出力端子用の引出し配線の間には外部グランド端子に接続する引出し配線又は外部入出力用電源端子に接続する引出し配線を配置することが容易になる。それら外部グランド端子に接続する引出し配線及び外部入出力用電源端子に接続する引出し配線は、隣り合う外部入力端子用の引出し配線及び外部出力端子用の引出し配線にとって電磁的なシールド配線として機能し、外部出力用の引き出し配線と外部入力用の引き出し配線とのクロストークを抑制することができる。
20

【0021】

更に、外部入出力用電源又はグランド電源の引出し配線に隣り合うように外部出力用の引出し配線及び外部入力用の引出し配線が配置されれば、信号経路とそのリターンパスを電磁的に密結合することが容易になって、信号系の実効インダクタンスを小さくすることも容易になる。
30

【0022】

更に、外部出力端子は外部入力端子よりもパッド電極の第1配列寄りに配置されているから、ノイズ源となり得る出力用の引出し配線を短くでき、この点においても耐ノイズ性が向上される。

【0023】

本発明の一つの具体的な形態として、前記パッド電極の第1配列を挟んで、前記外部入出力用電源端子と前記外部グランド端子の第2配列とは反対側に、前記外部グランド端子及び前記外部電源端子の第6配列が形成される。前記外部グランド端子及び前記外部電源端子の配列の間に前記パッド電極の配列があるから、外部グランド端子用の引出し配線と外部電源端子用の引出し配線を隣接させることができることになる。要するに、電源とそのリターンパスを電磁的に密結合することが容易になって、電源系の実効インダクタンスを小さくすることが可能になる。
40

【0024】

本発明の別の一つの具体的な形態として、前記半導体集積回路において前記外部入力端子に接続する前記引出し配線(BLN[D])は、前記半導体集積回路の外部出力端子に接続する前記第1配線層(L1)の配線に対して直交する配置を有する。直交配置により原理的に相互インダクタンスがゼロになり、パッケージ基板の外部出力系信号配線と半導体集積回路の外部入力系引出し配線との間のクロストークを抑制することができる。

【0025】

本発明の別の一つの具体的な形態として、前記パッケージ基板は、前記半導体集積回路が搭載される面とは反対の面にアレイ状に配置された複数のモジュール端子（B L L）を有する。前記パッケージ基板は、前記外部接続端子と対応する前記モジュール端子とを電気的に接続するために必要な配線パターンが形成された複数の配線層を有する。前記複数の配線層の内、前記半導体集積回路に臨む第1の配線層（L 1）は前記外部入力端子と対応するモジュール端子とを接続する主な配線を有し、前記モジュール端子が形成される第2の配線層（L 4）は前記外部出力端子と対応するモジュール端子とを接続する主な配線を有する。上記より、外部出力端子に接続される外部出力系の主な信号配線は半導体集積回路から離れた配線層に追いやられているから、外部出力系の主な信号配線における電流変化によって半導体集積回路側における外部入力系の信号配線にノイズ電圧が誘起されるのを緩和することができる。10

【0026】

更に具体的な形態として、前記第1の配線層と前記第2の配線層との間に、前記外部グランド端子に接続するプレーン状の導電パターン（P L N[V s s]）が主に形成された第3の配線層（L 3）と、前記外部入出力用電源端子に接続するプレーン状の導電パターン（P L N[V d d q]）が主に形成された第4の配線層（L 2）とを有する。第3の配線層及び第4の配線層の導電パターンは外部出力系の主な信号配線上の電流変化で生ずる磁界に対するシールド層として機能する。

【0027】

更に具体的な形態として、前記第2の配線層（L 4）は、前記外部電源端子に接続するプレーン状の導電パターン（P L N[V d d]）を更に有する。前記第3の配線層は前記前記第2の配線層（L 4）と第4の配線層（L 2）との間に配置される。外部入出力用電源端子に接続するプレーン状の導電パターンと前記外部電源端子に接続するプレーン状の導電パターンは、第3の配線層（L 3）を介して第4の配線層（L 2）と前記第2の配線層に分離されることになるから、外部入出力用電源と外部電源の夫々の電源系インダクタンスの低減になる。さらに、外部入出力用電源端子に接続する第4の配線層のプレーン状の導電パターンは第1の配線層に形成された主な入力信号配線のリターンパスを構成し、また、前記グランド端子に接続する第3の配線層（L 3）のプレーン状の導電パターンは第4配線層に形成された主な出力信号配線のリターンパスを構成するから、それらのデータ出力系とデータ入力系各々の実効インダクタンス低減に資することができる。20

【0028】

配線層の割り当てに関連して更に説明する。本発明はデータの外部入力と外部出力が並列可能にされた半導体集積回路（3）を使用している。外部出力は信号配線上の電流変化によりノイズを発生し易い。そのため、外部入力系の主な信号配線が外部出力系の主な信号配線の近くに配置されていると、外部出力系の主な信号配線における電流変化によって半導体集積回路における外部入力系の信号配線にノイズ電圧が誘起され、誤動作が生じる。そこで、外部入力系の主な信号配線はパッケージ基板の主面上（半導体集積回路が搭載される側）に第1の配線層（L 1）として配置し、外部出力系の主な信号配線はパッケージ基板の主面とは反対側の裏面上（モジュール端子が形成される側）に第2の配線層（L 4）として配置し、更に外部グランド端子に接続するプレーン状の導電パターン（P L N[V s s]）が主に形成された第3の配線層（L 3）と、前記外部入出力用電源端子に接続するプレーン状の導電パターン（P L N[V d d q]）が主に形成された第4の配線層（L 2）を第1の配線層（L 1）と第2の配線層（L 4）の間に配置することで、シールド層として機能させることができ、ノイズ対策が可能となる。40

【0029】

ここで、前記外部グランド端子、前記外部入出力用電源端子及び外部電源端子に接続するパッケージ基板内の導電層をプレーン状に形成するのは、かかる電位が高いことから、実効インダクタンスを低減するためである。このとき、各々プレーン状に形成された導電層はパッケージ基板の内層である第3の配線層（L 3）と第4の配線層（L 2）に形成するのがよい。何故ならば、パッケージ基板の主面（L 1）および裏面（L 4）は、複数の50

外部接続電極、複数のモジュール端子、配線パターンまたはスルーホールなどが配置されるため、そこにプレーン状の大きなパターンに形成することが困難だからだと考えられる。このような理由から、前記外部グランド端子、前記外部入出力用電源端子及び外部電源端子に接続するパッケージ基板内の導電層を内層である第3の配線層(L3)と第4の配線層(L2)に形成するのがよいと考えられる。この中で、第3配線層(L3)に主に形成される外部グランド端子に接続するプレーン状の導電パターン(PLN[Vss])は基準電位であるため、半導体集積回路の安定した電気的動作を得るために十分に大きな面積を確保したいため、前記外部入出力用電源端子及び外部電源端子に接続するパッケージ基板内の導電層とは異なる配線層に配置することが好ましい。また、前記外部入出力用電源端子及び外部電源端子に接続する導電パターンはどちらも基本的には電源用配線であるが、供給する対象が異なり、扱う電位も異なる。更には、前記外部入出力用電源端子に接続する導電パターンはパッケージ基板の中でも最も高い電位を扱うため、ノイズの発生源でもあることから、外部電源端子に接続する導電パターンとは配線層を分離させることが好ましいと考えられる。ここで、前記外部入出力用電源端子が接続されるパッケージ基板内の導電パターンと外部電源端子に接続するパッケージ基板内の導電パターンとの間に第3の配線層(L3)を配置しておけば、上記したように、シールド効果が得られるためノイズ対策が可能である。しかしながら、上記したように、第2の配線層において外部出力端子(BMP[Q])に接続する主の配線パターンもノイズを発生し易いため、外部グランド端子に接続する導電パターンは、第2の配線層の近傍であって、パッケージ基板の1層目(L1)である正面から3層目(L3)に配置することが好ましい。そして、相対的に高電位である前記外部入出力用電源端子に接続されるプレーン状導電パターンを第1の配線層と第3の配線層の間の第4の配線層に形成すれば、実効インダクタンスも低減できる。これらを考慮して、外部電源端子(BMP[Vdd])に接続するプレーン状導電パターン(PLN[Vdd])については第2の配線層と同じ配線層(L4)に配置することで、第4の配線層(L2)におけるプレーン状導電パターン(PLN[Vddq])からのノイズの影響を受け難くすることが可能である。

【0030】

本発明の更に別の一つの具体的な形態として、前記外部出力端子から出力するデータの出力動作を同期させるためのクロック信号を入力する第1の外部クロック入力端子と、前記外部入力端子から入力するデータの入力動作を同期させるためのクロック信号を入力する第2の外部クロック入力端子とを更に有する。前記半導体集積回路はスタティック・ランダム・アクセス・メモリとして動作可能とされる。外部入力動作に対して外部出力動作タイミングが可変にされる構成では、入出力動作のタイミングを規制して対処することはできないから、前記半導体集積回路における外部接続端子の機能別配列によるノイズ対策は必須となる。

【発明の効果】

【0031】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0032】

すなわち、並列入出力化能された外部出力信号系から外部入力信号系へのノイズの誘起を緩和若しくは抑制することができる。並列入出力化能された外部出力信号系から外部入力信号系に対する相互インダクタンスを小さくすることができる。

【発明を実施するための最良の形態】

【0033】

《QDR-SRAM》

図2には本発明に係る半導体装置の一例としてクワッド・スタティック・ランダム・アクセス・メモリ(QDR-SRAM)のブロック図が示される。QDR-SRAM1は、フルグリッドのボール・グリッド・アレイ(BGA)形態のパッケージ基板(PKG)2に、WPP構造を有する半導体集積回路(LSI)3を搭載して構成される。半導体集積

回路 3 はデータの外部入力と外部出力が並列に可能にされ、入力と出力が夫々固有のクロック信号に同期され、各々の動作はクロック信号のフォールエッジとライズエッジの夫々の同期可能にされる。D[in]は外部入力データ、Q[out]は外部出力データ、V_{re}は参照電位、A D R S はアドレス信号、S T R V は外部アクセス制御信号を代表的に示す。メモリアレイ(A R Y)4 は、特に制限されないが各々独立にメモリ動作可能な複数のメモリバンクを備え、メモリバンク毎にメモリセルの選択が可能にされる。メモリセルの選択はアドレスデコーダ(D E C)5 によるアドレス信号 A D R S のデコード結果従って行われる。書き込み動作が選択されたメモリバンクに対する書き込みデータの外部入力は入力回路 6 が行い、読み出し動作が選択されたメモリバンクから出力される読み出しデータの外部出力は出力回路 7 が行う。入力回路 6 は制御回路 8 へのコマンド入力にも利用される。制御回路 8 は入力コマンド及びアクセス制御信号に従って内部動作を制御し、その動作タイミングは外部からのクロック信号に同期させる。10

【 0 0 3 4 】

図 3 には出入力動作タイミングが例示される。入力回路 6 によるデータ入力は差動のクロック信号 K , / K の両クロックエッジに同期される。出力回路 7 によるデータ出力動作は差動のクロック信号 C , / C の両クロックエッジに同期される。クロック信号 K , / K とクロック信号 C , / C との位相は同じであっても相違してもよい。要するに、データの入出力動作が並列されるとき、データ入力タイミングはデータ出力タイミングに対して可変化能にされる。仮に、出力データの出力信号配線に対する入力データの入力信号配線の相互インダクタンスが大きいとすれば、入力信号線には出力信号線の電流変化に応じて所謂クロストークによるノイズが誘起される。図 3 の N I S の部分に示されるように入力データ D[in]の論理値が不所望に変化することになる。本実施形態に係る Q D R - S R A M 1においては出力データの出力信号配線に対する入力データの入力信号配線の相互インダクタンスが小さくなるように後述の対策が施されている。20

【 0 0 3 5 】

図 1 には Q D R - S R A M 1 の縦断面構造の概略が示される。前記半導体集積回路 3 の W P P 構造は、半導体チップ(C H P)10 の表面保護膜から露出するパッド電極 C P D と対応する外部接続端子 B M P とを引出し配線(W P P 引出し配線、又は再配線とも称する)B L N によって結合して構成される。パッド電極 C P D はアルミニウム等から成る半導体チップ 10 の表面電極である。外部接続端子 B M P は半田又は金等のバンプ電極であり、半導体ウェーハ状態で蒸着等によって形成される。引出し配線 B L N は例えば銅配線である。パッド電極 C P D は半導体チップ 10 の中央部にその縁辺に沿って 2 列で配置されている。図 4 にはパッド電極 C P D の配置が例示される。図 5 にはバンプ電極 B M P の配置が例示される。30

【 0 0 3 6 】

パッケージ基板(P K G)2 は例えば L 1 ~ L 4 の 4 層の配線層を有する多層配線基板によって構成される。配線層の配線パターンはアルミニウム等で構成され、配線層間はガラスエポキシ樹脂等で絶縁されている。配線層間における配線パターンの接続はスルーホール T H を介して行われる。前記バンプ電極 B M P は配線層 L 1 の配線パターンに接続される。配線層 L 4 には多数のモジュール端子としてボール電極 B L L がアレイ状に配置される。ボール電極 B L L は例えば半田等によって構成される。図 6 にはボール電極 B L L の配置が例示される。図 4 乃至図 6 において、電源用には V D D 、グランド用には V S S 、外部入出力電源用には V D D Q 、データ入力用には D i 、データ出力用には Q o u t 、アドレス用には S A 、出力クロック用には C , / C 、入力クロック用には K , / K 、コントロール系には / B W , / R , / W の参照符号が付されている。40

【 0 0 3 7 】

図 7 には Q D R - S R A M 1 の電源系の概略が例示される。V d d は外部から供給される電源電圧、V d d q は外部から供給される入出力回路用電源電圧、V d d i は内部降圧電圧、V s s はグランド電圧である。電源電圧 V d d は降圧回路(P U P c h g)、基準電圧発生回路(G v r e f)、電源制御回路(C p o w)、J T A G(J o i n t E u
50

uropean Test Action Group) 準拠のバウンダリスキャンテスト回路の動作電源とされる。内部降圧電圧 V_{ddi} は降圧回路 (PUPch_g) で生成され、メモリアレイ (ARY) 4、デコーダ (DEC) 5 及び制御回路 (CONT) 8 等の SRAM のコア回路 (CORE) の動作電源とされる。入出力回路用電源電圧 V_{ddq} は入力回路 (BUF_{in}) 6、出力回路 (BUF_{out}) 7 及び入力保護ダイオード (Desd) 等の動作電源とされる。電源電圧 V_{dd} は電源ボール電極 B_{LL}[V_{dd}] 及び電源バンプ電極 B_{MP}[V_{dd}] から供給される。入出力回路用電源電圧 V_{ddq} は電源ボール電極 B_{LL}[V_{ddq}] 及び電源バンプ電極 B_{MP}[V_{ddq}] から供給される。グランド電圧 V_{ss} はグランドボール電極 B_{LL}[V_{ss}] 及びグランドバンプ電極 B_{MP}[V_{ss}] から供給される。

10

【0038】

図 8 には WPP 構造の平面的な構成が示される。図 9 には配線層 L1 の平面的な構成が示され、図 10 には配線層 L2 の平面的な構成が示され、図 11 には配線層 L3 の平面的な構成が示され、図 12 には配線層 L4 の平面的な構成が示される。図 13 にはバンプ電極 B_{MP} とボール電極 B_{LL} との平面的な相対位置関係が示される。図 13 において B_{MP} pitch (min) は最小バンプピッチ、B_{LL} pitch はボールピッチを意味する。以下、半導体集積回路における WPP 構造とパッケージ基板の特徴的な構成について説明する。

【0039】

《データ入出力系の配線層割り当て》

20

図 1 及び図 14 の縦断面構造に端的に示されるように、データ入力バンプ電極 B_{MP}[D] と対応するデータ入力ボール電極 B_{LL}[D] とを接続する主な配線を表層の配線層 L1 に形成し、データ出力バンプ電極 B_{MP}[Q] と対応するデータ出力ボール電極 B_{LL}[Q] とを裏面の配線層 L4 に形成する。データ入力系配線とデータ出力系配線の配線層を分離することにより、相互間のクロストークを低減することができる。半導体集積回路 3 のパッド電極 C_{PD} は半導体チップ 10 の中央部に配置されており、データ出力バンプ電極 B_{MP}[Q] はデータ入力バンプ電極 B_{MP}[D] よりもパッド電極 C_{PD} 寄りの配置を有する。要するに、データ出力バンプ電極 B_{MP}[Q] に接続するスルーホール TH[Q] はデータ入力バンプ電極 B_{MP}[D] に接続するスルーホール TH[D] よりもパッケージ基板 2 の中央寄りに配置される。したがって、ノイズ源となる出力信号配線はデータ出力パッド電極 C_{PD}[Q] の近傍で、遠くの L4 配線層に追いやられ、その結果、データ入力パッド電極 C_{PD}[D] につながる WPP の引出し配線やその他の WPP 引出し配線に対向するパッケージ基板 10 上でノイズ源となる出力信号配線の長さが短くなる。これにより、シールド層が介在されていない L1 配線層と WPP 引出し配線との間ににおいて、L1 配線層の B_{MP}[Q] に接続するノイズ源配線に起因する他の WPP 引出し配線との間のクロストークについても低減することができる。

30

【0040】

図 15 には図 9 の A2 部分における L1 配線層の配線と WPP 引出し配線との平面上での相対位置関係が例示される。L1[Q] は配線層 L1 においてデータ出力バンプ電極 B_{MP}[Q] に接続するデータ出力配線、B_{LN}[D] はデータ入力バンプ電極 B_{MP}[D] に接続する WPP 引出し配線である。図 15 より明らかのように、データ入力 WPP 引出し配線 B_{LN}[D] は、データ出力配線 L1[Q] に対して直交する配置を有する。直交する導体間の相互インダクタンスは実質的に無視し得るようになるから、両者間のクロストークは極めて小さくなる。

40

【0041】

《電源系配線層割り当て》

外部入出力用電源電圧 V_{ddq} のためのプレーン状の導電パターン (V_{ddp} プレーン) P_{LN}[V_{ddq}] は L2 配線層に割り当てられる。その平面的構成は図 10 に示される。グランド電圧 V_{ss} のためのプレーン状の導電パターン (V_{ssp} プレーン) P_{LN}[V_{ss}] は L3 配線層に割り当てられる。その平面的構成は図 11 に示される。電源電圧 V

50

d_d のためのプレーン状の導電パターン (V_{dd} プレーン) $PLN[V_{dd}]$ は L_4 配線層に割り当てられる。その平面的構成は図 12 に示される。

【0042】

配線層 L_3 の V_{ss} プレーン $PLN[V_{ss}]$ 及び配線層 L_2 の V_{ddp} プレーン $PLN[V_{ddq}]$ は配線層 L_4 の外部出力系信号配線の電流変化によって生ずる磁界に対するシールド層として機能する。 V_{ddq} プレーン $PLN[V_{ddq}]$ と v_{dd} プレーン $PLN[V_{dd}]$ は配線層 L_3 を介して配線層 L_2 と配線層 L_4 に分離されることになるから、外部入出力用電源電圧 V_{ddq} と外部電源電圧 V_{dd} の夫々の電源系の実効インダクタンスの低減になる。さらに、配線層 L_2 に形成された V_{ddq} プレーン $PLN[V_{ddq}]$ は配線層 L_1 に形成された主な入力信号配線のリターンパスを構成し、また、配線層 L_3 に形成された V_{ss} プレーン $PLN[V_{ss}]$ は配線層 L_4 に形成された主な出力信号配線のリターンパスを構成するから、それらのデータ出力系とデータ入力系の各々の実効インダクタンスを低減することができる。
10

【0043】

《バンプ電極の配置》

図 1 の縦断面構造、図 8 の平面的構成より明らかのように、前記半導体集積回路 3 の中央部から縁辺部に向かって順次、パッド電極 C_{PD} の第 1 配列、外部入出力用電源バンプ電極 $BMP[v_{ddq}]$ とグランドバンプ電極 $BMP[V_{ss}]$ の第 2 配列、データ出力バンプ電極 $BMP[Q]$ の第 3 配列、外部入出力用電源バンプ電極 $BMP[V_{ddq}]$ とグランドバンプ電極 $BMP[V_{ss}]$ の第 4 配列、データ入力バンプ電極 $BMP[D]$ の第 5 配列が形成される。図 16 には図 8 の A1 部分の拡大図が示される。パッド電極 C_{PD} の第 1 配列と、データ出力バンプ電極 $BMP[Q]$ の第 3 配列と、データ入力バンプ電極 $BMP[D]$ の第 5 配列との間には必ず外部入出力用電源バンプ電極 $BMP[v_{ddq}]$ 又はグランドバンプ電極 $BMP[V_{ss}]$ が配置される。従って、隣り合うデータ入力用の引出し配線 $BLN[D]$ とデータ出力用の引出し配線 $BLN[Q]$ との間にはグランド用引出し配線 $BLN[V_{ss}]$ 又は V_{ddq} 電源の引出し配線 $BLN[V_{ddq}]$ を配置することが容易になる。それらグランド用引出し配線 $BLN[V_{ss}]$ 及び V_{ddq} 電源の引出し配線 $BLN[V_{ddq}]$ は、隣り合うデータ入力用の引出し配線 $BLN[D]$ とデータ出力用の引出し配線 $BLN[Q]$ にとって電磁的なシールド配線として機能し、データ入力用の引出し配線 $BLN[D]$ とデータ出力用の引出し配線 $BLN[Q]$ とのクロストークを抑制することができる。
20
30

【0044】

グランド用引出し配線 $BLN[V_{ss}]$ 又は V_{ddq} 電源の引出し配線 $BLN[V_{ddq}]$ に隣り合うようにデータ入力用の引出し配線 $BLN[D]$ 及びデータ出力用の引出し配線 $BLN[Q]$ が配置されるから、信号経路とそのリターンパスを電磁的に密結合することができる。

【0045】

データ出力バンプ電極 $BMP[Q]$ はデータ入力バンプ電極 $BMP[D]$ よりもパッド電極 C_{PD} の第 1 配列寄りに配置されているから、ノイズ源となり得る出力用の引出し配線 $BLN[Q]$ を短くでき、この点においても耐ノイズ性が向上される。
40

【0046】

《 V_{ss} 、 V_{ddq} の給電経路》

図 17 にはグランド電圧 V_{ss} 及び外部入出力電源電圧 V_{ddq} の給電経路の縦断面構造が例示される。図 12 に示されるように、グランドボール電極 $BLL[V_{ss}]$ はパッケージ基板 2 の中央部に配置される。電源プレーン $PLN[V_{dd}]$ の外側に外部入出力電源ボール電極 $BLL[V_{ddq}]$ が配置される。その外側にデータ入力ボール電極 $BLL[D]$ 及びデータ出力ボール電極 $BLL[Q]$ が配置される。図 17 にはそのうち、グランドボール電極 $BLL[V_{ss}]$ と外部入出力電源ボール電極 $BLL[V_{ddq}]$ が代表的に示される。外部入出力電源ボール電極 $BLL[V_{ddq}]$ はスルーホール $TH[V_{ddq}]A$ を介して配線層 L_2 の電源プレーン $PLN[V_{ddq}]$ と配線層 L_1 の配線 $L_1[V_{ddq}]A$ に接続される。配線 $L_1[V_{ddq}]A$ はバンプ電極 $BMP[V_{ddq}]A$ から WPP 引出し配線 B
50

L N [V d d q] を通して電源パッド C P D [V d d q] に接続する。パッケージ基板 2 の中央部寄りには外部入出力電源ボール電極 B L L [V d d q] に結合されないスルーホール T H [V d d q] B が形成され、このスルーホール T H [V d d q] B も、配線 L 1 [V d d q] B 及びバンプ電極 B M P [V d d q] B 経由で、上記と同じく W P P 引出し配線 B L N [V d d q] を通して電源パッド C P D [V d d q] に接続する。スルーホール T H [V d d q] A を経由する給電経路は図 16 を参照することによって明らかのように、専ら B L N [D] と B L N [Q] との間のシールド配線 B L N [V d d q] を形成するためである。このシールド配線 B L N [V d d q] だけで給電を行おうとすると、当該経路の自己インダクタンスが大きくなり過ぎてしまい、リターン経路とされるべきグランド電圧 V s s の給電経路と電磁的な特性が大きく相違することになる。スルーホール T H [V d d q] B を経由する給電経路は、電源プレーン P L N [V d d q] を介してグランド電圧 V s s の給電経路と電磁的特性を同等するための経路である。換言すれば、図 10 より容易に理解されるように電源プレーン P L N [V d d q] によってインピーダンスの小さな電流経路を確保しようとするものである。この点においても、電源電圧 V d d q とグランド電圧 V s s との実効インダクタンスが小さくされる。10

【 0 0 4 7 】

特に、図 18 に例示されるように、電源プレーン P L N [V d d q] 上においてスルーホール T H [V d d q] A からスルーホール T H [V d d q] B に向かう電流の向きと、配線層 L 1 における外部入力データ配線 L 1 [D] の配線方向が部分的に平行にされているので、これが入力信号とそのリターンパスとの間の実効インダクタンスを小さくするように作用する。20

【 0 0 4 8 】

《スルーホール配置の自由度》

上述した図 14 の外部出力データ用のスルーホール T H [Q]、図 17 の V s s 用のスルーホール T H [V s s]、同じく図 17 の電源 V d d q の給電に用いるスルーホール T H [V d d q] は、今までの説明より明らかのようにパッケージ基板 2 の中央寄りに形成することが望ましい。この意味においてスルーホール形成の自由度を高めた構成について説明する。

【 0 0 4 9 】

パッケージ基板 2 の中央部に対するスルーホール形成の自由度を高めるために、半導体集積回路におけるクロックやコマンド系のパッド電極の配置と、パッケージにおけるそれら信号のボール電極の配置との相違について着目した。半導体集積回路におけるクロックやコマンド系のパッド電極の配置は通常チップの中央部にされる。クロック等長配線を考えるからである。パッケージにおけるそれら信号のボール電極の配置は通常パッケージ基板の端に配置されることが多い。したがって、両者を接続するのにパッケージ基板の配線層を用いる場合には、少なからずパッケージ基板の中央部の配線を利用しなければならない。それによってパッケージ基板の中央部に対するスルーホール形成の自由度が疎外される。図 8 の A 1 部分の拡大図である図 19 に示されるように、半導体集積回路 3 におけるクロックやコマンド系のパッド電極 C P D と、パッケージ基板 2 におけるそれら信号のボール電極 B L L との接続に、W P P 引出し配線 2 0 を利用する。図 19 においてクロック及びコマンド系の複数のパッド電極 C P D 群 2 0 は、チップの中央部に形成した W P P 引出し配線 2 1 を介してチップ端部の対応する複数のバンプ電極 B M 群 2 2 に接続される。クロック信号として入力クロック信号 K , / K が例示される。図示はしないが図 8 の下半分の中央部も同様に構成され、ここには出力クロック信号 C , / C 等の W P P 引出し配線が形成される。従って図 2 0 に例示されるように、W P P 引出し配線 2 0 に重なるパッケージ基板 2 の中央部にはグランド V s s 等のスルーホール T H を形成することが可能になる。3040

【 0 0 5 0 】

パッケージ基板 2 の左右の外側領域 P D O U T においてスルーホール形成の自由度を高めるために、例えば図 2 1 に例示されるように、ボール電極 B L L を一定のピッチ（例え50

ば $1000\mu m$)でマトリクス配置し、バンプ電極BMPはボール電極に重なるように或いはボール電極の半分のピッチ上に配置するものとする。スルーホールTHはバンプ電極BMP又はボール電極BLLと重なる位置に形成することはできない。ボール電極BLLとバンプ電極BMPが平面的に重なる分だけスルーホールTHを形成可能な面積が大きくなる。従ってバンプ電極BMP及びボール電極BLLをランダムに配置する場合に比べてスルーホールTHの形成箇所に対する自由度が増し、形成可能なスルーホールの数も増やすことが容易になる。図13ではAR[TH]がスルーホール形成可能領域になる。外側領域PDOUTの境界はチップのパッド電極PD列である。左右のパッド電極PD列の内側領域PDINではバンプ電極BMPはボール電極BLLの直近に配置される。図22にはボール電極BLL、スルーホールTH、バンプ電極BMPの配置の一例が示される。

10

【0051】

図21には前記WPP引出し配線21を信号や電源の種類が例示される。前記WPP引出し配線21にVddq, Vdd, Vddiが含まれるのはチップ内部の設計との関係でWPP引出し配線を一部利用しているに過ぎない。

【0052】

《評価と修正》

前記QDR-SRAM1のデータ並列入出力における出力の変化が入力データに与える影響について評価を行った。評価は、ある出力ピンをノイズ源としたとき、それによる全ての入力ピンの電圧変化を評価するシミュレーションを行い、これを全ての出力ピンに対して繰り返し行うことで図23に例示されるような実効相互インダクタンスマトリクスを作成して行う。即ち、特定の出力ピンの変化が夫々の入力に与える影響を、実効相互インダクタンスとして全出力ピンについてシミュレーションにより演算を行った。図25にはシミュレーション対象回路が模式的に示される。図25ではチップ側(CHPside)のSig0がノイズ源となりチップ側の出力ピン、Sig1, Sig2...が入力ピンを意味する。信号系に対する電源側(POWside)からのリターンパスとしての電源系にはVss, Vddqのパスを考慮する。図23には、Q18~Q30の出力ピンとD18~D3の入力ピンに対するシミュレーション結果が示される。例えば出力ピンQ18の電流変化は、相互インダクタンス0.98nHに比例するノイズ電圧として入力ピンD18に与えられ、相互インダクタンス0.37nHに比例するノイズ電圧として入力ピンD19に与えられることを示している。MQはある入力ピンに関する全出力ピン及び電源分の実効相互インダクタンスの絶対値の総和を意味する。ここで、図26に例示されるように、テストボード30にQDR-SRAM1を搭載し、信号振幅を徐々に小さくしながら順次リードライトを繰り返し、テスタレーシバ31から入力したリードデータの正誤を判定したとき、データエラーを生じない最小振幅値Dminを実測した。このとき、本発明者の検討によれば、図27に例示されるように、MQの値が大きくなると最小振幅値Dminが大きくなる傾向のあることが明らかになった。即ち、最小振幅値Dminが大きいほど電磁的耐ノイズ性が小さいと言うことであり、MQの値が電磁的耐ノイズ性に対する指標になり、MQの値を小さくすることが最小振幅値Dminを小さくする上において重要であることが本発明者によって見出された。この観点より、図23の実効相互インダクタンスマトリクスにおいてD27の入力ピンに関するMQ=3.82nHがワーストとなっている。比較例として図24には今まで説明したWPP構造とパッケージ基板の特徴的構造を採用しなかったQDR-SRAM(comparison QDR-SRQM)の場合の実効相互インダクタンスマトリクスが例示される。比較例のワースト値はMQ=4.78nHであり、本願発明に係るQDR-SRAM1は約1nHの改善がなされたことになる。図28には双方のQDR-SRAMにおけるMQの相違が示される。

20

【0053】

更に本発明者は図23の実効相互インダクタンスマトリックスを検証した結果、MQが比較的大きいパッケージ基板の縁辺側に位置するD18、D27の入力ピンに着目した。図29に明示的に示されるように、前記D18、D27の入力ピンは、最寄のQ18、Q

30

40

50

27の出力ピンとの相互インダクタンスが大きいことが分かる。この原因として、隣接する入力ピンと出力ピンの間のクロストークが考えられる。図30には配線層L1と配線層L4を透視した様子が示される。これによれば、D18に接続する配線とQ18に接続する配線がSTK1の部分で上下方向に重なり、D27に接続する配線とQ27に接続する配線がSTK2の部分で上下方向に重なっていることが分かる。そこで、図31に例示されるように、D18に接続する配線とQ18に接続する配線をSPR1の部分で離し、D27に接続する配線とQ27に接続する配線がSPR2の部分で離し、更に配線クロスするところはCRSの部分のように直交配線にする。これによる改善結果は図32に例示される。MQの最大値は改善前に比べて僅かではあるが0.2nH低減することができた。図33には改善前と後の双方のQDR-SRAMにおけるMQの相違が示される。

10

【0054】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0055】

例えば、半導体集積回路はQDR-SRAMに限定されず、他のメモリ、マイクロコンピュータ、アクセラレータ等のその他のデータ処理LSIであってよい。並列入出力の対象はデータに限定されない。出力データと入力コマンド、出力データと入力アドレス等であってもよい。半導体集積回路はWPP構造を有するものに限定されない。パッケージ基板はBGA構造に限定されず、また、4層の複合配線基板に限定されない。

20

【図面の簡単な説明】

【0056】

【図1】本発明の一例に係るQDR-SRAMの縦断面構造を概略的に示す断面図である。

【図2】QDR-SRAMのブロック図である。

【図3】QDR-SRAMの入出力動作タイミングを例示するタイミングチャートである。

【図4】QDR-SRAMにおけるパッド電極CPDの配置を例示する平面図である。

【図5】QDR-SRAMにおけるバンプ電極BMPの配置を例示する平面図である。

【図6】QDR-SRAMにおけるボール電極BLLの配置を例示する平面図である。

30

【図7】QDR-SRAMの電源系の概略を例示するブロック図である。

【図8】半導体集積回路のWPP構造を示す平面図である。

【図9】パッケージ基板の配線層L1の平面的構成を示す平面図である。

【図10】パッケージ基板の配線層L2の平面的構成を示す平面図である。

【図11】パッケージ基板の配線層L3の平面的構成を示す平面図である。

【図12】パッケージ基板の配線層L4の平面的構成を示す平面図である。

【図13】バンプ電極BMPとボール電極BLLとの平面的な相対位置関係を示す平面図である。

【図14】データ入出力系の配線層割り当てを示す縦断面図である。

【図15】L1配線層の配線とWPP引出し配線との平面上での交差的配置を例示する平面図である。

40

【図16】図8のA1部分の拡大図である。

【図17】グランド電圧及び外部入出力電源電圧Vddqの給電経路を示す縦断面図である。

【図18】電源プレーンPLN[Vddq]上に電流の向きと配線層L1における外部入力データ配線L1[D]の配線方向との関係を例示する平面図である。

【図19】クロック及びコマンド系の複数のパッド電極CPD群に接続するWPP引出し配線をチップの中央部に形成した構成を示す平面図である。

【図20】チップ中央部のWPP引出し配線に重なるパッケージ基板の中央部にグランド電圧Vss等のスルーホールTHを形成した状態を示す平面図である。

50

【図21】ボール電極BLLを一定のピッチでマトリクス配置し、バンプ電極BMPをボール電極に重なるように或いはボール電極の半分のピッチ上に配置した状態を示す平面図である。

【図22】ボール電極BLL、スルーホールTH、バンプ電極BMPの配置の一例を全体的に示す平面図である。

【図23】QDR-SRAMのデータ並列入出力における出力の変化が入力データに与える影響について評価を行う点に取得した実効相互インダクタンスマトリクスを示す説明図である。

【図24】WPP構造とパッケージ基板の特徴的構造を採用しなかったQDR-SRAM場合の実効相互インダクタンスマトリクスを比較例として示す説明図である。 10

【図25】相互インダクタンスマトリクスを取得するためのシミュレーション対象回路を模式的に示す回路図である。

【図26】テストボードによるQDR-SRAM1最小振幅値Dminを実測するときのテスタボードとの接続例を示す概略断面図である。

【図27】MQの値が大きくなると最小振幅値Dminが大きくなる傾向を示す特性図である。

【図28】本発明と比較例の双方のQDR-SRAMにおけるMQの相違を示す説明図である。

【図29】前記D18、D27の入力ピンは、最寄のQ18、Q27の出力ピンとの相互インダクタンスが大きいことを明示的に示す説明図である。 20

【図30】配線層L1と配線層L4を透視した様子を示す平面図である。

【図31】D18に接続する配線とQ18に接続する配線を離し、D27に接続する配線とQ27に接続する配線を離し、更に配線クロスするようにレイアウトの修正を行なった状態を示す平面図である。

【図32】図31の修正による改善結果を例示する説明図である。

【図33】図31の改善前と後の双方のQDR-SRAMにおけるMQの相違を示す説明図である。

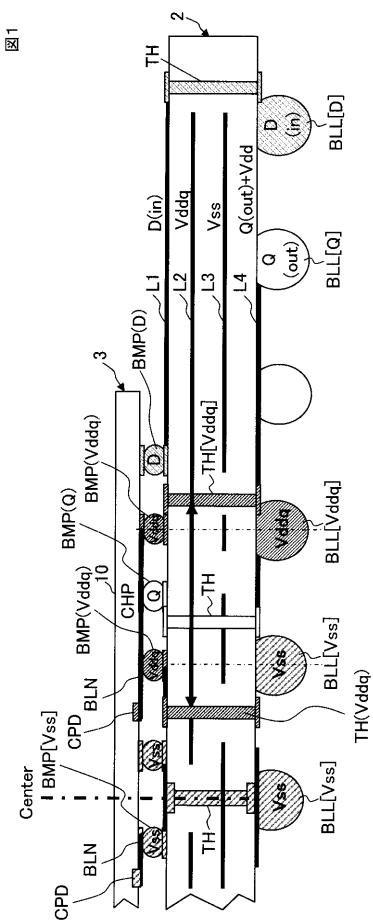
【符号の説明】

【0057】

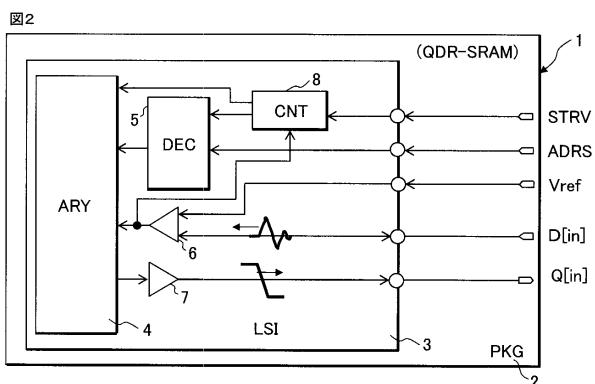
- 1 QDR-SRAM 30
- 2 パッケージ基板(PKG)
- 3 半導体集積回路(LSI)
- 4 メモリアレイ
- 5 アドレスデコーダ(DEC)
- 6 入力回路
- 7 出力回路
- 8 制御回路
- C, /C データ出力動作用の差動クロック信号
- K, /K データ入力動作用の差動クロック信号
- 10 導体チップ(CHP) 40
- CVD パッド電極
- BMP バンプ電極(外部接続端子)
- L1 ~ L4 配線層
- Vdd 電源電圧
- Vddq 入出力回路用電源電圧
- Vddi 内部降圧電圧
- Vss グランド電圧
- TH スルーホール
- P LN[Vddq] Vddpプレーン
- P LN[Vss] Vsspプレーン 50

P L N [V d d] V d d プレーン
20 チップ中央部のW P P引出し配線

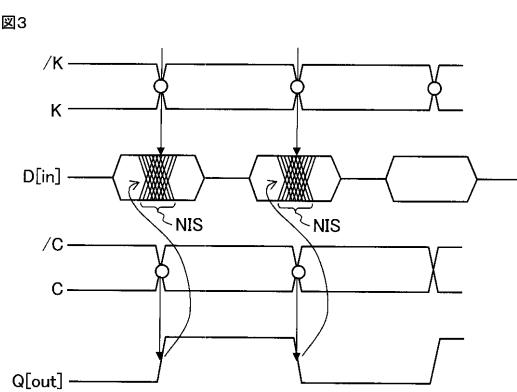
【図1】



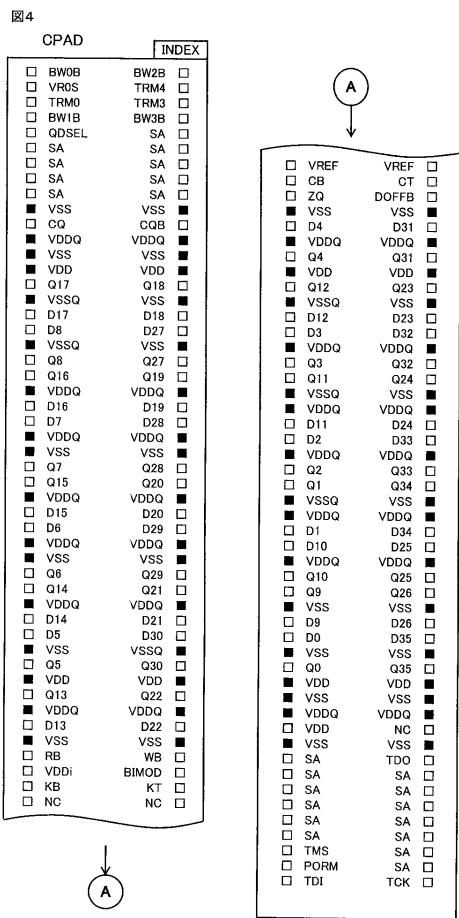
【図2】



【図3】



【図4】



【図5】

図5 BMP INDEX

R00	TRM2	TRM1	TRM0	/BW1	VR0S	FC	/BW2	TRM3	TRM4
R01	SA_9A	BLSEL		/BW0	/K	K	/BW3	IOSEL2	SA_3A
R02	SA_10A		QDSEL	/R			/W	SA_4B	SA_2A
R03	SA_8B	SA_7C			VDD	VDD		SA_6C	SA_5C
R04	D17	VSS	CQ	VDDQ	VSS	VSS	VDDQ	/CQ	VSS
R05	D8		Q17	VDDQ	VDDQ	VDDQ	VDDQ	Q18	VSS
R06	D16	VSS	Q8	VSS	VSS	VSS	VSS	Q27	VSS
R07	D7		Q16	VDDQ	VDDQ	VDDQ	VDDQ	Q19	VSS
R08	D15	VDDQ	Q7	VDDQ	VSS	VSS	VDDQ	Q28	VDDQ
R09	D6	VDDQ	Q15	VDDQ	VDDQ	VDDQ	VDDQ	Q20	VDDQ
R10	D14	VDDQ	Q6	VDDQ	VSS	VSS	VDDQ	Q29	VDDQ
R11	D5		Q14	VDDO	VSS	VSS	VDDQ	Q21	VDDQ
R12		VDDQ	Q5	VDDQ	VDD	VDD	VDDQ	Q30	VDDQ
R13	D13		Q13	VDDI	VSS	VSS	BIMOD	Q22	VDDQ
R14	VSS	VDDQ	ZQ	VREF2			VREF1	/DOFF	VDDQ
R15	D4		Q4		VSS	VSS		Q31	VDDQ
R16		VDDQ	Q12	VDDQ	VDD	VDD	VDDQ	Q23	VDDQ
R17	D12		Q3	VDDQ	VSS	VSS	VDDQ	Q32	VDDQ
R18	D3	VDDQ	Q11	VDDQ	VSS	VSS	VDDQ	Q24	VDDQ
R19	D11	VDDQ	Q2	VDDQ	VDDQ	VDDQ	VDDQ	Q33	VDDQ
R20	D2	VDDQ	Q1	VDDQ	VSS	VSS	VDDQ	Q34	VDDQ
R21	D1		Q10	VDDQ	VDDQ	VDDQ	VDDQ	Q25	VDDQ
R22	D10	VSS	Q9	VSS	VSS	VSS	VSS	Q26	VSS
R23	D9		Q0	VDDQ	VDDQ	VDDQ	VDDQ	Q35	VDDQ
R24	D0	VSS	VDDM	VDDQ	VSS	VSS	VDDQ		VSS
R25	SA_8P	SA_7N			VDD	VDD		TDO	SA_5N
R26	SA_9R	SA_7P							SA_5P
R27	SA_8R	SA_7R	SCSEL		/C	C		PRST	SA_4P
R28	PTCK	TMS	PORM	TDI	PORC	PTDI	TCK		SA_5R

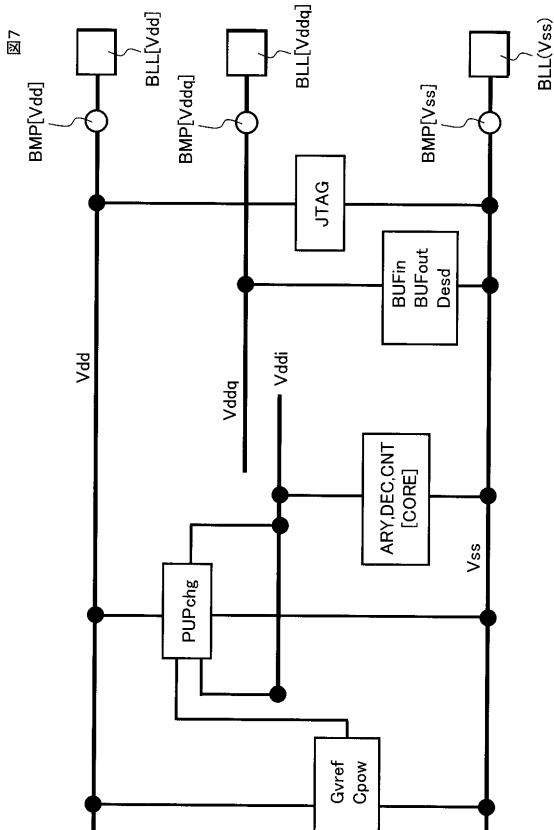
C12 C11 C10 C9 C8 C7 C6 C5 C4 C3

【図6】

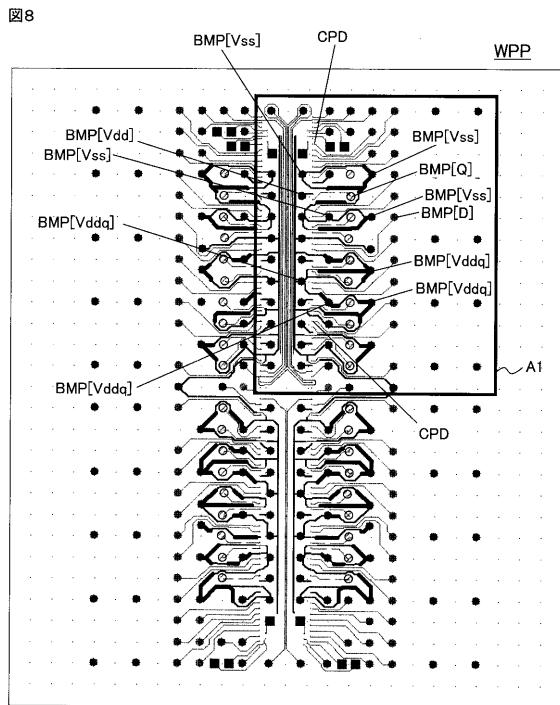
図6 BLL INDEX

A	B	C	D	E	F	G	H	I	J	K	L	M	N	P	R
CQ	SA	SA	/R	/BW1	/K	/BW2	/W	SA							
Q8	Q17	D17	SA	/BW0	K	/BN3	SA	D18	Q18	Q28	D27	D28	D29	D29	D29
D8	Q7	D6	VSS	SA	SA	SA	VSS	D19	Q23	D20	D20	D20	D20	D20	D20
D7	D15	Q16	VSS	VSS	VSS	VSS	VSS	Q19	VDDQ	Q19	Q29	Q29	Q29	Q29	Q29
Q6	D6	Q15	VDDQ												
Q5	Q14	D14	VDDQ												
D5	D3	Q13	VDDQ												
ZQ	VREF	VDDQ													
D4	Q4	D12	VDDQ												
Q3	D3	Q12	VDDQ												
Q2	Q11	D11	VDDQ												
D2	Q1	D11	VSS												
D1	D9	Q10	VSS	SA											
Q0	D0	Q9	SA	SA	SA	C	SA								
TDI	TMS	SA	SA	/C	SA										
11	10	9	8	7	6	5	4	3	2	1					

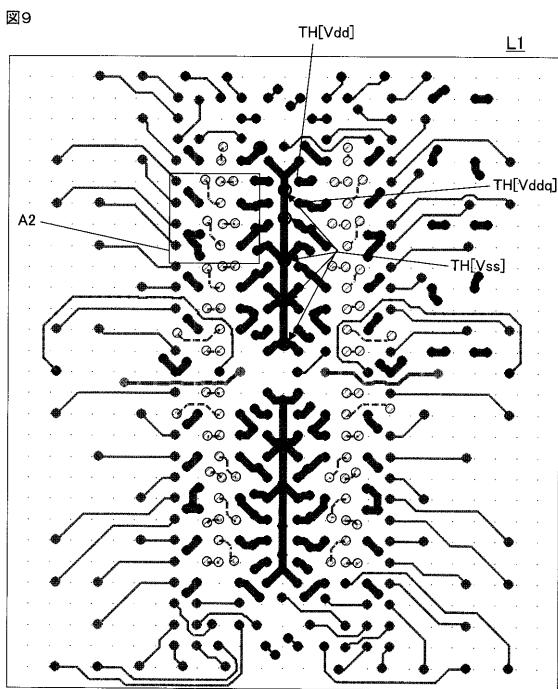
【図7】



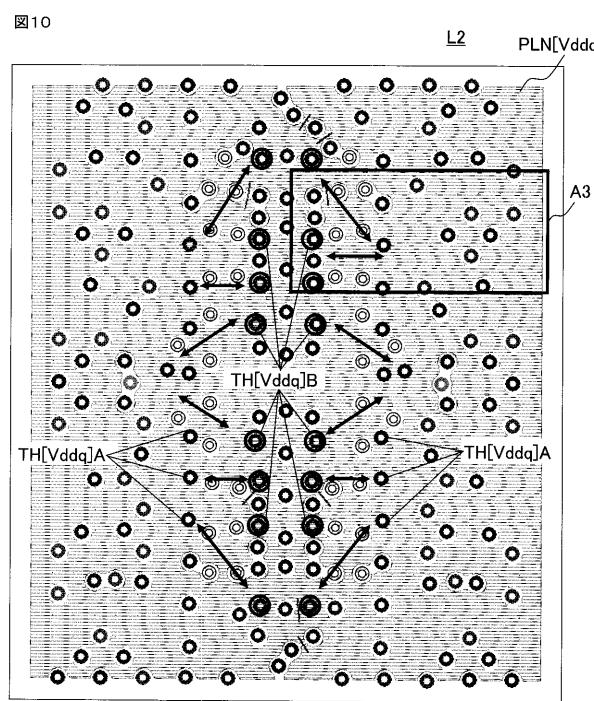
【図8】



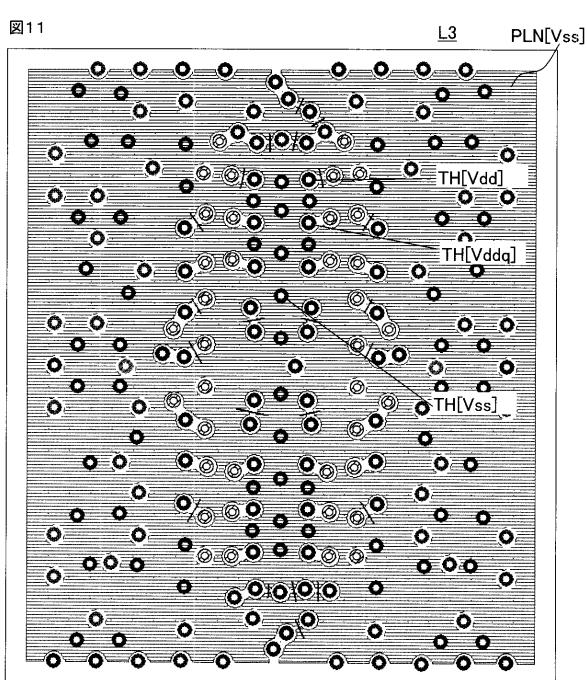
【図9】



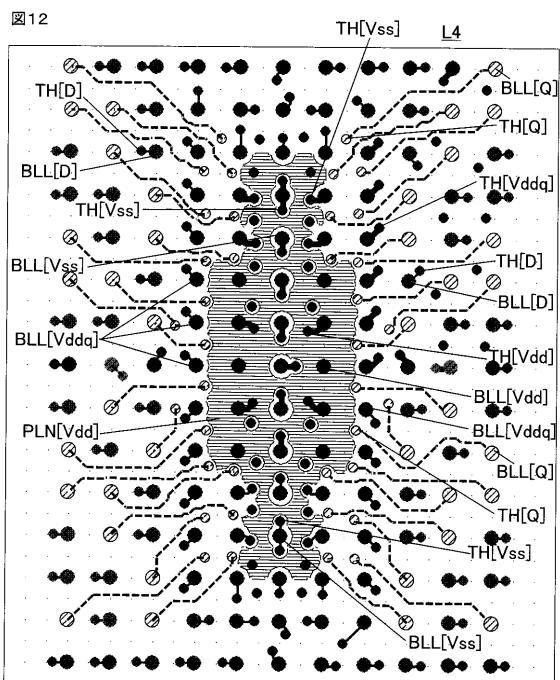
【図10】



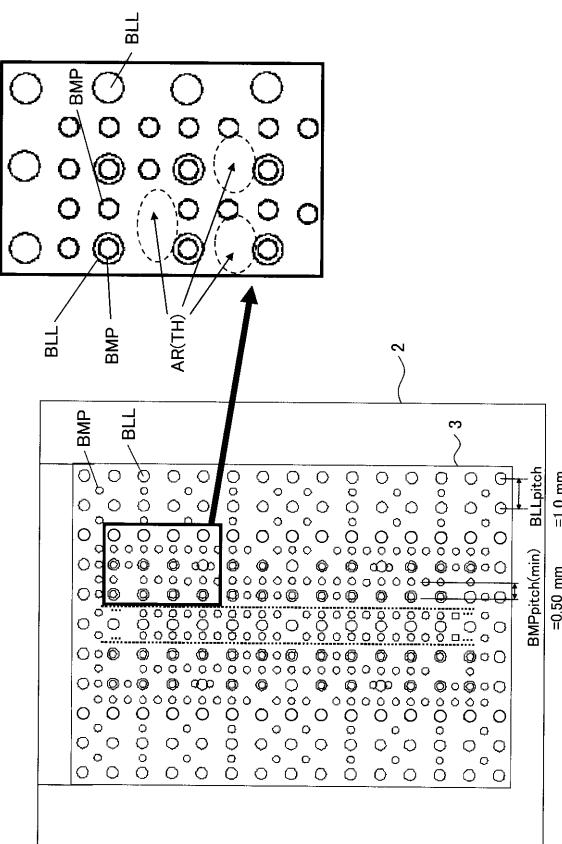
【図11】



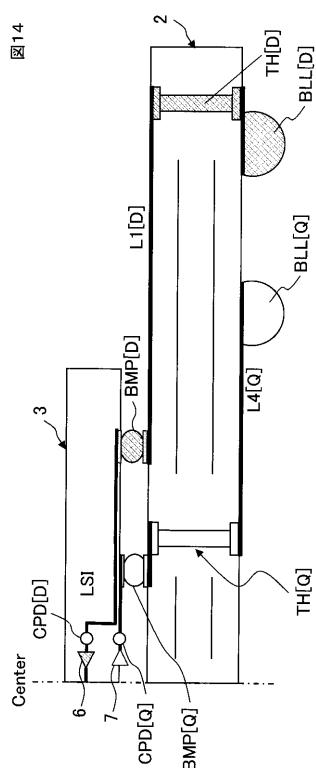
【図12】



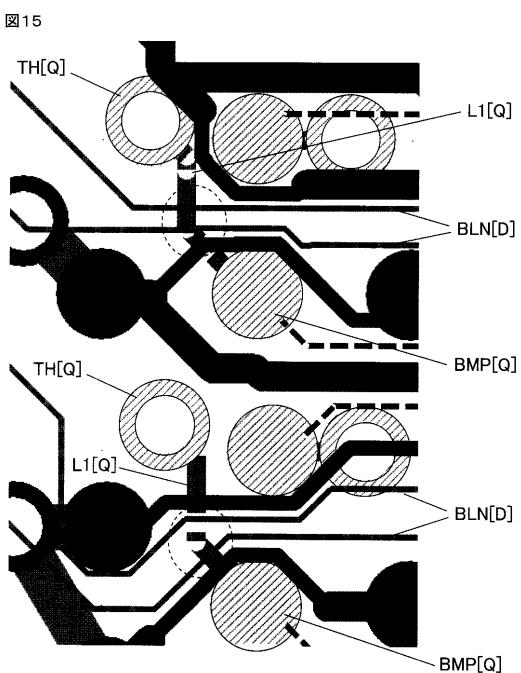
【図13】



【図14】

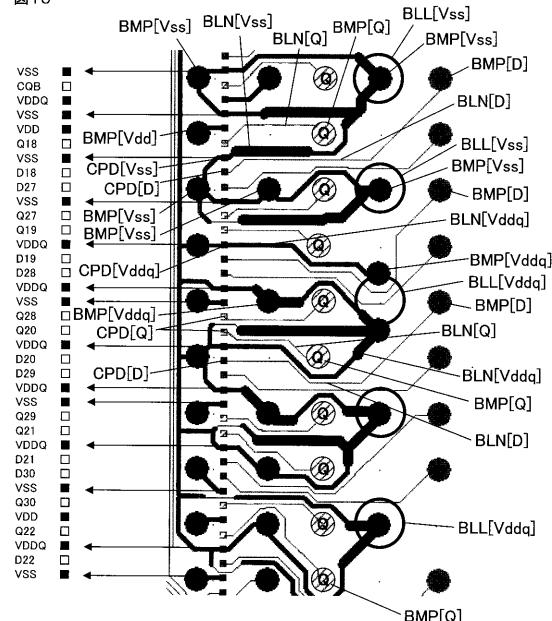


【図15】



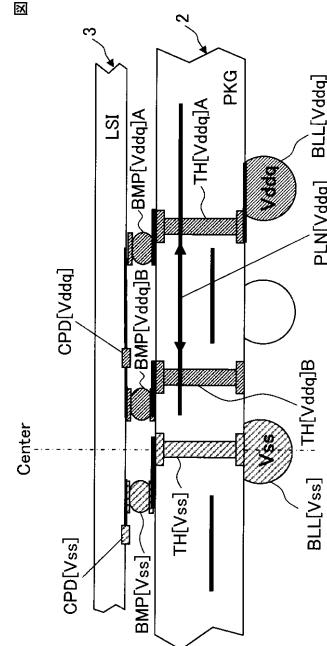
【図16】

図16

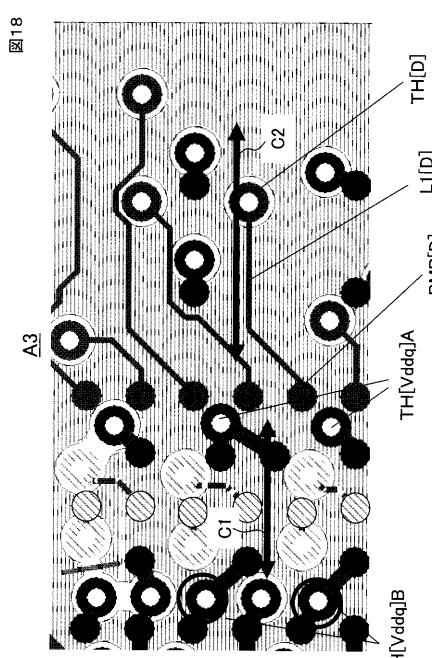


【図17】

図17

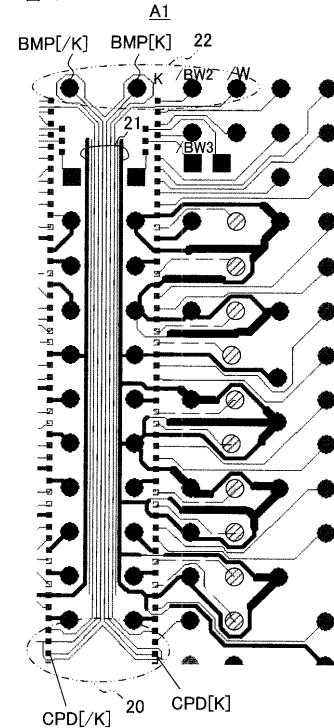


【図18】

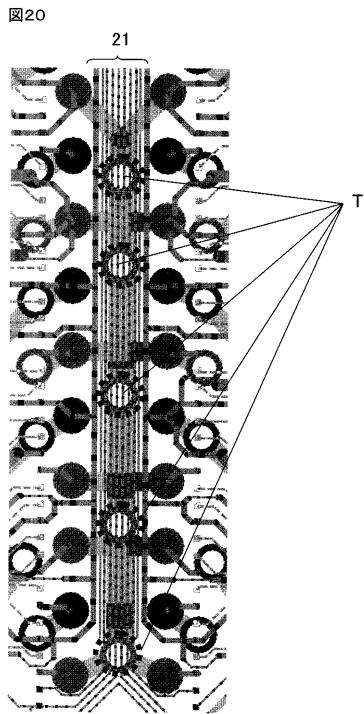


【図19】

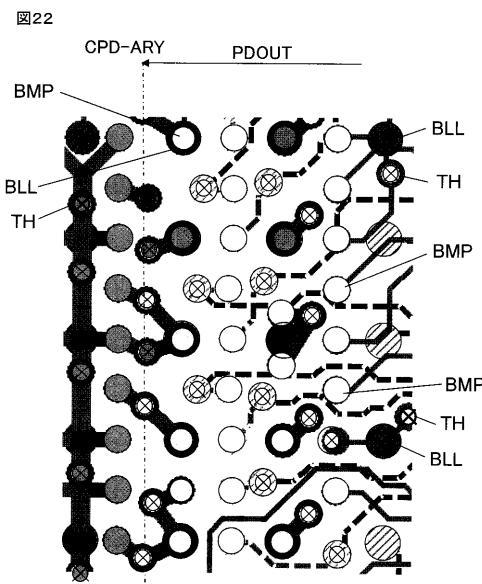
図19



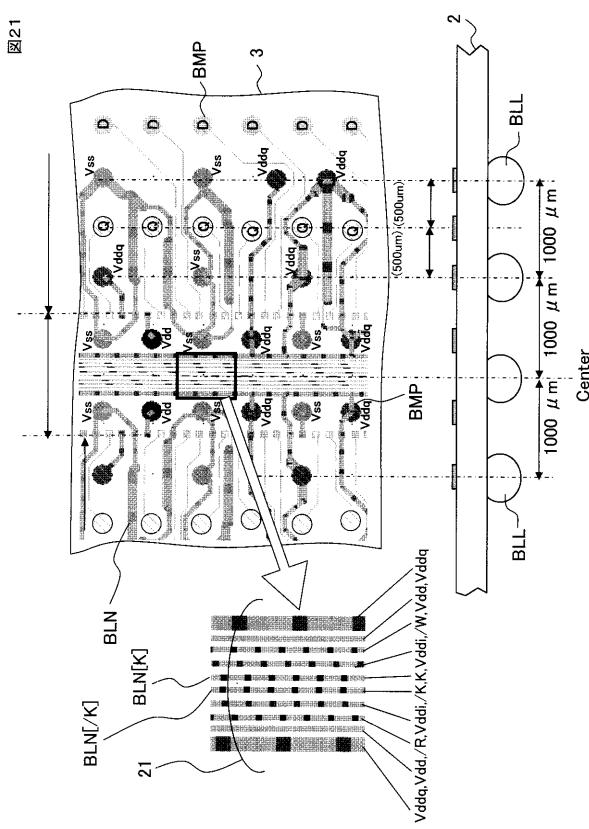
【図20】



【 図 2 2 】



【 図 2 1 】



【 図 2 3 】

図23

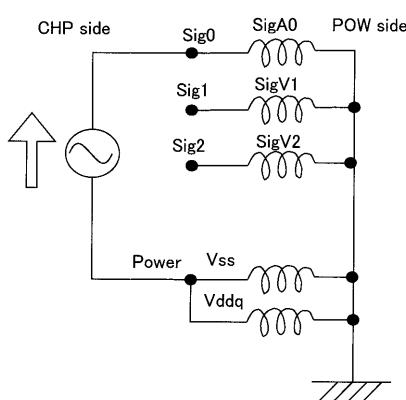
	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.98	0.37	0.16	-0.22	-0.23	0.84	0.31	-0.04	-0.18
Q19	0.37	0.93	0.52	-0.06	-0.15	0.46	0.61	0.22	-0.07
Q20	0.05	0.36	0.75	0.17	-0.06	0.15	0.47	0.50	0.05
Q21	-0.09	0.04	0.29	0.66	0.32	-0.01	0.17	0.67	0.59
Q22	-0.21	-0.15	-0.02	0.77	0.75	-0.17	-0.07	0.19	0.55
Q27	0.98	0.52	0.27	-0.18	-0.21	1.20	0.49	0.03	-0.15
Q28	0.82	0.81	0.57	-0.12	-0.21	0.79	0.77	0.18	-0.12
Q29	0.05	0.23	0.63	0.33	0.11	0.17	0.48	0.81	0.33
Q30	-0.09	-0.02	0.15	0.58	0.62	-0.02	0.11	0.38	1.05
Σ MQ	3.65	3.44	3.38	3.09	2.67	3.82	3.48	3.03	3.09
(nH)							Worst		

【 図 2 4 】

図24

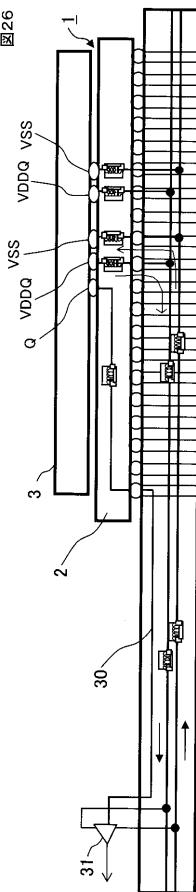
【図25】

図25



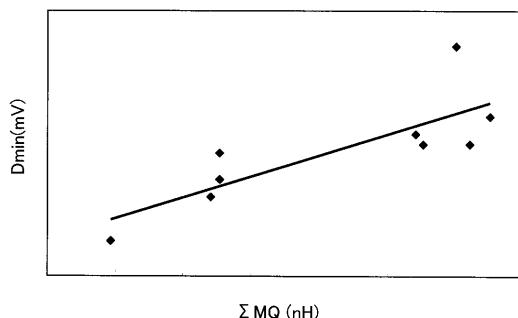
【図26】

図26



【図27】

図27



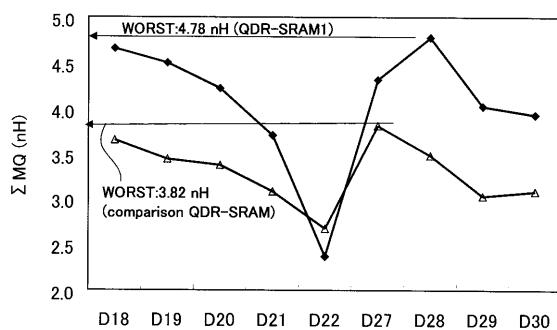
【図29】

図29

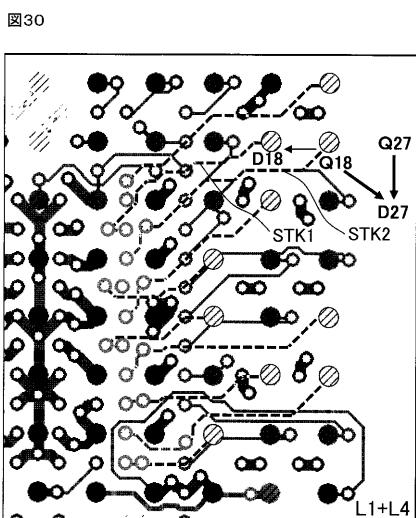
	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.98	0.37	0.16	-0.22	-0.23	0.84	0.31	-0.04	-0.18
Q19	0.37	0.93	0.52	-0.06	-0.15	0.46	0.61	0.22	-0.07
Q20	0.05	0.36	0.75	0.17	-0.06	0.15	0.47	0.50	0.05
Q21	-0.09	0.04	0.29	0.66	0.32	-0.01	0.17	0.67	0.59
Q22	-0.21	-0.15	-0.02	0.77	0.75	-0.17	-0.07	0.19	0.55
Q27	0.98	0.52	0.27	-0.18	-0.21	1.20	0.49	0.03	-0.15
Q28	0.82	0.81	0.57	-0.12	-0.21	0.79	0.77	0.18	-0.12
Q29	0.05	0.23	0.63	0.33	0.11	0.17	0.48	0.81	0.33
Q30	-0.09	-0.02	0.15	0.58	0.62	-0.02	0.11	0.38	1.05
ΣMQ	3.65	3.44	3.38	3.09	2.67	3.82	3.48	3.03	3.09

【図28】

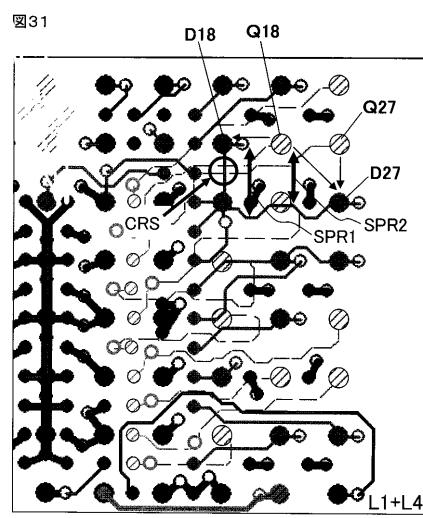
図28



【図30】



【図31】



【図32】

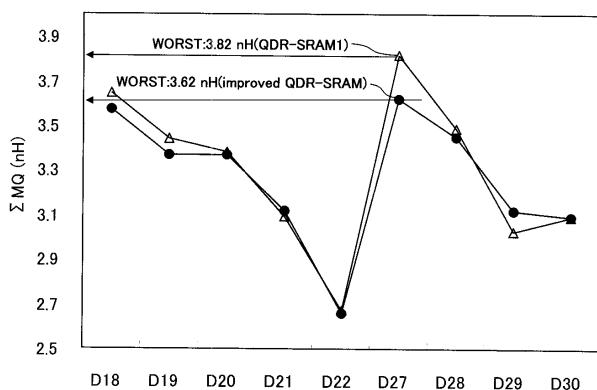
図32

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.90	0.35	0.15	-0.23	-0.24	0.70	0.30	-0.04	-0.18
Q19	0.38	0.93	0.54	-0.04	-0.14	0.48	0.59	0.26	-0.05
Q20	0.05	0.36	0.75	0.18	-0.04	0.18	0.46	0.52	0.07
Q21	-0.09	0.05	0.32	0.67	0.32	0.01	0.18	0.69	0.59
Q22	-0.22	-0.15	-0.01	0.76	0.75	-0.16	-0.07	0.19	0.53
Q27	0.97	0.51	0.25	-0.19	-0.22	1.05	0.47	0.02	-0.16
Q28	0.84	0.80	0.56	-0.12	-0.21	0.84	0.79	0.19	-0.11
Q29	0.04	0.21	0.61	0.35	0.13	0.19	0.46	0.80	0.37
Q30	-0.09	-0.01	0.18	0.59	0.61	0.00	0.13	0.41	1.03
ΣMQ	3.58	3.37	3.37	3.12	2.66	3.62	3.45	3.12	3.09

(nH)

【図33】

図33



フロントページの続き

審査官 宮本 靖史

(56)参考文献 国際公開第2002/050898(WO,A1)

特開2003-264256(JP,A)

特開2004-193501(JP,A)

特開2005-340247(JP,A)

特開2002-222892(JP,A)

特開2001-044591(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/822

H01L 21/8244

H01L 27/04

H01L 27/11