

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5518100号
(P5518100)

(45) 発行日 平成26年6月11日 (2014.6.11)

(24) 登録日 平成26年4月11日 (2014.4.11)

(51) Int. Cl.	F I		
HO 1 L 27/105 (2006.01)	HO 1 L 27/10	4 4 8	
HO 1 L 45/00 (2006.01)	HO 1 L 45/00	Z	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00	Z	

請求項の数 19 (全 15 頁)

(21) 出願番号	特願2011-548373 (P2011-548373)	(73) 特許権者	500373758
(86) (22) 出願日	平成22年2月1日 (2010.2.1)		シーゲイト テクノロジー エルエルシー
(65) 公表番号	特表2012-517105 (P2012-517105A)		アメリカ合衆国、95014 カリフォルニア州、クパチーノ、サウス・デ・アンザ・ブールバード、10200
(43) 公表日	平成24年7月26日 (2012.7.26)	(74) 代理人	110001195
(86) 国際出願番号	PCT/US2010/022754		特許業務法人深見特許事務所
(87) 国際公開番号	W02010/088614	(72) 発明者	アミン, ヌルル
(87) 国際公開日	平成22年8月5日 (2010.8.5)		アメリカ合衆国、55125 ミネソタ州、ウッドベリー、レーニア・ドライブ、8797
審査請求日	平成24年1月13日 (2012.1.13)	(72) 発明者	ジン, インシク
(31) 優先権主張番号	12/362,640		アメリカ合衆国、55122 ミネソタ州、イーガン、ジョニー・ケイク・アルコール、1569
(32) 優先日	平成21年1月30日 (2009.1.30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 積層された固体電解質構造を有するプログラマブルメタライゼーションメモリセル

(57) 【特許請求の範囲】

【請求項 1】

プログラマブルメタライゼーションメモリセルであって、
 活性電極主面を有する活性電極と、
 不活性電極主面を有する不活性電極と、
 前記活性電極と前記不活性電極との間の可変抵抗素子とを備え、
 前記可変抵抗素子は複数の平行な固体電解質層と導電層とを備え、前記固体電解質層と前記導電層とは互いに平行に交互に配置され、前記導電層を介して前記活性電極と前記不活性電極とを電氣的に接続可能であり、前記複数の交互の固体電解質層と導電層とは、前記活性電極主面および前記不活性電極主面と非平行の方向に延在し、前記導電層は電気化学的に不活性の金属を含む、プログラマブルメタライゼーションメモリセル。

【請求項 2】

前記複数の交互の固体電解質層と導電層とは、前記活性電極主面または前記不活性電極主面に直交する方向に延在する、請求項 1 に記載のプログラマブルメタライゼーションメモリセル。

【請求項 3】

前記導電層の厚みは 100 オングストローム未満である、請求項 1 に記載のプログラマブルメタライゼーションメモリセル。

【請求項 4】

前記活性電極または前記不活性電極から前記可変抵抗素子を分離する切換層をさらに備

える、請求項 1 に記載のプログラマブルメタライゼーションメモリセル。

【請求項 5】

前記導電層は銀または銅を含む、請求項 1 に記載のプログラマブルメタライゼーションメモリセル。

【請求項 6】

前記固体電解質層はカルコゲニド材料を含む、請求項 1 に記載のプログラマブルメタライゼーションメモリセル。

【請求項 7】

高抵抗状態と低抵抗状態との間で切換可能なプログラマブルメタライゼーションセル (P M C) であって、

電気化学的に活性の電極および不活性の電極と、

前記電気化学的に活性の電極を前記不活性の電極から分離可能な可変抵抗素子とを備え、前記可変抵抗素子は複数の平行な固体電解質層と導電層とを備え、前記固体電解質層と前記導電層とは互いに平行に交互に配置され、前記導電層は、前記固体電解質層によって離間され、前記低抵抗状態で、前記電気化学的に活性の電極を前記不活性の電極に電氣的に結合する、プログラマブルメタライゼーションセル。

【請求項 8】

前記導電層は前記固体電解質層によって離間される、請求項 7 に記載の P M C 。

【請求項 9】

前記複数の交互の固体電解質層と導電層との表面平面は、前記活性の電極または前記不活性の電極の表面平面に直交する、請求項 7 に記載の P M C 。

【請求項 10】

前記電気化学的に活性の電極と前記不活性の電極とは平行である、請求項 9 に記載の P M C 。

【請求項 11】

前記導電層の厚みは 100 オングストローム未満である、請求項 7 に記載の P M C 。

【請求項 12】

前記電気化学的に活性の電極または前記不活性の電極から前記可変抵抗素子を分離する切換層をさらに備え、前記切換層は電流密度がより高い局所化された領域を含有する導電性材料と絶縁性材料との複合物である、請求項 7 に記載の P M C 。

【請求項 13】

前記切換層は固体電解質を含む、請求項 12 に記載の P M C 。

【請求項 14】

前記導電層は銀または銅を含む、請求項 7 に記載の P M C 。

【請求項 15】

プログラマブルメタライゼーションメモリセルを形成する方法であって、

第 1 の電極を形成するステップと、

前記第 1 の電極の主面上に、前記第 1 の電極の主面と非平行な方向に延在するように複数の交互の固体電解質層と導電層とを堆積し、可変抵抗素子を形成するステップと、

前記可変抵抗素子の上に第 2 の電極を堆積するステップとを備え、前記導電層は前記第 1 の電極を前記第 2 の電極に電氣的に結合する、方法。

【請求項 16】

前記第 1 の電極は、白金、タングステン、ニッケル、モリブデン、金、パラジウム、またはロジウムを含む不活性金属を含み、前記第 2 の電極は銀または銅を含む活性金属を備える、請求項 15 に記載の方法。

【請求項 17】

絶縁体層を堆積するステップと、前記絶縁体層をマスキングしエッチングして段差高さを設けて、前記複数の交互の固体電解質層と導電層とを堆積する前記ステップを容易にするとともに、前記第 1 の電極とは非平行の関係で前記交互の固体電解質層と導電層とを設けるステップをさらに備える、請求項 15 に記載の方法。

10

20

30

40

50

【請求項 18】

前記可変抵抗素子を前記第2の電極から分離する切換層を堆積するステップをさらに備え、前記切換層は固体電解質を備える、請求項15に記載の方法。

【請求項 19】

角度付けられた絶縁体層を形成するステップをさらに備え、前記複数の交互の固体電解質層と導電層とを堆積する前記ステップは、前記第1の電極に対して傾斜するように前記複数の交互の固体電解質層と導電層とを堆積するステップを備える、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

背景

メモリデバイスは、データを記憶する電子システムおよびコンピュータにおいて一般的である。これらのメモリデバイスは、電源が切断されるかもしくは取外されると記憶したデータが失われてしまう揮発性メモリであるか、または電力が遮断されている間でも記憶したデータが保持される不揮発性メモリであり得る。不揮発性メモリデバイスの例は、導電ブリッジングRAM(CBRAM)、ナノブリッジメモリ、または電解質メモリとしても公知のプログラマブルメタライゼーションセル(PMC)である。

【背景技術】

【0002】

20

PMCは、カルコゲニド型または酸化物型などのイオン導電体または固体電解質と、電極間にイオン導電体または固体電解質を有する少なくとも2つの電極(たとえばアノードおよびカソード)とを利用する。電圧が電極間に印加されると、導通フィラメントがカソードからイオン導電体または固体電解質を通してアノードへと急速に成長する。これは低抵抗状態をもたらす。極性が反対の電界が電極間に印加されると、導通フィラメントは溶解し、導通経路が途絶する。これは高抵抗状態をもたらす。適切な電界の印加によって切換可能な2つの抵抗状態は、メモリデータビット「1」または「0」を記憶するのに用いられる。

【発明の概要】

【発明が解決しようとする課題】

30

【0003】

導通フィラメントは一方から他方の電極への電流の流れの正確な経路を設けるが、導通フィラメントの作製および溶解は予測不可能であり得る。導通経路は、適切な値および極性の電位が印加された場合にランダムな場所に生成され、溶解される。このように、フィラメントの位置および発生は正確でないかまたは再生不可能である。これらの要因は、特に高い実装密度のためにセルが小型化されると、セルの挙動の変動に繋がる。したがって、PMCにおいて個別のセルの挙動のばらつきを低減するための改良が必要である。

【課題を解決するための手段】

【0004】

簡単な要約

40

本開示は、積層された固体電解質を有するプログラマブルメタライゼーションメモリセルと、これを形成する方法とに関する。

【0005】

1つの例示的な実施形態では、プログラマブルメタライゼーションメモリセルは、活性電極、対向不活性電極、および活性電極を不活性電極から分離する可変抵抗素子を含む。可変抵抗素子は、複数の交互の固体電解質層と導電層とを含む。導電層は活性電極を不活性電極に電氣的に結合する。

【0006】

プログラマブルメタライゼーションメモリセルを形成する1つの例示的な方法は、複数の交互の固体電解質層と導電層とを第1の電極上に堆積するステップと、可変抵抗素子を

50

形成するステップと、次に可変抵抗素子上に第2の電極を堆積するステップとを含み、導電層は第1の電極を第2の電極に電氣的に結合する。

【0007】

これらおよびさまざまな他の特徴および利点は、以下の詳細な説明を読むと明らかになるであろう。

【0008】

開示は、添付の図面と関連して開示のさまざまな実施形態の以下の詳細な説明を考慮するとより完全に理解され得る。

【0009】

図は必ずしも縮尺通りではない。図で用いられる同じ数字は同じ構成要素を指す。しかしながら、所与の図で構成要素を参照するための数字の使用は、同じ数字で標識付けられる別の図中の構成要素を限定することを意図するものではないことが理解されるであろう。

10

【図面の簡単な説明】

【0010】

【図1】低抵抗状態の例示的なプログラマブルメタライゼーションメモリセルの概略図である。

【図2】高抵抗状態の、図1に示される例示的なプログラマブルメタライゼーションメモリセルの概略図である。

【図3】低抵抗状態の別の例示的なプログラマブルメタライゼーションメモリセルの概略図である。

20

【図4】高抵抗状態の、図3に示される例示的なプログラマブルメタライゼーションメモリセルの概略図である。

【図5】半導体トランジスタを含む例示的なプログラマブルメタライゼーションメモリユニットの概略図である。

【図6】例示的なプログラマブルメタライゼーションメモリアレイの概略図である。

【図7】固体電解質および導電層を有するプログラマブルメタライゼーションメモリセルを形成する例示的な方法のフロー図である。

【図8】AからFは、積層可変抵抗素子がさまざまな製造段階にある、プログラマブルメタライゼーションメモリセルの概略断面図である。

30

【図9】固体電解質および導電層を有するプログラマブルメタライゼーションメモリセルを形成する例示的な方法のフロー図である。

【図10】AからCは、積層可変抵抗素子がさまざまな製造段階にある、別のプログラマブルメタライゼーションメモリセルの概略断面図である。

【図11】角度付けられた固体電解質および導電層を有するプログラマブルメタライゼーションメモリセルを形成する別の例示的な方法のフロー図である。

【図12】AからFは、角度付けられた積層可変抵抗素子がさまざまな製造段階にある、別のプログラマブルメタライゼーションメモリセルの概略断面図である。

【発明を実施するための形態】

【0011】

40

詳細な説明

以下の説明では、この文書の一部を形成し、例示のためにいくつかの具体的な実施形態を示す添付の図面の組を参照する。本開示の範囲または精神から逸脱することなく他の実施形態が企図され、なされ得ることを理解すべきである。したがって、以下の詳細な説明は限定的な意味にとられるべきではない。本明細書中に与える定義は本明細書中で頻りに用いられるある用語の理解を容易にするためのものであり、本開示の範囲を限定することを意味するものではない。

【0012】

特に他に示されなければ、明細書および請求項で用いられる特徴のサイズ、量、および物性を表わすすべての数字は「約」という用語によりすべての例において変更されると理

50

解すべきである。応じて、そうでないと示されなければ、以上の明細書および添付の請求項で述べる数値パラメータは、本明細書中に開示される教示を利用して当業者が入手することを求める所望の性質に依存して変わり得る近似である。

【0013】

終点による数値範囲の記載は、その範囲内に包摂されるすべての数字を含み（たとえば、1から5は、1、1.5、2、2.75、3、3.80、4、および5を含む）、その範囲内の一切の範囲を含む。

【0014】

この明細書および添付の請求項で用いられるように、内容がそうではないことを明示していなければ、「a」、「an」、および「the」という単数形は複数の参照対象を有する実施形態を包含する。この明細書および添付の請求項で用いられるように、「または」という用語は、内容がそうではないことを明示していなければ、「および/または」を含むその意味で一般的に用いられる。

10

【0015】

「下方」、「上方」、「下」、「よりも下」、「よりも上」、および「の上」を含むがこれらに限定されない空間的に関連する用語は、本明細書中で用いられることがあれば、ある要素と別の要素との空間的関係を記載するように、記載の容易のために利用される。そのような空間的に関連する用語は、図に示され、本明細書中に記載される特定の向きに加えて、使用または動作におけるデバイスの異なる向きを包含する。たとえば、図に示されるセルがひっくり返されたりまたは裏返されたりする場合、他の要素の下または下方に以前記載されていた部分は、今度はそれらの他の要素の上になるであろう。

20

【0016】

本明細書中で用いられるように、たとえば要素、構成要素、または層が別の要素、構成要素、または層「の上」ある、それ「に接続される」、それ「に結合される」、またはそれ「と接する」と記載される場合、これは、たとえば特定の要素、構成要素、もしくは層の直接に上に、それに直接に接続され、それに直接に結合され、それと直接に接し得るか、または介在する要素、構成要素、もしくは層がその上にあるか、それに接続されるか、それに結合されるか、もしくはそれと接してもよい。たとえば要素、構成要素、または層が別の要素の「直接に上に」、それに「直接に接続され」、それに「直接に結合され」、またはそれと「直接に接して」始まると称される場合、たとえば介在する要素、構成要素または層は存在しない。

30

【0017】

本開示は、積層された固体電解質を有するプログラマブルメタライゼーションメモリセルと、これを形成する方法とに関する。特に、本開示は、固体電解質と導電金属との交互の層を有するプログラマブルメタライゼーションメモリセルに関する。これらの層は、電極の主面に一般的に非平行であり得る。多くの実施形態では、これらの層は電極の主面に一般的に直交する。このように、導電材料の層は、電極間に「前もって植立され」、セルが低抵抗状態にある際に電極同士の間にも再生可能かつ正確な導電経路を設ける。いくつかの実施形態では、電極主面は、絶縁材料の区域と、絶縁材料を含まず、電気化学反応が優先して起こるより高い電流密度の区域を形成する区域とを含む。本開示はそのように限定されないが、以下に与えられる例の考察を通じて開示のさまざまな局面が認められるであろう。

40

【0018】

図1は、低抵抗状態の例示的なプログラマブルメタライゼーションメモリセル10の概略図である。プログラマブルメタライゼーションセル(PMC)メモリは、イオン導電体固体電解質材料内の電氣的に導通するフィラメントまたは経路の物理的形成に基づいている。PMCメモリセル10は、電気化学的に活性のまたは第1の電極18を不活性電極または第2の金属電極またはコンタクト12から分離する可変抵抗素子11を含む。

【0019】

可変抵抗素子11は、複数の交互の固体電解質層16と導電(または活性金属)層17

50

とを含む。図1の低抵抗状態に図示されるように、導電層17は、電気化学的に活性の電極18を不活性電極12に電気的に結合する。いくつかの実施形態では、交互の固体電解質層16と導電層17とは、電気化学的に活性の電極18主面19または不活性電極12主面13と非平行の方向に延在する。いくつかの実施形態では、交互の固体電解質層16と導電層17とは、電気化学的に活性の電極18主面19または不活性電極12主面13に直交する方向に延在する。いくつかの実施形態では、交互の固体電解質層16および導電層17の各々の少なくとも一部は、(図8Fに図示されるような)電気化学的に活性の電極18主面19または不活性電極12主面13に直交する方向に延在する。いくつかの実施形態では、交互の固体電解質層16および導電層17の各々の少なくとも一部は、(図12Fに図示されるような)電気化学的に活性の電極18主面19または不活性電極12主面13に対して傾いている。

10

【0020】

4つの導電層17および3つの固体電解質層16が図示されるが、可変抵抗素子11は、任意の有用な数の交互の導電層17および固体電解質層16を含み得ることが理解される。たとえば、可変抵抗素子11は、各々の層の相対的な厚みに依存して、2から1000個の層または10から500個の層を含み得る。いくつかの実施形態では、導電層17は、1から1000オングストローム、または5から500オングストローム、または100オングストローム未満の範囲の厚みを有し得る。同様に、固体電解質層16は、1から1000オングストローム、または5から500オングストローム、または100オングストローム未満の範囲の厚みを有し得る。固体電解質の厚みに対する導電層の厚みの比は、所望により、1:1から1:1000、または1:10から1:100であり得る。図1では、交互の固体電解質層16および導電層17は、電気化学的に活性の電極18主面19または不活性電極12主面13の全体を覆うように示されているが、いくつかの実施形態では、交互の固体電解質層16および導電層17は、電気化学的に活性の電極18主面19または不活性電極12主面13の全体未満を覆うことができる。複数の交互の固体電解質層16および導電層17は以下に記載のように形成可能である。

20

【0021】

本明細書中に記載の電気化学的に活性の電極18は、銀(Ag)または銅(Cu)などのいずれの有用な電気化学的に活性の材料からも形成可能である。活性電極18は、たとえば50オングストロームから5000オングストロームのいずれの有用な厚みを有することもできる。

30

【0022】

第2の金属コンタクト12は、いずれの有用な金属性材料からも形成可能である。多数の実施形態では、第2の金属コンタクト12は、たとえば、タングステン(W)、ニッケル(Ni)、モリブデン(Mo)、白金(Pt)、金(Au)、パラジウム(Pd)、およびロジウム(Rh)などの電気化学的に不活性の金属から形成される。いくつかの実施形態では、第2の金属コンタクト12は2つ以上の金属層を有する。ここで、イオン導電体固体電解質材料16に最も近い金属層は電気化学的に不活性である一方で、付加的な層は電気化学的に活性であり得る。第2の金属コンタクト12は底部電極とも称され得る。金属コンタクト12は基板の上に形成可能であるが、そうである必要はない。利用される場合、基板は、シリコン、シリコンとゲルマニウムとの混合物、および他の同様の材料を含み得る。図1および図2はオプションの基板を示していない。

40

【0023】

イオン導電体固体電解質材料16は、イオン導電体固体電解質材料内の導通フィラメントの形成を提供するいずれの有用な材料からも形成可能であり、電界EF+の印加により電気化学的に活性の電極18と不活性金属コンタクト12との間に延在することができる。多数の実施形態において、イオン導電体固体電解質材料16は、たとえばGeS₂、GeSe₂、CuS₂、CuTeなどのカルコゲニドまたはガラス型の材料である。他の実施形態では、イオン導電体固体電解質材料16は、たとえばWO₃、SiO₂、Gd₂O₃、Al₂O₃などの酸化物型材料である。

50

【 0 0 2 4 】

電気化学的に活性の電極 1 8 と不活性金属コンタクト 1 2 との間に電界 E F + を印加することにより、金属カチオン（すなわち銀イオン）が不活性金属コンタクト 1 2 に向かって移動するようになり、不活性金属コンタクト 1 2 を電気化学的に活性の電極 1 8 に電氣的に接続する導電フィラメントまたは導電経路もしくは層を作製する。この電氣的接続により、プログラブルメタライゼーションメモリセル 1 0 の低抵抗状態が生じる。

【 0 0 2 5 】

P M C 1 0 の読出しは単にセル両端に印加される小さな電圧しか必要としない。導通フィラメントが存在し、不活性金属コンタクト 1 2 を電気化学的に活性の電極 1 8 に電氣的に接続すれば、抵抗は低くなり、「 1 」として読出可能なより高い電流をもたらす。導通フィラメントが不活性金属コンタクト 1 2 を電気化学的に活性の電極 1 8 に電氣的に接続しない場合は、抵抗はより高くなり、図 2 に図示されるように「 0 」として読出可能な低電流をもたらす。

【 0 0 2 6 】

図 2 は、高抵抗状態の例示的なプログラブルメタライゼーションメモリセルの概略図である。反対の極性の E F - の電界を印加すると、導通フィラメントまたは電氣的に導通する層 1 7 がイオン化され、電氣的に導通する層 1 7 が電気化学的に活性の電極 1 8（または固体電解質材料 1 6）へイオンを溶解し、不活性金属コンタクト 1 2 と電気化学的に活性の電極 1 8 との間の電氣的接続を切断し、プログラブルメタライゼーションメモリセル 1 0 の高抵抗状態を生じる。低抵抗状態と高抵抗状態とは、印加される電界によって切換可能であり、メモリビット「 1 」および「 0 」を記憶するのに用いられる。電氣的に導通する層 1 7 が不活性金属電極 1 2 から離間されて示されるが、電氣的に導通する層 1 7 は、電気化学的に活性の電極 1 8 から離間される、および / または電氣的に導通する層 1 7 の長さに沿って遮断されて、高抵抗状態を発生し得ることが理解される。

【 0 0 2 7 】

以下に記載のように、プログラブルメタライゼーションメモリセル 1 0 は、電氣的に導通する層 1 7 と固体電解質層 1 6 との交互の積層された堆積を介して可変抵抗素子 1 1 内に「予め植立される」電氣的に導通する層 1 7 によって形成される。このように、予め植立される電氣的に導通する層 1 7 が与える 1 つの利点は、低抵抗状態を生じる電氣的接続がプログラブルメタライゼーションメモリセル 1 0 の形成の間に予め設定されることであり、電氣的に導通する層 1 7 の大部分は高抵抗状態ですら無傷のままであり、それによりプログラブルメタライゼーションメモリセル 1 0 を低抵抗状態に設定し直す際に予測可能な電氣的接続が再確立されると考えられる。このように、プログラブルメタライゼーションメモリセル 1 0 のばらつきが低減されると考えられる。

【 0 0 2 8 】

図 3 は低抵抗状態の別の例示的なプログラブルメタライゼーションメモリセル 1 5 の概略図である。図 4 は、高抵抗状態の、図 3 に示される例示的なプログラブルメタライゼーションメモリセル 1 5 の概略図である。これらのプログラブルメタライゼーションメモリセル 1 5 は、図 1 および図 2 に図示されるプログラブルメタライゼーションメモリセル 1 0 と同様である。しかしながら、これらのプログラブルメタライゼーションメモリセル 1 5 は、可変抵抗素子 1 1 を不活性電極 1 2 から分離する切換層 S L を含む。いくつかの実施形態では、切換層 S L は、より高電流密度の予め規定された区域を有するように、導電材料と絶縁体材料との複合物である材料を含む。切換層 S L は、代替的にまたは加えて、可変抵抗素子 1 1 を電気化学的に活性の電極 1 8 から分離することができる。いくつかの実施形態では、切換層 S L は固体電解質材料を含む。イオン導電体固体電解質材料は、図 1 および図 2 と関連して上述されている。

【 0 0 2 9 】

P M C メモリセル 1 0 は、電気化学的に活性の電極 1 8 を不活性電極または第 1 の金属電極もしくはコンタクト 1 2 から分離する可変抵抗素子 1 1 を含む。例示的な P M C メモリセル 1 0 は、電気化学的に活性の電極 1 8 に電氣的に接する第 2 の金属電極またはコン

10

20

30

40

50

タクト 14 を含む。切換層 S L は可変抵抗素子 11 を電気化学的に活性の電極 18 から分離する。

【0030】

可変抵抗素子 11 は、複数の交互の固体電解質層 16 と、導電層または領域 17 および 17 とを含む。導電層 17 および 17 は、図 3 の高抵抗状態に図示されるように、電気化学的に活性の電極 18 を不活性電極 12 に電氣的に結合する。いくつかの実施形態では、交互の固体電解質層 16 と導電層 17 とは、電気化学的に活性の電極 18 主面 19 または不活性電極 12 主面 13 とは非平行の方向に延在する。いくつかの実施形態では、交互の固体電解質層 16 と導電層 17 とは、電気化学的に活性の電極 18 主面 19 または不活性電極 12 主面 13 に直交する方向に延在する。交互の固体電解質層 16 と導電層 17 とは、図 1 および図 2 を参照して上述されている。いくつかの実施形態では、交互の固体電解質層 16 ならびに導電層 17 および 17 の各々の少なくとも一部は、電気化学的に活性の電極 18 主面 19 または不活性電極 12 主面 13 に直交する方向に延在する。いくつかの実施形態では、交互の固体電解質層 16 ならびに導電層 17 および 17 の各々の少なくとも一部は、電気化学的に活性の電極 18 主面 19 または不活性電極 12 主面 13 に対して傾いている。

10

【0031】

いくつかの実施形態では、導電層 17 は、導電層 17 と同じ材料で形成される。これらの実施形態では、導電層 17 および 17 は、銀 (Ag) または銅 (Cu) などの任意の有用な電気化学的に活性の材料である、電気化学的に活性の電極 18 を形成するのと同種

20

【0032】

いくつかの実施形態では、導電層 17 は、導電層 17 とは異なる材料から形成される。たとえば、導電層 17 は、タングステン (W)、ニッケル (Ni)、モリブデン (Mo)、白金 (Pt)、金 (Au)、パラジウム (Pd)、およびロジウム (Rh) などの電気化学的に不活性の金属であり得、導電層 17 は、電界 E F + の印加により切換層 S L 内に形成する。このように、固体電解質層 S E L 内に形成する導電層 17 は、銀 (Ag) または銅 (Cu) などの任意の有用な電気化学的に活性の材料である、電気化学的に活性の電極 18 を形成するのと同種

30

【0033】

極性が反対の電界 E F - の印加により導電層 17 がイオン化され、導電層 17 を電気化学的に活性の電極 18 (または切換層 S L または固体電解質層 16) に戻すようにイオンを溶解し、不活性金属コンタクト 12 と電気化学的に活性の電極 18 との間の電氣的接続を遮断し、プログラマブルメタライゼーションメモリセル 10 の高抵抗状態を生じる。

【0034】

図 5 は、半導体トランジスタ 22 を含む例示的なプログラマブルメタライゼーションメモリユニット 20 の概略図である。プログラマブルメタライゼーションメモリユニット 20 は、電氣的に導通する素子 24 を介して半導体トランジスタ 22 に電氣的に結合される、本明細書中に記載のようなプログラマブルメタライゼーションメモリセル 10 を含む。半導体トランジスタ 22 は、(たとえば n ドープ領域として図示される) ドープ領域と、n ドープ領域同士の間 (たとえば p ドープチャネル領域として図示される) チャネル領域とを有する半導体基板 21 を含む。トランジスタ 22 は、ワード線 W L に電氣的に結合されて選択を可能にするとともに電流がビット線 B L から第 2 の金属コンタクト 28 に流れるのを可能にするゲート 26 を含む。プログラマブルメタライゼーションメモリユニット 20 のアレイは、半導体作製技術を利用して半導体基板上に形成可能である。

40

【0035】

図 6 は、例示的なプログラマブルメタライゼーションメモリアレイ 30 の概略図である。プログラマブルメタライゼーションメモリアレイ 30 は、クロスポイントアレイを形成する複数のワード線 W L および複数のビット線 B L を含む。各々のクロスポイントで、プ

50

ログラムブルメタライゼーションメモリセル10は、ワード線WLおよびビット線BLに電氣的に結合される。選択デバイス(図示せず)は、各クロスポイントまたは各ワード線WLおよびビット線BLに存在し得る。設計上の必要が生じれば、ソース線も用いることができる。

【0036】

図7は固体電解質および導電層を有するログラムブルメタライゼーションメモリセルを形成する例示的な方法のフロー図である。図8A - 図8Fは、積層可変抵抗素子がさまざまな製造段階にある、ログラムブルメタライゼーションメモリセルの概略断面図である。

【0037】

プロセスは、ブロック700で、基板810上に底部電極812を堆積するステップを含む。基板810は、シリコン、シリコンとゲルマニウムの混合物、および他の同様の材料を含むが、これに限定されるものではない。底部電極812は電氣化学的に活性のまたは不活性の金属から形成可能である。底部電極812は、物理蒸着、化学蒸着、電氣化学堆積、分子線エピタキシ、および原子層堆積などの公知の堆積法を用いて形成可能である。

【0038】

ブロック710で、所望の段差高さまで絶縁体層814が堆積されてエッチングされ、底部電極812の一部を露出する。絶縁体層814は、酸化シリコンなどのいずれの有用な電氣的に絶縁性の材料からも形成可能である。絶縁体層814は、イオンミリング、選択的エッチング、プラズマエッチングなどの公知のエッチング技術を用いてエッチング可能である。段差高さにより、ログラムブルメタライゼーションメモリセルの活性電極と不活性電極との間の間隔が決まる。

【0039】

ブロック720で、露出した底部電極812ならびに絶縁体層814の側方および上部に固体電解質材料815と導電材料816との交互の層が堆積される。絶縁体層814側壁は露出した底部電極812の主面に対して直交して図示されるが、絶縁体層814の側壁は、(図11および図12に図示される)露出した底部電極812の主面に対して91から179度の任意の角度を形成できることが理解される。固体電解質材料815と導電材料816との交互の層が上述の可変抵抗素子を形成する。

【0040】

ブロック730で、固体電解質材料815と導電材料816との交互の層の一部がマスクされ、露出した底部電極812上に堆積された固体電解質材料815と導電材料816との交互の層の残余の部分がエッチングされる。露出した底部電極812上に底部電極材料が堆積され、底部電極層第2の部分812を形成する。

【0041】

ブロック740で、底部電極層第2の部分812ならびに露出した固体電解質材料815および導電性の材料816の上に絶縁体層第2の部分814が所望の段差高さに堆積される。そして、固体電解質材料815と導電材料816との交互の層の残余の露出部分が化学機械研磨などの半導体作製技術を介して除去される。

【0042】

ブロック750で、絶縁体層814、絶縁体層第2の部分814、および(固体電解質材料815と導電材料816との交互の層によって形成される)可変抵抗素子上に上部電極817が堆積される。次にログラムブルメタライゼーションメモリセルがマスクされて、所望のサイズおよび形状にエッチングされ得る。

【0043】

図9は、固体電解質および導電層を有するログラムブルメタライゼーションメモリセルを形成する例示的な方法のフロー図である。図10A - 図10Cは、積層可変抵抗素子がさまざまな製造段階にある別のログラムブルメタライゼーションメモリセルの概略断面図である。

10

20

30

40

50

【 0 0 4 4 】

プログラブルメタライゼーションメモリセルは、図 7 および図 8 A - 図 8 D に図示され記載されるのと同じ態様で形成される。ブロック 9 1 0 で、底部電極層第 2 の部分 1 1 2 上に絶縁体層第 2 の部分 1 1 4 が所望の段差高さに堆積される。そして、固体電解質材料 1 1 5 と導電材料 1 1 6 との交互の層の残余の露出部分が化学機械研磨などの半導体作製技術を介して除去される。

【 0 0 4 5 】

ブロック 9 2 0 で、絶縁体層 1 1 4、絶縁体層第 2 の部分 1 1 4、および（固体電解質材料と導電材料との交互の層によって形成される）可変抵抗素子上に切換層 1 1 6 が堆積される。切換層 1 1 6 は、上述のように可変電流密度を有する任意の有用なイオン導電体固体電解質または他の複合材料であり得る。

10

【 0 0 4 6 】

ブロック 9 3 0 で、固体電解質の層 1 1 6 上に上部電極 1 1 7 が堆積される。次にプログラブルメタライゼーションメモリセルがマスクされ、所望のサイズおよび形状にエッチングされ得る。

【 0 0 4 7 】

図 1 1 は、角度付けられた固体電解質および導電層を有するプログラブルメタライゼーションメモリセルを形成する別の例示的な方法のフロー図である。図 1 2 A - 図 1 2 F は、角度付けられた積層可変抵抗素子がさまざまな製造段階にある別のプログラブルメタライゼーションメモリセルの概略断面図である。

20

【 0 0 4 8 】

プロセスは、ブロック 7 0 1 で、基板 8 1 0 上に底部電極 8 1 2 を堆積するステップを含む。基板 8 1 0 は、シリコン、シリコンとゲルマニウムの混合物、および他の同様の材料を含むが、これに限定されるものではない。底部電極 8 1 2 は電気化学的に活性のまたは不活性の金属から形成可能である。底部電極 8 1 2 は、物理蒸着、化学蒸着、電気化学堆積、分子線エピタキシ、および原子層堆積などの公知の堆積法を用いて形成可能である。

【 0 0 4 9 】

ブロック 7 1 1 で、絶縁体層 8 1 4 が所望の段差高さまで堆積されてエッチングされ、底部電極 8 1 2 の部分を露出し、角度付けられた絶縁体層 8 1 4 が堆積される。絶縁体層 8 1 4 および角度付けられた絶縁体層 8 1 4 は、酸化シリコンなどの任意の有用な電氣的に絶縁性の材料から形成可能である。絶縁体層 8 1 4 は、イオンミリング、選択的エッチング、プラズマエッチングなどの公知のエッチング技術を用いてエッチング可能である。段差高さにより、プログラブルメタライゼーションメモリセルの活性電極と不活性電極との間の間隔が決まる。

30

【 0 0 5 0 】

角度付けられた絶縁体層 8 1 4 は、図示されるように底部電極 8 1 2 の主面平面から 1 から 8 9 度の角度の堆積平面を形成する。いくつかの実施形態では、角度付けられた絶縁体層 8 1 4 は、底部電極 8 1 2 の主面平面から 1 0 から 7 5 度の角度の堆積平面を形成する。いくつかの実施形態では、角度付けられた絶縁体層 8 1 4 は、底部電極 8 1 2 の主面平面から 2 5 から 5 0 度の角度の堆積平面を形成する。

40

【 0 0 5 1 】

ブロック 7 2 1 で、角度付けられた絶縁体層 8 1 4 上に固体電解質材料 8 1 5 と導電材料 8 1 6 との交互の層が堆積される。固体電解質材料 8 1 5 と導電材料 8 1 6 との交互の層が上述の可変抵抗素子を形成する。

【 0 0 5 2 】

ブロック 7 3 1 で、固体電解質材料 8 1 5 と導電材料 8 1 6 との交互の層の部分がマスクされ、露出した角度付けられた絶縁体層 8 1 4 上に堆積された固体電解質材料 8 1 5 と導電材料 8 1 6 との交互の層の残余の部分がエッチングされる。露出した底部電極 8 1 2 上に底部電極材料が堆積されて、底部電極層第 2 の部分 8 1 2 を形成する。

50

【 0 0 5 3 】

ブロック 7 4 1 で、底部電極層第 2 の部分 8 1 2 、ならびに露出した固体電解質材料 8 1 5 および導電材料 8 1 6 上に絶縁体層第 2 の部分 8 1 4 が所望の段差高さに堆積される。そして、固体電解質材料 8 1 5 と導電材料 8 1 6 との交互の層の残余の露出部分が化学機械研磨などの半導体作製技術を介して除去される。

【 0 0 5 4 】

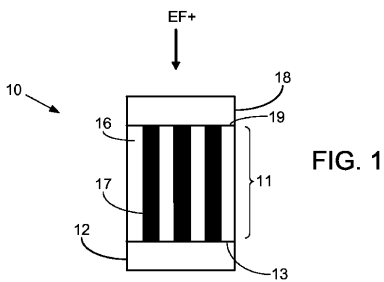
ブロック 7 5 1 で、絶縁体層 8 1 4、絶縁体層第 2 の部分 8 1 4 、および（固体電解質材料 8 1 5 と導電材料 8 1 6 との交互の層によって形成される）可変抵抗素子上に上部電極 8 1 7 が堆積される。次にプログラブルメタライゼーションメモリセルがマスクされ、所望のサイズおよび形状にエッチングされ得る。

10

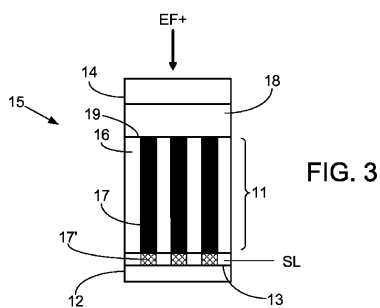
【 0 0 5 5 】

このように、積層された固体電解質構造を有するプログラブルメタライゼーションメモリセルの実施形態が開示される。上述の実現例および他の実現例が以下の請求項の範囲内に入る。当業者は、開示されるもの以外の実施形態によって本開示が実践され得ることを認めるであろう。開示された実施形態は、限定の目的ではなく図示の目的のために提示され、本発明は以下の請求項によってのみ限定される。

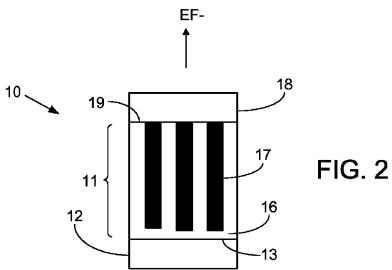
【 図 1 】



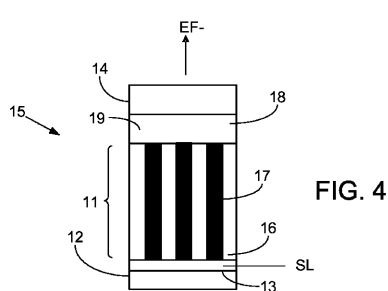
【 図 3 】



【 図 2 】



【 図 4 】



【図5】

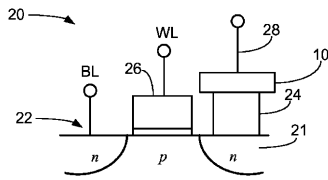


FIG. 5

【図6】

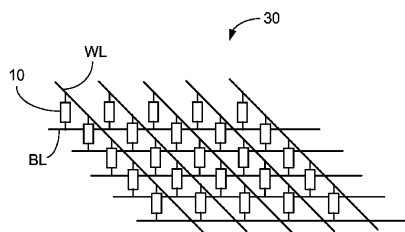


FIG. 6

【図7】

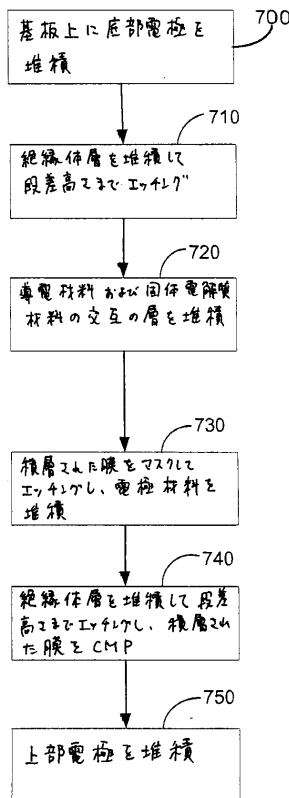


FIG. 7

【図8A】

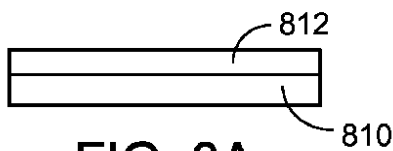


FIG. 8A

【図8B】



FIG. 8B

【図8C】

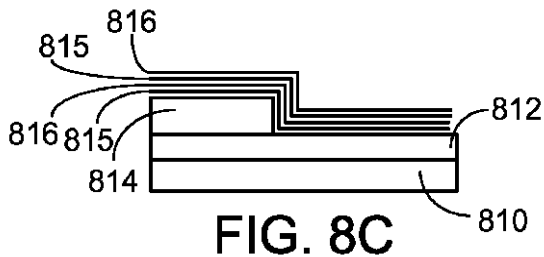


FIG. 8C

【図8D】

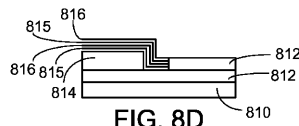


FIG. 8D

【図8E】

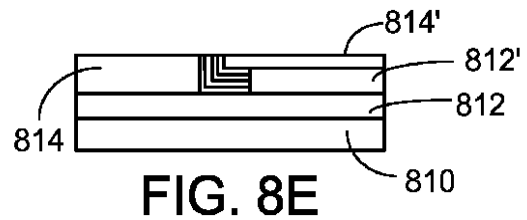


FIG. 8E

【図8F】

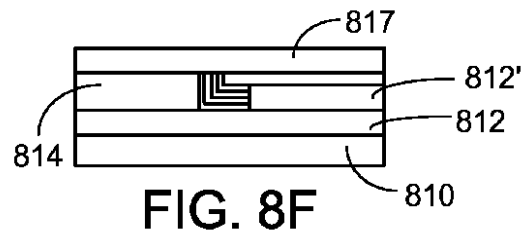


FIG. 8F

【図9】

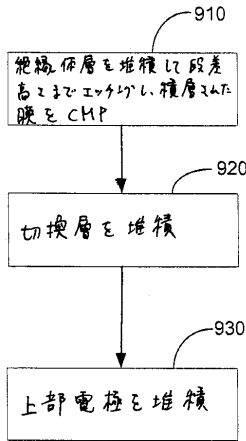


FIG. 9

【図10A】

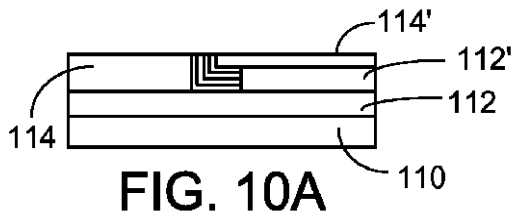


FIG. 10A

【図10B】

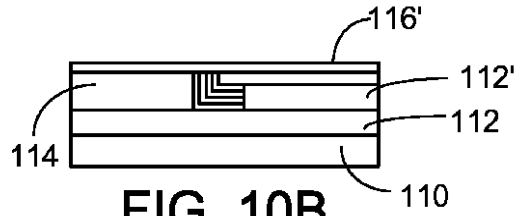


FIG. 10B

【図10C】

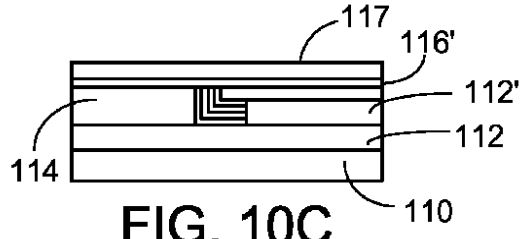


FIG. 10C

【図11】

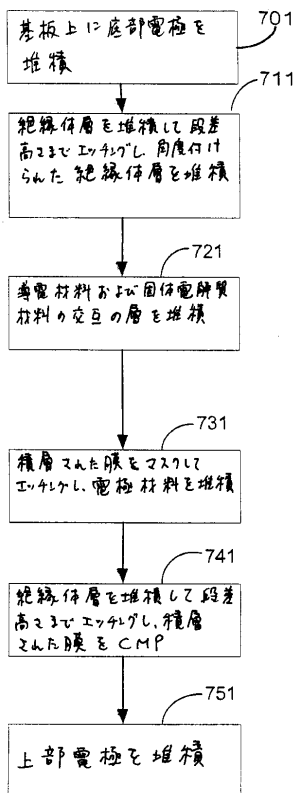


FIG. 11

【図12A】

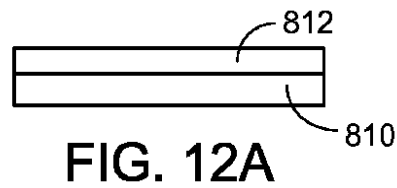


FIG. 12A

【図12B】

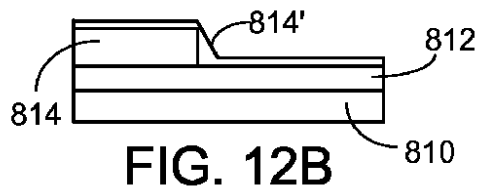


FIG. 12B

【図12C】

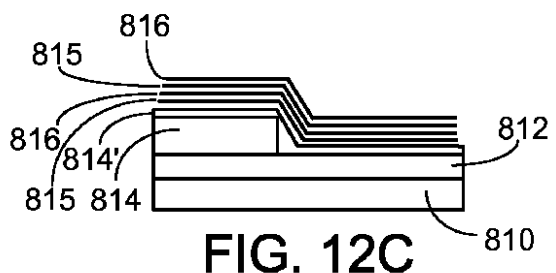


FIG. 12C

【図 12 D】

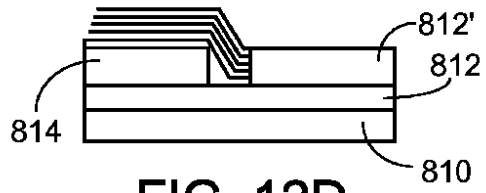


FIG. 12D

【図 12 E】



FIG. 12E

【図 12 F】



FIG. 12F

フロントページの続き

- (72)発明者 ティエン, ウェイ
アメリカ合衆国、55437 ミネソタ州、ブルーミントン、ウェスト・ナインティエイトス・ストリート、4101、ナンバー・202
- (72)発明者 ワイヤーボー, アンドリュー
アメリカ合衆国、55343 ミネソタ州、ホプキンス、シックス・ストリート・サウス、800、アパートメント・7
- (72)発明者 バイスヤナタン, ベヌゴパラン
アメリカ合衆国、55437 ミネソタ州、ブルーミントン、ハリソン・ロード、9851、アパートメント・212
- (72)発明者 スン, ミン
アメリカ合衆国、55437 ミネソタ州、ブルーミントン、ベルベデーレ・ドライブ、9145

審査官 外山 毅

- (56)参考文献 米国特許出願公開第2006/0209495 (US, A1)
米国特許第07288781 (US, B1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 27/105 |
| H01L | 45/00 |
| H01L | 49/00 |