



ÚŘAD PRO VYNÁLEZY
A OBYV

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

230300
(11) (B1)

(22) Prihlášené 25 04 83
(21) (PV 2927-83)

(40) Zverejnené 25 11 83

(45) Vydané 15 10 86

(51) Int. Cl.³
H 03 L 7/14

(75)

Autor vynálezu

FUCHS PETER, PREŠOV, KUDJÁK VLADIMÍR ing. CSc., BRATISLAVA

(54) Zapojenie obvodu číslicovej stabilizácie frekvencie

1

Vynález sa týka zapojenia obvodu číslicovej stabilizácie frekvencie.

Doterajšie zapojenie pre číslicovú stabilizáciu frekvencie pracuje tak, že binárne číslo z čítača je privedené na vstupy A číslicového komparátora a na vstupy pamäťového obvodu. Výstupy z pamäťového obvodu sú privedené na vstupy B číslicového komparátora. V prípade zapnutej stabilizácie frekvencie sa zapamätané číslo „B“ porovnáva s meniacim sa číslom „A“ a na príslušných výstupoch číslicového komparátora sa objavujú logické signály s úrovňou H podľa okamžitej veľkosti porovnávaných čísel. Pre vlastnú reguláciu sa však výstupy z číslicového komparátora nedajú využiť priamo, ale musia byť doplnené prepínacou logikou, ktorá zaisťuje správny smer pôsobenia regulačného napätia. Z prepínacej logiky sa vedú signály na spínacie tranzistory, ktoré zaisťujú zväčšenie, resp. zmenšenie regulačného napätia na výstupe integračného obvodu.

Rozsah záberu obvodu číslicovej stabilizácie frekvencie je obmedzený počtom porovnávaných bitov číslicového komparátora, zároveň je tento rozsah prepínacou logikou obmedzený na polovičnú hodnotu, pri tom nie konštantný prírastok výstupného napätia na výstupe integračného obvodu, po-

2

čas jedného porovnávacieho cyklu neumožňuje optimálne nastavenie regulačnej slučky, a tým znižuje jej rýchlosť.

Uvedené nedostatky odstraňuje zapojenie obvodu číslicovej stabilizácie frekvencie, ktoré pozostáva z generátora riadiacich signálov, na ktorý je pripojený frekvenčný normál, pričom generátor riadiacich signálov je ďalej napojený na vstup hradlovacieho a prepínacieho obvodu, na vstup prednastaviteľného vrátného čítača, na vstup pamäťového obvodu, na vstup vyhodnocovacieho obvodu a na vstup integračného obvodu podľa vynálezu, ktorého podstata je v tom, že výstupy hradlovacieho a prepínacieho obvodu sú pripojené na príslušné vstupy prednastaviteľného vrátného čítača, ktorého výstupy sú pripojené na vstupy pamäťového obvodu, pričom výstupy pamäťového obvodu sú pripojené na prednastavovacie vstupy prednastaviteľného vrátného čítača, zároveň výstupy prednastaviteľného vrátného čítača sú pripojené na vstupy vyhodnocovacieho obvodu, pričom výstupy vyhodnocovacieho obvodu sú pripojené na vstupy obvodu prúdových zdrojov a výstupy obvodu prúdových zdrojov sú pripojené na vstup integračného obvodu.

Výhodou použitia prednastaviteľného vrátného čítača je odstránenie potreby číslico-

vého komparátora a prepínacej logiky, tým je zariadenie jednoduchšie, ekonomicky výhodnejšie, rozšíri sa rozsah záberu obvodu číslicovej stabilizácie frekvencie. Je možné jednoducho rozširovať počet sledovaných bitov binárneho čísla, a tým odstrániť možnosť preskoku regulačnej slučky do iného stabilného stavu. Použitím prúdových zdrojov je dosiahnutý konštantný prírastok regulačného napätia na výstupe integračného obvodu počas jedného porovnávacieho cyklu, a tým sa umožnilo optimálne nastavenie regulačnej slučky, ktoré jej umožňuje dosahovať maximálnu rýchlosť bez rizika, aby sa stala nestabilnou.

Na priložených výkresoch je znázornené na obr. 1 zapojenie obvodov číslicovej stabilizácie frekvencie, na obr. 2 je znázornený príklad priebehov riadiacich signálov a na obr. 3 je znázornené jedno z možných konkrétnych zapojení podľa vynálezu.

Zapojenie obvodov číslicovej stabilizácie frekvencie na obr. 1 pozostáva z generátora 3 riadiacich signálov, na ktorý je pripojený frekvenčný normál 2, generátor riadiacich signálov 3 je ďalej napojený na vstup prednastaviteľného vrátneho čítača 12, na vstup pamäťového obvodu 13, na vstup vyhodnocovacieho obvodu 14 a na vstup integračného obvodu 16. Obvod 1 číslicovej stabilizácie frekvencie pozostáva z hradlovacieho a prepínacieho obvodu 11 pripojeného na príslušné vstupy prednastaviteľného vrátneho čítača 12, ktorého výstupy sú pripojené na vstupy pamäťového obvodu 13, pričom výstupy pamäťového obvodu 13 sú pripojené na prednastavovacie vstupy prednastaviteľného vrátneho čítača 12, zároveň výstupy prednastaviteľného vrátneho čítača 12 sú pripojené na vstupy vyhodnocovacieho obvodu 14, pričom výstupy vyhodnocovacieho obvodu 14 sú pripojené na vstupy prúdových zdrojov 15 a výstupy obvodu prúdových zdrojov 15 sú pripojené na vstup integračného obvodu 16.

V režime otvorenej regulačnej slučky je na výstupe integračného obvodu 16 konštantné regulačné napätie U_{reg} . Signál zo stabilizovaného oscilátora f_{osc} s potrebnou amplitúdou prechádza počas hradlovacieho impulzu cez hradlovací a prepínací obvod 11 na vstup vpred prednastaviteľného vrátneho čítača 12, ktorý delí frekvenciu stabilizovaného oscilátora. V okamihu ukončenia hradlovacieho impulzu U_H ostane na výstupoch Q_1 až Q_n prednastaviteľného vrátneho čítača 12 číslo A v binárnom kóde, ktoré tvorí zvyšok po delení.

$$\frac{T \cdot f_{osc}}{N\check{c}} = N + \frac{A}{N\check{c}}$$

T — dĺžka hradlovacieho impulzu
 f_{osc} — frekvencia stabilizovaného oscilátora

NČ — modul prednastaviteľného vrátneho čítača

N — počet celočíselných delení

A — zvyšok po delení.

Po ukončení hradlovacieho impulzu U_H generátor 3 riadiacich signálov vynuluje prednastaviteľný vrátny čítač 12.

Po naladení oscilátora na žiadanú hodnotu frekvencie $f_{osc z}$ sa zopnutím spínača S odpojí referenčné napätie od vstupu integračného obvodu 16 a po ukončení hradlovacieho impulzu U_H generátor 3 riadiacich signálov zablokuje nulovanie prednastaviteľného vrátneho čítača 12, zapíše do pamäťového obvodu 13 číslo A, ktoré tvorí zvyšok po delení, prepne prepínací a hradlovací obvod 11 tak, že počas nasledujúcich hradlovacích impulzov je skutočná frekvencia $f_{osc s}$ z oscilátora privedená na vstup vrad prednastaviteľného vrátneho čítača 12, ktorého výstupy Q_1 až Q_n sú vždy pred príchodom hradlovacieho impulzu U_H prednastavené z výstupu pamäťového obvodu 13 na číslo A. Počas nasledujúcich hradlovacích impulzov dochádza teda v podstate k odčítavaniu skutočnej frekvencie $f_{osc s}$ od žiadanej hodnoty frekvencie $f_{osc z}$.

Ak sa frekvencie $f_{osc s}$ vplyvom nestability oscilátora zvýši, výstup Q_n s najväčšou váhou prednastaviteľného vrátneho čítača 12 má úroveň H, ak sa frekvencia $f_{osc s}$ zníži, je na výstupe Q_n logická úroveň L. Pri rovnosti skutočnej a žiadanej hodnoty f_{osc} zmení sa hodnota logickej úrovne prenosu nadol prednastaviteľného vrátneho čítača 12 a jeho výstupy Q_1 až Q_n majú úroveň L. Vyhodnocovací obvod 14 z hodnoty logickej úrovne na výstupe Q_n a z prenosu nadol prednastaviteľného vrátneho čítača 12 určí pomer medzi $f_{osc s}$ a $f_{osc z}$ a počas vzorkovacieho impulzu U_v zopne príslušný prúdový zdroj v obvode prúdových zdrojov 15, ktorého výstup je pripojený na vstup integračného obvodu 16. Po ukončení jedného vzorkovacieho impulzu U_v zmení sa napätie na výstupe integračného obvodu 16 o hodnotu ΔU :

$$\Delta U = \frac{C}{\pm I} \quad \text{ak } f_{osc s} \neq f_{osc z}$$

ΔU — zmena napätia na výstupe integračného obvodu 16

I — hodnota výstupného prúdu obvodu prúdových zdrojov 15

C — hodnota kapacity na vstupe integračného obvodu 16

τ — dĺžka vzorkovacieho impulzu U_v .

Regulačná slučka s obvodom 1 číslicovej stabilizácie frekvencie pracuje vtedy správne, ak zmena U_{reg} na výstupe integračného obvodu 16 pôsobí proti zmene frekvencie, ktorá ju vyvoláva, t. j. mení hodnotu $f_{osc s}$ k hodnote, pre ktorú platí: $f_{osc s} = f_{osc z}$.

Priebeh riadiacich signálov na obr. 2 znázorňuje:

U_H — hradlovací impulz so šírkou T
 U_p — prepínací signál
 U_n — impulzy na nulovanie prednastaviteľného vrátneho čítača 12
 U_{pr} — impulzy na prednastavenie prednastaviteľného vrátneho čítača 12
 U_z — signál na zápis do pamäťového obvodu 13
 U_v — vzorkovacie impulzy so šírkou τ
 U_{ref} — referenčné napätie
 U_s — spínací signál.

Obr. 3 je príklad možného zapojenia obvodu číslicovej stabilizácie frekvencie podľa vynálezu. Prepínací a hradlovací obvod 11 pozostáva z hradla H1 na jeden vstup, ktorého je privedený vytvarovaný signál f_{osc} s potrebnou napäťovou úrovňou, na druhý vstup sú privádzané hradlovacie impulzy U_H . Výstup z hradla H1 je privedený na jeden zo vstupov hradiel H2 a H3.

Na druhý vstup hradla H2 je privádzaný signál U_p , a na druhý vstup hradla H3 je privádzaný signál U_n . Výstup z hradla H2 je privedený na vstup CU čítania vpred prednastaviteľného vrátneho čítača 12. Výstup z hradla H3 je privedený na vstup CD čítania vzaď prednastaviteľného vrátneho čítača 12. Na vstup R nulovania prednastaviteľného vrátneho čítača 12 sú privedené nulovacie impulzy U_n a na vstup L prednastavenia sú privedené prednastavovacie impulzy U_{pr} , zároveň výstupy Q_A , Q_B , Q_C , Q_D sú pripojené na vstupy D_1 , D_2 , D_3 , D_4 pamäťového obvodu 13, pritom výstupy Q_1 , Q_2 , Q_3 , Q_4 pamäťového obvodu 13 sú pripojené na prednastavovacie vstupy A, B, C, D prednastaviteľného vrátneho čítača 12, ktorého výstup Q_D s najväčšou váhou bitu je pripojený na vstup hradla H4 a zároveň na jeden vstup hradla H6 a výstup BO prenosu nadol je pripojený na jeden zo vstupov hradla H5 vyhodnocovacieho obvodu 14. Vzorkovacie impulzy sú privedené na druhý vstup hradla H6 a zároveň na druhý vstup hradla H5, ktorého tretí vstup je pripojený na výstup hradla H4. Výstup z hradla H5 je pripojený na vstup hradla H7. Výstup z hradla H6 je privedený na vstup hradla H3. Výstupy z vyhodnocovacieho obvodu 14, t. j. výstupy z hradla H7 a H8 sú pripojené na vstupy obvodu prúdových zdrojov 15 tak, že výstup hradla H7 je cez odpor R1 pripojený na bázu tranzistora T_1 , kolektor ktorého je cez odpor R4 pripojený na bázu tranzistora T_4 a zároveň na bázu a kolektor tranzistora T_3 , ktorého emitor je cez odpor R_6 pripojený do spoločného bodu kondenzátora C_1 a jedného vývodu odporu R_9 , do ktorého je zároveň pripojený

emitor tranzistora T_4 cez odpor R_8 . Druhý vývod odporu R_9 je pripojený na napätie U_N .

Výstup z hradla H8 je pripojený na jeden vývod odporu R_2 , ktorého druhý vývod je pripojený do spoločného bodu R_9 a C_1 a na jeden vývod odporu R_3 , ktorého druhý vývod je zapojený na bázu a kolektor tranzistora T_2 a zároveň na bázu tranzistora T_5 , ktorého emitor je cez odpor R_7 pripojený na nulové napätie, na ktoré je napojený aj emitor T_2 cez odpor R_5 . Kolektory tranzistorov T_4 a T_5 sú spojené a tvoria výstup obvodu prúdových zdrojov 15, sú pripojené na vstup integračného obvodu 16, na vstup ktorého je zároveň privedené referenčné napätie.

Vstup integračného obvodu 16 tvorí jeden vývod integračného kondenzátora C, ktorého druhý vývod je pripojený na nulové napätie a riadiaca elektróda poľom riadeného tranzistora T_6 , ktorého kolektor je spojený s kolektorom tranzistora T_7 a sú pripojené na napätie U_N . Emitor tranzistora T_6 je pripojený cez odpor R_{10} na nulové napätie, zároveň je pripojený na bázu tranzistora T_7 , ktorého emitor je cez odpor R_{11} pripojený na nulové napätie. Z emitora tranzistora T_7 sa odoberá výstupné napätie U_{reg} na doladovanie stabilizovaného oscilátora.

Činnosť tohto konkrétneho obvodu 1 číslicovej stabilizácie frekvencie je zrejmé z opisu činnosti obvodu číslicovej stabilizácie frekvencie podľa obr. 1.

Zapojenie obvodu číslicovej stabilizácie frekvencie podľa vynálezu môže pracovať aj tak, že pred zapnutím stabilizácie môžeme signál z oscilátora cez prepínací a hradlovací obvod privádzať na vstup vzaď prednastaviteľného vrátneho čítača a po zapnutí stabilizácie na vstup vpred prednastaviteľného vrátneho čítača, zmení sa nám však funkcia logickej úrovne bitu s najväčšou váhou. Ak použijeme prednastaviteľný vrátny čítač, ktorý nemá výstup prenosu nadol, môžeme pomer $f_{osc s} = f_{osc z}$ určiť z logickej úrovne L na jeho výstupoch Q_1 až Q_n .

Zmenou referenčného napätia privádzaného na vstup integračného obvodu môžeme jemne doladovať frekvenciu oscilátora pred zapnutím stabilizačnej slučky. Jednoduchým obvodovým doriešením môžeme obvod číslicovej stabilizácie frekvencie používať ako perifernú jednotku mikroprocesora, ktorý by logickými úrovňami na prednastavovacích vstupoch prednastaviteľného vrátneho čítača určoval požadovanú hodnotu frekvencie oscilátora a obvod číslicovej stabilizácie frekvencie by túto hodnotu frekvencie stabilizoval.

PREDMET VYNÁLEZU

Zapojenie obvodu číslicovej stabilizácie frekvencie pozostávajúce z generátora riadiacich signálov, na ktorý je pripojený frekvenčný normál, pričom generátor riadiacich signálov je ďalej napojený na vstup hradlovacieho a prepínacieho obvodu, na vstup prednastaviteľného vrátneho čítača, na vstup pamäťového obvodu, na vstup vyhodnocovacieho obvodu, a na vstup integračného obvodu, vyznačujúce sa tým, že výstupy hradlovacieho a prepínacieho obvodu (11) sú pripojené na príslušné vstupy prednastaviteľného vrátneho čítača (12), ktorého vý-

stupy sú pripojené na vstupy pamäťového obvodu (13), pričom výstupy pamäťového obvodu (13) sú pripojené na prednastavovacie vstupy prednastaviteľného vrátneho čítača (12), zároveň výstupy prednastaviteľného vrátneho čítača (12) sú pripojené na vstupy vyhodnocovacieho obvodu (14), pričom výstupy vyhodnocovacieho obvodu (14) sú pripojené na vstupy obvodu prúdových zdrojov (15) a výstupy obvodu prúdových zdrojov (15) sú pripojené na vstup integračného obvodu (16).

2 listy výkresov



