I515869

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I515869 B**

(45)公告日： 中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：099124197 (22)申請日： 中華民國 99 (2010) 年 07 月 22 日

(51)Int. Cl.： ***H01L25/065 (2006.01)*** ***H01L23/538 (2006.01)***

(30)優先權：2009/07/30 美國 61/229,756

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：林茂雄 LIN, MOU-SHIUNG (US) ；李進源 LEE, JIN YUAN (TW)

(74)代理人：陳長文

(56)參考文獻：

US 6288449B1 US 2009/0023243A1

審查人員：徐欽民

申請專利範圍項數：20 項 圖式數：298 共 671 頁

(54)名稱

系統級封裝

SYSTEM-IN PACKAGES

(57)摘要

本發明係描述系統級封裝或多晶片模組，其可包含多層晶片與多層偽基板在載體上，未完全地或完全地經過多層晶片且完全地經過多層偽基板之多個穿透通孔，於穿透通孔中之多個金屬插塞，及在多層晶片之間連接至金屬插塞之多個金屬互連體。多層晶片可經過金屬插塞與金屬互連體互相連接，或連接至外部電路或結構，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

System-in packages, or multichip modules, are described which can include multi-layer chips and multi-layer dummy substrates over a carrier, multiple through vias blindly or completely through the multi-layer chips and completely through the multi-layer dummy substrates, multiple metal plugs in the through vias, and multiple metal interconnects, connected to the metal plugs, between the multi-layer chips. The multi-layer chips can be connected to each other or to an external circuit or structure, such as mother board, ball grid array (BGA) substrate, printed circuit board, metal substrate, glass substrate, or ceramic substrate, through the metal plugs and the metal interconnects.

指定代表圖：

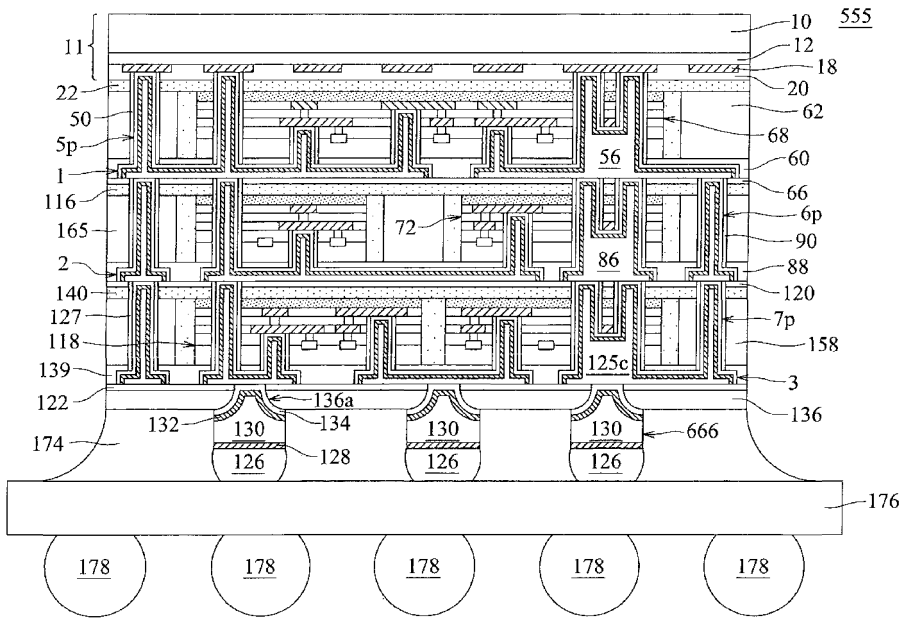


圖83

符號簡單說明：

1・・・金屬互連體

2・・・金屬互連體

3・・・金屬互連體

5p・・・金屬插塞

6p・・・金屬插塞

7p・・・金屬插塞

10・・・基板

11・・・載體

12・・・介電層

18・・・導電層　經構圖之金屬層

20・・・介電或絕緣層

22・・・膠層　矽-氧化物層

50・・・介電層

56・・・傳導層

60・・・介電層

62・・・偽基板

66・・・絕緣或介電層

68・・・晶片　構件

72・・・晶片

86・・・傳導層

88・・・介電層

90・・・側壁介電層

116・・・膠層　無機絕緣層　矽-氧化物層

118・・・晶片　構件

120・・・絕緣或介電層

122・・・絕緣或介電層

125c・・・傳導層

126・・・焊料層

127・・・側壁介電層

128・・・障壁層

130・・・傳導層

132・・・晶種層

134・・・黏著/障壁層

136・・・聚合體層

136a・・・開孔

139・・・介電層

140・・・膠層　無機絕緣層　矽-氧化物層

158・・・偽基板

165・・・偽基板

174・・・底部充填

176・・・載體

178・・・焊料球

555・・・系統級封裝或多晶片模組

666・・・凸塊下層金屬(UBM)層

六、發明說明：

【發明所屬之技術領域】

本揭示內容係關於系統級封裝，且更特別是包含穿透通孔形成於堆疊晶片與堆疊偽基板中，及利用金屬插塞形成於穿透通孔中，以供堆疊晶片間之電互連之系統級封裝。

本申請案係主張關於2009年7月30日提出申請之美國臨時申請案號61/229,756之優先權，其係以全文併於本文供參考。

【先前技術】

半導體晶圓係經處理，以製造具有不斷增加之裝置密度及縮小特徵幾何形狀之IC（積體電路）晶片。需要多個導電性與絕緣層，以使得不同層中之大數目半導體裝置之互相連接與絕緣得以實現。此種大型積體電路會造成不同層與半導體裝置間之漸增數目之電連接。其亦導致對所形成IC晶片之漸增數目之引線。此等引線係經過IC晶片之鈍化層而曝露，終止於允許連接至晶片封裝中之外部接點結構之I/O墊內。

晶圓級封裝(WLP)通常係指在晶圓級下封裝IC晶片之技術，代替於晶圓切割之後，組裝各個別單元之封裝物之傳統製程。在藉由切割以供最後組裝成晶片載體封裝物（例如球格柵陣列(BGA)封裝物）而被單一化之前，WLP係允許於晶圓級下之晶圓製造、封裝、測試及預燒之整合。由WLP所提供之優點係包括較小尺寸（經減少之覆蓋區域與厚度）、較輕重量、相對較簡易組裝製程、較低整體製造成本

及電性能上之改良。因此，WLP係簡化藉由一種裝置所進行之製造過程，從矽開始至顧客運輸。雖然WLP為關於IC晶片封裝之高處理量與低成本途徑，但是，其在製造能力與結構可靠性上係引起重大挑戰。

【發明內容】

本發明揭示內容係針對系統級封裝或多晶片模組，其包含多層晶片與多層偽基板在載體上，未完全地或完全地經過多層晶片且完全地經過多層偽基板之多個穿透通孔，於穿透通孔中之多個金屬插塞，及在多層晶片之間連接至金屬插塞之多個金屬互連體。多層晶片可經過金屬插塞與金屬互連體互相連接，或連接至系統級封裝或多晶片模組之外部電路，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

本發明揭示內容之列舉具體實施例係提供系統級封裝或多晶片模組，其具有多層晶片，且使用未完全地或完全地經過多層晶片之金屬插塞，以供晶片間互連或晶片內互連。於一方面，本發明係針對一種系統級封裝，其包含載體及在該載體上方之第一晶片，其中該第一晶片包含具有厚度在1與50微米間之第一半導體基板，在該第一半導體基板之底部表面下方之第一金屬層，及在該第一半導體基板之底部表面下方且在該第一金屬層上方之介電層。此系統級封裝係進一步包含在該載體上方之第二晶片，其中該第二晶片包含第二半導體基板，其中該第二半導體基板具有實質上與該第一半導體基板之頂部表面共平面之頂部表面，其

中該第二晶片係與該第一晶片分開。亦被包含者為配置於該第一晶片與該第二晶片間之間隙中之間隙充填材料，在該第一晶片中之第一金屬插塞，其中該第一金屬插塞係通過該第一半導體基板與該介電層，且接觸該第一金屬層，及包圍該第一金屬插塞之第一絕緣材料，其中該第一絕緣材料係被該第一半導體基板包圍。此系統級封裝係進一步包含第一介電結構，在該第一半導體基板之頂部表面上，於該第二半導體基板之頂部表面上，及在該間隙充填材料上，與第一金屬互連體，於該第一介電結構中，及在該第一晶片上，其中該第一金屬互連體係被連接至該第一金屬插塞。亦被包含於此系統級封裝中者為在該第一介電結構上方且在該第一金屬互連體上方之第三晶片，其中該第三晶片包含具有厚度在1與50微米間之第三半導體基板，及在該第三晶片中之第二金屬插塞，其中該第二金屬插塞係通過該第三晶片，且接觸該第一金屬互連體。此系統級封裝係進一步包含包圍該第二金屬插塞之第二絕緣材料，其中該第二絕緣材料係被該第三半導體基板包圍，在該第三半導體基板之頂部表面上之第二介電結構，及在該第二介電結構中及在該第三晶片上方之第二金屬互連體，其中該第二金屬互連體係被連接至該第二金屬插塞。

再者，列舉具體實施例可提供關於製造多層晶片整合之簡易性。

又再者，列舉具體實施例可提供被放置在晶片間之偽基板，以達成矽晶薄化之良好一致性。

本發明揭示內容之此等以及其他組件、步驟、特徵、利益及優點，現在將自下文詳述之說明性具體實施例、伴隨之附圖及請求項之調閱而變得明瞭。

【實施方式】

圖式係揭示本發明揭示內容之說明性具體實施例。其並未提出所有具體實施例。其他具體實施例可被另外或替代地使用。可為顯而易見或沒有必要之細節可省略，以節省空間或供更有效之說明。反之，一些具體實施例可在無所揭示之所有細節下實施。當相同數字出現在不同圖式中時，其係指相同或類似組件或步驟。

當與伴隨之圖式一起閱讀時，揭示內容之諸方面可自下文說明而更充分地瞭解，該圖式在本質上係欲被認為是說明性，而非作為限制。該圖式未必按一定比例，而是強調揭示內容之原則。

雖然某些具體實施例係經描繪於圖式中，但熟諳此藝者將明瞭的是，所描繪之具體實施例為說明性，且所示者之變型，以及本文中所述之其他具體實施例，可在本發明揭示內容之範圍內被設想到及實施。

現在描述說明性具體實施例。其他具體實施例可另外或替代地使用。可省略可為顯而易見或沒有必要之細節，以節省空間，或供更有效之呈現。反之，可實施一些具體實施例，而無需所揭示之全部細節。

圖1-82係顯示根據本發明揭示內容之舉例具體實施例之形成系統級封裝或多晶片模組之製程。

參考圖1，偽基板62可例如藉由下列步驟，被連接至載體11上。首先，膠層22，其具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間，可在載體11之頂部表面上或在偽基板62之底部表面上，利用例如旋轉塗覆製程、層合製程、噴霧製程、點膠製程或網版印刷製程而形成。接著，膠層22可視情況被預熟化或烘烤。其次，偽基板62可被置於載體11上，伴隨著膠層22在載體11與偽基板62之間。接著，可使膠層22在攝氏180度與攝氏350度間之溫度中再一次熟化，使用機械或熱壓力在該膠層22上。因此，可使用膠層22而將偽基板62與載體11接合。膠層22可為一種聚合體層，譬如一層環氧基、聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或硅氧烷，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間。

或者，可將膠層22以矽-氧化物層置換，其可在載體11之介電或絕緣層20上形成。於此情況中，可將偽基板62與載體11接合，例如藉由使虛擬基板62之矽-氧化物層黏結至矽-氧化物層22上。偽基板62之矽-氧化物層係接觸矽-氧化物層22。

偽基板62可為例如圓形晶圓、虛擬矽晶圓、矩形面板，或多晶矽、玻璃、矽或陶瓷之基板。在按下文製程中所述經研磨或拋光之前，偽基板62可具有厚度例如大於100微米，譬如在100與1,500微米之間，且較佳在200與500微米之間，或在100與300微米之間。

於一項具體實施例中，在將偽基板62與載體11接合之前，沒有電路在偽基板62中或在偽基板62之頂部或底部表面上預先形成。虛擬基板62可具有頂部表面，其具有實質上與載體11之頂部表面相同之輪廓。

載體11可為晶圓、面板、印刷電路板(PCB)或有機球格柵陣列(BGA)基板，且載體11可包含基板10、在基板10之頂部側面上之介電層12、在介電層12上之導電層18及在導電層18上之介電或絕緣層20。基板10可為矽基板、玻璃基板、陶瓷基板、鋁基板、銅基板或有機聚合體基板。基板10可具有厚度例如在10與1,000微米之間，在10與100微米之間，或在100與500微米之間。介電層12可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)、氧碳化矽(譬如SiOC)或聚合體(譬如聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)、環氧基或硅氧烷)。介電層12可具有厚度例如在0.3與30微米之間，且較佳在1與10微米之間。導電層18例如可為經構圖之金屬層，且此經構圖之金屬層可包含黏著/障壁層，譬如一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度例如在1奈米與0.5微米之間，濺射晶種層，譬如一層銅、銀、金或鈦-銅合金，具有厚度例如在10奈米與0.8微米之間，於黏著/障壁層上，及電鍍金屬層，譬如一層銅、銀或金，具有厚度例如在10奈米與2微米之間，且較佳在50奈米與1微米之間，或具有厚度例如在2與30微米之間，且較佳在3與10微米之間，於濺射晶種層上。介電或

絕緣層20例如可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)、氧碳化矽(譬如SiOC)、焊接罩或聚合體(譬如聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)、環氧基或硅氧烷)。於導電層18上方之介電或絕緣層20之厚度可在0.3與30微米間之範圍內，且較佳在1與10微米之間。

在第一項具體實施例中，載體11可為圓形晶圓，其包含矽基板10，在矽基板10中及/或於其上之多個主動裝置，譬如電晶體，在矽基板10上之介電層12，在介電層12上之經構圖之金屬層18，及介電或絕緣層20，譬如一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、氧氮化矽(譬如SiON)、氧碳化矽(譬如SiOC)、碳氮化矽(譬如SiCN)，或聚合體(譬如聚醯亞胺、苯并環丁烯、聚苯并噁唑或聚苯醚)，在經構圖之金屬層18上。

在第二項具體實施例中，載體11可為圓形晶圓，其包含矽基板10，在矽基板10中及/或於其上之多個被動裝置，譬如電阻器、感應器或電容器，在矽基板10上之介電層12，在介電層12上之經構圖之金屬層18，及介電或絕緣層20，譬如一層氧化矽(譬如SiO2、氮化矽(譬如Si3N4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)、氧碳化矽(譬如SiOC)，或聚合體(譬如聚醯亞胺、苯并環丁烯、聚苯并噁唑或聚苯醚)，在經構圖之金屬層18上及在被動裝置上，但並不包括在矽基板10中及/或於其上之任何主動裝置，譬如電晶體。

在第三項具體實施例中，載體11可為矩形面板，其包含

玻璃基板10，在玻璃基板10上之介電層12，在介電層12上之導電層18，譬如氧化銦錫(ITO)層，及在導電層18上之介電或絕緣層20。

在第四項具體實施例中，載體11可為印刷電路板(PCB)或有機球格柵陣列(BGA)基板，其包含有機聚合體基板10，在有機聚合體基板10上之介電層12，在介電層12上之經構圖之金屬層18，及介電或絕緣層20，譬如一層焊接罩或聚合體(譬如環氧基)，在經構圖之金屬層18上。

或者，可形成載體11，未具有層12、18及20在基板10上方，意即載體11僅具有基板10，未具有任何電路在載體11中。於此情況中，層22可直接在基板10上形成。

接著，參考圖2，光阻層172可在偽基板62上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，參考圖3，可採用光曝露製程與顯像製程，以形成在光阻層172中使偽基板62之多個區域曝露之多個開孔172a。在光曝露製程與顯像製程之後，光阻層172可具有厚度例如在10與200微米之間。圖4係顯示光阻層172之頂部示意圖，具有如圖3中所示之開孔172a，且圖3可為沿著圖4中所示之A-A線條所切割之橫截面圖。

接著，參考圖5，多個開孔62a係在偽基板62中，且在光阻層172中之開孔172a下方形成，其係使用化學蝕刻製程或電漿蝕刻製程，使膠層22曝露，然後，經構圖之光阻層172係利用例如有機化學品而被移除。或者，當膠層22係被矽-氧化物層置換，且偽基板62具有與矽-氧化物層22黏結之矽

-氧化物層時，開孔62a係在偽基板62中，且在光阻層172中之開孔172a下方形成，其係使用化學蝕刻製程或電漿蝕刻製程，使偽基板62之矽-氧化物層曝露，接著，經構圖之光阻172係利用例如有機化學品而被移除。圖6係顯示偽基板62之頂部示意圖，具有如圖5中所示之開孔62a，且圖5可為沿著圖6中所示之B-B線條所切割之橫截面圖。

或者，硬光罩(未示出)，譬如氧化矽或氮化矽，可在圖5中所示之偽基板62上，例如藉由下列步驟而形成。首先，氧化矽或氮化矽之硬光罩可在圖1中所示之偽基板62上形成。其次，光阻層172可在硬光罩上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。接著，可採用光曝露製程與顯像製程，以形成在光阻層172中使硬光罩之多個區域曝露之多個開孔172a。其次，多個開孔係在硬光罩中，且在光阻層172中之開孔172a下方形成，其係利用例如濕蝕刻製程或電漿蝕刻製程，使偽基板62之多個區域曝露。接著，經構圖之光阻層172可利用例如有機化學品而被移除。其次，多個開孔62a係在偽基板62中，且於硬光罩中之開孔下方形成，其係利用例如化學蝕刻製程或電漿蝕刻製程，使膠層22曝露。或者，當膠層22係被矽-氧化物層置換，且偽基板62具有與矽-氧化物層22黏結之矽-氧化物層時，開孔62a係在偽基板62中，且於硬光罩中之開孔下方形成，其係利用例如化學蝕刻製程或電漿蝕刻製程，使偽基板62之矽-氧化物層曝露。硬光罩係藉由下述研磨或拋光製程而被移除。

接著，參考圖7，多個晶片68係被裝載於載體11上，及在偽基板62中之開孔62a內，且晶片68具有主動側面在晶片68之底部，及背側在晶片68之頂部。在一種情況中，晶片68之一可具有與另一個晶片68不同之電路設計。而且，在另一種情況中，晶片68之一可具有與另一個晶片68相同之電路設計。或者，晶片68之一可具有與另一個晶片68不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片68之一可具有與另一個晶片68相同之面積(頂部表面)或大小。圖8係為顯示晶片68被裝載於偽基板62中之開孔62a內之示意俯視圖之實例，且圖7為沿著圖8示意俯視圖中所示之線條C-C所切割之橫截面圖。

於載體11上及在開孔62a中裝載晶片68可例如以下述方式進行，首先，在晶片68之主動側面上或在膠層22上形成膠材料(未示出)，其次，將晶片68放置在開孔62a中及在膠層22上方，其中膠材料係與膠層22接觸，然後，使膠材料在攝氏180度與攝氏350度間之溫度中熟化，使用機械或熱壓力在該膠材料上。因此，可使用膠材料而將晶片68與載體11接合。

各晶片68可包含半導體基板58、在半導體基板58中及/或於其上之多個半導體裝置36、在半導體基板58下方之鈍化層24、在半導體基板58與鈍化層24間之多個介電層42、44、46及48、在半導體基板58與鈍化層24間之經構圖之金屬層26、在半導體基板58與鈍化層24間之互連層34、在介電層44中之多個通孔插塞26a及在介電層48中之多個通孔

插塞34a。半導體基板58係在各晶片68之背側，而半導體裝置36、鈍化層24、經構圖之金屬層26、互連層34、介電層42、44、46及48以及通孔插塞26a與34a係在各晶片68之主動側面。

半導體基板58可為適當基板，譬如矽基板、矽-鍺(SiGe)基板或鎵-砷化物(GaAs)基板。在按下文製程中所述經薄化之前，半導體基板58可具有厚度例如大於100微米，譬如在100與500微米之間，且較佳在150與250微米之間，或在100與300微米之間。

各半導體裝置36可為P-通道金氧半導體(PMOS)電晶體、N-通道金氧半導體(NMOS)電晶體、雙極電晶體或雙重擴散金氧半導體(DMOS)電晶體。各半導體裝置36可備有反或閘、反及閘、及閘、或閘、快閃記憶元件、靜態隨機存取記憶體(SRAM)元件、動態隨機存取記憶體(DRAM)元件、非揮發性記憶體元件、可消除可程式化唯讀記憶體(EPROM)元件、唯讀記憶體(ROM)元件、磁性隨機存取記憶體(MRAM)元件、讀出放大器、換流器、操作放大器、加法器、多路乘法器、雙訊器、倍增器、類比數位(A/D)轉換器、數位類比(D/A)轉換器、類比電路、互補金氧半導體(CMOS)感測器或電荷耦合裝置(CCD)。

鈍化層24可包含或可為具有底部表面連接至膠層22之無機介電層，且無機介電層可為一層氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)或氧氮化矽(譬如SiON)，具有厚度例如在0.3與1.5微米之間。或者，各晶片68可進一步包含有機聚合

體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)、環氧基或硅氧烷，具有厚度例如大於3微米，譬如在3與20微米之間，且較佳在5與12微米之間，在鈍化層24之無機介電層之底部表面下方與上方。於此情況中，有機聚合體層具有經連接至膠層22之底部表面。該有機聚合體層具有頂部表面，其係接觸鈍化層24之無機介電層之底部表面。

或者，多個開孔(未示出)，各具有寬度例如在0.5與100微米之間，及較佳在20與60微米之間，可在鈍化層24中形成，且使經構圖金屬層26之多個接觸點曝露。

介電層42可在鈍化層24與介電層44之間。介電層44可在介電層42與46之間，且在層26與34之間。介電層46可在介電層44與48之間。各介電層42、44及46可包括氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)、氧碳化矽(譬如SiOC)，或具有介電常數在1.8與3間之低-k材料(譬如氟化矽酸鹽玻璃(FSG)或黑金剛石)。各介電層42、44及46可具有厚度例如在10奈米與2微米之間，或在50奈米與1微米之間。

在介電層46與半導體基板58之間，且在互連層34與半導體基板58間之介電層48，可包含或可為一層磷矽酸鹽玻璃(PSG)、硼磷-矽酸鹽玻璃(BPSG)、氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)，或具有介電常數在1.8與3間之低-k材料(譬如氟化矽酸鹽玻璃(FSG)或黑金剛石)。介電層48可具有厚度例如在

10奈米與1微米之間。

經構圖之金屬層26例如可包含鋁-銅-合金層，具有厚度例如在0.3與3微米之間，與含鈦層，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。含鈦層可在介電層44與鋁-銅-合金層之間，且於鋁-銅-合金層上，及鋁-銅-合金層可在鈍化層24與含鈦層之間。含鈦層可為單層鈦、氮化鈦或鈦-鎢合金，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。

或者，從介電層44之側面至鈍化層24之側面觀之，經構圖之金屬層26可包含鎳層，具有厚度例如在0.5與3微米之間，與金層，具有厚度例如在0.01與1微米之間，在該鎳層上方與下方。鎳層係在介電層44與金層之間，且金層係在鎳層與鈍化層24之間。

或者，經構圖之金屬層26可藉由鑲嵌或雙鑲嵌製程而形成，包括電鍍製程與化學機械拋光(CMP)製程，且可由以下所構成，具有接觸鈍化層24之底部之經電鍍銅層、在經電鍍銅層頂部與側壁之黏著/障壁金屬層及在經電鍍銅層與黏著/障壁金屬層之間且在經電鍍銅層頂部與側壁上之晶種層。黏著/障壁金屬層具有第一部份在經電鍍銅層頂部與介電層44之間，與第二部份在經電鍍銅層之側壁。經電鍍銅層可具有厚度例如小於1.5微米，譬如在0.15與1.2微米之間，或小於3微米，譬如在0.3與3微米之間。經電鍍銅層可具有寬度例如小於1微米，譬如在0.05與1微米之間。晶種層可包含或可為藉由適當製程譬如濺射製程所形成之一層

銅或鈦-銅合金。黏著/障壁金屬層可包含或可為藉由適當製程譬如濺射製程所形成之一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭或氮化鉭。黏著/障壁金屬層可具有厚度例如小於0.1微米，譬如在0.005與0.1微米之間。經電鍍銅層之側壁係被黏著/障壁金屬層與晶種層覆蓋。

互連層34例如可包含碳奈米管。或者，互連層34可由介電層46中之經構圖金屬層所構成。於第一替代方式中，經構圖之金屬層34可包含鋁-銅-合金層，具有厚度例如在10奈米與2微米之間，與含鈦層，譬如單層氮化鈦、鈦-鎢合金或鈦，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。含鈦層可在介電層48與鋁-銅-合金層之間，且在鋁-銅-合金層上，且鋁-銅-合金層可在介電層46中。於第二替代方式中，經構圖之金屬層34可藉由鑲嵌或雙鑲嵌製程而形成，包括電鍍製程與化學機械拋光(CMP)製程，且可由以下所構成，具有接觸介電層44之底部之經電鍍銅層、在經電鍍銅層頂部與側壁之黏著/障壁金屬層及在經電鍍銅層與黏著/障壁金屬層之間且在經電鍍銅層頂部與側壁之晶種層。黏著/障壁金屬層具有第一部份在經電鍍銅層頂部與介電層48之間，與第二部份在經電鍍銅層之側壁。經電鍍銅層可具有厚度例如小於2微米，譬如在0.15與1微米之間，或在10奈米與2微米之間。經電鍍銅層可具有寬度例如小於1微米，譬如在0.05與1微米之間。晶種層可包含或可為藉由適當製程譬如濺射製程所形成之一層銅或鈦-銅合金。黏著/障壁金屬層可包含或可為藉由適當製程譬如濺射

製程所形成之一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭或氮化鉭。黏著/障壁金屬層可具有厚度例如小於0.1微米，譬如在0.005與0.1微米之間。經電鍍銅層之側壁係被黏著/障壁金屬層與晶種層覆蓋。

在介電層42中之經構圖金屬層26可經過介電層44中之通孔插塞26a而被連接至介電層46中之互連層34。在介電層46中之互連層34可經過介電層48中之通孔插塞34a而被連接至半導體裝置36。通孔插塞26a可包含電鍍銅、鎢或碳奈米管在介電層44中。通孔插塞34a可包含電鍍銅、鎢或碳奈米管在介電層48中。

各晶片68可包含藉由經構圖之金屬層26、互連層34及通孔插塞26a與34a所提供之多個互連體或金屬跡線35a、35b、35c及35d。各互連體或金屬跡線35a、35b、35c及35d可被連接至一或多個半導體裝置36，且可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，各晶片68可進一步包含在膠層22與鈍化層24間之經構圖金屬層(未示出)，具有大於經構圖金屬層26且大於互連層34之厚度。在鈍化層24下方之經構圖金屬層可包含在鈍化層24下方之經電鍍金屬層、在經電鍍金屬層與鈍化層24間之黏著/障壁金屬層及在經電鍍金屬層與黏著/障壁金屬層間之晶種層。從鈍化層24之側面至膠層22之側面觀之，黏著/障壁金屬層可在晶種層上，且晶種層可在經電鍍金屬層上。經電鍍金屬層之側壁未被黏著/障壁金屬層與晶

種層覆蓋。黏著/障壁金屬層可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鎳，具有厚度例如小於0.6微米，譬如在1奈米與0.5微米之間，或在0.005與0.1微米之間。晶種層可包含或可為一層銅、鈦-銅合金、銀、金或鎳，具有厚度例如小於0.8微米，譬如在5奈米與0.1微米之間，或在10奈米與0.8微米之間。各黏著/障壁金屬層與晶種層可藉由適當製程而形成，譬如濺射製程。經電鍍之金屬層可包含或可為一層電鍍銅、電鍍銀或電鍍金，具有厚度例如大於2微米，譬如在2與30微米之間，且較佳在3與10微米之間，或在5與25微米之間。

或者，當形成開孔62a之後，偽基板62之矽-氧化物層仍然留在矽-氧化物層22上，且藉由偽基板62中之開孔62a曝露時，將晶片68裝載於載體11上及在開孔62a中可例如以下述方式進行，將在各晶片68之主動側面之鈍化層24之另一個矽-氧化物層，與鈍化層24下方之偽基板62之殘留矽-氧化物層黏結。鈍化層24之矽-氧化物層係接觸偽基板62之矽-氧化物層。因此，可使用此等矽-氧化物層，將晶片68與載體11接合。

或者，形成圖7與8中所示結構之另一種技術係以下述方式進行，首先提供經構圖之偽基板62，譬如經構圖之偽晶圓、經構圖之面板、經構圖之矽框架，或多晶矽、玻璃、矽、陶瓷或聚合體之經構圖基板，其中多個開孔62a通過經構圖之偽基板62，其次使用層22，將經構圖之偽基板62與載體11接合，其可被稱為圖1中所示之步驟，然後將晶片68

裝載於載體11上及在經構圖偽基板62中之開孔62a內，其可被稱為圖7中所示之步驟。

如圖7與8中所示，有多個間隙4，各在偽基板62與晶片68之一之間，且有多個間隙8(顯示其中之一)，各在相鄰兩個晶片68之間。各間隙4可具有橫向距離或間距D1，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8可具有橫向距離或間距D2，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。

圖9係顯示另一種形成具有如圖7中所示相同橫截面圖之結構之技術。圖7為沿著圖9示意俯視圖中所示之線條C-C所切割之橫截面圖。圖7與9中所示之結構可例如藉由下列步驟形成。首先，前文所述之膠層22可在前文所述之載體11上，利用例如旋轉塗覆製程、層合製程、噴霧製程、點膠製程或網版印刷製程而形成。膠層22可在載體11之介電或絕緣層20上形成，或在載體11之基板10上形成，若載體11係形成而未具有層12、18及20時。其次，膠層22可視情況被預熟化或烘烤。接著，可將前文所述之晶片68與多個各別偽基板62置於膠層22上。當在相鄰兩個晶片68間之間隙太大時，譬如大於500或1,000微米，一或多個各別偽基板62可被置於該間隙中。或者，當在相鄰兩個晶片68間之間隙係為足夠小時，譬如小於500或1,000微米，可以沒有個別偽基板62被置於該間隙中。其次，膠層22可在攝氏180度與攝氏350度間之溫度中再一次被熟化，使用機械或熱壓力

在該膠層22上。因此，可使用膠層22，將個別偽基板62和晶片68與載體11接合。個別偽基板62例如可為個別矽條塊、個別偽晶片、個別偽矽晶粒，或多晶矽、玻璃、矽或陶瓷之個別基板。

或者，參考圖7與9，可將膠層22，以在載體11之介電或絕緣層20上形成或在載體11之基板10上形成之矽-氧化物層置換，若載體11係形成而未具有層12、18及20時。於此情況中，將晶片68與載體11接合，且將個別偽基板62與載體11接合，可例如經由將在各晶片68之主動側面之鈍化層24之另一個矽-氧化物層與矽-氧化物層22黏結，及經由將各個別偽基板62之另一個矽-氧化物層與矽-氧化物層22黏結而進行。各晶片68之鈍化層24之矽-氧化物層係接觸矽-氧化物層22，而各個別偽基板62之矽-氧化物層係接觸矽-氧化物層22。因此，可使用此等矽-氧化物層，將晶片68和個別偽基板62與載體11接合。

如圖7與9中所示，有多個間隙4，各在晶片68之一與個別偽基板62之一之間，且有多個間隙8(顯示其中之一)，各在相鄰兩個晶片68之間。各間隙4可具有橫向距離或間距D1，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8可具有橫向距離或間距D2，例如小於500微米，譬如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。於一項具體實施例中，在將個別偽基板62與載體11接合之前，沒有電路在各個別偽基板62中或在各

個別偽基板62之頂部或底部表面上預先形成。

參考圖10，在圖7與8中或在圖7與9中所示步驟之後，包封/間隙充填材料64，譬如多晶矽、氧化矽或聚合體，可在各晶片68之半導體基板58之背側上，在偽基板62上，及在間隙4與8中形成。若包封/間隙充填材料64為多晶矽，則此多晶矽可藉由化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程而形成。若包封/間隙充填材料64為氧化矽，則此氧化矽可藉由化學氣相沉積(CVD)製程、電漿加強化學氣相沉積(PECVD)製程或大氣壓力化學氣相沉積(APCVD)製程而形成。若包封/間隙充填材料64為聚合體，譬如聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，則此聚合體可藉由一種包括旋轉塗覆製程、點膠製程、成型製程或網版印刷製程之製程而形成。

接著，參考圖11，包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62係藉由例如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到晶片68之一之半導體基板58係被薄化至厚度T1為止，例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。較佳情況是，在研磨或拋光製程之後，各晶片68可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。在研磨或拋光製程之後，偽基板62可被薄化至厚度T2，例如在3與100微米之間，

且較佳在3與30微米之間，或在5與25微米之間，且留在間隙4與8中之包封/間隙充填材料64可具有垂直厚度T3，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片68背側處之半導體基板58之經研磨或拋光表面58s，及偽基板62之經研磨或拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經研磨或拋光之表面62s可實質上與各晶片68之經研磨或拋光表面58s，且與間隙4和8中之包封/間隙充填材料64之經研磨或拋光表面64s共平面。

或者，圖12與13係顯示另一種形成圖11中所示結構之技術。參考圖12，在圖7與8中或在圖7與9中所示步驟之後，包封/間隙充填材料64，譬如多晶矽或氧化矽，可在各晶片68之半導體基板58之背側上，在偽基板62上，及在間隙4與8中形成，然後聚合體65，譬如模製配料、聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，可在包封/間隙充填材料64上及在間隙4與8中形成。在間隙4與8中之包封/間隙充填材料64可具有垂直厚度T4，例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。

其次，參考圖13，機械研磨製程可例如利用磨擦或研磨墊，伴隨著水進行，以研磨聚合體65、包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62，直到移除所有聚合體65，且直到達成間隙4與8中之包封/間隙充填材料64之預定垂直厚度T5為止。預定垂直厚度T5可例如

在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。磨擦或研磨墊可備有粗砂粒，具有平均顆粒大小例如在0.5與15微米之間，以供進行機械研磨製程。接著，化學-機械-拋光(CMP)製程可例如利用拋光墊，以含有化學品之漿液與精細磨料例如矽石進行，該矽石具有平均顆粒大小例如在0.02與0.05微米之間，以拋光各晶片68之半導體基板58之背側、偽基板62及在間隙4與8中之包封/間隙充填材料64，直到晶片68之一之半導體基板58係被薄化至厚度T1為止，在1與30微米之間，且較佳在2與5微米之間，在2與10微米之間，在2與20微米之間，或在3與30微米之間，如圖11中所示。

在化學-機械-拋光(CMP)製程之後，在各晶片68背側處之半導體基板58之經拋光表面58s，及偽基板62之經拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經拋光之表面62s可實質上與各晶片68之經拋光表面58s，且與間隙4和8中之包封/間隙充填材料64之經拋光表面64s共平面。經拋光之表面58s、62s及64s可具有例如低於20奈米之微粗糙度。使用極精細磨料例如矽石與相對較弱化學藥品腐蝕之化學-機械-拋光(CMP)製程，係產生幾乎毫無變形與刮痕之表面58s、62s及64s，且這意謂化學-機械-拋光(CMP)製程係極良好地適合最後拋光步驟，產生乾淨表面58s、62s及64s。可進行使用機械研磨製程與化學-機械-拋光(CMP)製程，以產生各晶片68之極薄半導體基板10。因此，在化學-機械-拋光(CMP)製程之後，各晶片68可被薄化至厚

度例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，偽基板62可被薄化至厚度T2例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，及在間隙4與8中之包封/間隙充填材料64可被薄化至厚度T3例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。

參考圖14，在形成圖11中所示結構之後，介電層60可在各晶片68之半導體基板58之表面58s上，在偽基板62之表面62s上，及在包封/間隙充填材料64之表面64s上形成。介電層60可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

介電層60例如可為藉由例如化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程所形成之無機層。該無機層可為例如一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，或包含氧化矽、氮化矽、碳氮化矽及氧氮化矽之層。該無機層可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

或者，介電層60可為聚合體層，譬如一層聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，其係藉由例如一種包括旋轉塗覆製程、點膠製程、成型製程或網版印刷製程之製程而形成。該聚合體層可具有厚度

例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

或者，介電層60可由多個無機層所構成，其包括蝕刻阻止層，譬如氧氮化矽之蝕刻阻止層。當將圖樣蝕刻至介電層60中時，係稍後使用蝕刻阻止層，以停止蝕刻。於此情況中，介電層60例如可由以下所構成，在表面58s、62s及64s上之第一矽-氧化物層、在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層及在矽-氧氮化物層上具有厚度例如在0.1與5微米之間，或在0.3與1.5微米間之第二矽-氧化物層。

接著，參考圖15，多個穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，係在晶片68中及在偽基板62中，藉由例如下列步驟形成，其係使載體11之導電層18曝露，且使晶片68之層26與34曝露。首先，光阻層，譬如正型光敏性光阻層或負型光敏性光阻層，係在介電層60上，利用適當製程，譬如旋轉塗覆製程或層合製程而形成。其次，使用1X步進器之光曝露製程及使用化學溶液之顯像製程可被採用，以形成在光阻層中使介電層60曝露之多個開孔。光阻層可具有厚度例如在3與50微米之間。接著，在光阻層中之開孔下方之介電層60係利用適當製程移除，譬如各向異性電漿蝕刻製程。其次，在光阻層中之開孔下方之偽基板62及在光阻層中之開孔下方之晶片68係被蝕離，直到在晶片68中之層26與34之預定區域及在載體11中之導電層18之預定區域係被光阻層中之開孔曝露為止。接著，光

阻層係利用例如有機化學品而被移除。因此，穿透通孔170v，包括通孔170a-170f，係在晶片68中及在偽基板62中形成，其係使載體11之導電層18之預定區域曝露，且使晶片68之層26與34之預定區域曝露。穿透通孔170a係在偽基板62中形成，且穿透通孔170b、170c、170d、170e及170f係在相同晶片68中形成。

或者，形成在晶片68中與在偽基板62中之穿透通孔170v之另一種技術可藉由下列步驟進行。首先，光阻層，譬如正型光敏性光阻層或負型光敏性光阻層，可在介電層60上，利用例如旋轉塗覆製程或層合製程而形成。其次，使用1X步進器之光曝露製程及使用化學溶液之顯像製程可被採用，以形成在光阻層中使介電層60曝露之多個開孔。接著，多個開孔係在介電層60中及在光阻層中之開孔下方形成，其係使偽基板62與晶片68之半導體基板58曝露，其方式是使用例如各向異性電漿蝕刻製程，移除在光阻層中之開孔下方之介電層60。其次，光阻層係藉由使用例如有機化學品而被移除。接著，在介電層60中之開孔下方之偽基板62與在介電層60中之開孔下方之晶片68可被蝕離，直到晶片68之層26與34之預定區域與載體11之導電層18之預定區域係被介電層60中之開孔曝露為止。因此，穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，可在晶片68中及在偽基板62中形成，其係使載體11之導電層18曝露，且使晶片68之層26與34曝露。穿透通孔170a係在偽基板62中形成，且穿透通孔170b、170c、170d、170e及170f係

在相同晶片68中形成。各穿透通孔170v，譬如穿透通孔170a、170b、170c、170d、170e或170f，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。

穿透通孔170v之一，譬如穿透通孔170a，係通過介電層60、偽基板62、膠層或矽-氧化物層22及載體11之介電或絕緣層20，使載體11之導電層18曝露。另一個穿透通孔170v，譬如穿透通孔170b，係通過介電層60，經過半導體基板58、介電層42、44、46及48，及晶片68之一之鈍化層24，經過膠層或矽-氧化物層22，且經過載體11之介電或絕緣層20，使載體11之導電層18曝露。另一個穿透通孔170v，譬如穿透通孔170c，係通過介電層60，且經過晶片68之一之半導體基板58與介電層48，使在晶片68之一之互連層34中之互連體或金屬跡線35d曝露。另一個穿透通孔170v，譬如穿透通孔170d，係通過介電層60，且經過晶片68之一之半導體基板58與介電層44、46及48，使在晶片68之一之經構圖金屬層26中之互連體或金屬跡線35c曝露。另一個穿透通孔170v，譬如穿透通孔170f，係通過介電層60，且經過晶片68之一之半導體基板58與介電層48，使在晶片68之一之互連層34中之互連體或金屬跡線35b曝露。另一個穿透通孔170v，譬如穿透通孔170e，係通過介電層60，經過晶片68之一之半導體基板58、介電層42、44、46及48以及鈍化層24，經過膠層或矽-氧化物層22，且經過載體11之介電或絕

緣層20，使在晶片68之一之互連層34中之互連體或金屬跡線35a曝露，且使載體11之導電層18曝露。由層20、22、24、42及44所提供之支撐物801係在載體11之導電層18與互連層34中之互連體或金屬跡線35a之間，被穿透通孔170e曝露，以達成支撐所曝露互連體或金屬跡線35a之目的。支撐物801可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米，0.3與5微米之間，或在0.3與1微米之間。圖16-18為示意俯視透視圖之三種實例，其係顯示圖15中所示之穿透通孔170e與互連體或金屬跡線35a。

如圖15與16中所示，在晶片68之一中之穿透通孔170e係使晶片68之一中之互連體或金屬跡線35a曝露，且使晶片68之一下方之載體11中之導電層18之兩個區域曝露。互連體或金屬跡線35a具有線形區域，藉由穿透通孔170e曝露，在水平方向上係從穿透通孔170e之一個側面，經過穿透通孔170e之中心，延伸至穿透通孔170e之相反側面。前文所述之支撐物801，其係在載體11之導電層18與互連層34中之互連體或金屬跡線35a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線35a之所曝露線形區域。穿透通孔170e自頂部透視圖較佳可為但不限於圓形。

如圖中15與17所示，在晶片68之一中之穿透通孔170e係使晶片68之一中之互連體或金屬跡線35a曝露，且使晶片68之一下方之載體11中之導電層18之區域曝露。互連體或金屬跡線35a具有半島區域，藉由穿透通孔170e曝露，在水平

方向上係從穿透通孔170e之一個側面，至少延伸至穿透通孔170e之中心，但並未達到穿透通孔170e之相反側面；互連體或金屬跡線35a具有被穿透通孔170e所曝露之末端。前文所述之支撐物801，其係在載體11之導電層18與互連層34中之互連體或金屬跡線35a之所曝露半島區域之間，可為半島形狀，類似互連體或金屬跡線35a之所曝露半島區域。穿透通孔170e自頂部透視圖較佳可為但不限於圓形。

如圖15與18中所示，在晶片68之一中之穿透通孔170e係使晶片68之一中之互連體或金屬跡線35a曝露，且使晶片68之一下方之載體11中之導電層18之區域曝露。互連體或金屬跡線35a具有半島區域，藉由穿透通孔170e曝露，在水平方向上係從穿透通孔170e之一個側面，至少延伸至穿透通孔170e之中心，但並未達到穿透通孔170e之相反側面；互連體或金屬跡線35a具有被穿透通孔170e所曝露之圓形末端。前文所述之支撐物801，其係在載體11之導電層18與互連層34中之互連體或金屬跡線35a之所曝露半島區域之間，可為半島形狀，類似互連體或金屬跡線35a之所曝露半島區域。穿透通孔170e自頂部透視圖較佳可為但不限於圓形。

圖16A為示意俯視透視圖之實例，其係顯示圖15中所示之穿透通孔170e與互連體或金屬跡線35a。於此情況中，穿透通孔170e可為但不限於橢圓形，且具有寬度W1例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。在晶片68之一中之橢圓形穿透通孔170e係使晶片68之一中之互連體或金屬

跡線35a曝露，且使晶片68之一下方之載體11之導電層18之兩個區域曝露。互連體或金屬跡線35a具有線形區域，藉由橢圓形穿透通孔170e曝露，在水平方向上係從橢圓形穿透通孔170e之一個側面，經過橢圓形穿透通孔170e之中心，延伸至橢圓形穿透通孔170e之相反側面。前文所述之支撐物801，其係在載體11之導電層18與互連層34中之互連體或金屬跡線35a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線35a之所曝露線形區域。被橢圓形穿透通孔170e所曝露之互連體或金屬跡線35a具有寬度W2例如在0.3與30微米之間，且較佳在0.3與20微米之間，在0.3與10微米之間，在0.3與5微米之間，或在0.3與1微米之間。在橢圓形穿透通孔170e之長軸終點與被橢圓形穿透通孔170e所曝露互連體或金屬跡線35a之邊緣(其係比另一個相反邊緣更接近該終點)間之水平距離S1，可例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。

其次，參考圖19，介電層50係在介電層60之頂部表面上，在被穿透通孔170v (譬如穿透通孔170a、170b及170e)所曝露之載體11之導電層18上，在被穿透通孔170v(譬如穿透通孔170c、170d、170e及170f)所曝露之晶片68之層26與34上，及在穿透通孔170v之側壁上形成。

介電層50可由絕緣材料所構成。例如，介電層50可為具有厚度例如在20奈米與1微米間之無機層，且無機層可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如

SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)。或者，介電層50可為具有厚度例如在1與10微米之間，且較佳在1與5微米間之聚合體層，且聚合體層可為一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)。

其次，參考圖20，光阻層168，譬如正型光敏性光阻層或負型光敏性光阻層，可在介電層50上，利用例如旋轉塗覆製程或層合製程而形成。接著，使用1X步進器之光曝露製程與使用濕式化學之顯像製程可被採用，以形成在光阻層168中使介電層50曝露之多個開孔168a。光阻層168可具有厚度例如在0.5與30微米之間。

其次，參考圖21，在層18、26及34上，及在開孔168a下方之介電層60之頂部表面上所形成之介電層50，可經由例如使用各向異性電漿蝕刻製程，將開孔168a下方之介電層50蝕刻而被移除。在穿透通孔170v底部，於開孔168a下方之介電層60之頂部表面上，及在支撐物801上方之互連體或金屬跡線35a之頂部表面上之介電層50，可被蝕離。因此，在穿透通孔170v底部之層18、26及34，在開孔168a下方之介電層60之頂部表面，及在支撐物801上方之互連體或金屬跡線35a，均藉由開孔168a而被曝露，且介電層50仍然留在穿透通孔170v之側壁上，因此被稱為在穿透通孔170v中之側壁介電層。側壁介電層50係在晶片68中或在偽基板62中之穿透通孔170v之側壁上形成，且係被晶片68之半導體基板58或被偽基板62包圍。

其次，參考圖22，多個壕溝60t，其為鑲嵌開孔，係在介

電層60中形成，其方式是使用例如各向異性電漿蝕刻製程，將開孔168a下方之介電層60與側壁介電層50蝕刻至深度D3，例如在0.1與5微米之間，且較佳在0.5與3微米之間。較佳情況是，介電層60與側壁介電層50具有相同材料，譬如氮化矽、氧化矽或氧氮化矽。在蝕刻製程之後，於壕溝60t下方之介電層60具有剩餘厚度T6，例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

或者，蝕刻阻止技術可被應用於形成介電層60中之壕溝60t之製程。於此情況中，介電層60係由前文所述之無機層所構成，例如包括在表面58s、62s及64s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及在矽-氧氮化物層上之第二矽-氧化物層。壕溝60t可在介電層60中形成，其方式是將開孔168a下方之介電層60之第二矽-氧化物層及開孔168a下方之側壁介電層50蝕刻，直到介電層60之矽-氧氮化物層係被開孔168a曝露為止。因此，壕溝60t係在介電層60之第二矽-氧化物層中形成，且在壕溝60t下方由矽-氧氮化物層與第一矽-氧化物層所構成之殘留介電層60，係具有厚度T6例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

其次，參考圖23，光阻層168係利用例如有機化學品而被移除。在介電層60中所形成之壕溝60t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。在晶

片68中，於穿透通孔170v(譬如穿透通孔170b、170c、170d、170e及170f)之側壁上所形成之側壁介電層50，可防止過渡金屬譬如銅、鈉或水份穿透至晶片68之IC裝置。圖24為根據本發明具體實施例之顯示圖23中所示之穿透通孔170v、壕溝60t及側壁介電層50之示意俯視透視圖，且圖23為沿著圖24中所示之線條D-D所切割之橫截面圖。

其次，參考圖25，黏著/障壁層52，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，可在被穿透通孔170v所曝露之層18、26及34上，在壕溝60t之側壁與底部上，在介電層50上及在支撐物801上之互連體或金屬跡線35a上形成。黏著/障壁層52可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，晶種層54，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，可在黏著/障壁層52上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，傳導層56，具有厚度例如在0.5與20微米之間，或在0.5與10微米之間，且較佳在1與5微米之間，可在晶種層54上，利用例如電鍍製程而形成。

黏著/障壁層52可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度例如小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。

晶種層54可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度例如小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間。傳導層56可包含或可為銅、金或銀之經電鍍金屬層，具有厚度例如在0.5與20微米之間，或在0.5與10微米之間，且較佳在1與5微米之間。

其次，參考圖26，利用研磨或拋光製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械研磨與化學蝕刻之製程，可移除壕溝60t外部之層52、54及56，且可移除在介電層60之頂部表面上之介電層50。因此，介電層60具有所曝露之頂部表面60s，其可實質上與壕溝60t中之傳導層56之經研磨或拋光表面56s共平面，且表面56s與60s可為實質上平坦。介電層60具有在所曝露頂部表面60s與表面58s或62s間之厚度T7，例如在1與10微米之間，且較佳在1與3微米之間，或在2與5微米之間。黏著/障壁層52與晶種層54係在壕溝60t中之傳導層56之側壁與底部，且在壕溝60t中之傳導層56之側壁與底部係被黏著/障壁層52與晶種層54覆蓋。

於第一替代方式中，在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，黏著/障壁層52可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝60t之側壁與底部上，在穿透通孔170v底部之層18、26及34上，在側壁介電層50上，及在支撐物801上之互連體或金屬跡線35a上。晶種層

54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

於第二替代方式中，在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，黏著/障壁層52可為鉭-含層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝60t之側壁與底部上，在穿透通孔170v底部之層18、26及34上，在側壁介電層50上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

於第三種替代方式中，在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，黏著/障壁層52可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝60t之側壁與底部上，在穿透通孔170v底部

之層18、26及34上，在側壁介電層50上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，在壕溝60t中之層52、54及56係構成壕溝60t中之多個金屬互連體(或鑲嵌金屬跡線)1，包括金屬互連體(或鑲嵌金屬跡線)1a與1b。在穿透通孔170v中之層52、54及56係構成穿透通孔170v中之多個金屬插塞(或金屬穿透通孔)5p，包括個別如圖23中所示之穿透通孔170a、170b、170c、170d、170e及170f中之金屬插塞(或金屬穿透通孔)5a、5b、5c、5d、5e及5f。在晶片68中與在偽基板62中之各金屬插塞5p係被穿透通孔170v中之側壁介電層50之一包圍。金屬插塞5a係在偽基板62中形成，而金屬插塞5b、5c、5d、5e及5f係在相同晶片68中形成。支撐物801及在該支撐物801上之互連層34中之互連體或金屬跡線35a，可在金屬插塞5e之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。在晶片68中與在偽基板62中所形成之此等金屬插塞5p可將金屬互連體1與晶片68中之半導體裝置36連接，且將金屬互連體1與載體11中之導電層18之多個接觸點連接。在壕溝60t中之金屬互連體1，譬如1a

與1b，可具有厚度例如在0.1與5微米之間，且較佳在1與3微米之間。

例如，金屬插塞5p之一，譬如金屬插塞5a，可在偽基板62中形成，且在穿透通孔170v之一(譬如穿透通孔170a)之底部，於導電層18之第一接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5b，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170b)之底部，於導電層18之第二接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5c，可在晶片68之一中形成，且在晶片68之一之互連層34中之互連體或金屬跡線35d之接觸點上形成，該接觸點係在另一個穿透通孔170v(譬如穿透通孔170c)之底部。另一個金屬插塞5p，譬如金屬插塞5d，可在晶片68之一中形成，且在晶片68之一之經構圖金屬層26中之互連體或金屬跡線35c之接觸點上形成，該接觸點係在另一個穿透通孔170v(譬如穿透通孔170d)之底部。另一個金屬插塞5p，譬如金屬插塞5f，可在晶片68之一中形成，且在晶片68之一之互連層34中之互連體或金屬跡線35b之接觸點上形成，該接觸點係在另一個穿透通孔170v(譬如穿透通孔170f)之底部。另一個金屬插塞5p，譬如金屬插塞5e，可在晶片68之一中形成，在支撐物(譬如支撐物801)上方之互連體或金屬跡線35之接觸點上形成，該支撐物係在另一個金屬插塞5p(譬如金屬插塞5e)之兩個左下方與右下方部份之間，且在穿透通孔170v之一(譬如穿透通孔170e)底部之導電層18之第三接觸點上形成。導電層18之前文所述第一、第二及第三接觸點，可藉

由載體11之介電或絕緣層20互相分離。

金屬互連體1之一，譬如1a或1b，可在偽基板62上方，於多個晶片68上方形成，且越過多個晶片68之多個邊緣。金屬互連體1a可經過偽基板62中之金屬插塞5a，而被連接至導電層18之前文所述第一接觸點，在穿透通孔170a之底部，可經過晶片68之一中之金屬插塞5b，而被連接至導電層18之前文所述第二接觸點，在穿透通孔170b之底部，可經過晶片68之一中之金屬插塞5c，而被連接至晶片68之一中之互連體或金屬跡線35d之接觸點，在穿透通孔170c之底部，且可經過晶片68之一中之金屬插塞5d，而被連接至晶片68之一中之互連體或金屬跡線35c之接觸點，在穿透通孔170d之底部。金屬互連體1b可經過晶片68之一中之金屬插塞5f，而被連接至晶片68之一中之互連體或金屬跡線35b之接觸點，在穿透通孔170f之底部，可經過晶片68之一中之金屬插塞5e，而被連接至導電層18之前文所述第三接觸點，在穿透通孔170e之底部，且可經過晶片68之一中之金屬插塞5e，而被連接至支撐物801上之互連體或金屬跡線35a。金屬互連體1a可經過另一個晶片68中之一或多個金屬插塞5p，進一步被連接至另一個晶片68中之一或多個半導體裝置36。金屬互連體1b可經過另一個晶片68中之一或多個金屬插塞5p，進一步被連接至另一個晶片68中之一或多個半導體裝置36。

因此，在晶片68之一中之半導體裝置36之一可經過金屬互連體1之一(譬如1a或1b)，而被連接至在晶片68之一中或

在另一個晶片68中之另一個半導體裝置36，且可經過金屬互連體1之一，而被連接至載體11中之導電層18之接觸點，在穿透通孔170v之一(譬如穿透通孔170a、170b或170e)之底部。各金屬互連體1可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件68不僅可表示晶片，而且亦可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖27，在形成圖26中所示結構之後，絕緣或介電層66可在黏著/障壁層52之經研磨或拋光表面52s上，在晶種層54之經研磨或拋光表面54s上，在傳導層56之經研磨或拋光表面56s，及在介電層60之所曝露頂部表面60s上形成。絕緣或介電層66可具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間。

絕緣或介電層66例如可包含或可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間，藉由化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程而形成。

或者，絕緣或介電層66可包含或可為聚合體層，具有厚

度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間，藉由例如一種包括旋轉塗覆製程與熟化製程之製程而形成。聚合體層可為一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)。

接著，參考圖28，偽基板165可例如藉由下列步驟而被連接至絕緣或介電層66上。首先，膠層116，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間，可利用例如旋轉塗覆製程、層合製程、噴霧程序、點膠製程或網版印刷製程，在絕緣或介電層66之頂部表面上或在偽基板165之底部表面上形成。其次，膠層116可視情況被預熟化或烘烤。接著，偽基板165可被置於絕緣或介電層66上，伴隨著膠層116在絕緣或介電層66與偽基板165之間。其次，可使膠層116在攝氏180度與攝氏350度間之溫度中再一次熟化，使用機械或熱壓力在該膠層116上。因此，可使用膠層116而將偽基板165與絕緣或介電層66接合。膠層116可為聚合體層，譬如一層環氧基、聚醯亞胺苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或硅氧烷，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間。

或者，可將膠層116以無機絕緣層譬如氧化矽置換，其可在絕緣或介電層66上形成。於此情況中，可將偽基板165與絕緣或介電層66接合，例如藉由將偽基板165之無機絕緣層，譬如氧化矽，黏結至無機絕緣層116譬如氧化矽上。偽

基板165之矽-氧化物層係接觸矽-氧化物層116。

偽基板165可為圓形晶圓、偽矽晶圓、矩形面板，或多晶矽、玻璃、矽或陶瓷之基板。在按下述製程中所提及經研磨或拋光之前，偽基板165可具有厚度例如大於100微米，譬如在100與1,500微米之間，且較佳在200與500微米之間，或在100與300微米之間。

於一項具體實施例中，在將偽基板165與絕緣或介電層66接合之前，沒有電路在偽基板165中或在偽基板165之頂部或底部表面上預先形成。偽基板165可具有頂部表面，其具有實質上與載體11之頂部表面相同之輪廓。

接著，參考圖29，光阻層166可在偽基板165上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成，然後，可採用光曝露製程與顯像製程，以形成在光阻層166中使偽基板165之多個區域曝露之多個開孔166a。在光曝露製程與顯像製程之後，光阻層166可具有厚度例如在10與200微米之間。圖30係顯示光阻層166之示意俯視圖，具有如圖29中所示之開孔166a，且圖30可為沿著圖29中所示之線條E-E所切割之橫截面圖。

接著，參考圖31，多個開孔165a係在偽基板165中，且在光阻層166中之開孔166a下方形成，其係利用例如化學蝕刻製程或電漿蝕刻製程，使膠層116曝露，然後，經構圖之光阻層166係利用例如有機化學品而被移除。或者，當膠層116係被矽-氧化物層置換，且偽基板165具有與矽-氧化物層116黏結之矽-氧化物層時，開孔165a係在偽基板165中，且在光

阻層166中之開孔166a下方形成，其係利用例如化學蝕刻製程或電漿蝕刻製程，使偽基板165之矽-氧化物層曝露，接著，經構圖之光阻166係利用例如有機化學品而被移除。圖32係顯示偽基板165之示意俯視圖，具有如圖31中所示之開孔165a，且圖31可為沿著圖32中所示之線條F-F所切割之橫截面圖。

或者，硬光罩(未示出)，譬如氧化矽或氮化矽，可在圖31中所示之偽基板165上，例如藉由下列步驟而形成。首先，氧化矽或氮化矽之硬光罩可在圖28中所示之偽基板165上形成。其次，光阻層166可在硬光罩上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。接著，可採用光曝露製程與顯像製程，以形成在光阻層166中使硬光罩之多個區域曝露之多個開孔166a。其次，多個開孔係在硬光罩中，且在光阻層166中之開孔166a下方形成，其係利用例如濕蝕刻製程或電漿蝕刻製程，使偽基板165之多個區域曝露。接著，經構圖之光阻層166係利用例如有機化學品而被移除。其次，多個開孔165a係在偽基板165中，且於硬光罩中之開孔下方形成，其係利用例如化學蝕刻製程或電漿蝕刻製程，使膠層116曝露。或者，當膠層116係被矽-氧化物層置換，且偽基板165具有與矽-氧化物層116黏結之矽-氧化物層時，開孔165a係在偽基板165中，且於硬光罩中之開孔下方形成，其係利用例如化學蝕刻製程或電漿蝕刻製程，使偽基板165之矽-氧化物層曝露。硬光罩係藉由下述研磨或拋光製程而被移除。

接著，參考圖33，多個晶片72可被裝載於絕緣或介電層66上，及在偽基板165中之開孔165a內，且晶片72具有主動側面在晶片72之底部，及背側在晶片72之頂部。在一種情況中，晶片72之一可具有與另一個晶片72不同之電路設計。而且，在另一種情況中，晶片72之一可具有與另一個晶片72相同之電路設計。或者，晶片72之一可具有與另一個晶片72不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片72之一可具有與另一個晶片72相同之面積(頂部表面)或大小。圖34係為顯示晶片72被裝載於偽基板165中之開孔165a內之示意俯視圖之實例，且圖33為沿著圖34示意俯視圖中所示之線條G-G所切割之橫截面圖。

於絕緣或介電層66上及在開孔165a中裝載晶片72可例如以下述方式進行，首先，在晶片72之主動側面上或在膠層116上形成膠材料(未示出)，接著，將晶片72放置在開孔165a中及在膠層116上方，其中膠材料係與膠層116接觸，然後，使膠材料在攝氏180度與攝氏350度間之溫度中熟化，使用機械或熱壓力在該膠材料上。因此，可使用膠材料而將晶片72與膠層116接合。

各晶片72可包含半導體基板96、在半導體基板96中及/或於其上之多個半導體裝置102、在半導體基板96下方之鈍化層74、在半導體基板96與鈍化層74間之多個介電層82、108、104及100、在半導體基板96與鈍化層74間之經構圖金屬層114、在半導體基板96與鈍化層74間之互連層106、在介電層108中之多個通孔插塞114a及在介電層100中之多個

通孔插塞106a。半導體基板96係在各晶片72之背側，而半導體裝置102、鈍化層74、經構圖之金屬層114、互連層106、介電層82、108、104及100以及通孔插塞106a與114a係在各晶片72之主動側面。

半導體基板96可為適當基板，譬如矽基板、矽-鍺(SiGe)基板或鎵-砷化物(GaAs)基板。在按下文製程中所述經薄化之前，半導體基板96可具有厚度例如大於100微米，譬如在100與500微米之間，且較佳在150與250微米之間，或在100與300微米之間。

各半導體裝置102可為雙極電晶體、P-通道金氧半導體(PMOS)電晶體、N-通道金氧半導體(NMOS)電晶體或雙重擴散金氧半導體(DMOS)電晶體。各半導體裝置102可備有反或閘、反及閘、及閘、或閘、靜態隨機存取記憶體(SRAM)元件、動態隨機存取記憶體(DRAM)元件、快閃記憶元件、非揮發性記憶元件、可消除可程式化唯讀記憶體(EPROM)元件、唯讀記憶體(ROM)元件、磁性隨機存取記憶體(MRAM)元件、讀出放大器、換流器、操作放大器、加法器、多路乘法器、雙訊器、倍增器、類比數位(A/D)轉換器、數位類比(D/A)轉換器、類比電路、互補金氧半導體(CMOS)感測器或電荷耦合裝置(CCD)。

鈍化層74可包含或可為具有底部表面連接至膠層116之無機介電層，且無機介電層可為一層氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)或氧氮化矽(譬如SiON)，具有厚度例如在0.3與1.5微米之間。或者，各晶片72可進一步包含有機聚

合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)、環氧基或硅氧烷，具有厚度例如大於3微米，譬如在3與20微米之間，且較佳在5與12微米之間，在鈍化層74之無機介電層之底部表面下方與上方。於此情況中，有機聚合體層具有經連接至膠層116之底部表面。該有機聚合體層具有頂部表面，其係接觸鈍化層74之無機介電層之底部表面。

或者，多個開孔(未示出)，各具有寬度例如在0.5與100微米之間，及較佳在20與60微米之間，可在鈍化層74中形成，且使經構圖金屬層114之多個接觸點曝露。

介電層82可在鈍化層74與介電層108之間。介電層108可在介電層82與104之間，且在層106與114之間。介電層104可在介電層100與108之間。各介電層82、108及104可包括氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)、氧碳化矽(譬如SiOC)，或具有介電常數在1.8與3間之低-k材料(譬如氟化矽酸鹽玻璃(FSG)或黑金剛石)。各介電層82、108及104可具有厚度例如在10奈米與2微米之間，且較佳在50奈米與1微米之間。

在介電層104與半導體基板96之間，且在互連層106與半導體基板96間之介電層100，可包含或可為一層磷矽酸鹽玻璃(PSG)、硼磷-矽酸鹽玻璃(BPSG)、氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)，或具有介電常數在1.8與3間之低-k材料(譬如氟化矽酸鹽玻璃(FSG)或黑金剛石)。介電層100可具有厚度例如在

10奈米與1微米之間。

經構圖之金屬層114例如可包含鋁-銅-合金層，具有厚度例如在0.3與3微米之間，與含鈦層，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。含鈦層可在介電層108與鋁-銅-合金層之間，且於鋁-銅-合金層上，及鋁-銅-合金層係在鈍化層74與含鈦層之間。含鈦層可為鈦、氮化鈦或鈦-鎢合金之單層，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。

或者，從介電層108之側面至鈍化層74之側面觀之，經構圖之金屬層114可包含鎳層，具有厚度例如在0.5與3微米之間，與金層，具有厚度例如在0.01與1微米之間，在該鎳層下方與上方。鎳層係在介電層108與金層之間，且金層係在鎳層與鈍化層74之間。

或者，經構圖之金屬層114可藉由鑲嵌或雙鑲嵌製程而形成，包括電鍍製程與化學機械拋光(CMP)製程，且可由以下所構成，具有接觸鈍化層74之底部之經電鍍銅層、在經電鍍銅層頂部與側壁之黏著/障壁金屬層及在經電鍍銅層與黏著/障壁金屬層之間且在經電鍍銅層之頂部與側壁上之晶種層。黏著/障壁金屬層具有第一部份在經電鍍銅層頂部與介電層108之間，與第二部份在經電鍍銅層之側壁。經電鍍銅層可具有厚度例如小於1.5微米，譬如在0.15與1.2微米之間，或小於3微米，譬如在0.3與3微米之間。經電鍍銅層可具有寬度例如小於1微米，譬如在0.05與1微米之間。晶種層可包含或可為藉由適當製程譬如濺射製程所形成之

一層銅或鈦-銅合金。黏著/障壁金屬層可包含或可為藉由適當製程譬如濺射製程所形成之一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭或氮化鉭。黏著/障壁金屬層可具有厚度例如小於0.1微米，譬如在0.005與0.1微米之間。經電鍍銅層之側壁係被黏著/障壁金屬層與晶種層覆蓋。

互連層106例如可包含碳奈米管。或者，互連層106可由介電層104中之經構圖金屬層所構成。於第一替代方式中，經構圖之金屬層106可包含鋁-銅-合金層，具有厚度例如在10奈米與2微米之間，與含鈦層，譬如氮化鈦、鈦-鎢合金或鈦之單層，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。含鈦層可在鋁-銅-合金層上，且在介電層100與鋁-銅-合金層之間，及鋁-銅-合金層可在介電層104中。

於第二替代方式中，經構圖之金屬層106可藉由鑲嵌或雙鑲嵌製程而形成，包括電鍍製程與化學機械拋光(CMP)製程，且可由以下所構成，具有接觸介電層108之底部之經電鍍銅層、在經電鍍銅層頂部與側壁之黏著/障壁金屬層及在經電鍍銅層與黏著/障壁金屬層之間且在經電鍍銅層頂部與側壁上之晶種層。黏著/障壁金屬層具有第一部份在經電鍍銅層頂部與介電層100之間，與第二部份在經電鍍銅層之側壁。經電鍍銅層可具有厚度例如小於2微米，譬如在0.15與1微米之間，或在10奈米與2微米之間。經電鍍銅層可具有寬度例如小於1微米，譬如在0.05與1微米之間。晶種層可包括或可為藉由適當製程譬如濺射製程所形成之一層銅或鈦-銅合金。黏著/障壁金屬層可包含或可為藉由適當製程

譬如濺射製程所形成之一層鈦、氮化鈦、鈦-鎢合金、鉻、鉭或氮化鉭。黏著/障壁金屬層可具有厚度例如小於0.1微米，譬如在0.005與0.1微米之間。經電鍍銅層之側壁係被黏著/障壁金屬層與晶種層覆蓋。

在介電層82中之經構圖金屬層114可經過介電層108中之通孔插塞114a而被連接至介電層104中之互連層106。在介電層104中之互連層106可經過介電層100中之通孔插塞106a而被連接至半導體裝置102。通孔插塞114a可包含經電鍍銅、鎢或碳奈米管在介電層108中。通孔插塞106a可包含經電鍍銅、鎢或碳奈米管在介電層100中。

各晶片72可包含藉由互連層106、經構圖之金屬層114及通孔插塞106a與114a所提供之多個互連體或金屬跡線55a、55b及55c。各互連體或金屬跡線55a、55b及55c可被連接至一或多個半導體裝置102，且可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，各晶片72可進一步包含在膠層116與鈍化層74間之經構圖金屬層(未示出)，具有大於經構圖之金屬層114且大於互連層106之厚度。在鈍化層74下方之經構圖金屬層可包含在鈍化層74下方之經電鍍金屬層、在經電鍍金屬層與鈍化層74間之黏著/障壁金屬層及在經電鍍金屬層與黏著/障壁金屬層間之晶種層。從鈍化層74之側面至膠層116之側面觀之，黏著/障壁金屬層可在晶種層上，且晶種層可在經電鍍金屬層上。經電鍍金屬層之側壁未被黏著/障壁金屬層與

晶種層覆蓋。黏著/障壁金屬層可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鎳，具有厚度例如小於0.6微米，譬如在1奈米與0.5微米之間，或在0.005與0.1微米之間。晶種層可包含或可為一層銅、鈦-銅合金、銀、金或鎳，具有厚度例如小於0.8微米，譬如在5奈米與0.1微米之間，或在10奈米與0.8微米之間。各黏著/障壁金屬層與晶種層可藉由適當製程而形成，譬如濺射製程。經電鍍金屬層可包含或可為一層電鍍銅、電鍍銀或電鍍金，具有厚度例如大於2微米，譬如在2與30微米之間，且較佳在3與10微米之間，或在5與25微米之間。

或者，當形成開孔165a之後，偽基板165之矽-氧化物層仍然留在矽-氧化物層116上，且藉由偽基板165中之開孔165a曝露時，將晶片72裝載於絕緣或介電層66上及在開孔165a中可例如以下述方式進行，將在各晶片72之主動側面之鈍化層74之另一個矽-氧化物層，與鈍化層74下方之偽基板165之殘留矽-氧化物層黏結。鈍化層74之矽-氧化物層係接觸偽基板165之矽-氧化物層。因此，可使用此等矽-氧化物層而將晶片72與絕緣或介電層66接合。

或者，形成圖33與34中所示結構之另一種技術係以下述方式進行，首先提供經構圖之偽基板165，譬如經構圖之偽晶圓、經構圖之面板、經構圖之矽框架，或多晶矽、玻璃、矽、陶瓷或聚合體之經構圖基板，其中多個開孔165a通過經構圖之偽基板165，其次使用層116，將經構圖之偽基板165與絕緣或介電層66接合，其可被稱為圖28中所示之步

驟，然後，將晶片72裝載於絕緣或介電層66上及在經構圖偽基板165中之開孔165a內，其可被稱為圖33中所示之步驟。

如圖33與34中所示，有多個間隙4a，各在偽基板165與晶片72之一之間，且有多個間隙8a(顯示其中之一)，各在相鄰兩個晶片72之間。各間隙4a可具有橫向距離或間距D4，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8a可具有橫向距離或間距D5，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。

圖35係顯示另一種形成具有如圖33中所示相同橫截面圖之結構之技術。圖33為沿著圖35示意俯視圖中所示之線條G-G所切割之橫截面圖。圖33與35中所示之結構可例如藉由下列步驟形成。首先，前文所述之膠層116可在圖27中所示之絕緣或介電層66上形成，利用例如旋轉塗覆製程、層合製程、噴霧製程、點膠製程或網版印刷製程。其次，膠層116可視情況被預熟化或烘烤。接著，前文所述之晶片72與多個各別偽基板165可被置於膠層116上。當在相鄰兩個晶片72間之間隙太大時，譬如大於500或1,000微米，一或多個各別偽基板165可被置於該間隙中。或者，當在相鄰兩個晶片72間之間隙係為足夠小時，譬如小於500或1,000微米，可以沒有個別偽基板165被置於該間隙中。其次，膠層116可在攝氏180度與攝氏350度間之溫度中再一次熟化，使用機械或熱壓力於該膠層116上。因此，個別偽基板165與晶片72可使用膠層116，與絕緣或介電層66接合。個別偽基板

165例如可為個別矽條塊、個別偽晶片、個別偽矽晶粒，或多晶矽、玻璃、矽或陶瓷之個別基板。

或者，參考圖33與35，膠層116可以絕緣或介電層66上所形成之矽-氧化物層置換。於此情況中，將晶片72與層66接合且將個別偽基板165與層66接合可例如以下述方式進行，將在各晶片72之主動側面上之鈍化層74之另一個矽-氧化物層，與矽-氧化物層116黏結，且藉由將各個別偽基板165之另一個矽-氧化物層，與矽-氧化物層116黏結。各晶片72之鈍化層74之矽-氧化物層係接觸矽-氧化物層116，且各個別偽基板165之矽-氧化物層係接觸矽-氧化物層116。因此，晶片72與個別偽基板165可使用此等矽-氧化物層，與絕緣或介電層66接合。

如圖33與35中所示，有多個間隙4a，各在晶片72之一與個別偽基板165之一之間，且有多個間隙8a(顯示其中之一)，各在相鄰兩個晶片72之間。各間隙4a可具有橫向距離或間距D4，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8a可具有橫向距離或間距D5，例如小於500微米，譬如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。於一項具體實施例中，在將個別偽基板165與絕緣或介電層66接合之前，沒有電路在各個別偽基板165中或在各個別偽基板165之頂部或底部表面上預先形成。

參考圖36，在圖33與34中或在圖33與35中所示步驟之後，

包封/間隙充填材料98，譬如多晶矽、氧化矽或聚合體，可在各晶片72之半導體基板96之背測上，在偽基板165上，及在間隙4a與8a中形成。若包封/間隙充填材料98為多晶矽，則此多晶矽可藉由化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程而形成。若包封/間隙充填材料98為氧化矽，則此氧化矽可藉由化學氣相沉積(CVD)製程、電漿加強化學氣相沉積(PECVD)製程或大氣壓力化學氣相沉積(APCVD)製程而形成。若包封/間隙充填材料98為聚合體，譬如聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，則此聚合體可藉由一種包括旋轉塗覆製程、點膠製程、成型製程或網版印刷製程之製程而形成。

其次，參考圖37，包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165係藉由例如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到晶片72之一之半導體基板96係被薄化至厚度T8為止，例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。較佳情況是，在研磨或拋光製程之後，各晶片72可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。在研磨或拋光製程之後，偽基板165可被薄化至厚度T9，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，且留在間隙4a與8a中之包封/間隙充填材料98可具有垂直厚度T10，

例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片72背側處之半導體基板96之經研磨或拋光表面96s，及偽基板165之經研磨或拋光表面165s，可為實質上平坦，且未被包封/間隙充填材料98覆蓋。經研磨或拋光之表面165s可實質上與各晶片72之經研磨或拋光表面96s，且與間隙4a和8a中之包封/間隙充填材料98之經研磨或拋光表面98s共平面。

或者，圖38與39係顯示另一種形成圖37中所示結構之技術。參考圖38，在圖33與34中或在圖33與35中所示步驟之後，包封/間隙充填材料98，譬如多晶矽或氧化矽，可在各晶片72之半導體基板96之背側上，在偽基板165上，及在間隙4a與8a中形成，然後聚合體99，譬如模製配料、聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，可在包封/間隙充填材料98上及在間隙4a與8a中形成。在間隙4a與8a中之包封/間隙充填材料98可具有垂直厚度T11，例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。

接著，參考圖39，機械研磨製程可例如利用磨擦或研磨墊，伴隨著水進行，以研磨聚合體99、包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165，直到移除所有聚合體99，且直到達成間隙4a與8a中之包封/間隙充填材料98之預定垂直厚度T12為止。預定垂直厚度T12可例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。磨擦或研磨墊可備有粗砂粒，具有平均顆

粒大小例如在0.5與15微米之間，以供進行機械研磨製程。然後可進行化學-機械-拋光(CMP)製程，例如利用拋光墊，其具有包含化學品之漿液與精細磨料例如矽石，具有平均顆粒大小例如在0.02與0.05微米之間，以拋光偽基板165、各晶片72之半導體基板96之背側及在間隙4a與8a中之包封/間隙充填材料98，直到晶片72之一之半導體基板96係被薄化至厚度T8在1與30微米之間，且較佳在2與5微米之間，在2與10微米之間，在2與20微米之間，或在3與30微米之間，如圖37中所示。

在化學-機械-拋光(CMP)製程之後，在各晶片72背側處之半導體基板96之經拋光表面96s，及偽基板165之經拋光表面165s，可為實質上平坦，且未被包封/間隙充填材料98覆蓋。經拋光之表面165s可實質上與各晶片72之經拋光表面96s，且與間隙4a與8a中之包封/間隙充填材料98之經拋光表面98s共平面。經拋光之表面96s、165s及98s可具有微粗糙度，例如小於20奈米。使用極精細磨料例如矽石與相對較弱化學藥品腐蝕之化學-機械-拋光(CMP)製程，係產生幾乎毫無變形與刮痕之表面96s、165s及98s，且這意謂化學-機械-拋光(CMP)製程係極良好地適合最後拋光步驟，產生乾淨表面96s、165s及98s。可進行使用機械研磨製程與化學-機械-拋光(CMP)製程，以產生各晶片72之極薄半導體基板96。因此，在化學-機械-拋光(CMP)製程之後，各晶片72可被薄化至厚度例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，偽基板165可被薄化至厚度T9

例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，及間隙4a與8a中之包封/間隙充填材料98可被薄化至厚度T10例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。

參考圖40，在形成圖37中所示結構之後，介電層88係在表面96s、165s及98s上形成。介電層88可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

介電層88例如可為藉由例如化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程所形成之無機層。該無機層可為例如一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，或包含氧化矽、氮化矽、碳氮化矽及氧氮化矽之層。該無機層可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

或者，介電層88可為聚合體層，譬如一層聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，其係藉由例如一種包括旋轉塗覆製程、點膠製程、成型製程或網版印刷製程之製程而形成。該聚合體層可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

或者，介電層88可由多個無機層所構成，其包括蝕刻阻止層，譬如氧氮化矽之蝕刻阻止層。當將圖樣蝕刻至介電

層88中時，係稍後使用蝕刻阻止層，以停止蝕刻。於此情況中，介電層88例如可由以下所構成，在表面96s、165s及98s上之第一矽-氧化物層、在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層及在矽-氧氮化物層上具有厚度例如在0.1與5微米之間，或在0.3與1.5微米間之第二矽-氧化物層。

接著，參考圖41，多個穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，係在晶片72中及在偽基板165中，藉由下列步驟形成，其係使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露。首先，光阻層，譬如正型光敏性光阻層或負型光敏性光阻層，係在介電層88上，利用適當製程，譬如旋轉塗覆製程或層合製程而形成。其次，使用1X步進器之光曝露製程及使用化學溶液之顯像製程可被採用，以形成在光阻層中使介電層88曝露之多個開孔。光阻層可具有厚度例如在3與50微米之間。接著，在光阻層中之開孔下方之介電層88係利用適當製程移除，譬如各向異性電漿蝕刻製程。其次，在光阻層中之開孔下方之偽基板165及在光阻層中之開孔下方之晶片72係被蝕離，直到在晶片72中之層106與114之預定區域及金屬互連體1之傳導層56之預定區域係被光阻層中之開孔曝露為止。接著，光阻層係利用例如有機化學品而被移除。因此，穿透通孔164v，包括通孔164a-164e，係在晶片72中及在偽基板165中形成，其係使金屬互連體1之傳導層56之預定區域曝露，且使晶片72之層114與106之預定區域曝露。穿透通孔164a係在

偽基板165中形成，穿透通孔164b與164c係在晶片72之一中形成，而穿透通孔164d與164e係在另一個晶片72中形成。

或者，形成在晶片72中及在偽基板165中之穿透通孔164v之另一種技術可藉由下列步驟進行。首先，光阻層，譬如正型光敏性光阻層或負型光敏性光阻層，可在介電層88上，利用例如旋轉塗覆製程或層合製程而形成。其次，使用1X步進器之光曝露製程及使用化學溶液之顯像製程可被採用，以形成在光阻層中使介電層88曝露之多個開孔。接著，多個開孔係在介電層88中及在光阻層中之開孔下方形成，其係使偽基板165與晶片72之半導體基板96曝露，其方式是使用例如各向異性電漿蝕刻製程，移除在光阻層中之開孔下方之介電層88。其次，光阻層係利用例如有機化學品而被移除。接著，在介電層88中之開孔下方之偽基板165及在介電層88中之開孔下方之晶片72可被蝕離，直到在晶片72中之層114與106之預定區域及金屬互連體1之傳導層56之預定區域係被介電層88中之開孔曝露為止。因此，穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，可在晶片72中及在偽基板165中形成，其係使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露。穿透通孔164a係在偽基板165中形成，穿透通孔164b與164c係在晶片72之一中形成，而穿透通孔164d與164e係在另一個晶片72中形成。各穿透通孔164v，譬如穿透通孔164a、164b、164c、164d或164e，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之

間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。

穿透通孔164v之一，譬如穿透通孔164a，係通過介電層88、偽基板165、層116及絕緣或介電層66，使金屬互連體1之一之傳導層56曝露。另一個穿透通孔164v，譬如穿透通孔164b，係通過介電層88，經過半導體基板96、介電層82、108、104及100，及晶片72之一之鈍化層74，經過層116，且經過絕緣或介電層66，使金屬互連體1之一之傳導層56曝露。另一個穿透通孔164v，譬如穿透通孔164c，係通過介電層88，且經過晶片72之一之半導體基板96與介電層100，使在晶片72之一之互連層106中之互連體或金屬跡線55c曝露。另一個穿透通孔164v，譬如穿透通孔164d，係通過介電層88，且經過晶片72之一之半導體基板96與介電層100、104及108，使在晶片72之一之經構圖金屬層114中之互連體或金屬跡線55b曝露。另一個穿透通孔164v，譬如穿透通孔164e，係通過介電層88，經過半導體基板96、介電層82、108、104及100，及晶片72之一之鈍化層74，經過層116，且經過絕緣或介電層66，使在晶片72之一之互連層106中之互連體或金屬跡線55a曝露，且使金屬互連體1之一之傳導層56曝露。由層66、116、74、82及108所提供之支撐物802係在金屬互連體1b之傳導層56與被穿透通孔164e所曝露之互連層106中之互連體或金屬跡線55a之間，以達成支撐所曝露之互連體或金屬跡線55a之目的。支撐物802可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度

例如在0.3與30微米之間，且較佳在0.3與10微米，0.3與5微米之間，或在0.3與1微米之間。圖42-44為示意俯視透視圖之三個實例，其係顯示圖41中所示之穿透通孔164e與互連體或金屬跡線55a。

如圖41與42中所示，在晶片72之一中之穿透通孔164e係使晶片72之一中之互連體或金屬跡線55a曝露，且使晶片72之一下方之金屬互連體1b之傳導層56之兩個區域曝露。互連體或金屬跡線55a具有線形區域，藉由穿透通孔164e曝露，在水平方向上係從穿透通孔164e之一個側面，經過穿透通孔164e之中心，延伸至穿透通孔164e之相反側面。前文所述之支撐物802，其係在金屬互連體1b之傳導層56與互連層106中之互連體或金屬跡線55a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線55a之所曝露線形區域。穿透通孔164e自俯視透視圖較佳可為但不限於圓形。

如圖41與43中所示，在晶片72之一中之穿透通孔164e係使晶片72之一中之互連體或金屬跡線55a曝露，且使晶片72之一下方之金屬互連體1b之傳導層56之區域曝露。互連體或金屬跡線55a具有半島區域，藉由穿透通孔164e曝露，在水平方向上係從穿透通孔164e之一個側面，至少延伸至穿透通孔164e之中心，但並未達到穿透通孔164e之相反側面；互連體或金屬跡線55a具有被穿透通孔164e所曝露之末端。前文所述之支撐物802，其係在金屬互連體1b之傳導層56與互連層106中之互連體或金屬跡線55a之所曝露半島區域之間，可為半島形，類似互連體或金屬跡線55a之所曝露半島

區域。穿透通孔164e自俯視透視圖較佳可為但不限於圓形。

如圖41與44中所示，在晶片72之一中之穿透通孔164e係使晶片72之一中之互連體或金屬跡線55a曝露，且使晶片72之一下方之金屬互連體1b之傳導層56之區域曝露。互連體或金屬跡線55a具有半島區域，藉由穿透通孔164e曝露，在水平方向上係從穿透通孔164e之一個側面，至少延伸至穿透通孔164e之中心，但並未達到穿透通孔164e之相反側面；互連體或金屬跡線55a具有被穿透通孔164e所曝露之圓形末端。前文所述之支撐物802，其係在金屬互連體1b之傳導層56與互連層106中之互連體或金屬跡線55a之所曝露半島區域之間，可為半島形，類似互連體或金屬跡線55a之所曝露半島區域。穿透通孔164e自俯視透視圖較佳可為但不限於圓形。

圖42A為示意俯視透視圖之實例，其係顯示圖41中所示之穿透通孔164e與互連體或金屬跡線55a。於此情況中，穿透通孔164e可為但不限於橢圓形，且具有寬度W3例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。在晶片72之一中之橢圓形穿透通孔164e係使晶片72之一中之互連體或金屬跡線55a曝露，且使晶片72之一下方之金屬互連體1b之傳導層56之兩個區域曝露。互連體或金屬跡線55a具有線形區域，藉由橢圓形穿透通孔164e曝露，在水平方向上係從橢圓形穿透通孔164e之一個側面，經過橢圓形穿透通孔164e之中心，延伸至橢圓形穿透通孔164e之相反側面。前文所

述之支撐物802，其係在金屬互連體1b之傳導層56與互連層106中之互連體或金屬跡線55a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線55a之所曝露線形區域。藉由橢圓形穿透通孔164e所曝露之互連體或金屬跡線55a具有寬度W4例如在0.3與30微米之間，且較佳在0.3與20微米之間，在0.3與10微米之間，在0.3與5微米之間，或在0.3與1微米之間。在橢圓形穿透通孔164e之長軸終點與被橢圓形穿透通孔164e所曝露互連體或金屬跡線55a之邊緣(其係比另一個相反邊緣更接近該終點)間之水平距離S2，可例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。

其次，參考圖45，介電層90係在介電層88之頂部表面上，在被穿透通孔164v (譬如穿透通孔164a、164b及164e)所曝露之金屬互連體1之傳導層56上，在被穿透通孔164v (譬如穿透通孔164c、164d及164e)所曝露之晶片72之層106與114上，及在穿透通孔164v之側壁上形成。

介電層90可由絕緣材料所構成。例如，介電層90可為具有厚度例如在20奈米與1微米間之無機層，且無機層可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)。或者，介電層90可為具有厚度例如在1與10微米之間，且較佳在1與5微米間之聚合體層，且聚合體層可為一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)。

其次，參考圖46，光阻層162，譬如正型光敏性光阻層或

負型光敏性光阻層，可在介電層90上，利用例如旋轉塗覆製程或層合製程而形成。接著，使用1X步進器之光曝露製程與使用濕式化學之顯像製程可被採用，以形成在光阻層162中使介電層90曝露之多個開孔162a。光阻層162可具有厚度例如在0.5與30微米之間。

接著，參考圖47，在層56、106及114上，及在開孔162a下方之介電層88之頂部表面上所形成之介電層90，可經由例如使用各向異性電漿蝕刻製程，將開孔162a下方之介電層90蝕刻而被移除。在穿透通孔164v底部，於開孔162a下方之介電層88之頂部表面上，及在支撐物802上方之互連體或金屬跡線55a之頂部表面上之介電層90，可被蝕離。因此，在穿透通孔164v底部之層56、106及114，在開孔162a下方之介電層88之頂部表面，及在支撐物802上方之互連體或金屬跡線55a，均藉由開孔162a而被曝露，且介電層90仍然留在穿透通孔164v之側壁上，因此被稱為在穿透通孔164v中之側壁介電層。側壁介電層90係在晶片72中或在偽基板165中之穿透通孔164v之側壁上形成，且係被晶片72之半導體基板96或被偽基板165包圍。

其次，參考圖48，多個壕溝88t，其為鑲嵌開孔，可在介電層88中形成，其方式是使用例如各向異性電漿蝕刻製程，將開孔162a下方之介電層88與側壁介電層90蝕刻至深度D6，例如在0.1與5微米之間，且較佳在0.5與3微米之間。較佳情況是，介電層88與側壁介電層90具有相同材料，譬如氮化矽、氧化矽或氧氮化矽。在蝕刻製程之後，於壕溝

88t下方之介電層88具有剩餘厚度T13，例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

或者，蝕刻阻止技術可被應用於形成介電層88中之壕溝88t之製程。於此情況中，介電層88係由前文所述之無機層所構成，例如包括在表面96s、165s及98s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及在矽-氧氮化物層上之第二矽-氧化物層。壕溝88t可在介電層88中形成，其方式是將開孔162a下方之介電層88之第二矽-氧化物層及開孔162a下方之側壁介電層90蝕刻，直到介電層88之矽-氧氮化物層係被開孔162a曝露為止。因此，壕溝88t係在介電層88之第二矽-氧化物層中形成，且在壕溝88t下方由矽-氧氮化物層與第一矽-氧化物層所構成之殘留介電層88，係具有厚度T13例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

其次，參考圖49，光阻層162係利用例如有機化學品而被移除。在介電層88中所形成之壕溝88t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。在晶片72中，於穿透通孔164v (譬如穿透通孔164b、164c、164d及164e)之側壁上所形成之側壁介電層90，可防止過渡金屬譬如銅、鈉或水份穿透至晶片72之IC裝置中。圖50為根據本發明具體實施例之顯示圖49中所示之穿透通孔164v、壕溝88t及側壁介電層90之示意俯視透視圖，且圖49為沿著圖

50中所示之線條H-H所切割之橫截面圖。

其次，參考圖51，黏著/障壁層92，具有厚度例如小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，可在被穿透通孔164v所曝露之層56、106及114上，在壕溝88t之側壁與底部上，在介電層90上，及在支撐物802上之互連體或金屬跡線55a上形成。黏著/障壁層92可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，晶種層94，具有厚度例如小於1微米，譬如在10毫微米與0.8微米之間，且較佳在80奈米與0.15微米之間，可在黏著/障壁層92上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，傳導層86，具有厚度例如在0.5與20微米之間，或在0.5與10微米之間，且較佳在1與5微米之間，可在晶種層94上，利用例如電鍍製程而形成。

黏著/障壁層92可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度例如小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。晶種層94可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度例如小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間。傳導層86可包括或可為銅、金或銀之經電鍍金屬層，具有厚度例如在0.5與20微米之間，或在0.5與10微米之間，且較佳在1與5微米之間。

其次，參考圖52，利用研磨或拋光製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程，可移除壕溝88t外部之層92、94及86，且可移除在介電層88之頂部表面上之介電層90。因此，介電層88具有所曝露之頂部表面88s，其可實質上與壕溝88t中之傳導層86之經研磨或拋光表面86s共平面，且表面86s與88s可為實質上平坦。介電層88具有在所曝露頂部表面88s與表面96s或165s間之厚度T14，例如在1與10微米之間，且較佳在1與3微米之間，或在2與5微米之間。黏著/障壁層92與晶種層94係在壕溝88t中之傳導層86之側壁與底部，且在壕溝88t中之傳導層86之側壁與底部係被黏著/障壁層92與晶種層94所覆蓋。

於第一替代方式中，在移除壕溝88t外部之層92、94及86，且移除介電層88之頂部表面上之介電層90之步驟後，黏著/障壁層92可為含鈦層，譬如單層鈦、鈦-鎢合金或氮化鈦，具有厚度小於1微米，譬如在1毫微米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝88t之側壁與底部上，在穿透通孔164v底部之層56、106及114上，在側壁介電層90上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為單層銅或鈦-銅合金，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。傳導層86可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝88t中，及在穿透通孔164v中。在壕溝88t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較

佳在0.5與3微米之間。

於第二替代方式中，在移除壕溝88t外部之層92、94及86，且移除介電層88之頂部表面上之介電層90之步驟後，黏著/障壁層92可為含鉭層，譬如單層鉭或氮化鉭，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝88t之側壁與底部上，在穿透通孔164v底部之層56、106及114上，在側壁介電層90上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為單層銅或鈦-銅合金，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上。傳導層86可為在單層銅或鈦-銅合金上，於壕溝88t中，及在穿透通孔164v中之經電鍍銅層。在壕溝88t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

於第三種替代方式中，在移除壕溝88t外部之層92、94及86，且移除介電層88之頂部表面上之介電層90之步驟後，黏著/障壁層92可為含鉻層，譬如單層鉻，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝88t之側壁與底部上，在穿透通孔164v底部之層56、106及114上，在側壁介電層90上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為單層銅或鈦-銅合金，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上。傳導層86可為經電鍍銅層，於銅或鈦-銅合金之單層上，在壕溝88t

中，及在穿透通孔164v中。在壕溝88t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

在移除壕溝88t外部之層92、94及86，且移除介電層88之頂部表面上之介電層90之步驟後，於壕溝88t中之層92、94及86係構成壕溝88t中之多個金屬互連體(或鑲嵌金屬跡線)2，包括金屬互連體2a與2b。在穿透通孔164v中之層92、94及86係構成穿透通孔164v中之多個金屬插塞(或金屬通孔)6p，包括個別如圖49中所示之穿透通孔164a、164b、164c、164d及164e中之金屬插塞(或金屬通孔)6a、6b、6c、6d及6e。在晶片72中與在偽基板165中之各金屬插塞6p係被穿透通孔164v中之側壁介電層90之一包圍。金屬插塞6a係在偽基板165中形成，金屬插塞6b與6c係在晶片72之一中形成，而金屬插塞6d與6e係在另一個晶片72中形成。在晶片72中與在偽基板165中所形成之此等金屬插塞6p可將金屬互連體2與在晶片72中之半導體裝置102連接，且將金屬互連體1與2連接。支撐物802及在該支撐物802上之互連層106中之互連體或金屬跡線55a，可在金屬插塞6e之兩個部份之間，低於互連層106之頂部表面所在位置之水平位。在壕溝88t中之金屬互連體2，譬如2a與2b，可具有厚度例如在0.1與5微米之間，且較佳在1與3微米之間。

例如，金屬插塞6p之一，譬如金屬插塞6a，可在偽基板165中形成，且在穿透通孔164v之一(譬如穿透通孔164a)之底部，於金屬互連體1之一(譬如金屬互連體1b)之傳導層56之接觸點上形成。另一個金屬插塞6p，譬如金屬插塞6e，

可在晶片72之一中形成，在支撐物(譬如支撐物802)上方之互連體或金屬跡線55a之接觸點上形成，該支撐物係在另一個金屬插塞6p(譬如金屬插塞6e)之兩個左下方與右下方部份之間，且在另一個穿透通孔164v(譬如穿透通孔164e)之底部，於金屬互連體1之一(譬如金屬互連體1b)中之傳導層56之另一個接觸點上形成。另一個金屬插塞6p，譬如金屬插塞6d，可在晶片72之一中形成，且在另一個穿透通孔164v(譬如穿透通孔164d)之底部，於晶片72之一中之互連體或金屬跡線55b之接觸點上形成。另一個金屬插塞6p，譬如金屬插塞6b，可在另一個晶片72中形成，且在另一個穿透通孔164v(譬如穿透通孔164b)之底部，於另一個金屬互連體1(譬如金屬互連體1a)中之傳導層56之另一個接觸點上形成。另一個金屬插塞6p，譬如金屬插塞6c，可在另一個晶片72中形成，且在另一個穿透通孔164v(譬如穿透通孔164c)之底部，於另一個晶片72中之互連體或金屬跡線55c之接觸點上形成。

金屬互連體2a可在偽基板165上方，於多個晶片72上方形成，且越過多個晶片72之多個邊緣。金屬互連體2a可經過晶片72之一中之金屬插塞6b，而被連接至金屬互連體1a之接觸點，在穿透通孔164b之底部，可經過晶片72之一中之金屬插塞6c，而被連接至晶片72之一中之互連體或金屬跡線55c之接觸點，在穿透通孔164c之底部，且可經過另一個晶片72中之金屬插塞6d，而被連接至另一個晶片72中之互連體或金屬跡線55b之接觸點，在穿透通孔164d之底部。在

穿透通孔164b、164c及164d底部之此等接觸點可經過金屬互連體2a而互相連接。

金屬互連體2b可於多個晶片72上形成，以連接多個晶片72中之多個半導體裝置102。金屬互連體2b可經過晶片72之一中之金屬插塞6e，而被連接至金屬互連體1b之接觸點，在穿透通孔164e之底部，可經過晶片72之一中之金屬插塞6e與互連體或金屬跡線55a，而被連接至晶片72之一中之一或多個半導體裝置102，且可經過另一個晶片72中之另一個金屬插塞6p，而被連接至另一個晶片72中之互連體或金屬跡線55a、55b或55c之接觸點，在另一個穿透通孔164v之底部。

因此，在晶片72之一中之半導體裝置102之一可經過金屬互連體2之一，譬如2a或2b，而被連接至晶片72之一中或另一個晶片72中之另一個半導體裝置102，且可經過金屬互連體2之一，而被連接至金屬互連體1之一(譬如1a或1b)之傳導層56之接觸點，在穿透通孔164v之一(譬如穿透通孔164a、164b或164e)之底部。各金屬互連體2可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件72不僅可表示晶片，而且亦可表示晶圓。當構件72為晶圓時，構件68可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖53，在形成圖52中所示結構之後，絕緣或介電層120可在黏著/障壁層92之經研磨或拋光表面92s上，在晶種

層94之經研磨或拋光表面94s上，在傳導層86之經研磨或拋光表面86s上，及在介電層88之所曝露頂部表面88s上形成。絕緣或介電層120可具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間。

絕緣或介電層120例如可包含或可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間，藉由化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程而形成。

或者，絕緣或介電層120可包含或可為聚合體層，具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間，藉由例如一種包括旋轉塗覆製程與熟化製程之製程而形成。聚合體層可為一層聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或環氧基。

其次，參考圖54，偽基板158可例如藉由下列步驟而被連接至絕緣或介電層120上。首先，膠層140，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間，可利用例如旋轉塗覆製程、層合製程、噴霧程序、點膠製程或網版印刷製程，在絕緣或介電層120之頂部表面上或在偽基板158之底部表面上形成。其次，膠層140

可視情況被預熟化或烘烤。接著，偽基板158可被置於絕緣或介電層120上，伴隨著膠層140在絕緣或介電層120與偽基板158之間。其次，可使膠層140在攝氏180度與攝氏350度間之溫度中再一次熟化，使用機械或熱壓力在該膠層140上。因此，可使用膠層140而將偽基板158與絕緣或介電層120接合。膠層140可為聚合體層，譬如一層環氧基、聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或硅氧烷，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間。

或者，可將膠層140以無機絕緣層譬如氧化矽置換，其可在絕緣或介電層120上形成。於此情況中，可將偽基板158與絕緣或介電層120接合，例如藉由將偽基板158之無機絕緣層，譬如氧化矽，黏結至無機絕緣層140譬如氧化矽上。偽基板158之矽-氧化物層係接觸矽-氧化物層140。

偽基板158可為圓形晶圓、偽矽晶圓、矩形面板，或多晶矽、玻璃、矽或陶瓷之基板。在按下述製程中所提及經研磨或拋光之前，偽基板158可具有厚度例如大於100微米，譬如在100與1,500微米之間，且較佳在200與500微米之間，或在100與300微米之間。

於一項具體實施例中，在將偽基板158與絕緣或介電層120接合之前，沒有電路在偽基板158中或在偽基板158之頂部或底部表面上預先形成。偽基板158可具有頂部表面，其具有實質上與載體11之頂部表面相同之輪廓。

其次，參考圖55，多個開孔158a係藉由一種例如包括光

微影術製程與蝕刻製程之製程，在偽基板158中形成，其係使膠層140曝露，其可被稱為圖29與31之先前說明。或者，當膠層140係被矽-氧化物層置換，且偽基板158具有與矽-氧化物層140黏結之矽-氧化物層時，開孔158a係藉由一種例如包括光微影術製程與蝕刻製程之製程，在偽基板158中形成，其係使偽基板158之矽-氧化物層曝露，其可被稱為圖29與31之先前說明。圖56係顯示具有如圖55中所示開孔158a之偽基板158之頂部示意圖，且圖55可為沿著圖56中所示線條I-I所切割之橫截面圖。

或者，硬光罩(未示出)，譬如氧化矽或氮化矽，可在圖55中所示之偽基板158上，例如藉由下列步驟而形成。首先，氧化矽或氮化矽之硬光罩可在圖54中所示之偽基板158上形成。其次，光阻層可在硬光罩上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。接著，可採用光曝露製程與顯像製程，以形成在光阻層中使硬光罩之多個區域曝露之多個開孔，其次，多個開孔係在硬光罩中，且在光阻層中之開孔下方形成，其係利用例如濕蝕刻製程或電漿蝕刻製程，使偽基板158之多個區域曝露。接著，光阻層係利用例如有機化學品而被移除。其次，多個開孔158a係在偽基板158中，且在硬光罩中之開孔下方形成，其係利用例如化學蝕刻製程或電漿蝕刻製程，使膠層140曝露。或者，當膠層140係被矽-氧化物層置換，且偽基板158具有與矽-氧化物層140黏結之矽-氧化物層時，開孔158a係在偽基板158中，及在硬光罩中之開孔下方形成，其係利用例如化

學蝕刻製程或電漿蝕刻製程，使偽基板158之矽-氧化物層曝露。硬光罩係藉由下述研磨或拋光製程而被移除。

其次，參考圖57，多個晶片118可被裝載於絕緣或介電層120上，及在偽基板158中之開孔158a內，且晶片118具有主動側面在晶片118之底部，及背側在晶片118之頂部。於一種情況中，晶片118之一可具有與另一個晶片118不同之電路設計。而且，在另一種情況中，晶片118之一可具有與另一個晶片118相同之電路設計。或者，晶片118之一可具有與另一個晶片118不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片118之一可具有與另一個晶片118相同之面積(頂部表面)或大小。圖58係為顯示晶片118被裝載於偽基板158中之開孔158a內之示意俯視圖之實例，且圖57為沿著圖58示意俯視圖中所示線條J-J所切割之橫截面圖。

於絕緣或介電層120上及在開孔158a中裝載晶片118，可例如以下述方式進行，首先，在晶片118之主動側面上或在膠層140上形成膠材料(未示出)，其次，將晶片118放置在開孔158a中及在膠層140上，其中膠材料係與膠層140接觸，接著，使膠材料在攝氏180度與攝氏350度間之溫度中熟化，使用機械或熱壓力在該膠材料上。因此，可使用膠材料而將晶片118與膠層140接合。

各晶片118可包含半導體基板124、在半導體基板124中及/或於其上之多個半導體裝置13、在半導體基板124下方之鈍化層21、在半導體基板124與鈍化層21間之多個介電層78、28、38及40、在半導體基板124與鈍化層21間之經構圖

金屬層19、在半導體基板124與鈍化層21間之互連層17、在介電層28中之多個通孔插塞19a及在介電層40中之多個通孔插塞17a。半導體基板124係在各晶片118之背側，而半導體裝置13、鈍化層21、經構圖之金屬層19、互連層17、介電層78、28、38及40以及通孔插塞17a與19a係在各晶片118之主動側面。

半導體基板124可為適當基板，譬如矽基板、矽-鍺(SiGe)基板或鎵-砷化物(GaAs)基板。在按下文製程中所述經薄化之前，半導體基板124可具有厚度例如大於100微米，譬如在100與500微米之間，且較佳在150與250微米之間，或在100與300微米之間。

各半導體裝置13可為P-通道金氧半導體(PMOS)電晶體、N-通道金氧半導體(NMOS)電晶體、雙重擴散金氧半導體(DMOS)電晶體或雙極電晶體。各半導體裝置13可備有反或閘、反及閘、及閘、或閘、靜態隨機存取記憶體(SRAM)元件、動態隨機存取記憶體(DRAM)元件、快閃記憶元件、非揮發性記憶元件、可消除可程式化唯讀記憶體(EPROM)元件、唯讀記憶體(ROM)元件、磁性隨機存取記憶體(MRAM)元件、讀出放大器、換流器、操作放大器、加法器、多路乘法器、雙訊器、倍增器、類比數位(A/D)轉換器、數位類比(D/A)轉換器、類比電路、互補金氧半導體(CMOS)感應器或電荷耦合裝置(CCD)。

鈍化層21可包含或可為具有底部表面連接至膠層140之無機介電層，且無機介電層可為一層氮化矽(譬如Si_3N_4)、

碳氮化矽(譬如SiCN)或氧氮化矽(譬如SiON)，具有厚度例如在0.3與1.5微米之間。或者，各晶片118可進一步包含有機聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)、環氧基或硅氧烷，具有厚度例如大於3微米，譬如在3與20微米之間，且較佳在5與12微米之間，在鈍化層21之無機介電層之底部表面下方與上方。於此情況中，有機聚合體層具有經連接至膠層140之底部表面。有機聚合體層具有頂部表面，其係接觸鈍化層21之無機介電層之底部表面。

或者，多個開孔(未示出)，各具有寬度例如在0.5與100微米之間，及較佳在20與60微米之間，可在鈍化層21中形成，且使經構圖金屬層19之多個接觸點曝露。

介電層78可在鈍化層21與介電層28之間。介電層28可在介電層78與38之間，且在層17與19之間。介電層38可在介電層40與28之間。各介電層78、28及38可包括氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)、氧碳化矽(譬如SiOC)或具有介電常數在1.8與3間之低-k材料(譬如氟化矽酸鹽玻璃(FSG)或黑金剛石)。各介電層78、28及38可具有厚度例如在10奈米與2微米之間，且較佳在50奈米與1微米之間。

在介電層38與半導體基板124之間，且在互連層17與半導體基板124間之介電層40，可包含或可為一層磷矽酸鹽玻璃(PSG)、硼磷-矽酸鹽玻璃(BPSG)、氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如

SiON)，或具有介電常數在1.8與3間之低-k材料(譬如氟化矽酸鹽玻璃(FSG)或黑金剛石)。介電層40可具有厚度例如在10奈米與1微米之間。

經構圖之金屬層19例如可包含鋁-銅-合金層，具有厚度例如在0.3與3微米之間，與含鈦層，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。含鈦層可在介電層28與鋁-銅-合金層之間，且於鋁-銅-合金層上，及鋁-銅-合金層可在鈍化層21與含鈦層之間。含鈦層可為鈦、氮化鈦或鈦-鎢合金之單層，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。

或者，從介電層28之側面至鈍化層21之側面觀之，經構圖之金屬層19可包含鎳層，具有厚度例如在0.5與3微米之間，與金層，具有厚度例如在0.01與1微米之間，在該鎳層下方與上方。鎳層係在介電層28與金層之間，且金層係在鎳層與鈍化層21之間。

或者，經構圖之金屬層19可藉由鑲嵌或雙鑲嵌製程而形成，包括電鍍製程與化學機械拋光(CMP)製程，且可由以下所構成，具有接觸鈍化層21之底部之經電鍍銅層、在經電鍍銅層之頂部與側壁之黏著性/障壁金屬層及在經電鍍銅層與黏著性/障壁金屬層之間且在經電鍍銅層之頂部與側壁上之晶種層。黏著性/障壁金屬層具有第一部份在經電鍍銅層頂部與介電層28之間，與第二部份在經電鍍銅層之側壁。經電鍍銅層可具有厚度例如小於1.5微米，譬如在0.15與1.2微米之間，或小於3微米，譬如在0.3與3微米之間。經

電鍍銅層可具有寬度例如小於1微米，譬如在0.05與1微米之間。晶種層可包含或可為藉由適當製程譬如濺射製程所形成之一層銅或鈦-銅合金。黏著性/障壁金屬層可包含或可為藉由適當製程譬如濺射製程所形成之一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭或氮化鉭。黏著性/障壁金屬層可具有厚度例如小於0.1微米，譬如在0.005與0.1微米之間。經電鍍銅層之側壁係被黏著性/障壁金屬層與晶種層覆蓋。

互連層17例如可包含碳奈米管。或者，互連層17可由介電層38中之經構圖金屬層所構成。於第一替代方式中，經構圖之金屬層17可包含鋁-銅-合金層，具有厚度例如在10奈米與2微米之間，與含鈦層，譬如氮化鈦、鈦-鎢合金或鈦之單層，具有厚度例如小於0.2微米，譬如在0.02與0.15微米之間。含鈦層可在鋁-銅-合金層上，且在介電層40與鋁-銅-合金層之間，及鋁-銅-合金層可在介電層38中。於第二替代方式中，經構圖之金屬層17可藉由鑲嵌或雙鑲嵌製程而形成，包括電鍍製程與化學機械拋光(CMP)製程，且可由以下所構成，具有接觸介電層28之底部之經電鍍銅層、在經電鍍銅層之頂部與側壁之黏著性/障壁金屬層及在經電鍍銅層與黏著性/障壁金屬層之間且在經電鍍銅層之頂部與側壁上之晶種層。黏著性/障壁金屬層具有第一部份在經電鍍銅層頂部與介電層40之間，與第二部份在經電鍍銅層之側壁。經電鍍銅層可具有厚度例如小於2微米，譬如在0.15與1微米之間，或在10奈米與2微米之間。經電鍍銅層可具有寬度例如小於1微米，譬如在0.05與1微米之間。

晶種層可包含或可為藉由適當製程譬如濺射製程所形成之一層銅或鈦-銅合金。黏著性/障壁金屬層可包含或可為藉由適當製程譬如濺射製程所形成之一層鈦、氮化鈦、鈦-鎢合金、鉻、鉭或氮化鉭。黏著性/障壁金屬層可具有厚度例如小於0.1微米，譬如在0.005與0.1微米之間。經電鍍銅層之側壁係被黏著性/障壁金屬層與晶種層覆蓋。

在介電層78中之經構圖金屬層19可經過介電層28中之通孔插塞19a而被連接至介電層38中之互連層17。在介電層38中之互連層17可經過介電層40中之通孔插塞17a而被連接至半導體裝置13。通孔插塞19a可包含經電鍍銅、鎢或碳奈米管在介電層28中。通孔插塞17a可包含經電鍍銅、鎢或碳奈米管在介電層40中。

各晶片118可包含由互連層17、經構圖之金屬層19及通孔插塞17a與19a所提供之多個互連體或金屬跡線75a、75b、75c及75d。各互連體或金屬跡線75a、75b、75c及75d可被連接至一或多個半導體裝置13，且可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，各晶片118可進一步包含在膠層140與鈍化層21間之經構圖金屬層(未示出)，具有大於經構圖金屬層19及大於互連層17之厚度。在鈍化層21下方之經構圖金屬層可包含在鈍化層21下方之經電鍍金屬層、在經電鍍金屬層與鈍化層21間之黏著性/障壁金屬層及在經電鍍金屬層與黏著性/障壁金屬層間之晶種層。從鈍化層21之側面至膠層140

之側面觀之，黏著性/障壁金屬層可在晶種層上，且晶種層可在經電鍍金屬層上。經電鍍金屬層之側壁未被黏著性/障壁金屬層與晶種層覆蓋。黏著性/障壁金屬層可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鎳，具有厚度例如小於0.6微米，譬如在1奈米與0.5微米之間，或在0.005與0.1微米之間。晶種層可包含或可為一層銅、鈦-銅合金、銀、金或鎳，具有厚度例如小於0.8微米，譬如在5奈米與0.1微米之間，或在10奈米與0.8微米之間。各黏著性/障壁金屬層與晶種層可藉由適當製程而形成，譬如濺射製程。經電鍍金屬層可包含或可為一層電鍍銅、電鍍銀或電鍍金，具有厚度例如大於2微米，譬如在2與30微米之間，且較佳在3與10微米之間，或在5與25微米之間。

或者，當在形成開孔158a之後，偽基板158之矽-氧化物層仍然留在矽-氧化物層140上，且被偽基板158中之開孔158a曝露時，將晶片118裝載於絕緣或介電層120上及在開孔158a中可例如以下述方式進行，將在各晶片118之主動側面之鈍化層21之另一個矽-氧化物層，與鈍化層21下方之偽基板158之殘留矽-氧化物層黏結。鈍化層21之矽-氧化物層係接觸偽基板158之矽-氧化物層。因此，可使用此等矽-氧化物層，將晶片118與絕緣或介電層120接合。

或者，形成圖57與58中所示結構之另一種技術係以下述方式進行，首先提供經構圖之偽基板158，譬如經構圖之偽晶圓、經構圖之面板、經構圖之矽框架，或多晶矽、玻璃、矽、陶瓷或聚合體之經構圖基板，其中多個開孔158a通過

經構圖之偽基板158，其次使用層140，將經構圖之偽基板158與絕緣或介電層120接合，其可被稱為圖54中所示之步驟，接著，將晶片118裝載於絕緣或介電層120上及在經構圖偽基板158中之開孔158a內，其可被稱為圖57中所示之步驟。

如圖57與58中所示，有多個間隙4b，各在偽基板158與晶片118之一之間，且有多個間隙8b(顯示其中之一)，各在相鄰兩個晶片118之間。各間隙4b可具有橫向距離或間距D7，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8b可具有橫向距離或間距D8，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。

圖59係顯示另一種形成具有如圖57中所示相同橫截面圖之結構之技術。圖57為沿著圖59示意俯視圖中所示之線條J-J所切割之橫截面圖。圖57與59中所示之結構可例如藉由下列步驟形成。首先，前文所述之膠層140可在圖53中所示之絕緣或介電層120上，利用例如旋轉塗覆製程、層合製程、噴霧程序、點膠製程或網版印刷製程而形成。其次，膠層140可視情況被預熟化或烘烤。接著，可將前文所述之晶片118與多個各別偽基板158置於膠層140上。當在相鄰兩個晶片118間之間隙係為太大時，譬如大於500或1,000微米，一或多個各別偽基板158可被置於該間隙中。或者，當在相鄰兩個晶片118間之間隙係為足夠小時，譬如小於500或1,000微米，可以沒有個別偽基板158被置於該間隙中。其次，可

使膠層140在攝氏180度與攝氏350度間之溫度中再一次熟化，使用機械或熱壓力在該膠層140上。因此，可使用膠層140，將個別偽基板158和晶片118與絕緣或介電層120接合。個別偽基板158例如可為個別矽條塊、個別偽晶片、個別偽矽晶粒，或多晶矽、玻璃、矽或陶瓷之個別基板。

或者，參考圖57與59，可將膠層140以在絕緣或介電層120上形成之矽-氧化物層置換。於此情況中，將晶片118與層120接合，且將個別偽基板158與層120接合，可例如經由將在各晶片118之主動側面之鈍化層21之另一個矽-氧化物層，與矽-氧化物層140黏結，且經由將各個別偽基板158之另一個矽-氧化物層與矽-氧化物層140黏結而進行。各晶片118之鈍化層21之矽-氧化物層係接觸矽-氧化物層140，而各個別偽基板158之矽-氧化物層係接觸矽-氧化物層140。因此，可使用此等矽-氧化物層，將晶片118和個別偽基板158與絕緣或介電層120接合。

如圖57與59中所示，有多個間隙4b，各在晶片118之一與個別偽基板158之一之間，且有多個間隙8b（顯示其中之一），各在相鄰兩個晶片118之間。各間隙4b可具有橫向距離或間距D7，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8b可具有橫向距離或間距D8，例如小於500微米，譬如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。於一項具體實施例中，在將個別偽基板158與絕緣或介電層120接合之前，沒有電路在各個別

偽基板158中或在各個別偽基板158之頂部或底部表面上預先形成。

參考圖60，在圖57與58中或圖57與59中所示步驟之後，包封/間隙充填材料138，譬如多晶矽、氧化矽或聚合體，係在各晶片118之半導體基板124之背側上，在偽基板158上，及在間隙4b與8b中形成。若包封/間隙充填材料138為多晶矽，則此多晶矽可藉由化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程而形成。若包封/間隙充填材料138為氧化矽，則此氧化矽可藉由化學氣相沉積(CVD)製程、電漿加強化學氣相沉積(PECVD)製程或大氣壓力化學氣相沉積(APCVD)製程而形成。若包封/間隙充填材料138為聚合體，譬如聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，則此聚合體可藉由一種包括旋轉塗覆製程、點膠製程、成型製程或網版印刷製程之製程而形成。

其次，參考圖61，包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158係藉由適當製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到晶片118之一之半導體基板124係被薄化至厚度T15為止，例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。較佳情況是，在研磨或拋光製程之後，各晶片118可具有厚度例如在3與

105微米之間，且較佳在3與30微米之間，或在5與25微米之間。在研磨或拋光製程之後，偽基板158可被薄化至厚度T16，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，且留在間隙4b與8b中之包封/間隙充填材料138可具有垂直厚度T17，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片118背側處之半導體基板124之經研磨或拋光表面124s，及偽基板158之經研磨或拋光表面158s，可為實質上平坦，且未被包封/間隙充填材料138覆蓋。經研磨或拋光之表面158s可實質上與各晶片118之經研磨或拋光表面124s，且與間隙4b與8b中之包封/間隙充填材料138之經研磨或拋光表面138s共平面。

或者，圖62與63係顯示另一種形成圖61中所示結構之技術。參考圖62，在圖57與58中或圖57與59中所示步驟之後，包封/間隙充填材料138，譬如多晶矽或氧化矽，可在各晶片118之半導體基板124之背側上，在偽基板158上，及在間隙4b與8b中形成，然後聚合體137，譬如模製配料、聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，可在包封/間隙充填材料138上及在間隙4b與8b中形成。在間隙4b與8b中之包封/間隙充填材料138可具有垂直厚度T18，例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。

其次，參考圖63，機械研磨製程可例如利用磨擦或研磨墊，伴隨著水進行，以研磨聚合體137、包封/間隙充填材

料138、各晶片118之半導體基板124之背側及偽基板158，直到移除所有聚合體137，且直到達成間隙4b與8b中之包封/間隙充填材料138之預定垂直厚度T19為止。預定垂直厚度T19可例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。磨擦或研磨墊可備有粗砂粒，具有平均顆粒大小例如在0.5與15微米之間，以供進行機械研磨製程。然後，化學-機械-拋光(CMP)製程可例如利用拋光墊，以含有化學品之漿液與精細磨料例如矽石進行，該矽石具有平均顆粒大小例如在0.02與0.05微米之間，以拋光偽基板158、各晶片118之半導體基板124之背側及在間隙4b與8b中之包封/間隙充填材料138，直到晶片118之一之半導體基板124係被薄化至厚度T15為止，在1與30微米之間，且較佳在2與5微米之間，在2與10微米之間，在2與20微米之間，或在3與30微米之間，如圖61中所示。

在化學-機械-拋光(CMP)製程之後，在各晶片118背側之半導體基板124之經拋光表面124s，及偽基板158之經拋光表面158s，可為實質上平坦，且未被包封/間隙充填材料138覆蓋。經拋光表面158s可實質上與各晶片118之經拋光表面124s，且與間隙4b與8b中之包封/間隙充填材料138之經拋光表面138s共平面。經拋光表面124s、158s及138s具有例如低於20奈米之微粗糙度。使用極精細磨料例如矽石與相對較弱化學藥品腐蝕之化學-機械-拋光(CMP)製程係產生幾乎毫無變形與刮痕之表面124s、158s及138s，且這意謂化學-機械-拋光(CMP)製程係為極良好地適合最後拋光步驟，產生乾淨表

面124s、158s及138s。可進行使用機械研磨製程與化學-機械-拋光(CMP)製程，以產生各晶片118之極薄半導體基板124。因此，在化學-機械-拋光(CMP)製程之後，各晶片118可被薄化至厚度例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，偽基板158可被薄化至厚度T16例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，及在間隙4b與8b中之包封/間隙充填材料138可被薄化至厚度T17例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。

參考圖64，在形成圖61中所示結構之後，介電層139係在表面124s、158s及138s上形成。介電層139可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

介電層139例如可為藉由例如化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程所形成之無機層。該無機層可為例如一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，或包含氧化矽、氮化矽、碳氮化矽及氧氮化矽之層。該無機層可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

或者，介電層139可為聚合體層，譬如一層聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，其係藉由例如一種包括旋轉塗覆製程、點膠製程、成型製

程或網版印刷製程之製程而形成。該聚合體層可具有厚度例如在0.5與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在1與3微米之間。

或者，介電層139可由多個無機層所構成，其包括蝕刻阻止層，譬如氧氮化矽之蝕刻阻止層。當將圖樣蝕刻至介電層139中時，係稍使後用蝕刻阻止層，以停止蝕刻。於此情況中，介電層139例如可由以下所構成，在表面124s、158s及138s上之第一矽-氧化物層、在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層及在矽-氧氮化物層上具有厚度例如在0.1與5微米之間，或在0.3與1.5微米間之第二矽-氧化物層。

接著，參考圖65，多個穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，係在晶片118中及在偽基板158中，藉由下列步驟形成，其係使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。首先，光阻層，譬如正型光敏性光阻層或負型光敏性光阻層，係在介電層139上，利用適當製程，譬如旋轉塗覆製程或層合製程而形成。其次，使用1X步進器之光曝露製程及使用化學溶液之顯像製程可被採用，以形成在光阻層中使介電層139曝露之多個開孔。光阻層可具有厚度例如在3與50微米之間。接著，在光阻層中之開孔下方之介電層139係利用適當製程移除，譬如各向異性電漿蝕刻製程。其次，在光阻層中之開孔下方之偽基板158及在光阻層中之開孔下方之晶片118係被蝕離，直到在晶片118中之層17與19之預定區域及金屬互連體

2之傳導層86之預定區域係被光阻層中之開孔曝露為止。接著，光阻層係利用例如有機化學品而被移除。因此，穿透通孔156v，包括通孔156a-156f，係在晶片118中及在偽基板158中形成，其係使金屬互連體2之傳導層86之預定區域曝露，且使晶片118之層17與19之預定區域曝露。穿透通孔156a係在偽基板158中形成，穿透通孔156b、156c及156d係在晶片118之一中形成，且穿透通孔156e與156f係在另一個晶片118中形成。

或者，形成在晶片118中及在偽基板158中之穿透通孔156v之另一種技術可藉由下列步驟進行。首先，光阻層，譬如正型光敏性光阻層或負型光敏性光阻層，可在介電層139上，利用例如旋轉塗覆製程或層合製程而形成。其次，使用1X步進器之光曝露製程及使用化學溶液之顯像製程可被採用，以形成在光阻層中使介電層139曝露之多個開孔。接著，多個開孔係在介電層139中及在光阻層中之開孔下方形成，其係使偽基板158與晶片118之半導體基板124曝露，其方式是使用例如各向異性電漿蝕刻製程，移除在光阻層中之開孔下方之介電層139。其次，光阻層係利用例如有機化學品而被移除。接著，在介電層139中之開孔下方之偽基板158及在介電層139中之開孔下方之晶片118可被蝕離，直到在晶片118中之層17與19之預定區域及金屬互連體2之傳導層86之預定區域係被介電層139中之開孔曝露為止。因此，穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，可在晶片118中及在偽基板158中形成，其係使

金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。穿透通孔156a係在偽基板158中形成，穿透通孔156b、156c及156d係在晶片118之一中形成，而穿透通孔156e與156f係在另一個晶片118中形成。各穿透通孔156v，譬如穿透通孔156a、156b、156c、156d、156e或156f，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。

穿透通孔156v之一，譬如穿透通孔156a，係通過介電層139、偽基板158、層140及絕緣或介電層120，使金屬互連體2之一之傳導層86曝露。另一個穿透通孔156v，譬如穿透通孔156b，係通過介電層139，經過半導體基板124、介電層78、28、38及40以及晶片118之一之鈍化層21，經過層140，且經過絕緣或介電層120，使金屬互連體2之一之傳導層86曝露。另一個穿透通孔156v，譬如穿透通孔156c，係通過介電層139，且經過晶片118之一之半導體基板124與介電層40，其係使在晶片118之一之互連層17中之互連體或金屬跡線75d曝露。另一個穿透通孔156v，譬如穿透通孔156d，係通過介電層139，且經過晶片118之一之半導體基板124與介電層40、38及28，其係使在晶片118之一之經構圖金屬層19中之互連體或金屬跡線75c曝露。另一個穿透通孔156v，譬如穿透通孔156f，係通過介電層139，且經過晶片118之一之半導體基板124與介電層40、38及28，其係使在晶片118之一之經構圖金屬層19中之互連體或金屬跡線75b曝露。另一個

穿透通孔156v，譬如穿透通孔156e，係通過介電層139，經過半導體基板124、介電層78、28、38及40以及晶片118之一之鈍化層21，經過層140，且經過絕緣或介電層120，其係使在晶片118之一之互連層17中之互連體或金屬跡線75a曝露，且使金屬互連體2之一之傳導層86曝露。由層120、140、21、78及28所提供之支撐物803係在金屬互連體2b之傳導層86與被穿透通孔156e所曝露之互連層17中之互連體或金屬跡線75a之間，以達成支撐所曝露之互連體或金屬跡線75a之目的。支撐物803可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米，0.3與5微米之間，或在0.3與1微米之間。圖66-68為示意俯視透視圖之三種實例，其係顯示圖65中所示之穿透通孔156e與互連體或金屬跡線75a。

如圖65與66中所示，在晶片118之一中之穿透通孔156e係使晶片118之一中之互連體或金屬跡線75a曝露，且使晶片118之一下方之金屬互連體2b之傳導層86之兩個區域曝露。互連體或金屬跡線75a具有線形區域，藉由穿透通孔156e曝露，在水平方向上係從穿透通孔156e之一個側面，經過穿透通孔156e之中心，延伸至穿透通孔156e之相反側面。前文所述之支撐物803，其係在金屬互連體2b之傳導層86與互連層17中之互連體或金屬跡線75a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線75a之所曝露線形區域。穿透通孔156e自俯視透視圖較佳可為但不限於圓形。

如圖65與67中所示，在晶片118之一中之穿透通孔156e係

使晶片118之一中之互連體或金屬跡線75a曝露，且使晶片118之一下方之金屬互連體2b之傳導層86之區域曝露。互連體或金屬跡線75a具有半島區域，藉由穿透通孔156e曝露，在水平方向上係從穿透通孔156e之一個側面，至少延伸至穿透通孔156e之中心，但並未達到穿透通孔156e之相反側面；互連體或金屬跡線75a具有被穿透通孔156e所曝露之末端。前文所述之支撐物803，其係在金屬互連體2b之傳導層86與互連層17中之互連體或金屬跡線75a之所曝露半島區域之間，可為半島形，類似互連體或金屬跡線75a之所曝露半島區域。穿透通孔156e自俯視透視圖較佳可為但不限於圓形。

如圖65與68中所示，在晶片118之一中之穿透通孔156e係使在晶片118之一中之互連體或金屬跡線75a曝露，且使晶片118之一下方之金屬互連體2b之傳導層86之區域曝露。互連體或金屬跡線75a具有半島區域，藉由穿透通孔156e曝露，在水平方向上係從穿透通孔156e之一個側面，至少延伸至穿透通孔156e之中心，但並未達到穿透通孔156e之相反側面；互連體或金屬跡線75a具有被穿透通孔156e所曝露之圓形末端。前文所述之支撐物803，其係在金屬互連體2b之傳導層86與互連層17中之互連體或金屬跡線75a之所曝露半島區域之間，可為半島形，類似互連體或金屬跡線75a之所曝露半島區域。穿透通孔156e自俯視透視圖較佳可為但不限於圓形。

圖66A為示意俯視透視圖之實例，其係顯示圖65中所示之

穿透通孔156e與互連體或金屬跡線75a。於此情況中，穿透通孔156e可為但不限於橢圓形，且具有寬度W5例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。在晶片118之一中之橢圓形穿透通孔156e係使晶片118之一中之互連體或金屬跡線75a曝露，且使晶片118之一下方之金屬互連體2b之傳導層86之兩個區域曝露。互連體或金屬跡線75a具有線形區域，藉由橢圓形穿透通孔156e曝露，在水平方向上係從橢圓形穿透通孔156e之一個側面，經過橢圓形穿透通孔156e之中心，延伸至橢圓形穿透通孔156e之相反側面。前文所述之支撐物803，其係在金屬互連體2b之傳導層86與在互連層17中之互連體或金屬跡線75a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線75a之所曝露線形區域。藉由橢圓形穿透通孔156e所曝露之互連體或金屬跡線75a具有寬度W6例如在0.3與30微米之間，且較佳在0.3與20微米之間，在0.3與10微米之間，在0.3與5微米之間，或在0.3與1微米之間。在橢圓形穿透通孔156e之長軸終點與被橢圓形穿透通孔156e所曝露互連體或金屬跡線75a之邊緣(其係比另一個相反邊緣更接近該終點)間之水平距離S3，可例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。

其次，參考圖69，介電層127可在介電層139之頂部表面上，在藉由穿透通孔156v(譬如穿透通孔156a、156b及156e)所曝露之金屬互連體2之傳導層86上，在藉由穿透通孔156v

(譬如穿透通孔156c、156d、156e及156f)所曝露之晶片118之層17與19上，及在穿透通孔156v側壁上形成。

介電層127可由絕緣材料所構成。例如，介電層127可為具有厚度例如在20奈米與1微米間之無機層，且無機層可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)。或者，介電層127可為具有厚度例如在1與10微米之間，且較佳在1與5微米間之聚合體層，且聚合體層可為一層聚醯亞胺苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)。

其次，參考圖70，光阻層154，譬如正型光敏性光阻層或負型光敏性光阻層，可在介電層127上，利用例如旋轉塗覆製程或層合製程而形成，接著，使用1X步進器之光曝露製程及使用濕式化學之顯像製程可被採用，以形成在光阻層154中使介電層127曝露之多個開孔154a。光阻層154可具有厚度例如在0.5與30微米之間。

其次，參考圖71，在層17、19及86上，及在開孔154a下方之介電層139之頂部表面上所形成之介電層127，可經由例如使用各向異性電漿蝕刻製程，將在開孔154a下方之介電層127蝕刻而被移除。在穿透通孔156v之底部，於開孔154a下方之介電層139之頂部表面上，及在支撐物803上方之互連體或金屬跡線75a之頂部表面上之介電層127，可被蝕離。因此，在穿透通孔156v底部之層17、19及86，在開孔154a下方之介電層139之頂部表面，及在支撐物803上方之互連

體或金屬跡線75a，均藉由開孔154a而被曝露，且介電層127仍然留在穿透通孔156v之側壁上，因此被稱為在穿透通孔156v中之側壁介電層。側壁介電層127係在晶片118中或在偽基板158中之穿透通孔156v之側壁上形成，且係被晶片118之半導體基板124或被偽基板158包圍。

其次，參考圖72，多個壕溝139t，其為鑲嵌開孔，可在介電層139中形成，其方式是使用例如各向異性電漿蝕刻製程，將在開孔154a下方之介電層139與側壁介電層127蝕刻至深度D9，例如在0.1與5微米之間，且較佳在0.5與3微米之間。較佳情況是，介電層139與側壁介電層127具有相同材料，譬如氮化矽、氧化矽或氧氮化矽。在蝕刻製程之後，於壕溝139t下方之介電層139具有剩餘厚度T20，例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

或者，蝕刻阻止技術可被應用於形成介電層139中之壕溝139t之製程。於此情況中，介電層139係由前文所述之無機層所構成，例如包括在表面124s、138s及158s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及在矽-氧氮化物層上之第二矽-氧化物層。壕溝139t可在介電層139中形成，其方式是將開孔154a下方之介電層139之第二矽-氧化物層及開孔154a下方之側壁介電層127蝕刻，直到介電層139之矽-氧氮化物層係被開孔154a曝露為止。因此，壕溝139t係在介電層139之第二矽-氧化物層中形成，且在壕溝139t下方由矽-氧氮化物層與第一

矽-氧化物層所構成之殘留介電層139，係具有厚度T20例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

其次，參考圖73，光阻層154係利用例如有機化學品而被移除。在介電層139中所形成之壕溝139t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。在晶片118中，於穿透通孔156v(譬如穿透通孔156b、156c、156d、156e及156f)之側壁上所形成之側壁介電層127，可防止過渡金屬譬如銅、鈉或水份穿透至晶片118之IC裝置。圖74為根據本發明具體實施例之顯示圖73中所示之穿透通孔156v、壕溝139t及側壁介電層127之示意俯視透視圖，且圖73為沿著圖74中所示之線條K-K所切割之橫截面圖。

其次，參考圖75，黏著/障壁層125a，具有厚度例如小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，係在被穿透通孔156v所曝露之層17、19及86上，在壕溝139t之側壁與底部上，在介電層127上，及在支撐物803上之互連體或金屬跡線75a上形成。黏著/障壁層125a可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，晶種層125b，具有厚度例如小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，可在黏著/障壁層125a上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如

原子層沉積(ALD)而形成。其次，傳導層125c，具有厚度例如在0.5與20微米之間，或在0.5與10微米之間，且較佳在1與5微米之間，可在晶種層125b上，利用例如電鍍製程而形成。

黏著/障壁層125a可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度例如小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。晶種層125b可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度例如小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間。傳導層125c可包括或可為銅、金或銀之經電鍍金屬層，具有厚度例如在0.5與20微米之間，或在0.5與10微米之間，且較佳在1與5微米之間。

其次，參考圖76，利用研磨或拋光製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程，可移除壕溝139t外部之層125a、125b及125c，且可移除在介電層139之頂部表面上之介電層127。因此，介電層139具有所曝露之頂部表面139s，其可實質上與壕溝139t中之傳導層125c之經研磨或拋光表面227共平面，且表面139s與227可為實質上平坦。介電層139具有在所曝露頂部表面139s與表面124s或158s間之厚度T21，例如在1與10微米之間，且較佳在1與3微米之間，或在2與5微米之間。黏著/障壁層125a與晶種層125b係在壕溝139t中之傳導層125c之側壁與底部，且在壕溝139t中之傳導層125c之側壁與底部係被黏著/障壁層125a與晶種層125b覆蓋。

於第一替代方式中，在移除壕溝139t外部之層125a、125b及125c，且移除介電層139之頂部表面上之介電層127之步驟後，黏著/障壁層125a可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝139t之側壁與底部上，在穿透通孔156v底部之層17、19及86上，在側壁介電層127上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。傳導層125c可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝139t中，及在穿透通孔156v中。在壕溝139t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

於第二替代方式中，在移除壕溝139t外部之層125a、125b及125c，且移除在介電層139之頂部表面上之介電層127之步驟後，黏著/障壁層125a可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝139t之側壁與底部上，在穿透通孔156v底部之層17、19及86上，在側壁介電層127上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上。傳導層125c可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝139t中，及在穿透通孔156v中。在

壕溝139t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

於第三種替代方式中，在移除壕溝139t外部之層125a、125b及125c，且移除在介電層139之頂部表面上之介電層127之步驟後，黏著/障壁層125a可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝139t之側壁與底部上，在穿透通孔156v底部之層17、19及86上，在側壁介電層127上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上。傳導層125c可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝139t中，及在穿透通孔156v中。在壕溝139t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

在移除壕溝139t外部之層125a、125b及125c，且移除在介電層139之頂部表面上之介電層127之步驟後，在壕溝139t中之層125a、125b及125c係構成壕溝139t中之多個金屬互連體(或鑲嵌金屬跡線)3，包括金屬互連體(或鑲嵌金屬跡線)3a、3b及3c。在穿透通孔156v中之層125a、125b及125c係構成穿透通孔156v中之多個金屬插塞(或金屬通孔)7p，包括個別如圖73中所示之穿透通孔156a、156b、156c、156d、156e及156f中之金屬插塞(或金屬通孔)7a、7b、7c、7d、7e及7f。在晶片118中與在偽基板158中之各金屬插塞7p係被穿透通

孔156v中之側壁介電層127之一包圍。金屬插塞7a係在偽基板158中形成，金屬插塞7b、7c及7d係在晶片118之一中形成，而金屬插塞7f與7e係在另一個晶片118中形成。支撐物803及在該支撐物803上之互連層17中之互連體或金屬跡線75a，可在金屬插塞7e之兩個部份之間，低於互連層17之頂部表面所在位置之水平位。在晶片118中與在偽基板158中所形成之此等金屬插塞7p可將金屬互連體3與晶片118中之半導體裝置13連接，且將金屬互連體2與3連接。在壕溝139t中之金屬互連體3，譬如3a、3b及3c，可具有厚度例如在0.1與5微米之間，且較佳在1與3微米之間。

金屬插塞7p之一，譬如金屬插塞7a，可在偽基板158中形成，且在穿透通孔156v之一(譬如穿透通孔156a)之底部，於金屬互連體2之一之傳導層86之接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7b，可在晶片118之一中形成，且在另一個穿透通孔156v(譬如穿透通孔156b)之底部，於另一個金屬互連體2(譬如金屬互連體2a)中之傳導層86之另一個接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7c，可在晶片118之一中形成，且在另一個穿透通孔156v(譬如穿透通孔156c)之底部，於晶片118之一中之互連體或金屬跡線75d之接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7d，可在晶片118之一中形成，且在另一個穿透通孔156v(譬如穿透通孔156d)之底部，於晶片118之一中之互連體或金屬跡線75c之接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7f，可在另一個晶片118中形成，且在另一個穿透通孔156v

(譬如穿透通孔156f)之底部，於另一個晶片118中之互連體或金屬跡線75b之接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7e，可在另一個晶片118中形成，在支撐物(譬如支撐物803)上方之互連體或金屬跡線75a之接觸點上形成，該支撐物係在另一個金屬插塞7p(譬如金屬插塞7e)之兩個左下方與右下方部份之間，且在另一個穿透通孔156v(譬如穿透通孔156e)之底部，於另一個金屬互連體2(譬如金屬互連體2b)中之傳導層86之另一個接觸點上形成。

金屬互連體3a可於一或多個晶片118上方形成。金屬互連體3b可於多個晶片118上方形成，且越過多個晶片118之多個邊緣。金屬互連體3c可於一或多個晶片118上方，及在偽基板158上方形成。

金屬互連體3a可經過晶片118之一中之金屬插塞7b，而被連接至金屬互連體2a之接觸點，在穿透通孔156b之底部，且可經過晶片118之一中之金屬插塞7c，而被連接至晶片118之一中之互連體或金屬跡線75d之接觸點，在穿透通孔156c之底部。金屬互連體3b可經過晶片118之一中之金屬插塞7d，而被連接至晶片118之一中之互連體或金屬跡線75c之接觸點，在穿透通孔156d之底部，且可經過另一個晶片118中之金屬插塞7f，而被連接至另一個晶片118中之互連體或金屬跡線75b之接觸點，在穿透通孔156f之底部。金屬互連體3c可經過另一個晶片118中之金屬插塞7e，而被連接至金屬互連體2b之接觸點，在穿透通孔156e之底部，可經過另一個晶片118中之金屬插塞7e與互連體或金屬跡線75a，

而被連接至另一個晶片118中之一或多個半導體裝置13，且可經過偽基板158中之金屬插塞7a，而被連接至另一個金屬互連體1之接觸點，在穿透通孔156a之底部。因此，在穿透通孔156b與156c底部之接觸點可經過金屬互連體3a而互相連接，在穿透通孔156d與156f底部之接觸點可經過金屬互連體3b而互相連接，且在穿透通孔156a與156e底部之接觸點可經過金屬互連體3c而互相連接。

因此，在晶片118之一中之半導體裝置13之一可經過金屬互連體3之一，譬如3a或3b，而被連接至在晶片118之一中或在另一個晶片118中之另一個半導體裝置13，且可經過金屬互連體3之一，而被連接至金屬互連體2之一(譬如2a或2b)之傳導層86之接觸點，在穿透通孔156v之一(譬如穿透通孔156a、156b或156e)之底部。各金屬互連體3可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件118不僅可表示晶片，而且亦可表示晶圓。當構件118為晶圓時，構件72可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖77，在形成圖76中所示結構之後，絕緣或介電層122可在黏著/障壁層125a之經研磨或拋光表面223上，在晶種層125b之經研磨或拋光表面225上，在傳導層125c之經研磨或拋光表面227上，及在介電層139之所曝露頂部表面139s上形成。其次，聚合體層136，譬如光敏性聚合體層，可在絕緣或介電層122上，利用例如旋轉塗覆製程而形成。接著，

可採用光曝露製程與化學顯像製程，以形成在聚合體層136中使絕緣或介電層122之多個區域曝露之多個開孔136a。其次，聚合體層136可在攝氏180度與攝氏300度之間，或在攝氏180度與攝氏250度間之溫度中被熟化。在經熟化之後，聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間。聚合體層136可為聚醯亞胺層、苯并環丁烯(BCB)層、聚苯并噁唑(PBO)層、聚苯醚(PPO)層、環氧基層或一層SU-8。

絕緣或介電層122可具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間。絕緣或介電層122例如可包含或可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間，藉由化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程而形成。或者，絕緣或介電層122可包含或可為聚合體層，具有厚度例如在0.05與20微米之間，且較佳在0.05與5微米之間，在0.05與3微米之間，在0.05與1微米之間，或在0.05與0.5微米之間，藉由例如一種包括旋轉塗覆製程與熟化製程之製程而形成，且聚合體層可為一層聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或環氧基。

接著，參考圖78，在聚合體層136中之開孔136a下方之絕

緣或介電層122可經由蝕刻製程而被移除。因此，多個開孔可在絕緣或介電層122中及在開孔136a下方形成，且使金屬互連體3之傳導層125c之多個接觸點曝露，該接觸點充作電源墊片、接地墊片或信號輸入/輸出(I/O)墊片。

接著，參考圖79，黏著/障壁層134，具有厚度小於1微米，譬如在1奈米與0.5微米之間，可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)，在聚合體層136上，及在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係藉由絕緣或介電層122中之開孔曝露，且在聚合體層136中之開孔136a下方。其次，晶種層132，具有厚度小於1微米，譬如在10奈米與0.8微米之間，可在黏著/障壁層134上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，光阻層152，譬如正型光阻層或負型光阻層，具有厚度例如在20與200微米之間，在20與150微米之間，在20與130微米之間，在20與100微米之間，或在20與50微米之間，可在晶種層132上，藉由例如旋轉塗覆製程或層合製程而形成。其次，光阻層152係以光曝露與化學顯像之製程經構圖，以形成在光阻層152中使晶種層132之多個區域曝露之多個開孔152a。1X步進器或1X接點對準器可用以在光曝露製程期間，使光阻層152曝光。

黏著/障壁層134可包含或可為一層鈦、鈦-鎢合金、氮化

鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。晶種層132可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間。

例如，當黏著/障壁層134係藉由一或多種適當製程而形成時，例如藉由濺射含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在聚合體層136上及在金屬互連體3之傳導層125c之接觸點上，該接觸點係藉由絕緣或介電層122中之開孔曝露，且在聚合體層136中之開孔136a下方。晶種層132可藉由一或多種適當製程而形成，例如藉由濺射一層銅、鈦-銅合金、鎳、金或銀，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。

或者，當黏著/障壁層134係藉由一或多種適當製程而形成時，例如藉由濺射含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在聚合體層136上及在金屬互連體3之傳導層125c之接觸點上，該接觸點係藉由絕緣或介電層122中之開孔曝露，且在聚合體層136中之開孔136a下方。晶種層132可藉由一或多種適當製程而形成，例如藉由濺射一層銅、鈦-銅合金、鎳、金或銀，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，

於含鉭層上。

接著，參考圖80，傳導層130，具有厚度大於1微米，譬如在1與100微米之間，在1與50微米之間，在1與20微米之間，或在1與10微米之間，可在開孔152a中，及在被開孔152a所曝露之晶種層132之區域上，利用例如電鍍製程而形成。其次，障壁層128，具有厚度例如在0.5與10微米之間，在0.5與5微米之間，或在0.5與3微米之間，可在開孔152a中及在傳導層130上，利用例如電鍍製程或無電鍍覆製程而形成。接著，軟焊料潤濕層，譬如金層，可視情況在開孔152a中及在障壁層128上，利用例如電鍍製程或無電鍍覆製程而形成。其次，具有厚度例如大於5微米之焊料層126可在開孔152a中及在障壁層128或軟焊料潤濕層上，利用例如電鍍製程而形成。

傳導層130可為金屬層，其可包含或可為一層銅、金或銀，具有厚度大於1微米，譬如在1與100微米之間，在1與50微米之間，在1與20微米之間，或在1與10微米之間，藉由電鍍製程而形成。障壁層128可為金屬層，其可包含或可為一層鎳、鎳釩或鎳合金，具有厚度例如在0.5與10微米之間，在0.5與5微米之間，或在0.5與3微米之間，藉由電鍍製程而形成。焊料層126可為含鉍層、含銦層或錫-鉛合金、錫-銀合金、錫-銀-銅合金或錫-金合金之含錫層，具有厚度大於5微米。

參考圖81，在形成圖80中所示之焊料層126之後，光阻層152係使用例如有機化學溶液而被移除。接著，不在傳導層

130下方之晶種層132係利用例如濕式化學蝕刻製程或乾電漿蝕刻製程而被移除。其次，不在傳導層130下方之黏著/障壁層134係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。接著，焊料層126可以多個固體焊料凸塊或球126，在障壁層128上或在軟焊料潤濕層上，隨後藉由例如熔劑塗覆製程、再流動製程及熔劑清潔製程而形成。焊料凸塊或球126係用於外部連接。

因此，層128、130、132及134係在聚合體層136上及在金屬互連體3之傳導層125c之接觸點上，構成凸塊下層金屬(UBM)層666，該接觸點係在絕緣或介電層122中之開孔底部及在聚合體層136中之開孔136a下方，且焊料凸塊或球126可在UBM層666上形成。或者，UBM層666可進一步包含圖80中所示在障壁層128上之軟焊料潤濕層，且焊料凸塊或球126可在UBM層666之軟焊料潤濕層上形成。

焊料凸塊或球126可具有凸塊高度例如大於5微米，譬如在5與200微米之間，且較佳在10與100微米之間，或在10與30微米之間，與寬度或直徑例如在10與200微米之間，且較佳在50與100微米之間，或在10與30微米之間。焊料凸塊或球126可包括鉍、銦、錫、錫-鉛合金、錫-銀合金、錫-銀-銅合金或錫-金合金。各互連體3，譬如圖76中所示之互連體3a、3b或3c，可經過UBM層666而被連接至一或多個焊料凸塊或球126。

接著，參考圖82，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、

122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555與555a。

或者，在單一化製程之前，多個金屬插塞或通孔可在載體11之基板10與介電層12中之多個開孔內形成，通過基板10與介電層12，且被連接至載體11之導電層18。金屬插塞或通孔可包含或可為銅、鋁、金或鎳。或者，金屬插塞或通孔可進一步包含鈦、鈦-鎢合金、氮化鈦、鉭、氮化鉭、鈦-銅合金或鉻。接著，多個金屬跡線可在基板10之底側形成，且經過金屬插塞或通孔而被連接至載體11之導電層18。各金屬跡線可包含一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鈦-銅合金，在基板10之底側下方，與經電鍍金屬層，於鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鈦-銅合金之層下方。經電鍍金屬層可包含或可為一層銅、金、鋁或鎳。其次，多個被動組件，譬如電容器、感應器或電阻器，可被連接至基板10之底側，且使用軟焊料，與金屬跡線黏結。軟焊料可包括鉍、銦、錫、錫-鉛合金、錫-銀合金、錫-銀-銅合金、錫-金合金或錫-銅合金。在將被動組件與金屬跡線黏結之後，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555與555a。

因此，系統級封裝或多晶片模組555可具有被動組件之

一，其具有依序經過軟焊料之一、在基板10底側之金屬跡線之一、在基板10中之金屬插塞或通孔之一及在基板10頂側之導電層18之金屬互連體，而被連接至如圖26中所示金屬插塞5a或5b之第一端子，且具有依序經過另一個軟焊料、在基板10底側之另一個金屬跡線、在基板10中之另一個金屬插塞或通孔及在基板10頂側之導電層18之另一個金屬互連體，而被連接至如圖26中所示金屬插塞5e之第二端子。

系統級封裝或多晶片模組555可使用焊料凸塊或球126，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖83，可將系統級封裝或多晶片模組555與載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，底部充填174可在系統級封裝或多晶片模組555之聚合體層136與載體176之頂側之間形成，且包圍焊料凸塊或球126。底部充填174可包含環氧基、玻璃填料或碳填料，且玻璃填料或碳填料可被分佈在環氧基中。其次，多個焊料球178可在載體176底側上形成。各焊料球178可為Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金之球，具有直徑在0.25與1.2毫米之間。載體176可具有厚度例如在0.1與2毫米之間，且可為球格柵陣列(BGA)基板或印刷電路板(PCB)。載體176可包含一個核心，含有BT、FR4、環氧基及玻璃纖維，及多個金屬層在該核心之兩個側面上。

圖84係顯示根據本發明揭示內容之另一項具體實施例之另一個系統級封裝或多晶片模組，其可藉由下列步驟形成。在圖79中所示步驟之後，金屬層142，譬如一層銅、金或銀，具有厚度例如在10與100微米之間，且較佳在20與60微米之間，可在被光阻層152中之開孔152a所曝露之晶種層132之區域上，及在開孔152a中，利用例如電鍍製程而形成。接著，障壁層144，譬如一層鎳或鎳-釩合金，具有厚度例如在0.2與10微米之間，且較佳在1與5微米之間，可在開孔152a中，及在金屬層142上，利用例如電鍍製程或無電鍍覆製程而形成。其次，軟焊料潤濕層146，譬如一層金、銀、銅或錫，具有厚度例如在0.02與5微米之間，且較佳在0.1與1微米之間，可在開孔152a中，及在障壁層144上，利用例如電鍍製程或無電鍍覆製程而形成。接著，光阻層152係使用例如有機化學溶液而被移除。其次，不在金屬層142下方之晶種層132係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。接著，不在金屬層142下方之黏著/障壁層134係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。因此，層132、134、142、144及146係構成多個金屬凸塊668，在聚合體層136上，及在金屬互連體3之傳導層125c之接觸點上，該接觸點係在絕緣或介電層122中之開孔底部及在聚合體層136中之開孔136a下方。金屬凸塊668可具有寬度例如在20與400微米之間，且較佳在50與100微米之間，與高度例如在10與100微米之間，且較佳在20與60微米之間。其次，可進行單一化製程，以切割載體11，偽基板62、165及158，

以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如圖84中所示之系統級封裝或多晶片模組555b。在系統級封裝或多晶片模組555b中，各互連體3，譬如圖76中所示之互連體3a、3b或3c，可被連接至一或多個金屬凸塊668，且金屬凸塊668可被用於外部連接。

系統級封裝或多晶片模組555b可使用金屬凸塊668，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖85，系統級封裝或多晶片模組555b可與圖83中所示之載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。在將軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合後，多個金屬接頭180係在金屬凸塊668之障壁層144與載體176之頂側之間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金，具有厚度在5與50微米之間。或者，金屬接頭180可為金層，具有厚度在0.1與10微米之間。接著，圖83中所示之底部充填174可在系統級封裝或多晶片模組555b之聚合體層136與載體176之頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，圖83中所示之焊料球178可在載體176底側上形成。

或者，可省略如圖77-85所示之絕緣或介電層122。於此情況中，聚合體層136係在表面223、225、227及139s上形成，

及金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。再者，黏著/障壁層134係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖86與87係顯示根據本發明揭示內容之另一項具體實施例之形成另一個系統級封裝或多晶片模組之製程。參考圖86，在形成圖76中所示結構之後，圖77中所示之絕緣或介電層122可在層125a與125b之經研磨或拋光表面上，在傳導層125c之經研磨或拋光表面227上，及在介電層139之所曝露頂部表面139s上形成。接著，多個開孔122a係在絕緣或介電層122中，使用例如光微影術製程與介電蝕刻製程而形成，且使金屬互連體3之傳導層125c之多個區域曝露。其次，多個金屬互連體或跡線300可在絕緣或介電層122上，及在金屬互連體3之傳導層125c之區域上形成，該區域係被層122中之開孔122a曝露。接著，聚合體層136，譬如光敏性聚合體層，可在絕緣或介電層122上，及在金屬互連體或跡線300上，利用例如旋轉塗覆製程而形成。其次，可採用光曝露製程與化學顯像製程，以形成在聚合體層136中之多個開孔136a，使金屬互連體或跡線300之多個接觸點曝露。接著，聚合體層136可在攝氏180度與攝氏300度之間，或在攝氏180度與攝氏250度間之溫度中被熟化。在經熟化之後，聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間。聚合體層136可為聚醯亞胺層、苯并環丁烯(BCB)層、聚苯并噁唑(PBO)層、聚苯醚

(PPO)層、環氧基層或一層SU-8。

各金屬互連體或跡線300可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。於第一替代方式中，金屬互連體或跡線300可藉由下列步驟形成。首先，金屬層148可在絕緣或介電層122上，及在金屬互連體3之傳導層125c之區域上形成，該區域係被層122中之開孔122a曝露，其方式是濺射黏著/障壁層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，於絕緣或介電層122上，及在金屬互連體3之層125c之區域上，該區域係被層122中之開孔122a曝露，然後濺射晶種層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，於該黏著/障壁層上。黏著/障壁層可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度小於1微米，譬如在1奈米與0.5微米之間。晶種層可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度小於1微米，譬如在10奈米與0.8微米之間。接著，經構圖之光阻層可在金屬層148之晶種層上形成，且在經構圖光阻層中之多個開孔係使晶種層之多個區域曝露。其次，傳導層150可利用電鍍製程，在被經構圖光阻層中之開孔所曝露金屬層148之晶種層之區域上形成。傳導層150例如可為金層，用於下述製程中，與經金、銅或鋁導線黏結之導線作黏結，具有厚度在0.5與5微米之間，在金屬層148之晶種層較佳為前文所述之金晶種層上，藉由電鍍製程而形成。或者，傳導層150可為銅層，用於下述製程中，與經金、銅或

鋁導線黏結之導線作黏結，具有厚度在2與10微米之間，在金屬層148之晶種層較佳為前文所述之銅或鈦-銅-合金晶種層上，藉由電鍍製程而形成。或者，傳導層150可包括鎳層，具有厚度在1與10微米之間，在金屬層148之晶種層較佳為前文所述之銅或鈦-銅-合金晶種層之上或上方，藉由電鍍製程或無電鍍覆製程而形成，與金層，用於下述製程中，與經金、銅或鋁導線黏結之導線作黏結，具有厚度在0.01與2微米之間，在鎳層上藉由電鍍製程或無電鍍覆製程而形成。接著，可移除經構圖之光阻層。其次，不在傳導層150下方之金屬層148可經由蝕刻製程而被移除。因此，金屬互連體或跡線300可由金屬層148與傳導層150所構成，且傳導層150之側壁並未被金屬層148覆蓋。

於第二替代方式中，金屬互連體或跡線300可藉由下列步驟形成。首先，黏著/障壁層148，具有厚度小於1微米，譬如在1奈米與0.5微米之間，可在絕緣或介電層122上，及在金屬互連體3之傳導層125c之區域上，藉由濺射製程而形成，該區域係被層122中之開孔122a曝露。黏著/障壁層148可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度小於1微米，譬如在1奈米與0.5微米之間。接著，可經導線黏結之傳導層150，具有厚度在0.5與5微米之間，可在黏著/障壁層148上，藉由濺射製程而形成。可經導線黏結之傳導層150可為一層鋁-銅合金，用於下述製程中，與經金、銅或鋁導線黏結之導線作黏結，具有厚度在0.5與5微米之間，藉由濺射製程而形成。其次，經構圖

之光阻層可在可經導線黏結之傳導層150上形成。接著，利用蝕刻製程，可移除不在經構圖光阻層下方之可經導線黏結之傳導層150與不在經構圖光阻層下方之黏著/障壁層148。其次，可移除經構圖之光阻層。因此，金屬互連體或跡線300可由黏著/障壁層148與可經導線黏結之傳導層150所構成，且可經導線黏結之傳導層150之側壁並未被黏著/障壁層148覆蓋。

接著，參考圖87，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555c與555d。

圖88係顯示多晶片封裝566，其包含經過導線黏結之導線184而被連接至圖83中所示載體176之系統級封裝或多晶片模組555c，其可藉由例如下列步驟形成。首先，可將多個系統級封裝或多晶片模組555c與圖83中所示之載體176接合，其方式是例如於載體176之頂側上形成具有厚度在20與150微米間之膠層182，然後，使用膠層182，將多個系統級封裝或多晶片模組555c連接至載體11之頂側。膠層182可為聚合體層，譬如一層環氧基、聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)、硅氧烷或SU-8，具有厚度例如在20與150微米之間。接著，多條導線184，譬如金導線、銅導線或鋁導線，可藉由導線黏結製程，而被導線黏結至載體176之頂側上，且至金屬互連體或跡線300之傳導

層150之接觸點上，該接觸點係被聚合體層136中之開孔136a曝露。因此，多個系統級封裝或多晶片模組555c之金屬互連體或跡線300可經過導線黏結之導線184，以物理方式及以電方式被連接至載體176。其次，模製配料186可在多個系統級封裝或多晶片模組555c上，在載體176之頂側上，及在導線黏結之導線184上，藉由成型製程而形成，其係包覆導線黏結之導線184與多個系統級封裝或多晶片模組555c。模製配料186可包含環氧基、碳填料或玻璃填料，且玻璃填料或碳填料可被分佈在環氧基中。接著，圖83中所示之焊料球178可在載體176底側上形成。然後，可進行單一化製程，以切割載體176與模製配料186，且使多個多晶片封裝566單一化。多晶片封裝566可經過焊料球178，而被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

圖89-103係顯示根據本發明揭示內容之另一項具體實施例之形成另一個系統級封裝或多晶片模組之製程。參考圖89，在利用蝕刻製程(譬如各向異性蝕刻製程)形成圖19中所示結構之後，在層18、26及34上及在介電層60之頂部表面上所形成之介電層50可被蝕離，且介電層60之頂部可進一步被蝕離。在蝕刻製程之後，介電層60可具有剩餘厚度T22在0.3與5微米之間，在0.5與2微米之間，在0.05與2微米之間，在0.05與1微米之間，在0.05與0.5微米之間，或在0.05與0.3微米之間。

或者，蝕刻阻止技術可被應用於蝕離介電層60之頂部之

製程。於此情況中，介電層60係由前文所述之無機層所構成，例如包括在表面58s、62s及64s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及在矽-氧氮化物層上之第二矽-氧化物層。在蝕刻製程期間，介電層60之頂部，意即第二矽-氧化物層，可被蝕離，直到蝕刻阻止層，意即矽-氧氮化物層，係被曝露，且所有第二矽-氧化物層係被移除為止。由矽-氧氮化物層與第一矽-氧化物層所構成之殘留介電層60可具有厚度T22在0.3與5微米之間，在0.5與2微米之間，在0.05與2微米之間，在0.05與1微米之間，在0.05與0.5微米之間，或在0.05與0.3微米之間。

因此，在穿透通孔170v之底部，於介電層60之頂部表面上，及在支撐物801上之互連體或金屬跡線35a之頂部表面上之介電層50，可被蝕離，且介電層50仍然留在穿透通孔170v之側壁上，因此被稱為在穿透通孔170v中之側壁介電層。側壁介電層50係在晶片68中或在偽基板62中之穿透通孔170v之側壁上形成，且係被晶片68之半導體基板58或被偽基板62包圍。

接著，參考圖90，黏著/障壁層52，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，可在被穿透通孔170v所曝露之層18、26及34上，在介電層60之經蝕刻表面上，在側壁介電層50上，及在支撐物801上之互連體或金屬跡線35a上形成。黏著/障壁層52可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化

學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，晶種層54，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，可在黏著/障壁層52上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，光阻層194可在晶種層54上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用光曝露製程與顯像製程，以形成在光阻層194中使晶種層54之多個區域曝露之多個開孔194a。經構圖之光阻層194可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，傳導層56，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，可利用例如電鍍製程，在被層194中之開孔194a所曝露之晶種層54之區域上形成。

黏著/障壁層52可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。晶種層54可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間。傳導層56可包含或可為銅、金或銀之經電鍍金屬層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或

在2與20微米之間。

例如，黏著/障壁層52可為含鈦層，譬如鈦-鎢合金、鈦或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔170v所曝露之層18、26及34上，在介電層60之經蝕刻表面上，在側壁介電層50上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。傳導層56可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，於銅或鈦-銅合金之單層上。

或者，黏著/障壁層52可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔170v所曝露之層18、26及34上，在介電層60之經蝕刻表面上，在側壁介電層50上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上。傳導層56可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，於銅或鈦-銅合金之單層上。

或者，黏著/障壁層52可為含鉻層，譬如鉻之單層，具有

厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔170v所曝露之層18、26及34上，在介電層60之經蝕刻表面上，在側壁介電層50上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上。傳導層56可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，於銅或鈦-銅合金之單層上。

接著，參考圖91，光阻層194係使用例如有機化學溶液而被移除。其次，不在傳導層56下方之晶種層54係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。接著，不在傳導層56下方之黏著/障壁層52係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。因此，在介電層60上方及在穿透通孔170v上方之層52、54及56係構成多個金屬互連體1，包括在介電層60上方及在穿透通孔170v上方之金屬互連體1a與1b。在介電層60上方之金屬互連體1之黏著/障壁層52與晶種層54係不在介電層60上方之金屬互連體1之傳導層56之任何側壁1w處，但在介電層60上方之金屬互連體1之傳導層56底部下方。在介電層60上方之金屬互連體1之傳導層56之側壁1w並未被層52與54覆蓋。在穿透通孔170v中之層52、54及56係構成在穿透通孔170v中之多個金屬插塞(或金屬通孔)5p，包括個別如圖89中所示之穿透通孔

170a、170b、170c、170d、170e及170f中之金屬插塞(或金屬通孔)5a、5b、5c、5d、5e及5f。在晶片68中與在偽基板62中之各金屬插塞5p係被穿透通孔170v中之側壁介電層50之一包圍。金屬插塞5a係在偽基板62中形成，而金屬插塞5b、5c、5d、5e及5f係在相同晶片68中形成。支撐物801及在該支撐物801上之互連層34中之互連體或金屬跡線35a，可在金屬插塞5e之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。在晶片68中與在偽基板62中所形成之此等金屬插塞5p可將金屬互連體1與晶片68中之半導體裝置36連接，且將金屬互連體1與載體11中之導電層18之多個接觸點連接。

例如，金屬插塞5p之一，譬如金屬插塞5a，可在偽基板62中形成，且在穿透通孔170v之一(譬如穿透通孔170a)之底部，於導電層18之第一接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5b，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170b)之底部，於導電層18之第二接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5c，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170c)之底部，於晶片68之一之互連層34中之互連體或金屬跡線35d之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5d，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170d)之底部，於晶片68之一之經構圖金屬層26中之互連體或金屬跡線35c之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5f，可在晶片68之一中形成，

且在另一個穿透通孔170v(譬如穿透通孔170f)之底部，於晶片68之一之互連層34中之互連體或金屬跡線35b之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5e，可在晶片68之一中形成，在支撐物(譬如支撐物801)上方之互連體或金屬跡線35a之接觸點上形成，該支撐物係在另一個金屬插塞5p(譬如金屬插塞5e)之兩個左下方與右下方部份之間，且在穿透通孔170v之一(譬如穿透通孔170e)之底部，於導電層18之第三接觸點上形成。導電層18之前文所述第一、第二及第三接觸點可藉由載體11之介電或絕緣層20而互相分離。

金屬互連體1之一，譬如1a或1b，可在偽基板62上方，在多個晶片68上方形成，且越過多個晶片68之多個邊緣。金屬互連體1a可經過偽基板62中之金屬插塞5a，而被連接至穿透通孔170a底部之導電層18之前文所述第一接觸點，可經過晶片68之一中之金屬插塞5b，而被連接至穿透通孔170b底部之導電層18之前文所述第二接觸點，可經過晶片68之一中之金屬插塞5c，而被連接至晶片68之一中之互連體或金屬跡線35d之接觸點，在穿透通孔170c之底部，且可經過晶片68之一中之金屬插塞5d，而被連接至晶片68之一中之互連體或金屬跡線35c之接觸點，在穿透通孔170d之底部。金屬互連體1b可經過晶片68之一中之金屬插塞5f，而被連接至晶片68之一中之互連體或金屬跡線35b之接觸點，在穿透通孔170f之底部，可經過晶片68之一中之金屬插塞5e，而被連接至穿透通孔170e底部之導電層18之前文

所述第三接觸點，且可經過晶片68之一中之金屬插塞5e，而被連接至支撐物801上之互連體或金屬跡線35a。金屬互連體1a可經過另一個晶片68中之一或多個金屬插塞5p，而進一步被連接至另一個晶片68中之一或多個半導體裝置36。金屬互連體1b可經過另一個晶片68中之一或多個金屬插塞5p，而進一步被連接至另一個晶片68中之一或多個半導體裝置36。

因此，在晶片68之一中之半導體裝置36之一可經過金屬互連體1之一(譬如1a或1b)，而被連接至在晶片68之一中或在另一個晶片68中之另一個半導體裝置36，且可經過金屬互連體1之一，而被連接至載體11中之導電層18之接觸點，在穿透通孔170v之一(譬如穿透通孔170a、170b或170e)之底部。各金屬互連體1可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件68不僅可表示晶片，而且亦可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

接著，參考圖92，絕緣或介電層66，具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間，可在金屬互連體1之傳導層56上，在介電層60之經蝕刻表面上，及在金屬互連體1間之間隙中形成。

絕緣或介電層66例如可包含或可為聚合體層，譬如一層

聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，在金屬互連體1之傳導層56上，在介電層60之經蝕刻表面上，及在金屬互連體1間之間隙中。在傳導層56上之聚合體層可具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間。

或者，絕緣或介電層66可包含或可為無機層，譬如一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，在金屬互連體1之傳導層56上，在介電層60之經蝕刻表面上，及在金屬互連體1間之間隙中。在傳導層56上之無機層可具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間。

或者，參考圖93，如圖92中所示之絕緣或介電層66可藉由下列步驟形成。首先，聚合體層66a，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，係在金屬互連體1之傳導層56上，在介電層60之經蝕刻表面上，及在金屬互連體1間之間隙中形成。接著，聚合體層66a係藉由例如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到金屬互連體1之傳導層56具有未被聚合體層66a覆蓋之頂部表面56u為止。因此，聚合體層66a仍然留在介電層60之經蝕刻表面上，及在金屬互連體1間之

間隙中，且具有厚度例如大於1微米，譬如在1與20微米之間，及較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間。聚合體層66a之經研磨或拋光表面66s可為實質上平坦，且實質上與傳導層56之頂部表面56u共平面。其次，無機層66b，譬如一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，具有厚度例如在0.1與3微米之間，且較佳在0.2與1.5微米之間，係在傳導層56之頂部表面56u上，及在聚合體層66a之經研磨或拋光表面66s上形成。因此，如圖92中所示之絕緣或介電層66亦可備有如圖93中所示之聚合體層66a與無機層66b。

參考圖94，在形成絕緣或介電層66之後，下列步驟可接著如圖28-45中所示進行，以將晶片72與偽基板165放置在層66上所形成之層116上方，以形成包封/間隙充填材料98，在各晶片72之半導體基板96之背側上，在偽基板165上，及在間隙4a與8a中，以研磨或拋光包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165，以形成在經研磨或拋光表面96s、165s及98s上之介電層88，以形成在晶片72中及在偽基板165中之穿透通孔164v，且形成介電層90，在介電層88之頂部表面上，在被穿透通孔164v所曝露之層56、106及114上，及在穿透通孔164v之側壁上。接著，利用蝕刻製程(譬如各向異性蝕刻製程)，在層56、106及114上與在介電層88之頂部表面上所形成之介電層90係被蝕離，且介電層88之頂部係進一步被蝕離。在蝕刻製程之後，介電層88可具有剩餘厚度T23在0.3與5微米之間，在0.5與2微

米之間，在0.05與2微米之間，在0.05與1微米之間，在0.05與0.5微米之間，或在0.05與0.3微米之間。

或者，蝕刻阻止技術可被應用於蝕離介電層88之頂部之製程。於此情況中，介電層88係由前文所述之無機層所構成，例如包括在表面96s、98s及165s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及在矽-氧氮化物層上之第二矽-氧化物層。在蝕刻製程期間，介電層88之頂部，意即第二矽-氧化物層，可被蝕離，直到蝕刻阻止層，意即矽-氧氮化物層，係被曝露，且移除所有第二矽-氧化物層為止。由矽-氧氮化物層與第一矽-氧化物層所構成之殘留介電層88可具有厚度T23在0.3與5微米之間，在0.5與2微米之間，在0.05與2微米之間，在0.05與1微米之間，在0.05與0.5微米之間，或在0.05與0.3微米之間。

因此，在穿透通孔164v之底部，在介電層88之頂部表面上，及在支撐物802上之互連體或金屬跡線55a之頂部表面上之介電層90係被蝕刻去除，且介電層90仍然留在穿透通孔164v之側壁上，因此被稱為在穿透通孔164v中之側壁介電層。側壁介電層90係在晶片72中或在偽基板165中之穿透通孔164v之側壁上形成，且係被晶片72之半導體基板96或被偽基板165包圍。

接著，參考圖95，黏著/障壁層92，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，可在被穿透通孔164v所曝露之層56、106及114上，在介電層

88之經蝕刻表面上，在側壁介電層90上，及在支撐物802上之互連體或金屬跡線55a上形成。黏著/障壁層92可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，晶種層94，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，可在黏著/障壁層92上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，光阻層294可在晶種層94上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用光曝露製程與顯像製程，以形成在光阻層294中使晶種層94之多個區域曝露之多個開孔294a。經構圖之光阻層294可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，傳導層86，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，可利用適當製程，譬如電鍍製程，在被層294中之開孔294a所曝露之晶種層94之區域上形成。

黏著/障壁層92可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。晶種層94可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳

在80奈米與0.15微米之間。傳導層86可包含或可為銅、金或銀之經電鍍金屬層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間。

例如，黏著/障壁層92可為含鈦層，譬如鈦-鎢合金、鈦或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔164v所曝露之層56、106及114上，在介電層88之經蝕刻表面上，在側壁介電層90上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。傳導層86可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，於銅或鈦-銅合金之單層上。

或者，黏著/障壁層92可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔164v所曝露之層56、106及114上，在介電層88之經蝕刻表面上，在側壁介電層90上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上。傳導層86可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米

之間，在1與5微米之間，或在2與20微米之間，於銅或鈦-銅合金之單層上。

或者，黏著/障壁層92可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔164v所曝露之層56、106及114上，在介電層88之經蝕刻表面上，在側壁介電層90上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上。傳導層86可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，於銅或鈦-銅合金之單層上。

接著，參考圖96，光阻層294係使用例如有機化學溶液而被移除。接著，不在傳導層86下方之晶種層94係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。其次，不在傳導層86下方之黏著/障壁層92係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。因此，在介電層88上方與在穿透通孔164v上方之層92、94及86係構成多個金屬互連體2，包括在介電層88上方與在穿透通孔164v上方之兩個金屬互連體2a與2b。在介電層88上方之金屬互連體2之黏著/障壁層92與晶種層94係不在介電層88上方之金屬互連體2之傳導層86之任何側壁2w處，但在介電層88上方之金屬互連體2之傳導層86底部下方。在介電層88上方之金屬互連體

2之傳導層86之側壁2w並未被層92與94覆蓋。在穿透通孔164v中之層92、94及86係構成在穿透通孔164v中之多個金屬插塞(或金屬通孔)6p，包括個別如圖94中所示之穿透通孔164a、164b、164c、164d及164e中之金屬插塞(或金屬通孔)6a、6b、6c、6d及6e。在晶片72中及在偽基板165中之各金屬插塞6p係被在穿透通孔164v中之側壁介電層90之一包圍。金屬插塞6a係在偽基板165中形成，金屬插塞6b與6c係在晶片72之一中形成，而金屬插塞6d與6e係在另一個晶片72中形成。支撐物802及在該支撐物802上之互連層106中之互連體或金屬跡線55a，可在金屬插塞6e之兩個部份之間，低於互連層106之頂部表面所在位置之水平位。在晶片72中與在偽基板165中所形成之此等金屬插塞6p可將金屬互連體2與在晶片72中之半導體裝置102連接，且將金屬互連體1與2連接。

例如，金屬插塞6p之一，譬如金屬插塞6a，可在偽基板165中形成，且在穿透通孔164v之一(譬如穿透通孔164a)之底部，於金屬互連體1之一(譬如金屬互連體1b)之傳導層56之接觸點上形成。另一個金屬插塞6p，譬如金屬插塞6e，可在晶片72之一中形成，在支撐物(譬如支撐物802)上方之互連體或金屬跡線55a之接觸點上形成，該支撐物係在另一個金屬插塞6p(譬如金屬插塞6e)之兩個左下方與右下方部份之間，且在另一個穿透通孔164v(譬如穿透通孔164e)之底部，於金屬互連體1之一(譬如金屬互連體1b)中之傳導層56之另一個接觸點上形成。另一個金屬插塞6p，譬如金屬插

塞6d，可在晶片72之一中形成，且在另一個穿透通孔164v(譬如穿透通孔164d)之底部，於晶片72之一中之互連體或金屬跡線55b之接觸點上形成。另一個金屬插塞6p，譬如金屬插塞6b，可在另一個晶片72中形成，且在另一個穿透通孔164v(譬如穿透通孔164b)之底部，於另一個金屬互連體1(譬如金屬互連體1a)中之傳導層56之另一個接觸點上形成。另一個金屬插塞6p，譬如金屬插塞6c，可在另一個晶片72中形成，且在另一個穿透通孔164v(譬如穿透通孔164c)之底部，於另一個晶片72中之互連體或金屬跡線55c之接觸點上形成。

金屬互連體2a可在偽基板165上方，在多個晶片72上方形成，且越過多個晶片72之多個邊緣。金屬互連體2a可經過晶片72之一中之金屬插塞6b，而被連接至金屬互連體1a之接觸點，在穿透通孔164b之底部，可經過晶片72之一中之金屬插塞6c，而被連接至晶片72之一中之互連體或金屬跡線55c之接觸點，在穿透通孔164c之底部，且可經過另一個晶片72中之金屬插塞6d，而被連接至另一個晶片72中之互連體或金屬跡線55b之接觸點，在穿透通孔164d之底部。在穿透通孔164b、164c及164d底部之此等接觸點可經過金屬互連體2a而互相連接。

金屬互連體2b可在多個晶片72上形成，以連接多個晶片72中之多個半導體裝置102。金屬互連體2b可經過晶片72之一中之金屬插塞6e，而被連接至金屬互連體1b之接觸點，在穿透通孔164e之底部，可經過晶片72之一中之金屬插塞

6e與互連體或金屬跡線55a，而被連接至晶片72之一中之一或多個半導體裝置102，且可經過另一個晶片72中之另一個金屬插塞6p，而被連接至另一個晶片72中之互連體或金屬跡線55a、55b或55c之接觸點，在另一個穿透通孔164v之底部。

因此，在晶片72之一中之半導體裝置102之一可經過金屬互連體2之一(譬如2a或2b)，而被連接至在晶片72之一中或在另一個晶片72中之另一個半導體裝置102，且可經過金屬互連體2之一，而被連接至金屬互連體1之一(譬如1a或1b)之傳導層56之接觸點，在穿透通孔164v之一(譬如穿透通孔164a、164b或164e)之底部。各金屬互連體2可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件72不僅可表示晶片，而且亦可表示晶圓。當構件72為晶圓時，構件68可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

接著，參考圖97，絕緣或介電層120，具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間，係在金屬互連體2之傳導層86上，在介電層88之經蝕刻表面上，且在金屬互連體2間之間隙中形成。

絕緣或介電層120例如可包含或可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，在金屬互連體2之傳導層86上，在介電層88

之經蝕刻表面上，且在金屬互連體2間之間隙中。在傳導層86上之聚合體層可具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間。

或者，絕緣或介電層120可包含或可為無機層，譬如一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，在金屬互連體2之傳導層86上，在介電層88之經蝕刻表面上，且在金屬互連體2間之間隙中。在傳導層86上之無機層可具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間。

或者，參考圖98，如圖97中所示之絕緣或介電層120可藉由下列步驟形成。首先，聚合體層120a，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，係在金屬互連體2之傳導層86上，在介電層88之經蝕刻表面上，及在金屬互連體2間之間隙中形成。接著，聚合體層120a係藉由例如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到金屬互連體2之傳導層86具有未被聚合體層120a覆蓋之頂部表面86u為止。因此，聚合體層120a仍然留在介電層88上，且在金屬互連體2間之間隙中，及具有厚度例如大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之

間。聚合體層120a之經研磨或拋光表面120s可為實質上平坦，且實質上與傳導層86之頂部表面86u共平面。其次，無機層120b，譬如一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，具有厚度例如在0.1與3微米之間，且較佳在0.2與1.5微米之間，係在傳導層86之頂部表面86u上，及在聚合體層120a之經研磨或拋光表面120s上形成。因此，如圖97中所示之絕緣或介電層120可由如圖98中所示之聚合體層120a與無機層120b所構成。

參考圖99，在形成絕緣或介電層120之後，下列步驟可接著如圖54-69中所示進行，以將晶片118與偽基板158放置在層120上所形成之層140上方，以形成包封/間隙充填材料138，在各晶片118之半導體基板124之背側上，在偽基板158上，及在間隙4b與8b中，以研磨或拋光包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158，以形成在經研磨或拋光表面124s、138s及158s上之介電層139，以形成在晶片118中及在偽基板158中之穿透通孔156v，且形成介電層127，在介電層139之頂部表面上，在被穿透通孔156v所曝露之層17、19及86上，及在穿透通孔156v之側壁上。接著，利用蝕刻製程(譬如各向異性蝕刻製程)，在層17、19及86上與在介電層139之頂部表面上所形成之介電層127係被蝕離，且介電層139之頂部係進一步被蝕離。在蝕刻製程之後，介電層139可具有剩餘厚度T24在0.3與5微米之間，在0.5與2微米之間，在0.05與2微米之間，在0.05與1微米之間，在0.05與0.5微米之間，或在0.05與0.3微米之間。

或者，蝕刻阻止技術可被應用於蝕離介電層139之頂部之製程。於此情況中，介電層139係由前文所述之無機層所構成，例如包括在表面124s、138s及158s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及在矽-氧氮化物層上之第二矽-氧化物層。在蝕刻製程期間，介電層139之頂部，意即第二矽-氧化物層，可被蝕離，直到蝕刻阻止層，意即矽-氧氮化物層，係被曝露，且移除所有第二矽-氧化物層為止。由矽-氧氮化物層與第一矽-氧化物層所構成之殘留介電層139可具有厚度T24在0.3與5微米之間，在0.5與2微米之間，在0.05與2微米之間，在0.05與1微米之間，在0.05與0.5微米之間，或在0.05與0.3微米之間。

因此，在穿透通孔156v之底部，在介電層139之頂部表面上，及在支撐物803上之互連體或金屬跡線75a之頂部表面上之介電層127，係被蝕離，且介電層127仍然留在穿透通孔156v之側壁上，因此被稱為在穿透通孔156v中之側壁介電層。側壁介電層127係在晶片118中或在偽基板158中之穿透通孔156v之側壁上形成，且係被晶片118之半導體基板124或被偽基板158包圍。

接著，參考圖100，黏著/障壁層125a，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，可在被穿透通孔156v所曝露之層17、19及86上，在介電層139之經蝕刻表面上，在側壁介電層127上，及在支撐物803上之互連體或金屬跡線75a上形成。黏著/障壁層125a

可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，晶種層125b，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，可在黏著/障壁層125a上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，光阻層394可在晶種層125b上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。接著，可採用光曝露製程與顯像製程，以形成在光阻層394中使晶種層125b之多個區域曝露之多個開孔394a。經構圖之光阻層394可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，傳導層125c，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，或在1與5微米之間，可利用例如電鍍製程，在被層394中之開孔394a所曝露之晶種層125b之區域上形成。

黏著/障壁層125a可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。晶種層125b可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間。傳導層125c可包含或可為銅、金或銀之經電鍍金屬層，具有厚度大於1微米，譬如在1與

20微米之間，且較佳在1與10微米之間，或在1與5微米之間。

例如，黏著/障壁層125a可為含鈦層，譬如鈦-鎢合金、鈦或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔156v所曝露之層17、19及86上，在介電層139之經蝕刻表面上，在側壁介電層127上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。傳導層125c可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，或在1與5微米之間，於銅或鈦-銅合金之單層上。

或者，黏著/障壁層125a可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔156v所曝露之層17、19及86上，在介電層139之經蝕刻表面上，在側壁介電層127上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上。傳導層125c可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，或在1與5微米之間，於銅或鈦-銅合金之單層上。

或者，黏著/障壁層125a可為含鉻層，譬如鉻之單層，具

有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在被穿透通孔156v所曝露之層17、19及86上，在介電層139之經蝕刻表面上，在側壁介電層127上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上。傳導層125c可為經電鍍銅層，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，或在1與5微米之間，於銅或鈦-銅合金之單層上。

接著，參考圖101，經構圖之光阻層394係使用例如有機化學溶液而被移除。其次，不在傳導層125c下方之晶種層125b係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。接著，不在傳導層125c下方之黏著/障壁層125a係利用例如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。因此，在介電層139上方與在穿透通孔156v上方之層125a、125b及125c係構成多個金屬互連體3，包括在介電層139上方與在穿透通孔156v上方之金屬互連體3a、3b及3c。在介電層139上方之金屬互連體3之黏著/障壁層125a與晶種層125b係不在介電層139上方之金屬互連體3之傳導層125c之任何側壁3w處，但在介電層139上方之金屬互連體3之傳導層125c底部下方。在介電層139上方之金屬互連體3之傳導層125c之側壁3w並未被層125a與125b覆蓋。在穿透通孔156v中之層125a、125b及125c係構成在穿透通孔156v中之多個金屬插塞(或金屬通孔)7p，包括個別如圖73與99中所示之穿透通孔

156a、156b、156c、156d、156e及156f中之金屬插塞(或金屬通孔)7a、7b、7c、7d、7e及7f。在晶片118中與在偽基板158中之各金屬插塞7p係被在穿透通孔156v中之側壁介電層127之一包圍。金屬插塞7a係在偽基板158中形成，金屬插塞7b、7c及7d係在晶片118之一中形成，而金屬插塞7f與7e係在另一個晶片118中形成。支撐物803及在該支撐物803上之互連層17中之互連體或金屬跡線75a，可在金屬插塞7e之兩個部份之間，低於互連層17之頂部表面所在位置之水平位。在晶片118中與在偽基板158中所形成之此等金屬插塞7p，可將金屬互連體3與在晶片118中之半導體裝置13連接，且將金屬互連體2與3連接。

金屬插塞7p之一，譬如金屬插塞7a，可在偽基板158中形成，且在穿透通孔156v之一(譬如穿透通孔156a)之底部，於金屬互連體2之一之傳導層86之接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7b，可在晶片118之一中形成，且在另一個穿透通孔156v(譬如穿透通孔156b)之底部，於另一個金屬互連體2(譬如金屬互連體2a)中之傳導層86之另一個接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7c，可在晶片118之一中形成，且在另一個穿透通孔156v(譬如穿透通孔156c)之底部，於晶片118之一中之互連體或金屬跡線75d之接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7d，可在晶片118之一中形成，且在另一個穿透通孔156v(譬如穿透通孔156d)之底部，於晶片118之一中之互連體或金屬跡線75c之接觸點上形成。另一個金屬插塞7p，譬如金屬插

塞7f，可在另一個晶片118中形成，且在另一個穿透通孔156v(譬如穿透通孔156f)之底部，於另一個晶片118中之互連體或金屬跡線75b之接觸點上形成。另一個金屬插塞7p，譬如金屬插塞7e，可在另一個晶片118中形成，在支撐物(譬如支撐物803)上方之互連體或金屬跡線75a之接觸點上形成，該支撐物係在另一個金屬插塞7p(譬如金屬插塞7e)之兩個左下方與右下方部份之間，且在另一個穿透通孔156v(譬如穿透通孔156e)之底部，於另一個金屬互連體2(譬如金屬互連體2b)中之傳導層86之另一個接觸點上形成。

金屬互連體3a可於一或多個晶片118上方形成。金屬互連體3b可於多個晶片118上方形成，且越過多個晶片118之多個邊緣。金屬互連體3c可在一或多個晶片118上方，且在偽基板158上方形成。

金屬互連體3a可經過晶片118之一中之金屬插塞7b，而被連接至金屬互連體2a之接觸點，在穿透通孔156b之底部，且可經過晶片118之一中之金屬插塞7c，而被連接至晶片118之一中之互連體或金屬跡線75d之接觸點，在穿透通孔156c之底部。金屬互連體3b可經過晶片118之一中之金屬插塞7d，而被連接至晶片118之一中之互連體或金屬跡線75c之接觸點，在穿透通孔156d之底部，且可經過另一個晶片118中之金屬插塞7f，而被連接至另一個晶片118中之互連體或金屬跡線75b之接觸點，在穿透通孔156f之底部。金屬互連體3c可經過另一個晶片118中之金屬插塞7e，而被連接至金屬互連體2b之接觸點，在穿透通孔156e之底部，可經

過另一個晶片118中之金屬插塞7e與互連體或金屬跡線75a，而被連接至另一個晶片118中之一或多個半導體裝置13，且可經過偽基板158中之金屬插塞7a，而被連接至另一個金屬互連體1之接觸點，在穿透通孔156a之底部。因此，在穿透通孔156b與156c底部之接觸點可經過金屬互連體3a而互相連接，在穿透通孔156d與156f底部之接觸點可經過金屬互連體3b而互相連接，且在穿透通孔156a與156e底部之接觸點可經過金屬互連體3c而互相連接。

因此，在晶片118之一中之半導體裝置13之一可經過金屬互連體3之一(譬如3a或3b)，而被連接至在晶片118之一中或在另一個晶片118中之另一個半導體裝置13，且可經過金屬互連體3之一，而被連接至金屬互連體2之一(譬如2a或2b)之傳導層86之接觸點，在穿透通孔156v之一(譬如穿透通孔156a、156b或156e)之底部。各金屬互連體3可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件118不僅可表示晶片，而且亦可表示晶圓。當構件118為晶圓時，構件72可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

接著，參考圖102，絕緣或介電層122，具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間，係在金屬互連體3之傳導層125c上，在介電層139之經蝕刻表面上，及在金屬互連體3間之間隙中形成。接著，聚合體層

136，譬如光敏性聚合體層，係在絕緣或介電層122上，利用例如旋轉塗覆製程而形成。其次，可採用光曝露製程與化學顯像製程，以形成在聚合體層136中使絕緣或介電層122之多個區域曝露之多個開孔136a。接著，聚合體層136可在攝氏180度與攝氏300度之間，或在攝氏180度與攝氏250度間之溫度中被熟化。在經熟化之後，聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間。聚合體層136可為聚醯亞胺層、苯并環丁烯(BCB)層、聚苯并噁唑(PBO)層、聚苯醚(PPO)層、環氧基層或一層SU-8。

絕緣或介電層122例如可包含或可為無機層，譬如一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間，藉由一種例如包括化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程之製程而形成。或者，絕緣或介電層122可包含或可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，具有厚度例如在0.3與10微米之間，且較佳在0.3與5微米之間，在0.3與3微米之間，在0.3與2微米之間，或在0.3與1微米之間，藉由例如使用旋轉塗覆製程，然後使用熱熟化製程，在攝氏150度與攝氏300度間之溫度中形成。

參考圖103，在形成圖102中所示結構之後，在聚合體層

136上及在多個接觸點上，於絕緣或介電層122中之多個開孔之底部，及在聚合體層136中之開孔136a下方，形成金屬互連體3之傳導層125c之凸塊下層金屬(UBM)層666，在UBM層666上形成多個焊料凸塊或球126，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555e與555f，可被稱為圖78-82中所示之步驟。

在一些情況中，系統級封裝或多晶片模組555e可進一步包含在載體11中之多個金屬插塞或通孔、在載體11下方之多個金屬跡線及在載體11下方之多個被動組件。金屬插塞或通孔可在載體11之基板10與介電層12中之多個開孔內形成，通過基板10與介電層12，且被連接至載體11之導電層18。金屬插塞或通孔可包含或可為銅、鋁、金或鎳。或者，金屬插塞或通孔可進一步包含鈦、鈦-鎢合金、氮化鈦、鉭、氮化鉭、鈦-銅合金或鉻。金屬跡線可在載體11之基板10之底側形成，且經過該金屬插塞或通孔而被連接至載體11之導電層18。各金屬跡線可包含經電鍍金屬層，與一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鈦-銅合金，且經電鍍金屬層可包含或可為一層銅、金、鋁或鎳。被動組件，譬如電容器、感應器或電阻器，可使用軟焊料，與金屬跡線黏結。被動組件之一可依序經過軟焊料之一，在基板10底側之金屬跡線之一，在基板10中之金屬插塞或通孔之一，及在基板10頂側之導電層18之金屬互連體，而被連接至金屬插塞5p之一，譬如金屬插塞5a、5b、5c、5d、5e或5f。軟焊料可包括鉍、銦、錫、錫-鉛合金、錫-銀合金、錫-銀-

銅合金、錫-金合金或錫-銅合金。

系統級封裝或多晶片模組555e可使用焊料凸塊或球126，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖104，可將系統級封裝或多晶片模組555e與圖83中所示之載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，圖83中所示之底部充填174可在系統級封裝或多晶片模組555e之聚合體層136與載體176頂側之間形成，且包圍焊料凸塊或球126。其次，圖83中所示之焊料球178可在載體176底側上形成。

圖105係顯示根據本發明揭示內容之另一項具體實施例之另一個系統級封裝或多晶片模組，其可藉由下列步驟形成。在形成圖102中所示結構之後，形成在絕緣或介電層122中與在聚合體層136中之開孔136a下方之多個開孔，形成在聚合體層136上，及在金屬互連體3之傳導層125c之多個接觸點上之黏著/障壁層134，該觸點係被絕緣或介電層122中之開孔曝露，且在聚合體層136中之開孔136a下方，形成在黏著/障壁層134上之晶種層132，形成在晶種層132上之光阻層152，且形成在光阻層152中之多個開孔152a，可被稱為圖78與79中所示之步驟。接著，形成在被光阻層152中之開孔152a所曝露之晶種層132之多個區域上，及在開孔152a中之金屬層142，形成在開孔152a中與在金屬層142上之障壁層144，形成在開孔152a中與在障壁層144上之軟焊料潤濕層

146，移除光阻層152，移除不在金屬層142下方之晶種層132，及移除不在金屬層142下方之黏著/障壁層134，可被稱為圖84中所示之步驟。因此，層132、134、142、144及146係構成多個金屬凸塊668，在聚合體層136上，及在金屬互連體3之傳導層125c之接觸點上，於絕緣或介電層122中之開孔底部及在聚合體層136中之開孔136a下方。金屬凸塊668可具有寬度例如在20與400微米之間，且較佳在50與100微米之間，與高度例如在10與100微米之間，且較佳在20與60微米之間。接著，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如圖105中所示之系統級封裝或多晶片模組555g。在系統級封裝或多晶片模組555g中，各互連體3可被連接至一或多個金屬凸塊668，且金屬凸塊668可被用於外部連接。

系統級封裝或多晶片模組555g可使用金屬凸塊668，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖106，可將系統級封裝或多晶片模組555g與圖83中所示載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。在將軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之後，多個金屬接頭180係在金屬凸塊668之障壁層144與載體176頂側之

間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金，具有厚度在5與50微米之間。接著，圖83中所示之底部充填174可在系統級封裝或多晶片模組555g之聚合體層136與載體176頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，圖83中所示之焊料球178可在載體176底側上形成。

或者，可省略如圖102-106所示之絕緣或介電層122。於此情況中，聚合體層136係在金屬互連體3之傳導層125c上，在介電層139之經蝕刻表面上，及在金屬互連體3間之間隙中形成，且金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a曝露，及在其末端處。再者，黏著/障壁層134係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖107與108係顯示根據本發明揭示內容之另一項具體實施例之形成另一個系統級封裝或多晶片模組之製程。參考圖107，在形成圖101中所示結構之後，絕緣或介電層122可在金屬互連體3之傳導層125c上，在介電層139之經蝕刻表面上，及在金屬互連體3間之間隙中形成。圖107中所示層122之規格可被稱為如圖102中所示層122之規格。接著，多個開孔122a可在絕緣或介電層122中形成，且使金屬互連體3之傳導層125c之多個區域曝露。其次，圖86中所示之金屬互連體或跡線300可在絕緣或介電層122上，及在金屬互連體3之傳導層125c之區域上形成，該區域係被層122中之開

孔122a曝露。金屬互連體或跡線300可由圖86中所示之層148與150所構成，且形成圖107中所示金屬互連體或跡線300之步驟可被稱為形成如圖86中所示金屬互連體或跡線300之步驟。接著，聚合體層136，譬如光敏性聚合體層，可在絕緣或介電層122上，及在金屬互連體或跡線300上，利用例如旋轉塗覆製程而形成。其次，可採用光曝露製程與化學顯像製程，以形成在聚合體層136中使金屬互連體或跡線300之多個接觸點曝露之多個開孔136a。接著，聚合體層136可在攝氏180度與攝氏300度之間，或在攝氏180度與攝氏250度間之溫度中被熟化。在經熟化之後，聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間。聚合體層136可為聚醯亞胺層、苯并環丁烯(BCB)層、聚苯并噁唑(PBO)層、聚苯醚(PPO)層、環氧基層或一層SU-8。

接著，參考圖108，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555h與555i。

圖109係顯示多晶片封裝566a，其包含經過導線黏結之導線184而被連接至圖83中所示載體176之系統級封裝或多晶片模組555h。多晶片封裝566a係類似圖88中所示之多晶片封裝566，惟圖88中所示之系統級封裝或多晶片模組555c係被系統級封裝或多晶片模組555h置換。形成包裝具有系統級

封裝或多晶片模組555h之多晶片封裝566a之步驟可被稱為形成包裝具有如圖88中所示系統級封裝或多晶片模組555c之多晶片封裝566之步驟。圖109中所示之膠層182、經導線黏結之導線184及模製配料186之規格可被稱為個別如圖88中所示之膠層182、經導線黏結之導線184及模製配料186之規格。圖109中所示焊料球178之規格可被稱為如圖83中所示焊料球178之規格。多晶片封裝566a可經過焊料球178，而被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

圖110-128係顯示根據本發明揭示內容之另一項具體實施例之形成另一個系統級封裝或多晶片模組之製程。參考圖110，在與載體11黏結之前，係提供多個晶片68。圖110中所示之晶片68係類似圖7中所示之晶片68，惟圖110中所示之各晶片68進一步包含多個金屬凸塊891，在經構圖金屬層26之多個接觸點下方及其上，該接觸點係被鈍化層24中之多個開孔24a曝露，且在其末端處，及進一步包含由經構圖金屬層26所提供之互連體或金屬跡線35e。互連體或金屬跡線35e可被連接至一或多個半導體裝置36，但可分離自互連體或金屬跡線35a、35b、35c或35d。互連體或金屬跡線35e可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。藉由如圖7中晶片68之構件所指示之相同參考編號所表示之圖110中晶片68之構件，係具有如圖7中所示晶片68之構件之相同材料與規格。於一種情況中，晶片68之一可具有與另

一個晶片68不同之電路設計。而且，在另一種情況中，晶片68之一可具有與另一個晶片68相同之電路設計。或者，晶片68之一可具有與另一個晶片68不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片68之一可具有與另一個晶片68相同之面積(頂部表面)或大小。圖110中所示之載體11係類似圖1中所示者，惟圖110中所示之載體11進一步包含在導電層18之多個接觸點上之多個金屬墊片892，該接觸點在介電或絕緣層20中之多個開孔20a之底部。在開孔20a底部之導電層18之接觸點，可藉由載體11之介電或絕緣層20而互相分離。

金屬墊片892可由兩個金屬層84a與85所構成。金屬層85，譬如鎳層，可具有厚度例如在2與10微米之間，且可藉由例如電鍍或無電鍍覆製程，於載體11之導電層18之接觸點上形成，該接觸點在開孔20a底部。金屬層84a，譬如一層軟焊料或金，可具有厚度例如在2與15微米之間，且可在金屬層85上，譬如鎳層，藉由例如電鍍或無電鍍覆製程而形成。

金屬凸塊891可由一或多個金屬層所構成，譬如金屬層83與84b。金屬層83可包含黏著/障壁層，譬如一層鈦、氮化鈦、鈦-鎢合金、鉭、氮化鉭或鉻，具有厚度小於1微米，譬如在1奈米與0.5微米之間，藉由例如濺射製程，在各晶片68之經構圖金屬層26之接觸點下方及其上形成，該接觸點在開孔24a頂部。金屬層83可進一步包含晶種層，譬如一層鈦-銅合金、銅、金或鎳，具有厚度小於1微米，譬如在10奈米與0.8微米之間，在黏著/障壁層下方及其上，藉由

例如濺射製程而形成。金屬層84b例如可包含銅層，具有厚度例如在0.5與20微米之間，且較佳在2與10微米之間，在金屬層83之晶種層較佳為銅或鈦-銅-合金晶種層下方及其上，藉由例如電鍍製程而形成，鎳層，具有厚度例如在0.1與10微米之間，且較佳在0.2與5微米之間，在銅層下方及其上，藉由例如電鍍或無電鍍覆製程而形成，及鉍、銦、錫、錫-鉛合金、錫-銀合金、錫-銅合金或錫-銀-銅合金之焊料層，用於與金屬墊片892之金屬層84a(譬如一層軟焊料或金)黏結，在鎳層下方及其上，藉由例如電鍍製程而形成。或者，金屬層84b可包含銅層，具有厚度例如在2與100微米之間，且較佳在5與50微米之間，在金屬層83之晶種層較佳為銅或鈦-銅-合金晶種層下方及其上，藉由電鍍製程而形成，鎳層，具有厚度例如在2與10微米之間，且較佳在2與5微米之間，在銅層下方及其上，藉由電鍍或無電鍍覆製程而形成，及金層，用於與金屬墊片892之金屬層84a(譬如一層軟焊料或金)黏結，在鎳層下方及其上，藉由電鍍或無電鍍覆製程而形成。或者，金屬層84b可包含鎳層，具有厚度例如在2與50微米之間，且較佳在5與25微米之間，在金屬層83之晶種層較佳為銅或鈦-銅-合金晶種層下方及其上，藉由例如電鍍製程而形成，及鉍、銦、錫、錫-鉛合金、錫-銀合金、錫-銅合金或錫-銀-銅合金之焊料層，用於與金屬墊片892之金屬層84a(譬如一層軟焊料或金)黏結，在鎳層下方及其上，藉由例如電鍍或無電鍍覆製程而形成。

參考圖111，可將晶片68與載體11黏結，使用例如將晶片

68之金屬凸塊891與載體11之金屬墊片892接合之倒裝晶片技術。於此方法中，金屬凸塊891可被置於金屬墊片892上，然後金屬凸塊891之金屬層84b之最下層，前文所述之軟焊料或金層，與金屬墊片892之金屬層84a之最上層，前文所述之軟焊料或金層，可使用適當製程，譬如加熱或再流動製程，而被熔解或整合成多個金屬接頭89。因此，金屬接頭89可在晶片68之主動側面與載體11之頂側之間形成。各金屬接頭89可為一層鉍、銦、錫-鉛合金、錫-銀合金、錫-銅合金、錫-銀-銅合金、錫-金合金或金，具有厚度例如在5與50微米之間，在金屬層85與未示於圖111中但示於圖110中之殘留金屬層84b中之前文所述鎳層之間，在金屬層83下方及其上。金屬接頭89可將晶片68之互連體或金屬跡線35b、35c、35d及35e連接至載體11之導電層18之多個金屬互連體或跡線。接著，底部充填91可在各晶片68之鈍化層24與載體11之頂側之間形成，且包圍金屬接頭89。底部充填91可包含環氧基、玻璃填料或碳填料，且玻璃填料或碳填料可被分佈在環氧基中。

接著，參考圖112，可使用膠層22，將多個各別偽基板62與載體11之頂側接合。膠層22可為聚合體層，譬如一層環氧基、聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或硅氧烷，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間。當在相鄰兩個晶片68間之間隙係為太大時，譬如大於500或1,000微米，一或多個各別偽基板62可被置於該間隙中。或者，當

在相鄰兩個晶片68間之間隙係為足夠小時，譬如小於500或1,000微米，可以沒有個別偽基板62被置於該間隙中。個別偽基板62例如可為個別矽條塊、個別偽晶片、個別偽矽晶粒，或多晶矽、玻璃、矽或陶瓷之個別基板。於一項具體實施例中，在將個別偽基板62與載體11接合之前，沒有電路於各個別偽基板62中或在各個別偽基板62之頂部或底部表面上預先形成。

或者，可將膠層22以矽-氧化物層置換，其係在各個別偽基板62之底側上預先形成。於此情況中，將個別偽基板62與載體11之頂側接合，可藉由將各個別偽基板62上預先形成之矽-氧化物層22與載體11之介電或絕緣層20之另一個矽-氧化物層黏結而進行。因此，可使用此等矽-氧化物層，將個別偽基板62與載體11接合。

圖113為根據具體實施例之顯示圖112中所示之個別偽基板62與晶片68之示意俯視圖，且圖112為沿著圖113中所示之線條C-C所切割之橫截面圖。如圖112與113中所示，有多個間隙4，各在晶片68之一與個別偽基板62之一之間，且有多個間隙8(顯示其中之一)，各在相鄰兩個晶片68之間。各間隙4可具有橫向距離或間距D1，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8可具有橫向距離或間距D2，例如小於500微米，譬如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。

在將個別偽基板62與載體11接合之後，圖114中所示之結

構可藉由下列步驟形成。在形成圖112中所示結構之後，圖10中所示之包封/間隙充填材料64可在各晶片68之半導體基板58之背側上，在個別偽基板62之頂部側面上，及在間隙4與8中形成。接著，包封/間隙充填材料64、各晶片68之半導體基板58之背側及個別偽基板62係藉由例如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到晶片68之一之半導體基板58係被薄化至厚度T1為止，例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。較佳情況是，在研磨或拋光製程之後，各晶片68可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。在研磨或拋光製程之後，個別偽基板62之一可被薄化至厚度T2，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，及留在間隙4與8中之包封/間隙充填材料64可具有垂直厚度T3，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片68背側處之半導體基板58之經研磨或拋光表面58s，及個別偽基板62之經研磨或拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經研磨或拋光表面62s可實質上與各晶片68之經研磨或拋光表面58s，且與間隙4與8中之包封/間隙充填材料64之經研磨或拋光表面64s共平面。在包封/間隙充填材料64、各晶片68之半導體基板58之背側及個別

偽基板62係藉由上文所提及之製程而被研磨或拋光之後，圖14中所示之介電層60可在各晶片68之半導體基板58之經研磨或拋光表面58s上，在個別偽基板62之經研磨或拋光表面62s上，及在包封/間隙充填材料64之經研磨或拋光表面64s上形成。

或者，圖114中所示之結構可藉由下列步驟形成。在將個別偽基板62與載體11接合之後，圖12中所示之包封/間隙充填材料64可在晶片68之半導體基板58之背側上，在個別偽基板62之頂部側面上，及在間隙4與8中形成。接著，圖12中所示之聚合體65可在包封/間隙充填材料64上及在間隙4與8中形成。其次，可進行圖13中所示之步驟，以移除聚合體層65，以移除未在間隙4與8中之包封/間隙充填材料64，以使晶片68之半導體基板58薄化，且使個別偽基板62薄化。因此，在各晶片68背側處之半導體基板58之經拋光表面58s，及個別偽基板62之經拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經拋光表面62s可實質上與各晶片68之經拋光表面58s，且與間隙4與8中之包封/間隙充填材料64之經拋光表面64s共平面。經拋光表面58s、62s及64s可具有例如低於20奈米之微粗糙度。各晶片68可被薄化至厚度例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。晶片68之一之半導體基板58可被薄化至厚度T1在1與30微米之間，且較佳在2與5微米之間，在2與10微米之間，在2與20微米之間，或在3與30微米之間。各個別偽基板62可被薄化至厚度T2例如在

3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。在間隙4與8中之包封/間隙充填材料64可被薄化至厚度T3例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。然後，圖14中所示之介電層60可在各晶片68之半導體基板58之經拋光表面58s上，在個別偽基板62之經拋光表面62s上，及在包封/間隙充填材料64之經拋光表面64s上形成。

參考圖115，在形成圖114中所示結構之後，多個穿透通孔170v，包括穿透通孔170a、170c、170d、170f及170g，可在晶片68中及在個別偽基板62中，藉由一或多種適當製程，例如經由下列步驟形成，其係使載體11之導電層18曝露，且使晶片68之層26與34曝露。首先，光阻層，譬如正型光敏性光阻層或負型光敏性光阻層，可在介電層60上，利用例如旋轉塗覆製程或層合製程而形成。接著，使用1X步進器之光曝露製程與使用化學溶液之顯像製程可被採用，以形成在光阻層中使介電層60曝露之多個開孔。光阻層可具有厚度例如在3與50微米之間。其次，在光阻層中之開孔下方之介電層60可利用例如各向異性電漿蝕刻製程而被移除。接著，在光阻層中之開孔下方之個別偽基板62與在光阻層中之開孔下方之晶片68可被蝕離，直到在晶片68中之層26與34之預定區域與在載體11中之導電層18之預定區域係被光阻層中之開孔曝露為止。其次，光阻層可利用例如有機化學品而被移除。因此，穿透通孔170v，包括穿透通孔170a、170c、170d、170f及170g，可在晶片68中及在個別

偽基板62中形成，使載體11之導電層18之多個區域曝露，且使晶片68之層26與34之多個區域曝露。穿透通孔170a係在個別偽基板62之一中形成，且穿透通孔170c、170d、170f及170g係在相同晶片68中形成。各穿透通孔170v，譬如穿透通孔170a、170c、170d、170f或170g，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。

穿透通孔170v之一，譬如穿透通孔170a，係通過介電層60、個別偽基板62之一、膠層或矽-氧化物層22及載體11之介電或絕緣層20，使載體11之導電層18之區域曝露。另一個穿透通孔170v，譬如穿透通孔170c，係通過介電層60，且經過晶片68之一之半導體基板58與介電層48，使在晶片68之一之互連層34中之互連體或金屬跡線35d曝露。另一個穿透通孔170v，譬如穿透通孔170d，係通過介電層60，且經過晶片68之一之半導體基板58與介電層44、46及48，使在晶片68之一之經構圖金屬層26中之互連體或金屬跡線35c曝露。另一個穿透通孔170v，譬如穿透通孔170f，係通過介電層60，且經過晶片68之一之半導體基板58與介電層48，使在晶片68之一之互連層34中之互連體或金屬跡線35b曝露。另一個穿透通孔170v，譬如穿透通孔170g，係通過介電層60，且經過晶片68之一之半導體基板58與介電層44、46及48，使在晶片68之一之互連層34中之互連體或金屬跡線35a曝露，且使在晶片68之一之經構圖金屬層26中之互連體或金

屬跡線35e曝露。由介電層44所提供之支撐物804係在被穿透通孔170g所曝露之互連體或金屬跡線35a與在穿透通孔170g下方之互連體或金屬跡線35e之間，以達成支撐所曝露互連體或金屬跡線35a之目的。支撐物804可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米，0.3與5微米之間，或在0.3與1微米之間。圖116-119為示意俯視透視圖之三種實例，其係顯示圖115中所示之穿透通孔170g及互連體或金屬跡線35a與35e。

如圖115與116中所示，在晶片68之一中之穿透通孔170g係使在晶片68之一中之互連體或金屬跡線35a曝露，且使在晶片68之一中之互連體或金屬跡線35e之兩個區域曝露。互連體或金屬跡線35a具有線形區域，藉由穿透通孔170g曝露，在水平方向上係從穿透通孔170g之一個側面，經過穿透通孔170g之中心，延伸至穿透通孔170g之相反側面。支撐物804，其係在穿透通孔170g下方之互連體或金屬跡線35e與互連層34中之互連體或金屬跡線35a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線35a之所曝露線形區域，穿透通孔170g自俯視透視圖較佳可為但不限於圓形。

如圖115與117中所示，在晶片68之一中之穿透通孔170g係使在晶片68之一中之互連體或金屬跡線35a曝露，且使在晶片68之一中之互連體或金屬跡線35e之區域曝露。互連體或金屬跡線35a具有半島區域，藉由穿透通孔170g曝露，在水平方向上係從穿透通孔170g之一個側面，至少延伸至穿

透通孔170g之中心，但並未達到穿透通孔170g之相反側面；互連體或金屬跡線35a具有被穿透通孔170g所曝露之末端。支撐物804，其係在穿透通孔170g下方之互連體或金屬跡線35e與互連層34中之互連體或金屬跡線35a之所曝露半島區域之間，可為半島形，類似互連體或金屬跡線35a之所曝露半島區域。穿透通孔170g自俯視透視圖較佳可為但不限於圓形。

如圖115與118中所示，在晶片68之一中之穿透通孔170g係使在晶片68之一中之互連體或金屬跡線35a曝露，且使在晶片68之一中之互連體或金屬跡線35e之區域曝露。互連體或金屬跡線35a具有半島區域，藉由穿透通孔170g曝露，在水平方向上係從穿透通孔170g之一個側面，至少延伸至穿透通孔170g之中心，但並未達到穿透通孔170g之相反側面；互連體或金屬跡線35a具有被穿透通孔170g所曝露之圓形末端。支撐物804，其係在穿透通孔170g下方之互連體或金屬跡線35e與互連層34中之互連體或金屬跡線35a之所曝露半島區域之間，可為半島形，類似互連體或金屬跡線35a之所曝露半島區域。穿透通孔170g自俯視透視圖較佳可為但不限於圓形。

圖119為示意俯視透視圖之實例，其係顯示圖115中所示之穿透通孔170g及互連體或金屬跡線35a與35e。於此情況中，穿透通孔170g可為但不限於橢圓形，且具有寬度W7，例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。在

晶片68之一中之橢圓形穿透通孔170g係使在晶片68之一中之互連體或金屬跡線35a曝露，且使在晶片68之一中之互連體或金屬跡線35e之兩個區域曝露。互連體或金屬跡線35a具有線形區域，藉由橢圓形穿透通孔170g曝露，在水平方向上係從橢圓形穿透通孔170g之一個側面，經過橢圓形穿透通孔170g之中心，延伸至橢圓形穿透通孔170g之相反側面。支撐物804，其係在穿透通孔170g下方之互連體或金屬跡線35e與互連層34中之互連體或金屬跡線35a之所曝露線形區域之間，可為線形，類似互連體或金屬跡線35a之所曝露線形區域。被橢圓形穿透通孔170g所曝露之互連體或金屬跡線35a具有寬度W8，例如在0.3與30微米之間，且較佳在0.3與20微米之間，在0.3與10微米之間，在0.3與5微米之間，或在0.3與1微米之間。在橢圓形穿透通孔170g之長軸終點與被橢圓形穿透通孔170g所曝露互連體或金屬跡線35a之邊緣(其係比另一個相反邊緣更接近該終點)間之水平距離S4，可例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。

接著，參考圖120，介電層50可在介電層60之頂部表面上，在被穿透通孔170v (譬如穿透通孔170a)所曝露之載體11之導電層18上，在被穿透通孔170v(譬如穿透通孔170c、170d、170f及170g)所曝露之晶片68之層26與34上，及在穿透通孔170v之側壁上形成。圖120中所示介電層50之規格可被稱為如圖19中所示介電層50之規格。

接著，參考圖121，光阻層168，譬如正型光敏性光阻層

或負型光敏性光阻層，可在介電層50上，利用例如旋轉塗覆製程或層合製程而形成。接著，使用1X步進器之光曝露製程與使用濕式化學之顯像製程可被採用，以形成在光阻層168中使介電層50曝露之多個開孔168a。光阻層168可具有厚度例如在0.5與30微米之間。

接著，參考圖122，在層18、26及34上，及在開孔168a下方之介電層60之頂部表面上所形成之介電層50，可經由例如使用各向異性電漿蝕刻製程，將開孔168a下方之介電層50蝕刻而被移除。在穿透通孔170v之底部，於開孔168a下方之介電層60之頂部表面上，及在支撐物804上方之互連體或金屬跡線35a之頂部表面上之介電層50，可被蝕離。因此，在穿透通孔170v底部之層18、26及34，在開孔168a下方之介電層60之頂部表面，及在支撐物804上方之互連體或金屬跡線35a，均藉由開孔168a而被曝露，且介電層50仍然留在穿透通孔170v之側壁上，因此被稱為在穿透通孔170v中之側壁介電層。側壁介電層50係在晶片68中或在偽基板62中之穿透通孔170v之側壁上形成，且係被晶片68之半導體基板58或被偽基板62包圍。

接著，參考圖123，多個壕溝60t，其為鑲嵌開孔，可在介電層60中形成，其方式是使用例如各向異性電漿蝕刻製程，將在開孔168a下方之介電層60與側壁介電層50蝕刻至深度D3，例如在0.1與5微米之間，且較佳在0.5與3微米之間。較佳情況是，介電層60與側壁介電層50具有相同材料，譬如氮化矽、氧化矽或氧氮化矽。在蝕刻製程之後，於壕

溝60t下方之介電層60具有剩餘厚度T6，例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

或者，蝕刻阻止技術可被應用於形成介電層60中之壕溝60t之製程。於此情況中，介電層60係由前文所述之無機層所構成，例如包括在表面58s、62s及64s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及在矽-氧氮化物層上之第二矽-氧化物層。壕溝60t可在介電層60中形成，其方式是將開孔168a下方之介電層60之第二矽-氧化物層及開孔168a下方之側壁介電層50蝕刻，直到介電層60之矽-氧氮化物層係被開孔168a曝露為止。因此，壕溝60t係在介電層60之第二矽-氧化物層中形成，且在壕溝60t下方由矽-氧氮化物層與第一矽-氧化物層所構成之殘留介電層60，係具有厚度T6例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

接著，參考圖124，光阻層168係利用例如有機化學品而被移除。在介電層60中所形成之壕溝60t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。在晶片68中，於穿透通孔170v(譬如穿透通孔170c、170d、170f及170g)之側壁上所形成之側壁介電層50，可防止過渡金屬譬如銅、鈉或水份穿透至晶片68之IC裝置。圖125為根據本發明具體實施例之顯示圖124中所示之壕溝60t、穿透通孔170v及側壁介電層50之示意俯視透視圖，且圖124為沿著圖

125中所示線條D-D所切割之橫截面圖。

接著，參考圖126，形成在被穿透通孔170v所曝露之層18、26及34上，在壕溝60t之側壁與底部上，在介電層50上，及在支撐物804上之互連體或金屬跡線35a上之黏著/障壁層52，形成在黏著/障壁層52上之晶種層54，及形成在晶種層54上之傳導層56，可被稱為圖25中所示之步驟。圖126中所示層52、54及56之規格可被稱為個別如圖25中所示層52、54及56之規格。

接著，參考圖127，利用研磨或拋光製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程，可移除壕溝60t外部之層52、54及56，且可移除在介電層60之頂部表面上之介電層50。因此，介電層60具有所曝露之頂部表面60s，其可實質上與壕溝60t中之傳導層56之經研磨或拋光表面56s共平面，且表面56s與60s可為實質上平坦。介電層60具有在所曝露頂部表面60s與表面58s或62s間之厚度T7，例如在1與10微米之間，且較佳在1與3微米之間，或在2與5微米之間。黏著/障壁層52與晶種層54係在壕溝60t中之傳導層56之側壁與底部，且在壕溝60t中之傳導層56之側壁與底部係被黏著/障壁層52與晶種層54覆蓋。

於第一替代方式中，在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，黏著/障壁層52可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，

且較佳在0.1與0.2微米之間，於壕溝60t之側壁與底部上，在穿透通孔170v底部之層18、26及34上，在側壁介電層50上，及在支撐物804上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

於第二替代方式中，在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，黏著/障壁層52可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝60t之側壁與底部上，在穿透通孔170v底部之層18、26及34上，在側壁介電層50上，及在支撐物804上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

於第三種替代方式中，在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，

黏著/障壁層52可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝60t之側壁與底部上，在穿透通孔170v底部之層18、26及34上，在側壁介電層50上，及在支撐物804上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.5與3微米之間。

在移除壕溝60t外部之層52、54及56，且移除介電層60之頂部表面上之介電層50之步驟後，於壕溝60t中之層52、54及56係構成多個金屬互連體(或鑲嵌金屬跡線)1，包括在壕溝60t中之金屬互連體(或鑲嵌金屬跡線)1a與1b。在穿透通孔170v中之層52、54及56係構成在穿透通孔170v中之多個金屬插塞(或金屬通孔)5p，包括個別如圖124中所示之穿透通孔170a、170c、170d、170f及170g中之金屬插塞(或金屬通孔)5a、5c、5d、5f及5g。在晶片68中與在個別偽基板62中之各金屬插塞5p係被穿透通孔170v中之側壁介電層50之一包圍。金屬插塞5a係在個別偽基板62之一中形成，且金屬插塞5c、5d、5f及5g係在相同晶片68中形成。支撐物804及在該支撐物804上之互連層34中之互連體或金屬跡線35a，可在金屬插塞5g之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。在晶片68中與在個別偽基板62中所形

成之此等金屬插塞5p可將金屬互連體1與晶片68中之半導體裝置36連接，且將金屬互連體1與載體11中之導電層18之多個接觸點連接。在壕溝60t中之金屬互連體1，譬如1a與1b，可具有厚度例如在0.1與5微米之間，且較佳在1與3微米之間。

例如，金屬插塞5p之一，譬如金屬插塞5a，可在個別偽基板62之一中形成，且在穿透通孔170v之一(譬如穿透通孔170a)底部之導電層18之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5c，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170c)之底部，於晶片68之一之互連層34中之互連體或金屬跡線35d之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5d，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170d)之底部，於晶片68之一之經構圖金屬層26中之互連體或金屬跡線35c之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5f，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170f)之底部，於晶片68之一之互連層34中之互連體或金屬跡線35b之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5g，可在晶片68之一中形成，於支撐物(譬如支撐物804)上方之互連體或金屬跡線35a之接觸點上形成，該支撐物係在另一個金屬插塞5p(譬如金屬插塞5g)之兩個左下方與右下方部份之間，且在穿透通孔170v之一(譬如穿透通孔170g)下方，於互連體或金屬跡線35e之一或多個接觸點上形成。

金屬互連體1之一，譬如1a或1b，可於多個各別偽基板62上方，在多個晶片68上方形成，越過多個晶片68之多個邊緣，且越過多個各別偽基板62之多個邊緣。金屬互連體1a可經過個別偽基板62之一中之金屬插塞5a，而被連接至導電層18之接觸點，在穿透通孔170a之底部，可經過晶片68之一中之金屬插塞5c，而被連接至晶片68之一中之互連體或金屬跡線35d之接觸點，在穿透通孔170c之底部，且可經過晶片68之一中之金屬插塞5d，而被連接至晶片68之一中之互連體或金屬跡線35c之接觸點，在穿透通孔170d之底部。金屬互連體1b可經過晶片68之一中之金屬插塞5f，而被連接至晶片68之一中之互連體或金屬跡線35b之接觸點，在穿透通孔170f之底部，可經過晶片68之一中之金屬插塞5g，而被連接至晶片68之一中之互連體或金屬跡線35e之接觸點，在穿透通孔170g之底部，且可經過金屬插塞5g，而被連接至支撐物804上之互連體或金屬跡線35a。金屬互連體1a可經過另一個晶片68中之一或多個金屬插塞5p，而進一步被連接至另一個晶片68中之一或多個半導體裝置36。金屬互連體1b可經過另一個晶片68中之一或多個金屬插塞5p，而進一步被連接至另一個晶片68中之一或多個半導體裝置36。

因此，在晶片68之一中之半導體裝置36之一可經過金屬互連體1之一(譬如1a或1b)，而被連接至在晶片68之一中或在另一個晶片68中之另一個半導體裝置36，且可經過金屬互連體1之一，而被連接至載體11中之導電層18之接觸點，

在穿透通孔170v之一(譬如穿透通孔170a)之底部。各金屬互連體1可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件68不僅可表示晶片，而且亦可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖128，在形成圖127中所示結構之後，下列步驟可接著如圖27-81中所示進行，然後可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555j與555k。

或者，在單一化製程之前，多個金屬插塞或通孔可在載體11之基板10與介電層12中之多個開孔內形成，通過基板10與介電層12，且被連接至載體11之導電層18。金屬插塞或通孔可包含或可為銅、鋁、金或鎳。或者，金屬插塞或通孔可進一步包含鈦、鈦-鎢合金、氮化鈦、鉭、氮化鉭、鈦-銅合金或鉻。接著，多個金屬跡線可在基板10之底側形成，且經過該金屬插塞或通孔，而被連接至載體11之導電層18。各金屬跡線可包含一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鈦-銅合金，在基板10底側下方，與經電鍍金屬層，於鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭或鈦-銅合金之層下方。經電鍍金屬層可包含或可為一層銅、金、鋁或鎳。其次，多個被動組件，譬如電容器、感應器或電

阻器，可被連接至基板10之底側，且使用軟焊料，與金屬跡線黏結。軟焊料可包括鉍、銦、錫、錫-鉛合金、錫-銀合金、錫-銀-銅合金、錫-金合金或錫-銅合金。在將被動組件與金屬跡線黏結之後，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555j與555k。

因此，系統級封裝或多晶片模組555j可具有被動組件之一，其具有依序經過軟焊料之一、在基板10底側之金屬跡線之一、在基板10中之金屬插塞或通孔之一及在基板10頂側之導電層18之金屬互連體，而被連接至如圖127中所示金屬插塞5a之第一端子，且具有依序經過另一個軟焊料、在基板10底側之另一個金屬跡線、在基板10中之另一個金屬插塞或通孔及在基板10頂側之導電層18之另一個金屬互連體，而被連接至金屬接頭89之一之第二端子，其可被連接至如圖127中所示之金屬插塞5f或5g。

或者，系統級封裝或多晶片模組555j可具有被動組件之一，其具有依序經過軟焊料之一、在基板10底側之金屬跡線之一、在基板10中之金屬插塞或通孔之一及在基板10頂側之導電層18之金屬互連體，而被連接至金屬接頭89之一之第一端子，其可被連接至如圖127中所示之金屬插塞5c或5d，且具有依序經過另一個軟焊料、在基板10底側之另一個金屬跡線、在基板10中之另一個金屬插塞或通孔及在基

板10頂側之導電層18之另一個金屬互連體，而被連接至另一個金屬接頭89之第二端子，其可被連接至如圖127中所示之金屬插塞5f或5g。

系統級封裝或多晶片模組555j可使用焊料凸塊或球126，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖129，可將系統級封裝或多晶片模組555j與載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，底部充填174可在系統級封裝或多晶片模組555j之聚合體層136與載體176之頂側之間形成，且包圍焊料凸塊或球126。其次，多個焊料球178可在載體176之底側上形成。在圖129中所示之載體176、底部充填174及焊料球178之規格可被稱為個別如圖83中所示之載體176、底部充填174及焊料球178之規格。

圖130係顯示根據本發明揭示內容之另一項具體實施例之另一個系統級封裝或多晶片模組，其可藉由下列步驟形成。在形成圖127中所示結構之後，可接著進行如圖27-79中所示之步驟。其次，在聚合體層136上，及在金屬互連體3之傳導層125c之接觸點上形成金屬凸塊668，該接觸點係在絕緣或介電層122中之開孔底部及在聚合體層136中之開孔136a下方，可被稱為圖84中所示之步驟。接著，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用

例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555m。於系統級封裝或多晶片模組555m中，各互連體3可被連接至一或多個金屬凸塊668。

系統級封裝或多晶片模組555m可使用金屬凸塊668，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖131，可將系統級封裝或多晶片模組555m與圖83中所示載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。在將軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之後，多個金屬接頭180係在金屬凸塊668之障壁層144與載體176之頂側之間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金，具有厚度在5與50微米之間。或者，金屬接頭180可為金層，具有厚度在0.1與10微米之間。接著，圖83中所示之底部充填174可在系統級封裝或多晶片模組555m之聚合體層136與載體176之頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，圖83中所示之焊料球178可在載體176底側上形成。

或者，可省略如圖128-131所示之絕緣或介電層122。於此情況中，聚合體層136係在表面223、225、227及139s上形成，且金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。再者，黏著/障壁層134

係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖132係顯示多晶片封裝566b，其包含經過導線黏結之導線184而被連接至圖83中所示載體176之系統級封裝或多晶片模組555n，其可藉由例如下列步驟形成。在形成圖127中所示結構之後，可接著進行如圖27-76中所示之步驟。其次，在層125a與125b之經研磨或拋光表面上，在傳導層125c之經研磨或拋光表面227上，及在介電層139之所曝露頂部表面139s上形成絕緣或介電層122，在絕緣或介電層122上，及在金屬互連體3之傳導層125c之多個區域上形成多個金屬互連體或跡線300，該區域係被層122中之多個開孔122a曝露，且在絕緣或介電層122上，及在金屬互連體或跡線300上形成聚合體層136，可被稱為圖86中所示之步驟。在經熟化之後，聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間，及在聚合體層136中之多個開孔136a係使金屬互連體或跡線300之多個接觸點曝露。接著，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555n。

接著，可將多個系統級封裝或多晶片模組555n與圖83中所示之載體176接合，其方式是例如於載體176之頂側上形成具有厚度在20與150微米間之膠層182，然後，使用膠層

182，將多個系統級封裝或多晶片模組555n連接至載體11之頂側。膠層182可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)、聚苯醚(PPO)、硅氧烷或SU-8，具有厚度例如在20與150微米之間。接著，多條導線184，譬如金導線、銅導線或鋁導線，可藉由導線黏結製程，而被導線黏結至載體176之頂側上，且至金屬互連體或跡線300之傳導層150之接觸點上，該接觸點係被聚合體層136中之開孔136a曝露。因此，多個系統級封裝或多晶片模組555n之金屬互連體或跡線300可經過導線黏結之導線184，以物理方式及以電方式被連接至載體176。其次，模製配料186可在多個系統級封裝或多晶片模組555n上，在載體176之頂側上，及在導線黏結之導線184上，藉由成型製程而形成，其係包覆導線黏結之導線184與多個系統級封裝或多晶片模組555n。模製配料186可包含環氧基、碳填料或玻璃填料，且玻璃填料或碳填料可被分佈在環氧基中。接著，圖83中所示之焊料球178可在載體176底側上形成。然後，可進行單一化製程，以切割載體176與模製配料186，且使多個多晶片封裝566b單一化。多晶片封裝566b可經過焊料球178，而被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

圖133-136係顯示根據本發明揭示內容之另一項具體實施例之形成另一個系統級封裝或多晶片模組之製程。參考圖133，在形成圖120中所示結構之後，在層18、26及34上與在介電層60之頂部表面上所形成之介電層50係被蝕離，且

介電層60之頂部係被蝕離，其可被稱為圖89中所示之步驟。因此，在穿透通孔170v之底部，在介電層60之頂部表面上，及在支撐物804上方之互連體或金屬跡線35a之頂部表面上之介電層50，係被蝕離，且介電層50仍然留在穿透通孔170v之側壁上，因此被稱為在穿透通孔170v中之側壁介電層。側壁介電層50係在晶片68中或在偽基板62中之穿透通孔170v之側壁上形成，且係被晶片68之半導體基板58或被偽基板62包圍。介電層60可具有剩餘厚度T22在0.3與5微米之間，在0.5與2微米之間，在0.05與2微米之間，在0.05與1微米之間，在0.05與0.5微米之間，或在0.05與0.3微米之間。

接著，參考圖134，在被穿透通孔170v所曝露之層18、26及34上，在介電層60之經蝕刻表面上，在側壁介電層50上，及在支撐物804上之互連體或金屬跡線35a上形成黏著/障壁層52，在黏著/障壁層52上形成晶種層54，在晶種層54上形成光阻層194，在光阻層194中形成多個開孔194a，且在被層194中之開孔194a所曝露之晶種層54之多個區域上形成傳導層56，可被稱為圖90中所示之步驟。

接著，參考圖135，光阻層194係使用例如有機化學溶液而被移除。接著，不在傳導層56下方之晶種層54係藉由適當製程，譬如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。其次，不在傳導層56下方之黏著/障壁層52係藉由適當製程，譬如濕化學蝕刻製程或乾電漿蝕刻製程而被移除。因此，在介電層60上方及在穿透通孔170v上方之層52、54及56係構成多個金屬互連體1，包括在介電層60上方及在穿透

通孔170v上方之金屬互連體1a與1b。在介電層60上方之金屬互連體1之黏著/障壁層52與晶種層54係不在介電層60上方之金屬互連體1之傳導層56之任何側壁1w處，但在介電層60上方之金屬互連體1之傳導層56底部下方。在介電層60上方之金屬互連體1之傳導層56之側壁1w並未被層52與54覆蓋。在穿透通孔170v中之層52、54及56係構成在穿透通孔170v中之多個金屬插塞(或金屬通孔)5p，包括個別如圖133中所示之穿透通孔170a、170c、170d、170f及170g中之金屬插塞(或金屬通孔)5a、5c、5d、5f及5g。在晶片68中與在個別偽基板62中之各金屬插塞5p係被穿透通孔170v中之側壁介電層50之一包圍。金屬插塞5a係在個別偽基板62之一中形成，且金屬插塞5c、5d、5f及5g係在相同晶片68中形成。支撐物804及在該支撐物804上之互連層34中之互連體或金屬跡線35a可在金屬插塞5g之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。在晶片68中與在個別偽基板62中所形成之此等金屬插塞5p可將金屬互連體1與晶片68之半導體裝置36連接，且將金屬互連體1與載體11中之導電層18之多個接觸點連接。

例如，金屬插塞5p之一，譬如金屬插塞5a，可在個別偽基板62之一中形成，且在穿透通孔170v之一(譬如穿透通孔170a)之底部，於導電層18之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5c，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170c)之底部，於晶片68之一之互連層34中之互連體或金屬跡線35d之接觸點上形成。

另一個金屬插塞5p，譬如金屬插塞5d，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170d)之底部，於晶片68之一之經構圖金屬層26中之互連體或金屬跡線35c之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5f，可在晶片68之一中形成，且在另一個穿透通孔170v(譬如穿透通孔170f)之底部，於晶片68之一之互連層34中之互連體或金屬跡線35b之接觸點上形成。另一個金屬插塞5p，譬如金屬插塞5g，可在晶片68之一中形成，於支撐物(譬如支撐物804)上方之互連體或金屬跡線35a之接觸點上形成，該支撐物係在另一個金屬插塞5p(譬如金屬插塞5g)之兩個左下方與右下方部份之間，且在穿透通孔170v之一(譬如穿透通孔170g)下方，於互連體或金屬跡線35e之一或多個接觸點上形成。

金屬互連體1之一，譬如1a或1b，可於多個各別偽基板62上方，在多個晶片68上方形成，越過多個晶片68之多個邊緣，且越過多個各別偽基板62之多個邊緣。金屬互連體1a可經過個別偽基板62之一中之金屬插塞5a，而被連接至導電層18之接觸點，在穿透通孔170a之底部，可經過晶片68之一中之金屬插塞5c，而被連接至晶片68之一中之互連體或金屬跡線35d之接觸點，在穿透通孔170c之底部，且可經過晶片68之一中之金屬插塞5d，而被連接至晶片68之一中之互連體或金屬跡線35c之接觸點，在穿透通孔170d之底部。金屬互連體1b可經過晶片68之一中之金屬插塞5f，而被連接至晶片68之一中之互連體或金屬跡線35b之接觸點，

在穿透通孔170f之底部，可經過晶片68之一中之金屬插塞5g，而被連接至晶片68之一中之互連體或金屬跡線35e之接觸點，在穿透通孔170g之底部，且可經過金屬插塞5g，而被連接至支撐物804上之互連體或金屬跡線35a。金屬互連體1a可經過另一個晶片68中之一或多個金屬插塞5p，而進一步被連接至另一個晶片68中之一或多個半導體裝置36。金屬互連體1b可經過另一個晶片68中之一或多個金屬插塞5p，而進一步被連接至另一個晶片68中之一或多個半導體裝置36。

因此，在晶片68之一中之半導體裝置36之一可經過金屬互連體1之一(譬如1a或1b)，而被連接至在晶片68之一中或在另一個晶片68中之另一個半導體裝置36，且可經過金屬互連體1之一，而被連接至載體11中之導電層18之接觸點，在穿透通孔170v之一(譬如穿透通孔170a)之底部。各金屬互連體1可為信號跡線、位元線、時脈匯流排、電源平面、電源匯流排、電源跡線、接地面、接地匯流排或接地跡線。

或者，構件68不僅可表示晶片，而且亦可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖136，在形成圖135中所示結構之後，可接著進行如圖92-103中所示之步驟，以形成多個系統級封裝或多晶片模組，譬如系統級封裝或多晶片模組555o與555p。

在一些情況中，系統級封裝或多晶片模組555o可進一步包含在載體11中之多個金屬插塞或通孔、在載體11下方之

多個金屬跡線及在載體11下方之多個被動組件。關於在載體11中之金屬插塞或通孔，及關於在載體11下方之金屬跡線之詳細說明，可被稱為圖103中所示者。可使用軟焊料，將被動組件，譬如電容器、感應器或電阻器，與金屬跡線黏結。被動組件之一可依序經過軟焊料之一、在基板10底側之金屬跡線之一、在基板10中之金屬插塞或通孔之一及在基板10頂側之導電層18之金屬互連體，而被連接至金屬插塞5p之一，譬如金屬插塞5a、5c、5d、5f或5g。軟焊料可包括鉍、銦、錫、錫-鉛合金、錫-銀合金、錫-銀-銅合金、錫-金合金或錫-銅合金。

系統級封裝或多晶片模組555o可使用焊料凸塊或球126，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖137，係將系統級封裝或多晶片模組555o與圖83中所示載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，圖83中所示之底部充填174係在系統級封裝或多晶片模組555o之聚合體層136與載體176之頂側之間形成，且包圍焊料凸塊或球126。其次，圖83中所示之焊料球178係在載體176之底側上形成。

圖138係顯示根據本發明揭示內容之另一項具體實施例之另一個系統級封裝或多晶片模組，其可藉由下列步驟形成。在形成圖135中所示結構之後，可接著進行如圖92-102中所示之步驟，然後，可接著進行圖78與79中所示之步驟。

其次，在聚合體層136上，及在金屬互連體3之傳導層125c之接觸點上形成金屬凸塊668，該接觸點係在絕緣或介電層122中之開孔底部及在聚合體層136中之開孔136a下方，可被稱為圖84中所示之步驟。接著，進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555q。在系統級封裝或多晶片模組555q中，各互連體3可被連接至一或多個金屬凸塊668。

系統級封裝或多晶片模組555q可使用金屬凸塊668，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖139，係將系統級封裝或多晶片模組555q與圖83中所示載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。在將軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之後，多個金屬接頭180係在金屬凸塊668之障壁層144與載體176之頂側之間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金，具有厚度在5與50微米之間。或者，金屬接頭180可為金層，具有厚度在0.1與10微米之間。接著，圖83中所示之底部充填174係在系統級封裝或多晶片模組555q之聚合體層136與載體176之頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，圖83中所示之焊

料球178係在載體176之底側上形成。

或者，可省略如圖136-139所示之絕緣或介電層122。於此情況中，聚合體層136係在金屬互連體3之傳導層125c上，在介電層139之經蝕刻表面上，及在金屬互連體3間之間隙中形成，且金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。再者，黏著/障壁層134係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖140係顯示多晶片封裝566c，其包含經過導線黏結之導線184而被連接至圖83中所示載體176之系統級封裝或多晶片模組555r，其可藉由例如下列步驟形成。在形成圖135中所示結構之後，可接著進行如圖92-101中所示之步驟。其次，在金屬互連體3之傳導層125c上，在介電層139之經蝕刻表面上，及在金屬互連體3間之間隙中形成絕緣或介電層122，在絕緣或介電層122上，及在金屬互連體3之傳導層125c之多個區域上形成多個金屬互連體或跡線300，該區域係被層122中之多個開孔122a曝露，且在絕緣或介電層122上，及在金屬互連體或跡線300上形成聚合體層136，可被稱為圖107中所示之步驟。在經熟化之後，聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間，及在聚合體層136中之多個開孔136a係使金屬互連體或跡線300之多個接觸點曝露。接著，可進行單一化製程，以切割載體11，偽基板62、165及158，

以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555r。

接著，可將多個系統級封裝或多晶片模組555r與圖83中所示之載體176接合，其方式是例如於載體176之頂側上形成具有厚度在20與150微米間之膠層182，然後，使用膠層182，將多個系統級封裝或多晶片模組555r連接至載體11之頂側。膠層182可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)、聚苯醚(PPO)、硅氧烷或SU-8，具有厚度例如在20與150微米之間。接著，多條導線184，譬如金導線、銅導線或鋁導線，可藉由導線黏結製程，而被導線黏結至載體176之頂側上，且至金屬互連體或跡線300之傳導層150之接觸點上，該接觸點係被聚合體層136中之開孔136a曝露。因此，多個系統級封裝或多晶片模組555r之金屬互連體或跡線300可經過導線黏結之導線184，以物理方式及以電方式被連接至載體176。其次，模製配料186可在多個系統級封裝或多晶片模組555r上，在載體176之頂側上，及在導線黏結之導線184上，藉由成型製程而形成，其係包覆導線黏結之導線184與多個系統級封裝或多晶片模組555r。模製配料186可包含環氧基、碳填料或玻璃填料，且玻璃填料或碳填料可被分佈在環氧基中。接著，圖83中所示之焊料球178可在載體176底側上形成。然後，可進行單一化製程，以切割載體176與模製配料186，且使多個多晶片封裝566c單一化。多晶片封裝566c可經過焊

料球178，而被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

或者，可將圖7-109中所示之晶片68以圖141J中所示之另一種類型之晶片68置換，其進一步包含絕緣環500a，比淺溝隔離(STI)500b較厚。圖141A-141J係顯示根據本發明揭示內容之具體實施例之形成另一種類型晶片68之製程。參考圖141A，具有厚度例如在10與250奈米間之絕緣層301，可在晶圓680之半導體基板58上形成。半導體基板58可為矽-鍺(SiGe)基板、鎵-砷化物(GaAs)基板或矽基板，具有厚度例如大於100微米，譬如在100與500微米之間，且較佳在150與250微米之間，或在100與300微米之間。絕緣層301例如可由以下所構成，襯墊氧化物，具有厚度在1與20奈米之間，於半導體基板58之頂部表面上，與矽-氮化物層，具有厚度在10與200奈米之間，於襯墊氧化物上。在形成半導體基板58之頂部表面上之絕緣層301後，經構圖之光阻層302可在絕緣層301之矽-氮化物層上形成。在經構圖光阻層302中之多個開孔302a係使絕緣層301之矽-氮化物層之多個區域曝露。

接著，參考圖141B，多個淺壕溝303可在半導體基板58中形成，其方式是移除開孔302a下方之絕緣層301，並蝕刻開孔302a下方之半導體基板58，導致半導體基板58中之淺壕溝303，具有深度D10例如在0.1與0.5微米之間，且較佳在0.15與0.4微米之間。

接著，參考圖141C，經構圖之光阻層302係使用化學溶液而被移除，然後，經構圖之光阻層304可在絕緣層301之矽-

氮化物層上形成。在經構圖光阻層304中之多個環形開孔304a係使絕緣層301之矽-氮化物層之多個環形區域曝露。

接著，參考圖141D，多個環形壕溝305係在半導體基板58中形成，其方式是移除環形開孔304a下方之絕緣層301，並蝕刻環形開孔304a下方之半導體基板58，導致半導體基板58中之環形壕溝305，具有深度D11例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間。環形壕溝305可為例如圓形環、橢圓形環、方形環、矩形環或多邊形環。

接著，參考圖141E與141F，經構圖之光阻層304係使用化學溶液而被移除。圖141E係顯示如圖141F中所示壕溝303與305之示意俯視圖，且圖141F可為沿著圖141E中所示之線條L-L所切割之橫截面圖。在半導體基板58中所形成之淺壕溝303係用以順應淺溝隔離(STI)。在半導體基板58中所形成之環形壕溝305係用以順應絕緣環。各環形壕溝305可具有橫向寬度W9在外部周圍上之外部點與最接近該外部點之內部周圍上之內部點之間，且橫向寬度W9可在0.1與20微米之間，在0.1與10微米之間，在0.1與5微米之間，在0.1與2微米之間，或在0.1與1微米之間。在各環形壕溝305之外部周圍上之兩個相對點間之水平距離D12可在2與100微米之間，在2與50微米之間，在2與20微米之間，在2與10微米之間，或在2與5微米之間。若該外部周圍為圓形，則水平距離D12為該圓形外部周圍之直徑(寬度)。或者，若該外部周圍為

橢圓形，則水平距離D12為該橢圓形外部周圍之最長直徑(寬度)。

接著，參考圖141G，無機材料500，為絕緣材料，可在絕緣層301之矽-氮化物層上，且在壕溝303與305中，利用適當製程，譬如化學氣相沉積(CVD)製程而形成。無機材料500可包含或可為氧化矽或氮化矽。

接著，參考圖141H，在壕溝303與305外部之無機材料500可經由適當製程，譬如化學機械拋光(CMP)製程而被移除，且所有絕緣層301可利用化學溶液而被進一步蝕離。因此，無機材料500仍然留在環形壕溝305中，因此被稱為包圍一些壁之絕緣環500a，且仍然留在淺壕溝303中，因此被稱為淺溝隔離(STI)500b。各絕緣環500a可包含或可為氧化矽或氮化矽，且可具有厚度T26，例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間。淺溝隔離(STI)500b可包含或可為氧化矽或氮化矽，且可具有厚度T25，例如在0.1與0.5微米之間，且較佳在0.15與0.4微米之間。在絕緣環500a之一之底部與淺溝隔離500b之底部間之垂直距離D13，可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

接著，參考圖141I，多個半導體裝置36可在半導體基板58中及/或於其上形成，然後，多個介電層42、44、46及48、多個通孔插塞26a與34a、互連層34、經構圖之金屬層26及

鈍化層24可於半導體基板58之頂部表面上形成。

接著，參考圖141J，可進行單一化製程，以切割晶圓680之半導體基板58與層24、42、44、46及48，且使多個晶片68(顯示其中之一)單一化。各晶片68包含前文所述之互連體或金屬跡線35a、35b、35c及35d。藉由如圖7中晶片68之構件所指示之相同參考編號所表示之圖141J中晶片68之構件，係具有如圖7中所示晶片68之構件之相同材料與規格。圖141J中所示之晶片68為圖7中所示晶片68之倒轉配置。

或者，可將圖33-109中所示之各晶片72以圖141K中所示之另一種類型之晶片72a或72b置換，其進一步包含絕緣環500a，比淺溝隔離(STI)500b較厚。圖141K係顯示根據本發明揭示內容之具體實施例之晶片72a與72b之橫截面圖。藉由如圖33中晶片72之構件所指示之相同參考編號所表示之圖141K中晶片72a與72b之構件，係具有如圖33中所示晶片72之構件之相同材料與規格。圖141K中所示之晶片72a與72b為圖33中所示晶片72之倒轉配置。參考圖141K，各晶片72a與72b係備有半導體基板96、絕緣環500a、淺溝隔離(STI)500b、半導體裝置102、鈍化層74、介電層82、108、104及100、經構圖之金屬層114、互連層106及通孔插塞106a與114a。形成半導體基板96中之環形壕溝305內之絕緣環500a，且形成半導體基板96中之淺壕溝303內之淺溝隔離(STI)500b之步驟，可被稱為形成半導體基板58中之環形壕溝305內之絕緣環500a，且形成半導體基板58中之淺壕溝303內之淺溝隔離(STI)500b之步驟，如圖141A-141H中所示。淺壕溝

303、環形壕溝305、絕緣環500a及淺溝隔離(STI)500b之規格可個別被稱為圖141A-141H中所示之淺壕溝303、環形壕溝305、絕緣環500a及淺溝隔離(STI)500b之規格。

於一種情況中，晶片72a可具有與晶片72b不同之電路設計。而且，在另一種情況中，晶片72a可具有與晶片72b相同之電路設計。或者，晶片72a可具有與晶片72b不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片72a可具有與晶片72b相同之面積(頂部表面)或大小。

或者，可將圖57-109中所示之各晶片118以圖141L中所示之另一種類型之晶片118a或118b置換，其進一步包含絕緣環500a，比淺溝隔離(STI)500b較厚。圖141L係顯示根據本發明揭示內容之具體實施例之晶片118a與118b之橫截面圖。藉由如圖57中晶片118之構件所指示之相同參考編號所表示之圖141L中晶片118a與118b之構件，係具有如圖57中所示晶片118之構件之相同材料與規格。圖141L中所示之晶片118a與118b為圖57中所示晶片118之倒轉配置。參考圖141L，各晶片118a與118b係備有半導體基板124、絕緣環500a、淺溝隔離(STI) 500b、半導體裝置13、鈍化層21、介電層78、28、38及40、經構圖之金屬層19、互連層17及通孔插塞17a與19a。形成半導體基板124中之環形壕溝305內之絕緣環500a，且形成半導體基板124中之淺壕溝303內之淺溝隔離(STI)500b之步驟，可被稱為形成半導體基板58中之環形壕溝305內之絕緣環500a，且形成半導體基板58中淺壕溝303內之淺溝隔離(STI)500b之步驟，如圖141A-141H中所示。淺壕溝303、

環形壕溝305、絕緣環500a及淺溝隔離(STI) 500b之規格，可個別被稱為圖141A-141H中所示之淺壕溝303、環形壕溝305、絕緣環500a及淺溝隔離(STI)500b之規格。

於一種情況中，晶片118a可具有與晶片118b不同之電路設計。而且，在另一種情況中，晶片118a可具有與晶片118b相同之電路設計。或者，晶片118a可具有與晶片118b不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片118a可具有與晶片118b相同之面積(頂部表面)或大小。

圖142-181係顯示根據本發明揭示內容之另一項具體實施例之形成另一個系統級封裝或多晶片模組之製程。參考圖142，圖141J中所示之多個晶片68及前文所述之偽基板62係使用層22，與載體11接合，其可被稱為圖1-9中所示之步驟。

接著，參考圖143，包封/間隙充填材料64，譬如多晶矽、氧化矽或聚合體，可在各晶片68之半導體基板58之背側上，在偽基板62上，及在間隙4與8中形成，其可被稱為圖10中所示之步驟。

接著，參考圖144，包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62係藉由適當製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到在晶片68中之所有絕緣環500a具有經曝露之底部表面500s，於其上方沒有半導體基板58之部份為止。

因此，各晶片68之半導體基板58可被薄化至厚度T1，例如在1與100微米之間，在1與50微米之間，在1與30微米之

間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片68，在研磨或拋光製程之後，絕緣環500a與半導體基板58可具有相同厚度T1。較佳情況是，在研磨或拋光製程後之各晶片68可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。在研磨或拋光製程之後，偽基板62可被薄化至厚度T2，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，及留在間隙4與8中之包封/間隙充填材料64可具有垂直厚度T3，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片68背側處之半導體基板58之經研磨或拋光表面58s，及偽基板62之經研磨或拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經研磨或拋光表面62s可實質上與各晶片68之經研磨或拋光表面58s，與間隙4與8中之包封/間隙充填材料64之經研磨或拋光表面64s，及與絕緣環500a之所曝露底部表面500s共平面。於各晶片68中，在半導體基板58之經研磨或拋光表面58s與淺溝隔離500b底部間之垂直距離D14，可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

或者，圖145與146係顯示形成圖144中所示結構之另一種技術。參考圖145，在形成圖142中所示結構之後，包封/間隙充填材料64，譬如多晶矽或氧化矽，可在各晶片68之半導體基板58之背側上，在偽基板62上，及在間隙4與8中形

成，然後聚合體65，譬如聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或模製配料，可在包封/間隙充填材料64上及在間隙4與8中形成。在間隙4與8中之包封/間隙充填材料64可具有垂直厚度T4，例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。

接著，參考圖146，機械研磨製程可例如利用磨擦或研磨墊，伴隨著水進行，以研磨聚合體65、包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62，直到移除所有65，且直到達成間隙4與8中之包封/間隙充填材料64之預定垂直厚度T5為止。預定垂直厚度T5可例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。磨擦或研磨墊可備有粗砂粒，具有平均顆粒大小例如在0.5與15微米之間，以供進行機械研磨製程。於該步驟中，各晶片68之半導體基板58係具有垂直於絕緣環500a上方之部份。然後，可進行化學-機械-拋光(CMP)製程，例如利用拋光墊，使用含有化學品之漿液與具有平均顆粒大小例如在0.02與0.05微米間之精細磨料例如矽石，以拋光各晶片68之半導體基板58之背側、偽基板62及在間隙4與8中之包封/間隙充填材料64，直到在晶片68中之所有絕緣環500a具有經曝露之底部表面500s，於其上方沒有半導體基板58之部份為止，如圖144中所示。因此，在研磨或拋光製程之後，各晶片68之半導體基板58可被薄化至厚度T1在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與

10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片68，在研磨或拋光製程之後，絕緣環500a與半導體基板58可具有相同厚度T1。

在化學-機械-拋光(CMP)製程之後，在各晶片68背側處之半導體基板58之經拋光表面58s，及偽基板62之經拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經拋光表面62s可實質上與各晶片68之經拋光表面58s，與間隙4與8中之包封/間隙充填材料64之經拋光表面64s，且與絕緣環500a之所曝露底部表面500s共平面。經拋光表面58s、62s及64s可具有例如低於20奈米之微粗糙度。使用極精細磨料例如矽石與相對較弱化學藥品腐蝕之化學-機械-拋光(CMP)製程，係產生幾乎毫無變形與刮痕之表面58s、62s及64s，且這意謂化學-機械-拋光(CMP)製程係極良好地適合最後拋光步驟，產生乾淨表面58s、62s及64s。可進行使用機械研磨製程與化學-機械-拋光(CMP)製程，以產生各晶片68之極薄半導體基板10。因此，在化學-機械-拋光(CMP)製程之後，各晶片68可被薄化至厚度例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，偽基板62可被薄化至厚度T2例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，及在間隙4與8中之包封/間隙充填材料64可被薄化至厚度T3例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。

參考圖147，在形成圖144中所示結構之後，圖14中所示之介電層60係在各晶片68之半導體基板58之表面58s上，在

偽基板62之表面62s上，在晶片68中之絕緣環500a之所曝露底部表面500s上，及在包封/間隙充填材料64之表面64s上形成。

接著，參考圖148，多個穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，可在晶片68中及在偽基板62中形成，使載體11之導電層18曝露，且使晶片68之層26與34曝露，其可被稱為圖15中所示之步驟，但於此具體實施例中，在晶片68中形成穿透通孔170v（譬如通孔170b-170f)，係包括經過晶片68中被絕緣環500a所包圍之半導體基板58蝕刻。在晶片68中之各穿透通孔170v係通過晶片68中之絕緣環500a之一。

例如，在晶片68之一中之穿透通孔170b、170c、170d、170e及170f係通過晶片68之一中之絕緣環500a。形成穿透通孔170b、170c、170d、170e及170f係包括一種經過晶片68之一中被絕緣環500a所包圍之半導體基板58蝕刻之製程。因此，各穿透通孔170b、170c、170d、170e及170f係通過晶片68之一之半導體基板58，且係被晶片68之一中之絕緣環500a之一包圍。晶片68之一之半導體基板58具有包圍穿透通孔170b、170c、170d、170e及170f之絕緣環500a內部表面上之部份。

各穿透通孔170v，譬如穿透通孔170a、170b、170c、170d、170e或170f，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1

與3微米之間。關於穿透通孔170v譬如穿透通孔170a-170f之更詳細說明，請參考圖15中之圖解。

如圖148中所示，由介電或絕緣層20、膠或矽-氧化物層22及晶片68之一之層24、42及44所提供之支撐物801，係在載體11之導電層18與被穿透通孔170e所曝露之互連層34中之互連體或金屬跡線35a之間，以達成支撐所曝露之互連體或金屬跡線35a之目的。支撐物801可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米，0.3與5微米之間，或在0.3與1微米之間。

圖149為示意俯視透視圖之第一實例，其係顯示如圖148中所示之穿透通孔170e、包圍穿透通孔170e之絕緣環500a及互連體或金屬跡線35a。圖149中所示之示意俯視透視圖係類似圖16中所示之示意俯視透視圖，惟圖149中所示之穿透通孔170e係在晶片68之一中之絕緣環500a之一內形成。關於如圖148與149中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖15與16中之圖解。

圖150為示意俯視透視圖之第二實例，其係顯示如圖148中所示之穿透通孔170e、包圍穿透通孔170e之絕緣環500a及互連體或金屬跡線35a。圖150中所示之示意俯視透視圖係類似圖17中所示之示意俯視透視圖，惟圖150中所示之穿透通孔170e係在晶片68之一中之絕緣環500a之一內形成。關於如圖148與150中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖15與17中之圖解。

圖151為示意俯視透視圖之第三實例，其係顯示如圖148中所示之穿透通孔170e、包圍穿透通孔170e之絕緣環500a及互連體或金屬跡線35a。圖151中所示之示意俯視透視圖係類似圖18中所示之示意俯視透視圖，惟圖151中所示之穿透通孔170e係在晶片68之一中之絕緣環500a之一內形成。關於如圖148與151中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖15與18中之圖解。

圖152為示意俯視透視圖之第四實例，其係顯示如圖148中所示之穿透通孔170e、包圍穿透通孔170e之絕緣環500a及互連體或金屬跡線35a。圖152中所示之示意俯視透視圖係類似圖16A中所示之示意俯視透視圖，惟圖152中所示之穿透通孔170e係在晶片68之一中之絕緣環500a之一內形成。關於如圖152中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖16A中之圖解。

參考圖153，在形成圖148中所示結構之後，光阻層168係在介電層60上形成，且在光阻層168中之多個開孔168a係使介電層60與穿透通孔170v曝露。光阻層168可具有厚度例如在0.5與30微米之間。

接著，參考圖154，多個壕溝60t係在介電層60中形成，其方式是使用例如各向異性電漿蝕刻製程，將開孔168a下方之介電層60蝕刻至深度D3，例如在0.1與5微米之間，且較佳在0.5與3微米之間。在蝕刻製程之後，於壕溝60t下方之介電層60具有剩餘厚度T6，例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米

之間，或在0.2與1.5微米之間。

或者，蝕刻阻止技術可被應用於形成介電層60中之壕溝60t之製程。於此情況中，介電層60可包含在圖144中所示表面58s、62s、64s及500s上之第一矽-氧化物層，在第一矽-氧化物層上作為蝕刻阻止層使用之矽-氧氮化物層，及第二矽-氧化物層，具有厚度例如在0.1與5微米之間，或在0.3與1.5微米之間，於該矽-氧氮化物層上。壕溝60t可在介電層60中形成，其方式是將光阻層168中之開孔168a下方之介電層60之第二矽-氧化物層蝕刻，直到介電層60之矽-氧氮化物層係被開孔168a曝露為止。因此，壕溝60t係在介電層60之第二矽-氧化物層中形成，且在壕溝60t下方由矽-氧氮化物層與第一矽-氧化物層所構成之殘留介電層60，係具有厚度T6例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。

接著，參考圖155，光阻層168係利用例如有機化學品而被移除。在介電層60中所形成之壕溝60t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。圖156為顯示圖155中所示壕溝60t與穿透通孔170v之示意俯視透視圖之實例，且圖155為沿著圖156中所示之線條D-D所切割之橫截面圖。

或者，在圖148中所示穿透通孔170v係在晶片68中及在偽基板62中形成之前，圖155中所示之壕溝60t可在介電層60中形成。明確言之，於介電層60係在如圖147中所示之表面58s、62s、64s及500s上形成之後，圖155中所示之壕溝60t係

在介電層60中形成，然後，圖148中所示之穿透通孔170v係在晶片68中及在偽基板62中形成，其係使載體11之導電層18曝露，且使晶片68之層26與34曝露。

或者，參考圖155A，如圖155中所示之介電層60、壕溝60t及穿透通孔170v可藉由下列步驟形成。在形成圖144中所示結構之後，絕緣層60a，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度C1例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.15與2微米之間，係在各晶片68之半導體基板58之表面58s上，在偽基板62之表面62s上，在晶片68中之絕緣環500a之所曝露底部表面500s上，及在包封/間隙充填材料64之表面64s上形成，如圖144中所示。

接著，聚合體層60b，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，係在絕緣層60a上，使用適當製程，譬如旋轉塗覆製程、網版印刷製程或層合製程而形成。接著，可採用曝光製程與顯像製程，以形成在聚合體層60b中使絕緣層60a曝露之壕溝60t。1X步進器或1X接點對準器可用以在曝光製程期間，使聚合體層60b曝光。其次，將聚合體層60b在攝氏150度與攝氏400度之間，且較佳在攝氏180度與攝氏250度間之溫度下熟化或加熱。被熟化或加熱後之聚合體層60b具有厚度C2例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

接著，光阻層係在被壕溝60t所曝露之絕緣層60a上，及在

聚合體層60b上形成，且在光阻層中之多個開孔係使壕溝60t底部之絕緣層60a曝露。其次，在光阻層中之開孔下方之絕緣層60a係使用適當製程移除，譬如各向異性電漿蝕刻製程。接著，在光阻層中之開孔下方之偽基板62與在光阻層中之開孔下方之晶片68係被蝕離，直到在晶片68中之層26與34之預定區域及在載體11中之導電層18之預定區域係被光阻層中之開孔曝露為止。其次，光阻層係利用例如有機化學品而被移除。因此，穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，係在晶片68中及在偽基板62中形成，其係使載體11之導電層18曝露，且使晶片68之層26與34曝露。圖155A中所示穿透通孔170v與支撐物801之規格，可個別被稱為圖148-152中所示穿透通孔170v與支撐物801之規格。

因此，使用上文所提及之步驟，上文所述之介電層60亦可備有絕緣層60a與在該絕緣層60a上之聚合體層60b。於聚合體層60b中之壕溝60t係使絕緣層60a曝露，且係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。穿透通孔170v係在壕溝60t下方形成。而且，圖156可為顯示圖155A中所示壕溝60t與穿透通孔170v之示意俯視透視圖之實例，且圖155A亦可為沿著圖156中所示之線條D-D所切割之橫截面圖。

參考圖157，於形成圖155中或圖155A中所示結構之後，黏著/障壁層52，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，係在被穿透通孔

170v所曝露之層18、26及34上，在穿透通孔170v之側壁上，在壕溝60t之側壁與底部上(或在聚合體層60b中之壕溝60t之側壁上及在壕溝60t底部之絕緣層60a之頂部表面上)，且在支撐物801上之互連體或金屬跡線35a上形成。黏著/障壁層52可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，晶種層54，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，係在黏著/障壁層52上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，傳導層56係在晶種層54上，使用適當製程，譬如電鍍製程而形成。圖157中所示黏著/障壁層52、晶種層54及傳導層56之規格，可個別被稱為如圖25中所示黏著/障壁層52、晶種層54及傳導層56之規格。

接著，參考圖158，層52、54及56係利用適當製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到介電層60具有所曝露之頂部表面60s為止，於其上方沒有層52、54及56之部份，且移除在壕溝60t外部之層52、54及56。

因此，介電層60之所曝露頂部表面60s可實質上與壕溝60t中之傳導層56之經研磨或拋光表面56s共平面，且表面56s與60s可為實質上平坦。黏著/障壁層52與晶種層54係在壕

溝60t中之傳導層56之側壁與底部，且在壕溝60t中之傳導層56之側壁與底部係被黏著/障壁層52與晶種層54覆蓋。

在將層52、54及56研磨或拋光之後，若介電層60、壕溝60t及穿透通孔170v係如圖147-155中所示形成，則在所曝露頂部表面60s與表面58s或62s間之介電層60具有厚度例如在1與10微米之間，且較佳在1與3微米之間。或者，在將層52、54及56研磨或拋光之後，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖155A中所示形成，則在聚合體層60b之所曝露頂部表面60s與絕緣層60a之頂部表面間之介電層60之聚合體層60b具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第一替代方式中，在將層52、54及56研磨或拋光之後，黏著/障壁層52可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝60t之側壁與底部上(或在聚合體層60b中之壕溝60t之側壁上及在壕溝60t底部之絕緣層60a之頂部表面上)，在穿透通孔170v之側壁上，在穿透通孔170v底部之層18、26及34上，且在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。若介電層60、壕溝60t及穿透通孔170v係如圖

147-155中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖155A中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第二替代方式中，在將層52、54及56研磨或拋光之後，黏著/障壁層52可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝60t之側壁與底部上(或在聚合體層60b中之壕溝60t之側壁上及在壕溝60t底部之絕緣層60a之頂部表面上)，在穿透通孔170v之側壁上，在穿透通孔170v底部之層18、26及34上，且在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。若介電層60、壕溝60t及穿透通孔170v係如圖147-155中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖155A中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之

間，或在5與25微米之間。

於第三種替代方式中，在將層52、54及56研磨或拋光之後，黏著/障壁層52可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝60t之側壁與底部上(或在聚合體層60b中之壕溝60t之側壁上及在壕溝60t底部之絕緣層60a之頂部表面上)，在穿透通孔170v之側壁上，在穿透通孔170v底部之層18、26及34上，且在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝60t中，及在穿透通孔170v中。若介電層60、壕溝60t及穿透通孔170v係如圖147-155中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖155A中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

在將層52、54及56研磨或拋光之後，在壕溝60t中之層52、54及56係構成多個金屬互連體(或鑲嵌金屬跡線)1，包括在壕溝60t中之金屬互連體(或鑲嵌金屬跡線)1a與1b。在穿透通孔170v中之層52、54及56係構成穿透通孔170v中之多

個金屬插塞(或金屬通孔)5p，包括個別如圖148中所示之穿透通孔170a、170b、170c、170d、170e及170f中之金屬插塞(或金屬通孔)5a、5b、5c、5d、5e及5f。金屬插塞5a係在偽基板62中形成，且金屬插塞5b、5c、5d、5e及5f係在相同晶片68中形成。在晶片68中與在偽基板62中所形成之此等金屬插塞5p可將金屬互連體1與晶片68中之半導體裝置36連接，且將金屬互連體1與載體11中之導電層18之多個接觸點連接。在壕溝60t中之金屬互連體1，譬如1a與1b，可具有厚度例如在0.1與5微米之間，且較佳在1與3微米之間。支撐物801及在該支撐物801上之互連層34中之互連體或金屬跡線35a，可在金屬插塞5e之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。

在晶片68中之各金屬插塞5p係通過晶片68中之絕緣環500a之一。例如，在晶片68之一中之金屬插塞5b、5c、5d、5e及5f係通過晶片68之一中之絕緣環500a。明確言之，各金屬插塞5b、5c、5d、5e及5f係通過晶片68之一中之半導體基板58，且係被晶片68之一中之絕緣環500a之一包圍。晶片68之一之半導體基板58具有包圍金屬插塞5b、5c、5d、5e及5f之絕緣環500a內部表面上之部份。關於圖158中所示之金屬插塞5p(包括金屬插塞5a-5f)與金屬互連體1(包括金屬互連體1a與1b)之更詳細說明，請參考圖26中之圖解。

或者，構件68不僅可表示晶片，而且亦可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖159，在形成圖158中所示結構之後，圖27中所示之絕緣或介電層66係在傳導層56之經研磨或拋光表面56s上，及在介電層60之所曝露頂部表面60s上形成。接著，多個晶片72，其每一個係類似圖141K中所示之晶片72a或72b，且前文所述之偽基板165係被置於層116上方，其可被稱為圖28-35中所示之步驟。於此具體實施例中，將晶片72與偽基板165放置在絕緣或介電層66上之配置，可被稱為將晶片72與偽基板165放置在絕緣或介電層66上之配置，如圖34或35中所示。

接著，參考圖160，包封/間隙充填材料98係在各晶片72之半導體基板96之背側上，在偽基板165上，及在間隙4a與8a中形成。其次，包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165係藉由適當製程，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到晶片72中之所有絕緣環500a具有所曝露之底部表面500t，於其上方沒有半導體基板96之部份為止。圖160中所示形成包封/間隙充填材料98，且研磨或拋光包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165之步驟，可被稱為形成包封/間隙充填材料64，且研磨或拋光包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62之步驟，如圖143-146中所示。包封/間隙充填材料98可為多晶矽、氧化矽或聚合體。

因此，各晶片72之半導體基板96可被薄化至厚度T8，例

如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片72，在研磨或拋光製程之後，絕緣環500a與半導體基板96可具有相同厚度T8。較佳情況是，在研磨或拋光製程之後，各晶片72可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。

在研磨或拋光製程之後，偽基板165可被薄化至厚度T9，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，及留在間隙4a與8a中之包封/間隙充填材料98可具有垂直厚度T10，例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片72背側處之半導體基板96之經研磨或拋光表面96s，及偽基板165之經研磨或拋光表面165s，可為實質上平坦，且未被包封/間隙充填材料98覆蓋。經研磨或拋光表面165s可實質上與各晶片72之經研磨或拋光表面96s，與間隙4a和8a中之包封/間隙充填材料98之經研磨或拋光表面98s，及與晶片72中之絕緣環500a之所曝露底部表面500t共平面。於各晶片72中，在半導體基板96之經研磨或拋光表面96s與淺溝隔離500b底部間之垂直距離D15可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

參考圖161，在形成圖160中所示結構之後，圖40中所示之介電層88係在各晶片72之半導體基板96之表面96s上，在

偽基板165之表面165s上，在晶片72中之絕緣環500a之所曝露底部表面500t上，及在包封/間隙充填材料98之表面98s上形成。

接著，參考圖162，多個穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，係在晶片72中及在偽基板165中形成，其係使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露，其可被稱為圖41中所示之步驟，但於此具體實施例中，在晶片72中形成穿透通孔164v(譬如通孔164b-164e)，係包括經過晶片72中被絕緣環500a所包圍之半導體基板96蝕刻。在晶片72中之各穿透通孔164v係通過晶片72中之絕緣環500a之一。例如，在晶片72之左邊者中之穿透通孔164b與164c係通過晶片72之左邊者中之絕緣環500a，且在晶片72之中間者中之穿透通孔164d與164e係通過晶片72之中間者中之絕緣環500a。

形成穿透通孔164b、164c、164d及164e係包括一種經過被絕緣環500a所包圍之半導體基板96蝕刻之製程。特定言之，形成穿透通孔164c或164e係包括一種將被絕緣環500a之一所包圍之半導體基板96之全體部份蝕離之製程。因此，穿透通孔164b與164c係通過晶片72之左邊者中之半導體基板96，且係被晶片72之左邊者中之絕緣環500a包圍，及穿透通孔164d與164e係通過晶片72之中間者中之半導體基板96，且係被晶片72之中間者中之絕緣環500a包圍。晶片72之左邊者之半導體基板96具有包圍晶片72之左邊者中之穿透通孔164b之絕緣環500a內部表面上之部份，且晶片72之中

間者之半導體基板96具有包圍晶片72之中間者中之穿透通孔164d之絕緣環500a內部表面上之部份。包圍穿透通孔164c之絕緣環500a係在穿透通孔164c之側壁，且被穿透通孔164c曝露，而包圍穿透通孔164e之絕緣環500a係在穿透通孔164e之側壁，且被穿透通孔164e曝露。

各穿透通孔164v，譬如穿透通孔164a、164b、164c、164d或164e，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。關於穿透通孔164v譬如穿透通孔164a-164e之更詳細說明，請參考圖41中之圖解。

如圖162中所示，由絕緣或介電層66、層116及晶片72之中間者之層74、82及108所提供之支撐物802，係在金屬互連體1b之傳導層56與被穿透通孔164e所曝露之互連層106中之互連體或金屬跡線55a之間，以達成支撐所曝露之互連體或金屬跡線55a之目的。支撐物802可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米，0.3與5微米之間，或在0.3與1微米之間。

圖163為示意俯視透視圖之第一實例，其係顯示如圖162中所示之穿透通孔164e、包圍穿透通孔164e之絕緣環500a及互連體或金屬跡線55a。圖163中所示之示意俯視透視圖係類似圖42中所示之示意俯視透視圖，惟圖163中所示之穿透通孔164e係在晶片72之中間者中之絕緣環500a之一內形

成。關於如圖162與163中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖41與42中之圖解。

圖164為示意俯視透視圖之第二實例，其係顯示如圖162中所示之穿透通孔164e、包圍穿透通孔164e之絕緣環500a及互連體或金屬跡線55a。圖164中所示之示意俯視透視圖係類似圖43中所示之示意俯視透視圖，惟圖164中所示之穿透通孔164e係在晶片72之中間者中之絕緣環500a之一內形成。關於如圖162與164中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖41與43中之圖解。

圖165為示意俯視透視圖之第三實例，其係顯示如圖162中所示之穿透通孔164e、包圍穿透通孔164e之絕緣環500a及互連體或金屬跡線55a。圖165中所示之示意俯視透視圖係類似圖44中所示之示意俯視透視圖，惟圖165中所示之穿透通孔164e係在晶片72之中間者中之絕緣環500a之一內形成。關於如圖162與165中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖41與44中之圖解。

圖166為示意俯視透視圖之第四實例，其係顯示如圖162中所示之穿透通孔164e、包圍穿透通孔164e之絕緣環500a及互連體或金屬跡線55a。圖166中所示之示意俯視透視圖係類似圖42A中所示之示意俯視透視圖，惟圖166中所示之穿透通孔164e係在晶片72之中間者中之絕緣環500a之一內形成。關於如圖166中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖42A中之圖解。

參考圖167，在形成圖162中所示結構之後，多個壕溝88t

係在介電層88中形成。在介電層88中之壕溝88t具有深度D6例如在0.1與5微米之間，且較佳在0.5與3微米之間。在壕溝88t下方之介電層88具有剩餘厚度T13例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。形成介電層88中之壕溝88t之步驟可被稱為形成介電層60中之壕溝60t之步驟，如圖153-155中所示。在介電層88中所形成之壕溝88t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。圖168為顯示圖162中所示壕溝88t與穿透通孔164v之示意俯視透視圖之實例，且圖162為沿著圖168中所示之線條H-H所切割之橫截面圖。

或者，於圖162中所示之穿透通孔164v係在晶片72中及在偽基板165中形成之前，圖167中所示之壕溝88t可在介電層88中形成。明確言之，於介電層88係在如圖161中所示之表面96s、98s、165s及500t上形成之後，圖167中所示之壕溝88t係在介電層88中形成，然後，圖162中所示之穿透通孔164v係在晶片72中及在偽基板165中形成，其係使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露。

或者，參考圖167A，如圖167中所示之介電層88、壕溝88t及穿透通孔164v可藉由下列步驟形成。在形成圖160中所示結構之後，絕緣層88a，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度C3例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.15與2微米之間，係在各晶片72之半導體基板96之表面96s上，在偽基板165

之表面165s上，在晶片72中之絕緣環500a之所曝露底部表面500t上，及在包封/間隙充填材料98之表面98s上形成，如圖160中所示。

接著，聚合體層88b，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，係在絕緣層88a上，使用適當製程，譬如旋轉塗覆製程、網版印刷製程或層合製程而形成。接著，可採用曝光製程與顯像製程，以形成在聚合體層88b中使絕緣層88a曝露之壕溝88t。1X步進器或1X接點對準器可用以在曝光製程期間，使聚合體層88b曝光。其次，將聚合體層88b在攝氏150度與攝氏400度之間，且較佳在攝氏180度與攝氏250度間之溫度下熟化或加熱。被熟化或加熱後之聚合體層88b具有厚度C4例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

接著，光阻層係在被壕溝88t所曝露之絕緣層88a上及在聚合體層88b上形成，且在光阻層中之多個開孔係使壕溝88t底部之絕緣層88a曝露。其次，在光阻層中之開孔下方之絕緣層88a係使用適當製程移除，譬如各向異性電漿蝕刻製程。接著，在光阻層中之開孔下方之偽基板165及在光阻層中之開孔下方之晶片72係被蝕離，直到在晶片72中之層106與114之預定區域與金屬互連體1之傳導層56之預定區域係被光阻層中之開孔曝露為止。其次，光阻層係利用例如有機化學品而被移除。因此，穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，係在晶片72中及在偽基板

165中形成，其係使金屬互連體1之傳導層56曝露，且使晶片72之層106與114曝露。圖167A中所示穿透通孔164v與支撐物802之規格，可個別被稱為圖162-166中所示穿透通孔164v與支撐物802之規格。

因此，使用上文所提及之步驟，上文所述之介電層88亦可備有絕緣層88a與在該絕緣層88a上之聚合體層88b。在聚合體層88b中之壕溝88t係使絕緣層88a曝露，且係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。穿透通孔164v係在壕溝88t下方形成。而且，圖168可為顯示圖167A中所示壕溝88t與穿透通孔164v之示意俯視透視圖之實例，且圖167A亦可為沿著圖168中所示之線條H-H所切割之橫截面圖。

參考圖169，於形成圖167中或圖167A中所示結構之後，多個金屬互連體(或鑲嵌金屬跡線)2，包括金屬互連體(或鑲嵌金屬跡線)2a與2b，係在壕溝88t中形成，且多個金屬插塞(或金屬通孔)6p係在穿透通孔164v中形成。金屬插塞6p包括個別在穿透通孔164a、164b、164c、164d及164e中之金屬插塞(或金屬通孔)6a、6b、6c、6d及6e。金屬插塞6a係在偽基板165中形成，金屬插塞6b與6c係在晶片72之左邊者中形成，且金屬插塞6d與6e係在晶片72之中間者中形成。支撐物802及在該支撐物802上之互連層106中之互連體或金屬跡線55a，可在金屬插塞6e之兩個部份之間，低於互連層106之頂部表面所在位置之水平位。

在壕溝88t中之金屬互連體2與在穿透通孔164v中之金屬

插塞6p可藉由下列步驟形成。首先，圖51中所示之黏著/障壁層92係在被穿透通孔164v所曝露之層56、106及114上，在穿透通孔164v之側壁上，在壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上及在壕溝88t底部之絕緣層88a之頂部表面上)，且在支撐物802上之互連體或金屬跡線55a上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，圖51中所示之晶種層94係在黏著/障壁層92上，在穿透通孔164v中，及在壕溝88t中，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，圖51中所示之傳導層86係在晶種層94上，在穿透通孔164v中，及在壕溝88t中，使用適當製程，譬如電鍍製程而形成。其次，層92、94及86係利用適當製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到介電層88具有所曝露之頂部表面88s，於其上方沒有層92、94及86之部份為止，且移除在壕溝88t外部之層92、94及86。因此，在壕溝88t中之層92、94及86係構成壕溝88t中之金屬互連體2，包括金屬互連體2a與2b。在穿透通孔164v中之層92、94及86係構成穿透通孔164v中之金屬插塞6p，包括個別在穿透通孔164a、164b、164c、164d及164e中之金屬插塞6a、6b、6c、6d及6e。黏著/障壁層92與晶種層94係在壕溝88t中之傳

導層86之側壁與底部，且在壕溝88t中之傳導層86之側壁與底部係被黏著/障壁層92與晶種層94覆蓋。

於第一替代方式中，在將層92、94及86研磨或拋光之後，黏著/障壁層92可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上及在壕溝88t底部之絕緣層88a之頂部表面上)，在穿透通孔164v底部之層56、106及114上，在穿透通孔164v之側壁上，且在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上，在壕溝88t中，及在穿透通孔164v中。傳導層86可為經電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝88t中，及在穿透通孔164v中。若介電層88、壕溝88t及穿透通孔164v係如圖161-167中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖167A中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第二替代方式中，在將層92、94及86研磨或拋光之後，黏著/障壁層92可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1

與0.2微米之間，於壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上及在壕溝88t底部之絕緣層88a之頂部表面上)，在穿透通孔164v底部之層56、106及114上，在穿透通孔164v之側壁上，且在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上，在壕溝88t中，及在穿透通孔164v中。傳導層86可為經電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝88t中，及在穿透通孔164v中。若介電層88、壕溝88t及穿透通孔164v係如圖161-167中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖167A中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第三種替代方式中，在將層92、94及86研磨或拋光之後，黏著/障壁層92可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上及在壕溝88t底部之絕緣層88a之頂部表面上)，在穿透通孔164v底部之層56、106及114上，在穿透通孔164v之側壁上，且在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小

於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上，在壕溝88t中，及在穿透通孔164v中。傳導層86可為經電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝88t中，及在穿透通孔164v中。若介電層88、壕溝88t及穿透通孔164v係如圖161-167中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖167A中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

介電層88之所曝露頂部表面88s可實質上與壕溝88t中之傳導層86之經研磨或拋光表面86s共平面，且表面86s與88s可為實質上平坦。在將層92、94及86研磨或拋光之後，若介電層88、壕溝88t及穿透通孔164v係如圖161-167中所示形成，則於所曝露頂部表面88s與表面96s或165s間之介電層88可具有厚度例如在1與10微米之間，且較佳在1與3微米之間。或者，在將層92、94及86研磨或拋光之後，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖167A中所示形成，則在聚合體層88b之所曝露頂部表面88s與絕緣層88a頂部表面間之介電層88之聚合體層88b可具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

在晶片72中之各金屬插塞6p係通過晶片72中之絕緣環

500a之一。例如，在晶片72之左邊者中之金屬插塞6b與6c係通過晶片72之左邊者中之絕緣環500a，且在晶片72之中間者中之金屬插塞6d與6e係通過晶片72之中間者中之絕緣環500a。明確言之，各金屬插塞6b與6c係通過晶片72之左邊者之半導體基板96，且係被晶片72之左邊者中之絕緣環500a之一包圍，及各金屬插塞6d與6e係通過晶片72之中間者之半導體基板96，且係被晶片72之中間者中之絕緣環500a之一包圍。晶片72之左邊者之半導體基板96具有包圍金屬插塞6b之絕緣環500a內部表面上之部份，且晶片72之中間者之半導體基板96具有包圍金屬插塞6d之絕緣環500a內部表面上之部份。包圍金屬插塞6c之絕緣環500a係在金屬插塞6c之側壁處，且接觸金屬插塞6c，而包圍金屬插塞6e之絕緣環500a係在金屬插塞6e之側壁處，且接觸金屬插塞6e。關於圖169中所示之金屬插塞6p(包括金屬插塞6a-6e)與金屬互連體2(包括金屬互連體2a與2b)之更詳細說明，請參考圖52中之圖解。

或者，構件72不僅可表示晶片，而且亦可表示晶圓。當構件72為晶圓時，構件68可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖170，在形成圖169中所示結構之後，圖53中所示之絕緣或介電層120係在傳導層86之經研磨或拋光表面86s上，及在介電層88之所曝露頂部表面88s上形成。接著，多個晶片118，其每一個係類似圖141L中所示之晶片118a或118b，且前文所述之偽基板158係被置於層140上方，其可被

稱為圖54-59中所示之步驟。於此具體實施例中，將晶片118與偽基板158放置在絕緣或介電層120上之配置，可被稱為將晶片118與偽基板158放置在絕緣或介電層120上之配置，如圖58或59中所示。

接著，參考圖171，包封/間隙充填材料138係在各晶片118之半導體基板124之背側上，於偽基板158上，及在間隙4b與8b中形成。其次，包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158係藉由適當製程，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到晶片118中之所有絕緣環500a具有所曝露之底部表面500u，於其上方沒有半導體基板124之部份為止。形成圖171中所示之包封/間隙充填材料138且研磨或拋光包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158之步驟，可被稱為形成包封/間隙充填材料64且研磨或拋光包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62之步驟，如圖143-146中所示。包封/間隙充填材料138可為多晶矽、氧化矽或聚合體。

因此，各晶片118之半導體基板124可被薄化至厚度T15例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片118，在研磨或拋光製程之後，絕緣環500a與半導體基板124可具有相同厚度T15。較佳情況是，在研磨或拋光製程之後，各晶片

118可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。

在研磨或拋光製程之後，偽基板158可被薄化至厚度T16例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，及留在間隙4b與8b中之包封/間隙充填材料138可具有垂直厚度T17例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片118背側處之半導體基板124之經研磨或拋光表面124s，及偽基板158之經研磨或拋光表面158s，可為實質上平坦，且未被包封/間隙充填材料138覆蓋。經研磨或拋光表面158s可實質上與各晶片118之經研磨或拋光表面124s，與間隙4b和8b中之包封/間隙充填材料138之經研磨或拋光表面138s，及與晶片118中之絕緣環500a之所曝露底部表面500u共平面。於各晶片118中，在半導體基板124之經研磨或拋光表面124s與淺溝隔離500b底部間之垂直距離D16可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

參考圖172，在形成圖171中所示結構之後，圖64中所示之介電層139係在各晶片118之半導體基板124之表面124s上，於偽基板158之表面158s上，在晶片118中之絕緣環500a之所曝露底部表面500u上，及在包封/間隙充填材料138之表面138s上形成。

接著，參考圖173，多個穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，係在晶片118中及在

偽基板158中形成，其係使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露，其可被稱為圖65中所示之步驟，但於此具體實施例中，在晶片118中形成穿透通孔156v(譬如通孔156b-156f)，係包括經過晶片118中被絕緣環500a所包圍之半導體基板124蝕刻。在晶片118中之各穿透通孔156v係通過晶片118中之絕緣環500a之一。例如，在晶片118之左邊者中之穿透通孔156b、156c及156d係通過晶片118之左邊者中之絕緣環500a，且在晶片118之中間者中之穿透通孔156e與156f係通過晶片118之中間者中之絕緣環500a。

形成穿透通孔156b、156c、156d、156e及156f係包括一種經過被絕緣環500a所包圍之半導體基板124蝕刻之製程。特定言之，形成穿透通孔156b係包括一種將被絕緣環500a之一所包圍之半導體基板124之全體部份蝕離之製程。因此，穿透通孔156b、156c及156d係通過晶片118之左邊者中之半導體基板124，且係被晶片118之左邊者中之絕緣環500a包圍，及穿透通孔156e與156f係通過晶片118之中間者中之半導體基板124，且係被晶片118之中間者中之絕緣環500a包圍。晶片118之左邊者之半導體基板124具有包圍晶片118之左邊者中之穿透通孔156c與156d之絕緣環500a內部表面上之部份，且晶片118之中間者之半導體基板124具有包圍晶片118之中間者中之穿透通孔156e與156f之絕緣環500a內部表面上之部份。包圍穿透通孔156b之絕緣環500a係在穿透通孔156b之側壁，且被穿透通孔156b曝露。包圍穿透通孔156d之絕緣環500a具有在穿透通孔156d側壁之部份，且被穿透通孔

156d曝露。包圍穿透通孔156f之絕緣環500a具有在穿透通孔156f側壁之部份，且被穿透通孔156f曝露。

各穿透通孔156v，譬如穿透通孔156a、156b、156c、156d、156e或156f，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。關於穿透通孔156v譬如穿透通孔156a-156f之更詳細說明，請參考圖65中之圖解。

如圖173中所示，由絕緣或介電層120、層140及晶片118之中間者之層21、78及28所提供之支撐物803，係在金屬互連體2b之傳導層86與被穿透通孔156e所曝露之互連層17中之互連體或金屬跡線75a之間，以達成支撐所曝露之互連體或金屬跡線75a之目的。支撐物803可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米，0.3與5微米之間，或在0.3與1微米之間。

圖174為示意俯視透視圖之第一實例，其係顯示如圖173中所示之穿透通孔156e、在晶片118之中間者中之絕緣環500a之一及在晶片118之中間者中之互連體或金屬跡線75a。圖174中所示之示意俯視透視圖係類似圖66中所示之示意俯視透視圖，惟圖174中所示之穿透通孔156e係在絕緣環500a之一內形成。關於如圖173與174中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖65與66中之圖解。

圖175為示意俯視透視圖之第二實例，其顯示如圖173中所示之穿透通孔156e、在晶片118之中間者中之絕緣環500a之一及互連體或金屬跡線75a。圖175中所示之示意俯視透視圖係類似圖67中所示之示意俯視透視圖，惟圖175中所示之穿透通孔156e係在絕緣環500a之一內形成。關於如圖173與175中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖65與67中之圖解。

圖176為示意俯視透視圖之第三實例，其係顯示如圖173中所示之穿透通孔156e、在晶片118之中間者中之絕緣環500a之一及互連體或金屬跡線75a。圖176中所示之示意俯視透視圖係類似圖68中所示之示意俯視透視圖，惟圖176中所示之穿透通孔156e係在絕緣環500a之一內形成。關於如圖173與176中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖65與68中之圖解。

圖177為示意俯視透視圖之第四實例，其係顯示如圖173中所示之穿透通孔156e、在晶片118之中間者中之絕緣環500a之一及互連體或金屬跡線75a。圖177中所示之示意俯視透視圖係類似圖66A中所示之示意俯視透視圖，惟圖177中所示之穿透通孔156e係在絕緣環500a之一內形成。關於如圖177中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖66A中之圖解。

參考圖178，在形成圖173中所示結構之後，多個壕溝139t係在介電層139中形成。在介電層139中之壕溝139t具有深度D9例如在0.1與5微米之間，且較佳在0.5與3微米之間。在

壕溝139t下方之介電層139具有剩餘厚度T20例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。形成介電層139中之壕溝139t之步驟可被稱為形成介電層60中之壕溝60t之步驟，如圖153-155中所示。在介電層139中所形成之壕溝139t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。圖179為顯示圖178中所示壕溝139t與穿透通孔156v之示意俯視透視圖之實例，且圖178為沿著圖179中所示之線條K-K所切割之橫截面圖。

或者，於圖173中所示之穿透通孔156v係在晶片118中及在偽基板158中形成之前，圖178中所示之壕溝139t可在介電層139中形成。明確言之，於介電層139係在如圖172中所示之表面124s、138s、158s及500u上形成之後，圖178中所示之壕溝139t係在介電層139中形成，然後，圖173中所示之穿透通孔156v係在晶片118中及在偽基板158中形成，其係使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。

或者，參考圖178A，如圖178中所示之介電層139、壕溝139t及穿透通孔156v可藉由下列步驟形成。在形成圖171中所示結構之後，絕緣層139a，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度C5例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.15與2微米之間，係在各晶片118之半導體基板124之表面124s上，在偽基板158之表面158s上，在晶片118中之絕緣環500a之所曝露底部表面500u上，及在包封/間隙充填材料138之表面138s上

形成，如圖171中所示。

接著，聚合體層139b，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，係在絕緣層139a上，使用適當製程，譬如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用曝光製程與顯像製程，以形成在聚合體層139b中使絕緣層139a曝露之壕溝139t。1X步進器或1X接點對準器可用以在曝光製程期間，使聚合體層139b曝光。接著，將聚合體層139b在攝氏150度與攝氏400度之間，且較佳在攝氏180度與攝氏250度間之溫度下熟化或加熱。被熟化或加熱後之聚合體層139b具有厚度C6例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

接著，光阻層係在被壕溝139t所曝露之絕緣層139a上及在聚合體層139b上形成，且在光阻層中之多個開孔係使壕溝139t底部之絕緣層139a曝露。其次，在光阻層中之開孔下方之絕緣層139a係使用適當製程移除，譬如各向異性電漿蝕刻製程。接著，在光阻層中之開孔下方之偽基板158及在光阻層中之開孔下方之晶片118係被蝕離，直到在晶片118中之層17與19之預定區域與金屬互連體2之傳導層86之預定區域係被光阻層中之開孔曝露為止。其次，光阻層係利用例如有機化學品而被移除。因此，穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，係在晶片118中及在偽基板158中形成，其係使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。圖178A中所示穿透通

孔156v與支撐物803之規格，可個別被稱為圖173-177中所示穿透通孔156v與支撐物803之規格。

因此，使用上文所提及之步驟，上文所述之介電層139亦可備有絕緣層139a與在該絕緣層139a上之聚合體層139b。在聚合體層139b中之壕溝139t係使絕緣層139a曝露，且係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。穿透通孔156v係在壕溝139t下方形成。而且，圖179可為顯示圖178A中所示壕溝139t與穿透通孔156v之示意俯視透視圖之實例，且圖178A亦可為沿著圖179中所示之線條K-K所切割之橫截面圖。

參考圖180，於形成圖178中或圖178A中所示結構之後，多個金屬互連體(或鑲嵌金屬跡線)3，包括金屬互連體(或鑲嵌金屬跡線)3a、3b及3c，係在壕溝139t中形成，且多個金屬插塞(或金屬通孔)7p係在穿透通孔156v中形成。金屬插塞7p包括個別在穿透通孔156a、156b、156c、156d、156e及156f中之金屬插塞(或金屬通孔)7a、7b、7c、7d、7e及7f。金屬插塞7a係在偽基板158中形成，金屬插塞7b、7c及7d係在晶片118之左邊者中形成，且金屬插塞7e與7f係在晶片118之中間者中形成。支撐物803及在該支撐物803上之互連層17中之互連體或金屬跡線75a，可在金屬插塞7e之兩個部份之間，低於互連層17之頂部表面所在位置之水平位。

在壕溝139t中之金屬互連體3與在穿透通孔156v中之金屬插塞7p可藉由下列步驟形成。首先，圖75中所示之黏著/障壁層125a係在被穿透通孔156v所曝露之層17、19及86上，

在穿透通孔156v之側壁上，在壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上及在壕溝139t底部之絕緣層139a之頂部表面上)，且在支撐物803上之互連體或金屬跡線75a上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，圖75中所示之晶種層125b係在黏著/障壁層125a上，於穿透通孔156v中，及在壕溝139t中，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，圖75中所示之傳導層125c係在晶種層125b上，於穿透通孔156v中，及在壕溝139t中，使用適當製程，譬如電鍍製程而形成。其次，層125a、125b及125c係利用適當製程，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到介電層139具有所曝露之頂部表面139s，於其上方沒有層125a、125b及125c之部份為止，且移除在壕溝139t外部之層125a、125b及125c。因此，於壕溝139t中之層125a、125b及125c係構成壕溝139t中之金屬互連體3，包括金屬互連體3a、3b及3c。在穿透通孔156v中之層125a、125b及125c係構成穿透通孔156v中之金屬插塞7p，包括個別在穿透通孔156a、156b、156c、156d、156e及156f中之金屬插塞7a、7b、7c、7d、7e及7f。黏著/障壁層125a與晶種層125b係在壕溝139t中之傳導層125c之側壁與底部，且在壕溝139t中之傳導

層125c之側壁與底部係被黏著/障壁層125a與晶種層125b覆蓋。

於第一替代方式中，在將層125a、125b及125c研磨或拋光之後，黏著/障壁層125a可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，於壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上及在壕溝139t底部之絕緣層139a之頂部表面上)，在穿透通孔156v底部之層17、19及86上，在穿透通孔156v之側壁上，且在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鈦層上，在壕溝139t中，及在穿透通孔156v中。傳導層125c可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝139t中，及在穿透通孔156v中。若介電層139、壕溝139t及穿透通孔156v係如圖172-178中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層139a與139b所構成之介電層139、壕溝139t及穿透通孔156v係如圖178A中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第二替代方式中，在將層125a、125b及125c研磨或拋光之後，黏著/障壁層125a可為含鉭層，譬如鉭或氮化鉭之單

層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上及在壕溝139t底部之絕緣層139a之頂部表面上)，在穿透通孔156v底部之層17、19及86上，在穿透通孔156v之側壁上，且在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉭層上，在壕溝139t中，及在穿透通孔156v中。傳導層125c可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝139t中，及在穿透通孔156v中。於壕溝139t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。若介電層139、壕溝139t及穿透通孔156v係如圖172-178中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層139a與139b所構成之介電層139、壕溝139t及穿透通孔156v係如圖178A中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第三種替代方式中，在將層125a、125b及125c研磨或拋光之後，黏著/障壁層125a可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上及在壕溝139t底部之絕緣層

139a之頂部表面上)，在穿透通孔156v底部之層17、19及86上，在穿透通孔156v之側壁上，且在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於含鉻層上，在壕溝139t中，及在穿透通孔156v中。傳導層125c可為經電鍍銅層，在銅或鈦-銅合金之單層上，於壕溝139t中，及在穿透通孔156v中。在壕溝139t中之經電鍍銅層可具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。若介電層139、壕溝139t及穿透通孔156v係如圖172-178中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層139a與139b所構成之介電層139、壕溝139t及穿透通孔156v係如圖178A中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

介電層139之所曝露頂部表面139s可實質上與壕溝139t中之傳導層125c之經研磨或拋光表面227共平面，且表面139s與227可為實質上平坦。在將層125a、125b及125c研磨或拋光之後，若介電層139、壕溝139t及穿透通孔156v係如圖172-178中所示形成，則在所曝露頂部表面139s與表面124s或158s間之介電層139可具有厚度例如在1與10微米之間，且較佳在1與3微米之間。或者，在將層125a、125b及125c研磨或拋光之後，若由層139a與139b所構成之介電層139、壕溝139t

及穿透通孔156v係如圖178A中所示形成，則在聚合體層139b之所曝露頂部表面139s與絕緣層139a頂部表面間之介電層139之聚合體層139b可具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

在晶片118中之各金屬插塞7p係通過晶片118中之絕緣環500a之一。例如，在晶片118之左邊者中之金屬插塞7b、7c及7d係通過晶片118之左邊者中之絕緣環500a，且在晶片118之中間者中之金屬插塞7e與7f係通過晶片118之中間者中之絕緣環500a。明確言之，各金屬插塞7b、7c及7d係通過晶片118之左邊者之半導體基板124，且係被晶片118之左邊者中之絕緣環500a之一包圍，及各金屬插塞7e與7f係通過晶片118之中間者之半導體基板124，且係被晶片118之中間者中之絕緣環500a之一包圍。晶片118之左邊者之半導體基板124具有包圍金屬插塞7c與7d之絕緣環500a內部表面上之部份，且晶片118之中間者之半導體基板124具有包圍金屬插塞7e與7f之絕緣環500a內部表面上之部份。包圍金屬插塞7b之絕緣環500a係在金屬插塞7b之側壁處，且接觸金屬插塞7b。包圍金屬插塞7d之絕緣環500a具有在金屬插塞7d之側壁處並與其接觸之部份。包圍金屬插塞7f之絕緣環500a具有在金屬插塞7f之側壁處並與其接觸之部份。關於圖180中所示之金屬插塞7p (包括金屬插塞7a-7f)與金屬互連體3 (包括金屬互連體3a、3b及3c)之更詳細說明，請參考圖76中之圖解。

或者，構件118不僅可表示晶片，而且亦可表示晶圓。當

構件118為晶圓時，構件72可為另一種晶圓。於是，本發明中所示之製程可被採用於晶圓對晶圓之接合。

參考圖181，在形成圖180中所示結構之後，下列步驟可接著如圖77-81中所示進行，然後進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555s與555t。

系統級封裝或多晶片模組555s可使用焊料凸塊或球126，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖182，將系統級封裝或多晶片模組555s與載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，底部充填174係在系統級封裝或多晶片模組555s之聚合體層136與載體176頂側之間形成，且包圍焊料凸塊或球126。其次，多個焊料球178係在載體176之底側上形成。圖182中所示載體176、底部充填174及焊料球178之規格，可個別被稱為如圖83中所示載體176、底部充填174及焊料球178之規格。

圖183係顯示根據本發明揭示內容之另一項具體實施例之另一個系統級封裝或多晶片模組，其可藉由下列步驟形成。在形成圖180中所示結構之後，可接著進行如圖77-79中所示之步驟。其次，在聚合體層136上，及在金屬互連體

3之傳導層125c之接觸點上形成金屬凸塊668，該接觸點係在絕緣或介電層122中之開孔底部及在聚合體層136中之開孔136a下方，可被稱為圖84中所示之步驟。接著，進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555u。在系統級封裝或多晶片模組555u中，各互連體3可被連接至一或多個金屬凸塊668。

系統級封裝或多晶片模組555u可使用金屬凸塊668，而被連接至載體，且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖184，係將系統級封裝或多晶片模組555u與圖83中所示載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。在將軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之後，多個金屬接頭180係在金屬凸塊668之障壁層144與載體176頂側之間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金，具有厚度在5與50微米之間。或者，金屬接頭180可為金層，具有厚度在0.1與10微米之間。接著，圖83中所示之底部充填174係在系統級封裝或多晶片模組555u之聚合體層136與載體176頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，圖83中所示之焊料球178係

在載體176之底側上形成。

或者，可省略如圖181-184所示之絕緣或介電層122。於此情況中，聚合體層136係在表面223、225、227及139s上形成，且金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。再者，黏著/障壁層134係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖185係顯示多晶片封裝566d，其包含經過導線黏結之導線184而被連接至圖83中所示載體176之系統級封裝或多晶片模組555v，其可藉由例如下列步驟形成。

在形成圖180中所示結構之後，進行圖86中所示之步驟，以在傳導層125c之經研磨或拋光表面227上，及在介電層139之所曝露頂部表面139s上形成絕緣或介電層122，以在絕緣或介電層122上，及在金屬互連體3之傳導層125c之多個區域上形成多個金屬互連體或跡線300，該區域係被層122中之多個開孔122a曝露，且在絕緣或介電層122上，及在金屬互連體或跡線300上形成聚合體層136。被熟化後之聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間，及在聚合體層136中之多個開孔136a係使金屬互連體或跡線300之多個接觸點曝露。接著，可進行單一化製程，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，利用例如機械鋸切或雷射切割，且使多個系統級封裝或多晶片模組555v單一化。

接著，將多個系統級封裝或多晶片模組555v與載體176接合，其方式是例如於載體176之頂側上形成具有厚度在20與150微米間之膠層182，然後，使用膠層182，將多個系統級封裝或多晶片模組555v連接至載體11之頂側。膠層182可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)、聚苯醚(PPO)、硅氧烷或SU-8，具有厚度例如在20與150微米之間。接著，多條導線184，譬如金導線、銅導線或鋁導線，係藉由導線黏結製程，而被導線黏結至載體176之頂側上，且至金屬互連體或跡線300之傳導層150之接觸點上，該接觸點係被聚合體層136中之開孔136a曝露。因此，多個系統級封裝或多晶片模組555v之金屬互連體或跡線300可經過導線黏結之導線184，以物理方式及以電方式被連接至載體176。其次，模製配料186係在多個系統級封裝或多晶片模組555v上，於載體176之頂側上，及在導線黏結之導線184上，藉由成型製程而形成，其係包覆導線黏結之導線184與多個系統級封裝或多晶片模組555v。模製配料186可包含環氧基、碳填料或玻璃填料，且玻璃填料或碳填料可被分佈在環氧基中。接著，圖83中所示之焊料球178係在載體176之底側上形成。然後，進行單一化製程，以切割載體176與模製配料186，且使多個多晶片封裝566d單一化。多晶片封裝566d可經過焊料球178，而被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。圖185中所示載體176之規格可被稱為如圖83中所示載體176之規格。

圖186-207係顯示根據本發明揭示內容之另一項具體實施例之形成另一個系統級封裝或多晶片模組之製程。參考圖186，在形成圖144中所示結構之後，介電層60，具有厚度例如在0.1與100微米之間，且較佳在0.2與1.5微米之間，在1與5微米之間，在5與10微米之間，或在1與20微米之間，係在各晶片68之半導體基板58之表面58s上，在偽基板62之表面62s上，在晶片68中之絕緣環500a之所曝露底部表面500s上，及在包封/間隙充填材料64之表面64s上形成，如圖144中所示。接著，多個穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，可在晶片68中及在偽基板62中形成，其係使載體11之導電層18曝露，且使晶片68之層26與34曝露。形成圖186中所示在晶片68中及在偽基板62中之穿透通孔170v之步驟，可被稱為形成如圖15中所示在晶片68中及在偽基板62中之穿透通孔170v之步驟，但於此具體實施例中，在晶片68中形成穿透通孔170v，係包括經過晶片68中被絕緣環500a所包圍之半導體基板58蝕刻。圖186中所示穿透通孔170v(包括通孔170a-170f)、包圍穿透通孔170v之絕緣環500a及支撐物801之規格，可個別被稱為圖148-152中所示穿透通孔170v(包括通孔170a-170f)、包圍穿透通孔170v之絕緣環500a及支撐物801之規格。

圖186中所示之介電層60例如可為藉由適當製程所形成之無機層，譬如化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程。無機層可包含或可為一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，在圖144中所示之

表面58s、62s、500s及64s上。無機層可具有厚度例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.5與2微米之間。

或者，圖186中所示之介電層60可為聚合體層，譬如一層聚醯亞胺、苯并環丁烷(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或環氧基，具有厚度在3與100微米之間，且較佳在5與30微米之間，或在10與50微米之間，於圖144中所示之表面58s、62s、500s及64s上。

或者，圖186中所示之介電層60可由無機層與在該無機層上之聚合體層所構成。無機層可在圖144中所示之表面58s、62s、500s及64s上，使用適當製程，譬如化學氣相沉積(CVD)製程而形成。無機層可包含或可為一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，在圖144中所示之表面58s、62s、500s及64s上。無機層可具有厚度例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.5與2微米之間。聚合體層可為一層聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，具有厚度在3與100微米之間，且較佳在5與30微米之間，或在10與50微米之間，於無機層上。

接著，參考圖187，黏著/障壁層52，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，可在被穿透通孔170v所曝露之層18、26及34上，在穿透通孔170v之側壁上，在介電層60上，及在支撐物801上之互連體或金屬跡線35a上形成。黏著/障壁層52可藉由物理氣相

沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，晶種層54，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，可在黏著/障壁層52上，及在穿透通孔170v中，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，光阻層194可在晶種層54上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用光曝露製程與顯像製程，以在光阻層194中形成多個開孔194a，使晶種層54之多個區域曝露。經構圖之光阻層194可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，傳導層56，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，可在被層194中開孔194a所曝露之晶種層54之區域上，利用例如電鍍製程而形成。於圖187中所示之黏著/障壁層52、晶種層54及傳導層56之規格，可被個別稱為如圖90中所示之黏著/障壁層52、晶種層54及傳導層56之規格。

接著，參考圖188，光阻層194係使用例如有機化學溶液移除。其次，不在傳導層56下方之晶種層54係利用濕蝕刻製程或乾蝕刻製程移除。接著，不在傳導層56下方之黏著/障壁層52係利用濕蝕刻製程或乾蝕刻製程移除。因此，在介電層60上方及在穿透通孔170v上方之層52、54及56係構

成在介電層60上方及在穿透通孔170v上方之多個金屬互連體1，包括金屬互連體1a與1b。在介電層60上方之金屬互連體1之黏著/障壁層52與晶種層54，並不在介電層60上方金屬互連體1之傳導層56之任何側壁1w處，但在介電層60上方金屬互連體1之傳導層56之底部下方。在介電層60上方金屬互連體1之傳導層56之側壁1w並未被層52與54所覆蓋。在穿透通孔170v中之層52、54及56係構成穿透通孔170v中之多個金屬插塞(或金屬通孔)5p，包括個別在如圖186中所示之穿透通孔170a、170b、170c、170d、170e及170f中之金屬插塞(或金屬通孔)5a、5b、5c、5d、5e及5f。金屬插塞5a係在偽基板62中形成，而金屬插塞5b、5c、5d、5e及5f係在相同晶片68中形成。在晶片68中及在偽基板62中所形成之此等金屬插塞5p可連接金屬互連體1與晶片68中之半導體裝置36，且連接金屬互連體1與載體11中之導電層18之多個接觸點。支撐物801及在該支撐物801上之互連層34中之互連體或金屬跡線35a可在金屬插塞5e之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。

在晶片68中之各金屬插塞5p係通過晶片68中之絕緣環500a之一。例如，在晶片68之一中之金屬插塞5b、5c、5d、5e及5f係通過晶片68之一中之絕緣環500a。明確言之，各金屬插塞5b、5c、5d、5e及5f係通過晶片68之一之半導體基板58，且係被晶片68之一中之絕緣環500a之一包圍。晶片68之一之半導體基板58具有包圍金屬插塞5b、5c、5d、5e及5f之絕緣環500a內部表面上之部份。關於圖188中所示之

金屬插塞5p(包括金屬插塞5a-5f)與金屬互連體1(包括金屬互連體1a與1b)之更詳細說明，請參考圖91中之圖解。

或者，構件68不僅可表示晶片，而且可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

接著，參考圖189，絕緣或介電層66係在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中形成。例如，絕緣或介電層66可包含或可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中。於傳導層56上之聚合體層可具有厚度例如在0.1與50微米之間，且較佳在1與30微米之間，在2與20微米之間，或在5與10微米之間。

或者，絕緣或介電層66可包含或可為無機層，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中。於傳導層56上之無機層可具有厚度例如在0.1與10微米之間，且較佳在0.1與1微米之間，在0.2與2微米之間，在0.3與3微米之間，或在0.5與5微米之間。

或者，參考圖190，如圖189中所示之絕緣或介電層66可藉由下列步驟形成。首先，聚合體層66a，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，係在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中形成。接著，聚合體層66a係

藉由例如機械拋光製程、化學-機械-拋光(CMP)製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到金屬互連體1之傳導層56具有不被聚合體層66a所覆蓋之頂部表面56u為止。因此，聚合體層66a仍然留在介電層60上，及在金屬互連體1間之間隙中，並具有厚度例如大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間。聚合體層66a之經研磨或拋光之表面66s可為實質上平坦，且實質上與傳導層56之頂部表面56u共平面。接著，無機層66b，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度例如在0.1與3微米之間，且較佳在0.2與1.5微米之間，係在傳導層56之頂部表面56u上，及在聚合體層66a之經研磨或拋光之表面66s上形成。因此，如圖189中所示之絕緣或介電層66亦可具有如圖190中所示之聚合體層66a與無機層66b。

參考圖191，在形成絕緣或介電層66之後，於圖28中所示之偽基板165係使用圖28中所示之層116與絕緣或介電層66接合，其可被稱為圖28中所示之步驟。接著，多個開孔165a係在偽基板165中形成，並使層116曝露，其可被稱為圖29-32中所示之步驟。或者，開孔165a可於偽基板165使用層116與絕緣或介電層66接合之前，在偽基板165中形成，且通過該基板。其次，多個晶片72，其每一個係類似圖141K中所示之晶片72a或72b，係與層116接合，且裝載於開孔165a中及在層66上方，其可被稱為圖33中所示之步驟。將晶片72

裝載於開孔165a中之後，晶片72具有主動側面在晶片72之底部處，與背側在晶片72之頂部處。圖192為示意俯視圖之實例，顯示被裝載於偽基板165中之開孔165a內之晶片72，而圖191為沿著圖192之示意俯視圖中所示線條G-G所切割之橫截面圖。

如圖191與192中所示，有多個間隙4a各在偽基板165與晶片72其中一個之間，且有多個間隙8a(顯示其中之一)各在相鄰兩個晶片72之間。各間隙4a可具有橫向距離或間距D4，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8a可具有橫向距離或間距D5，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。

圖193顯示另一種形成具有如圖191中所示相同橫截面圖之結構之技術。圖191為沿著圖193之示意俯視圖中所示線條G-G所切割之橫截面圖。在圖191與193中所示之結構可例如藉由下列步驟形成。在形成圖189或190中所示結構之後，膠層116，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間，係在圖189或190中所示之絕緣或介電層66上，利用適當製程而形成，譬如旋轉塗覆製程、層合製程、噴霧製程、點膠製程或網版印刷製程。膠層116可為聚合體層，譬如一層環氧基、聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或硅氧烷，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間。接著，膠層116可視情況被預

熟化或烘烤。其次，多個晶片72，其每一個係類似圖141K中所示之晶片72a或72b，及多個各別偽基板165，係被置於膠層116上。當在相鄰兩個晶片72間之間隙太大時，譬如大於500或1,000微米，一或多個各別偽基板165可被置於該間隙中。或者，當在相鄰兩個晶片72間之間隙為足夠小時，譬如小於500或1,000微米，可以沒有個別偽基板165被置於該間隙中。接著，膠層116可在攝氏180度與攝氏350度間之溫度中再一次被熟化，使用機械或熱壓力在膠層116上。因此，晶片72及個別偽基板165係使用膠層116與絕緣或介電層66接合。例如，個別偽基板165可為個別矽條塊、個別偽晶片、個別偽矽晶粒，或多晶矽、玻璃、矽或陶瓷之個別基板。

或者，參考圖191與193，膠層116可以在圖189或190中所示之絕緣或介電層66上形成之矽-氧化物層置換。於此情況中，將晶片72與層66接合，且將個別偽基板165與層66接合，可例如經由將在各晶片72之主動側面處之鈍化層74之另一個矽-氧化物層與矽-氧化物層116黏結，及經由將各個別偽基板165之另一個矽-氧化物層與矽-氧化物層116黏結而進行。各晶片72之鈍化層74之矽-氧化物層係接觸矽-氧化物層116，而各個別偽基板165之矽-氧化物層係接觸矽-氧化物層116。因此，可使用此等矽-氧化物層，將晶片72和個別偽基板165與絕緣或介電層66接合。

如圖191與193中所示，有多個間隙4a各在晶片72其中一個與個別偽基板165其中一個之間，且有多個間隙8a（顯示

其中之一)各在相鄰兩個晶片72之間。各間隙4a可具有橫向距離或間距D4，例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8a可具有橫向距離或間距D5，例如小於500微米，譬如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。於一項具體實施例中，將個別偽基板165與絕緣或介電層66接合之前，沒有電路在各個別偽基板165中或在各個別偽基板165之頂部或底部表面上預先形成。

參考圖194，在圖191與192中或在圖191與193中所示步驟之後，包封/間隙充填材料98係在各晶片72之半導體基板96之背側上，在偽基板165上，及在間隙4a與8a中形成。接著，包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165係藉由適當製程進行研磨或拋光，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程，直到晶片72中之所有絕緣環500a具有經曝露之底部表面500t，於其上方沒有半導體基板96之部份為止。於圖194中所示形成包封/間隙充填材料98，與研磨或拋光包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165之步驟，可被稱為如圖143-146中所示形成包封/間隙充填材料64，與研磨或拋光包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62之步驟。包封/間隙充填材料98可為多晶矽、氧化矽或聚合體。

因此，各晶片72之半導體基板96可被薄化至厚度T8例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片72，在研磨或拋光製程之後，絕緣環500a與半導體基板96可具有相同厚度T8。在研磨或拋光製程之後，各晶片72較佳可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。

在研磨或拋光製程之後，偽基板165可被薄化至厚度T9例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，且留在間隙4a與8a中之包封/間隙充填材料98可具有垂直厚度T10例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片72背側處之半導體基板96之經研磨或拋光表面96s，及偽基板165之經研磨或拋光表面165s，可為實質上平坦，且未被包封/間隙充填材料98覆蓋。經研磨或拋光之表面165s可實質上與各晶片72之經研磨或拋光表面96s，與間隙4a和8a中之包封/間隙充填材料98之經研磨或拋光表面98s，及與晶片72中之絕緣環500a之經曝露底部表面500t共平面。於各晶片72中，在半導體基板96之經研磨或拋光表面96s與淺溝隔離500b底部間之垂直距離D15可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

接著，參考圖195，介電層88，具有厚度例如在0.1與100

微米之間，且較佳在0.2與1.5微米之間，在1與5微米之間，在5與10微米之間，或在1與20微米之間，係在各晶片72之半導體基板96之表面96s上，在偽基板165之表面165s上，在晶片72中之絕緣環500a之經曝露底部表面500t上，及在包封/間隙充填材料98之表面98s上形成。其次，多個穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，可在晶片72中，及在偽基板165中形成，使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露。於圖195中所示在晶片72中及在偽基板165中形成穿透通孔164v之步驟，可被稱為如圖41中所示在晶片72中及在偽基板165中形成穿透通孔164v之步驟，但於此具體實施例中，在晶片72中形成穿透通孔164v，係包括經過晶片72中被絕緣環500a所包圍之半導體基板96蝕刻。於圖195中所示之穿透通孔164v(包括通孔164a-164e)、包圍穿透通孔164v之絕緣環500a及支撐物802之規格，可被個別稱為圖162-166中所示之穿透通孔164v(包括通孔164a-164e)、包圍穿透通孔164v之絕緣環500a及支撐物802之規格。

例如，於圖195中所示之介電層88可為藉由適當製程所形成之無機層，譬如化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程。無機層可包含或可為一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，於表面96s、165s、500t及98s上。無機層可具有厚度例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.5與2微米之間。

或者，於圖195中所示之介電層88可為聚合體層，譬如一

層聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，具有厚度在3與100微米之間，且較佳在5與30微米之間，或在10與50微米之間，於表面96s、165s、500t及98s上。

或者，於圖195中所示之介電層88可由無機層及在該無機層上之聚合體層所構成。無機層可在表面96s、165s、500t及98s上，使用適當製程譬如化學氣相沉積(CVD)製程而形成。無機層可包含或可為一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，於表面96s、165s、500t及98s上。無機層可具有厚度例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.5與2微米之間。聚合體層可為一層聚醯亞胺、苯并環丁烷(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，具有厚度在3與100微米之間，且較佳在5與30微米之間，或在10與50微米之間，於該無機層上。

接著，參考圖196，黏著/障壁層92，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，係在被穿透通孔164v所曝露之層56、106及114上，在穿透通孔164v之側壁上，在介電層88上，及在支撐物802上之互連體或金屬跡線55a上形成。黏著/障壁層92可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，晶種層94，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，係在黏著/障壁層92上，及在穿透通孔164v中，藉由

物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，光阻層294係在晶種層94上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用光曝露製程與顯像製程，以在光阻層294中形成多個開孔294a，使晶種層94之多個區域曝露。經構圖之光阻層294可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，傳導層86，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，係在被層294中開孔294a所曝露之晶種層94之區域上，利用適當製程譬如電鍍製程而形成。於圖196中所示之黏著/障壁層92、晶種層94及傳導層86之規格，可被個別稱為如圖95中所示之黏著/障壁層92、晶種層94及傳導層86之規格。

接著，參考圖197，光阻層294係使用例如有機化學溶液移除。其次，不在傳導層86下方之晶種層94係利用濕蝕刻製程或乾蝕刻製程移除。接著，不在傳導層86下方之黏著/障壁層92係利用濕蝕刻製程或乾蝕刻製程移除。因此，在介電層88上方及在穿透通孔164v上方之層92、94及86係構成在介電層88上方及在穿透通孔164v上方之多個金屬互連體2，包括金屬互連體2a與2b。在介電層88上方之金屬互連體2之黏著/障壁層92與晶種層94，並不在介電層88上方金屬互連體2之傳導層86之任何側壁2w處，但在介電層88上

方金屬互連體2之傳導層86之底部下方。在介電層88上方金屬互連體2之傳導層86之側壁2w並未被層92與94覆蓋。在穿透通孔164v中之層92、94及86係構成穿透通孔164v中之多個金屬插塞(或金屬通孔)6p，包括個別在如圖195中所示之穿透通孔164a、164b、164c、164d及164e中之金屬插塞(或金屬通孔)6a、6b、6c、6d及6e。金屬插塞6a係在偽基板165中形成，金屬插塞6b與6c係在晶片72之左邊者中形成，而金屬插塞6d與6e係在晶片72之中間者中形成。在晶片72中及在偽基板165中所形成之此等金屬插塞6p可連接金屬互連體2與晶片72中之半導體裝置102，且連接金屬互連體1與2。

在晶片72中之各金屬插塞6p係通過晶片72中之絕緣環500a之一。例如，在晶片72左邊者中之金屬插塞6b與6c係通過晶片72左邊者中之絕緣環500a，而在晶片72中間者中之金屬插塞6d與6e係通過晶片72中間者中之絕緣環500a。明確言之，各金屬插塞6b與6c係通過晶片72左邊者之半導體基板96，且係被晶片72左邊者中之絕緣環500a之一包圍，而各金屬插塞6d與6e係通過晶片72中間者之半導體基板96，且係被晶片72中間者中之絕緣環500a之一包圍。晶片72左邊者之半導體基板96具有包圍金屬插塞6b之絕緣環500a內部表面上之部份，而晶片72中間者之半導體基板96具有包圍金屬插塞6d之絕緣環500a之內部表面上之部份。包圍金屬插塞6c之絕緣環500a係在金屬插塞6c之側壁處，且接觸金屬插塞6c，而包圍金屬插塞6e之絕緣環500a係在

金屬插塞6e之側壁處，且接觸金屬插塞6e。關於圖197中所示之金屬插塞6p(包括金屬插塞6a-6e)與金屬互連體2(包括金屬互連體2a與2b)之更詳細說明，請參考圖96中之圖解。

或者，構件72不僅可表示晶片，而且可表示晶圓。當構件72為晶圓時，構件68可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

接著，參考圖198，絕緣或介電層120係在金屬互連體2之傳導層86上，在介電層88上，及在金屬互連體2間之間隙中形成。例如，絕緣或介電層120可包含或可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，在金屬互連體2之傳導層86上，在介電層88上，及在金屬互連體2間之間隙中。於傳導層86上之聚合體層可具有厚度例如在0.1與50微米之間，且較佳在1與30微米之間，在2與20微米之間，或在5與10微米之間。

或者，絕緣或介電層120可包含或可為無機層，譬如一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，在金屬互連體2之傳導層86上，在介電層88上，及在金屬互連體2間之間隙中。於傳導層86上之無機層可具有厚度例如在0.1與10微米之間，且較佳在0.1與1微米之間，在0.2與2微米之間，在0.3與3微米之間，或在0.5與5微米之間。

或者，參考圖199，如圖198中所示之絕緣或介電層120可藉由下列步驟形成。首先，聚合體層120a，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，係在金屬互連體2之傳導層86上，在介電層88上，

及在金屬互連體2間之間隙中形成。接著，聚合體層120a係藉由例如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到金屬互連體2之傳導層86具有不被聚合體層120a所覆蓋之頂部表面86u為止。因此，聚合體層120a仍然留在介電層88上，及在金屬互連體2間之間隙中，並具有厚度例如大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間。聚合體層120a之經研磨或拋光之表面120s可為實質上平坦，且實質上與傳導層86之頂部表面86u共平面。其次，無機層120b，譬如一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，具有厚度例如在0.1與3微米之間，且較佳在0.2與1.5微米之間，係在傳導層86之頂部表面86u上，及在聚合體層120a之經研磨或拋光之表面120s上形成。因此，如圖198中所示之絕緣或介電層120可由如圖199中所示之聚合體層120a與無機層120b所構成。

參考圖200，在形成絕緣或介電層120之後，於圖54中所示之偽基板158係使用圖54中所示之層140與絕緣或介電層120接合，其可被稱為圖54中所示之步驟。接著，多個開孔158a係在偽基板158中形成，並使層140曝露，其可被稱為在圖55與56中所示之步驟。或者，開孔158a可於偽基板158使用層140與絕緣或介電層120接合之前，在偽基板158中形成，且通過該基板。其次，多個晶片118，其每一個係類似圖141L中所示之晶片118a或118b，係與層140接合，且裝載

於開孔158a中及在層120上方，其可被稱為圖57中所示之步驟。將晶片118裝載於開孔158a中之後，晶片118具有主動側面在晶片118之底部處，與背側在晶片118之頂部處。圖201為示意俯視圖之實例，顯示被裝載於偽基板158中之開孔中158a之晶片118，而圖200為沿著圖201之示意俯視圖中所示線條J-J所切割之橫截面圖。

如圖200與201中所示，有多個間隙4b各在偽基板158與晶片118其中一個之間，且有多個間隙8b(顯示其中之一)各在相鄰兩個晶片118之間。各間隙4b可具有橫向距離或間距D7例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8b可具有橫向距離或間距D8例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。

圖202顯示另一種形成具有如圖200中所示相同橫截面圖之結構之技術。圖200為沿著圖202之示意俯視圖中所示線條J-J所切割之橫截面圖。在圖200與202中所示之結構可例如藉由下列步驟形成。在形成圖198或199中所示結構之後，膠層140，具有厚度例如在3與100微米之間，且較佳在5與10微米之間，或在10與30微米之間，係在圖198或199中所示之絕緣或介電層120上，利用適當製程而形成，譬如旋轉塗覆製程、層合製程、噴霧製程、點膠製程或網版印刷製程。膠層140可為聚合體層，譬如一層環氧基、聚醯亞胺、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或硅氧烷，具有厚度例如在3與100微米之間，且較佳在5與10微米

之間，或在10與30微米之間。接著，膠層140可視情況被預熟化或烘烤。其次，多個晶片118，其每一個係類似圖141L中所示之晶片118a或118b，及多個各別偽基板158，係被置於膠層140上。當在相鄰兩個晶片118間之間隙太大時，譬如大於500或1,000微米，一或多個各別偽基板158可被置於該間隙中。或者，當在相鄰兩個晶片118間之間隙為足夠小時，譬如小於500或1,000微米，可以沒有個別偽基板158被置於該間隙中。接著，膠層140可在攝氏180度與攝氏350度間之溫度中再一次被熟化，使用機械或熱壓力在該膠層140上。因此，晶片118及個別偽基板158係使用膠層140與絕緣或介電層120接合。例如，個別偽基板158可為個別矽條塊、個別偽晶片、個別偽矽晶粒或多晶矽、玻璃、矽或陶瓷之個別基板。

或者，參考圖200與202，膠層140可以在圖198或199中所示之絕緣或介電層120上形成之矽-氧化物層置換。於此情況中，將晶片118與層120接合，且將個別偽基板158與層120接合，可例如經由將在各晶片118之主動側面處之鈍化層21之另一個矽-氧化物層與矽-氧化物層140黏結，及經由將各個別偽基板158之另一個矽-氧化物層與矽-氧化物層140黏結而進行。各晶片118之鈍化層21之矽-氧化物層係接觸矽-氧化物層140，而各個別偽基板158之矽-氧化物層係接觸矽-氧化物層140。因此，可使用此等矽-氧化物層，將晶片118和個別偽基板158與絕緣或介電層120接合。

如圖200與202中所示，有多個間隙4b各在晶片118其中一

個與個別偽基板158其中一個之間，且有多個間隙8b(顯示其中之一)各在相鄰兩個晶片118之間。各間隙4b可具有橫向距離或間距D7例如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。各間隙8b可具有橫向距離或間距D8例如小於500微米，譬如在1與200微米之間，在1與50微米之間，或在1與10微米之間，且較佳在1與5微米之間。於一項具體實施例中，將個別偽基板158與絕緣或介電層120接合之前，沒有電路在各個別偽基板158中或在各個別偽基板158之頂部或底部表面上預先形成。

參考圖203，在圖200與201中或在圖200與202中所示步驟之後，包封/間隙充填材料138係在各晶片118之半導體基板124之背側上，在偽基板158上，及在間隙4b與8b中形成。接著，包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158係藉由適當製程進行研磨或拋光，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械研磨與化學-機械拋光之製程，直到晶片118中之所有絕緣環500a具有經曝露之底部表面500u，於其上方沒有半導體基板124之部份為止。於圖203中所示形成包封/間隙充填材料138，與研磨或拋光包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158之步驟，可被稱為如圖143-146中所示形成包封/間隙充填材料64，與研磨或拋光包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62之步驟。包封/間隙充填材料

138可為多晶矽、氧化矽或聚合體。

因此，各晶片118之半導體基板124可被薄化至厚度T15例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片118，在研磨或拋光製程之後，絕緣環500a與半導體基板124可具有相同厚度T15。在研磨或拋光製程之後，各晶片118較佳可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。

在研磨或拋光製程之後，偽基板158可被薄化至厚度T16例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，且留在間隙4b與8b中之包封/間隙充填材料138可具有垂直厚度T17例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片118之背側處之半導體基板124之經研磨或拋光表面124s，及偽基板158之經研磨或拋光表面158s，可為實質上平坦，且未被包封/間隙充填材料138覆蓋。經研磨或拋光之表面158s可實質上與晶片118之經研磨或拋光表面124s，與間隙4b和8b中之包封/間隙充填材料138之經研磨或拋光表面138s，及與晶片118中之絕緣環500a之經曝露底部表面500u共平面。於各晶片118中，在半導體基板124之經研磨或拋光表面124s與淺溝隔離500b底部間之垂直距離D16可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

接著，參考圖204，介電層139，具有厚度例如在0.1與100微米之間，且較佳在0.2與1.5微米之間，在1與5微米之間，在5與10微米之間，或在1與20微米之間，係在各晶片118之半導體基板124之表面124s上，在偽基板158之表面158s上，在晶片118中之絕緣環500a之經曝露底部表面500u上，及在包封/間隙充填材料138之表面138s上形成。其次，多個穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，可在晶片118中，及在偽基板158中形成，使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。於圖204中所示在晶片118中及在偽基板158中形成穿透通孔156v之步驟，可被稱為如圖65中所示在晶片118中及在偽基板158中形成穿透通孔156v之步驟，但於此具體實施例中，在晶片118中形成穿透通孔156v，係包括經過晶片118中被絕緣環500a所包圍之半導體基板124蝕刻。於圖204中所示之穿透通孔156v（包括通孔156a-156f）、包圍穿透通孔156v之絕緣環500a及支撐物803之規格，可被個別稱為圖173-177中所示之穿透通孔156v（包括通孔156a-156f）、包圍穿透通孔156v之絕緣環500a及支撐物803之規格。

例如，於圖204中所示之介電層139可為藉由適當製程所形成之無機層，譬如化學氣相沉積(CVD)製程或電漿加強化學氣相沉積(PECVD)製程。無機層可包含或可為一層氧化矽（譬如SiO_2）、氮化矽（譬如Si_3N_4）、碳氮化矽（譬如SiCN）、氧氮化矽（譬如SiON）或氧碳化矽（譬如SiOC），於表面124s、158s、500u及138s上。無機層可具有厚度例如在0.1與5微米

之間，且較佳在0.2與1.5微米之間，或在0.5與2微米之間。

或者，於圖204中所示之介電層139可為聚合體層，譬如一層聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)或聚苯醚(PPO)，具有厚度在3與100微米之間，且較佳在5與30微米之間，或在10與50微米之間，於表面124s、158s、500u及138s上。

或者，於圖204中所示之介電層139可由無機層及在該無機層上之聚合體層所構成。無機層可在表面124s、158s、500u及138s上，使用適當製程譬如化學氣相沉積(CVD)製程而形成。無機層可包含或可為一層氧化矽(譬如SiO_2)、氮化矽(譬如Si_3N_4)、碳氮化矽(譬如SiCN)、氧氮化矽(譬如SiON)或氧碳化矽(譬如SiOC)，於表面124s、158s、500u及138s上。無機層可具有厚度例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.5與2微米之間。聚合體層可為一層聚醯亞胺、苯并環丁烷(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，具有厚度在3與100微米之間，且較佳在5與30微米之間，或在10與50微米之間，於該無機層上。

接著，參考圖205，黏著/障壁層125a，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，係在被穿透通孔156v所曝露之層17、19及86上，在穿透通孔156v之側壁上，在介電層139上，及在支撐物803上之互連體或金屬跡線75a上形成。黏著/障壁層125a可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子

層沉積(ALD)而形成。其次，晶種層125b，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，係在黏著/障壁層125a上，及在穿透通孔156v中，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，光阻層394係在晶種層125b上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用光曝露製程與顯像製程，以在光阻層394中形成多個開孔394a，使晶種層125b之多個區域曝露。經構圖之光阻層394可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，傳導層125c，具有厚度大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間，可在被層394中開孔394a所曝露之晶種層125b之區域上，利用適當製程譬如電鍍製程而形成。於圖205中所示之黏著/障壁層125a、晶種層125b及傳導層125c之規格，可被個別稱為如圖100中所示之黏著/障壁層125a、晶種層125b及傳導層125c之規格。

接著，參考圖206，光阻層394係使用例如有機化學溶液移除。其次，不在傳導層125c下方之晶種層125b係利用濕蝕刻製程或乾蝕刻製程移除。接著，不在傳導層125c下方之黏著/障壁層125a係利用濕蝕刻製程或乾蝕刻製程移除。因此，在介電層139上方及在穿透通孔156v上方之層125a、125b及125c係構成在介電層139上方及在穿透通孔156v上方之多

個金屬互連體3，包括金屬互連體3a、3b及3c。在介電層139上方之金屬互連體3之黏著/障壁層125a與晶種層125b，並不在介電層139上方金屬互連體3之傳導層125c之任何側壁3w處，但在介電層139上方金屬互連體3之傳導層125c之底部下方。在介電層139上方金屬互連體3之傳導層125c之側壁3w並未被層125a與125b覆蓋。在穿透通孔156v中之層125a、125b及125c係構成穿透通孔156v中之多個金屬插塞(或金屬通孔)7p，包括個別在如圖204中所示之穿透通孔156a、156b、156c、156d、156e及156f中之金屬插塞(或金屬通孔)7a、7b、7c、7d、7e及7f。金屬插塞7a係在偽基板158中形成，金屬插塞7b、7c及7d係在晶片118之左邊者中形成，而金屬插塞7e與7f係在晶片118之中間者中形成。在晶片118中及在偽基板158中所形成之此等金屬插塞7p可連接金屬互連體3與晶片118中之半導體裝置13，且連接金屬互連體2與3。支撐物803及在該支撐物803上之互連層17中之互連體或金屬跡線75a可在金屬插塞7e之兩個部份之間，低於互連層17之頂部表面所在位置之水平位。

在晶片118中之各金屬插塞7p係通過晶片118中之絕緣環500a之一。例如，在晶片118左邊者中之金屬插塞7b、7c及7d係通過晶片118左邊者中之絕緣環500a，而在晶片118中間者中之金屬插塞7e與7f係通過晶片118中間者中之絕緣環500a。明確言之，各金屬插塞7b、7c及7d係通過晶片118左邊者之半導體基板124，且係被晶片118左邊者中之絕緣環500a之一包圍，而各金屬插塞7e與7f係通過晶片118中間者

之半導體基板124，且係被晶片118中間者中之絕緣環500a之一包圍。晶片118左邊者之半導體基板124具有包圍金屬插塞7c與7d之絕緣環500a之內部表面上之部份，而晶片118中間者之半導體基板124具有包圍金屬插塞7e與7f之絕緣環500a之內部表面上之部份。包圍金屬插塞7b之絕緣環500a係在金屬插塞7b之側壁處，且接觸金屬插塞7b。包圍金屬插塞7d之絕緣環500a係具有在金屬插塞7d之側壁處並與其接觸之部份。包圍金屬插塞7f之絕緣環500a係具有在金屬插塞7f之側壁處並與其接觸之部份。關於圖206中所示之金屬插塞7p (包括金屬插塞7a-7f)與金屬互連體3 (包括金屬互連體3a、3b及3c)之更詳細說明，請參考圖101中之圖解。

或者，構件118不僅可表示晶片，而且可表示晶圓。當構件118為晶圓時，構件72可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

參考圖207，在形成圖206中所示結構之後，下列步驟可接著按圖102中所示進行，以在金屬互連體3之傳導層125c上，在介電層139上，及在金屬互連體3間之間隙中形成絕緣或介電層122，在絕緣或介電層122上形成聚合體層136，且在聚合體層136中形成多個開孔136a，使絕緣或介電層122之多個區域曝露。接著，在聚合體層136上，及在絕緣或介電層122中之多個開孔底部處且於聚合體層136中開孔136a下方之金屬互連體3之傳導層125c之多個接觸點上，形成凸塊下層金屬(UBM)層666，並在UBM層666上形成多個焊料凸塊或球126，可被稱為圖78-81中所示之步驟。接著，單一化

製程係利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555w與555x。

系統級封裝或多晶片模組555w可使用焊料凸塊或球126被連接至載體且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖208，系統級封裝或多晶片模組555w係與圖83中所示之載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，於圖83中所示之底部充填174係在系統級封裝或多晶片模組555w之聚合體層136與載體176頂側之間形成，且包圍焊料凸塊或球126。其次，於圖83中所示之焊料球178係在載體176之底側上形成。

圖209顯示根據本發明揭示內容之另一項具體實施例之另一種系統級封裝或多晶片模組，其可藉由下列步驟形成。在形成圖206中所示結構之後，下列步驟可接著按圖102中所示進行，以在金屬互連體3之傳導層125c上，在介電層139上，及在金屬互連體3間之間隙中形成絕緣或介電層122，在絕緣或介電層122上形成聚合體層136，且在聚合體層136中形成多個開孔136a，使絕緣或介電層122之多個區域曝露。接著，於圖78與79中所示之步驟可隨後進行。其次，在聚合體層136上，及在絕緣或介電層122中之開孔底部處且於聚合體層136中開孔136a下方之金屬互連體3之傳導層

125c之接觸點上，形成金屬凸塊668，可被稱為圖84中所示之步驟。接著，單一化製程可利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555y。在系統級封裝或多晶片模組555y中，各互連體3可被連接至一或多個金屬凸塊668。

系統級封裝或多晶片模組555y可使用金屬凸塊668被連接至載體且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖210，系統級封裝或多晶片模組555y可與圖83中所示之載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。將軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之後，多個金屬接頭180係在金屬凸塊668之障壁層144與載體176頂側之間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金，具有厚度在5與50微米之間。接著，於圖83中所示之底部充填174可在系統級封裝或多晶片模組555y之聚合體層136與載體176頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，於圖83中所示之焊料球178可在載體176之底側上形成。

或者，可省略如圖207-210所示之絕緣或介電層122。於此情況中，聚合體層136係在金屬互連體3之傳導層125c上，

在介電層139上，及在金屬互連體3間之間隙中形成，且金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。再者，黏著/障壁層134係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖211顯示一種多晶片封裝566e，包含經過經導線黏結之導線184被連接至圖83中所示載體176之系統級封裝或多晶片模組555z，其可藉由例如下列步驟形成。在形成圖206中所示結構之後，下列步驟可接著按圖107中所示進行，以在金屬互連體3之傳導層125c上，在介電層139上，及在金屬互連體3間之間隙中形成絕緣或介電層122，在絕緣或介電層122上，及在被層122中多個開孔122a所曝露之金屬互連體3之傳導層125c之多個區域上，形成多個金屬互連體或跡線300，且在絕緣或介電層122上，及在金屬互連體或跡線300上形成聚合體層136。被熟化後之聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間，而在聚合體層136中之多個開孔136a會使金屬互連體或跡線300之多個接觸點曝露。接著，單一化製程可利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組555z。

接著，多個系統級封裝或多晶片模組555z可與圖83中所示之載體176接合，其方式是例如在載體176之頂側上形成

膠層182，具有厚度例如在1與20微米之間，或在20與150微米之間，然後使用膠層182，將多個系統級封裝或多晶片模組555z連接至載體11之頂側。膠層182可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)、聚苯醚(PPO)、硅氧烷或SU-8，具有厚度例如在1與20微米之間，或在20與150微米之間。其次，多條導線184，譬如金導線、銅導線或鋁導線，可藉由導線黏結製程，被導線黏結至載體176之頂側上，及至被聚合體層136中開孔136a所曝露之金屬互連體或跡線300之傳導層150之接觸點上。因此，多個系統級封裝或多晶片模組555z之金屬互連體或跡線300可經過經導線黏結之導線184，以物理方式與電方式連接至載體176。接著，模製配料186可藉由成型製程，在多個系統級封裝或多晶片模組555z上，在載體176之頂側上，及在經導線黏結之導線184上形成，包覆經導線黏結之導線184及多個系統級封裝或多晶片模組555z。模製配料186可包含環氧基、碳填料或玻璃填料，且玻璃填料或碳填料可被分佈在環氧基中。其次，於圖83中所示之焊料球178可在載體176之底側上形成。然後，可進行單一化製程，以切割載體176與模製配料186，且使多個多晶片封裝566e單一化。多晶片封裝566e可經過焊料球178被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

或者，於圖7-109中所示之晶片68可被圖212L中所示之另一種類型晶片68置換，其進一步包含絕緣插塞789，比淺溝

隔離(STI)345較厚。圖212A-212L顯示根據本發明揭示內容之一項具體實施例之形成另一種類型晶片68之製程。參考圖212A，絕緣層301a係在晶圓680a之半導體基板58上，使用適當製程譬如化學氣相沉積(CVD)製程而形成。半導體基板58可為矽-鍺(SiGe)基板、鎵-砷化物(GaAs)基板或矽基板，具有厚度例如大於100微米，譬如在100與500微米之間，且較佳在150與250微米之間，或在100與300微米之間。例如，絕緣層301a可為襯墊氧化物，具有厚度在1與20奈米之間，且較佳在1與10奈米之間，於半導體基板58之頂部表面上。在半導體基板58之頂部表面上形成絕緣層301a之後，經構圖之光阻層306係在絕緣層301a上形成。在經構圖光阻層306中之多個開孔306a會使絕緣層301a之多個區域曝露。

接著，參考圖212B，多個開孔307係在半導體基板58中形成，其方式是移除開孔306a下方之絕緣層301a，並蝕刻開孔306a下方之半導體基板58，導致半導體基板58中之開孔307，具有深度D17例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間。各開孔307可具有直徑或寬度W10例如在2與100微米之間，在2與50微米之間，在2與20微米之間，在2與10微米之間，或在2與5微米之間。

接著，參考圖212C，經構圖之光阻層306係使用化學溶液移除。其次，參考圖212D，絕緣層567，具有厚度T27例如在10與250奈米之間，且較佳在15與150奈米之間，係在絕緣層301a上，及在開孔307之側壁與底部上，使用適當製程

譬如化學氣相沉積(CVD)製程而形成，然後絕緣層456係在絕緣層567上，及在開孔307中，使用適當製程譬如化學氣相沉積(CVD)製程而形成。

於第一替代方式中，絕緣層567可使用適當製程，譬如化學氣相沉積(CVD)，在絕緣層301a上，及在開孔307之側壁與底部上，藉由沉積一層具有厚度例如在10與250奈米之間，且較佳在15與150奈米間之氮化矽或氧氮化矽而形成。絕緣層456可使用適當製程，譬如化學氣相沉積(CVD)，在開孔307中，及在氮化矽或氧氮化矽層上，藉由沉積一層多晶矽或氧化矽而形成。

於第二替代方式中，絕緣層567可以下述方式形成，使用適當製程，譬如化學氣相沉積(CVD)，在絕緣層301a上，及在開孔307之側壁與底部上，沉積具有厚度例如在1與20奈米之間，且較佳在1與10奈米間之矽-氧化物層，然後使用適當製程，譬如化學氣相沉積(CVD)，在矽-氧化物層上，及在開孔307之側壁與底部處，沉積一層具有厚度例如在10與230奈米之間，且較佳在15與140奈米間之氮化矽或氧氮化矽。絕緣層456可使用適當製程，譬如化學氣相沉積(CVD)，在開孔307中，及在絕緣層567之氮化矽或氧氮化矽層上，藉由沉積一層多晶矽或氧化矽而形成。

接著，參考圖212E，絕緣層456係藉由化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到在開孔307外部之絕緣層567，譬如絕緣層567之氮化矽或氧氮化矽層，

具有未被絕緣層456覆蓋之頂部表面567a為止。

其次，參考圖212F，經構圖之光阻層302係在絕緣層567之頂部表面567a上，及在絕緣層456上形成。在經構圖光阻層302中之多個開孔302a係使絕緣層567之頂部表面567a之多個區域曝露。

接著，參考圖212G，多個淺壕溝303係在半導體基板58中形成，其方式是移除開孔302a下方之絕緣層567，移除開孔302a下方之絕緣層301a，及蝕刻開孔302a下方之半導體基板58，導致半導體基板58中之淺壕溝303，具有深度D10例如在0.1與0.5微米之間，且較佳在0.15與0.4微米之間。淺壕溝303係用以順應淺溝隔離(STI)。

其次，參考圖212H，經構圖之光阻層302係使用化學溶液移除。接著，參考圖212I，無機材料345係在絕緣層567之頂部表面567a上，在絕緣層456上，及在淺壕溝303中，利用適當製程譬如化學氣相沉積(CVD)製程而形成。無機材料345可包含或可為氧化矽。

接著，參考圖212J，於淺壕溝303外部之無機材料345係藉由適當製程譬如化學機械拋光(CMP)製程而移除，然後，於開孔307外部之絕緣層567係利用化學溶液蝕離，接著，所有絕緣層301a係利用化學溶液蝕離。因此，絕緣層456與567仍然留在開孔307中，故稱為絕緣插塞789，且無機材料345仍然留在淺壕溝303中，故稱為淺溝隔離(STI)。絕緣插塞789之絕緣層567係在絕緣插塞789之絕緣層456之側壁與底部上，且絕緣層456之側壁與底部係被絕緣層567所覆蓋。例

如，絕緣插塞789之絕緣層567可為一層氮化矽或氧氮化矽，具有厚度例如在10與250奈米之間，且較佳在15與150奈米之間，於絕緣插塞789之絕緣層456之側壁與底部上。或者，絕緣插塞789之絕緣層567可由以下所構成，矽-氧化物層，具有厚度例如在1與20奈米之間，且較佳在1與10奈米之間，在絕緣插塞789之絕緣層456之側壁與底部處，與一層氮化矽或氧氮化矽，具有厚度例如在10與230奈米之間，且較佳在15與140奈米之間，在矽-氧化物層與絕緣層456之間，及在絕緣層456之側壁與底部上。絕緣插塞789係在開孔307中，具有深度D17例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，與直徑或寬度W10在2與100微米之間，在2與50微米之間，在2與20微米之間，在2與10微米之間，或在2與5微米之間。淺溝隔離(STI)345可包含或可為氧化矽，且在半導體基板58中之淺壕溝303內，具有深度D10例如在0.1與0.5微米之間，且較佳在0.15與0.4微米之間。在絕緣插塞789之一之底部與淺溝隔離345底部間之垂直距離D18可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

其次，參考圖212K，多個半導體裝置36可在半導體基板58中及/或於其上形成，然後多個介電層42、44、46及48，多個通孔插塞26a與34a，互連層34，經構圖之金屬層26，及鈍化層24，可於半導體基板58之頂部表面上方形成。

接著，參考圖212L，可進行單一化製程，以切割晶圓680a之半導體基板58，以及層24、42、44、46及48，且使多個晶片68(顯示其中之一)單一化。各晶片68均包含前文所述之互連體或金屬跡線35a、35b、35c及35d。藉由如圖7中晶片68之構件所指示之相同參考編號所表示之圖212L中晶片68之構件，係具有如圖7中所示晶片68之構件相同之材料與規格。於圖212L中所示之晶片68為圖7中所示晶片68之倒轉配置。

或者，於圖33-109中所示之各晶片72可被圖212M中所示之另一種類型晶片72a或72b置換，其進一步包含絕緣插塞789，比淺溝隔離(STI) 345較厚。圖212M顯示根據本發明揭示內容之一項具體實施例之晶片72a與72b之橫截面圖。藉由如圖33中晶片72之構件所指示之相同參考編號所表示之圖212M中晶片72a與72b之構件，係具有如圖33中所示晶片72之構件相同之材料與規格。於圖212M中所示之晶片72a與72b為圖33中所示晶片72之倒轉配置。參考圖212M，各晶片72a與72b係具有半導體基板96，絕緣插塞789，淺溝隔離(STI)345，半導體裝置102，鈍化層74，介電層82、108、104及100，經構圖之金屬層114，互連層106，及通孔插塞106a與114a。在半導體基板96中之開孔307內形成絕緣插塞789，及在半導體基板96中之淺壕溝303內形成淺溝隔離(STI) 345之步驟，可被稱為如圖212A-212L中所示在半導體基板58中之開孔307內形成絕緣插塞789，及在半導體基板58中之淺壕溝303內形成淺溝隔離(STI)345之步驟。淺壕溝303、開孔

307、絕緣插塞789及淺溝隔離(STI)345之規格，可被個別稱為圖212A-212L中所示之淺壕溝303、開孔307、絕緣插塞789及淺溝隔離(STI)345之規格。

在一種情況中，晶片72a可具有與晶片72b不同之電路設計。而且，在另一種情況中，晶片72a可具有與晶片72b相同之電路設計。或者，晶片72a可具有與晶片72b不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片72a可具有與晶片72b相同之面積(頂部表面)或大小。

或者，於圖57-109中所示之各晶片118可被圖212N中所示之另一種類型晶片118a或118b置換，其進一步包含絕緣插塞789，比淺溝隔離(STI) 345較厚。圖212N顯示根據本發明揭示內容之一項具體實施例之晶片118a與118b之橫截面圖。藉由如圖57中晶片118之構件所指示之相同參考編號所表示之圖212N中晶片118a與118b之構件，係具有如圖57中所示晶片118之構件相同之材料與規格。於圖212N中所示之晶片118a與118b為圖57中所示晶片118之倒轉配置。參考圖212N，各晶片118a與118b係具有半導體基板124，絕緣插塞789，淺溝隔離(STI) 345，半導體裝置13，鈍化層21，介電層78、28、38及40，經構圖之金屬層19，互連層17，及通孔插塞17a與19a。在半導體基板124中之開孔307內形成絕緣插塞789，及在半導體基板124中之淺壕溝303內形成淺溝隔離(STI)345之步驟，可被稱為如圖212A-212L中所示在半導體基板58中之開孔307內形成絕緣插塞789，及在半導體基板58中之淺壕溝303內形成淺溝隔離(STI) 345之步驟。淺壕溝

303、開孔307、絕緣插塞789及淺溝隔離(STI)345之規格，可被個別稱為圖212A-212L中所示之淺壕溝303、開孔307、絕緣插塞789及淺溝隔離(STI)345之規格。

在一種情況中，晶片118a可具有與晶片118b不同之電路設計。而且，在另一種情況中，晶片118a可具有與晶片118b相同之電路設計。或者，晶片118a可具有與晶片118b不同之面積(頂部表面)或大小。而且，在另一種情況中，晶片118a可具有與晶片118b相同之面積(頂部表面)或大小。

圖213-250顯示根據本發明揭示內容之另一項具體實施例之形成另一種系統級封裝或多晶片模組之製程。參考圖213，於圖212L中所示之多個晶片68及前文所述之偽基板62，係使用層22與載體11接合，其可被稱為圖1-9中所示之步驟。

接著參考圖214，包封/間隙充填材料64，譬如多晶矽、氧化矽或聚合體，可在各晶片68之半導體基板58之背側上，在偽基板62上，及在間隙4與8中形成，其可被稱為圖10中所示之步驟。

其次，參考圖215，包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62係藉由適當製程進行研磨或拋光，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程，直到晶片68中之所有絕緣插塞789具有經曝露之底部表面789s，於其上方沒有半導體基板58之部份為止。在研磨或拋光製程期間，如圖212J中所示絕緣插塞789之絕緣層567

係僅由氮化矽或氧氮化矽層所構成之情況中，經曝露之底部表面789s係藉由絕緣插塞789頂部處之氮化矽或氧氮化矽層所提供。在研磨或拋光製程期間，如圖212J中所示絕緣插塞789之絕緣層567係由氧化矽層與氮化矽或氧氮化矽層所構成之另一種情況中，在絕緣插塞789頂部處之氧化矽層係被移除，且經曝露之底部表面789s係藉由絕緣插塞789頂部處之氮化矽或氧氮化矽層所提供。

因此，各晶片68之半導體基板58可被薄化至厚度T1例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片68，在研磨或拋光製程之後，絕緣插塞789與半導體基板58可具有相同厚度T1。在研磨或拋光製程之後，各晶片68較佳可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。在研磨或拋光製程之後，偽基板62可被薄化至厚度T2例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，而留在間隙4與8中之包封/間隙充填材料64可具有垂直厚度T3例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片68背側處之半導體基板58之經研磨或拋光表面58s，及偽基板62之經研磨或拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經研磨或拋光之表面62s可實質上與各晶片68之經研磨或拋光表面58s，與間隙4和8中之包封/間隙充填材料64之經研磨或拋光表面64s，及與絕緣插

塞789之經曝露底部表面789s共平面。於各晶片68中，在半導體基板58之經研磨或拋光表面58s與淺溝隔離345底部間之垂直距離D14可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

或者，圖216與217顯示另一種形成圖215中所示結構之技術。參考圖216，在形成圖213中所示結構之後，包封/間隙充填材料64，譬如多晶矽或氧化矽，係在各晶片68之半導體基板58之背側上，在偽基板62上，及在間隙4與8中形成，然後，聚合體65，譬如聚醯亞胺、環氧基、苯并環丁烷(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)或模製配料，係在包封/間隙充填材料64上，及在間隙4與8中形成。在間隙4與8中之包封/間隙充填材料64可具有垂直厚度T4例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。

接著，參考圖217，機械研磨製程可例如利用磨擦或研磨墊，伴隨著水進行，以研磨聚合體65、包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62，直到移除所有聚合體65，且直到達成間隙4與8中之包封/間隙充填材料64之預定垂直厚度T5為止。預定垂直厚度T5可例如在10與100微米之間，且較佳在10與50微米之間，或在20與50微米之間。磨擦或研磨墊可備有粗砂粒，具有平均顆粒大小例如在0.5與15微米之間，以供進行機械研磨製程。於該步驟中，各晶片68之半導體基板58係具有垂直於絕緣插

塞789上方之部份。然後，可進行化學-機械-拋光(CMP)製程，例如利用拋光墊，使用含有化學品之漿液與具有平均顆粒大小例如在0.02與0.05微米間之精細磨料例如矽石，以拋光各晶片68之半導體基板58之背側、偽基板62及間隙4與8中之包封/間隙充填材料64，直到晶片68中之所有絕緣插塞789具有經曝露之底部表面789s，於其上方沒有半導體基板58之部份為止，如圖215中所示。因此，在研磨或拋光製程之後，各晶片68之半導體基板58可被薄化至厚度T1在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片68，在研磨或拋光製程之後，絕緣插塞789與半導體基板58可具有相同厚度T1。

在化學-機械-拋光(CMP)製程之後，在各晶片68背側處之半導體基板58之經拋光表面58s，及偽基板62之經拋光表面62s，可為實質上平坦，且未被包封/間隙充填材料64覆蓋。經拋光之表面62s可實質上與各晶片68之經拋光表面58s，與間隙4和8中之包封/間隙充填材料64之經拋光表面64s，及與絕緣插塞789之經曝露底部表面789s共平面。經拋光之表面58s、62s及64s可具有微粗糙度例如小於20奈米。使用極精細磨料例如矽石與相對較弱化學藥品腐蝕之化學-機械-拋光(CMP)製程，係產生幾乎無變形與刮痕之表面58s、62s及64s，且這意謂化學-機械-拋光(CMP)製程係極良好地適合最後拋光步驟，產生乾淨表面58s、62s及64s。可進行使

用機械研磨製程與化學-機械-拋光(CMP)製程，以產生各晶片68之極薄半導體基板10。因此，在化學-機械-拋光(CMP)製程之後，各晶片68可被薄化至厚度例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，偽基板62可被薄化至厚度T2例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間，而間隙4與8中之包封/間隙充填材料64可被薄化至厚度T3例如在3與35微米之間，且較佳在5與10微米之間，或在5與25微米之間。

參考圖218，在形成圖215中所示結構之後，於圖14中所示之介電層60係在各晶片68之半導體基板58之表面58s上，在偽基板62之表面62s上，在晶片68中之絕緣插塞789之經曝露底部表面789s上，及在包封/間隙充填材料64之表面64s上形成。

接著，參考圖219，多個穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，係在晶片68中，及在偽基板62中形成，使載體11之導電層18曝露，且使晶片68之層26與34曝露，其可被稱為圖15中所示之步驟，但於此具體實施例中，在晶片68中形成穿透通孔170v(譬如通孔170b-170f)，係包括經過晶片68中之絕緣插塞789蝕刻。在晶片68中之絕緣插塞789係被晶片68之半導體基板58包圍。在晶片68中之穿透通孔170v係通過晶片68中之絕緣插塞789，且係被其包圍，並使該絕緣插塞789之內壁曝露。例如，在晶片68之一中之各穿透通孔170b、170c、170d、170e及170f，係通過晶片68之一中之絕緣插塞789其中一個之絕緣層456

與567，且係被其包圍，使該絕緣插塞789之一之內壁曝露，及使該絕緣插塞789其中一個之被層567所包圍之絕緣層456曝露。各穿透通孔170v，譬如穿透通孔170a、170b、170c、170d、170e或170f，可具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。關於穿透通孔170v譬如穿透通孔170a-170f之更詳細說明，請參考圖15中之圖解。

如圖219中所示，藉由介電或絕緣層20、膠或矽-氧化物層22，以及晶片68之一之層24、42及44所提供之支撐物801，係在載體11之導電層18與被穿透通孔170e所曝露之互連層34中之互連體或金屬跡線35a之間，以達成支撐所曝露之互連體或金屬跡線35a之目的。支撐物801可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米、0.3與5微米之間，或在0.3與1微米之間。

圖220為示意俯視透視圖之第一實例，顯示如圖219中所示之穿透通孔170e、包圍穿透通孔170e之絕緣插塞789及互連體或金屬跡線35a。於圖220中所示之示意俯視透視圖係類似圖16中所示之示意俯視透視圖，惟圖220中所示之穿透通孔170e係在晶片68之一中之絕緣插塞789其中一個內形成。關於如圖219與220中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖15與16中之圖解。

圖221為示意俯視透視圖之第二實例，顯示如圖219中所

示之穿透通孔170e、包圍穿透通孔170e之絕緣插塞789及互連體或金屬跡線35a。於圖221中所示之示意俯視透視圖係類似圖17中所示之示意俯視透視圖，惟圖221中所示之穿透通孔170e係在晶片68之一中之絕緣插塞789其中一個內形成。關於如圖219與221中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖15與17中之圖解。

圖222為示意俯視透視圖之第三實例，顯示如圖219中所示之穿透通孔170e、包圍穿透通孔170e之絕緣插塞789及互連體或金屬跡線35a。於圖222中所示之示意俯視透視圖係類似圖18中所示之示意俯視透視圖，惟圖222中所示之穿透通孔170e係在晶片68之一中之絕緣插塞789其中一個內形成。關於如圖219與222中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖15與18中之圖解。

圖223為示意俯視透視圖之第四實例，顯示如圖219中所示之穿透通孔170e、包圍穿透通孔170e之絕緣插塞789及互連體或金屬跡線35a。於圖223中所示之示意俯視透視圖係類似圖16A中所示之示意俯視透視圖，惟圖223中所示之穿透通孔170e係在晶片68之一中之絕緣插塞789其中一個內形成。關於如圖223中所示之穿透通孔170e與互連體或金屬跡線35a之更詳細說明，請參考圖16A中之圖解。

參考圖224，在形成圖219中所示結構之後，多個壕溝60t係在介電層60中形成。於介電層60中之壕溝60t具有深度D3例如在0.1與5微米之間，且較佳在0.5與3微米之間。於壕溝60t下方之介電層60具有剩餘厚度T6例如在0.1與5微米之

間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。於圖224中所示在介電層60中形成壕溝60t之步驟，可被稱為如圖153-155中所示在介電層60中形成壕溝60t之步驟。在介電層60中所形成之壕溝60t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。而且，圖156可為示意俯視透視圖之實例，顯示圖224中所示之壕溝60t與穿透通孔170v，且圖224亦可為沿著圖156中所示線條D-D所切割之橫截面圖。

或者，於圖219中所示之穿透通孔170v係在晶片68中及在偽基板62中形成之前，於圖224中所示之壕溝60t可在介電層60中形成。明確言之，於介電層60係在如圖218中所示之表面58s、62s、64s及789s上形成之後，於圖224中所示之壕溝60t係在介電層60中形成，然後，於圖219中所示之穿透通孔170v係在晶片68中，及在偽基板62中形成，使載體11之導電層18曝露，且使晶片68之層26與34曝露。

或者，參考圖225，如圖224中所示之介電層60、壕溝60t及穿透通孔170v可藉由下列步驟形成。在形成圖215中所示結構之後，絕緣層60a，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度C1例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.15與2微米之間，係在如圖215中所示各晶片68之半導體基板58之表面58s上，在偽基板62之表面62s上，在晶片68中之絕緣插塞789之經曝露底部表面789s上，及在包封/間隙充填材料64之表面64s上形成。

接著，聚合體層60b，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，係在絕緣層60a上，使用適當製程而形成，譬如旋轉塗覆製程、網版印刷製程或層合製程。其次，可採用曝光製程與顯像製程，以在聚合體層60b中形成壕溝60t，使絕緣層60a曝露。1X步進器或1X接點對準器可用以在曝光製程期間，使聚合體層60b曝光。其次，將聚合體層60b在攝氏150度與攝氏400度之間，且較佳在攝氏180度與攝氏250度間之溫度下熟化或加熱。被熟化或加熱後之聚合體層60b具有厚度C2例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

接著，光阻層係在被壕溝60t所曝露之絕緣層60a上，及在聚合體層60b上形成，且在光阻層中之多個開孔係使壕溝60t底部處之絕緣層60a曝露。其次，在光阻層中之開孔下方之絕緣層60a係使用適當製程譬如各向異性電漿蝕刻製程移除。接著，在光阻層中開孔下方之偽基板62及在光阻層中開孔下方之晶片68係被蝕離，直到晶片68中之層26與34之預定區域，及載體11中之導電層18之預定區域，係被光阻層中之開孔曝露為止。其次，光阻層係利用例如有機化學品移除。因此，穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，係在晶片68中，及在偽基板62中形成，使載體11之導電層18曝露，且使晶片68之層26與34曝露。於圖225中所示之穿透通孔170v與支撐物801之規格，可被個別稱為圖219-223中所示之穿透通孔170v與支撐物801

之規格。

因此，使用上文所提及之步驟，上文所提及之介電層60亦可具有絕緣層60a及在該絕緣層60a上之聚合體層60b。在聚合體層60b中之壕溝60t係使絕緣層60a曝露，且係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。穿透通孔170v係在壕溝60t下方形成。而且，圖156可為示意俯視透視圖之實例，顯示圖225中所示之壕溝60t與穿透通孔170v，且圖225亦可為沿著圖156中所示線條D-D所切割之橫截面圖。

參考圖226，在形成圖224或圖225中所示結構之後，黏著/障壁層52，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，係在被穿透通孔170v所曝露之層18、26及34上，在穿透通孔170v之側壁上，在壕溝60t之側壁與底部上(或在聚合體層60b中之壕溝60t之側壁上，及在壕溝60t底部處之絕緣層60a之頂部表面上)，在被穿透通孔170v所曝露之絕緣插塞789之內壁上，及在支撐物801上之互連體或金屬跡線35a上形成。黏著/障壁層52可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，晶種層54，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，係在黏著/障壁層52上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉

積(ALD)而形成。其次，傳導層56係在晶種層54上，使用適當製程譬如電鍍製程而形成。於圖226中所示之黏著/障壁層52、晶種層54及傳導層56之規格，可被個別稱為如圖25中所示之黏著/障壁層52、晶種層54及傳導層56之規格。

接著，參考圖227，層52、54及56係利用例如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到介電層60具有經曝露之頂部表面60s，於其上方沒有層52、54及56之部份為止，並將壕溝60t外部之層52、54及56移除。

因此，介電層60之經曝露頂部表面60s可實質上與壕溝60t中之傳導層56之經研磨或拋光表面56s共平面，且表面56s與60s可為實質上平坦。黏著/障壁層52與晶種層54係在壕溝60t中之傳導層56之側壁與底部處，且在壕溝60t中之傳導層56之側壁與底部係被黏著/障壁層52與晶種層54所覆蓋。

若介電層60、壕溝60t及穿透通孔170v係如圖218-224中所示形成，則在層52、54及56被研磨或拋光之後，介電層60在經曝露頂部表面60s與表面58s或62s之間，係具有厚度例如在1與10微米之間，且較佳在1與3微米之間。或者，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖225中所示形成，則在層52、54及56被研磨或拋光之後，介電層60之聚合體層60b在聚合體層60b之經曝露頂部表面60s與絕緣層60a之頂部表面之間，係具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第一替代方式中，在層52、54及56被研磨或拋光之後，黏著/障壁層52可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝60t之側壁與底部上(或在聚合體層60b中之壕溝60t之側壁上，及在壕溝60t底部處之絕緣層60a之頂部表面上)，在穿透通孔170v之側壁上，在晶片68中之絕緣插塞789之內壁上，在穿透通孔170v底部處之層18、26及34上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鈦層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝60t中，及在穿透通孔170v中。若介電層60、壕溝60t及穿透通孔170v係如圖218-224中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖225中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第二替代方式中，在層52、54及56被研磨或拋光之後，黏著/障壁層52可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝60t之側壁與底部上(或在聚合體層

60b中之壕溝60t之側壁上，及在壕溝60t底部處之絕緣層60a之頂部表面上)，在穿透通孔170v之側壁上，在晶片68中之絕緣插塞789之內壁上，在穿透通孔170v底部處之層18、26及34上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉭層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝60t中，及在穿透通孔170v中。若介電層60、壕溝60t及穿透通孔170v係如圖218-224中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖225中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第三種替代方式中，在層52、54及56被研磨或拋光之後，黏著/障壁層52可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝60t之側壁與底部上(或在聚合體層60b中之壕溝60t之側壁上，及在壕溝60t底部處之絕緣層60a之頂部表面上)，在穿透通孔170v之側壁上，在晶片68中之絕緣插塞789之內壁上，在穿透通孔170v底部處之層18、26及34上，及在支撐物801上之互連體或金屬跡線35a上。晶種層

54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉻層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝60t中，及在穿透通孔170v中。若介電層60、壕溝60t及穿透通孔170v係如圖218-224中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層60a與60b所構成之介電層60、壕溝60t及穿透通孔170v係如圖225中所示形成，則在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

在層52、54及56被研磨或拋光之後，在壕溝60t中之層52、54及56係構成壕溝60t中之多個金屬互連體(或鑲嵌金屬跡線)1，包括金屬互連體(或鑲嵌金屬跡線)1a與1b。在穿透通孔170v中之層52、54及56係構成穿透通孔170v中之多個金屬插塞(或金屬通孔)5p，包括個別在穿透通孔170a、170b、170c、170d、170e及170f中之金屬插塞(或金屬通孔)5a、5b、5c、5d、5e及5f。金屬插塞5a係在偽基板62中形成，而金屬插塞5b、5c、5d、5e及5f係在相同晶片68中形成。在晶片68中及在偽基板62中所形成之此等金屬插塞5p可連接金屬互連體1與晶片68中之半導體裝置36，且連接金屬互連體1與載體11中之導電層18之多個接觸點。在壕溝60t中之金屬互連體1，譬如1a與1b，可具有厚度例如在0.1與5微米之間，且較佳在1與3微米之間。支撐物801及在該

支撐物801上之互連層34中之互連體或金屬跡線35a可在金屬插塞5e之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。

在晶片68中之各金屬插塞5p係通過晶片68中之絕緣插塞789之一，接觸該絕緣插塞789之一之內壁，且係被該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456包圍。例如，在晶片68之一中之各金屬插塞5b、5c、5d、5e及5f係通過晶片68之一中之絕緣插塞789之一，接觸該絕緣插塞789之一之內壁，且係被該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456包圍。關於圖227中所示之金屬插塞5p(包括金屬插塞5a-5f)與金屬互連體1(包括金屬互連體1a與1b)之更詳細說明，請參考圖26中之圖解。

或者，構件68不僅可表示晶片，而且可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

參考圖228，在形成圖227中所示結構之後，於圖27中所示之絕緣或介電層66係在傳導層56之經研磨或拋光表面56s上，及在介電層60之經曝露頂部表面60s上形成。接著，多個晶片72，其每一個係類似圖212M中所示之晶片72a或72b，及前文所述之偽基板165，係被置於層116上方，其可被稱為圖28-35中所示之步驟。在此具體實施例中，將晶片72與偽基板165放置在絕緣或介電層66上方之配置，可被稱為如圖34或35中所示將晶片72與偽基板165放置在絕緣或介電層66上方之配置。

接著，參考圖229，包封/間隙充填材料98係在各晶片72之半導體基板96之背側上，在偽基板165上，及在間隙4a與8a中形成。其次，包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165係藉由適當製程進行研磨或拋光，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械研磨與化學-機械拋光之製程，直到晶片72中之所有絕緣插塞789具有經曝露之底部表面789t，於其上方沒有半導體基板96之部份為止。於圖229中所示形成包封/間隙充填材料98，及研磨或拋光包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165之步驟，可被稱為如圖214-217中所示形成包封/間隙充填材料64，及研磨或拋光包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62之步驟。包封/間隙充填材料98可為多晶矽、氧化矽或聚合體。在研磨或拋光製程期間，絕緣插塞789之絕緣層567係僅由氮化矽或氧氮化矽層所構成之情況中，經曝露之底部表面789t係藉由絕緣插塞789頂部處之氮化矽或氧氮化矽層所提供。在研磨或拋光製程期間，絕緣插塞789之絕緣層567係由氧化矽層與氮化矽或氧氮化矽層所構成之另一種情況中，在絕緣插塞789頂部處之氧化矽層係被移除，且經曝露之底部表面789t係藉由絕緣插塞789頂部處之氮化矽或氧氮化矽層所提供。

因此，各晶片72之半導體基板96可被薄化至厚度T8例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與

20微米之間，或在3與30微米之間。關於各晶片72，在研磨或拋光製程之後，絕緣插塞789與半導體基板96可具有相同厚度T8。在研磨或拋光製程之後，各晶片72較佳可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。

在研磨或拋光製程之後，偽基板165可被薄化至厚度T9例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，且留在間隙4a與8a中之包封/間隙充填材料98可具有垂直厚度T10例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片72背側處之半導體基板96之經研磨或拋光表面96s，與偽基板165之經研磨或拋光表面165s，可為實質上平坦，且未被包封/間隙充填材料98覆蓋。經研磨或拋光之表面165s可實質上與各晶片72之經研磨或拋光表面96s，與間隙4a與8a中之包封/間隙充填材料98之經研磨或拋光表面98s，及與晶片72中之絕緣插塞789之經曝露底部表面789t共平面。於各晶片72，在半導體基板96之表面96s與淺溝隔離345底部間之垂直距離D15可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

參考圖230，在形成圖229中所示結構之後，於圖40中所示之介電層88係在各晶片72之半導體基板96之表面96s上，在偽基板165之表面165s上，在晶片72中之絕緣插塞789之經曝露底部表面789t上，及在包封/間隙充填材料98之表

面98s上形成。

接著，參考圖231，多個穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，係在晶片72中，及在偽基板165中形成，使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露，其可被稱為圖41中所示之步驟，但於此具體實施例中，在晶片72中形成穿透通孔164v(譬如通孔164b-164e)，係包括經過晶片72中之絕緣插塞789蝕刻。在晶片72中之絕緣插塞789係被晶片72之半導體基板96包圍。在晶片72中之穿透通孔164v係通過晶片72中之絕緣插塞789，且係被其包圍，並使該絕緣插塞789之內壁曝露。例如，在晶片72左邊者中之穿透通孔164b係通過晶片72左邊者中之絕緣插塞789之一，且係被其包圍，使該絕緣插塞789之一之內壁曝露，及使該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456曝露。在晶片72左邊者中之穿透通孔164c係通過晶片72左邊者中之另一個絕緣插塞789，且係被其包圍，使該另一個絕緣插塞789之內壁曝露，及使該另一個絕緣插塞789之絕緣層567曝露。在晶片72中間者中之穿透通孔164d係通過晶片72中間者中之絕緣插塞789之一，且係被其包圍，使該絕緣插塞789之一之內壁曝露，及使該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456曝露。在晶片72中間者中之穿透通孔164e係通過晶片72中間者中之另一個絕緣插塞789，且係被其包圍，使該另一個絕緣插塞789之內壁曝露，及使該另一個絕緣插塞789之絕緣層567曝露。

各穿透通孔164v，譬如穿透通孔164a、164b、164c、164d或164e，係具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。關於穿透通孔164v譬如穿透通孔164a-164e之更詳細說明，請參考圖41中之圖解。

如圖231中所示，藉由絕緣或介電層66、層116，以及晶片72中間者之層74、82及108所提供之支撐物802，係在金屬互連體1b之傳導層56與被穿透通孔164e所曝露之互連層106中之互連體或金屬跡線55a之間，以達成支撐所曝露之互連體或金屬跡線55a之目的。支撐物802可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米、0.3與5微米之間，或在0.3與1微米之間。

圖232為示意俯視透視圖之第一實例，顯示如圖231中所示之穿透通孔164e、包圍穿透通孔164e之絕緣插塞789及互連體或金屬跡線55a。於圖232中所示之示意俯視透視圖係類似圖42中所示之示意俯視透視圖，惟圖232中所示之穿透通孔164e係在晶片72中間者中之絕緣插塞789之一內形成。關於如圖231與232中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖41與42中之圖解。

圖233為示意俯視透視圖之第二實例，顯示如圖231中所示之穿透通孔164e、包圍穿透通孔164e之絕緣插塞789及互連體或金屬跡線55a。於圖233中所示之示意俯視透視圖係

類似圖43中所示之示意俯視透視圖，惟圖233中所示之穿透通孔164e係在晶片72中間者中之絕緣插塞789之一內形成。關於如圖231與233中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖41與43中之圖解。

圖234為示意俯視透視圖之第三實例，顯示如圖231中所示之穿透通孔164e、包圍穿透通孔164e之絕緣插塞789及互連體或金屬跡線55a。於圖234中所示之示意俯視透視圖係類似圖44中所示之示意俯視透視圖，惟圖234中所示之穿透通孔164e係在晶片72中間者中之絕緣插塞789之一內形成。關於如圖231與234中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖41與44中之圖解。

圖235為示意俯視透視圖之第四實例，顯示如圖231中所示之穿透通孔164e、包圍穿透通孔164e之絕緣插塞789及互連體或金屬跡線55a。於圖235中所示之示意俯視透視圖係類似圖42A中所示之示意俯視透視圖，惟圖235中所示之穿透通孔164e係在晶片72中間者中之絕緣插塞789之一內形成。關於如圖235中所示之穿透通孔164e與互連體或金屬跡線55a之更詳細說明，請參考圖42A中之圖解。

參考圖236，在形成圖231中所示結構之後，多個壕溝88t係在介電層88中形成。在介電層88中之壕溝88t具有深度D6例如在0.1與5微米之間，且較佳在0.5與3微米之間。於壕溝88t下方之介電層88具有剩餘厚度T13例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。於圖236中所示在介

電層88中形成壕溝88t之步驟，可被稱為如圖153-155中所示在介電層60中形成壕溝60t之步驟。在介電層88中所形成之壕溝88t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。而且，圖168可為示意俯視透視圖之實例，顯示圖236中所示之壕溝88t與穿透通孔164v，且圖236亦可為沿著圖168中所示線條H-H所切割之橫截面圖。

或者，於圖231中所示之穿透通孔164v係在晶片72中及在偽基板165中形成之前，於圖236中所示之壕溝88t可在介電層88中形成。明確言之，於介電層88係在如圖230中所示之表面96s、98s、165s及789t上形成之後，於圖236中所示之壕溝88t係首先在介電層88中形成，然後，於圖231中所示之穿透通孔164v係在晶片72中，及在偽基板165中形成，使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露。

或者，參考圖237，如圖236中所示之介電層88、壕溝88t與穿透通孔164v可藉由下列步驟形成。在形成圖229中所示結構之後，絕緣層88a，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度C3例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.15與2微米之間，係在如圖229中所示各晶片72之半導體基板96之表面96s上，在偽基板165之表面165s上，在晶片72中之絕緣插塞789之經曝露底部表面789t上，及在包封/間隙充填材料98之表面98s上形成。

接著，聚合體層88b，譬如一層聚醯亞胺、苯并環丁烯

(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，係在絕緣層88a上，使用適當製程而形成，譬如旋轉塗覆製程、網版印刷製程或層合製程。其次，可採用曝光製程與顯像製程，以在聚合體層88b中形成壕溝88t，使絕緣層88a曝露。1X步進器或1X接點對準器可用以在曝光製程期間，使聚合體層88b曝光。接著，將聚合體層88b在攝氏150度與攝氏400度之間，且較佳在攝氏180度與攝氏250度間之溫度下熟化或加熱。被熟化或加熱後之聚合體層88b具有厚度C4例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

接著，光阻層係在被壕溝88t所曝露之絕緣層88a上，及在聚合體層88b上形成，且在光阻層中之多個開孔係使壕溝88t底部處之絕緣層88a曝露。其次，在光阻層中之開孔下方之絕緣層88a係使用適當製程譬如各向異性電漿蝕刻製程移除。接著，在光阻層中開孔下方之偽基板165及在光阻層中開孔下方之晶片72係被蝕離，直到晶片72中之層106與114之預定區域，及金屬互連體1之傳導層56之預定區域，係被光阻層中之開孔曝露為止。其次，光阻層係利用例如有機化學品移除。因此，穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，係在晶片72中，及在偽基板165中形成，使金屬互連體1之傳導層56曝露，且使晶片72之層106與114曝露。於圖237中所示之穿透通孔164v與支撐物802之規格，可被個別稱為圖231-235中所示之穿透通孔164v與支撐物802之規格。

因此，使用上文所提及之步驟，上文所提及之介電層88亦可具有絕緣層88a及在該絕緣層88a上之聚合體層88b。在聚合體層88b中之壕溝88t係使絕緣層88a曝露，且係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。穿透通孔164v係在壕溝88t下方形成。而且，圖168可為示意俯視透視圖之實例，顯示圖237中所示之壕溝88t與穿透通孔164v，且圖237亦可為沿著圖168中所示線條H-H所切割之橫截面圖。

參考圖238，在形成圖236或圖237中所示結構之後，多個金屬互連體(或鑲嵌金屬跡線)2，包括金屬互連體(或鑲嵌金屬跡線)2a與2b，係在壕溝88t中形成，且多個金屬插塞(或金屬通孔)6p係在穿透通孔164v中形成。金屬插塞6p，包括個別在穿透通孔164a、164b、164c、164d及164e中之金屬插塞(或金屬通孔)6a、6b、6c、6d及6e。金屬插塞6a係在偽基板165中形成。金屬插塞6b與6c係在晶片72之左邊者中形成，而金屬插塞6d與6e係在晶片72之中間者中形成。支撐物802及在該支撐物802上之互連層106中之互連體或金屬跡線55a可在金屬插塞6e之兩個部份之間，低於互連層106之頂部表面所在位置之水平位。

在壕溝88t中之金屬互連體2及在穿透通孔164v中之金屬插塞6p可藉由下列步驟形成。首先，於圖51中所示之黏著/障壁層92係在被穿透通孔164v所曝露之層56、106及114上，在穿透通孔164v之側壁上，在壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上，及在壕溝88t底部處之

絕緣層88a之頂部表面上)，在被穿透通孔164v所曝露之絕緣插塞789之內壁上，及在支撐物802上之互連體或金屬跡線55a上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，於圖51中所示之晶種層94係在黏著/障壁層92上，在穿透通孔164v中，及在壕溝88t中，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，於圖51中所示之傳導層86係在晶種層94上，在穿透通孔164v中，及在壕溝88t中，利用適當製程譬如電鍍製程而形成。接著，層92、94及86係利用例如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到介電層88具有經曝露之頂部表面88s，於其上方沒有層92、94及86之部份為止，並將壕溝88t外部之層92、94及86移除。因此，在壕溝88t中之層92、94及86係構成壕溝88t中之金屬互連體2，包括金屬互連體2a與2b。在穿透通孔164v中之層92、94及86係構成穿透通孔164v中之金屬插塞6p，包括個別在穿透通孔164a、164b、164c、164d及164e中之金屬插塞6a、6b、6c、6d及6e。黏著/障壁層92與晶種層94係在壕溝88t中之傳導層86之側壁與底部處，且在壕溝88t中之傳導層86之側壁與底部係被黏著/障壁層92與晶種層94所覆蓋。

於第一替代方式中，在層92、94及86被研磨或拋光之後，

黏著/障壁層92可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上，及在壕溝88t底部處之絕緣層88a之頂部表面上)，在穿透通孔164v底部處之層56、106及114上，在穿透通孔164v之側壁上，在晶片72中之絕緣插塞789之內壁上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鈦層上，在壕溝88t中，及在穿透通孔164v中。傳導層86可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝88t中，及在穿透通孔164v中。若介電層88、壕溝88t及穿透通孔164v係如圖230-236中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間，或者，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖237中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第二替代方式中，在層92、94及86被研磨或拋光之後，黏著/障壁層92可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上，及在壕溝88t底部處之絕緣層88a

之頂部表面上)，在穿透通孔164v底部處之層56、106及114上，在穿透通孔164v之側壁上，在晶片72中之絕緣插塞789之內壁上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉭層上，在壕溝88t中，及在穿透通孔164v中。傳導層86可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝88t中，及在穿透通孔164v中。若介電層88、壕溝88t及穿透通孔164v係如圖230-236中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖237中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第三種替代方式中，在層92、94及86被研磨或拋光之後，黏著/障壁層92可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝88t之側壁與底部上(或在聚合體層88b中之壕溝88t之側壁上，及在壕溝88t底部處之絕緣層88a之頂部表面上)，在穿透通孔164v底部處之層56、106及114上，在穿透通孔164v之側壁上，在晶片72中之絕緣插塞789之內壁上，及在支撐物802上之互連體或金屬跡線55a上。晶種層94可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬

如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉻層上，在壕溝88t中，及在穿透通孔164v中。傳導層86可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝88t中，及在穿透通孔164v中。若介電層88、壕溝88t及穿透通孔164v係如圖230-236中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖237中所示形成，則在壕溝88t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

介電層88之經曝露頂部表面88s可實質上與壕溝88t中之傳導層86之經研磨或拋光表面86s共平面，且表面86s與88s可為實質上平坦。若介電層88、壕溝88t及穿透通孔164v係如圖230-236中所示形成，則在層92、94及86被研磨或拋光之後，介電層88在經曝露頂部表面88s與表面96s或165s之間，可具有厚度例如在1與10微米之間，且較佳在1與3微米之間。或者，若由層88a與88b所構成之介電層88、壕溝88t及穿透通孔164v係如圖237中所示形成，則在層92、94及86被研磨或拋光之後，介電層88之聚合體層88b在聚合體層88b之經曝露頂部表面88s與絕緣層88a之頂部表面之間，可具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

在晶片72中之各金屬插塞6p係通過晶片72中之絕緣插塞

789之一，且係被其包圍，並接觸該絕緣插塞789之一之內壁。例如，在晶片72左邊者中之金屬插塞6b係通過晶片72左邊者中之絕緣插塞789之一，且係被其包圍，接觸該絕緣插塞789之一之內壁，及接觸該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456。在晶片72左邊者中之金屬插塞6c係通過晶片72左邊者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567。在晶片72中間者中之金屬插塞6d係通過晶片72中間者中之絕緣插塞789之一，且係被其包圍，接觸該絕緣插塞789之一之內壁，及接觸該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456。在晶片72中間者中之金屬插塞6e係通過晶片72中間者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567。關於圖238中所示之金屬插塞6p（包括金屬插塞6a-6e)與金屬互連體2(包括金屬互連體2a與2b)之更詳細說明，請參考圖52中之圖解。

或者，構件72不僅可表示晶片，而且可表示晶圓。當構件72為晶圓時，構件68可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

參考圖239，在形成圖238中所示結構之後，於圖53中所示之絕緣或介電層120係在傳導層86之經研磨或拋光表面86s上，及在介電層88之經曝露頂部表面88s上形成。接著，多個晶片118，其每一個係類似圖212N中所示之晶片118a或

118b，及前文所述之偽基板158係被置於層140上方，其可被稱為圖54-59中所示之步驟。在此具體實施例中，將晶片118與偽基板158放置在絕緣或介電層120上方之配置，可被稱為如圖58或59中所示將晶片118與偽基板158放置在絕緣或介電層120上方之配置。

接著，參考圖240，包封/間隙充填材料138係在各晶片118之半導體基板124之背側上，在偽基板158上，及在間隙4b與8b中形成。其次，包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158係藉由適當製程進行研磨或拋光，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械研磨與化學-機械拋光之製程，直到晶片118中之所有絕緣插塞789具有經曝露之底部表面789u，於其上方沒有半導體基板124之部份為止。於圖240中所示形成包封/間隙充填材料138，及研磨或拋光包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158之步驟，可被稱為如圖214-217中所示形成包封/間隙充填材料64，及研磨或拋光包封/間隙充填材料64、各晶片68之半導體基板58之背側及偽基板62之步驟。包封/間隙充填材料138可為多晶矽、氧化矽或聚合體。在研磨或拋光製程期間，絕緣插塞789之絕緣層567係僅由氮化矽或氧氮化矽層所構成之情況中，經曝露之底部表面789u係藉由絕緣插塞789頂部處之氮化矽或氧氮化矽層所提供。在研磨或拋光製程期間，絕緣插塞789之絕緣層567係由氧化矽層與氮化矽或氧氮化矽層所構成之另一種情況中，在絕緣插塞

789頂部處之氧化矽層係被移除，且經曝露之底部表面789u係藉由絕緣插塞789頂部處之氮化矽或氧氮化矽層所提供。

因此，各晶片118之半導體基板124可被薄化至厚度T15例如在1與100微米之間，在1與50微米之間，在1與30微米之間，在1與10微米之間，或在1與5微米之間，且較佳在2與20微米之間，或在3與30微米之間。關於各晶片118，在研磨或拋光製程之後，絕緣插塞789與半導體基板124可具有相同厚度T15。在研磨或拋光製程之後，各晶片118較佳可具有厚度例如在3與105微米之間，且較佳在3與30微米之間，或在5與25微米之間。

在研磨或拋光製程之後，偽基板158可被薄化至厚度T16例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間，且留在間隙4b與8b中之包封/間隙充填材料138可具有垂直厚度T17例如在3與100微米之間，且較佳在3與30微米之間，或在5與25微米之間。在各晶片118背側處之半導體基板124之經研磨或拋光表面124s，與偽基板158之經研磨或拋光表面158s，可為實質上平坦，且未被包封/間隙充填材料138覆蓋。經研磨或拋光之表面158s可實質上與各晶片118之經研磨或拋光表面124s，與間隙4b與8b中之包封/間隙充填材料138之經研磨或拋光表面138s，及與晶片118中之絕緣插塞789之經曝露底部表面789u共平面。於各晶片118中，在半導體基板124之經研磨或拋光表面124s與淺溝隔離345底部間之垂直距離D16可例如大於0.1微米，譬如在1與100微米之間，在1與50微米之間，在1與25微米之間，

在1與10微米之間，在1與5微米之間，或在0.1與2微米之間。

參考圖241，在形成圖240中所示結構之後，於圖64中所示之介電層139係在各晶片118之半導體基板124之表面124s上，在偽基板158之表面158s上，在晶片118中之絕緣插塞789之經曝露底部表面789u上，及在包封/間隙充填材料138之表面138s上形成。

接著，參考圖242，多個穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，係在晶片118中，及在偽基板158中形成，使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露，其可被稱為圖65中所示之步驟，但於此具體實施例中，在晶片118中形成穿透通孔156v(譬如通孔156b-156f)，係包括經過晶片118中之絕緣插塞789蝕刻。在晶片118中之絕緣插塞789係被晶片118之半導體基板124包圍。在晶片118中之穿透通孔156v係通過晶片118中之絕緣插塞789，且係被其包圍，並使該絕緣插塞789之內壁曝露。例如，在晶片118左邊者中之穿透通孔156b係通過晶片118左邊者中之絕緣插塞789之一，且係被其包圍，使該絕緣插塞789之一之內壁曝露，及使該絕緣插塞789之一之絕緣層567曝露。在晶片118左邊者中之穿透通孔156c係通過晶片118左邊者中之另一個絕緣插塞789，且係被其包圍，使該另一個絕緣插塞789之內壁曝露，及使該另一個絕緣插塞789之被絕緣層567所包圍之絕緣層456曝露。在晶片118左邊者中之穿透通孔156d係通過晶片118左邊者中之另一個絕緣插塞789，且係被其包圍，使該另一個絕緣插塞789

之內壁曝露，及使該另一個絕緣插塞789之絕緣層567以及被該層567所包圍之絕緣層456曝露。在晶片118中間者中之穿透通孔156e係通過晶片118中間者中之絕緣插塞789之一，且係被其包圍，使該絕緣插塞789之一之內壁曝露，及使該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456曝露。在晶片118中間者中之穿透通孔156f係通過晶片118中間者中之另一個絕緣插塞789，且係被其包圍，使該另一個絕緣插塞789之內壁曝露，及使該另一個絕緣插塞789之絕緣層567以及被該層567所包圍之絕緣層456曝露。

各穿透通孔156v，譬如穿透通孔156a、156b、156c、156d、156e或156f，係具有寬度或直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。關於穿透通孔156v譬如穿透通孔156a-156f之更詳細說明，請參考圖65中之圖解。

如圖242中所示，藉由絕緣或介電層120、層140，以及晶片118中間者之層21、78及28所提供之支撐物803，係在金屬互連體2b之傳導層86與被穿透通孔156e所曝露之互連層17中之互連體或金屬跡線75a之間，以達成支撐所曝露之互連體或金屬跡線75a之目的。支撐物803可具有高度例如在0.5與10微米之間，且較佳在1與5微米之間，與寬度例如在0.3與30微米之間，且較佳在0.3與10微米、0.3與5微米之間，或在0.3與1微米之間。

圖243為示意俯視透視圖之第一實例，顯示如圖242中所

示在晶片118中間者中之穿透通孔156e、包圍穿透通孔156e之絕緣插塞789及互連體或金屬跡線75a。於圖243中所示之示意俯視透視圖係類似圖66中所示之示意俯視透視圖，惟圖243中所示之穿透通孔156e係在晶片118中間者中之絕緣插塞789之一內形成。關於如圖242與243中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖65與66中之圖解。

圖244為示意俯視透視圖之第二實例，顯示如圖242中所示之穿透通孔156e、包圍穿透通孔156e之絕緣插塞789及互連體或金屬跡線75a。於圖244中所示之示意俯視透視圖係類似圖67中所示之示意俯視透視圖，惟圖244中所示之穿透通孔156e係在晶片118中間者中之絕緣插塞789之一內形成。關於如圖242與244中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖65與67中之圖解。

圖245為示意俯視透視圖之第三實例，顯示如圖242中所示之穿透通孔156e、包圍穿透通孔156e之絕緣插塞789及互連體或金屬跡線75a。於圖245中所示之示意俯視透視圖係類似圖68中所示之示意俯視透視圖，惟圖245中所示之穿透通孔156e係在晶片118中間者中之絕緣插塞789之一內形成。關於如圖242與245中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖65與68中之圖解。

圖246為示意俯視透視圖之第四實例，顯示如圖242中所示之穿透通孔156e、包圍穿透通孔156e之絕緣插塞789及互連體或金屬跡線75a。於圖246中所示之示意俯視透視圖係

類似圖66A中所示之示意俯視透視圖，惟圖246中所示之穿透通孔156e係在晶片118中間者中之絕緣插塞789之一內形成。關於如圖246中所示之穿透通孔156e與互連體或金屬跡線75a之更詳細說明，請參考圖66A中之圖解。

參考圖247，在形成圖242中所示結構之後，多個壕溝139t係在介電層139中形成。在介電層139中之壕溝139t具有深度D9例如在0.1與5微米之間，且較佳在0.5與3微米之間。在壕溝139t下方之介電層139具有剩餘厚度T20例如在0.1與5微米之間，且較佳在0.3與5微米之間，在0.5與2微米之間，在0.1與3微米之間，或在0.2與1.5微米之間。在介電層139中形成壕溝139t之步驟，可被稱為如圖153-155中所示在介電層60中形成壕溝60t之步驟。在介電層139中所形成之壕溝139t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。而且，圖179可為示意俯視透視圖之實例，顯示圖247中所示之壕溝139t與穿透通孔156v，且圖247亦可為沿著圖179中所示線條K-K所切割之橫截面圖。

或者，於圖242中所示之穿透通孔156v係在晶片118與偽基板158中形成之前，於圖247中所示之壕溝139t可在介電層139中形成。明確言之，於介電層139係在如圖241中所示之表面124s、138s、158s及789u上形成之後，於圖247中所示之壕溝139t係在介電層139中形成，然後，於圖242中所示之穿透通孔156v係在晶片118中，及在偽基板158中形成。使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。

或者，參考圖248，如圖247中所示之介電層139、壕溝139t

及穿透通孔156v可藉由下列步驟形成。在形成圖240中所示結構之後，絕緣層139a，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度C5例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.15與2微米之間，係在如圖240中所示各晶片118之半導體基板124之表面124s上，在偽基板158之表面158s上，在晶片118中之絕緣插塞789之經曝露底部表面789u上，及在包封/間隙充填材料138之表面138s上形成。

接著，聚合體層139b，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，係在絕緣層139a上，使用適當製程而形成，譬如旋轉塗覆製程、網版印刷製程或層合製程。其次，可採用曝光製程與顯像製程，以在聚合體層139b中形成壕溝139t，使絕緣層139a曝露，1X步進器或1X接點對準器可用以在曝光製程期間，使聚合體層139b曝光。接著，將聚合體層139b在攝氏150度與攝氏400度之間，且較佳在攝氏180度與攝氏250度間之溫度下熟化或加熱。被熟化或加熱後之聚合體層139b具有厚度C6例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

接著，光阻層係在被壕溝139t所曝露之絕緣層139a上，及在聚合體層139b上形成，且在光阻層中之多個開孔係使壕溝139t底部處之絕緣層139a曝露。其次，在光阻層中之開孔下方之絕緣層139a係使用適當製程譬如各向異性電漿蝕刻製程移除。接著，在光阻層中開孔下方之偽基板158及在光

阻層中開孔下方之晶片118係被蝕離，直到晶片118中之層17與19之預定區域，及金屬互連體2之傳導層86之預定區域，係被光阻層中之開孔曝露為止。其次，光阻層係利用例如有機化學品移除。因此，穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，係在晶片118中，及在偽基板158中形成，使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。於圖248中所示之穿透通孔156v與支撐物803之規格，可被個別稱為圖242-246中所示之穿透通孔156v與支撐物803之規格。

因此，使用上文所提及之步驟，上文所提及之介電層139亦可具有絕緣層139a及在該絕緣層139a上之聚合體層139b。在聚合體層139b中之壕溝139t係使絕緣層139a曝露，且係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。穿透通孔156v係在壕溝139t下方形成。而且，圖179可為示意俯視透視圖之實例，顯示圖248中所示之壕溝139t與穿透通孔156v，且圖248亦可為沿著圖179中所示線條K-K所切割之橫截面圖。

參考圖249，在形成圖247或圖248中所示結構之後，多個金屬互連體(或鑲嵌金屬跡線)3，包括金屬互連體(或鑲嵌金屬跡線)3a、3b及3c，係在壕溝139t中形成，且多個金屬插塞(或金屬通孔)7p係在穿透通孔156v中形成。金屬插塞7p，包括個別在穿透通孔156a、156b、156c、156d、156e及156f中之金屬插塞(或金屬通孔)7a、7b、7c、7d、7e及7f，金屬插塞7a係在偽基板158中形成。金屬插塞7b、7c及7d係

在晶片118之左邊者中形成，而金屬插塞7e與7f係在晶片118之中間者中形成。支撐物803及在該支撐物803上之互連層17中之互連體或金屬跡線75a可在金屬插塞7e之兩個部份之間，低於互連層17之頂部表面所在位置之水平位。

在壕溝139t中之金屬互連體3及在穿透通孔156v中之金屬插塞7p可藉由下列步驟形成。首先，於圖75中所示之黏著/障壁層125a係在被穿透通孔156v所曝露之層17、19及86上，在穿透通孔156v之側壁上，在壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上，及在壕溝139t底部處之絕緣層139a之頂部表面上)，在被穿透通孔156v所曝露之絕緣插塞789之內壁上，及在支撐物803上之互連體或金屬跡線75a上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，於圖75中所示之晶種層125b係在黏著/障壁層125a上，在穿透通孔156v中，及在壕溝139t中，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，於圖75中所示之傳導層125c係在晶種層125b上，在穿透通孔156v中，及在壕溝139t中，利用適當製程譬如電鍍製程而形成。接著，層125a、125b及125c係使用例如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程進行研磨或拋光，直到介電層139具有經曝露之頂部表面139s，於其上方沒有層125a、

125b及125c之部份為止，並將壕溝139t外部之層125a、125b及125c移除。因此，在壕溝139t中之層125a、125b及125c係構成壕溝139t中之金屬互連體3，包括金屬互連體3a、3b及3c。在穿透通孔156v中之層125a、125b及125c係構成穿透通孔156v中之金屬插塞7p，包括個別在穿透通孔156a、156b、156c、156d、156e及156f中之金屬插塞7a、7b、7c、7d、7e及7f。黏著/障壁層125a與晶種層125b係在壕溝139t中之傳導層125c之側壁與底部處，且在壕溝139t中之傳導層125c之側壁與底部係被黏著/障壁層125a與晶種層125b所覆蓋。

於第一替代方式中，在層125a、125b及125c被研磨或拋光之後，黏著/障壁層125a可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上，及在壕溝139t底部處之絕緣層139a之頂部表面上)，在穿透通孔156v底部處之層17、19及86上，在穿透通孔156v之側壁上，在晶片118中之絕緣插塞789之內壁上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鈦層上，在壕溝139t中，及在穿透通孔156v中。傳導層125c可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝139t中，及在穿透通孔156v中。若介電層139、壕溝139t及穿透通孔156v係如圖241-247中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如

在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層139a與139b所構成之介電層139、壕溝139t及穿透通孔156v係如圖248中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第二替代方式中，在層125a、125b及125c被研磨或拋光之後，黏著/障壁層125a可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上，及在壕溝139t底部處之絕緣層139a之頂部表面上)，在穿透通孔156v底部處之層17、19及86上，在穿透通孔156v之側壁上，在晶片118中之絕緣插塞789之內壁上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉭層上，在壕溝139t中，及在穿透通孔156v中。傳導層125c可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝139t中，及在穿透通孔156v中。若介電層139、壕溝139t及穿透通孔156v係如圖241-247中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層139a與139b所構成之介電層139、壕溝139t及穿透通孔156v係如圖248中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與

30微米之間，或在5與25微米之間。

於第三種替代方式中，在層125a、125b及125c被研磨或拋光之後，黏著/障壁層125a可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在壕溝139t之側壁與底部上(或在聚合體層139b中之壕溝139t之側壁上，及在壕溝139t底部處之絕緣層139a之頂部表面上)，在穿透通孔156v底部處之層17、19及86上，在穿透通孔156v之側壁上，在晶片118中之絕緣插塞789之內壁上，及在支撐物803上之互連體或金屬跡線75a上。晶種層125b可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉻層上，在壕溝139t中，及在穿透通孔156v中。傳導層125c可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝139t中，及在穿透通孔156v中。若介電層139、壕溝139t及穿透通孔156v係如圖241-247中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在0.1與5微米之間，且較佳在0.3與1.5微米之間，或在0.5與3微米之間。或者，若由層139a與139b所構成之介電層139、壕溝139t及穿透通孔156v係如圖248中所示形成，則在壕溝139t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

介電層139之經曝露頂部表面139s可實質上與壕溝139t中之傳導層125c之經研磨或拋光表面227共平面，且表面139s與227可為實質上平坦。若介電層139、壕溝139t及穿透通孔

156v係如圖241-247中所示形成，則在層125a、125b及125c被研磨或拋光之後，介電層139在經曝露頂部表面139s與表面124s或158s之間，可具有厚度例如在1與10微米之間，且較佳在1與3微米之間。或者，若由層139a與139b所構成之介電層139、壕溝139t及穿透通孔156v係如圖248中所示形成，則在層125a、125b及125c被研磨或拋光之後，介電層139之聚合體層139b在聚合體層139b之經曝露頂部表面139s與絕緣層139a之頂部表面之間，可具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

在晶片118中之各金屬插塞7p係通過晶片118中之絕緣插塞789之一，且係被其包圍，並接觸該絕緣插塞789之一之內壁。例如，在晶片118左邊者中之金屬插塞7b係通過晶片118左邊者中之絕緣插塞789之一，且係被其包圍，接觸該絕緣插塞789之一之內壁，及接觸該絕緣插塞789之一之絕緣層567。在晶片118左邊者中之金屬插塞7c係通過晶片118左邊者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之被層567所包圍之絕緣層456。在晶片118左邊者中之金屬插塞7d係通過晶片118左邊者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567以及被該層567所包圍之絕緣層456。在晶片118中間者中之金屬插塞7e係通過晶片118中間者中之絕緣插塞789之一，且係被其包圍，接觸該絕緣插塞789之一之內壁，及接觸該絕緣插塞789其中一個之被

絕緣層567所包圍之絕緣層456。在晶片118中間者中之金屬插塞7f係通過晶片118中間者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567以及被該層567所包圍之絕緣層456。關於圖249中所示之金屬插塞7p(包括金屬插塞7a-7f)與金屬互連體3(包括金屬互連體3a、3b及3c)之更詳細說明，請參考圖76中之圖解。

或者，構件118不僅可表示晶片，而且可表示晶圓。當構件118為晶圓時，構件72可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

參考圖250，在形成圖249中所示結構之後，下列步驟可接著按圖77-81中所示進行。然後，單一化製程可利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組556a與556b。

系統級封裝或多晶片模組556a可使用焊料凸塊或球126被連接至載體且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖251，系統級封裝或多晶片模組556a可與載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，底部充填174可在系統級封裝或多晶片模組556a之聚合體層136與載體176頂側之間形成，且包圍焊料凸

塊或球126。其次，多個焊料球178可在載體176之底側上形成。於圖251中所示之載體176、底部充填174及焊料球178之規格，可被個別稱為如圖83中所示之載體176、底部充填174及焊料球178之規格。

圖252顯示根據本發明揭示內容之另一項具體實施例之另一種系統級封裝或多晶片模組，其可藉由下列步驟形成。在形成圖249中所示結構之後，如圖77-79中所示之步驟可隨後進行。接著，在聚合體層136上，及在絕緣或介電層122中之開孔底部處且於聚合體層136中開孔136a下方之金屬互連體3之傳導層125c之接觸點上，形成金屬凸塊668，可被稱為圖84中所示之步驟。其次，單一化製程可利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組556c。在系統級封裝或多晶片模組556c中，各互連體3可被連接至一或多個金屬凸塊668。

系統級封裝或多晶片模組556c可使用金屬凸塊668被連接至載體且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖253，系統級封裝或多晶片模組556c可與圖83中所示載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。將軟焊料潤濕層.146與載體176頂側上預先形成之軟焊料或金層接合之後，多個金屬接頭180係

在金屬凸塊668之障壁層144與載體176頂側之間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或Sn-Pb合金，具有厚度在5與50微米之間。或者，金屬接頭180可為金層，具有厚度在0.1與10微米之間。接著，於圖83中所示之底部充填174可在系統級封裝或多晶片模組556c之聚合體層136與載體176頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，於圖83中所示之焊料球178可在載體176之底側上形成。

或者，可省略如圖250-253所示之絕緣或介電層122。於此情況中，聚合體層136係在表面227與139s上形成，且金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a之曝露，且在其末端處。再者，黏著/障壁層134係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖254顯示一種多晶片封裝566f，包含經過經導線黏結之導線184被連接至圖83中所示載體176之系統級封裝或多晶片模組556d，其可藉由例如下列步驟形成。

在形成圖249中所示結構之後，進行圖86中所示之步驟，以在傳導層125c之經研磨或拋光表面227上，及在介電層139之經曝露頂部表面139s上形成絕緣或介電層122，在絕緣或介電層122上，及在被層122中多個開孔122a所曝露之金屬互連體3之傳導層125c之多個區域上，形成多個金屬互連體或跡線300，且在絕緣或介電層122上，及在金屬互連體或跡線300上形成聚合體層136。被熟化後之聚合體層136可具有

厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間，而在聚合體層136中之多個開孔136a會使金屬互連體或跡線300之多個接觸點曝露。接著，單一化製程可利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組556d單一化。

接著，多個系統級封裝或多晶片模組556d可與載體176接合，其方式是例如在載體176之頂側上形成膠層182，具有厚度在20與150微米之間，然後使用膠層182，將多個系統級封裝或多晶片模組556d連接至載體11之頂側。膠層182可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)、聚苯醚(PPO)、硅氧烷或SU-8，具有厚度例如在20與150微米之間。其次，多條導線184，譬如金導線、銅導線或鋁導線，可藉由導線黏結製程，被導線黏結至載體176之頂側上，及至被聚合體層136中開孔136a所曝露之金屬互連體或跡線300之傳導層150之接觸點上。因此，多個系統級封裝或多晶片模組556d之金屬互連體或跡線300可經過經導線黏結之導線184，以物理方式與電方式連接至載體176。接著，模製配料186可藉由成型製程，在多個系統級封裝或多晶片模組556d上，在載體176之頂側上，及在經導線黏結之導線184上形成，包覆經導線黏結之導線184及多個系統級封裝或多晶片模組556d。模製配料186可包含環氧基、碳填料或玻璃填料，且玻璃填料或碳填料

可被分佈在環氧基中。其次，於圖83中所示之焊料球178可在載體176之底側上形成。然後，可進行單一化製程，以切割載體176與模製配料186，且使多個多晶片封裝566f單一化。多晶片封裝566f可經過焊料球178被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。於圖254中所示之載體176之規格，可被稱為如圖83中所示之載體176之規格。

圖255-270顯示根據本發明揭示內容之另一項具體實施例之形成另一種系統級封裝或多晶片模組之製程。參考圖255，在形成圖215中所示結構之後，於圖186中所示之介電層60係在各晶片68之半導體基板58之表面58s上，在偽基板62之表面62s上，在晶片68中之絕緣插塞789之經曝露底部表面789s上，及在包封/間隙充填材料64之表面64s上形成。接著，多個穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，係在晶片68中，及在偽基板62中形成，使載體11之導電層18曝露，且使晶片68之層26與34曝露。於圖255中所示在晶片68中及在偽基板62中形成穿透通孔170v之步驟，可被稱為如圖15中所示在晶片68中及在偽基板62中形成穿透通孔170v之步驟，但於此具體實施例中，在晶片68中形成穿透通孔170v(譬如通孔170b-170f)，係包括經過晶片68中之絕緣插塞789蝕刻。於圖255中所示之穿透通孔170v(包括通孔170a-170f)、包圍穿透通孔170v之絕緣插塞789及支撐物801之規格，可被個別稱為圖219-223中所示之穿透通孔170v(包括通孔170a-170f)、包圍穿透通孔170v之

絕緣插塞789及支撐物801之規格。

接著，參考圖256，於圖90中所示之黏著/障壁層52係在被穿透通孔170v所曝露之層18、26及34上，在穿透通孔170v之側壁上，在介電層60上，在被穿透通孔170v所曝露之絕緣插塞789內壁上，及在支撐物801上之互連體或金屬跡線35a上形成。其次，於圖90中所示之晶種層54係在黏著/障壁層52上，及在穿透通孔170v中形成。接著，光阻層194係在晶種層54上，利用適當製程而形成，譬如旋轉塗覆製程、網版印刷製程或層合製程。其次，可採用光曝露製程與顯像製程，以在光阻層194中形成多個開孔194a，使晶種層54之多個區域曝露。經構圖之光阻層194可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，於圖90中所示之傳導層56係在被層194中開孔194a所曝露之晶種層54之區域上形成。

接著，參考圖257，光阻層194係使用例如有機化學溶液移除。其次，不在傳導層56下方之晶種層54係利用濕蝕刻製程或乾蝕刻製程移除。接著，不在傳導層56下方之黏著/障壁層52係利用濕蝕刻製程或乾蝕刻製程移除。因此，在介電層60上方及在穿透通孔170v上方之層52、54及56係構成在介電層60上方及在穿透通孔170v上方之多個金屬互連體1，包含金屬互連體1a與1b。在介電層60上方之金屬互連體1之黏著/障壁層52與晶種層54，並不在介電層60上方金屬互連體1之傳導層56之任何側壁1w處，但在介電層60上方金屬互連體1之傳導層56之底部下方。在介電層60上方金

屬互連體1之傳導層56之側壁1w並未被層52與54所覆蓋。在穿透通孔170v中之層52、54及56係構成穿透通孔170v中之多個金屬插塞(或金屬通孔)5p，包括個別在如圖255中所示之穿透通孔170a、170b、170c、170d、170e及170f中之金屬插塞(或金屬通孔)5a、5b、5c、5d、5e及5f。金屬插塞5a係在偽基板62中形成，而金屬插塞5b 5c、5d、5e及5f係在相同晶片68中形成。在晶片68中及在偽基板62中所形成之此等金屬插塞5p可連接金屬互連體1與晶片68中之半導體裝置36，且連接金屬互連體1與載體11中之導電層18之多個接觸點。支撐物801及在該支撐物801上之互連層34中之互連體或金屬跡線35a可在金屬插塞5e之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。

在晶片68中之各金屬插塞5p係通過晶片68中之絕緣插塞789之一，接觸該絕緣插塞789之一之內壁，且係被該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456包圍。例如，在晶片68之一中之各金屬插塞5b、5c、5d、5e及5f係通過晶片68之一中之絕緣插塞789之一，接觸該絕緣插塞789之一之內壁，且係被該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456包圍。關於圖257中所示之金屬插塞5p(包括金屬插塞5a-5f)與金屬互連體1(包括金屬互連體1a與1b)之更詳細說明，請參考圖91中之圖解。

或者，構件68不僅可表示晶片，而且可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

參考圖258，在形成圖257中所示結構之後，絕緣或介電層66係在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中形成。例如，絕緣或介電層66可包含或可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中。於傳導層56上之聚合體層可具有厚度例如在0.1與50微米之間，且較佳在1與30微米之間，在2與20微米之間，或在5與10微米之間。

或者，絕緣或介電層66可包含或可為無機層，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中。於傳導層56上之無機層可具有厚度例如在0.1與10微米之間，且較佳在0.1與1微米之間，在0.2與2微米之間，在0.3與3微米之間，或在0.5與5微米之間。

或者，參考圖259，如圖258中所示之絕緣或介電層66可藉由下列步驟形成。首先，聚合體層66a，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，係在金屬互連體1之傳導層56上，在介電層60上，及在金屬互連體1間之間隙中形成。接著，聚合體層66a係藉由適當製程進行研磨或拋光，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程，直到金屬互連體1之傳導層56具有不被聚合體層66a所覆蓋之頂部表面56u為止。因此，聚合體層

66a仍然留在介電層60上，及在金屬互連體1間之間隙中，並具有厚度例如大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間。聚合體層66a之經研磨或拋光表面66s可為實質上平坦，且實質上與傳導層56之頂部表面56u共平面。其次，無機層66b，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度例如在0.1與3微米之間，且較佳在0.2與1.5微米之間，係在傳導層56之頂部表面56u上，及在聚合體層66a之經研磨或拋光之表面66s上形成。因此，如圖258中所示之絕緣或介電層66亦可具有如圖259中所示之聚合體層66a與無機層66b。

參考圖260，在形成絕緣或介電層66之後，下列步驟可接著按圖228與229中所示進行，以將晶片72，其每一個係類似圖212M中所示之晶片72a或72b，與前文所述之偽基板165，放置在層66上所形成之層116上方，在各晶片72之半導體基板96之背側上，在偽基板165上，及在間隙4a與8a中形成包封/間隙充填材料98，且研磨或拋光包封/間隙充填材料98、各晶片72之半導體基板96之背側及偽基板165，直到晶片72中之所有絕緣插塞789具有經曝露之底部表面789t，於其上方沒有半導體基板96之部份為止。

接著，參考圖261，於圖195中所示之介電層88係在各晶片72之半導體基板96之表面96s上，在偽基板165之表面165s上，在晶片72中之絕緣插塞789之經曝露底部表面789t上，及在包封/間隙充填材料98之表面98s上形成。其次，多個

穿透通孔164v，包括穿透通孔164a、164b、164c、164d及164e，係在晶片72中，及在偽基板165中形成，使金屬互連體1之傳導層56曝露，且使晶片72之層114與106曝露。於圖261中所示在晶片72中及在偽基板165中形成穿透通孔164v之步驟，可被稱為如圖41中所示在晶片72中及在偽基板165中形成穿透通孔164v之步驟，但於此具體實施例中，在晶片72中形成穿透通孔164v(譬如通孔164b-164e)，係包括經過晶片72中之絕緣插塞789蝕刻。於圖261中所示之穿透通孔164v(包括通孔164a-164e)、包圍穿透通孔164v之絕緣插塞789及支撐物802之規格，可被個別稱為圖231-235中所示之穿透通孔164v(包括通孔164a-164e)、包圍穿透通孔164v之絕緣插塞789及支撐物802之規格。

接著，參考圖262，於圖95中所示之黏著/障壁層92係在被穿透通孔164v所曝露之層56、106及114上，在穿透通孔164v之側壁上，在介電層88上，在被穿透通孔164v所曝露之晶片72中絕緣插塞789之內壁上，及在支撐物802上之互連體或金屬跡線55a上形成。其次，於圖95中所示之晶種層94係在黏著/障壁層92上，及在穿透通孔164v中形成。接著，光阻層294係在晶種層94上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用光曝露製程與顯像製程，以在光阻層294中形成多個開孔294a，使晶種層94之多個區域曝露。經構圖之光阻層294可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，於圖95中所示之傳導層86係在被層294中開

孔294a所曝露之晶種層94之區域上形成。

接著，參考圖263，光阻層294係使用例如有機化學溶液移除。其次，不在傳導層86下方之晶種層94係利用濕蝕刻製程或乾蝕刻製程移除。接著，不在傳導層86下方之黏著/障壁層92係利用濕蝕刻製程或乾蝕刻製程移除。因此，在介電層88上方及在穿透通孔164v上方之層92、94及86係構成在介電層88上方及在穿透通孔164v上方之多個金屬互連體2，包括金屬互連體2a與2b。在介電層88上方之金屬互連體2之黏著/障壁層92與晶種層94，並不在介電層88上方金屬互連體2之傳導層86之任何側壁2w處，但在介電層88上方金屬互連體2之傳導層86之底部下方。在介電層88上方金屬互連體2之傳導層86之側壁2w並未被層92與94覆蓋。在穿透通孔164v中之層92、94及86係構成穿透通孔164v中之多個金屬插塞(或金屬通孔)6p，包括個別在如圖261中所示之穿透通孔164a、164b、164c、164d及164e中之金屬插塞(或金屬通孔)6a、6b、6c、6d及6e。金屬插塞6a係在偽基板165中形成，金屬插塞6b與6c係在晶片72之左邊者中形成，而金屬插塞6d與6e係在晶片72之中間者中形成。支撐物802及在該支撐物802上之互連層106中之互連體或金屬跡線55a可在金屬插塞6e之兩個部份之間，低於互連層106之頂部表面所在位置之水平位。在晶片72中及在偽基板165中所形成之此等金屬插塞6p可連接金屬互連體2與晶片72中之半導體裝置102，且連接金屬互連體1與2。

在晶片72中之各金屬插塞6p係通過晶片72中之絕緣插塞

789之一，且係被其包圍，並接觸該絕緣插塞789之一之內壁。例如，在晶片72左邊者中之金屬插塞6b係通過晶片72左邊者中之絕緣插塞789之一，且係被其包圍，接觸該絕緣插塞789之一之內壁，及接觸該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456。在晶片72左邊者中之金屬插塞6c係通過晶片72左邊者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567。在晶片72中間者中之金屬插塞6d係通過晶片72中間者中之絕緣插塞789之一，且係被其包圍，接觸該絕緣插塞789之一之內壁，及接觸該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456。在晶片72中間者中之金屬插塞6e係通過晶片72中間者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567。關於圖263中所示之金屬插塞6p(包括金屬插塞6a-6e)與金屬互連體2(包括金屬互連體2a與2b)之更詳細說明，請參考圖96中之圖解。

或者，構件72不僅可表示晶片，而且可表示晶圓。當構件72為晶圓時，構件68可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

接著，參考圖264，絕緣或介電層120係在金屬互連體2之傳導層86上，在介電層88上，及在金屬互連體2間之間隙中形成。例如，絕緣或介電層120可包含或可為聚合體層，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)

或聚苯并噁唑(PBO)，在金屬互連體2之傳導層86上，在介電層88上，及在金屬互連體2間之間隙中。於傳導層86上之聚合體層可具有厚度例如在0.1與50微米之間，且較佳在1與30微米之間，在2與20微米之間，或在5與10微米之間。

或者，絕緣或介電層120可包含或可為無機層，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，在金屬互連體2之傳導層86上，在介電層88上，及在金屬互連體2間之間隙中。於傳導層86上之無機層可具有厚度例如在0.1與10微米之間，且較佳在0.1與1微米之間，在0.2與2微米之間，在0.3與3微米之間，或在0.5與5微米之間。

或者，參考圖265，如圖264中所示之絕緣或介電層120可藉由下列步驟形成。首先，聚合體層120a，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯醚(PPO)或聚苯并噁唑(PBO)，係在金屬互連體2之傳導層86上，在介電層88上，及在金屬互連體2間之間隙中形成。接著，聚合體層120a係藉由適當製程進行研磨或拋光，譬如機械研磨製程、機械拋光製程、化學-機械-拋光(CMP)製程或一種包含機械拋光與化學蝕刻之製程，直到金屬互連體2之傳導層86具有不被聚合體層120a所覆蓋之頂部表面86u為止。因此，聚合體層120a仍然留在介電層88上，及在金屬互連體2間之間隙中，並具有厚度例如大於1微米，譬如在1與20微米之間，且較佳在1與10微米之間，在1與5微米之間，或在2與20微米之間。聚合體層120a之經研磨或拋光表面120s可為實質上平坦，且實質上與傳導層86之頂部表面86u共平面。其次，無

機層120b，譬如一層氧化矽、氮化矽、碳氮化矽、氧氮化矽或氧碳化矽，具有厚度例如在0.1與3微米之間，且較佳在0.2與1.5微米之間，係在傳導層86之頂部表面86u上，及在聚合體層120a之經研磨或拋光表面120s上形成。因此，如圖264中所示之絕緣或介電層120亦可具有如圖265中所示之聚合體層120a與無機層120b。

參考圖266，在形成絕緣或介電層120之後，下列步驟可接著按圖239與240中所示進行，以將晶片118，其每一個係類似圖212N中所示之晶片118a或118b，與前文所述之偽基板158，放置在層120上所形成之層140上方，在各晶片118之半導體基板124之背側上，在偽基板158上，及在間隙4b與8b中形成包封/間隙充填材料138，且研磨或拋光包封/間隙充填材料138、各晶片118之半導體基板124之背側及偽基板158，直到晶片118中之所有絕緣插塞789具有經曝露之底部表面789u，於其上方沒有半導體基板124之部份為止。

接著，參考圖267，於圖204中所示之介電層139係在各晶片118之半導體基板124之表面124s上，在偽基板158之表面158s上，在晶片118中之絕緣插塞789之經曝露底部表面789u上，及在包封/間隙充填材料138之表面138s上形成。其次，多個穿透通孔156v，包括穿透通孔156a、156b、156c、156d、156e及156f，係在晶片118中，及在偽基板158中形成，使金屬互連體2之傳導層86曝露，且使晶片118之層17與19曝露。於圖267中所示在晶片118中及在偽基板158中形成穿透通孔156v之步驟，可被稱為如圖65中所示在晶片118中及在

偽基板158中形成穿透通孔156v之步驟，但於此具體實施例中，在晶片118中形成穿透通孔156v(譬如通孔156b-156f)，係包括經過晶片118中之絕緣插塞789蝕刻。於圖267中所示之穿透通孔156v(包括通孔156a-156f)、包圍穿透通孔156v之絕緣插塞789及支撐物803之規格，可被個別稱為圖242-246中所示之穿透通孔156v(包括通孔156a-156f)、包圍穿透通孔156v之絕緣插塞789及支撐物803之規格。

接著，參考圖268，於圖100中所示之黏著/障壁層125a係在被穿透通孔156v所曝露之層17、19及86上，在穿透通孔156v之側壁上，在介電層139上，在被穿透通孔156v所曝露之晶片118中絕緣插塞789之內壁上，及在支撐物803上之互連體或金屬跡線75a上形成。其次，於圖100中所示之晶種層125b係在黏著/障壁層125a上，及在穿透通孔156v中形成。接著，光阻層394係在晶種層125b上，利用例如旋轉塗覆製程、網版印刷製程或層合製程而形成。其次，可採用光曝露製程與顯像製程，以在光阻層394中形成多個開孔394a，使晶種層125b之多個區域曝露。經構圖之光阻層394可具有厚度例如在1與30微米之間，且較佳在1與20微米之間，或在1與10微米之間。接著，於圖100中所示之傳導層125c係在被層394中開孔394a所曝露之晶種層125b之區域上形成。

接著，參考圖269，光阻層394係使用例如有機化學溶液移除。其次，不在傳導層125c下方之晶種層125b係利用濕蝕刻製程或乾蝕刻製程移除。接著，不在傳導層125c下方之

黏著/障壁層125a係利用濕蝕刻製程或乾蝕刻製程移除。因此，在介電層139上方及在穿透通孔156v上方之層125a、125b及125c係構成在介電層139上方及在穿透通孔156v上方之多個金屬互連體3，包括金屬互連體3a、3b及3c。在介電層139上方之金屬互連體3之黏著/障壁層125a與晶種層125b，並不在介電層139上方金屬互連體3之傳導層125c之任何側壁3w處，但在介電層139上方金屬互連體3之傳導層125c之底部下方。在介電層139上方金屬互連體3之傳導層125c之側壁3w並未被層125a與125b覆蓋。在穿透通孔156v中之層125a、125b及125c係構成穿透通孔156v中之多個金屬插塞(或金屬通孔)7p，包括個別在如圖267中所示之穿透通孔156a、156b、156c、156d、156e及156f中之金屬插塞(或金屬通孔)7a、7b、7c、7d、7e及7f。金屬插塞7a係在偽基板158中形成。金屬插塞7b、7c及7d係在晶片118之左邊者中形成，而金屬插塞7e與7f係在晶片118之中間者中形成。在晶片118中及在偽基板158中所形成之此等金屬插塞7p可連接金屬互連體3與晶片118中之半導體裝置13，且連接金屬互連體2與3。支撐物803及在該支撐物803上之互連層17中之互連體或金屬跡線75a可在金屬插塞7e之兩個部份之間，低於互連層17之頂部表面所在位置之水平位。

在晶片118中之各金屬插塞7p係通過晶片118中之絕緣插塞789之一，且係被其包圍，並接觸該絕緣插塞789之一之內壁。例如，在晶片118左邊者中之金屬插塞7b係通過晶片118左邊者中之絕緣插塞789之一，且係被其包圍，接觸該

絕緣插塞789之一之內壁，及接觸該絕緣插塞789之一之絕緣層567。在晶片118左邊者中之金屬插塞7c係通過晶片118左邊者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之被該層567所包圍之絕緣層456。在晶片118左邊者中之金屬插塞7d係通過晶片118左邊者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567以及被該層567所包圍之絕緣層456。在晶片118中間者中之金屬插塞7e係通過晶片118中間者中之絕緣插塞789之一，且係被其包圍，接觸該絕緣插塞789之一之內壁，及接觸該絕緣插塞789其中一個之被絕緣層567所包圍之絕緣層456。在晶片118中間者中之金屬插塞7f係通過晶片118中間者中之另一個絕緣插塞789，且係被其包圍，接觸該另一個絕緣插塞789之內壁，及接觸該另一個絕緣插塞789之絕緣層567以及被該層567所包圍之絕緣層456。關於圖269中所示之金屬插塞7p(包括金屬插塞7a-7f)與金屬互連體3(包括金屬互連體3a、3b及3c)之更詳細說明，請參考圖101中之圖解。

或者，構件118不僅可表示晶片，而且可表示晶圓。當構件118為晶圓時，構件72可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

參考圖270，在形成圖269中所示結構之後，下列步驟可接著按圖102中所示進行，以在金屬互連體3之傳導層125c上，在介電層139上，及在金屬互連體3間之間隙中形成絕

緣或介電層122，在絕緣或介電層122上形成聚合體層136，且在聚合體層136中形成多個開孔136a，使絕緣或介電層122之多個區域曝露。接著，在聚合體層136上，及在絕緣或介電層122中之多個開孔底部處且於聚合體層136中開孔136a下方之金屬互連體3之傳導層125c之多個接觸點上，形成凸塊下層金屬(UBM)層666，並在UBM層666上形成多個焊料凸塊或球126，可被稱為圖78-81中所示之步驟。其次，單一化製程係利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組556e與556f。

系統級封裝或多晶片模組556e可使用焊料凸塊或球126被連接至載體且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖271，系統級封裝或多晶片模組556e係與圖83中所示之載體176之頂側黏結，使用例如將焊料凸塊或球126與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。接著，於圖83中所示之底部充填174係在系統級封裝或多晶片模組556e之聚合體層136與載體176頂側之間形成，且包圍焊料凸塊或球126。其次，於圖83中所示之焊料球178係在載體176之底側上形成。

圖272顯示根據本發明揭示內容之另一項具體實施例之另一種系統級封裝或多晶片模組，其可藉由下列步驟形成。在形成圖269中所示結構之後，下列步驟可接著按圖102

中所示進行，以在金屬互連體3之傳導層125c上，在介電層139上，及在金屬互連體3間之間隙中形成絕緣或介電層122，在絕緣或介電層122上形成聚合體層136，且在聚合體層136中形成多個開孔136a，使絕緣或介電層122之多個區域曝露。接著，於圖78與79中所示之步驟可隨後進行。其次，在聚合體層136上，及在絕緣或介電層122中之開孔底部處且於聚合體層136中開孔136a下方之金屬互連體3之傳導層125c之接觸點上，形成金屬凸塊668，可被稱為圖84中所示之步驟。接著，單一化製程可利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組556g。在系統級封裝或多晶片模組556g中，各互連體3可被連接至一或多個金屬凸塊668。

系統級封裝或多晶片模組556g可使用金屬凸塊668被連接至載體且與其黏結，該載體譬如母板、印刷電路板(PCB)、球格柵陣列(BGA)基板、金屬基板、玻璃基板或陶瓷基板。例如，參考圖273，系統級封裝或多晶片模組556g係與圖83中所示之載體176之頂側黏結，使用例如將金屬凸塊668之軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之倒裝晶片技術。將軟焊料潤濕層146與載體176頂側上預先形成之軟焊料或金層接合之後，多個金屬接頭180係在金屬凸塊668之障壁層144與載體176頂側之間形成。金屬接頭180可為一層Sn-Ag合金、Sn-Ag-Cu合金、Sn-Au合金或

Sn-Pb合金，具有厚度在5與50微米之間。接著，於圖83中所示之底部充填174係在系統級封裝或多晶片模組556g之聚合體層136與載體176頂側之間形成，且包圍金屬凸塊668與金屬接頭180。其次，於圖83中所示之焊料球178係在載體176之底側上形成。

或者，可省略如圖270-273所示之絕緣或介電層122。於此情況中，聚合體層136係在金屬互連體3之傳導層125c上，在介電層139上，及在金屬互連體3間之間隙中形成，且金屬互連體3之傳導層125c之接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。再者，黏著/障壁層134係在金屬互連體3之傳導層125c之接觸點上形成，該接觸點係被聚合體層136中之開孔136a曝露，且在其末端處。

圖274顯示一種多晶片封裝566g，包含經過經導線黏結之導線184被連接至圖83中所示載體176之系統級封裝或多晶片模組556h，其可藉由例如下列步驟形成。在形成圖269中所示結構之後，下列步驟可接著按圖107中所示進行，以在金屬互連體3之傳導層125c上，在介電層139上，及在金屬互連體3間之間隙中形成絕緣或介電層122，在絕緣或介電層122上，及在被層122中多個開孔122a所曝露之金屬互連體3之傳導層125c之多個區域上，形成多個金屬互連體或跡線300，且在絕緣或介電層122上，及在金屬互連體或跡線300上形成聚合體層136。被熟化後之聚合體層136可具有厚度例如在1與20微米之間，且較佳在2與15微米之間，或在5與10微米之間，而在聚合體層136中之多個開孔136a會使金

屬互連體或跡線300之多個接觸點曝露。接著，單一化製程可利用例如機械鋸切或雷射切割進行，以切割載體11，偽基板62、165及158，以及層22、60、66、88、116、120、122、136、139及140，且使多個系統級封裝或多晶片模組單一化，譬如系統級封裝或多晶片模組556h。

接著，多個系統級封裝或多晶片模組556h係與載體176接合，其方式是例如在載體176之頂側上形成膠層182，具有厚度例如在1與20微米之間，或在20與150微米之間，然後使用膠層182，將多個系統級封裝或多晶片模組556h連接至載體11之頂側。膠層182可為聚合體層，譬如一層聚醯亞胺、環氧基、苯并環丁烯(BCB)、聚苯并噁唑(PBO)、聚苯醚(PPO)、硅氧烷或SU-8，具有厚度例如在1與20微米之間，或在20與150微米之間。其次，多條導線184，譬如金導線、銅導線或鋁導線，係藉由導線黏結製程，被導線黏結至載體176之頂側上，及至被聚合體層136中開孔136a所曝露之金屬互連體或跡線300之傳導層150之接觸點上。因此，多個系統級封裝或多晶片模組556h之金屬互連體或跡線300可經過經導線黏結之導線184，以物理方式與電方式連接至載體176。接著，模製配料186係藉由成型製程，在多個系統級封裝或多晶片模組556h上，在載體176之頂側上，及在經導線黏結之導線184上形成，包覆經導線黏結之導線184及多個系統級封裝或多晶片模組556h。模製配料186可包含環氧基、碳填料或玻璃填料，且玻璃填料或碳填料可被分佈在環氧基中。其次，於圖83中所示之焊料球178係在載體176

之底側上形成。然後，進行單一化製程，以切割載體176與模製配料186，且使多個多晶片封裝566g單一化。多晶片封裝566g可經過焊料球178被連接至載體，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。於圖274中所示之載體176之規格，可被稱為如圖83中所示之載體176之規格。

圖275A-275L顯示另一種形成如圖26中所示之介電層60、壕溝60t、側壁介電層50及穿透通孔170v之製程。參考圖275A，在形成圖11中所示結構之後，絕緣層60a，譬如一層氧化矽、氮化矽、氧氮化矽、碳氮化矽或氧碳化矽，具有厚度C1例如在0.1與5微米之間，且較佳在0.2與1.5微米之間，或在0.15與2微米之間，係在各晶片68之半導體基板58之表面58s上，在偽基板62之表面62s上，及在包封/間隙充填材料64之表面64s上形成。

接著，參考圖275B，多個穿透通孔170v，包括穿透通孔170a、170b、170c、170d、170e及170f，係藉由例如下列步驟，在晶片68中，及在偽基板62中形成，使載體11之導電層18曝露，且使晶片68之層26與34曝露。首先，光阻層係在絕緣層60a上，利用適當製程譬如旋轉塗覆製程或層合製程而形成。接著，可採用光曝露製程與顯像製程，以在光阻層中形成多個開孔，使絕緣層60a之多個區域曝露。其次，在光阻層中之開孔下方之絕緣層60a係利用適當製程譬如各向異性電漿蝕刻製程移除。其次，在光阻層中開孔下方之偽基板62及在光阻層中開孔下方之晶片68係被蝕離，直到

晶片68中之層26與34之預定區域，及載體11中之導電層18之預定區域，係被光阻層中之開孔曝露為止。接著，光阻層係利用例如有機化學品移除。因此，穿透通孔170v，包括通孔170a-170f，係在晶片68中，及在偽基板62中形成，使載體11之導電層18之預定區域曝露，且使晶片68之層26與34之預定區域曝露。於圖275B中所示之穿透通孔170v與支撐物801之規格，可被稱為如圖15中所示之穿透通孔170v與支撐物801之規格。圖275C與275D為示意俯視透視圖之兩個實例，顯示圖275B中所示之穿透通孔170e與互連體或金屬跡線35a。

如圖275B與275C中所示，穿透通孔170e可為但不限於橢圓形，且具有寬度W1例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。在晶片68之一中之橢圓形穿透通孔170e係使該晶片68之一中之互連體或金屬跡線35a曝露，且使在該晶片68之一下方之載體11中之導電層18之兩個區域曝露。互連體或金屬跡線35a具有線形區域，藉由橢圓形穿透通孔170e曝露，在水平方向上係從橢圓形穿透通孔170e之一個側面，經過橢圓形穿透通孔170e之中心，延伸至橢圓形穿透通孔170e之相反側面。在載體11之導電層18與互連層34中互連體或金屬跡線35a之所曝露線形區域間之支撐物801可為線形，類似互連體或金屬跡線35a之所曝露線形區域。藉由橢圓形穿透通孔170e所曝露之互連體或金屬跡線35a具有寬度W2例如在0.3與30微米之間，且較佳在0.3與20

微米之間，在0.3與10微米之間，在0.3與5微米之間，或在0.3與1微米之間。在橢圓形穿透通孔170e之長軸終點與被橢圓形穿透通孔170e所曝露互連體或金屬跡線35a之邊緣(其係比另一個相反邊緣更接近該終點)間之水平距離S1可例如在1與30微米之間，且較佳在1與20微米之間，在1與10微米之間，在1與5微米之間，或在3與10微米之間。

如圖275B與275D中所示，穿透通孔170e可為但不限於圓形，且具有直徑例如在0.5與100微米之間，在0.5與50微米之間，在0.5與30微米之間，在0.5與20微米之間，在0.5與10微米之間，或在0.5與5微米之間，且較佳在1與3微米之間。在晶片68之一中之穿透通孔170e係使該晶片68之一中之互連體或金屬跡線35a曝露，且使在該晶片68之一下方之載體11中之導電層18之區域曝露。互連體或金屬跡線35a具有半島區域，藉由穿透通孔170e曝露，在水平方向上係從穿透通孔170e之一個側面，至少延伸至穿透通孔170e之中心，但並未抵達穿透通孔170e之相反側面；互連體或金屬跡線35a具有被穿透通孔170e所曝露之末端。在載體11之導電層18與互連層34中互連體或金屬跡線35a之所曝露半島區域間之支撐物801可為半島形，類似互連體或金屬跡線35a之所曝露半島區域。

接著，參考圖275E，於圖19中所示之介電層50係在絕緣層60a之頂部表面上，在被穿透通孔170v(譬如通孔170a、170b及170e)所曝露之載體11之導電層18上，在被穿透通孔170v(譬如通孔170c、170d、170e及170f)所曝露之晶片68之層

26與34上，及在穿透通孔170v之側壁上形成。

其次，參考圖275F，在絕緣層60a之頂部表面上及在層18、26及34上所形成之介電層50係利用適當製程譬如各向異性電漿蝕刻製程移除。因此，在穿透通孔170v之底部處，在絕緣層60a之頂部表面上，及在支撐物801上之互連體或金屬跡線35a頂部表面上之介電層50係被蝕離，而介電層50仍然留在穿透通孔170v之側壁上，故稱為穿透通孔170v中之側壁介電層。側壁介電層50係在晶片68中或在偽基板62中之穿透通孔170v之側壁上形成，且係被晶片68之半導體基板58或被偽基板62包圍。圖275G與275H為示意俯視圖之兩個實例，顯示圖275F中所示之穿透通孔170e、在穿透通孔170e側壁上及在支撐物801側壁上之側壁介電層50及互連體或金屬跡線35a。

接著，參考圖275I，聚合體層60b，譬如一層聚醯亞胺、苯并環丁烯(BCB)、環氧基、聚苯并噁唑(PBO)或聚苯醚(PPO)，係在絕緣層60a上，使用適當製程而形成，譬如旋轉塗覆製程、網版印刷製程或層合製程。其次，可採用曝光製程與顯像製程，以在聚合體層60b中形成多個壕溝60t，使絕緣層60a、穿透通孔170v，以及被穿透通孔170v所曝露之層18、26及34曝露。1X步進器或1X接點對準器可用以在曝光製程期間，使聚合體層60b曝光。其次，將聚合體層60b在攝氏150度與攝氏400度之間，且較佳在攝氏180度與攝氏250度間之溫度下熟化或加熱。被熟化或加熱後之聚合體層60b具有厚度C2例如在1與50微米之間，且較佳在2與30微米之間，

或在5與25微米之間。圖275J為根據本發明一項具體實施例之示意俯視透視圖，顯示圖275I中所示之壕溝60t、側壁介電層50及穿透通孔170v（包括通孔170a-170f），且圖275I為沿著圖275J中所示線條D-D所切割之橫截面圖。

因此，使用上文所提及之步驟，上文所提及之介電層60亦可具有絕緣層60a及在該絕緣層60a上之聚合體層60b。在聚合體層60b中之壕溝60t係用以提供一些空間，具有晶片間互連體與晶片內互連體形成於其中。穿透通孔170v係在壕溝60t下方形成。

接著，參考圖275K，黏著/障壁層52，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，係在被穿透通孔170v所曝露之層18、26及34上，在穿透通孔170v之側壁上，在聚合體層60b之頂部表面上，在聚合體層60b中之壕溝60t之側壁上，在壕溝60t底部處之絕緣層60a之頂部表面上，及在支撐物801上之互連體或金屬跡線35a上形成。黏著/障壁層52可藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。其次，晶種層54，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，係在黏著/障壁層52上，藉由物理氣相沉積(PVD)製程，譬如濺射製程或蒸發製程，藉由化學氣相沉積(CVD)製程，或藉由其他薄膜沉積製程，譬如原子層沉積(ALD)而形成。接著，傳導層56係在晶種層54上，使用適當製程譬如電鍍製程而

形成。

黏著/障壁層52可包含或可為一層鈦、鈦-鎢合金、氮化鈦、鉻、鉭、氮化鉭、鎳或鎳釩，具有厚度例如小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間。晶種層54可包含或可為一層銅、鈦-銅合金、鎳、金或銀，具有厚度例如小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，於黏著/障壁層52上。傳導層56可包含或可為銅、金或銀之電鍍金屬層，於晶種層54上。

接著，參考圖275L，層52、54及56係利用適當製程進行研磨或拋光，譬如化學-機械-拋光(CMP)製程、機械拋光製程、機械研磨製程或一種包含機械拋光與化學蝕刻之製程，直到介電層60之聚合體層60b具有經曝露之頂部表面60s，於其上方沒有層52、54及56之部份為止，並將壕溝60t外部之層52、54及56移除。

因此，聚合體層60b之經曝露頂部表面60s可實質上與壕溝60t中之傳導層56之經研磨或拋光表面56s共平面，且表面56s與60s可為實質上平坦。黏著/障壁層52與晶種層54係在壕溝60t中之傳導層56之側壁與底部處，且在壕溝60t中之傳導層56之側壁與底部係被黏著/障壁層52與晶種層54所覆蓋。在層52、54及56被研磨或拋光之後，介電層60之聚合體層60b在聚合體層60b之經曝露頂部表面60s與絕緣層60a之頂部表面之間，係具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第一替代方式中，在層52、54及56被研磨或拋光之後，黏著/障壁層52可為含鈦層，譬如鈦、鈦-鎢合金或氮化鈦之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在聚合體層60b中之壕溝60t之側壁上，在壕溝60t底部處之絕緣層60a之頂部表面上，在穿透通孔170v之側壁上，在穿透通孔170v底部處之層18、26及34上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鈦層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第二替代方式中，在層52、54及56被研磨或拋光之後，黏著/障壁層52可為含鉭層，譬如鉭或氮化鉭之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在聚合體層60b中之壕溝60t之側壁上，在壕溝60t底部處之絕緣層60a之頂部表面上，在穿透通孔170v之側壁上，在穿透通孔170v底部處之層18、26及34上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉭層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可

為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

於第三種替代方式中，在層52、54及56被研磨或拋光之後，黏著/障壁層52可為含鉻層，譬如鉻之單層，具有厚度小於1微米，譬如在1奈米與0.5微米之間，且較佳在0.1與0.2微米之間，在聚合體層60b中之壕溝60t之側壁上，在壕溝60t底部處之絕緣層60a之頂部表面上，在穿透通孔170v之側壁上，在穿透通孔170v底部處之層18、26及34上，及在支撐物801上之互連體或金屬跡線35a上。晶種層54可為銅或鈦-銅合金之單層，具有厚度小於1微米，譬如在10奈米與0.8微米之間，且較佳在80奈米與0.15微米之間，在含鉻層上，在壕溝60t中，及在穿透通孔170v中。傳導層56可為電鍍銅層，在銅或鈦-銅合金之單層上，在壕溝60t中，及在穿透通孔170v中。在壕溝60t中之經電鍍銅層具有厚度例如在1與50微米之間，且較佳在2與30微米之間，或在5與25微米之間。

在層52、54及56被研磨或拋光之後，在壕溝60t中之層52、54及56係構成壕溝60t中之多個金屬互連體(或鑲嵌金屬跡線)1，包括金屬互連體(或鑲嵌金屬跡線)1a與1b。在穿透通孔170v中之層52、54及56係構成穿透通孔170v中之多個金屬插塞(或金屬通孔)5p，包括個別在穿透通孔170a、170b、170c、170d、170e及170f中之金屬插塞(或金屬通孔)

5a、5b、5c、5d、5e及5f。在晶片68中及在偽基板62中之各金屬插塞5p係被穿透通孔170v中之側壁介電層50之一包圍。金屬插塞5a係在偽基板62中形成，而金屬插塞5b、5c、5d、5e及5f係在相同晶片68中形成。支撐物801及在該支撐物801上之互連層34中之互連體或金屬跡線35a可在金屬插塞5e之兩個部份之間，低於互連層34之頂部表面所在位置之水平位。在晶片68中及在偽基板62中所形成之此等金屬插塞5p可連接金屬互連體1與晶片68中之半導體裝置36，且連接金屬互連體1與載體11中之導電層18之多個接觸點。在壕溝60t中之金屬互連體1，譬如1a與1b，可具有厚度例如在0.1與5微米之間，且較佳在1與3微米之間。關於圖275L中所示之金屬插塞5p(包括金屬插塞5a-5f)與金屬互連體1(包括金屬互連體1a與1b)之更詳細說明，請參考圖26中之圖解。

或者，構件68不僅可表示晶片，而且可表示晶圓。當構件68為晶圓時，載體11可為另一種晶圓。於是，在本發明中所示之製程可被採用至晶圓對晶圓接合。

在形成圖275L中所示結構之後，可進行在圖27-88中所示之步驟，以形成系統級封裝或多晶片模組555、555b或555c。

於圖82、83、84、85、87、88、103、104、105、106、108、109、128、129、130、131、132、136、137、138、139、181、140、182、183、184、185、207、208、209、250、210、211、251、252、253、254、270、271、272、273或274中，任一個晶片68可具有與晶片72及118之任一個不同之電路設計，且

可具有與晶片72及118之任一個不同之面積(頂部表面)或大小，而任一個晶片72可具有與任一個晶片118不同之電路設計，且可具有與任一個晶片118不同之面積(頂部表面)或大小。或者，包含金屬插塞6d之晶片72可具有與包含金屬插塞7e之晶片118不同電路設計或不同面積(頂部表面)或大小，且可具有與包含金屬插塞7d之晶片118相同電路設計或相同面積(頂部表面)或大小，而包含金屬插塞6c之晶片72可具有與包含金屬插塞6d之晶片72相同電路設計或相同面積(頂部表面)或大小，或可具有與包含金屬插塞6d之晶片72不同電路設計或不同面積(頂部表面)或大小。

關於前文所述之系統級封裝或多晶片模組555、555b、555c、555e、555g、555h、555j、555m、555n、555o、555q、555r、555s、555u、555v、555w、555y、555z、556a、556c、556d、556e、556g或556h，不管晶片68、72及118係被提供於何處，各晶片68、72及118可為中央處理單元(CPU)晶片，經設計為x86構造，中央處理單元(CPU)晶片，經設計為非x86構造，譬如ARM、強ARM或MIP、繪圖處理單元(GPU)晶片、數位信號處理(DSP)晶片、基帶晶片、無線區域網路(WLAN)晶片，記憶晶片，譬如快閃記憶晶片、動態隨機存取記憶體(DRAM)晶片或靜態隨機存取記憶體(SRAM)晶片，邏輯晶片、類比晶片、電源裝置、調節器、電源管理裝置、全球定位系統(GPS)晶片、"藍牙"晶片，系統單晶片(SOC)，包括繪圖處理單元(GPU)電路區塊、無線區域網路(WLAN)電路區塊及中央處理單元(CPU)電路區塊，經設計為x86構造或為

非x86構造，系統單晶片(SOC)，包括基帶電路區塊、無線區域網路(WLAN)電路區塊及中央處理單元(CPU)電路區塊，經設計為x86構造或為非x86構造，系統單晶片(SOC)，包括基帶電路區塊、繪圖處理單元(GPU)電路區塊及中央處理單元(CPU)電路區塊，經設計為x86構造或為非x86構造，或系統單晶片(SOC)，包括中央處理單元(CPU)電路區塊、繪圖處理單元(GPU)電路區塊及記憶電路區塊(譬如快閃記憶電路區塊、動態隨機存取記憶體(DRAM)電路區塊或靜態隨機存取記憶體(SRAM)電路區塊)。或者，各晶片68、72及118可為一種晶片，包括一或多個中央處理單元(CPU)電路區塊、繪圖處理單元(GPU)電路區塊、數位信號處理(DSP)電路區塊、記憶電路區塊(譬如動態隨機存取記憶體(DRAM)電路區塊、靜態隨機存取記憶體(SRAM)電路區塊或快閃記憶電路區塊)、基帶電路區塊、藍牙電路區塊、全球定位系統(GPS)電路區塊、無線區域網路(WLAN)電路區塊及調變解調器電路區塊。

關於前文所述之系統級封裝或多晶片模組555、555b、555c、555e、555g、555h、555j、555m、555n、555o、555q、555r、555s、555u、555v、555w、555y、555z、556a、556c、556d、556e、556g或556h，各晶片68、72及118可包含負載輸入/輸出(I/O)電路，用於晶片探測測試(CP測試)、內建自我測試，或經過焊料凸塊或球126、經過金屬凸塊668或經過經導線黏結之導線184之外部信號傳遞。各負載輸入/輸出(I/O)電路可具有總負載量(總電容)大於10 pF(微微法拉)，

譬如在15 pF與50 pF之間。各晶片68、72及118可進一步包含小負載輸入/輸出(I/O)電路，各具有總負載量(總電容)在0.1 pF與10 pF之間，且較佳在0.1 pF與2 pF之間。

例如，各晶片68可包含一些小負載輸入/輸出(I/O)電路，用於晶片內信號連接，具有資料位元寬度在32與2,048之間，在128與2,048之間，在256與1,024之間，在512與1,024之間，或等於或大於128，其係經過金屬插塞5p，且經過金屬互連體1被連接至另一個晶片68，可包含一些小負載輸入/輸出(I/O)電路，用於晶片間信號連接，具有資料位元寬度在32與2,048之間，在128與2,048之間，在256與1,024之間，在512與1,024之間，或等於或大於128，其係經過金屬插塞5p與6p，且經過金屬互連體1與2被連接至一或多個晶片72，且可包含一些小負載輸入/輸出(I/O)電路，用於晶片間信號連接，具有資料位元寬度在32與2,048之間，在128與2,048之間，在256與1,024之間，在512與1,024之間，或等於或大於128，其係經過金屬插塞5p、6p及7p，且經過金屬互連體1、2及3被連接至晶片118之一。各晶片72可包含一些小負載輸入/輸出(I/O)電路，用於晶片內信號連接，具有資料位元寬度在32與2,048之間，在128與2,048之間，在256與1,024之間，在512與1,024之間，或等於或大於128，其係經過金屬插塞6p，且經過金屬互連體2被連接至另一個晶片72，且可包含一些小負載輸入/輸出(I/O)電路，用於晶片間信號連接，具有資料位元寬度在32與2,048之間，在128與2,048之間，在256與1,024之間，在512與1,024之間，或等於或大於128，其係

經過金屬插塞6p與7p，且經過金屬互連體2與3被連接至晶片118之一。各晶片118可包含一些小負載輸入/輸出(I/O)電路，用於晶片內信號連接，具有資料位元寬度在32與2,048之間，在128與2,048之間，在256與1,024之間，在512與1,024之間，或等於或大於128，其係經過金屬插塞7p，且經過金屬互連體3被連接至另一個晶片118。

關於前文所述之系統級封裝或多晶片模組555、555b、555c、555e、555g、555h、555j、555m、555n、555o、555q、555r、555s、555u、555v、555w、555y、555z、556a、556c、556d、556e、556g或556h，晶片68可經過金屬互連體1(譬如金屬互連體1a與1b)，且經過金屬插塞5p被連接至載體11之導電層18之多個金屬互連體，可經過金屬插塞5p與6p，經過金屬互連體1(譬如金屬互連體1a與1b)，且經過金屬互連體2(譬如金屬互連體2a與2b)被連接至晶片72，及可經過金屬插塞5p、6p及7p，經過金屬互連體1(譬如金屬互連體1a與1b)，經過金屬互連體2(譬如金屬互連體2a與2b)，且經過金屬互連體3(譬如金屬互連體3a與3c)被連接至晶片118。晶片72可經過金屬互連體2(譬如金屬互連體2a與2b)，經過金屬互連體1(譬如金屬互連體1a與1b)，且經過金屬插塞5p與6p被連接至載體11之導電層18之金屬互連體，及可經過金屬插塞6p與7p，經過金屬互連體2(譬如金屬互連體2a與2b)，且經過金屬互連體3(譬如金屬互連體3a與3c)被連接至晶片118。晶片118可經過金屬互連體3(譬如金屬互連體3a與3c)，經過金屬互連體2(譬如金屬互連體2a與2b)，經過金

屬互連體1(譬如金屬互連體1a與1b)，且經過金屬插塞5p、6p及7p被連接至載體11之導電層18之金屬互連體。

圖276為電路圖之實例，顯示在兩個晶片間之界面電路。電路700與800可被提供於圖82、83、84、85、87、88、103、104、105、106、108、109、128、129、130、131、132、136、137、138、139、181、140、182、183、184、185、207、208、209、250、210、211、251、252、253、254、270、271、272、273或274中所示之前文所述系統級封裝或多晶片模組之前文所述晶片68、72及118之任何兩個中。電路700包含經過金屬互連體350，而被連接至電路800之接觸點P3與P4之接觸點P1與P2，其並未被連接至系統級封裝或多晶片模組之任何外部電路，譬如前文所述之載體176。電路700係進一步包含接觸點P5與P6，用於晶片探測測試(CP測試)、內建自我測試或外部信號連接。電路800係進一步包含接觸點P7與P8，用於晶片探測測試(CP測試)、內建自我測試或外部信號連接。或者，電路700之接觸點P5與P6及電路800之接觸點P7與P8可經過前文所述之焊料凸塊或球126，經過前文所述之金屬凸塊672，或經過前文所述之經導線黏結之導線184，被連接至系統級封裝或多晶片模組之外部電路，譬如母板、金屬基板、玻璃基板、陶瓷基板或前文所述之載體176。

於第一替代方式中，電路700可被提供於晶片68之一中，而電路800可被提供於另一個晶片68中。於此情況中，電路700之兩個接觸點P1與P2為晶片68之一之層26及/或34之兩

個接觸點，在晶片68之一中之兩個穿透通孔170v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路，而電路800之兩個接觸點P3與P4為另一個晶片68之層26及/或34之兩個接觸點，在另一個晶片68中之兩個穿透通孔170v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路。電路700之接觸點P5例如可為互連體或金屬跡線35d或35c之接觸點，於前文所述穿之透通孔170c或170d之底部處，連接至前文所述之金屬插塞5c或5d，而電路700之接觸點P6可為互連體或金屬跡線35b之接觸點，於前文所述之穿透通孔170f之底部處，連接至前文所述之金屬插塞5f。或者，電路700之接觸點P5可為互連體或金屬跡線35d或35c之接觸點，於前文所述之穿透通孔170c或170d之底部處，連接至前文所述之金屬插塞5c或5d，而電路700之接觸點P6可為前文所述支撐物801上之互連體或金屬跡線35a之接觸點，連接至前文所述之金屬插塞5e。或者，電路700之接觸點P5可為前文所述支撐物801上之互連體或金屬跡線35a之接觸點，連接至前文所述之金屬插塞5e，而電路700之接觸點P6可為互連體或金屬跡線35d或35c之接觸點，於前文所述之穿透通孔170c或170d之底部處，連接至前文所述之金屬插塞5c或5d。連接電路700之接觸點P1與電路800之接觸點P3之金屬互連體350，係包括在晶片68之一中之金屬插塞5p之一，在另一個晶片68中之金屬插塞5p之一，及金屬互連體1之一。連接電路700之接觸點P2與電路800之接觸點P4之金屬互連體

350，係包括在晶片68之一中之另一個金屬插塞5p，在另一個晶片68中之另一個金屬插塞5p，及另一個金屬互連體1。

於第二替代方式中，電路700可被提供於晶片68之一中，且電路800可被提供於晶片72之一中。於此情況中，電路700之兩個接觸點P1與P2可被假定為晶片68之一之層26及/或34之兩個接觸點，在晶片68之一中之兩個穿透通孔170v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路，而電路800之兩個接觸點P3與P4可被假定為晶片72之一之層106及/或114之兩個接觸點，在晶片72之一中之兩個穿透通孔164v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路。於此情況中，連接電路700之接觸點P1或P2與電路800之接觸點P3或P4之金屬互連體350可為直接路徑，如藉由下文圖297中所示具交叉線之圓圈所表示者，未經過任一個金屬互連體2而將接觸點P3或P4直接向下連接至接觸點P1或P2，或間接路徑，經過金屬互連體2之一而將接觸點P3或P4連接至接觸點P1或P2。直接路徑可包括一種互連體，例如完全地通過具有電路800之晶片72之金屬插塞6e，將支撐物802上方之接觸點P3或P4連接至金屬互連體1之一，其係經過金屬插塞5p之一，例如未完全地通過具有電路700之晶片68之金屬插塞5c、5d或5f，被連接至接觸點P1或P2。間接路徑可包括互連體2之一，經過金屬插塞6p之一，例如未完全地通過具有電路800之晶片72之金屬插塞6c或6d，被連接至接觸點P3或P4，與互連體1之一，經過金屬插塞6p之

一，例如完全地通過偽基板165之金屬插塞6a，或例如完全地通過具有電路800或不具有電路800之晶片72之金屬插塞6b，被連接至互連體2之一，且經過金屬插塞5p之一，例如未完全地通過具有電路700之晶片68之金屬插塞5c、5d或5f，被連接至接觸點P1或P2。

此外，於此情況中，被提供於晶片68之一中之電路700之接觸點P5或P6可被假定為互連體或金屬跡線35d、35c或35b之接觸點，於前文所述之穿透通孔170c、170d或170f之底部處，經過金屬插塞5p之一，例如未完全地通過具有電路700之晶片68之金屬插塞5c、5d或5f，經過金屬互連體1之一，經過金屬插塞6p之一，例如完全地通過偽基板165之金屬插塞6a，或例如完全地通過晶片72之一之金屬插塞6b，經過金屬互連體2之一，經過金屬插塞7p之一，例如完全地通過偽基板158之金屬插塞7a，或例如完全地通過晶片118之一之金屬插塞7b，經過互連體3之一，及經過焊料凸塊或球126、金屬凸塊668或經導線黏結之導線184之一，被連接至系統級封裝或多晶片模組之外部電路。被提供於晶片72之一中之電路800之接觸點P7或P8可被假定為互連體或金屬跡線55c或55b之接觸點，於前文所述之穿透通孔164c或164d底部處，經過金屬插塞6p之一，例如未完全地通過具有電路800之晶片72之金屬插塞6c或6d，經過金屬互連體2之一，經過金屬插塞7p之一，例如完全地通過偽基板158之金屬插塞7a，或例如完全地通過晶片118之一之金屬插塞7b，經過互連體3之一，及經過焊料凸塊或球126、金屬凸

塊668或經導線黏結之導線184之一，被連接至系統級封裝或多晶片模組之外部電路。

於第三種替代方式中，電路700可被提供於晶片68之一中，且電路800可被提供於晶片118之一中。於此情況中，電路700之兩個接觸點P1與P2為晶片68之一之層26及/或34之兩個接觸點，在晶片68之一中之兩個穿透通孔170v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路，而電路800之兩個接觸點P3與P4為晶片118之一之層17及/或19之兩個接觸點，在晶片118之一中之兩個穿透通孔156v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路。電路700之接觸點P5可為互連體或金屬跡線35d或35c之接觸點，於前文所述之穿透通孔170c或170d之底部處，連接至前文所述之金屬插塞5c或5d，而電路800之接觸點P7可為前文所述支撐物803上之互連體或金屬跡線75a之接觸點，連接至前文所述之金屬插塞7e。或者，電路700之接觸點P6可為前文所述支撐物801上之互連體或金屬跡線35a之接觸點，連接至前文所述之金屬插塞5e，及電路800之接觸點P8可為互連體或金屬跡線75d、75c或75b之接觸點，於前文所述之穿透通孔156c、156d或156f之底部處，連接至前文所述之金屬插塞7c、7d或7f。連接電路700之接觸點P1與電路800之接觸點P3之金屬互連體350，係包括金屬插塞6p之一，通過晶片72之一或偽基板165，及進一步包括金屬插塞7p之一，通過晶片118之一、偽基板158或另一個晶片118。連接電路

700之接觸點P2與電路800之接觸點P4之金屬互連體350，係包括另一個金屬插塞6p，通過晶片72之一或偽基板165，及進一步包括另一個金屬插塞7p，通過晶片118之一、偽基板158或另一個晶片118。

於第四種替代方式中，電路700可被提供於晶片72之一中，而電路800可被提供於另一個晶片72中。於此情況中，電路700之兩個接觸點P1與P2為晶片72之一之層106及/或114之兩個接觸點，在晶片72之一中之兩個穿透通孔164v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路，而電路800之兩個接觸點P3與P4為另一個晶片72之層106及/或114之兩個接觸點，在另一個晶片72中之兩個穿透通孔164v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路。電路700之接觸點P5可在前文所述支撐物802上之互連體或金屬跡線55a之接觸點，連接至前文所述之金屬插塞6e，而電路800之接觸點P7可為互連體或金屬跡線55c之接觸點，於前文所述之穿透通孔164c之底部處，連接至前文所述之金屬插塞6c。或者，電路700之接觸點P6可為前文所述支撐物802上之互連體或金屬跡線55a之接觸點，連接至前文所述之金屬插塞6e，而電路800之接觸點P8可為互連體或金屬跡線55c之接觸點，於前文所述穿透通孔164c之底部處，連接至前文所述之金屬插塞6c。連接電路700之接觸點P1與電路800之接觸點P3之金屬互連體350，係包括在晶片72之一中之金屬插塞6p之一，在另一個晶片72中之金屬插

塞6p之一，及金屬互連體2之一。連接電路700之接觸點P2與電路800之接觸點P4之金屬互連體350，係包括在晶片72之一中之另一個金屬插塞6p，在另一個晶片72中之另一個金屬插塞6p，及另一個金屬互連體2。

於第五種替代方式中，電路700可被提供於晶片72之一中，且電路800可被提供於晶片118之一中。於此情況中，電路700之兩個接觸點P1與P2為晶片72之一之層106及/或114之兩個接觸點，在晶片72之一中之兩個穿透通孔164v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路，而電路800之兩個接觸點P3與P4為晶片118之一之層17及/或19之兩個接觸點，在晶片118之一中之兩個穿透通孔156v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路。電路700之接觸點P5可為前文所述支撐物802上之互連體或金屬跡線55a之接觸點，連接至前文所述之金屬插塞6e，而電路800之接觸點P7可為互連體或金屬跡線75d、75c或75b之接觸點，於穿透通孔156c、156d或156f之底部處，連接至前文所述之金屬插塞7c、7d或7f。或者，電路700之接觸點P6可為互連體或金屬跡線55c或55b之接觸點，於穿透通孔164c或164d之底部處，連接至前文所述之金屬插塞6c或6d，而電路800之接觸點P8可在前文所述支撐物803上之互連體或金屬跡線75a之接觸點，連接至前文所述之金屬插塞7e。連接電路700之接觸點P1與電路800之接觸點P3之金屬互連體350，係包括通過晶片118之一之金屬插塞7p之一、偽基板

158或另一個晶片118。連接電路700之接觸點P2與電路800之接觸點P4之金屬互連體350，係包括通過晶片118之一之另一個金屬插塞7p、偽基板158或另一個晶片118。

於第六種替代方式中，電路700可被提供於晶片118之一中，而電路800可被提供於另一個晶片118中。於此情況中，電路700之兩個接觸點P1與P2為晶片118之一之層17及/或19之兩個接觸點，在晶片118之一中之兩個穿透通孔156v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路，而電路800之兩個接觸點P3與P4為另一個晶片118之層17及/或19之兩個接觸點，在另一個晶片118中之兩個穿透通孔156v之底部處，其中該兩個接觸點並未被連接至系統級封裝或多晶片模組之任何外部電路。電路700之接觸點P5可為互連體或金屬跡線75d之接觸點，於前文所述之穿透通孔156c之底部處，連接至前文所述之金屬插塞7c，而電路800之接觸點P7可為前文所述支撐物803上之互連體或金屬跡線75a之接觸點，連接至前文所述之金屬插塞7e。或者，電路700之接觸點P6可為互連體或金屬跡線75d之接觸點，於前文所述之穿透通孔156c之底部，連接至前文所述之金屬插塞7c，而電路800之接觸點P8可為互連體或金屬跡線75b之接觸點，於前文所述之穿透通孔156f底部處，連接至前文所述之金屬插塞7f。連接電路700之接觸點P1與電路800之接觸點P3之金屬互連體350，係包括在晶片118之一中之金屬插塞7p之一，在另一個晶片118中之金屬插塞7p之一，及金屬互連體3之一。連接電路700

之接觸點P2與電路800之接觸點P4之金屬互連體350，係包括在晶片118之一中之另一個金屬插塞7p，在另一個晶片118中之另一個金屬插塞7p，及另一個金屬互連體3。

參考圖276，電路700可包含兩個晶片間電路200a與200b、兩個內部電路200c與200d、兩個晶片外電路57a與57b及兩個測試界面電路333a與333b。電路800可包含兩個晶片間電路200e與200f、兩個內部電路200g與200h、兩個晶片外電路57c與57d及兩個測試界面電路333c與333d。

電路700之晶片間電路200a可包含晶片間緩衝器701a與晶片間ESD(靜電排放)電路701b。晶片間緩衝器701a具有第一節點FN1與第二節點SN1，而晶片間ESD電路701b具有經連接至第一節點FN1之節點En。晶片間緩衝器701a可為晶片間接收器，其可為由NMOS電晶體751a與PMOS電晶體751b所構成之換流器。NMOS電晶體751a與PMOS電晶體751b之閘係充作輸入節點，其係為晶片間緩衝器701a之第一節點FN1。NMOS電晶體751a與PMOS電晶體751b之汲極係充作輸出節點，其係為晶片間緩衝器701a之第二節點SN1。

或者，晶片間緩衝器701a可為多階段串列晶片間接收器，包含換流器之數個階段。例如，參考圖277，晶片間緩衝器701a可為兩階段串列晶片間接收器。兩階段串列晶片間接收器之第一階段584a為由NMOS電晶體751a與PMOS電晶體751b所構成之換流器，而兩階段串列晶片間接收器之第二階段584b(最後階段)為由NMOS電晶體751c與PMOS電晶體751d所構成之換流器。NMOS電晶體751c之大小係大於NMOS

電晶體751a之大小，而PMOS電晶體751d之大小係大於PMOS電晶體751b之大小。NMOS電晶體751a與PMOS電晶體751b之閘係充作輸入節點，其係為晶片間緩衝器701a之第一節點FN1。NMOS電晶體751c與PMOS電晶體751d之汲極係充作輸出節點，其係為晶片間緩衝器701a之第二節點SN1。NMOS電晶體751a與PMOS電晶體751b之汲極係被連接至NMOS電晶體751c與PMOS電晶體751d之閘。

參考圖276，電路700之晶片間電路200b可包含晶片間緩衝器702a與晶片間ESD(靜電排放)電路702b。晶片間緩衝器702a具有第一節點FN2與第二節點SN2，而晶片間ESD電路702b具有經連接至第二節點SN2之節點En。晶片間緩衝器702a可為晶片間驅動器，其可為由NMOS電晶體752a與PMOS電晶體752b所構成之換流器。NMOS電晶體752a與PMOS電晶體752b之閘係充作輸入節點，其係為晶片間緩衝器702a之第一節點FN2。NMOS電晶體752a與PMOS電晶體752b之汲極係充作輸出節點，其係為晶片間緩衝器702a之第二節點SN2。

或者，晶片間緩衝器702a可為多階段串列晶片間驅動器，包含換流器之數個階段。例如，參考圖278，晶片間緩衝器702a可為兩階段串列晶片間驅動器。兩階段串列晶片間驅動器之第一階段585a為由NMOS電晶體752c與PMOS電晶體752d所構成之換流器，而兩階段串列晶片間驅動器之第二階段585b(最後階段)為由NMOS電晶體752a與PMOS電晶體752b所構成之換流器。NMOS電晶體752a之大小係大於NMOS電晶體752c之大小，而PMOS電晶體752b之大小係大於

PMOS電晶體752d之大小。NMOS電晶體752c與PMOS電晶體752d之閘係充作輸入節點，其係為晶片間緩衝器702a之第一節點FN2。NMOS電晶體752a與PMOS電晶體752b之汲極係充作輸出節點，其係為晶片間緩衝器702a之第二節點SN2。NMOS電晶體752c與PMOS電晶體752d之汲極係被連接至NMOS電晶體752a與PMOS電晶體752b之閘。

參考圖276，電路800之晶片間電路200e可包含晶片間緩衝器703a與晶片間ESD（靜電排放）電路703b。晶片間緩衝器703a具有第一節點FN3與第二節點SN3，而晶片間ESD電路703b具有經連接至第二節點SN3之節點En。晶片間緩衝器703a可為晶片間驅動器，其可為由NMOS電晶體753a與PMOS電晶體753b所構成之換流器。NMOS電晶體753a與PMOS電晶體753b之閘係充作輸入節點，其係為晶片間緩衝器703a之第一節點FN3。NMOS電晶體753a與PMOS電晶體753b之汲極係充作輸出節點，其係為晶片間緩衝器703a之第二節點SN3。

或者，晶片間緩衝器703a可為多階段串列晶片間驅動器，包含換流器之數個階段。例如，參考圖279，晶片間緩衝器703a可為兩階段串列晶片間驅動器。兩階段串列晶片間驅動器之第一階段586a為由NMOS電晶體753c與PMOS電晶體753d所構成之換流器，而兩階段串列晶片間驅動器之第二階段586b（最後階段）為由NMOS電晶體753a與PMOS電晶體753b所構成之換流器。NMOS電晶體753a之大小係大於NMOS電晶體753c之大小，而PMOS電晶體753b之大小係大於PMOS電晶體753d之大小。NMOS電晶體753c與PMOS電晶體753d之

閘係充作輸入節點，其係為晶片間緩衝器703a之第一節點FN3。NMOS電晶體753a與PMOS電晶體753b之汲極係充作輸出節點，其係為晶片間緩衝器703a之第二節點SN3。NMOS電晶體753c與PMOS電晶體753d之汲極係被連接至NMOS電晶體753a與PMOS電晶體753b之閘。

參考圖276，電路800之晶片間電路200f可包含晶片間緩衝器704a與晶片間ESD（靜電排放）電路704b。晶片間緩衝器704a具有第一節點FN4與第二節點SN4，而晶片間ESD電路704b具有經連接至第一節點FN4之節點En。晶片間緩衝器704a可為晶片間接收器，其可為由NMOS電晶體754a與PMOS電晶體754b所構成之換流器。NMOS電晶體754a與PMOS電晶體754b之閘係充作輸入節點，其係為晶片間緩衝器704a之第一節點FN4。NMOS電晶體754a與PMOS電晶體754b之汲極係充作輸出節點，其係為晶片間緩衝器704a之第二節點SN4。

或者，晶片間緩衝器704a可為多階段串列晶片間接收器，包含換流器之數個階段。例如，參考圖280，晶片間緩衝器704a可為兩階段串列晶片間接收器。兩階段串列晶片間接收器之第一階段587a為由NMOS電晶體754a與PMOS電晶體754b所構成之換流器，而兩階段串列晶片間接收器之第二階段587b（最後階段）為由NMOS電晶體754c與PMOS電晶體754d所構成之換流器。NMOS電晶體754c之大小係大於NMOS電晶體754a之大小，而PMOS電晶體754d之大小係大於PMOS電晶體754b之大小。NMOS電晶體754a與PMOS電晶體754b之閘係充作輸入節點，其係為晶片間緩衝器704a之第一節點

FN4。NMOS電晶體754c與PMOS電晶體754d之汲極係充作輸出節點，其係為晶片間緩衝器704a之第二節點SN4。NMOS電晶體754a與PMOS電晶體754b之汲極係被連接至NMOS電晶體754c與PMOS電晶體754d之閘。

參考圖276，電路700之晶片外電路57a可包含晶片外緩衝器61a與晶片外ESD(靜電排放)電路59a。晶片外緩衝器61a具有第一節點FN5與第二節點SN5，而晶片外ESD電路59a具有經連接至第一節點FN5之節點En。晶片外緩衝器61a可為晶片外接收器，其可為由NMOS電晶體4205與PMOS電晶體4206所構成之換流器。NMOS電晶體4205與PMOS電晶體4206之閘係充作輸入節點，其係為晶片外緩衝器61a之第一節點FN5。NMOS電晶體4205與PMOS電晶體4206之汲極係充作輸出節點，其係為晶片外緩衝器61a之第二節點SN5。

或者，晶片外緩衝器61a可為多階段串列晶片外接收器，包含換流器之數個階段。例如，參考圖281，晶片外緩衝器61a可為兩階段串列晶片外接收器。兩階段串列晶片外接收器之第一階段425a為由NMOS電晶體4205與PMOS電晶體4206所構成之換流器，而兩階段串列晶片外接收器之第二階段425b(最後階段)為由NMOS電晶體4207與PMOS電晶體4208所構成之換流器。NMOS電晶體4207之大小係大於NMOS電晶體4205之大小，而PMOS電晶體4208之大小係大於PMOS電晶體4206之大小。NMOS電晶體4205與PMOS電晶體4206之閘係充作輸入節點，其係為晶片外緩衝器61a之第一節點FN5。NMOS電晶體4207與PMOS電晶體4208之汲極係充

作輸出節點，其係為晶片外緩衝器61a之第二節點SN5。NMOS電晶體4205與PMOS電晶體4206之汲極係被連接至NMOS電晶體4207與PMOS電晶體4208之閘。

參考圖276，電路700之晶片外電路57b可包含晶片外緩衝器61b與晶片外ESD（靜電排放）電路59b。晶片外緩衝器61b具有第一節點FN6與第二節點SN6，而晶片外ESD電路59b具有經連接至第二節點SN6之節點En。晶片外緩衝器61b可為晶片外驅動器，其可為由NMOS電晶體4203與PMOS電晶體4204所構成之換流器。NMOS電晶體4203與PMOS電晶體4204之閘係充作輸入節點，其係為晶片外緩衝器61b之第一節點FN6，而NMOS電晶體4203與PMOS電晶體4204之汲極係充作輸出節點，其係為晶片外緩衝器61b之第二節點SN6。

或者，晶片外緩衝器61b可為多階段串列晶片外驅動器，包含換流器之數個階段。例如，參考圖282，晶片外緩衝器61b可為兩階段串列晶片外驅動器。兩階段串列晶片外驅動器之第一階段426a為由NMOS電晶體4201與PMOS電晶體4202所構成之換流器，而兩階段串列晶片外驅動器之第二階段426b（最後階段）為由NMOS電晶體4203與PMOS電晶體4204所構成之換流器。NMOS電晶體4203之大小係大於NMOS電晶體4201之大小，而PMOS電晶體4204之大小係大於PMOS電晶體4202之大小。NMOS電晶體4201與PMOS電晶體4202之閘係充作輸入節點，其係為晶片外緩衝器61b之第一節點FN6。NMOS電晶體4203與PMOS電晶體4204之汲極係充作輸出節點，其係為晶片外緩衝器61b之第二節點SN6。

NMOS 電晶體 4201 與 PMOS 電晶體 4202 之汲極係被連接至 NMOS 電晶體 4203 與 PMOS 電晶體 4204 之閘。

參考圖 276，電路 800 之晶片外電路 57c 可包含晶片外緩衝器 61c 與晶片外 ESD（靜電排放）電路 59c。晶片外緩衝器 61c 具有第一節點 FN7 與第二節點 SN7，而晶片外 ESD 電路 59c 具有經連接至第二節點 SN7 之節點 En。晶片外緩衝器 61c 可為晶片外驅動器，其可為由 NMOS 電晶體 4303 與 PMOS 電晶體 4304 所構成之換流器。NMOS 電晶體 4303 與 PMOS 電晶體 4304 之閘係充作輸入節點，其係為晶片外緩衝器 61c 之第一節點 FN7。NMOS 電晶體 4303 與 PMOS 電晶體 4304 之汲極係充作輸出節點，其係為晶片外緩衝器 61c 之第二節點 SN7。

或者，晶片外緩衝器 61c 可為多階段串列晶片外驅動器，包含換流器之數個階段。例如，參考圖 283，晶片外緩衝器 61c 可為兩階段串列晶片外驅動器。兩階段串列晶片外驅動器之第一階段 427a 為由 NMOS 電晶體 4301 與 PMOS 電晶體 4302 所構成之換流器，而兩階段串列晶片外驅動器之第二階段 427b（最後階段）為由 NMOS 電晶體 4303 與 PMOS 電晶體 4304 所構成之換流器。NMOS 電晶體 4303 之大小係大於 NMOS 電晶體 4301 之大小，而 PMOS 電晶體 4304 之大小係大於 PMOS 電晶體 4302 之大小。NMOS 電晶體 4301 與 PMOS 電晶體 4302 之閘係充作輸入節點，其係為晶片外緩衝器 61c 之第一節點 FN7。NMOS 電晶體 4303 與 PMOS 電晶體 4304 之汲極係充作輸出節點，其係為晶片外緩衝器 61c 之第二節點 SN7。NMOS 電晶體 4301 與 PMOS 電晶體 4302 之汲極係被連接至

NMOS電晶體4303與PMOS電晶體4304之閘。

參考圖276，電路800之晶片外電路57d可包含晶片外緩衝器61d與晶片外ESD(靜電排放)電路59d。晶片外緩衝器61d具有第一節點FN8與第二節點SN8，而晶片外ESD電路59d具有經連接至第一節點FN8之節點En。晶片外緩衝器61d可為晶片外接收器，其可為由NMOS電晶體4305與PMOS電晶體4306所構成之換流器。NMOS電晶體4305與PMOS電晶體4306之閘係充作輸入節點，其係為晶片外緩衝器61d之第一節點FN8。NMOS電晶體4305與PMOS電晶體4306之汲極係充作輸出節點，其係為晶片外緩衝器61d之第二節點SN8。

或者，晶片外緩衝器61d可為多階段串列晶片外接收器，包含換流器之數個階段。例如，參考圖284，晶片外緩衝器61d可為兩階段串列晶片外接收器。兩階段串列晶片外接收器之第一階段428a為由NMOS電晶體4305與PMOS電晶體4306所構成之換流器，且兩階段串列晶片外接收器之第二階段428b(最後階段)為由NMOS電晶體4307與PMOS電晶體4308所構成之換流器。NMOS電晶體4307之大小係大於NMOS電晶體4305之大小，而PMOS電晶體4308之大小係大於PMOS電晶體4306之大小。NMOS電晶體4305與PMOS電晶體4306之閘係充作輸入節點，其係為晶片外緩衝器61d之第一節點FN8。NMOS電晶體4307與PMOS電晶體4308之汲極係充作輸出節點，其係為晶片外緩衝器61d之第二節點SN8。NMOS電晶體4305與PMOS電晶體4306之汲極係被連接至NMOS電晶體4307與PMOS電晶體4308之閘。

圖285為電路圖之另一項實例。於圖285中所示之電路圖係類似圖276中所示者，惟圖285中所示之晶片間緩衝器701a、702a、703a及704a係經設計具有晶片間三態緩衝器，各包含三態驅動器與三態接收器，代替晶片間接收器與驅動器，且圖285中所示之晶片外緩衝器61a、61b、61c及61d係經設計具有晶片外三態緩衝器，各包含三態驅動器與三態接收器，代替晶片外接收器與驅動器。於圖285中，電路700之晶片間緩衝器701a可為晶片間三態緩衝器，具有第一I/O（輸入/輸出）節點充作晶片間緩衝器701a之第一節點FN1，且具有第二I/O節點充作晶片間緩衝器701a之第二節點SN1。電路700之晶片間緩衝器702a可為晶片間三態緩衝器，具有第一I/O節點充作晶片間緩衝器702a之第一節點FN2，且具有第二I/O節點充作晶片間緩衝器702a之第二節點SN2。電路800之晶片間緩衝器703a可為晶片間三態緩衝器，具有第一I/O節點充作晶片間緩衝器703a之第一節點FN3，且具有第二I/O節點充作晶片間緩衝器703a之第二節點SN3。電路800之晶片間緩衝器704a可為晶片間三態緩衝器，具有第一I/O節點充作晶片間緩衝器704a之第一節點FN4，且具有第二I/O節點充作晶片間緩衝器704a之第二節點SN4。電路700之晶片外緩衝器61a可為晶片外三態緩衝器，具有第一I/O節點充作晶片外緩衝器61a之第一節點FN5，且具有第二I/O節點充作晶片外緩衝器61a之第二節點SN5。電路700之晶片外緩衝器61b可為晶片外三態緩衝器，具有第一I/O節點充作晶片外緩衝器61b之第一節點FN6，且

具有第二I/O節點充作晶片外緩衝器61b之第二節點SN6。電路800之晶片外緩衝器61c可為晶片外三態緩衝器，具有第一I/O節點充作晶片外緩衝器61c之第一節點FN7，且具有第二I/O節點充作晶片外緩衝器61c之第二節點SN7。電路800之晶片外緩衝器61d可為晶片外三態緩衝器，具有第一I/O節點充作晶片外緩衝器61d之第一節點FN8，且具有第二I/O節點充作晶片外緩衝器61d之第二節點SN8。

參考圖276或285，各內部電路200c、200d、200g及200h可為反或閘、反及閘、及閘、或閘、操作放大器、快閃記憶元件、動態隨機存取記憶體(DRAM)元件、靜態隨機存取記憶體(SRAM)元件、非揮發性記憶元件、可消除可程式化唯讀記憶體(EPROM)元件、唯讀記憶(ROM)元件、磁性隨機存取記憶體(MRAM)元件、讀出放大器、類比數位(A/D)轉換器、數位類比(D/A)轉換器、換流器、加法器、多路乘法器、雙訊器、倍增器、互補金氧半導體(CMOS)裝置、雙極性CMOS裝置、雙極電路或類比電路。各內部電路200c、200d、200g及200h可包括NMOS電晶體(n-型金屬-氧化物-半導體電晶體)，具有其物理通道寬度對其物理通道長度之比例範圍為例如約0.1與20，範圍為例如約0.1與10，或範圍為例如約0.2與2。或者，各內部電路200c、200d、200g及200h可包括PMOS電晶體(p-型金屬-氧化物-半導體電晶體)，具有其物理通道寬度對其物理通道長度之比例，範圍為例如約0.2與40，範圍為例如約0.2與20，或範圍為例如約0.4與4。各晶片間ESD電路701b、702b、703b及704b，以及各晶片外ESD電路59a、

59b、59c及59d，可包括一或多個ESD(靜電排放)單元，各由兩個逆偏壓二極體或由PMOS電晶體與NMOS電晶體所構成。

晶片間緩衝器701a之第一節點FN1可被連接至晶片間ESD電路701b之節點En，經過電路700之金屬互連體740b至測試界面電路333a之第一端子F1，且經過金屬互連體740b至電路700之接觸點P1。晶片間緩衝器701a之第二節點SN1可經過電路700之金屬互連體740a，被連接至內部電路200c。

晶片間緩衝器702a之第一節點FN2可經過電路700之金屬互連體740c，被連接至內部電路200d。晶片間緩衝器702a之第二節點SN2可被連接至晶片間ESD電路702b之節點En，經過電路700之金屬互連體740d至測試界面電路333b之第一端子F2，且經過金屬互連體740d至電路700之接觸點P2。

晶片間緩衝器703a之第一節點FN3可經過電路800之金屬互連體740e，被連接至內部電路200g。晶片間緩衝器703a之第二節點SN3可被連接至晶片間ESD電路703b之節點En，經過電路800之金屬互連體740f至測試界面電路333c之第一端子F3，且經過金屬互連體740f至電路800之接觸點P3。

晶片間緩衝器704a之第一節點FN4可被連接至晶片間ESD電路704b之節點En，經過電路800之金屬互連體740h至測試界面電路333d之第一端子F4，且經過金屬互連體740h至電路800之接觸點P4。晶片間緩衝器704a之第二節點SN4可經過電路800之金屬互連體線條740g，被連接至內部電路200h。

晶片外緩衝器61a之第一節點FN5可被連接至晶片外ESD電路59a之節點En，且經過電路700之金屬互連體740j至電路700之接觸點P5。晶片外緩衝器61a之第二節點SN5可經過電路700之金屬互連體740i，被連接至測試界面電路333a之第二端子S1。

晶片外緩衝器61b之第一節點FN6可經過電路700之金屬互連體740k，被連接至測試界面電路333b之第二端子S2。晶片外緩衝器61b之第二節點SN6可被連接至晶片外ESD電路59b之節點En，且經過電路700之金屬互連體740m至電路700之接觸點P6。

晶片外緩衝器61c之第一節點FN7可經過電路800之金屬互連體740n，被連接至測試界面電路333c之第二端子S3。晶片外緩衝器61c之第二節點SN7可被連接至晶片外ESD電路59c之節點En，且經過電路800之金屬互連體740p至電路800之接觸點P7。

晶片外緩衝器61d之第一節點FN8可被連接至晶片外ESD電路59d之節點En，且經過電路800之金屬互連體740r至電路800之接觸點P8。晶片外緩衝器61d之第二節點SN8可經過電路800之金屬互連體740q，被連接至測試界面電路333d之第二端子S4。

當電路700係被提供於晶片68中時，電路700之金屬互連體740a、740b、740c、740d、740i、740j、740k及740m可藉由晶片68之層26與34及通孔插塞26a與34a所提供；或者，當電路700係被提供於晶片72中時，電路700之金屬互連體

740a、740b、740c、740d、740i、740j、740k及740m可藉由晶片72之層106與114及通孔插塞106a與114a所提供；或者，當電路700係被提供於晶片118中時，電路700之金屬互連體740a、740b、740c、740d、740i、740j、740k及740m可藉由晶片118之層17與19及通孔插塞17a與19a所提供。

當電路800係被提供於晶片68中時，電路800之金屬互連體740e、740f、740g、740h、740n、740p、740q及740r可藉由晶片68之層26與34及通孔插塞26a與34a所提供；或者，當電路800係被提供於晶片72中時，電路800之金屬互連體740e、740f、740g、740h、740n、740p、740q及740r可藉由晶片72之層106與114及通孔插塞106a與114a所提供；或者，當電路800係被提供於晶片118中時，電路800之金屬互連體740e、740f、740g、740h、740n、740p、740q及740r可藉由晶片118之層17與19及通孔插塞17a與19a所提供。

小晶片間緩衝器701a、702a、703a及704a係在電路700與800中，針對電路700與800間之信號、時標或資料傳輸設計。在具有電路700之晶片上之晶片間緩衝器(包括晶片間緩衝器701a與702a)之總數可等於或大於例如512，且較佳為等於或大於例如1024。在具有電路800之晶片上之晶片間緩衝器(包括晶片間緩衝器703a與704a)之總數可等於或大於例如512，且較佳為等於或大於例如1024。

大晶片外緩衝器61a、61b、61c及61d，譬如晶片外驅動器、晶片外接收器或晶片外三態緩衝器，係在電路700與800中，針對電路測試，及/或針對經過前文所述之焊料塊或球126，

經過前文所述之金屬凸塊672，或經過前文所述之經導線黏結之導線184，在系統級封裝或多晶片模組之外部電路(譬如母板、金屬基板、玻璃基板、陶瓷基板或前文所述載體176)間之信號、時標或資料傳輸設計。測試電路為(i)將具有電路700或800之晶片自晶圓鋸開或切成小片塊分開前所進行之晶圓級測試，或(ii)具有電路700之晶片與具有電路800之晶片係互相連接後之封裝級測試(最後測試)。

測試界面電路333a與333b係經設計於電路700中，而測試界面電路333c與333d係經設計於電路800中。如自晶片間緩衝器701a或704a所見及，在圖276中所示之測試界面電路333a或333d之第一端子F1或F4上之輸出電容，係小於2 pF，例如小於1 pF，或小於0.2 pF。在圖276中所示之測試界面電路333a或333d之第一端子F1或F4之輸出負載電容，係小於2 pF，例如小於1 pF，或小於0.2 pF。如自晶片間緩衝器702a或703a所見及，在圖276中所示之測試界面電路333b或333c之第一端子F2或F3處之輸入電容，係小於2 pF，例如小於1 pF，或小於0.2 pF。在圖276中所示之測試界面電路333b或333c之第一端子F2或F3之輸入負載電容，係小於2 pF，例如小於1 pF，或小於0.2 pF。如自晶片間緩衝器701a、702a、703a或704a所見及，在圖285中所示之測試界面電路333a、333b、333c或333d之第一端子F1、F2、F3或F4處之輸入或輸出電容，係小於2 pF，例如小於1 pF，或小於0.2 pF。在圖285中所示之測試界面電路333a、333b、333c或333d之第一端子F1、F2、F3或F4之輸入或輸出負載電容，係小於2 pF，例

如小於1 pF，或小於0.2 pF。圖276或285中所示之各測試界面電路333a、333b、333c及333d可為掃描測試電路，且該掃描測試電路可用於在將具有電路700或800之晶片自晶圓鋸開或切成小片塊分開之前，經由連接至測試探針之接觸點P5、P6、P7或P8之晶圓級測試時，或在具有電路700之晶片與具有電路800之晶片係使用前文所述製程互相連接後之封裝級測試(最後測試)時所進行之掃描測試。掃描測試電路係用以藉輸入掃描輸入信號或輸出掃描-輸出信號測試倒裝跳動。

參考圖276或285，金屬互連體350可被用於時標線或互連體，或信號線或互連體，譬如位元線、位元互連體、位址線或位址互連體。

在具有電路700之晶片與具有電路800之晶片間之平行資料通信中，藉由兩個金屬互連體350所提供之位元線或位元互連體之總數可為二，例如圖276或285中所示。於此情況中，在具有電路700之晶片與具有電路800之晶片間之平行資料通信之位元寬度為二。或者，在具有電路700之晶片與具有電路800之晶片間之平行資料通信中之位元線或位元互連體之總數，可等於或大於4、8、16、32、64、128、256、512或1024；其係意謂平行資料通信之位元寬度可等於或大於4、8、16、32、64、128、256、512或1024。應注意的是，在此等替代方式中，只有兩條位元線或位元互連體350(及其相應之晶片間緩衝器701a、702a、703a及704a)係示於圖276或285中，而其他位元線或位元互連體(及其相應之晶片間

緩衝器)並未示於圖276或285中，但彼等(及其相應之晶片間緩衝器)係經設計，與圖276或285中所示之兩條位元線或位元互連體350(及其相應之晶片間緩衝器701a、702a、703a及704a)相同。用於位元線或位元互連體之各金屬互連體350係將電路700之晶片間緩衝器701a或702a連接至電路800之晶片間緩衝器703a或704a。以位元寬度為1024之情況作為實例，有具電路700之晶片之1024個晶片間緩衝器，譬如701a或702a，連接至1024個位元線或位元互連體，譬如350，然後連接至具有電路800之晶片之1024個晶片間緩衝器，譬如703a或704a。因此，與具有電路700之晶片與具有電路800之晶片間之平行資料通信中位元線或位元互連體所連接晶片間緩衝器701a與702a之總數，係等於該位元線或位元互連體之總數，且亦等於與該位元線或位元互連體連接之晶片間緩衝器703a與703a之總數。在具有電路700之晶片與具有電路800之晶片間之位元線或位元互連體例如金屬互連體350之資料通信，可具有資料位元寬度等於或大於例如2、4、8、16、32、64、128、256、512或1024，且較佳為等於或大於512或1024。

參考圖276或285，小晶片間ESD電路701b、702b、703b及704b係在具有電路700之晶片與具有電路800之晶片之間用於小晶片間緩衝器701a、702a、703a及704a，以供晶片封裝或組裝製程期間之靜電荷保護。或者，對於具有電路700之晶片與具有電路800之晶片間之小晶片間緩衝器701a、702a、703a及704a，可不需要ESD電路，意即，晶片間ESD電路

701b、702b、703b及704b可省略。換言之，沒有ESD電路被連接至金屬互連體740b、740d、740f及740h。

為大晶片外緩衝器61a、61b、61c及61d所需要之大晶片外ESD電路59a、59b、59c及59d係在兩種電路700與800中，針對電路測試，及/或針對經過前文所述之焊料塊或球126，經過前文所述之金屬凸塊672，或經過前文所述之經導線黏結之導線184，在系統級封裝或多晶片模組之外部電路(譬如母板、金屬基板、玻璃基板、陶瓷基板或前文所述載體176)間之信號、時標或資料傳輸設計。電路測試為(i)將具有電路700或800之晶片自晶圓鋸開或切成小片塊分開前所進行之晶圓級測試，或(ii)具有電路700之晶片與具有電路800之晶片係互相連接後之封裝級測試(最後測試)。大晶片外ESD電路59a、59b、59c及59d係用於電路測試，譬如晶圓級測試或封裝級測試(最後測試)期間之靜電荷保護。

小晶片間ESD電路701b、702b、703b或704b之大小可個別小於大晶片外ESD電路59a、59b、59c或59d之大小。例如，晶片間ESD電路701b、702b、703b或704b之大小可被界定為晶片間ESD電路701b、702b、703b或704b之負載量或電容，且晶片外ESD電路59a、59b、59c或59d之大小可被界定為晶片外ESD電路59a、59b、59c或59d之負載量或電容。於一種情況中，各小晶片間ESD電路701b、702b、703b及704b具有大小(負載量或電容)小於2 pF(微微法拉)，譬如在0.01與2 pF之間，例如小於0.5 pF，譬如在0.01與0.5 pF之間，且各大晶片外ESD電路59a、59b、59c及59d具有大小(負載量或電

容)大於2 pF，譬如在2與100 pF之間，例如大於5 pF，譬如在5與100 pF之間。在另一種情況中，各小晶片間ESD電路701b、702b、703b及704b具有大小(負載量或電容)小於1 pF，譬如在0.01與1 pF之間，且各大晶片外ESD電路59a、59b、59c及59d具有大小(負載量或電容)大於1 pF，譬如在1與100 pF之間。

或者，小晶片間ESD電路701b、702b、703b或704b之大小或大晶片外ESD電路59a、59b、59c或59d之大小可被界定如下文。ESD(靜電排放)電路，譬如晶片間ESD電路701b、702b、703b或704b或晶片外ESD電路59a、59b、59c或59d，可包含一或多個ESD單元，且各ESD單元可包含P^+作用區域與N^+作用區域，其係被連接至P^+作用區域，及至晶片之I/O(輸入/輸出)接觸點或測試接觸點，譬如圖276或285中所示之接觸點P1、P2、P3、P4、P5、P6、P7或P8。P^+作用區域之領域加上N^+作用區域之領域係等於各ESD單元之主動區域。ESD單元之主動區域之合計係等於ESD電路之主動區域。若ESD電路係僅由一個ESD單元所構成，則ESD電路之主動區域係等於該唯一ESD單元之主動區域。若ESD電路係由多個ESD單元所構成，則ESD電路之主動區域係等於所並聯連接之ESD單元主動區域之合計。ESD電路之主動區域可用以界定ESD電路之大小。圖286-291顯示如何計算晶片ESD單元之主動區域，及界定由一或多個ESD單元所構成之ESD電路之大小。

參考圖286，晶片之靜電排放(ESD)單元759可由兩個逆偏

壓二極體5931與5932所構成。圖288顯示圖286中所示之ESD單元759之橫截面圖，且圖289為俯視透視圖，顯示衍生自圖288中所示p-型矽基板401頂部表面Z-Z'之ESD單元759之表面形態。

參考圖286、288及289，ESD單元759包含兩個P^+作用區域757a與757b及兩個N^+作用區域758a與758b。P^+作用區域757a係在p-型矽基板401中之N-井755內，而N^+作用區域758a係在p-型矽基板401中。P^+作用區域757a係經過晶片之金屬互連體763a，被連接至晶片之I/O接觸點或測試接觸點，譬如圖276或285中所示之電路700之接觸點P1、P2、P3或P4或圖276或285中所示之電路800之接觸點P5、P6、P7或P8。N^+作用區域758a係經過金屬互連體763a，被連接至P^+作用區域757a及至晶片之I/O接觸點或測試接觸點。金屬互連體763a包含在p-型矽基板401上方之介電層330上所形成之微細線條金屬層660a，於P^+作用區域757a之接觸區域764a上且在介電層330中所形成之第一通孔插塞661，及在N^+作用區域758a之接觸區域764b上且於介電層330中所形成之第二通孔插塞661。P^+作用區域757b係在p-型矽基板401中，而N^+作用區域758b係在p-型矽基板401中之N-井755內。P^+作用區域757b係經過金屬互連體763b被連接至接地匯流排，且N^+作用區域758b係經過金屬互連體763c被連接至電源匯流排。金屬互連體763b含有於p-型矽基板401上方之介電層330上所形成之微細線條金屬層660b，與在P^+作用區域757b之接觸區域764c上且於介電層330中所形成之第三通孔插塞661。金屬互連

體763c含有於p-型矽基板401上方之介電層330上所形成之微細線條金屬層660c，與在N^+作用區域758b之接觸區域764d上且於介電層330中所形成之第四通孔插塞661。

參考圖289，經連接至晶片之I/O接觸點或測試接觸點之P^+作用區域757a，從上面看，具有區域AR1，其係被p-型矽基板401中之場氧化物762包圍。經連接至晶片之I/O接觸點或測試接觸點之N^+作用區域758a，從上面看，具有區域AR2，其係被p-型矽基板401中之場氧化物762包圍。ESD單元759之主動區域等於區域AR1加上區域AR2。

或者，參考圖287，晶片之ESD單元759可由PMOS電晶體681與NMOS電晶體682所構成。圖290顯示圖287中所示之ESD單元759之橫截面圖，且圖291為俯視透視圖，顯示衍生自圖290中所示p-型矽基板401頂部表面Z-Z'之ESD單元759之表面形態。

參考圖287、290及291，ESD單元759之PMOS電晶體681包含閘761a及在閘761a之兩個相反側面上之兩個P^+作用區域757a與757c，且ESD單元759之NMOS電晶體682包含閘761b及在閘761b之兩個相反側面上之兩個N^+作用區域758a與758c。P^+作用區域757a係在p-型矽基板401中之N-井755內，而N^+作用區域758a係在p-型矽基板401中。P^+作用區域757a係經過晶片之金屬互連體763a，被連接至晶片之I/O接觸點或測試接觸點，譬如圖276或285中所示之電路700之接觸點P1、P2、P3或P4或圖276或285中所示之電路800之接觸點P5、P6、P7或P8。N^+作用區域758a係經過金屬互連體763a，

被連接至P^+作用區域757a及至晶片之I/O接觸點或測試接觸點。金屬互連體763a含有在p-型矽基板401上方之介電層330上所形成之微細線條金屬層660a，於P^+作用區域757a之接觸區域764a上且在介電層330中所形成之第一通孔插塞661，及在N^+作用區域758a之接觸區域764b上且於介電層330中所形成之第二通孔插塞661。P^+作用區域757b係在p-型矽基板401中，而N^+作用區域758b係在p-型矽基板401中之N-井755內。P^+作用區域757c係在p-型矽基板401中之N-井755內，而N^+作用區域758c係在p-型矽基板401中。N^+作用區域758c係經過晶片之金屬互連體763b被連接至晶片之接地匯流排，及經過金屬互連體763b至P^+作用區域757b，且P^+作用區域757b係經過金屬互連體763b被連接至接地匯流排。P^+作用區域757c係經過晶片之金屬互連體763c被連接至晶片之電源匯流排，及經過金屬互連體763c至N^+作用區域758b，且N^+作用區域758b係經過金屬互連體763c被連接至電源匯流排。金屬互連體763b含有於p-型矽基板401上方之介電層330上所形成之微細線條金屬層660b，於P^+作用區域757b之接觸區域764c上且在介電層330中所形成之第三通孔插塞661，及在N^+作用區域758c之接觸區域764e上且於介電層330中所形成之第四通孔插塞661。金屬互連體763c含有在p-型矽基板401上方之介電層330上所形成之微細線條金屬層660c，在N^+作用區域758b之接觸區域764d上所形成之第五個通孔插塞661，及在P^+作用區域757c之接觸區域764f上所形成之第六個通孔插塞661。閘761a具有接觸區域764g，經連接至晶片

之電源匯流排，及經過金屬互連體763c至接觸區域764d與764f。閘761b具有接觸區域764h，經連接至晶片之接地匯流排，及經過金屬互連體763b至接觸區域764c與764e。

參考圖291，經連接至晶片之I/O接觸點或測試接觸點之P^+作用區域757a，從上面看，具有區域AR3，其係被藉由閘761a之側壁748所界定之邊界及場氧化物762與P^+作用區域757a間之邊緣所包圍。經連接至晶片之I/O接觸點或測試接觸點N^+作用區域758a，從上面看，具有區域AR4，其係被藉由閘761b之側壁749所界定之邊界及場氧化物762與N^+作用區域758a間之邊緣所包圍。ESD單元759之主動區域係等於區域AR3加上區域AR4。

以圖286-291中所示之前文所述界定或計算為基礎，可計算ESD電路之各ESD單元之主動區域，且ESD單元之主動區域之合計係等於ESD電路之主動區域。若ESD電路係僅由一個ESD單元所構成，則ESD電路之主動區域係等於該唯一ESD單元之主動區域。若ESD電路係由多個ESD單元所構成，則ESD電路之主動區域係等於所並聯連接之ESD單元主動區域之合計。

因此，可計算各晶片間ESD電路701b、702b、703b及704b之主動區域與各晶片外ESD電路59a、59b、59c及59d之主動區域。例如，小晶片間ESD電路701b、702b、703b或704b可具有主動區域小於1300平方毫米，譬如在6.5與1300平方毫米之間，例如小於325平方毫米，譬如在6.5與325平方毫米之間，而大晶片外ESD電路59a、59b、59c或59d可具有主動

區域大於1300平方毫米，譬如在1300與65,000平方毫米之間，例如大於3250平方毫米，譬如在3250與65,000平方毫米之間。或者，小晶片間ESD電路701b、702b、703b或704b可具有主動區域小於650平方毫米，而大晶片外ESD電路59a、59b、59c或59d可具有主動區域大於650平方毫米。

電路700之大晶片外ESD電路59a之大小(其係被界定為大晶片外ESD電路59a中之一或多個ESD單元之主動區域之合計，或大晶片外ESD電路59a之負載量或電容)可大於電路700之小晶片間ESD電路701b之大小(其係被界定為小晶片間ESD電路701b中之一或多個ESD單元之主動區域之合計，或小晶片間ESD電路701b之負載量或電容)達超過3倍、10倍、25倍或50倍，譬如在3與50倍之間。

電路700之大晶片外ESD電路59b之大小(其係被界定為大晶片外ESD電路59b中之一或多個ESD單元之主動區域之合計，或大晶片外ESD電路59b之負載量或電容)可大於電路700之小晶片間ESD電路702b之大小(其係被界定為小晶片間ESD電路702b中之一或多個ESD單元之主動區域之合計，或小晶片間ESD電路702b之負載量或電容)達超過3倍、10倍、25倍或50倍，譬如在3與50倍之間。

電路800之大晶片外ESD電路59c之大小(其係被界定為大晶片外ESD電路59c中之一或多個ESD單元之主動區域之合計，或大晶片外ESD電路59c之負載量或電容)可大於電路800之小晶片間ESD電路703b之大小(其係被界定為小晶片間ESD電路703b中之一或多個ESD單元之主動區域之合計，

或小晶片間ESD電路703b之負載量或電容)達超過3倍、10倍、25倍或50倍，譬如在3與50倍之間。

電路800之大晶片外ESD電路59d之大小(其係被界定為大晶片外ESD電路59d中之一或多個ESD單元之主動區域之合計，或大晶片外ESD電路59d之負載量或電容)可大於電路800之小晶片間ESD電路704b之大小(其係被界定為小晶片間ESD電路704b中之一或多個ESD單元之主動區域之合計，或小晶片間ESD電路704b之負載量或電容)達超過3倍、10倍、25倍或50倍，譬如在3與50倍之間。

參考圖276，晶片間緩衝器702a或703a之大小，可以晶片間緩衝器702a或703a之負載或負載量為特徵。晶片間緩衝器702a或703a之負載或負載量為晶片間緩衝器702a或703a之總相等電容負載。晶片間緩衝器702a或703a之負載或負載量(電容)，譬如圖278或279中所示之兩階段串列晶片間驅動器之最後階段換流器585b或586b之負載或負載量(電容)，其中NMOS電晶體752a或753a與PMOS電晶體752b或753b之汲極係被連接至接觸點P2或P3，可小於10 pF，譬如在0.01 pF與10 pF之間，或在0.1 pF與5 pF之間，小於2 pF，譬如在0.001 pF與2 pF之間，或小於1 pF，譬如在0.01 pF與1 pF之間。晶片間緩衝器701a或704a之大小，可以晶片間緩衝器701a或704a之輸入電容(負載量)為特徵，而晶片間緩衝器701a或704a之輸入電容(負載量)可小於10 pF，譬如在0.01 pF與10 pF之間，或在0.1 pF與5 pF之間，小於2 pF，譬如在0.001 pF與2 pF之間，或小於1 pF，譬如在0.01 pF與1 pF之間。

參考圖285，晶片間緩衝器701a、702a、703a或704a之大小，可以晶片間緩衝器701a、702a、703a或704a之負載或負載量為特徵。晶片間緩衝器701a、702a、703a或704a之負載或負載量為晶片間緩衝器701a、702a、703a或704a之總相等電容負載。晶片間緩衝器701a、702a、703a或704a之負載或負載量(電容)，譬如多階段串列三態緩衝器之最後階段三態驅動器之負載或負載量(電容)，其中NMOS電晶體與PMOS電晶體之汲極係被連接至接觸點P1、P2、P3或P4，可小於10 pF，譬如在0.01 pF與10 pF之間，或在0.1 pF與5 pF之間，小於2 pF，譬如在0.001 pF與2 pF之間，或小於1 pF，譬如在0.01 pF與1 pF之間。

參考圖276，晶片外緩衝器61b或61c之大小，可以晶片外緩衝器61b或61c之負載或負載量為特徵。晶片外緩衝器61b或61c之負載或負載量為晶片外緩衝器61b或61c之總相等電容負載。晶片外緩衝器61b或61c之負載或負載量(電容)，譬如圖282或283中所示之多階段串列晶片外驅動器之最後階段驅動器426b或427b之負載或負載量(電容)，其中NMOS電晶體4203或4303與PMOS電晶體4204或4304之汲極係被連接至接觸點P6或P7，可大於10 pF，譬如在10 pF與100 pF之間，大於2 pF，譬如在2與100 pF之間，或大於1 pF，譬如在1 pF與100 pF之間。晶片外緩衝器61a或61d之大小，可以晶片外緩衝器61a或61d之輸入電容(負載量)為特徵，而晶片外緩衝器61a或61d之輸入電容(負載量)可大於10 pF，譬如在10 pF與100 pF之間，大於2 pF，譬如在2與100 pF之間，

或大於1 pF，譬如在1 pF與100 pF之間。

參考圖285，晶片外緩衝器61a、61b、61c或61d之大小可以晶片外緩衝器61a、61b、61c或61d之負載或負載量為特徵。晶片外緩衝器61a、61b、61c或61d之負載或負載量為晶片外緩衝器61a、61b、61c或61d之總相等電容負載。晶片外緩衝器61a、61b、61c或61d之負載或負載量(電容)，譬如多階段串列三態緩衝器之最後階段三態驅動器之負載或負載量(電容)，其中NMOS電晶體與PMOS電晶體之汲極係被連接至接觸點P5、P6、P7或P8，可大於10 pF，譬如在10 pF與100 pF之間，大於2 pF，譬如在2與100 pF之間，或大於1 pF，譬如在1 pF與100 pF之間。

於圖276或285中所示之晶片外緩衝器61b之負載或負載量(電容)係大於圖276或285中所示之晶片間緩衝器702a之負載或負載量(電容)，達超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。於圖276或285中所示之晶片外緩衝器61c之負載或負載量(電容)係大於圖276或285中所示之晶片間緩衝器703a之負載或負載量(電容)，達超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。

參考圖276或285，晶片間緩衝器702a或703a之大小，可以晶片間緩衝器702a或703a之尖峰驅動電流為特徵，而晶片外緩衝器61b或61c之大小，可以晶片外緩衝器61b或61c之尖峰驅動電流為特徵。晶片外緩衝器61b或61c之尖峰驅動電流係大於晶片間緩衝器702a或703a之尖峰驅動電流，達超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。

例如，關於圖276中所示之晶片間緩衝器702a，當PMOS電晶體752b為開啟，且NMOS電晶體752a為關閉時，藉由晶片間緩衝器702a所驅動之前文所述負載或負載量係以帶電電流充電。當NMOS電晶體752a為開啟，且PMOS電晶體752b為關閉時，藉由晶片間緩衝器702a所驅動之前文所述負載或負載量係以放電電流放電。NMOS電晶體752a或PMOS電晶體752b之尖峰帶電或放電電流(偏壓功能)可用以界定晶片間緩衝器702a之尖峰驅動電流。關於圖276中所示之晶片外緩衝器61b，當PMOS電晶體4204為開啟，且NMOS電晶體4203為關閉時，藉由晶片外緩衝器61b所驅動之前文所述負載或負載量係以帶電電流充電。當NMOS電晶體4203為開啟，且PMOS電晶體4204為關閉時，藉由晶片外緩衝器61b所驅動之前文所述負載或負載量係以放電電流放電。NMOS電晶體4203或PMOS電晶體4204之尖峰帶電或放電電流(偏壓功能)可用以界定晶片外緩衝器61b之尖峰驅動電流。晶片外緩衝器61b之尖峰驅動電流係大於晶片間緩衝器702a之尖峰驅動電流，達超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。

參考圖276或285，晶片間緩衝器702a或703a之大小，可以晶片間緩衝器702a或703a之最後階段驅動器中電晶體之導通電阻為特徵，而晶片外緩衝器61b或61c之大小，可以晶片外緩衝器61b或61c之最後階段驅動器中電晶體之導通電阻為特徵。晶片外緩衝器61b或61c之導通電阻係大於晶片間緩衝器702a或703a之導通電阻，達超過3倍、10倍、25倍

或50倍，譬如在3與100倍之間。

例如，關於圖276中所示之晶片間緩衝器702a，當PMOS電晶體752b為開啟，且NMOS電晶體752a為關閉時，藉由晶片間緩衝器702a所驅動之前文所述負載或負載量係經充電，且PMOS電晶體752b係相當於具有導通電阻之電阻器。當NMOS電晶體752a為開啟，且PMOS電晶體752b為關閉時，藉由晶片間緩衝器702a所驅動之前文所述負載或負載量係經放電，且NMOS電晶體752a係相當於具有導通電阻之電阻之電阻器。NMOS電晶體752a或PMOS電晶體752b之導通電阻(偏壓功能)可用以特徵鑒定晶片間緩衝器702a之大小。關於圖276中所示之晶片外緩衝器61b，當PMOS電晶體4204為開啟，且NMOS電晶體4203為關閉時，藉由晶片外緩衝器61b所驅動之前文所述負載或負載量係經充電，且PMOS電晶體4204係相當於具有導通電阻之電阻器。當NMOS電晶體4203為開啟，且PMOS電晶體4204為關閉時，藉由晶片外緩衝器61b所驅動之前文所述負載或負載量係經放電，且NMOS電晶體4203係相當於具有導通電阻之電阻器。NMOS電晶體4203或PMOS電晶體4204之導通電阻(偏壓功能)可用以特徵鑒定晶片外緩衝器61b之大小。

參考圖276或285，晶片間緩衝器701a、702a、703a或704a之大小或晶片外緩衝器61a、61b、61c或61d之大小，可以NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。圖292或293顯示如何界定或計算NMOS電晶體或PMOS電晶體之物理通道寬度與物理通道長度。

圖292或293顯示可為PMOS電晶體或NMOS電晶體之MOS電晶體(金屬-氧化物-半導體電晶體)之俯視圖。參考圖292，晶片之MOS電晶體包含在晶片之半導體基板中之作用區域600、擴散區域，在半導體基板中及環繞作用區域600之場氧化物區域602，在場氧化物區域602上且橫越作用區域600之閘604，及在作用區域600與閘604間之閘極氧化物(未示出)。作用區域600可被界定為在閘604側面下之源極606與在閘604另一個側面下之汲極608。閘604之材料可為多晶矽、金屬矽化物或上述材料之複合物層，而金屬矽化物可為NiSi、CoS、$TiSi_2$或WSi。或者，閘604之材料可為金屬，譬如W、WN、TiN、Ta、TaN、Mo或合金或上述材料之複合物層。閘極氧化物之材料可為氧化矽或高k氧化物，譬如含有Hf之氧化物。含有Hf之氧化物可為HfO_2、HfSiON或HfSiO。參考標記W係被定義為MOS電晶體之物理通道寬度，橫跨在擴散區域600上之閘604之長度；參考標記L係被定義為MOS電晶體之物理通道長度，在擴散區域600上之閘604之寬度。

參考圖293，或者，MOS電晶體可包含具有在一或多個擴散區域600上之多個部份604_1-604_n之閘604。參考標記W_1-W_n係被定義為閘604之各部份604_1-604_n之物理通道寬度，橫跨在擴散區域600上之閘604之各部份604_1-604_n之長度；參考標記L係被定義為閘604之部份604_1-604_n之一之物理通道長度，在擴散區域600上之閘604之部份604_1-604_n之一之寬度。於此情況中，MOS電晶體之物理通道寬度為閘604之各部份

604_1-604_n之物理通道寬度W_1-W_n之總和，而MOS電晶體之物理通道長度係為閘604之部份604_1-604_n之一之物理通道長度L。

因此，如圖292或293中所示之MOS電晶體之物理通道寬度與物理通道長度之定義，可適用於本文中所述之各種特徵/結構。

於圖276中所示之晶片間緩衝器702a之大小，可以NMOS電晶體752a或PMOS電晶體752b之物理通道寬度對物理通道長度之比例為特徵。如所示，NMOS電晶體752a與PMOS電晶體752b之汲極可經過金屬互連體線條740d，被連接至電路700之接觸點P2。若晶片間緩衝器702a為圖278中所示之兩階段串列晶片間驅動器，則晶片間緩衝器702a之大小，可以最後階段驅動器585b中之NMOS電晶體752a或PMOS電晶體752b之物理通道寬度對物理通道長度之比例為特徵，且NMOS電晶體752a與PMOS電晶體752b之汲極係經過金屬互連體740d，被連接至電路700之接觸點P2。NMOS電晶體752a之物理通道寬度對物理通道長度之比例，可例如在1與50之間，且在列舉之具體實施例中，該比例可在1與20之間。PMOS電晶體752b之物理通道寬度對物理通道長度之比例可為適當數值，例如在1與100之間，在列舉之具體實施例中，該比例可在1與40之間。

於圖276中所示之晶片間緩衝器703a之大小，可以NMOS電晶體753a或PMOS電晶體753b之物理通道寬度對物理通道長度之比例為特徵。如所示，NMOS電晶體753a與PMOS電

晶體753b之汲極可經過金屬互連體740f，被連接至電路800之接觸點P3。若晶片間緩衝器703a為圖279中所示之兩階段串列晶片間驅動器，則晶片間緩衝器703a之大小，可以最後階段驅動器586b中之NMOS電晶體753a或PMOS電晶體753b之物理通道寬度對物理通道長度之比例為特徵，且NMOS電晶體753a與PMOS電晶體753b之汲極係經過金屬互連體740f，被連接至電路800之接觸點P3。NMOS電晶體753a之物理通道寬度對物理通道長度之比例，可例如在1與50之間，且在列舉之具體實施例中，該比例可在1與20之間。PMOS電晶體753b之物理通道寬度對物理通道長度之比例，可例如在1與100之間，且在列舉之具體實施例中，該比例可在1與40之間。

於圖276中所示之晶片外緩衝器61b之大小，可以NMOS電晶體4203或PMOS電晶體4204之物理通道寬度對物理通道長度之比例為特徵。如所示，NMOS電晶體4203與PMOS電晶體4204之汲極可經過金屬互連體740m，被連接至電路700之接觸點P6。若晶片外緩衝器61b為圖282中所示之兩階段串列晶片外驅動器，則晶片外緩衝器61b之大小，可以最後階段驅動器426b中之NMOS電晶體4203或PMOS電晶體4204之物理通道寬度對物理通道長度之比例為特徵，且NMOS電晶體4203與PMOS電晶體4204之汲極係經過金屬互連體740m，被連接至電路700之接觸點P6。NMOS電晶體4203之物理通道寬度對物理通道長度之比例可例如大於30，譬如在30與20,000之間，且在列舉之具體實施例中，該比例可大於50，

譬如在50與300之間。PMOS電晶體4204之物理通道寬度對物理通道長度之比例可例如大於60，譬如在60與40,000之間，且在列舉之具體實施例中，該比例可大於100，譬如在100與600之間。關於列舉之具體實施例，NMOS電晶體4203之物理通道寬度對物理通道長度之比例可大於NMOS電晶體752a之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。再者，關於列舉之具體實施例，PMOS電晶體4204之物理通道寬度對物理通道長度之比例可大於PMOS電晶體752b之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。

於圖276中所示之晶片外緩衝器61c之大小，可以NMOS電晶體4303或PMOS電晶體4304之物理通道寬度對物理通道長度之比例為特徵。如所示，NMOS電晶體4303與PMOS電晶體4304之汲極可經過金屬互連體740p，被連接至電路800之接觸點P7。若晶片外緩衝器61c為圖283中所示之兩階段串列晶片外驅動器，則晶片外緩衝器61c之大小，可以最後階段驅動器427b中之NMOS電晶體4303或PMOS電晶體4304之物理通道寬度對物理通道長度之比例為特徵，且NMOS電晶體4303與PMOS電晶體4304之汲極係經過金屬互連體740p，被連接至電路800之接觸點P7。NMOS電晶體4303之物理通道寬度對物理通道長度之比例可例如大於30，譬如在30與20,000之間，且在列舉之具體實施例中，該比例可大於50，譬如在50與300之間。PMOS電晶體4304之物理通道寬度對物

理通道長度之比例可例如大於60，譬如在60與40,000之間，且在列舉之具體實施例中，該比例可大於100，譬如在100與600之間。NMOS電晶體4303之物理通道寬度對物理通道長度之比例，可大於NMOS電晶體753a之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。PMOS電晶體4304之物理通道寬度對物理通道長度之比例，可大於PMOS電晶體753b之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。

於圖285中所示之晶片間緩衝器701a或702a之大小，可以晶片間三態緩衝器之三態驅動器之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，三態驅動器可經過金屬互連體740b或740d，被連接至電路700之接觸點P1或P2。三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例，可例如在1與50之間，且在列舉之具體實施例中，係在1與20之間。三態驅動器之PMOS電晶體之物理通道寬度對物理通道長度之比例，可例如在1與100之間，且在列舉之具體實施例中，係在1與40之間。

若圖285中所示之晶片間緩衝器701a或702a為多階段三態緩衝器，則晶片間緩衝器701a或702a之大小，可以多階段三態緩衝器之最後階段三態驅動器中之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，最後階段三態驅動器可經過金屬互連體740b或740d，

被連接至電路700之接觸點P1或P2。最後階段三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例，可例如在1與50之間，且在列舉之具體實施例中，該比例可在1與20之間。最後階段三態驅動器之PMOS電晶體之物理通道寬度對物理通道長度之比例，可在1與100之間，且在列舉之具體實施例中，該比例可在1與40之間。

於圖285中所示之晶片間緩衝器703a或704a之大小，可以晶片間三態緩衝器之三態驅動器之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，三態驅動器可經過金屬互連體740f或740h，被連接至電路800之接觸點P3或P4。三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例係在1與50之間，且在列舉之具體實施例中，係在1與20之間。三態驅動器之PMOS電晶體之物理通道寬度對物理通道長度之比例係在1與100之間，且在列舉之具體實施例中，可在1與40之間。

若圖285中所示之晶片間緩衝器703a或704a為多階段三態緩衝器，則晶片間緩衝器703a或704a之大小可以在多階段三態緩衝器之最後階段三態驅動器中之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，最後階段三態驅動器可經過金屬互連體740f或740h，而被連接至電路800之接觸點P3或P4。最後階段三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例可例如在1與50之間，且在列舉之具體實施例中，可在1與20之間。最後階段三態驅動器之PMOS電晶體之物理通道寬度

對物理通道長度之比例可例如在1與100之間，且在列舉之具體實施例中，可在1與40之間。

於圖285中所示晶片外緩衝器61a或61b之大小可以晶片外三態緩衝器之三態驅動器之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，三態驅動器可經過金屬互連體740j或740m，而被連接至電路700之接觸點P5或P6。三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例可例如大於30，譬如在30與20,000之間，且在列舉之具體實施例中，此比例可大於50，譬如在50與300之間。三態驅動器之PMOS電晶體之物理通道寬度對物理通道長度之比例可例如大於60，譬如在60與40,000之間，且在列舉之具體實施例中，可大於100，譬如在100與600之間。

若圖285中所示之晶片外緩衝器61a或61b為多階段三態緩衝器，則晶片外緩衝器61a或61b之大小可以在多階段三態緩衝器之最後階段三態驅動器中之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，最後階段三態驅動器可經過金屬互連體740j或740m，而被連接至電路700之接觸點P5或P6。最後階段三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例可例如大於30，譬如在30與20,000之間，且在列舉之具體實施例中，此比例可大於50，譬如在50與300之間。最後階段三態驅動器之PMOS電晶體之物理通道寬度對物理通道長度之比例可大於60，譬如在60與40,000之間，且在列舉

之具體實施例中，可大於100，譬如在100與600之間。

圖285中所示晶片外三態緩衝器61a或61b之三態驅動器(在最後階段下)之NMOS電晶體之物理通道寬度對物理通道長度之比例，可大於圖285中所示晶片間三態緩衝器701a或702a之三態驅動器(在最後階段下)之NMOS電晶體之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。圖285中所示晶片外三態緩衝器61a或61b之三態驅動器(在最後階段下)之PMOS電晶體之物理通道寬度對物理通道長度之比例，可大於圖285中所示晶片間三態緩衝器701a或702a之三態驅動器(在最後階段下)之PMOS電晶體之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。

圖285中所示晶片外緩衝器61c或61d之大小可以晶片外三態緩衝器之三態驅動器之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，三態驅動器可經過金屬互連體740p或740r，而被連接至電路800之接觸點P7或P8。三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例可例如大於30，譬如在30與20,000之間，且在列舉之具體實施例中，可大於50，譬如在50與300之間。三態驅動器之PMOS電晶體之物理通道寬度對物理通道長度之比例可例如大於60，譬如在60與40,000之間，且在列舉之具體實施例中，此比例可大於100，譬如在100與600之間。

若圖285中所示之晶片外緩衝器61c或61d為多階段三態緩衝器，則晶片外緩衝器61c或61d之大小可以在多階段三態緩衝器之最後階段三態驅動器中之NMOS電晶體或PMOS電晶體之物理通道寬度對物理通道長度之比例為特徵。如所示，最後階段三態驅動器可經過金屬互連體740p或740r，而被連接至電路800之接觸點P7或P8。最後階段三態驅動器之NMOS電晶體之物理通道寬度對物理通道長度之比例可例如大於30，譬如在30與20,000之間，且在列舉之具體實施例中，此比例可大於50，譬如在50與300之間。最後階段三態驅動器之PMOS電晶體之物理通道寬度對物理通道長度之比例可例如大於60，譬如在60與40,000之間，且在列舉之具體實施例中，可大於100，譬如在100與600之間。

於圖285中所示晶片外三態緩衝器61c或61d之三態驅動器(在最後階段下)之NMOS電晶體之物理通道寬度對物理通道長度之比例，可大於圖285中所示晶片間三態緩衝器703a或704a之三態驅動器(在最後階段下)之NMOS電晶體之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。圖285中所示晶片外三態緩衝器61c或61d之三態驅動器(在最後階段下)之PMOS電晶體之物理通道寬度對物理通道長度之比例，可大於圖285中所示晶片間三態緩衝器703a或704a之三態驅動器(在最後階段下)之PMOS電晶體之物理通道寬度對物理通道長度之比例，達例如超過3倍、10倍、25倍或50倍，譬如在3與100倍之間。

參考圖294，或者，電路700之內部電路200c可經過電路700之金屬互連體740a，而被連接至晶片外緩衝器61a之第二節點SN5，無需通過電路700之任何晶片間電路與任何測試界面電路。電路800之內部電路200g可經過電路800之金屬互連體740e，而被連接至晶片外緩衝器61c之第一節點FN7，無需通過電路800之任何晶片間電路與任何測試界面電路。相較於圖276之電路圖，晶片間電路200a與200e及測試界面電路333a與333c可被省略。藉由如指示圖276中之構件之相同參考編號所表示之圖294中之構件，係具有如圖276中所示構件之相同材料與規格。

參考圖295，或者，電路700之內部電路200c可經過電路700之金屬互連體740a，而被連接至晶片外緩衝器61a之第二節點SN5，無需通過電路700之任何晶片間電路與任何測試界面電路。電路800之內部電路200g可經過電路800之金屬互連體740e，而被連接至晶片外緩衝器61c之第一節點FN7，無需通過電路800之任何晶片間電路與任何測試界面電路。相較於圖285之電路圖，晶片間電路200a與200e及測試界面電路333a與333c可被省略。藉由如指示圖276與285中之構件之相同參考編號所表示之圖295中之構件，係具有如圖276與285中所指示構件之相同材料與規格。

圖296為示意俯視透視圖之實例，顯示以沿著圖296中線條Q-Q所切割之橫截面圖所示之前文所述系統級封裝或多晶片模組555、555b、555c、555e、555g、555h、555s、555u、555v、555w、555y、555z、556a、556c、556d、556e、556g或

556h之晶片68、偽基板62、金屬插塞5p(包括金屬插塞5a-5f)及金屬互連體1(包括金屬互連體1a與1b)之配置。參考圖296，晶片68係被放置在偽基板62中所形成之開孔62a內，且包封/間隙充填材料64係在各具有橫向距離或間距D1之間隙4中，及在各具有橫向距離或間距D2之間隙8中形成。未包圍斜線之中空圓圈表示金屬插塞5p，例如前文所述之金屬插塞5a，在偽基板62中且經過其形成，並連接至覆蓋在上之金屬互連體1，例如前文所述之金屬互連體1a，接觸載體11之導電層18之其下方接觸點。包圍三角形之圓圈表示金屬插塞5p，例如前文所述之金屬插塞5b，在晶片68中且經過其形成，並連接至覆蓋在上之金屬互連體1，例如前文所述之金屬互連體1a，接觸載體11之導電層18之其下方接觸點。包圍斜線之圓圈表示金屬插塞5p，例如前文所述之金屬插塞5c、5d或5f，在晶片68中形成，並連接至覆蓋在上之金屬互連體1，例如前文所述之金屬互連體1a或1b，接觸在晶片68中之其下方之互連體或金屬跡線，例如前文所述之互連體或金屬跡線35d、35c或35b。包圍交叉線之圓圈表示金屬插塞5p，例如前文所述之金屬插塞5e，在晶片68中且經過其形成，並連接至覆蓋在上之金屬互連體1，例如前文所述之金屬互連體1b，將晶片68中之在支撐物例如前文所述支撐物801上之互連體或金屬跡線，例如前文所述之互連體或金屬跡線35a，向下連接至載體11之導電層18之其下方接觸點。

圖297為示意俯視透視圖之實例，顯示以沿著圖297中線

條Q-Q所切割之橫截面圖所示之前文所述系統級封裝或多晶片模組555、555b、555c、555e、555g、555h、555j、555m、555n、555o、555q、555r、555s、555u、555v、555w、555y、555z、556a、556c、556d、556e、556g或556h之晶片72、偽基板165、金屬插塞6p(包括金屬插塞6a-6e)及金屬互連體2(包括金屬互連體2a與2b)之配置。參考圖297，晶片72係被放置在偽基板165中所形成之開孔165a內，且包封/間隙充填材料98係在各具有橫向距離或間距D4之間隙4a中，及在各具有橫向距離或間距D5之間隙8a中形成。未包圍斜線之中空圓圈表示金屬插塞6p，例如前文所述之金屬插塞6a，在偽基板165中且經過其形成，並連接至覆蓋在上之金屬互連體2，接觸其下方之金屬互連體1，例如前文所述之金屬互連體1b。包圍三角形之圓圈表示金屬插塞6p，例如前文所述之金屬插塞6b，在晶片72中且經過其形成，並連接至覆蓋在上之金屬互連體2，例如前文所述之金屬互連體2a，接觸其下方之金屬互連體1，例如前文所述之金屬互連體1a。包圍斜線之圓圈表示金屬插塞6p，例如前文所述之金屬插塞6c或6d，在晶片72中形成，並連接至覆蓋在上之金屬互連體2，例如前文所述之金屬互連體2a，接觸在晶片72中之其下方之互連體或金屬跡線，例如前文所述之互連體或金屬跡線55c或55b。包圍交叉線之圓圈表示金屬插塞6p，例如前文所述之金屬插塞6e，在晶片72中且經過其形成，並連接至覆蓋在上之金屬互連體2，例如前文所述之金屬互連體2b，將晶片72中之在支撐物例如前文所述支撐物802上之互

連體或金屬跡線，例如前文所述之互連體或金屬跡線55a，向下連接至其下方之金屬互連體1，例如前文所述之金屬互連體1b。

圖298為示意俯視透視圖之實例，顯示以沿著圖298中線條Q-Q所切割之橫截面圖所示之前文所述系統級封裝或多晶片模組555、555b、555c、555e、555g、555h、555j、555m、555n、555o、555q、555r、555s、555u、555v、555w、555y、555z、556a、556c、556d、556e、556g或556h之晶片118、偽基板165、金屬插塞7p(包括金屬插塞7a-7f)及金屬互連體3(包括金屬互連體3a、3b及3c)之配置。參考圖298，晶片118係被放置在偽基板158中所形成之開孔158a內，且包封/間隙充填材料138係在各具有橫向距離或間距D7之間隙4b中，及在各具有橫向距離或間距D8之間隙8b中形成。未包圍斜線之中空圓圈表示金屬插塞7p，例如前文所述之金屬插塞7a，在偽基板158中且經過其形成，並連接至覆蓋在上之金屬互連體3，例如前文所述之金屬互連體3c，接觸其下方之金屬互連體2。包圍三角形之圓圈表示金屬插塞7p，例如前文所述之金屬插塞7b，在晶片118中且經過其形成，並連接至覆蓋在上之金屬互連體3，例如前文所述之金屬互連體3a，接觸其下方之金屬互連體2，例如前文所述之金屬互連體2a。包圍斜線之圓圈表示金屬插塞7p，例如前文所述之金屬插塞7c、7d或7f，在晶片118中形成，並連接至覆蓋在上之金屬互連體3，例如前文所述之金屬互連體3a或3b，接觸在晶片118中之其下方之互連體或金屬跡線，例如前文所述之互

連體或金屬跡線75d、75c或75b。包圍交叉線之圓圈表示金屬插塞7p，例如前文所述之金屬插塞7e，在晶片118中且經過其形成，並連接至覆蓋在上之金屬互連體3，例如前文所述之金屬互連體3c，將晶片118中之在支撐物例如前文所述支撐物803上之互連體或金屬跡線，例如前文所述之互連體或金屬跡線75a，向下連接至其下方之金屬互連體2，例如前文所述之金屬互連體2b。

於圖82、84、103、105、128、130、136、138、181、183、207、209、250、252、270或272中所示之系統級封裝或多晶片模組，或於圖83、85、88、104、106、109、129、131、132、137、139、140、182、184、185、208、210、211、251、253、254、271、273或274中所示之多晶片封裝，可被使用於極多種電子裝置，包括但不限於例如電話、無線電話、行動電話、智慧型電話、小筆電、筆記型電腦、數位照像機、數位攝像機、數位相框、個人數位輔助器(PDA)、袖珍個人電腦、手提個人電腦、電子書、數位書籍、桌上型電腦、平板與平面電腦、汽車電子產品、可移動網際網路裝置(MID)、可移動電視、投影機、可移動投影機、微型投影機、智慧型投影機、三維(3D)影像顯示器、3D電視(3D TV)、3D影像遊樂器、可移動電腦裝置，可移動電腦電話(亦稱為可移動電話電腦或可移動個人電腦電話)，其係為結合並提供電腦與電話功能之裝置或系統，或例如用於雲端計算之高性能及/或低功率電腦或伺服器。

已被討論之組件、步驟、特徵、利益及優點僅只是說明

而已。其中均未而關於彼等之討論亦未意欲以任何方式限制保護之範圍。許多其他具體實施例亦意欲涵蓋在內。其包括具有較少、附加及/或不同組件、步驟、特徵、利益及優點之具體實施例。其亦包括其中組件及/或步驟係以不同方式排列及/或順序之具體實施例。

在閱讀本發明揭示內容時，熟諳此藝者將明瞭的是，本發明揭示內容之具體實施例，例如本文中所述結構之設計及/或方法之控制，可在硬體、軟體、固件或其任何組合及在一或多個網路上施行。適當軟體可包括電腦可讀取或機器可讀取之指令，關於進行設計及/或控制經調整RF脈波列之施行之方法與技術(及其部份)。可利用任何適當軟體語言(機器依存性或機器無關)。再者，本發明揭示內容之具體實施例可被包含在各種信號中或藉其進行，例如，如於無線RF或IR通信連結上傳輸或自網際網路下載。

除非另有述及，否則經敘述於本專利說明書中之所有度量值、數值、等級、位置、程度、大小及其他規格，包括在下文請求項中，係為近似，而非精確；其係意欲具有合理範圍，其係與其有關聯之功能及與此項技藝中所習用與其相關者一致。再者，除非另有述及，否則所提供之數字範圍係意欲包含所述之下限與上限數值。再者，除非另有述及，否則所有材料選擇與數值均為較佳具體實施例之代表例，且可使用其他範圍及/或材料。

保護之範圍係僅被請求項所限制，且當明白本專利說明書及下文之執行歷程加以解釋後，此種範圍係意欲且應該

被解釋為如與被使用於請求項中之語文之一般意義一致一樣寬廣，及涵蓋其所有結構性與功能性相當事物。

【圖式簡單說明】

圖1-82顯示根據本發明揭示內容之舉例具體實施例之形成系統級封裝或多晶片模組之製程；

圖83顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖84顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖85顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖86與87為根據本發明揭示內容之一項具體實施例之橫截面圖，顯示形成系統級封裝或多晶片模組之製程；

圖88顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖89-103顯示根據本發明揭示內容之一項具體實施例之形成系統級封裝或多晶片模組之製程；

圖104顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖105顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖106顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖107與108為根據本發明揭示內容之一項具體實施例之

橫截面圖，顯示形成系統級封裝或多晶片模組之製程；

圖109顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖110-128顯示根據本發明揭示內容之一項具體實施例之形成系統級封裝或多晶片模組之製程；

圖129顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖130顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖131顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖132顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖133-136顯示根據本發明揭示內容之一項具體實施例之形成系統級封裝或多晶片模組之製程；

圖137顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖138顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖139顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖140顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖141A-141J顯示根據本發明揭示內容之一項具體實施例

之形成晶片之製程；

圖141K顯示根據本發明揭示內容之一項具體實施例之晶片之橫截面圖；

圖141L顯示根據本發明揭示內容之一項具體實施例之晶片之橫截面圖；

圖142-181顯示根據本發明揭示內容之一項具體實施例之形成系統級封裝或多晶片模組之製程；

圖182顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖183顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖184顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖185顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖186-207顯示根據本發明揭示內容之一項具體實施例之形成系統級封裝或多晶片模組之製程；

圖208顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖209顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖210顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖211顯示根據本發明揭示內容之一項具體實施例之多

晶片封裝之橫截面圖；

圖212A-212L顯示根據本發明揭示內容之一項具體實施例之形成晶片之製程；

圖212M顯示根據本發明揭示內容之一項具體實施例之晶片之橫截面圖；

圖212N顯示根據本發明揭示內容之一項具體實施例之晶片之橫截面圖；

圖213-250顯示根據本發明揭示內容之一項具體實施例之形成系統級封裝或多晶片模組之製程；

圖251顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖252顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖253顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖254顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖255-270顯示根據本發明揭示內容之一項具體實施例之形成系統級封裝或多晶片模組之製程；

圖271顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖272顯示根據本發明揭示內容之一項具體實施例之系統級封裝或多晶片模組之橫截面圖；

圖273顯示根據本發明揭示內容之一項具體實施例之多

晶片封裝之橫截面圖；

圖274顯示根據本發明揭示內容之一項具體實施例之多晶片封裝之橫截面圖；

圖275A-275L顯示另一種形成圖26中所示結構之製程；

圖276與285為根據本發明揭示內容之一項具體實施例之電路圖，各顯示在兩個晶片間之界面電路；

圖277與280顯示根據本發明揭示內容之一項具體實施例之晶片間電路，各包含兩階段串列晶片間接收器與晶片間ESD(靜電排放)電路；

圖278與279顯示根據本發明揭示內容之一項具體實施例之晶片間電路，各包含兩階段串列晶片間驅動器與晶片間ESD(靜電排放)電路；

圖281與284顯示根據本發明揭示內容之一項具體實施例之兩階段串列晶片外接收器；

圖282與283顯示根據本發明揭示內容之一項具體實施例之兩階段串列晶片外驅動器；

圖286-291顯示根據本發明揭示內容之一項具體實施例之計算晶片ESD單元之主動區域，及界定由一或多個ESD單元所構成ESD電路之大小之方法；

圖292與293顯示根據本發明揭示內容之一項具體實施例之界定或計算MOS電晶體之物理通道寬度與物理通道長度之方法；

圖294與295為根據本發明揭示內容之一項具體實施例之電路圖，各顯示在兩個晶片間之界面電路；及

圖296為根據本發明揭示內容之一項具體實施例之示意俯視透視圖，顯示晶片之底部層，系統級封裝或多晶片模組之偽基板、金屬插塞及金屬互連體之配置；

圖297為根據本發明揭示內容之一項具體實施例之示意俯視透視圖，顯示晶片之中間層，系統級封裝或多晶片模組之偽基板、金屬插塞及金屬互連體之配置；以及

圖298為根據本發明揭示內容之一項具體實施例之示意俯視透視圖，顯示晶片之頂部層，系統級封裝或多晶片模組之偽基板、金屬插塞及金屬互連體之配置。

【主要元件符號說明】

A-A　線條

AR1　區域

AR2　區域

AR3　區域

AR4　區域

B-B　線條

C-C　線條

C1　厚度

C2　厚度

C3　厚度

C4　厚度

C5　厚度

C6　厚度

D-D　線條

D1	橫向距離或間距
D2	橫向距離或間距
D3	深度
D4	橫向距離或間距
D5	橫向距離或間距
D6	深度
D7	橫向距離或間距
D8	橫向距離或間距
D9	深度
D10	深度
D11	深度
D12	水平距離
D13	垂直距離
D14	垂直距離
D15	垂直距離
D16	垂直距離
D17	深度
D18	垂直距離
E-E	線條
En	節點
F-F	線條
F1	第一端子
F2	第一端子
F3	第一端子

F4	第一端子
FN1	第一節點
FN2	第一節點
FN3	第一節點
FN4	第一節點
FN5	第一節點
FN6	第一節點
FN7	第一節點
FN8	第一節點
G-G	線條
H-H	線條
I-I	線條
J-J	線條
K-K	線條
L-L	線條
L	MOS電晶體之物理通道長度
P1	接觸點
P2	接觸點
P3	接觸點
P4	接觸點
P5	接觸點
P6	接觸點
P7	接觸點
P8	接觸點

Q-Q	線條
S1	水平距離
S1	第二端子
S2	水平距離
S2	第二端子
S3	水平距離
S3	第二端子
S4	水平距離
S4	第二端子
SN1	第二節點
SN2	第二節點
SN3	第二節點
SN4	第二節點
SN5	第二節點
SN6	第二節點
SN7	第二節點
SN8	第二節點
T1	厚度
T2	厚度
T3	垂直厚度
T4	垂直厚度
T5	預定垂直厚度
T6	剩餘厚度
T7	厚度

T8	厚度
T9	厚度
T10	垂直厚度
T11	垂直厚度
T12	預定垂直厚度
T13	剩餘厚度
T14	厚度
T15	厚度
T16	厚度
T17	垂直厚度
T18	垂直厚度
T19	預定垂直厚度
T20	剩餘厚度
T21	厚度
T22	剩餘厚度
T23	剩餘厚度
T24	剩餘厚度
T25	厚度
T26	厚度
T27	厚度
W	MOS電晶體之物理通道寬度
W1	寬度
W_1	物理通道寬度
W2	寬度

W3	寬度
W4	寬度
W5	寬度
W6	寬度
W7	寬度
W8	寬度
W9	橫向寬度
W10	直徑或寬度
W_n	物理通道寬度
Z-Z'	頂部表面
1	金屬互連體
1a	金屬互連體
1b	金屬互連體
1w	側壁
2	金屬互連體
2a	金屬互連體
2b	金屬互連體
2w	側壁
3	金屬互連體
3a	金屬互連體
3b	金屬互連體
3c	金屬互連體
3w	側壁
4	間隙

4a	間隙
4b	間隙
5a	金屬插塞
5b	金屬插塞
5c	金屬插塞
5d	金屬插塞
5e	金屬插塞
5f	金屬插塞
5g	金屬插塞
5p	金屬插塞
6a	金屬插塞
6b	金屬插塞
6c	金屬插塞
6d	金屬插塞
6e	金屬插塞
6p	金屬插塞
7a	金屬插塞
7b	金屬插塞
7c	金屬插塞
7d	金屬插塞
7e	金屬插塞
7f	金屬插塞
7p	金屬插塞
8	間隙

8a	間隙
8b	間隙
10	基板
11	載體
12	介電層
13	半導體裝置
17	互連層
	經構圖之金屬層
17a	通孔插塞
18	導電層
	經構圖之金屬層
19	經構圖之金屬層
19a	通孔插塞
20	介電或絕緣層
20a	開孔
21	鈍化層
22	膠層
	矽-氧化物層
24	鈍化層
24a	開孔
26	經構圖之金屬層
26a	通孔插塞
28	介電層
34	互連層

	經構圖之金屬層
34a	通孔插塞
35a	互連體或金屬跡線
35b	互連體或金屬跡線
35c	互連體或金屬跡線
35d	互連體或金屬跡線
35e	互連體或金屬跡線
36	半導體裝置
38	介電層
40	介電層
42	介電層
44	介電層
46	介電層
48	介電層
50	介電層
52	黏著/障壁層
52s	經研磨或拋光表面
54	晶種層
54s	經研磨或拋光表面
55a	互連體或金屬跡線
55b	互連體或金屬跡線
55c	互連體或金屬跡線
56	傳導層
56s	經研磨或拋光表面

56u	頂部表面
57a	晶片外電路
57b	晶片外電路
57c	晶片外電路
57d	晶片外電路
58	半導體基板
58s	表面
59a	晶片外ESD(靜電排放)電路
59b	晶片外ESD(靜電排放)電路
59c	晶片外ESD(靜電排放)電路
59d	晶片外ESD(靜電排放)電路
60	介電層
60a	絕緣層
60b	聚合體層
60s	頂部表面
60t	壕溝
61a	晶片外緩衝器
61b	晶片外緩衝器
61c	晶片外緩衝器
61d	晶片外緩衝器
62	偽基板
62a	開孔
62s	表面
64	包封/間隙充填材料

64s	表面
65	聚合體
66	絕緣或介電層
66a	聚合體層
66b	無機層
66s	經研磨或拋光表面
68	晶片
	構件
72	晶片
72a	晶片
72b	晶片
74	鈍化層
75a	互連體或金屬跡線
75b	互連體或金屬跡線
75c	互連體或金屬跡線
75d	互連體或金屬跡線
78	介電層
82	介電層
83	金屬層
84a	金屬層
84b	金屬層
85	金屬層
86	傳導層
86s	表面

86u	頂部表面
88	介電層
88a	絕緣層
88b	聚合體層
88s	頂部表面
88t	壕溝
89	金屬接頭
90	介電層
91	底部充填
92	黏著/障壁層
92s	經研磨或拋光表面
94	晶種層
94s	經研磨或拋光表面
96	半導體基板
96s	表面
98	包封/間隙充填材料
98s	表面
99	聚合體
100	介電層
102	半導體裝置
104	介電層
106	互連層
	經構圖之金屬層
106a	通孔插塞

108	介電層
114	經構圖之金屬層
114a	通孔插塞
116	膠層
	無機絕緣層
	矽-氧化物層
118	晶片
	構件
118a	晶片
118b	晶片
120	絕緣或介電層
120a	聚合體層
120b	無機層
120s	經研磨或拋光表面
122	絕緣或介電層
122a	開孔
124	半導體基板
124s	表面
125a	黏著/障壁層
125b	晶種層
125c	傳導層
126	焊料層
	焊料凸塊或球
127	介電層

128	障壁層
130	傳導層
132	晶種層
134	黏著/障壁層
136	聚合體層
136a	開孔
138	包封/間隙充填材料
138s	表面
139	介電層
139a	絕緣層
139b	聚合體層
139s	頂部表面
139t	壕溝
140	膠層
	無機絕緣層
	矽-氧化物層
142	金屬層
144	障壁層
146	軟焊料潤濕層
148	金屬層
	黏著/障壁層
150	傳導層
152	光阻層
152a	開孔

154	光阻層
154a	開孔
156a	穿透通孔
156b	穿透通孔
156c	穿透通孔
156d	穿透通孔
156e	穿透通孔
156f	穿透通孔
156v	穿透通孔
158	偽基板
158a	開孔
158s	表面
162	光阻層
162a	開孔
164a	穿透通孔
164b	穿透通孔
164c	穿透通孔
164d	穿透通孔
164e	穿透通孔
164v	穿透通孔
165	偽基板
165a	開孔
165s	表面
166	光阻層

166a	開孔
168	光阻層
168a	開孔
170a	穿透通孔
170b	穿透通孔
170c	穿透通孔
170d	穿透通孔
170e	穿透通孔
170f	穿透通孔
170g	穿透通孔
170v	穿透通孔
172	光阻層
172a	開孔
174	底部充填
176	載體
178	焊料球
180	金屬接頭
182	膠層
184	導線
186	模製配料
194	光阻層
194a	開孔
200a	晶片間電路
200b	晶片間電路

200c	內部電路
200d	內部電路
200e	晶片間電路
200f	晶片間電路
200g	內部電路
200h	內部電路
223	表面
225	表面
227	表面
294	光阻層
294a	開孔
300	金屬互連體或跡線
301	絕緣層
301a	絕緣層
302	經構圖之光阻層
302a	開孔
303	淺壕溝
304	經構圖之光阻層
304a	開孔
305	環形壕溝
306	經構圖之光阻層
306a	開孔
307	開孔
330	介電層

333a	測試界面電路
333b	測試界面電路
333c	測試界面電路
333d	測試界面電路
345	淺溝隔離(STI)
345	無機材料
350	金屬互連體
394	光阻層
394a	開孔
401	p-型矽基板
425a	第一階段
425b	第二階段
426a	第一階段
426b	第二階段
	最後階段驅動器
427a	第一階段
427b	第二階段
	最後階段驅動器
428a	第一階段
428b	第二階段
456	絕緣層
500	無機材料
500a	絕緣環
500b	淺溝隔離(STI)

500s 底部表面

500t 底部表面

500u 底部表面

555 系統級封裝或多晶片模組

555a 系統級封裝或多晶片模組

555b 系統級封裝或多晶片模組

555c 系統級封裝或多晶片模組

555d 系統級封裝或多晶片模組

555e 系統級封裝或多晶片模組

555f 系統級封裝或多晶片模組

555g 系統級封裝或多晶片模組

555h 系統級封裝或多晶片模組

555i 系統級封裝或多晶片模組

555j 系統級封裝或多晶片模組

555k 系統級封裝或多晶片模組

555m 系統級封裝或多晶片模組

555n 系統級封裝或多晶片模組

555o 系統級封裝或多晶片模組

555p 系統級封裝或多晶片模組

555q 系統級封裝或多晶片模組

555r 系統級封裝或多晶片模組

555s 系統級封裝或多晶片模組

555t 系統級封裝或多晶片模組

555u 系統級封裝或多晶片模組

555v 系統級封裝或多晶片模組

555w 系統級封裝或多晶片模組

555x 系統級封裝或多晶片模組

555y 系統級封裝或多晶片模組

555z 系統級封裝或多晶片模組

556a 系統級封裝或多晶片模組

556b 系統級封裝或多晶片模組

556c 系統級封裝或多晶片模組

556d 系統級封裝或多晶片模組

556e 系統級封裝或多晶片模組

556f 系統級封裝或多晶片模組

556g 系統級封裝或多晶片模組

556h 系統級封裝或多晶片模組

566 多晶片封裝

566a 多晶片封裝

566b 多晶片封裝

566c 多晶片封裝

566d 多晶片封裝

566e 多晶片封裝

566f 多晶片封裝

566g 多晶片封裝

567 絕緣層

567a 頂部表面

584a 第一階段

584b 第二階段

585a 第一階段

585b 第二階段

最後階段換流器

586a 第一階段

586b 第二階段

最後階段換流器

最後階段驅動器

587a 第一階段

587b 第二階段

600 作用區域

擴散區域

602 場氧化物區域

604 閘

604_n 部份

604_1 部份

604_2 部份

606 源極

608 汲極

660a 微細線條金屬層

660b 微細線條金屬層

660c 微細線條金屬層

661 通孔插塞

666 凸塊下層金屬(UBM)層

668	金屬凸塊
680	晶圓
680a	晶圓
681	PMOS 電晶體
682	NMOS 電晶體
700	電路
701a	晶片間緩衝器
701b	晶片間ESD(靜電排放)電路
702a	晶片間緩衝器
702b	晶片間ESD(靜電排放)電路
703a	晶片間緩衝器
703b	晶片間ESD(靜電排放)電路
704a	晶片間緩衝器
704b	晶片間ESD(靜電排放)電路
740a	金屬互連體
740b	金屬互連體
740c	金屬互連體
740d	金屬互連體
740e	金屬互連體
740f	金屬互連體
740g	金屬互連體
740h	金屬互連體
740i	金屬互連體
740j	金屬互連體

740k	金屬互連體
740m	金屬互連體
740n	金屬互連體
740p	金屬互連體
740q	金屬互連體
740r	金屬互連體
748	側壁
749	側壁
751a	NMOS 電晶體
751b	PMOS 電晶體
751c	NMOS 電晶體
751d	PMOS 電晶體
752a	NMOS 電晶體
752b	PMOS 電晶體
752c	NMOS 電晶體
752d	PMOS 電晶體
753a	NMOS 電晶體
753b	PMOS 電晶體
753c	NMOS 電晶體
753d	PMOS 電晶體
754a	NMOS 電晶體
754b	PMOS 電晶體
754c	NMOS 電晶體
754d	PMOS 電晶體

755	N-井
757a	P^+作用區域
757b	P^+作用區域
757c	P^+作用區域
758a	N^+作用區域
758b	N^+作用區域
758c	N^+作用區域
759	靜電排放(ESD)單元
761a	閘
761b	閘
762	場氧化物
763a	金屬互連體
763b	金屬互連體
763c	金屬互連體
764a	接觸區域
764b	接觸區域
764c	接觸區域
764d	接觸區域
764e	接觸區域
764f	接觸區域
764g	接觸區域
764h	接觸區域
789	絕緣插塞
789s	底部表面

789t	底部表面
789u	底部表面
800	電路
801	支撐物
802	支撐物
803	支撐物
804	支撐物
891	金屬凸塊
892	金屬墊片
4201	NMOS 電晶體
4202	PMOS 電晶體
4203	NMOS 電晶體
4204	PMOS 電晶體
4205	NMOS 電晶體
4206	PMOS 電晶體
4207	NMOS 電晶體
4208	PMOS 電晶體
4301	NMOS 電晶體
4302	PMOS 電晶體
4303	NMOS 電晶體
4304	PMOS 電晶體
4305	NMOS 電晶體
4306	PMOS 電晶體
4307	NMOS 電晶體

4308	PMOS 電晶體
5931	逆偏壓二極體
5932	逆偏壓二極體

I515869

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：99124197

※ 申請日： 99.7.22 ※IPC 分類：H01L 25/065 (2006.01)
H01L 23/538 (2006.01)

一、發明名稱：（中文/英文）

系統級封裝

SYSTEM-IN PACKAGES

二、中文發明摘要：

本發明係描述系統級封裝或多晶片模組，其可包含多層晶片與多層偽基板在載體上，未完全地或完全地經過多層晶片且完全地經過多層偽基板之多個穿透通孔，於穿透通孔中之多個金屬插塞，及在多層晶片之間連接至金屬插塞之多個金屬互連體。多層晶片可經過金屬插塞與金屬互連體互相連接，或連接至外部電路或結構，譬如母板、球格柵陣列(BGA)基板、印刷電路板、金屬基板、玻璃基板或陶瓷基板。

三、英文發明摘要：

System-in packages, or multichip modules, are described which can include multi-layer chips and multi-layer dummy substrates over a carrier, multiple through vias blindly or completely through the multi-layer chips and completely through the multi-layer dummy substrates, multiple metal plugs in the through vias, and multiple metal interconnects, connected to the metal plugs, between the multi-layer chips. The multi-layer chips can be connected to each other or to an external circuit or structure, such as mother board, ball grid array (BGA) substrate, printed circuit board, metal substrate, glass substrate, or ceramic substrate, through the metal plugs and the metal interconnects.

七、申請專利範圍：

1. 一種系統級封裝，其包含：

一載體；

在該載體上方之一第一晶片，其中該第一晶片包含具有厚度在1與50微米間之一第一半導體基板，在該第一半導體基板之底部表面下方之一第一金屬層，及在該第一半導體基板之該底部表面下方且在該第一金屬層上方之一介電層；

在該載體上方之一第二晶片，其中該第二晶片包含一第二半導體基板，其中該第二半導體基板具有實質上與該第一半導體基板之一頂部表面共平面之一頂部表面，其中該第二晶片係與該第一晶片分開；

一間隙充填材料，其係被配置於該第一晶片及該第二晶片間之一間隙中；

在該第一晶片中之一第一金屬插塞，其中該第一金屬插塞係通過該第一半導體基板與該介電層，且接觸該第一金屬層；

一第一絕緣材料，其包圍該第一金屬插塞，其中該第一絕緣材料係被該第一半導體基板包圍；

一第一介電結構，在該第一半導體基板之該頂部表面上，在該第二半導體基板之該頂部表面上，及在該間隙充填材料上；

一第一金屬互連體，在該第一介電結構中，及在該第一晶片上，其中該第一金屬互連體係被連接至該第一金屬

插塞；

一第三晶片，在該第一介電結構上方，及在該第一金屬互連體上方，其中該第三晶片包含具有厚度在1與50微米間之一第三半導體基板；

在該第三晶片中之一第二金屬插塞，其中該第二金屬插塞係通過該第三晶片，且接觸該第一金屬互連體；

一第二絕緣材料，其包圍該第二金屬插塞，其中該第二絕緣材料係被該第三半導體基板包圍；

一第二介電結構，在該第三半導體基板之一頂部表面上；及

一第二金屬互連體，在該第二介電結構中，及在該第三晶片上方，其中該第二金屬互連體係被連接至該第二金屬插塞。

2. 如請求項1之系統級封裝，其中該載體包括一矽基板、一玻璃基板、一陶瓷基板、一金屬基板及一有機聚合體基板之一者。

3. 如請求項1之系統級封裝，其中該第一晶片包括以下之一者，一中央處理單元(CPU)晶片、一繪圖處理單元(GPU)晶片、一數位信號處理(DSP)晶片、一快閃記憶晶片、一動態隨機存取記憶體(DRAM)晶片、一靜態隨機存取記憶體(SRAM)晶片、一無線區域網路(WLAN)晶片、一基帶晶片、一邏輯晶片、一類比晶片、一電源裝置、一調節器、一電源管理裝置、一全球定位系統(GPS)晶片、一藍牙晶片，及一系統單晶片(SOC)，包括一或多個中央處理單元(CPU)

電路區塊、一繪圖處理單元(GPU)電路區塊、一數位信號處理(DSP)電路區塊、一記憶電路區塊、一基帶電路區塊、一藍牙電路區塊、一全球定位系統(GPS)電路區塊、一無線區域網路(WLAN)電路區塊及一調變解調器電路區塊。

4. 如請求項1之系統級封裝，其中該第一半導體基板之該厚度係在2與20微米之間。

5. 如請求項1之系統級封裝，其中該第二金屬插塞係進一步接觸該第三晶片之一第二金屬層，其中該第二金屬層係在該第三半導體基板下方。

6. 如請求項1之系統級封裝，其係進一步包含在該第二晶片中之一第三金屬插塞，其中該第三金屬插塞係通過該第二半導體基板，且接觸該第二晶片之一第二金屬層，其中該第二金屬層係在該第二半導體基板之一底部表面下方，其中該第一金屬互連體係進一步在該第二晶片上方，且被連接至該第三金屬插塞。

7. 如請求項1之系統級封裝，其中該第一金屬插塞係通過該第一晶片，且接觸該載體之一接觸點。

8. 如請求項1之系統級封裝，其係進一步包含在該第一晶片中之一第三金屬插塞，在該第二晶片中之一第四金屬插塞，及在該第一介電結構中且在該等第一與第二晶片上方之一第三金屬互連體，其中該第三金屬插塞係通過該第一半導體基板，且接觸該第一晶片之一第二金屬層，其中該第二金屬層係在該第一半導體基板之該底部表面下方，其中該第四金屬插塞係通過該第二半導體基板，且接觸該第

二晶片之一第三金屬層，其中該第三金屬層係在該第二半導體基板之一底部表面下方，其中該第三金屬互連體係連接該第三金屬插塞及該第四金屬插塞。

9. 如請求項1之系統級封裝，其中該第一晶片具有與該第二晶片之一電路設計不同之一電路設計。

10. 如請求項1之系統級封裝，其係進一步包含在該載體上方及在該間隙中之一偽基板，其中該偽基板具有實質上與該第一半導體基板之該頂部表面共平面之一頂部表面，其中該第一介電結構係進一步在該偽基板之該頂部表面上。

11. 如請求項1之系統級封裝，其係進一步包含被連接至該第二金屬互連體之一金屬凸塊，其中該金屬凸塊包括錫、銅、鎳及金之一者。

12. 如請求項1之系統級封裝，其中該第一金屬互連體包括一信號跡線、一電源跡線及一接地跡線之一者。

13. 如請求項1之系統級封裝，其中該第一絕緣材料包括在該第一金屬插塞之一側壁上及在該第一金屬層之一頂部表面上之一側壁介電層，其中該第一金屬插塞係被該側壁介電層所包圍。

14. 如請求項1之系統級封裝，其中該第二絕緣材料包括在該第三半導體基板中之一絕緣環，其中該第二金屬插塞係通過該絕緣環，且係被其包圍。

15. 如請求項1之系統級封裝，其中該第二金屬插塞包含一電鍍銅與包圍該電鍍銅之一含鈦或含鉭層。

16. 如請求項1之系統級封裝，其中該第一金屬互連體包含一

電鍍銅層及在該電鍍銅層之多個側壁與一底部處之一含鈦或含鉭層，其中該電鍍銅層係在該第一介電結構中，及在該第一晶片上方。

17. 如請求項1之系統級封裝，其中該第一金屬互連體係包含一電鍍銅層，及在該電鍍銅層之一底部處但不在該電鍍銅層之任何側壁處之一含鈦或含鉭層，其中該電鍍銅層係在該第一介電結構中，及在該第一晶片上方。

18. 如請求項1之系統級封裝，其係進一步包含在該第三晶片中之一第三金屬插塞，其中該第三金屬插塞係通過該第三半導體基板，且接觸該第三晶片之一第二金屬層，其中該第二金屬層係在該第三半導體基板之一底部表面下方，其中該第二金屬互連體係被進一步連接至該第三金屬插塞。

19. 如請求項18之系統級封裝，其中在該等第一與第三晶片間之平行資料通信中之位元線之總數係大於128，且該等位元線之一者係藉由該等第一、第二及第三金屬插塞，以及該等第一與第二金屬互連體所提供。

20. 如請求項1之系統級封裝，其中該第一金屬互連體具有實質上與該第一介電結構之一頂部表面共平面之一頂部表面。

八、圖式：

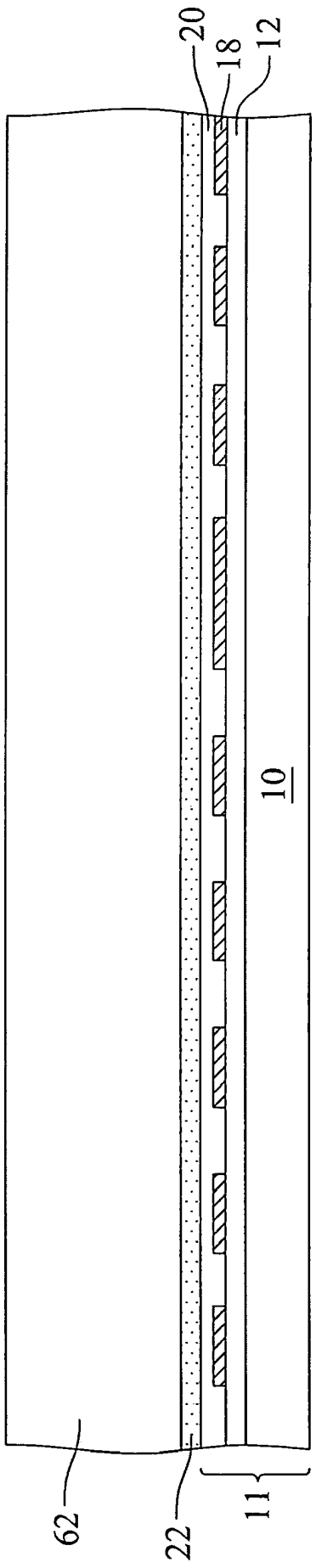


圖1

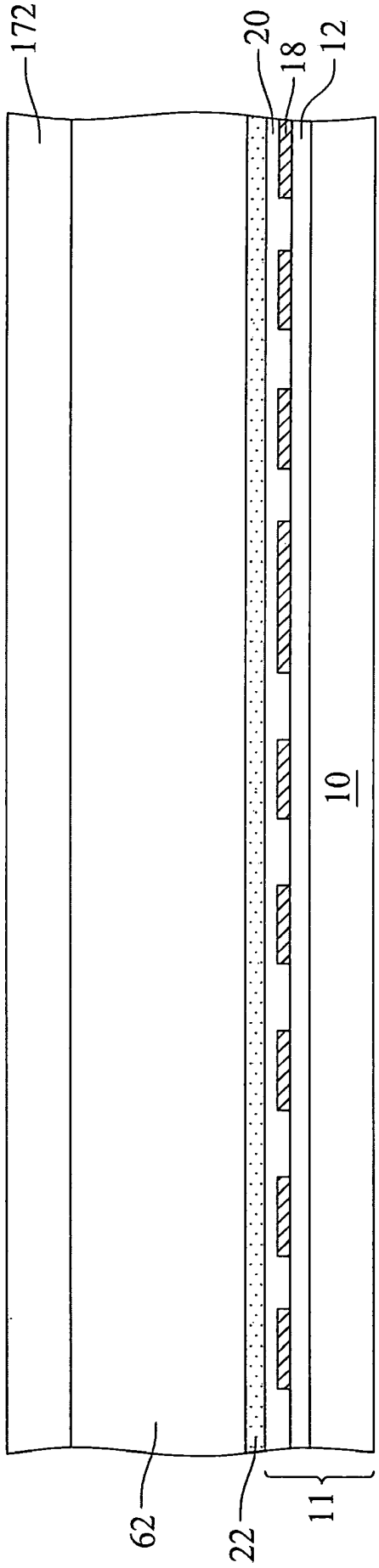


圖2

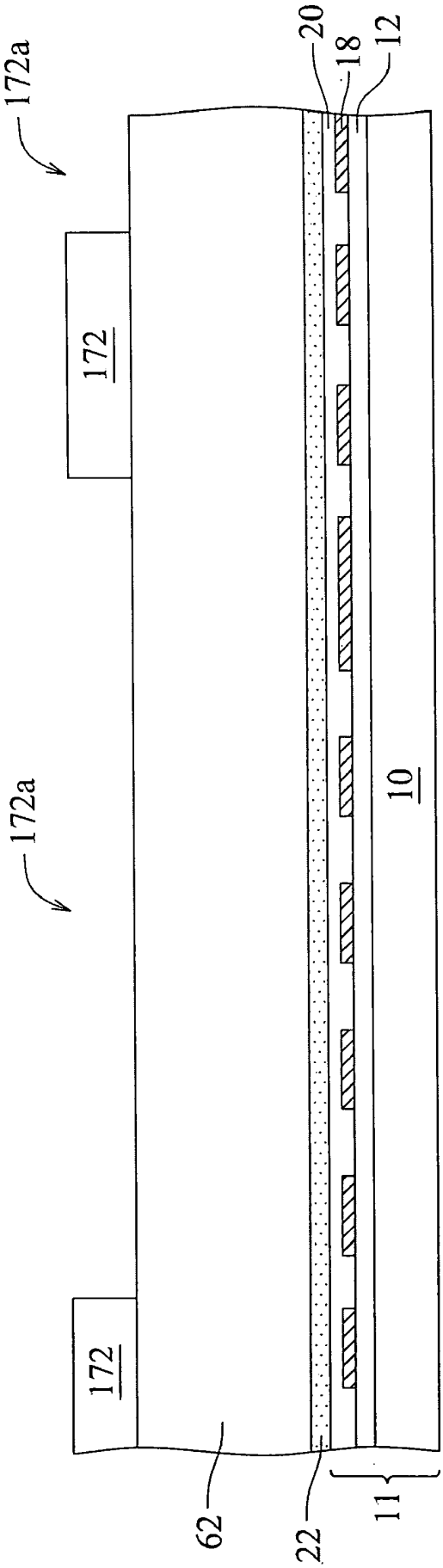


圖3

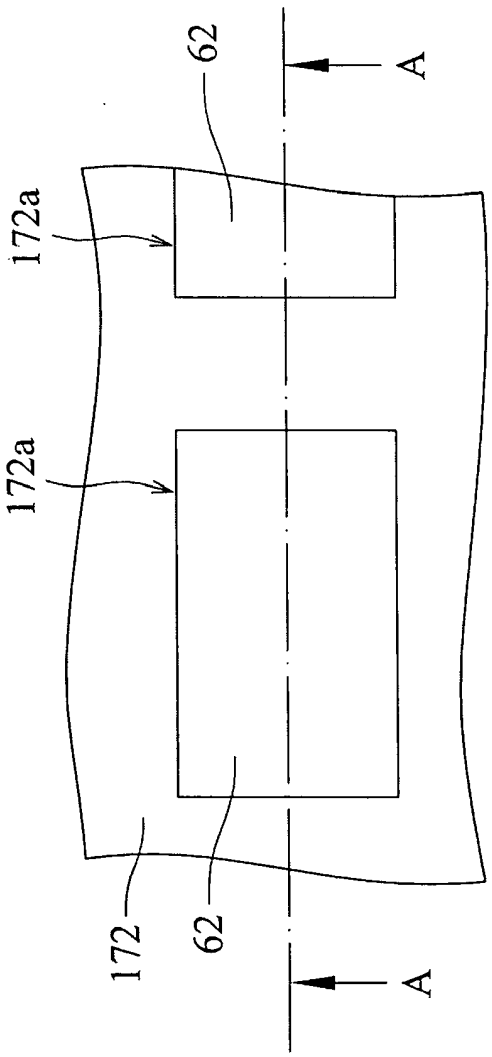


圖4

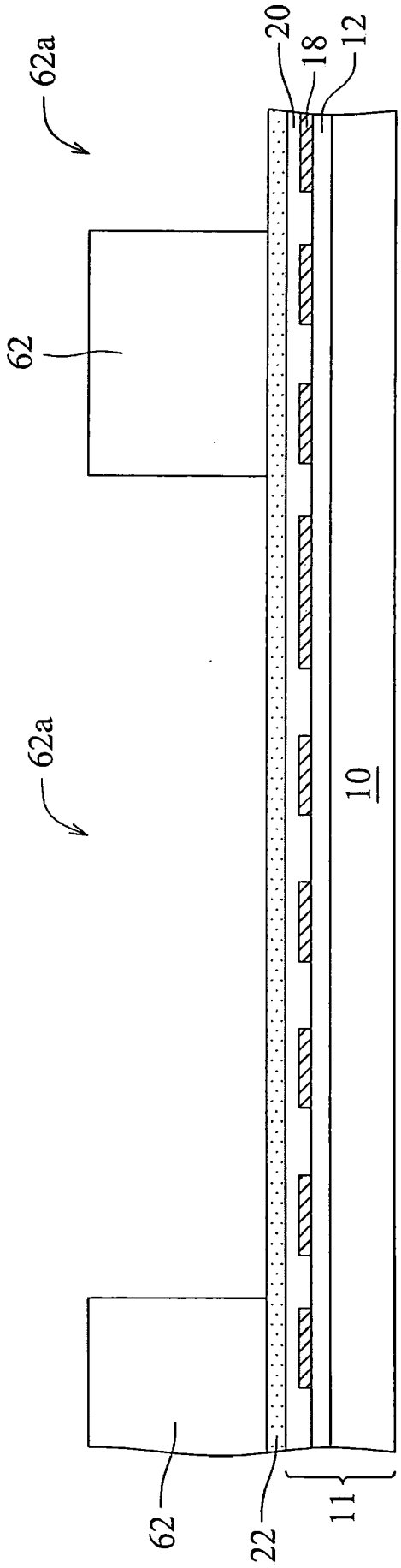


圖5

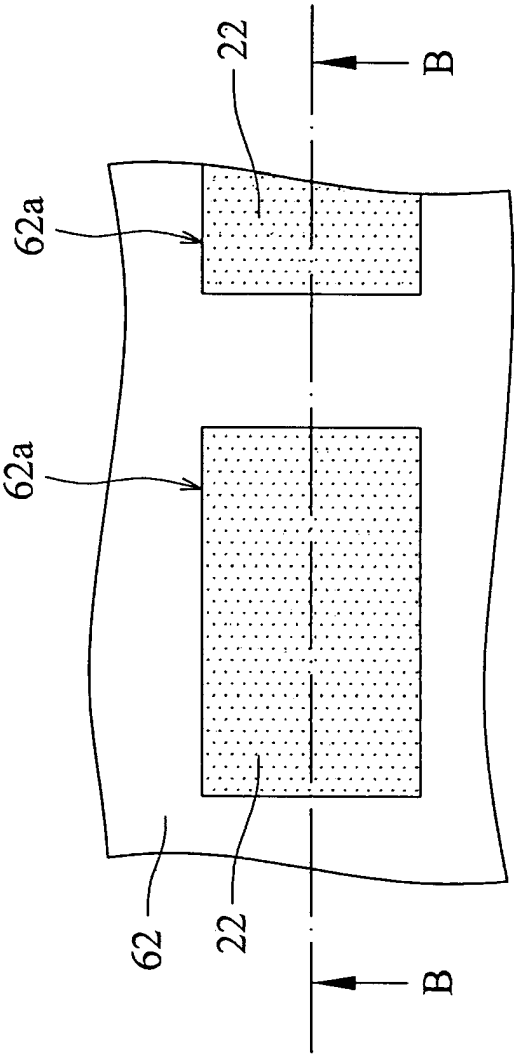


圖6

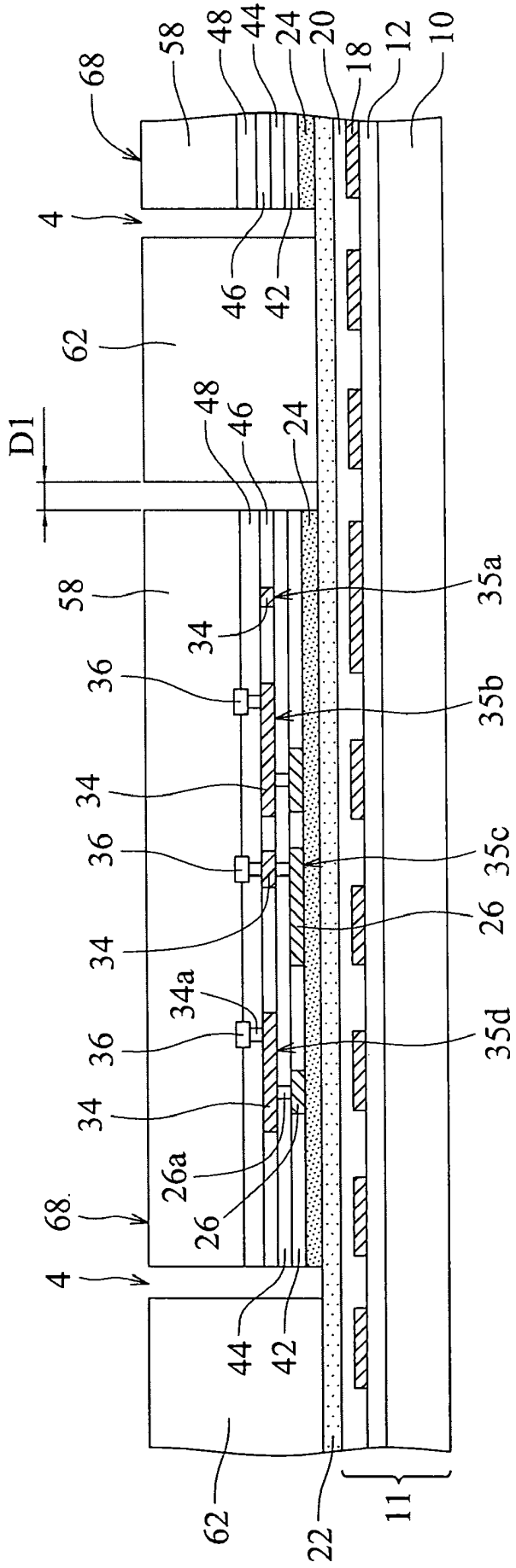

68
58
48
44
24
20
18
12
10
4
46
42
62
D1
48
46
24
58
35a
34
36
35b
34
36
35c
26
34
34a
36
35d
34
26a
26
68
4
44
42
62
22
11

圖7

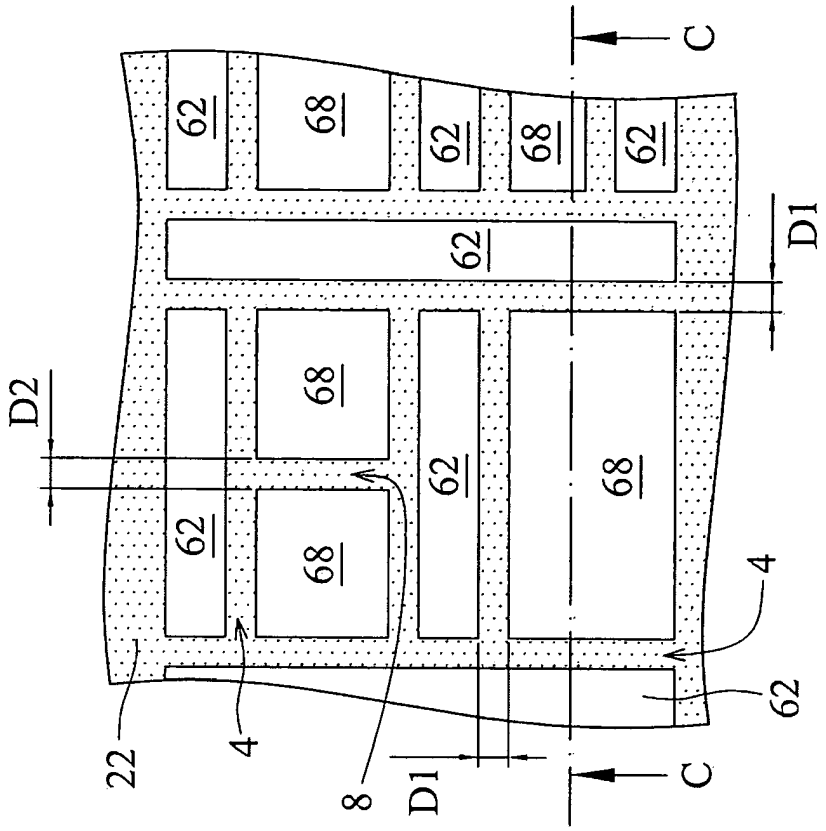

C
62
68
62
68
62
D1
62
D2
68
62
68
62
68
4
62
22
4
8
D1
C

圖9

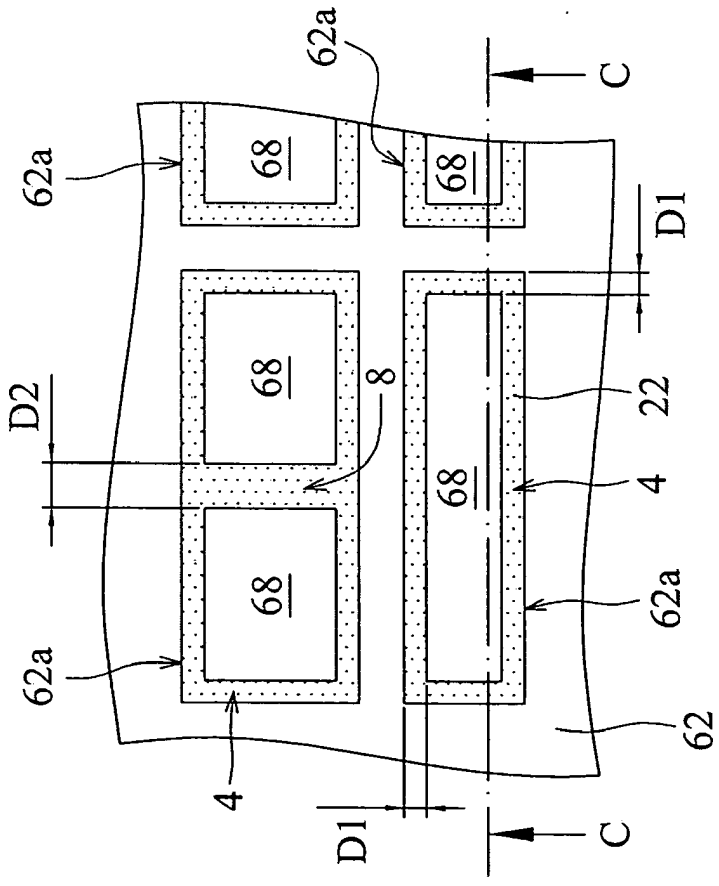

62a
C
62a
68
68
D1
68
D2
8
22
68
4
62a
62a
4
62
D1
C

圖8

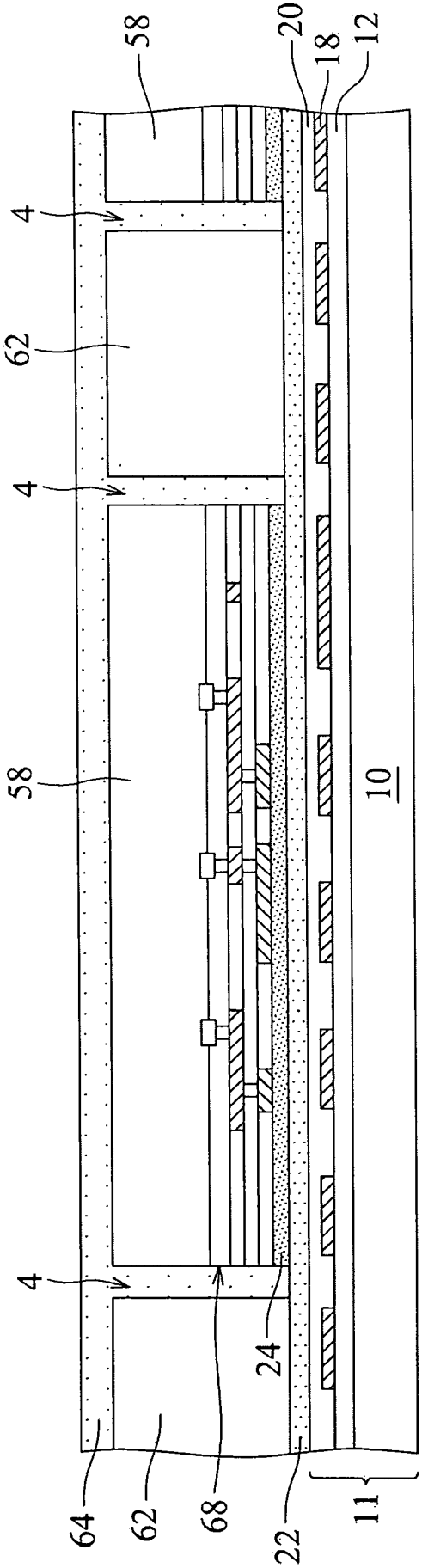

58
20
18
12
4
62
4
58
4
24
64
62
68
22
11
10

圖10

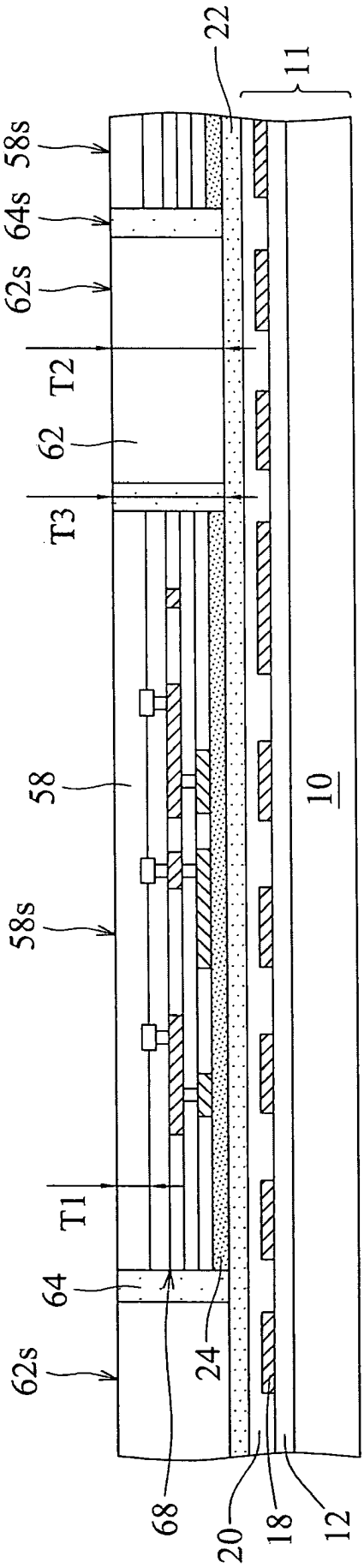

22
11
58s
64s
62s
T2
62
T3
58
58s
T1
64
62s
24
68
20
18
12
10

圖11

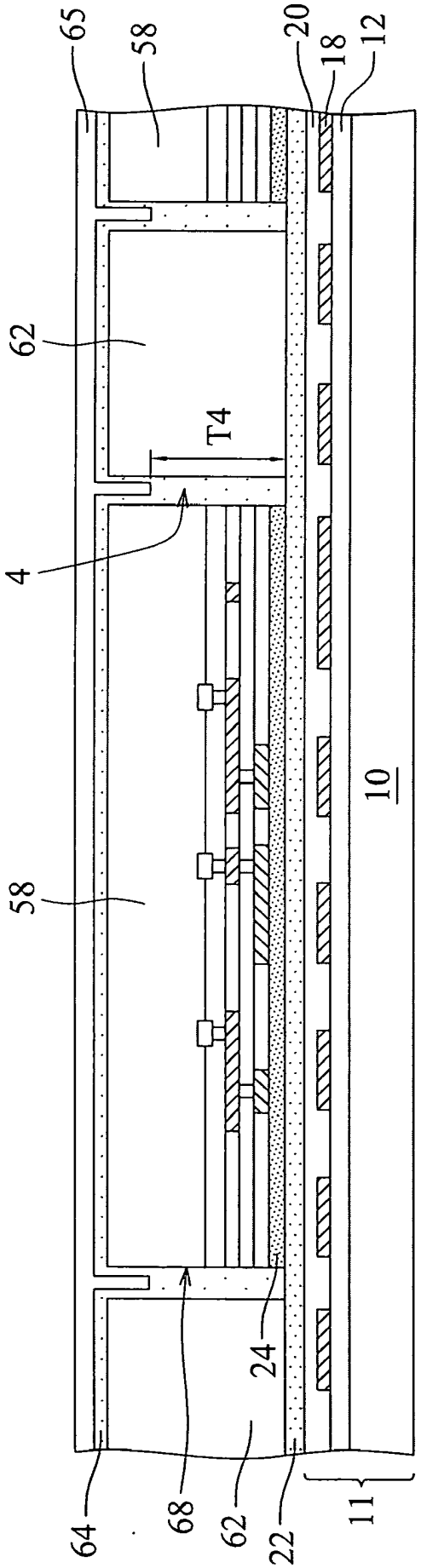

65
58
20
18
12
62
T4
4
58
10
64
68
62
22
24
11

圖12

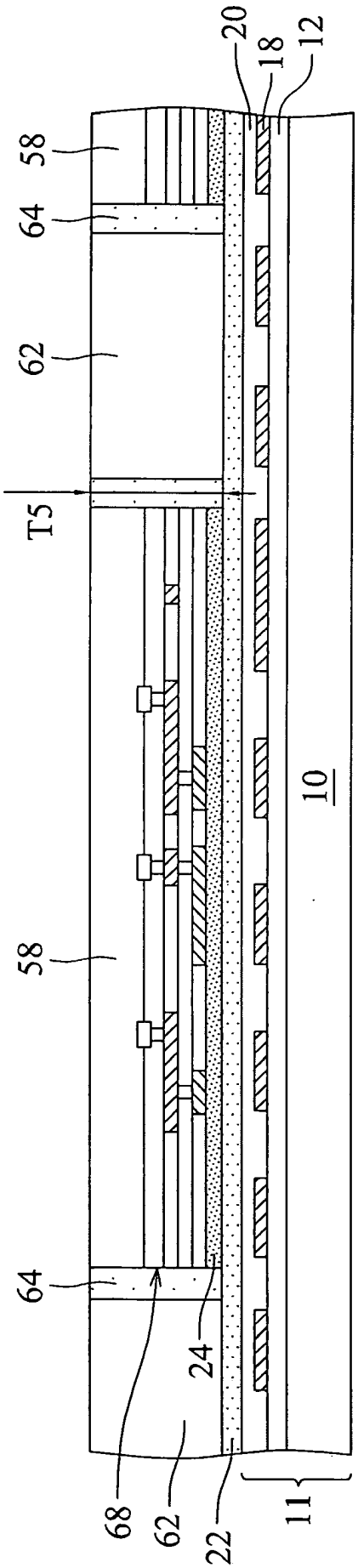

20
18
12
58
64
62
T5
58
10
64
68
62
22
24
11

圖13

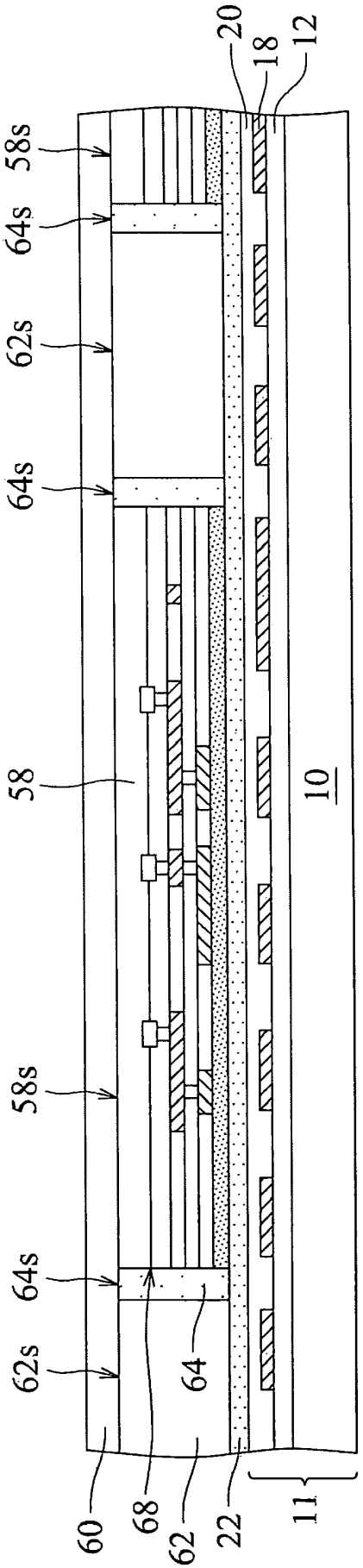

20
18
12
58s
64s
62s
64s
58
10
58s
64s
62s
64
60
68
62
22
11

圖14

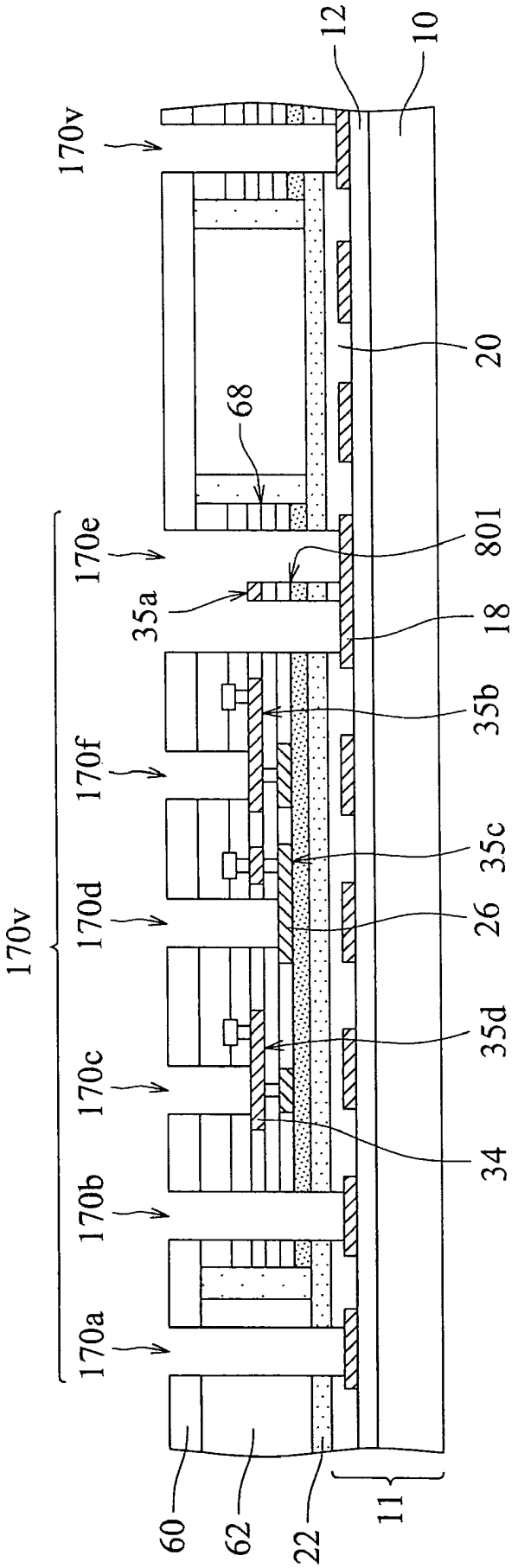

12
10
170v
20
68
170e
801
35a
18
35b
170f
35c
170d
26
170v
35d
170c
34
170b
170a
60
62
22
11

圖15

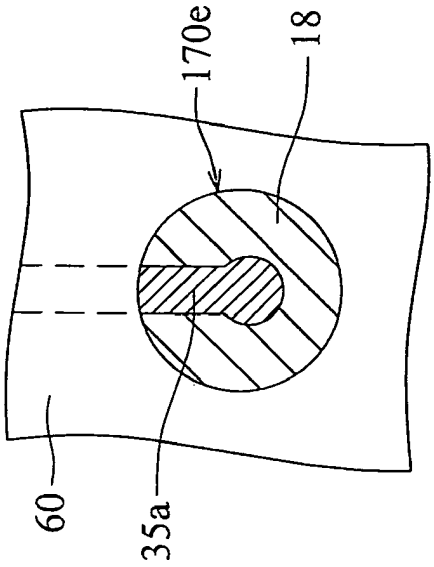


圖18

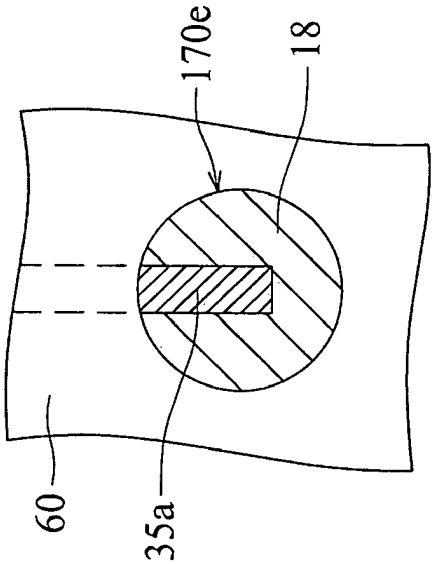


圖17

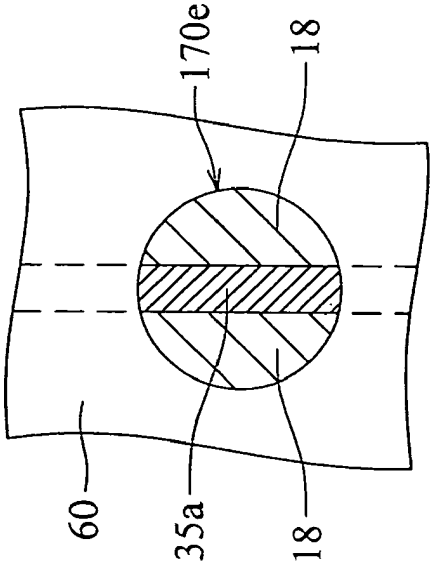


圖16

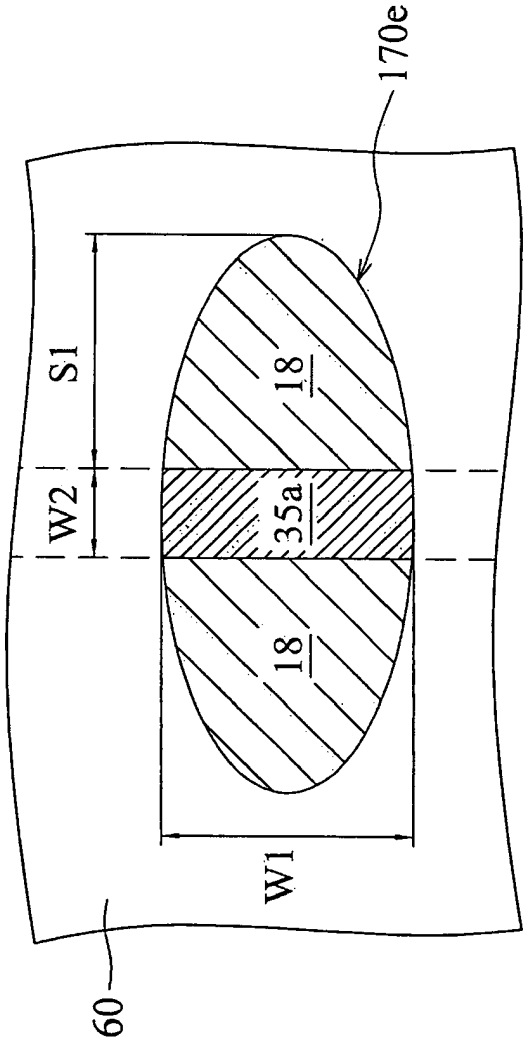


圖16A

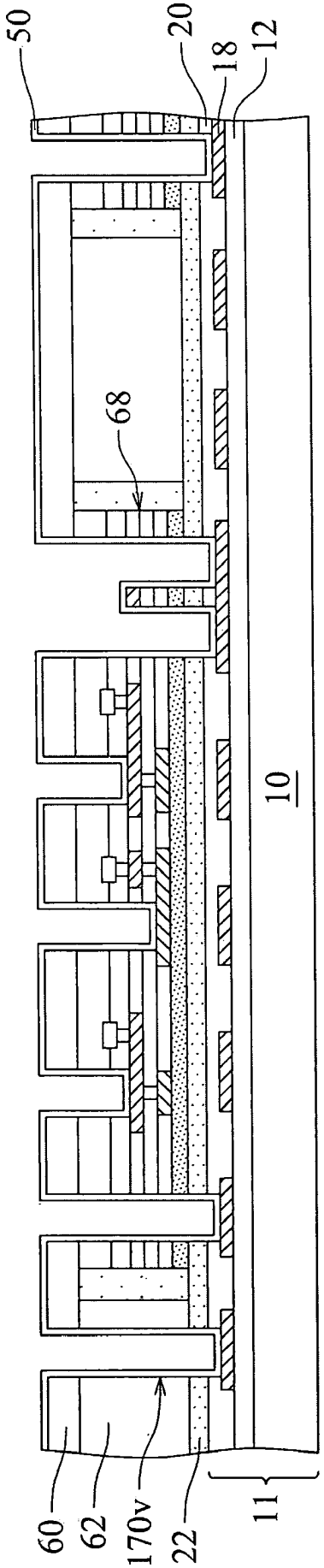

50
20
18
12
68
10
60
62
170v
22
11

圖19

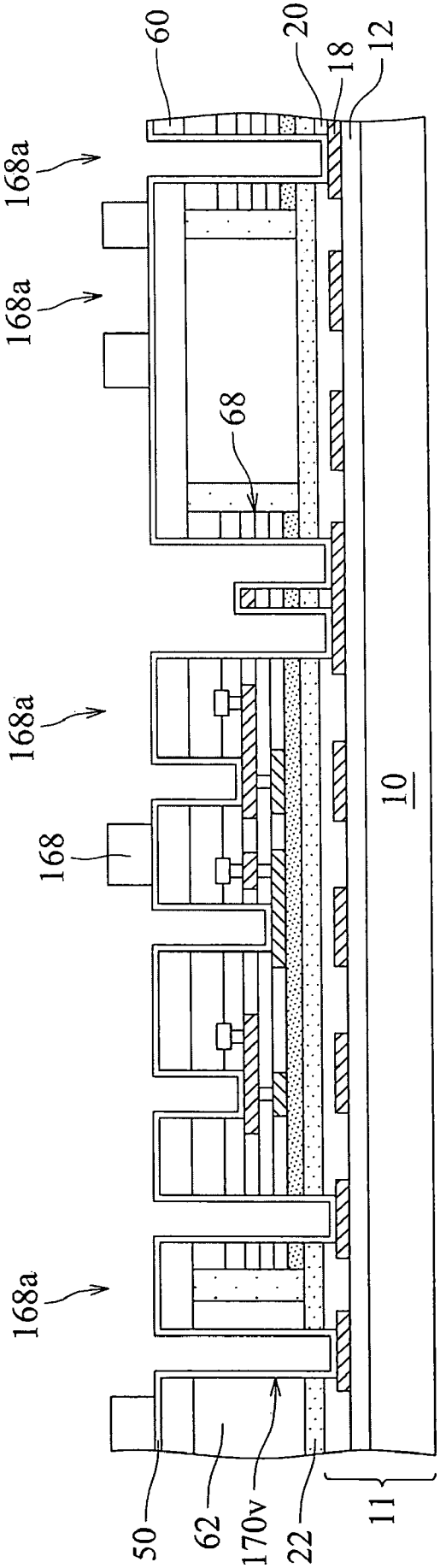

60
20
18
12
168a
168a
68
168a
168
10
168a
50
62
170v
22
11

圖20

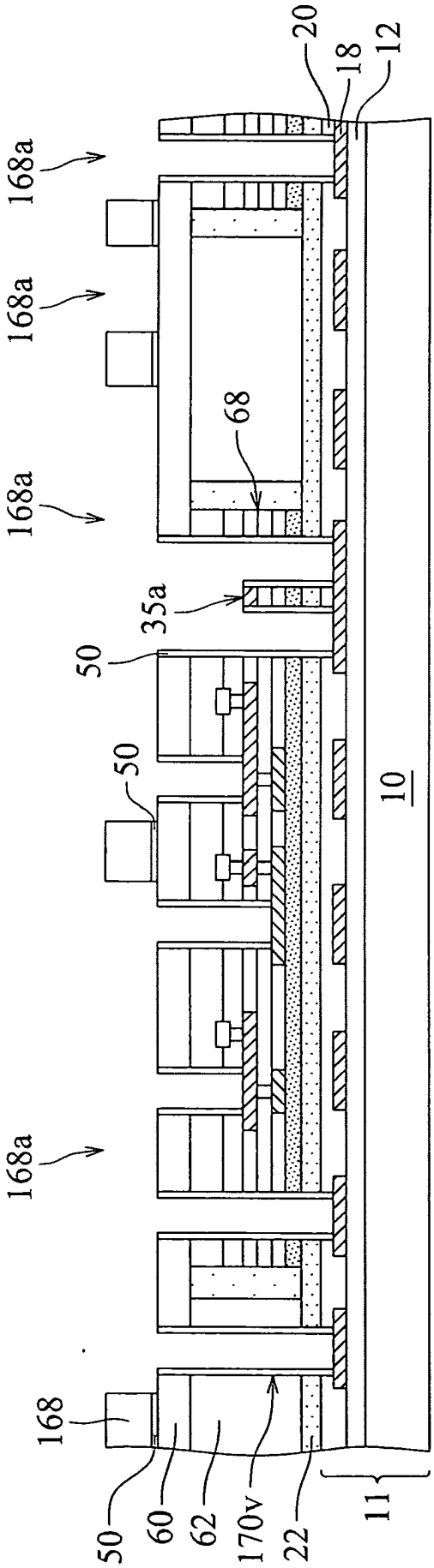

20
18
12
168a
168a
168a
68
35a
50
50
10
168a
168
50
60
62
170v
22
11

圖21

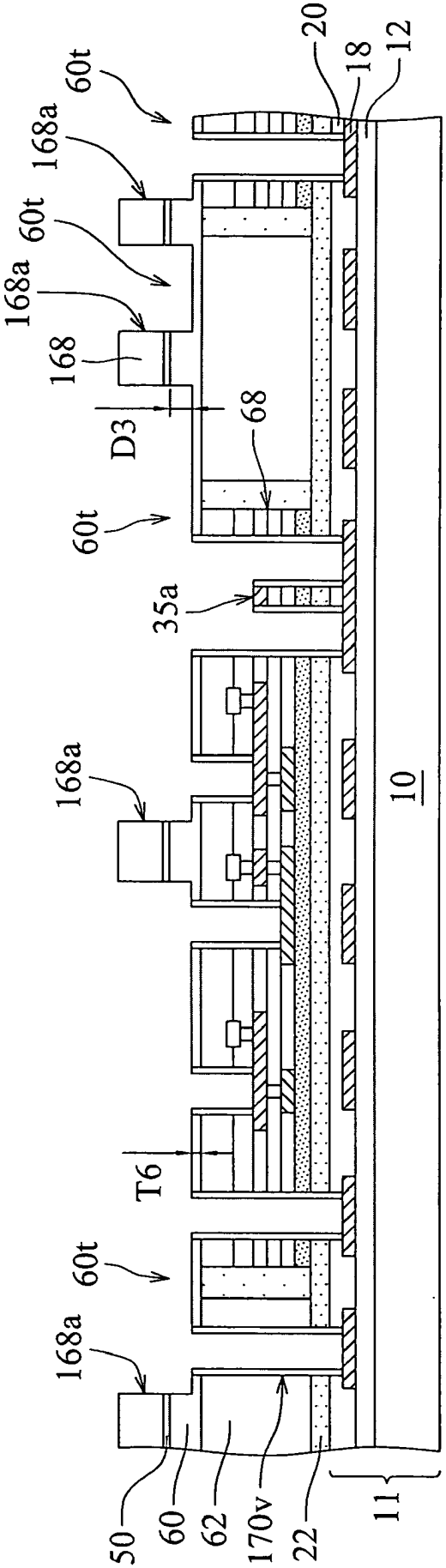

20
18
12
60t
168a
60t
168a
168
D3
68
60t
35a
10
168a
T6
60t
168a
50
60
62
170v
22
11

圖22

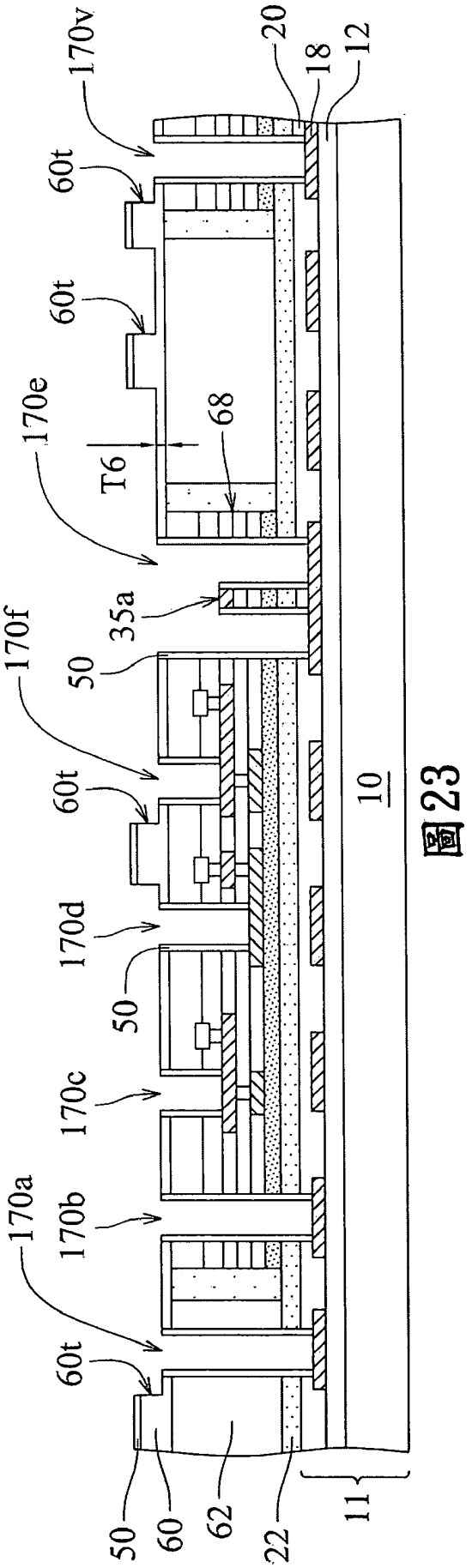

170v
20
18
12
60t
60t
170e
T6
68
35a
170f
50
60t
170d
50
170c
170a
170b
60t
50
60
62
22
11
10

圖23

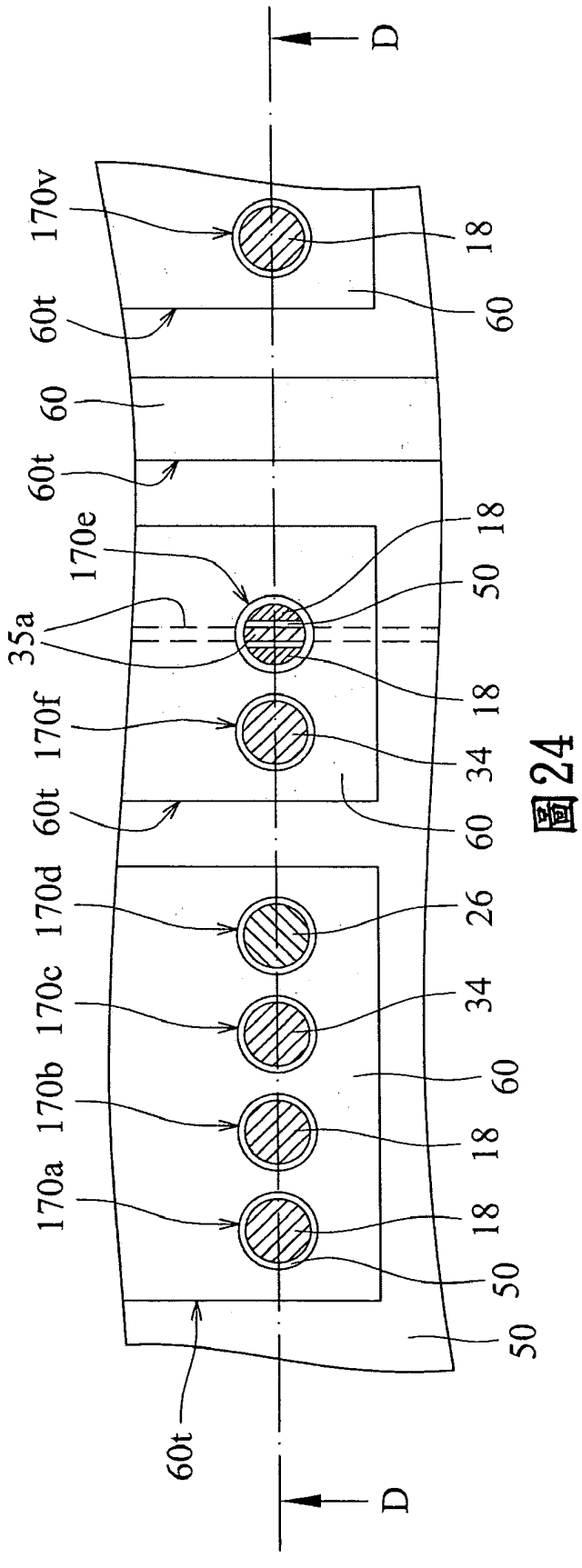

D
170v
18
60
60t
60
60t
170e
18
50
35a
18
170f
34
60t
60
170d
26
170c
34
170b
60
18
170a
18
50
50
60t
D

圖24

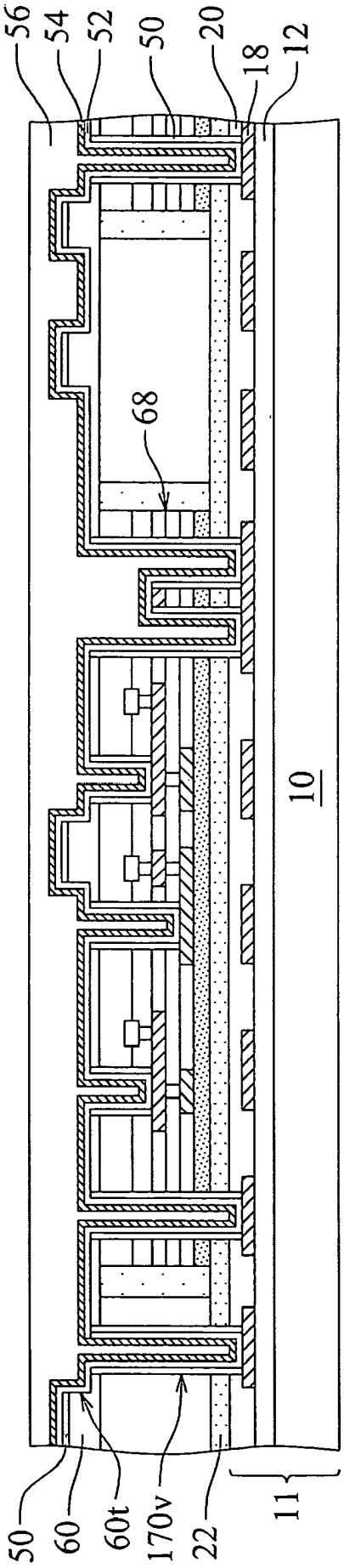

56
54
52
50
20
18
12
68
10
50
60
60t
170v
22
11

圖25

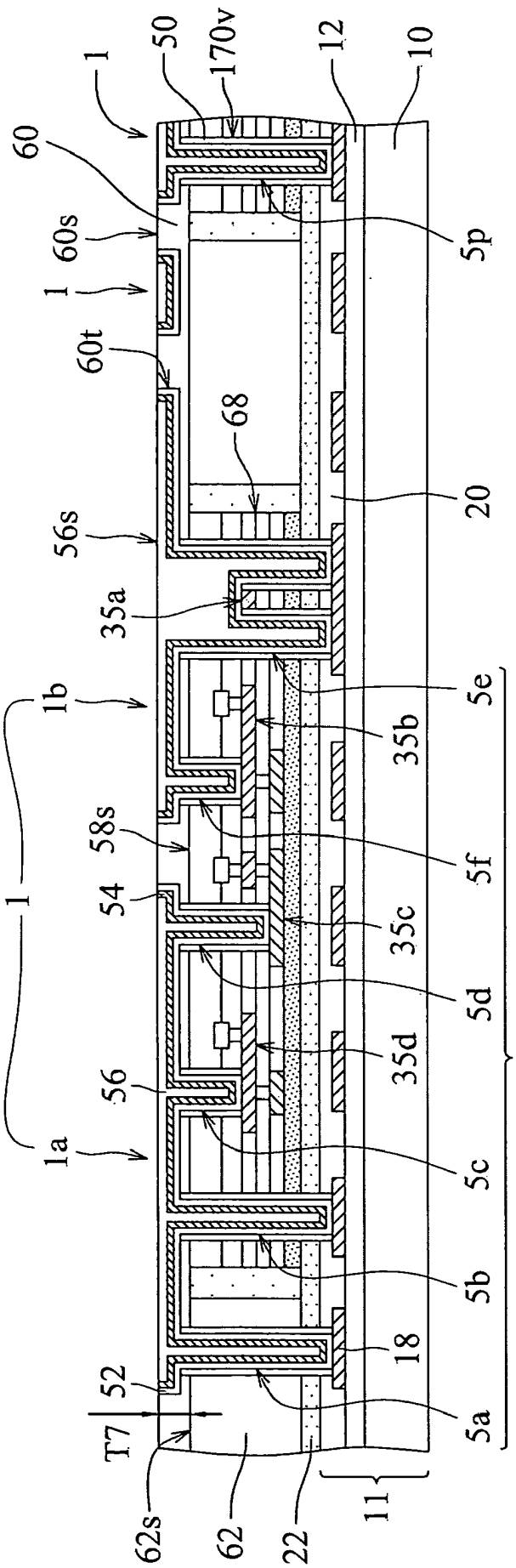

1
50
170v
12
10
60
60s
1
60t
68
5p
20
56s
35a
1b
5e
35b
58s
5f
1
54
35c
5d
35d
56
5p
1a
5c
5b
18
52
5a
T7
62s
62
22
11

圖26

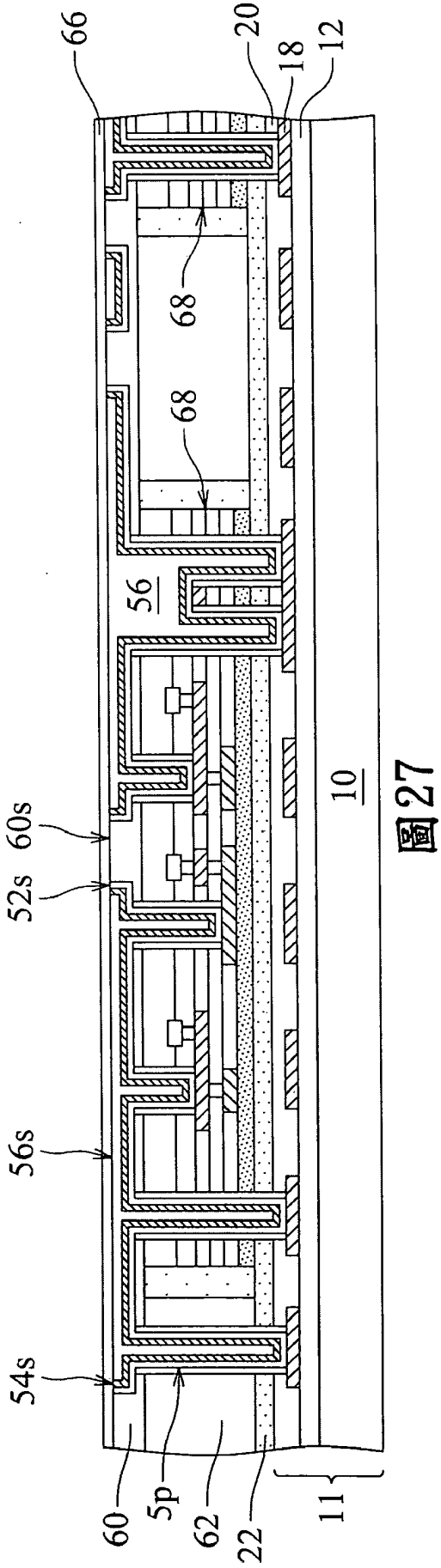

66
20
18
12
68
68
56
10
60s
52s
56s
54s
60
5p
62
22
11

圖27

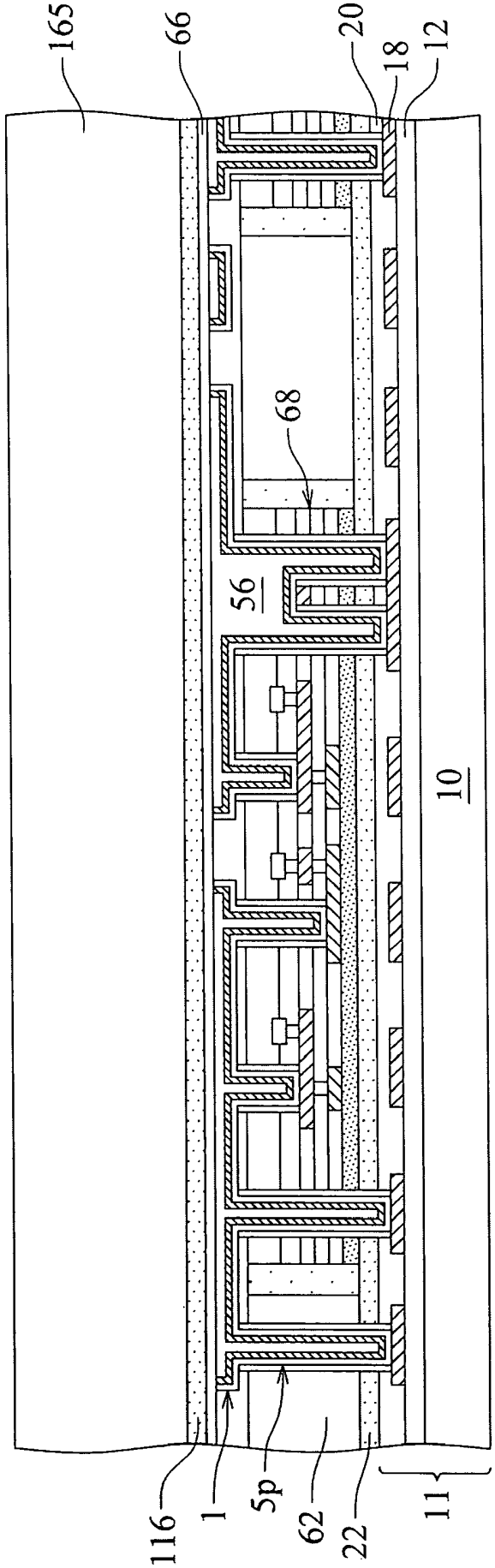

165
66
20
18
12
68
56
10
116
1
5p
62
22
11

圖28

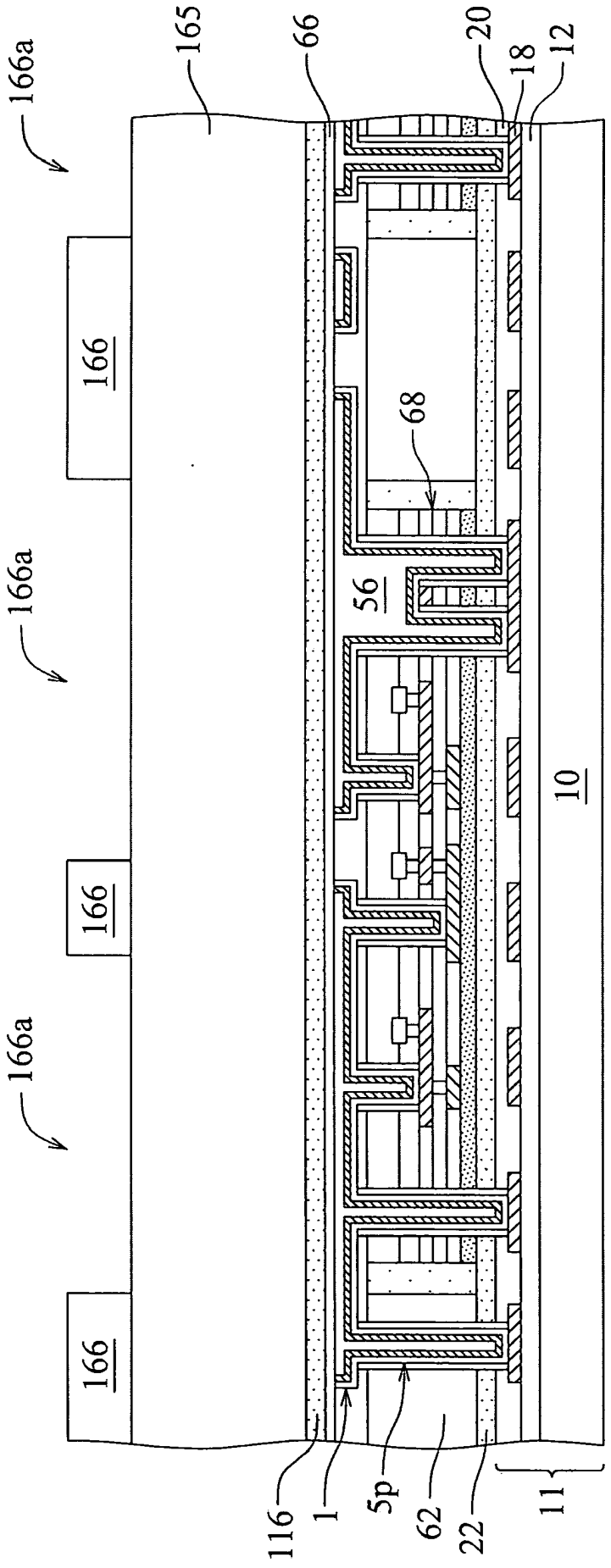

166a
165
66
20
18
12
166
68
166a
56
166
10
166a
166
116
1
5p
62
22
11

圖29

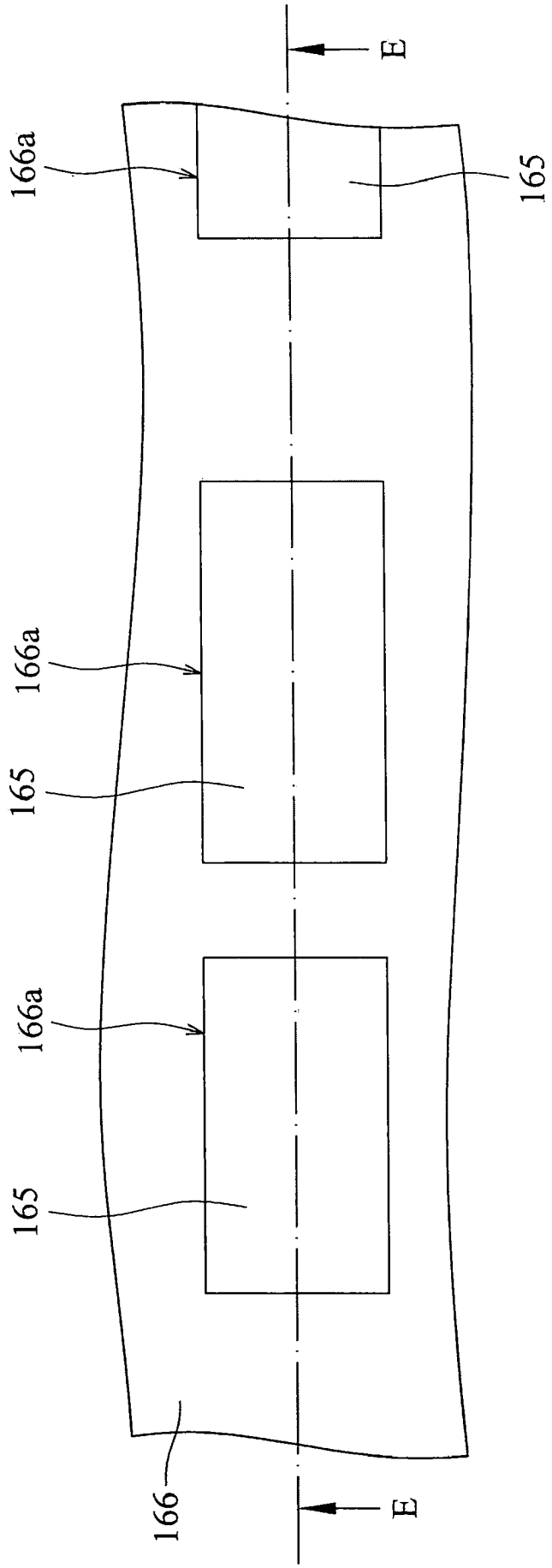


圖30

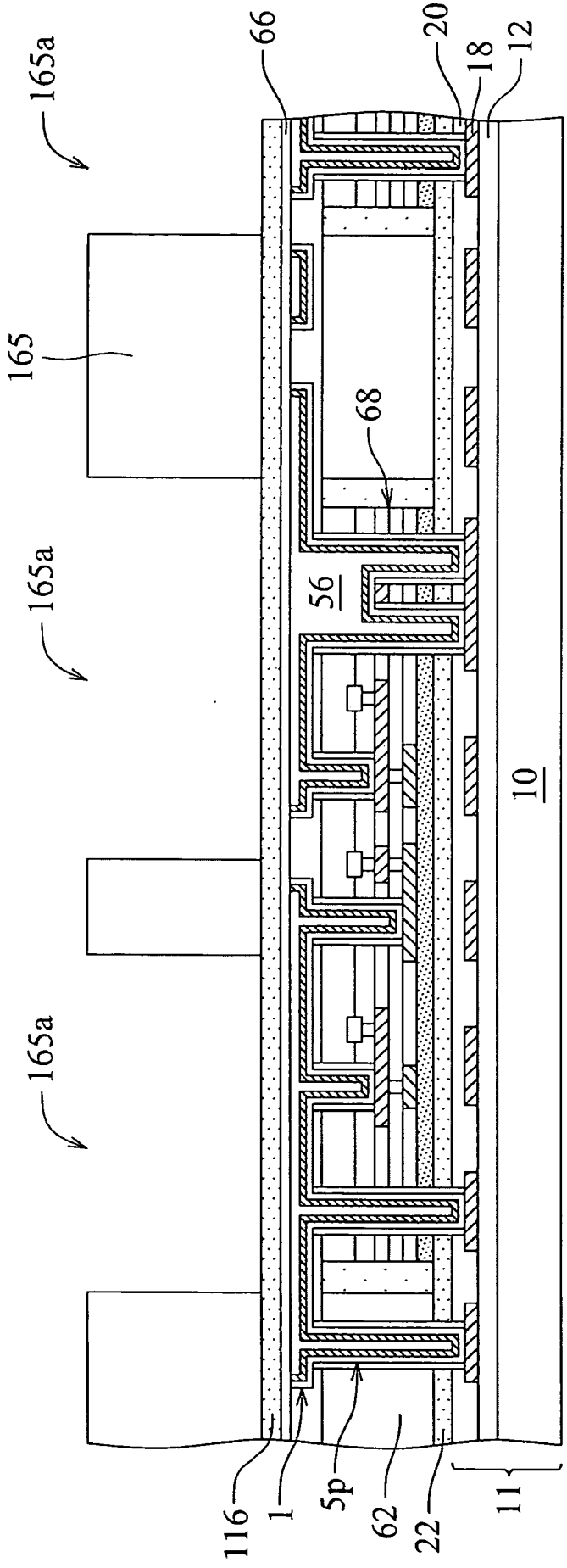


圖31

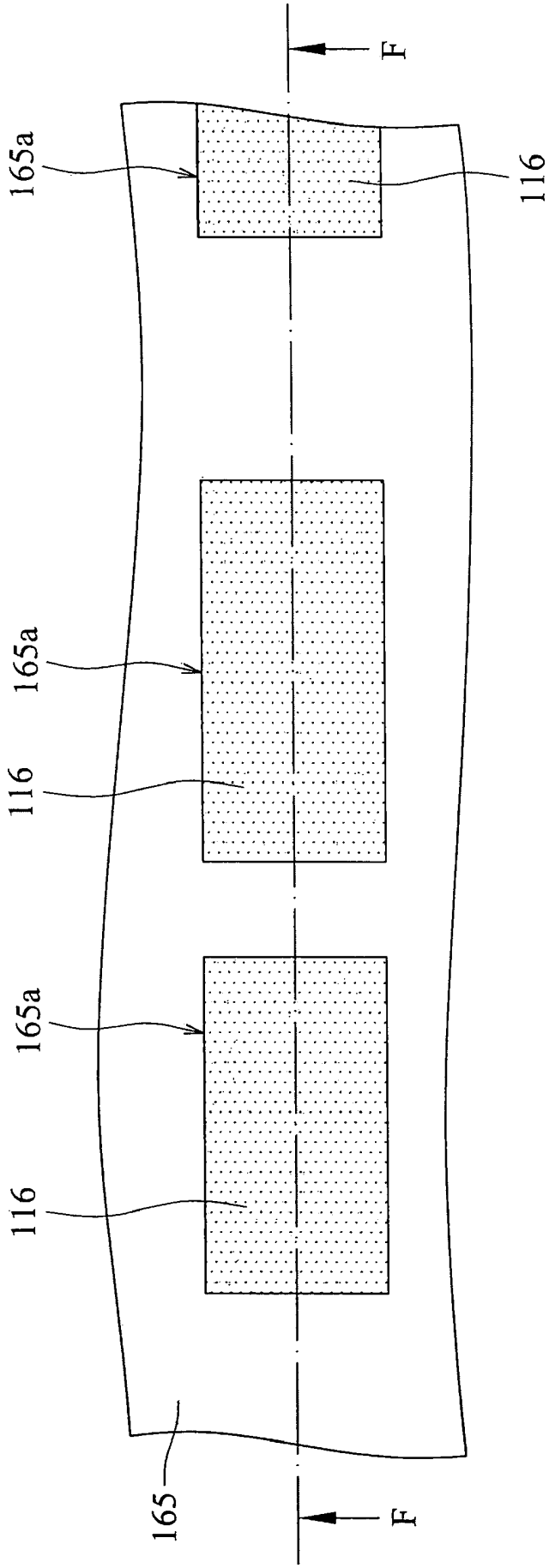


圖32

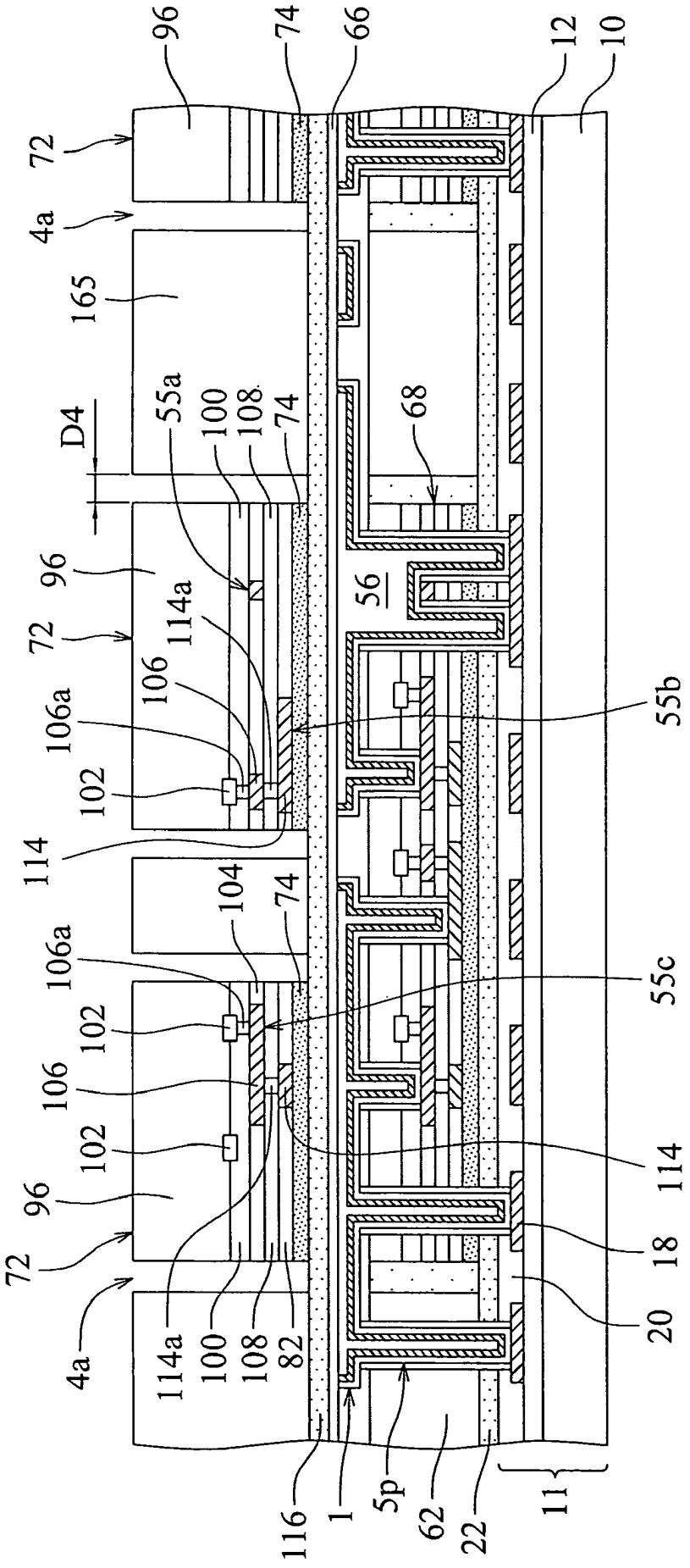

96
74
66
12
10
72
4a
165
D4
55a
100
108
74
68
96
72
114a
106
106a
102
114
56
55b
104
74
106a
55c
102
106
102
96
72
4a
114a
100
108
82
114
18
20
116
1
5p
62
22
11

圖33

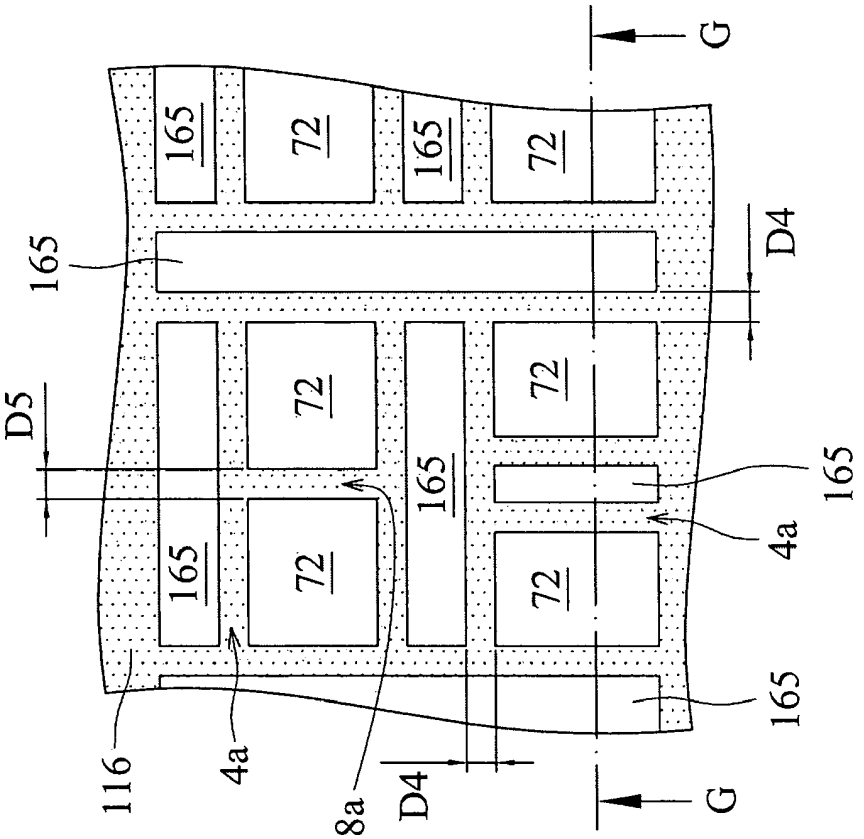

165
72
165
72
G
D4
165
D5
72
72
165
165
4a
165
165
72
72
116
4a
8a
D4
G

圖35

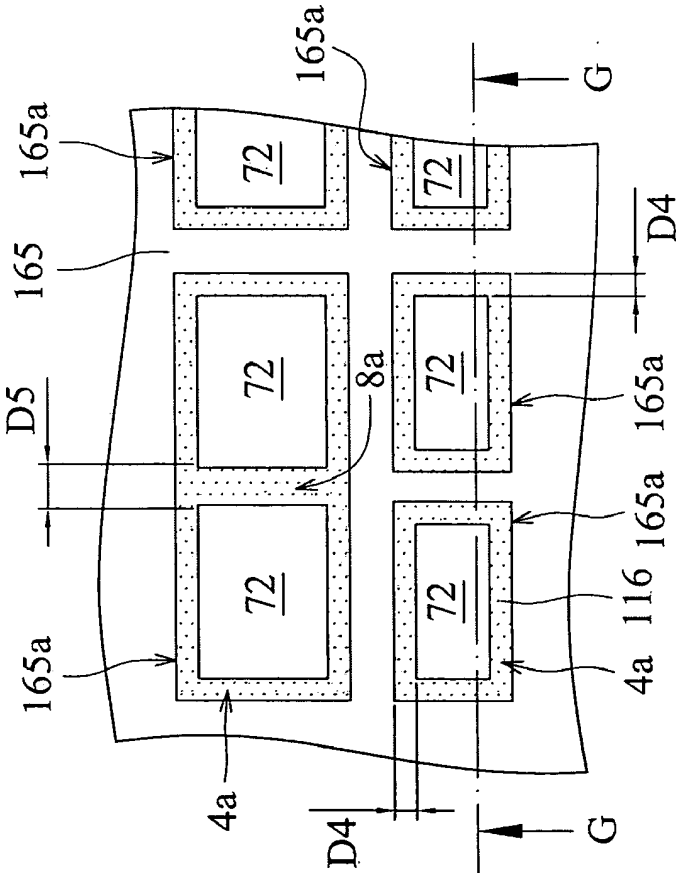

165a
G
165a
72
72
D4
165
165
D5
72
8a
72
165a
165a
72
72
165a
116
165a
4a
4a
D4
G

圖34

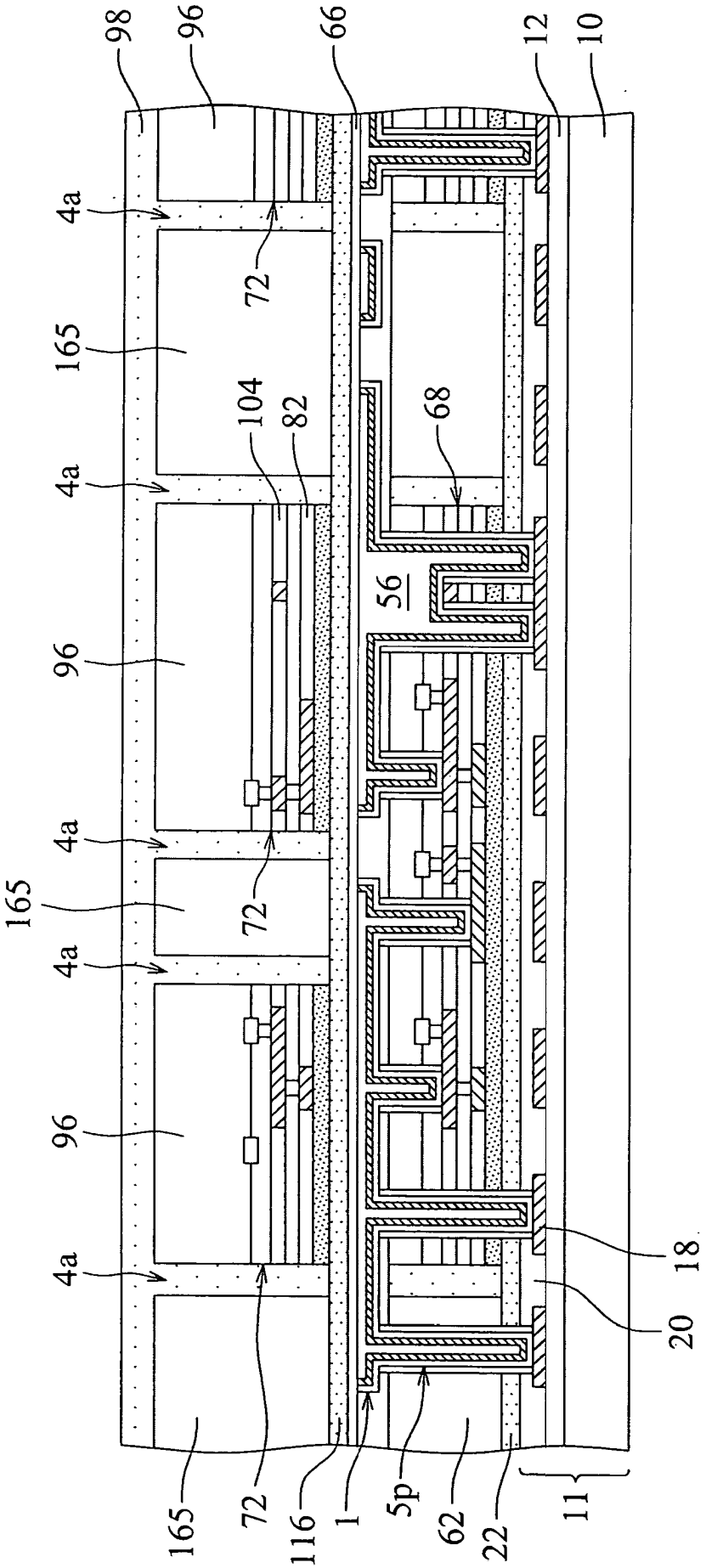

98
96
66
12
10
4a
72
165
104
82
68
4a
96
56
4a
72
165
4a
4a
96
4a
18
20
165
72
116
1
5p
62
22
11

圖36

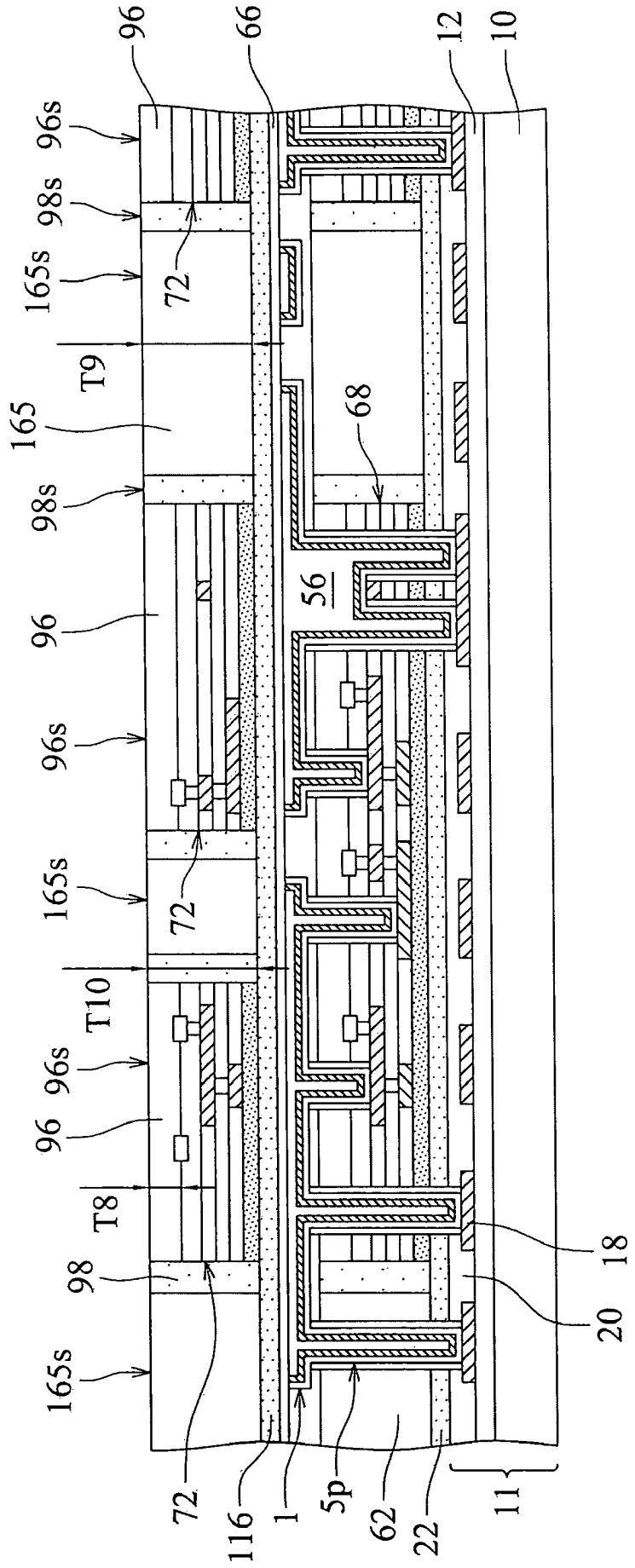

96
66
12
10
96s
98s
165s
72
T9
165
68
98s
56
96
96s
165s
72
T10
96s
96
T8
98
18
20
165s
72
116
1
5p
62
22
11

圖37

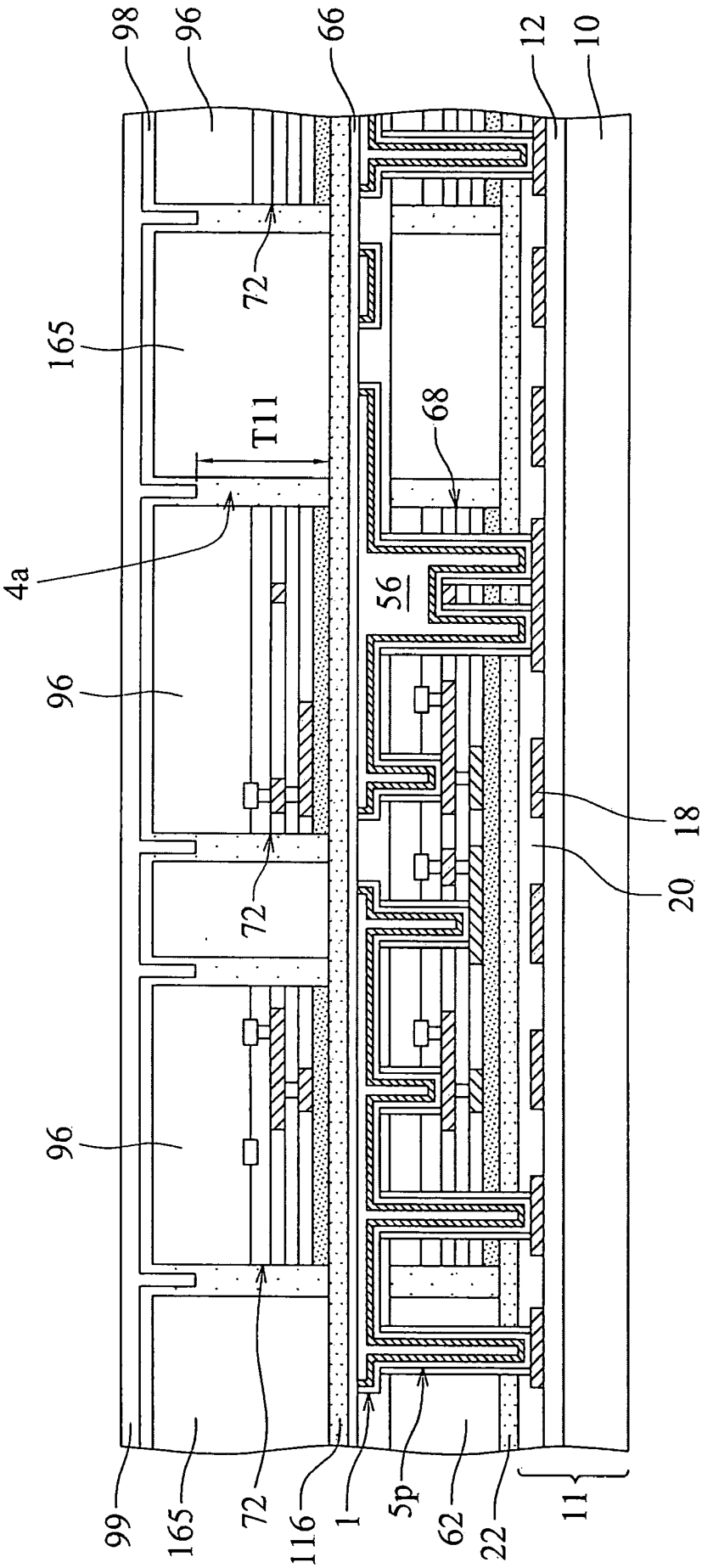

98
96
66
12
10
72
165
T11
68
4a
56
96
18
72
20
96
99
165
72
116
1
5p
62
22
11

圖38

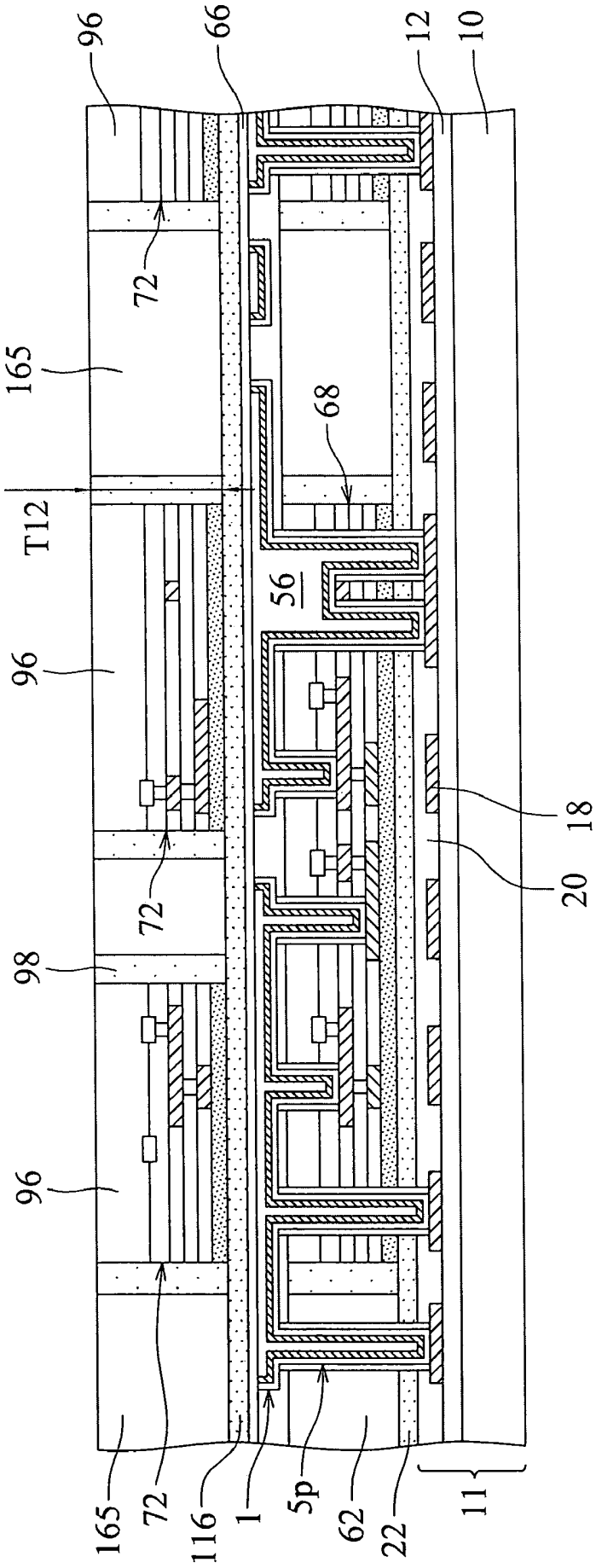


圖39

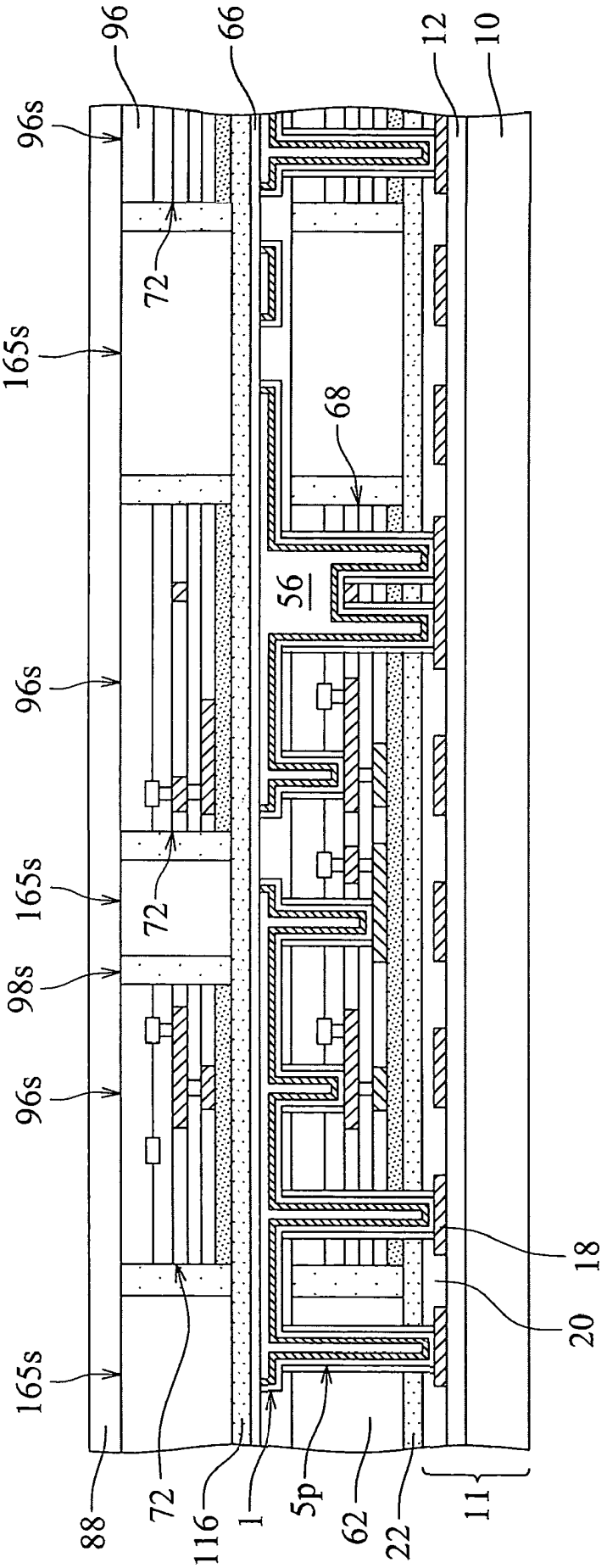

96
66
12
10
96s
72
165s
68
56
96s
72
165s
98s
96s
165s
18
20
88
72
116
1
5p
62
22
11

圖40

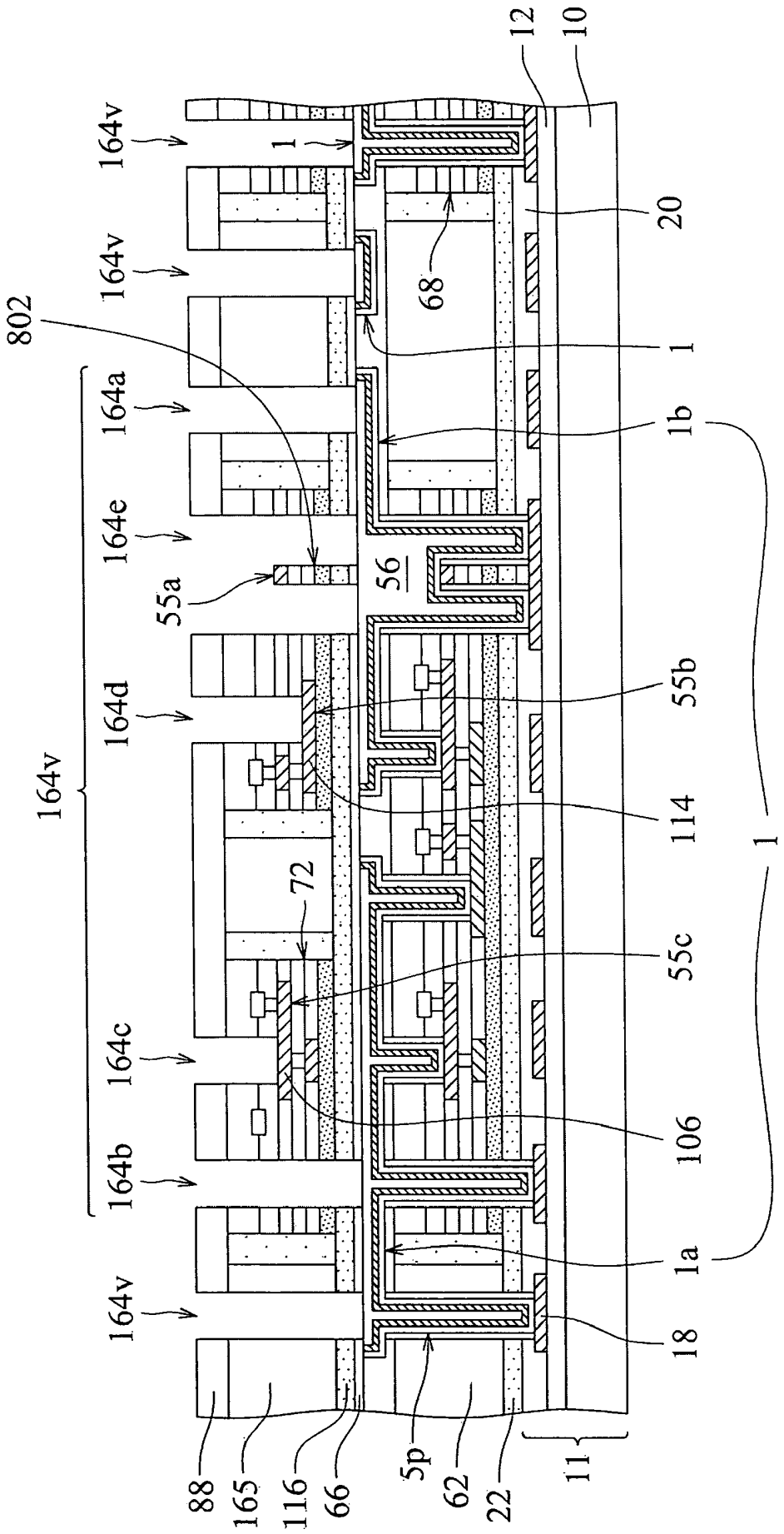

12
10
164v
1
20
68
802
164v
1
164a
1b
164e
56
55a
164d
55b
164v
114
1
72
55c
164c
106
164b
1a
164v
18
88
165
116
66
5p
62
22
11

圖41

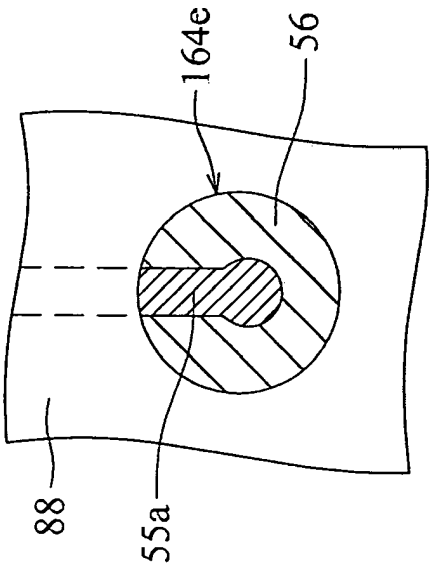


圖44

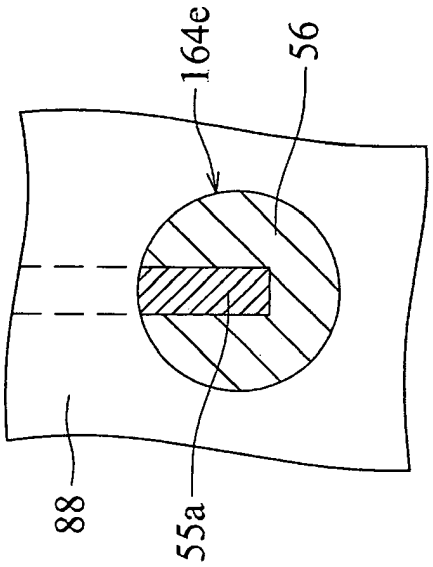


圖43

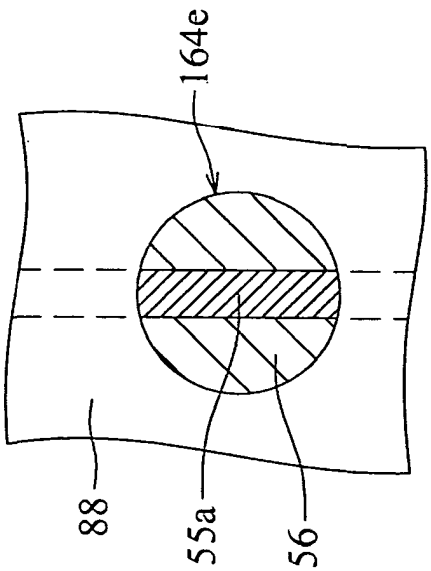


圖42

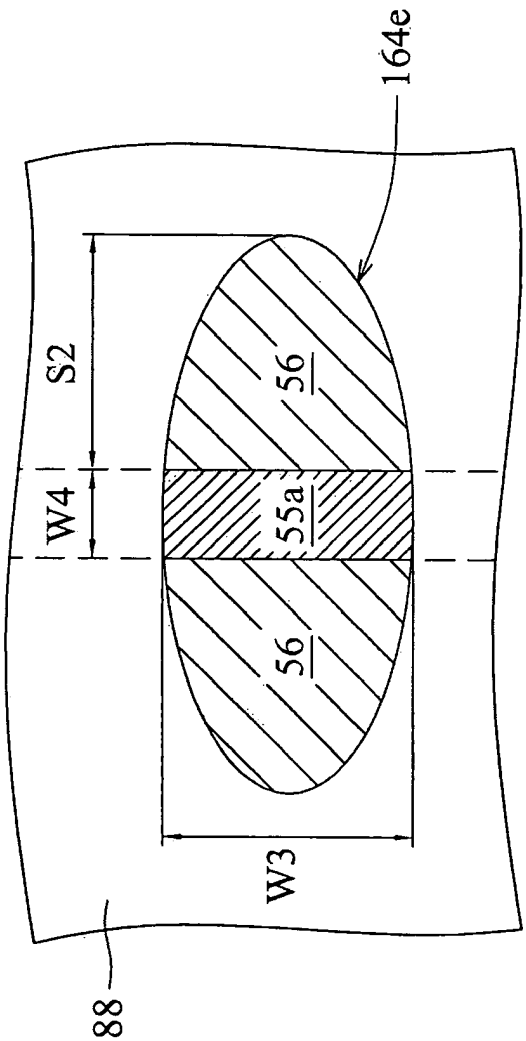


圖42A

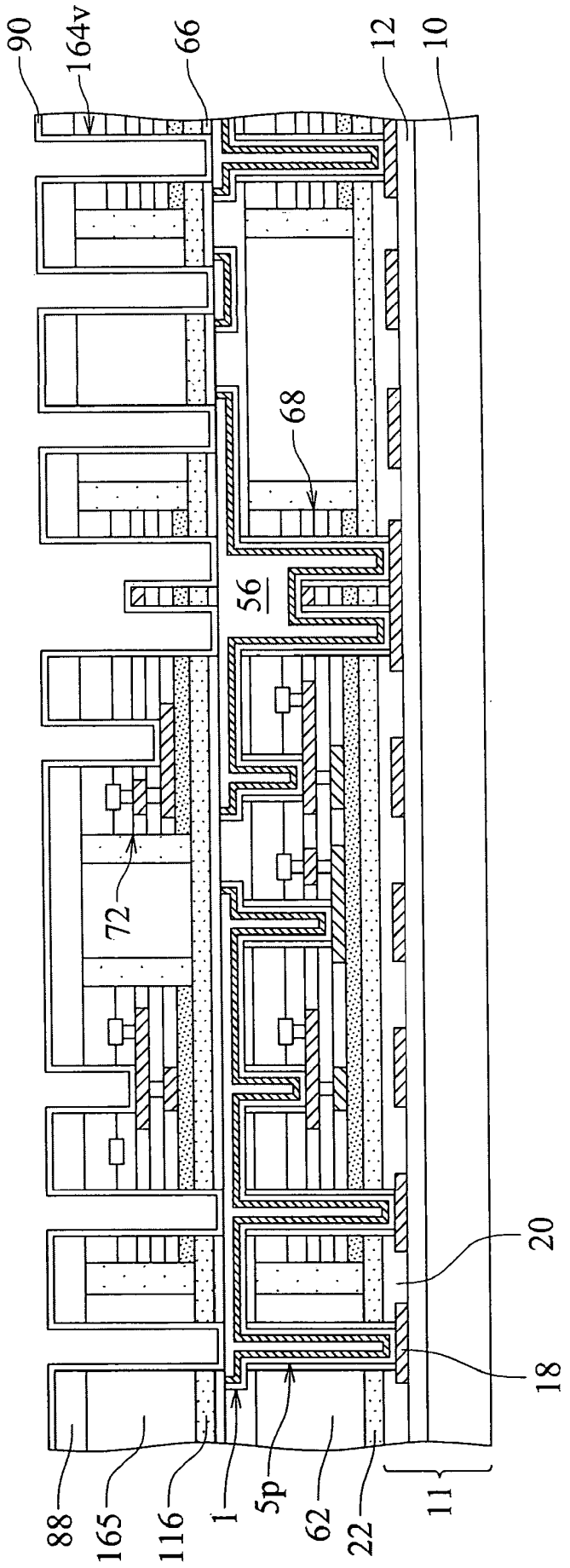


圖45

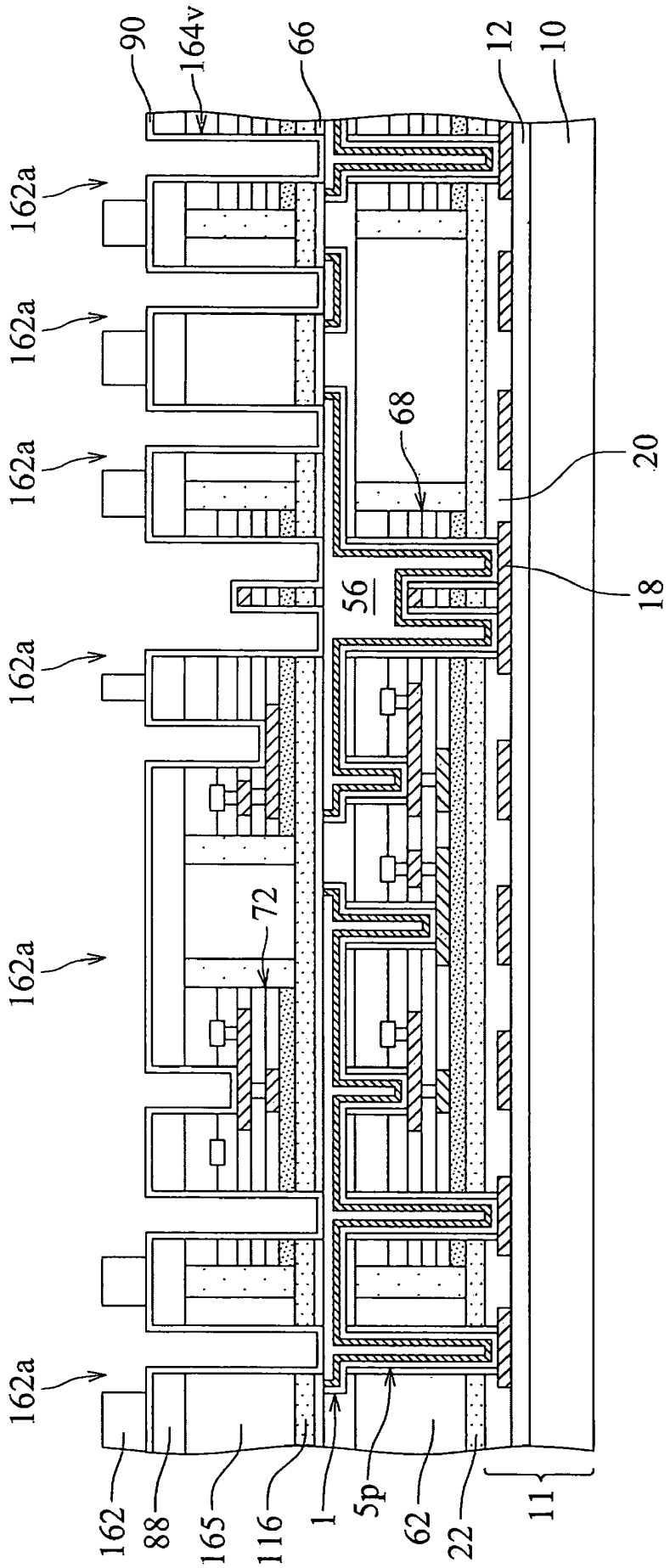

90
164v
66
12
10
162a
162a
162a
68
20
18
56
162a
162a
72
162a
162
88
165
116
1
5p
62
22
11

圖46

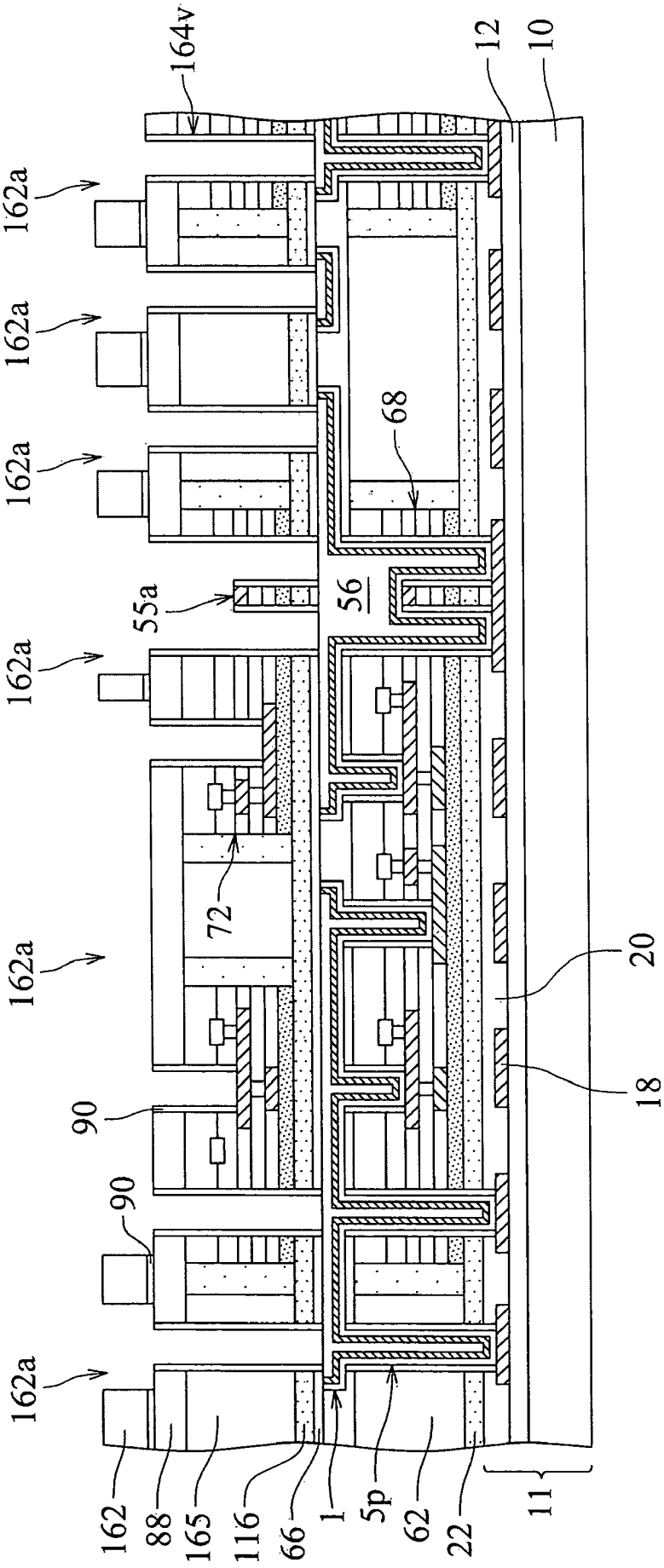

164v
12
10
162a
162a
162a
68
55a
56
162a
72
162a
20
18
90
90
162a
162
88
165
116
66
1
5p
62
22
11

圖47

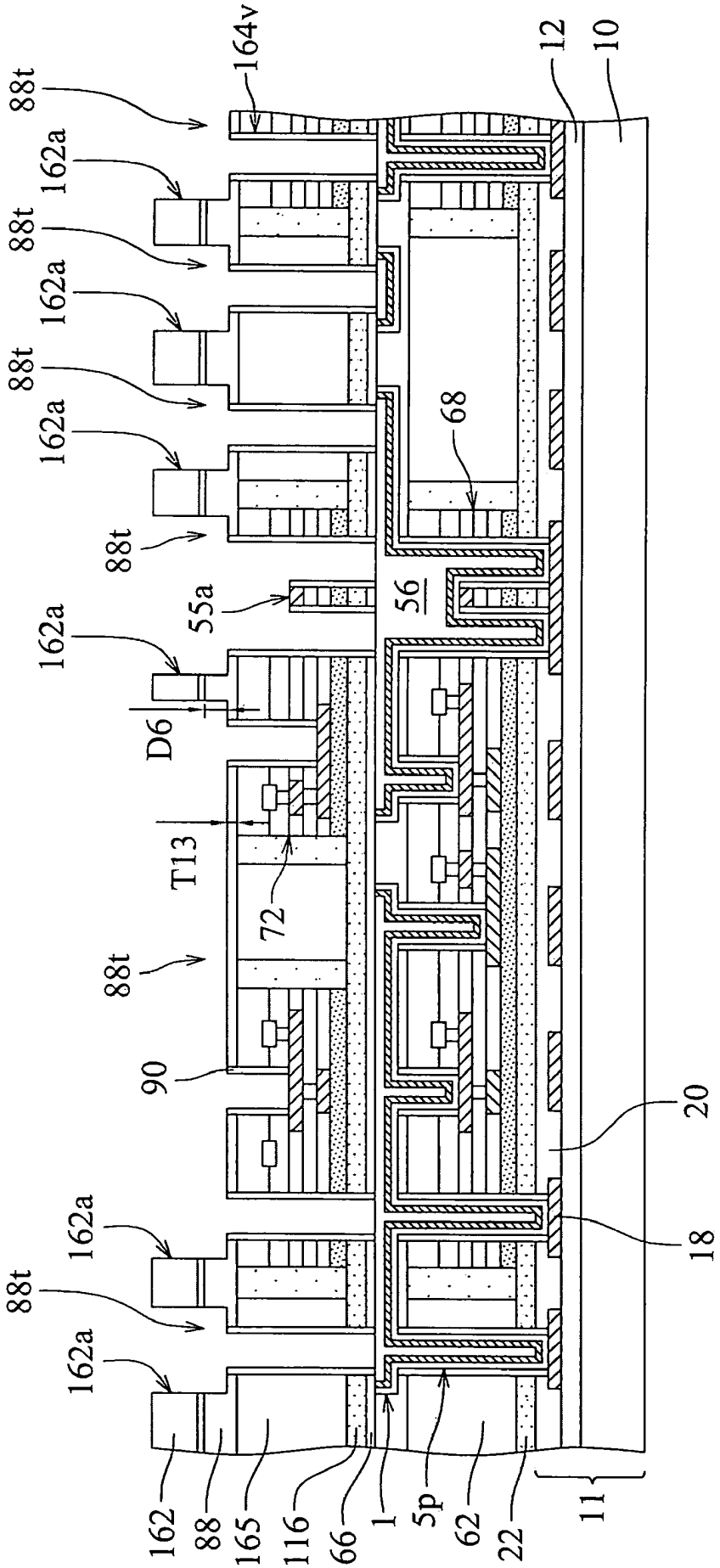

164v
12
10
88t
162a
88t
162a
88t
162a
88t
162a
88t
55a
56
68
162a
D6
T13
72
88t
90
20
18
88t
162a
162a
162
88
165
116
66
1
5p
62
22
11

圖48

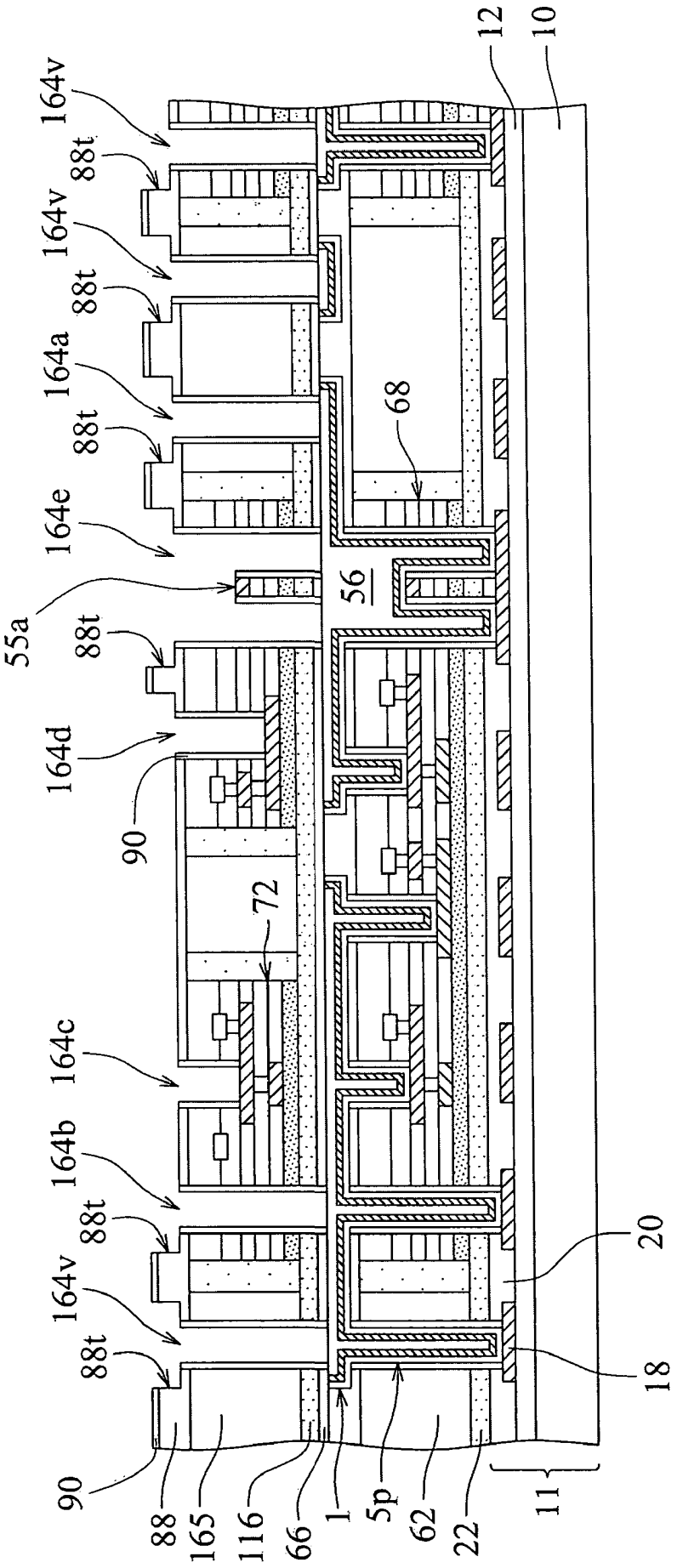

12
10
164v
88t
164v
88t
164a
88t
164e
55a
88t
164d
90
72
164c
164b
88t
164v
88t
90
88
165
116
66
1
5p
62
22
11
18
20
68
56

圖49

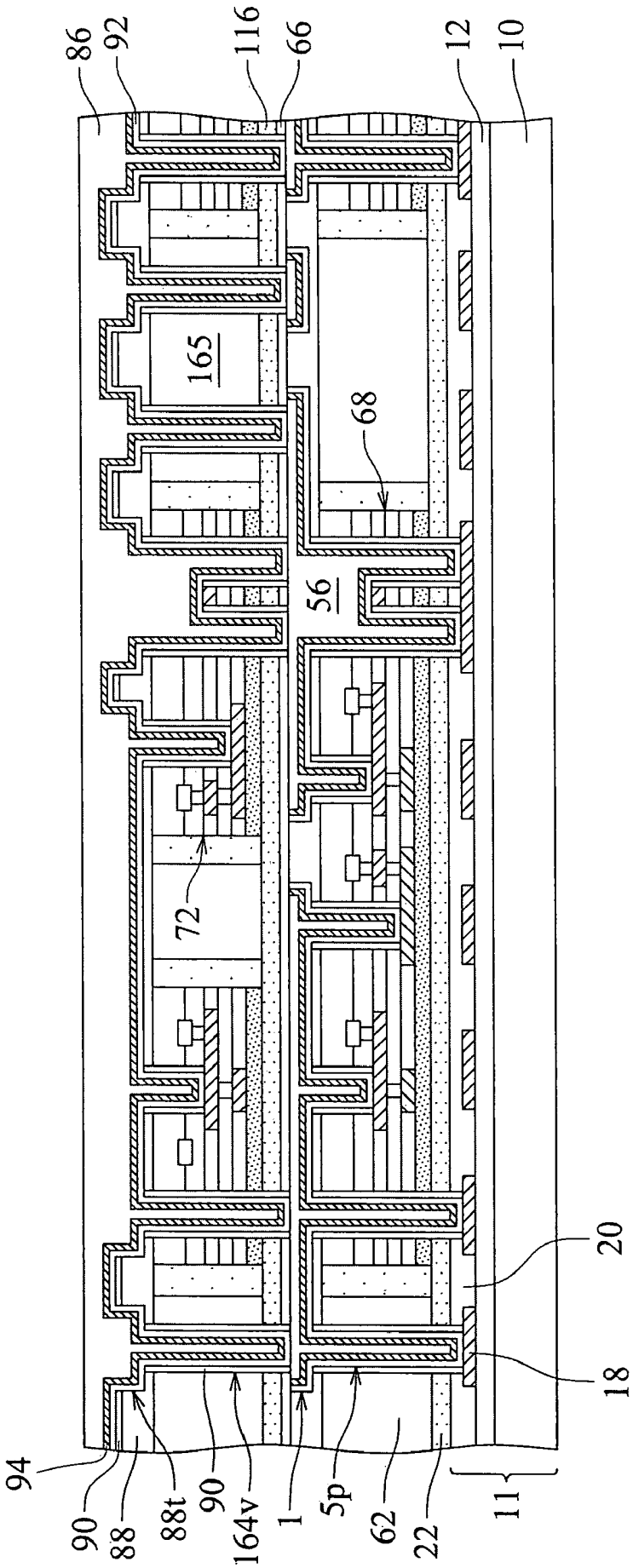

86
92
116
66
12
10
165
68
56
72
20
18
94
90
88
88t
90
164v
1
5p
62
22
11

圖51

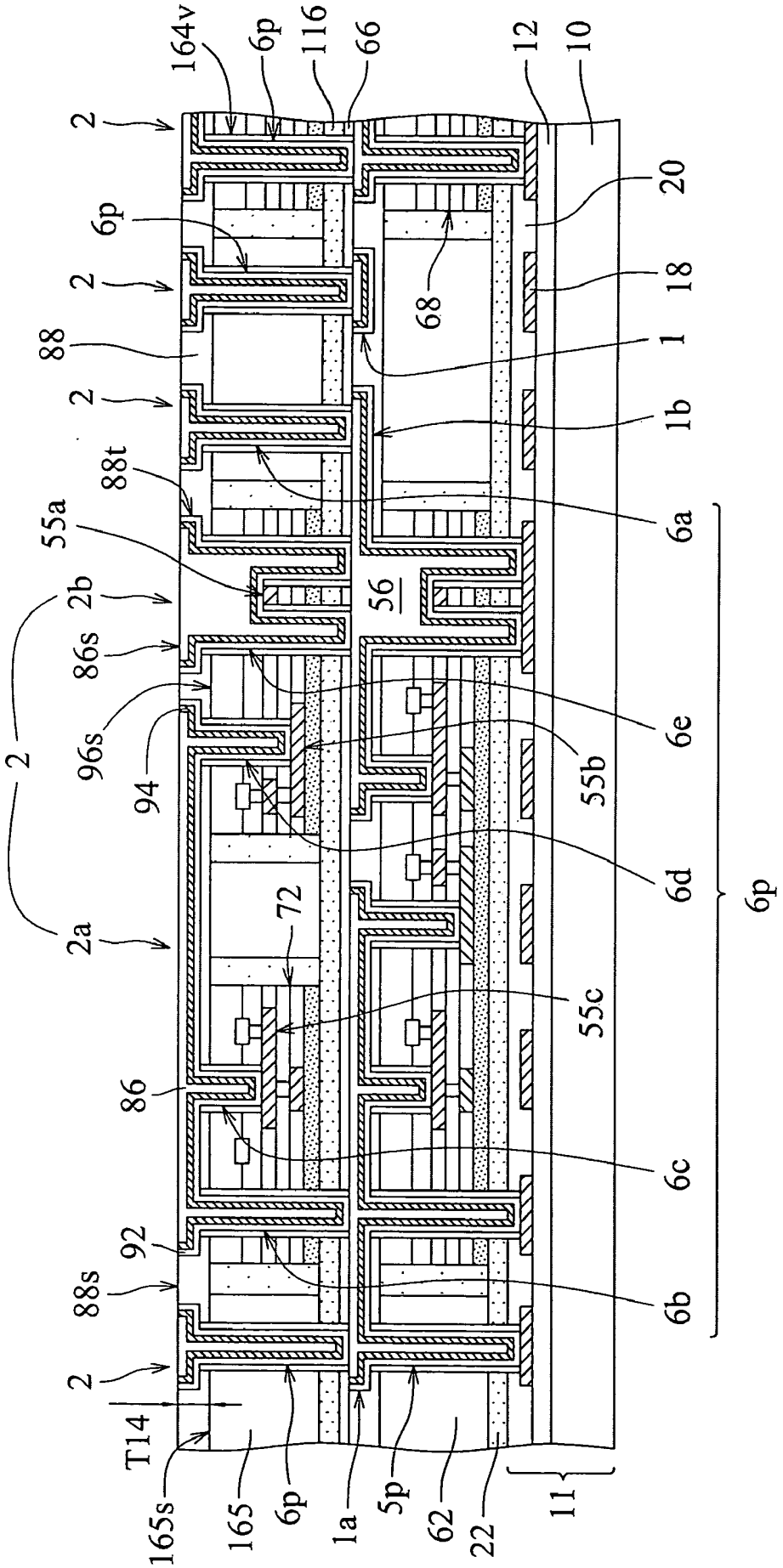

164v
6p
116
66
12
10
2
6p
20
2
68
18
88
1
2
1b
88t
6a
55a
56
2b
86s
96s
94
6e
55b
2
6d
72
2a
55c
86
6c
92
88s
6b
2
T14
165s
165
6p
1a
5p
62
22
11
6p

圖52

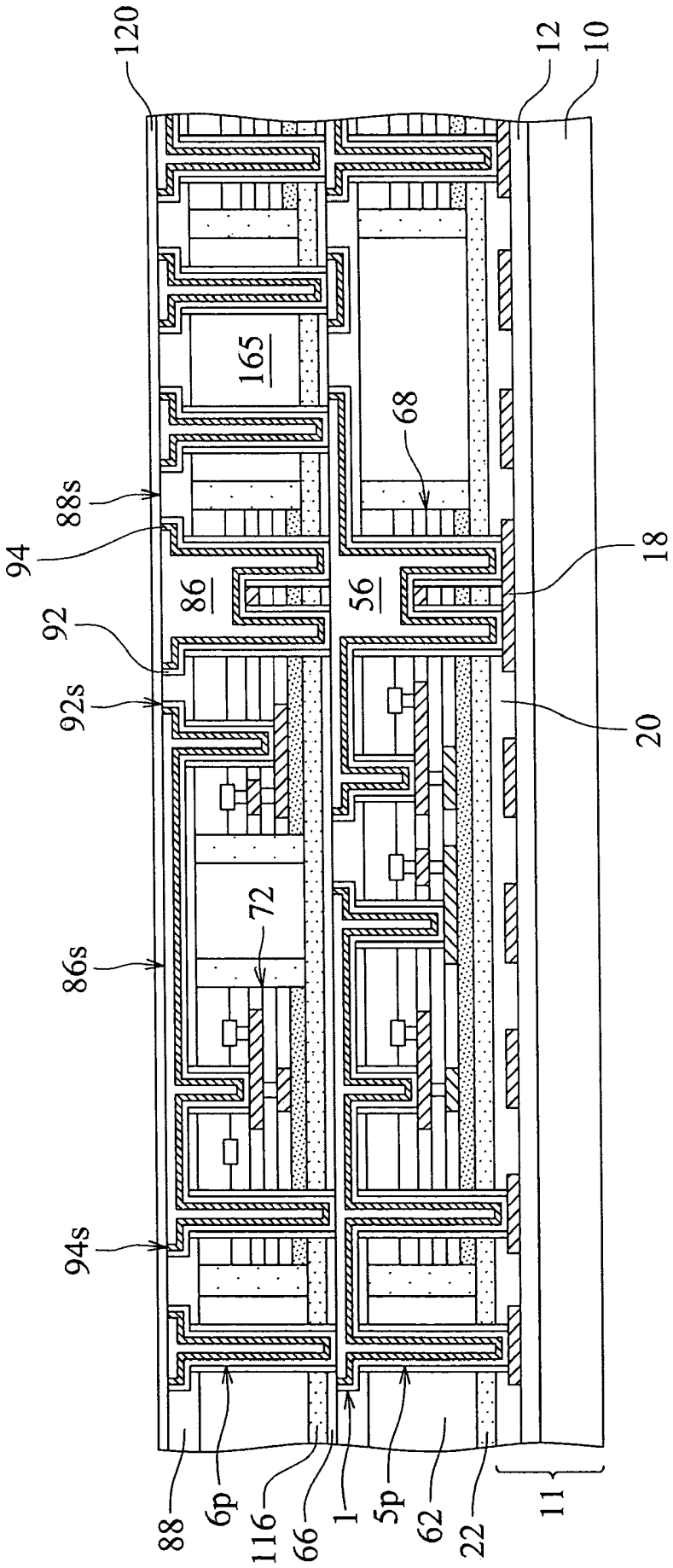

120
12
10
165
68
88s
94
18
86
56
92
92s
20
72
86s
94s
88
6p
116
66
1
5p
62
22
11

圖53

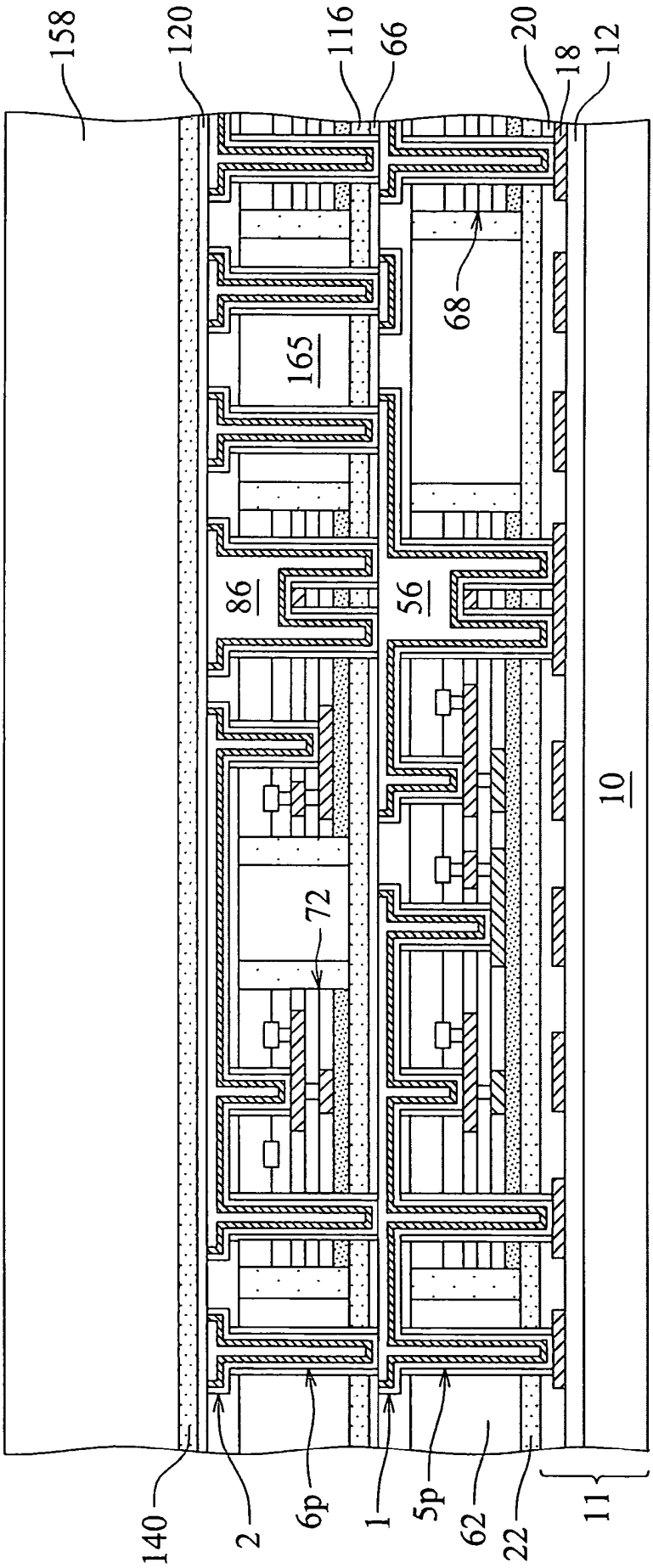


圖54

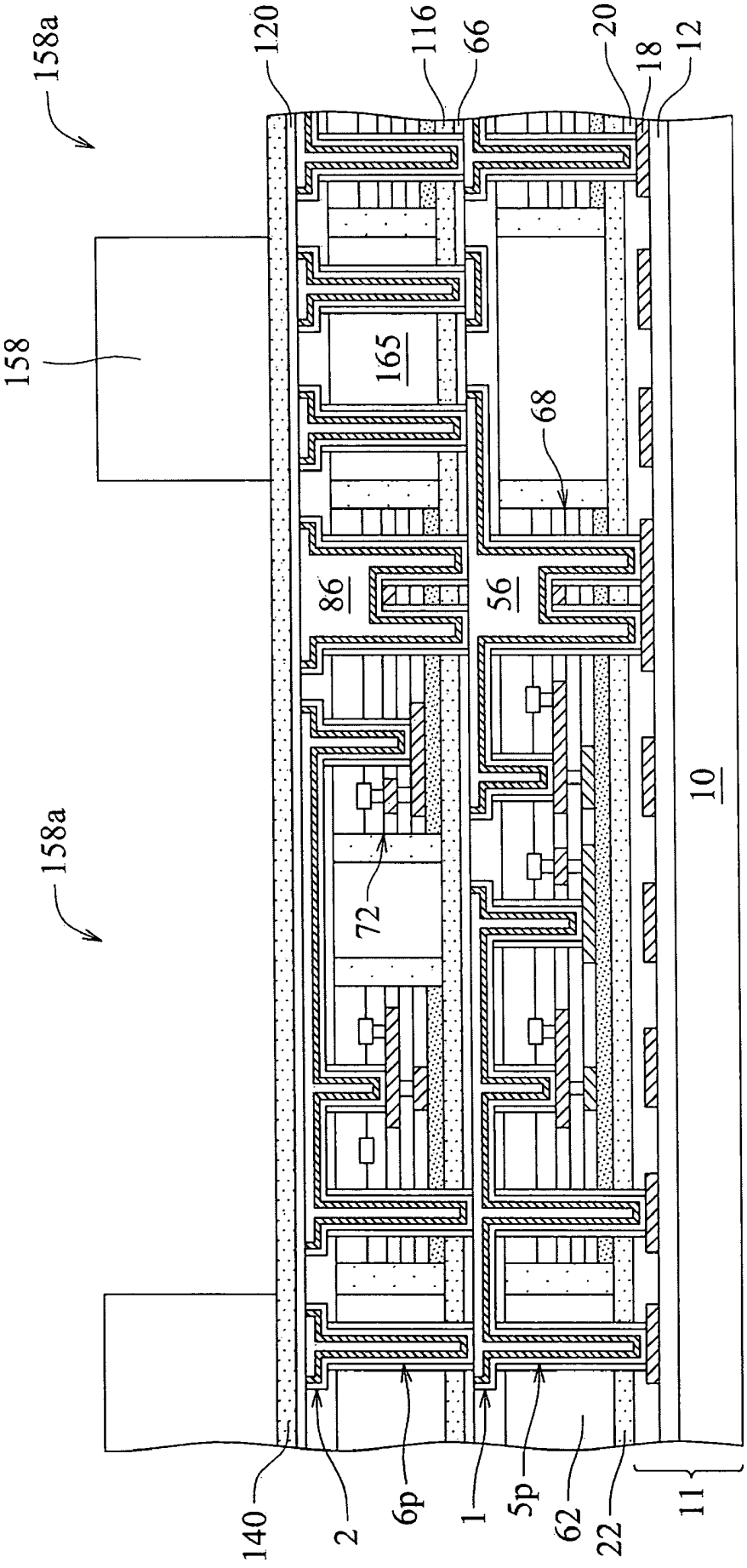

158a
120
116
66
20
18
12
158
165
68
86
56
158a
72
10
140
2
6p
1
5p
62
22
11

圖55

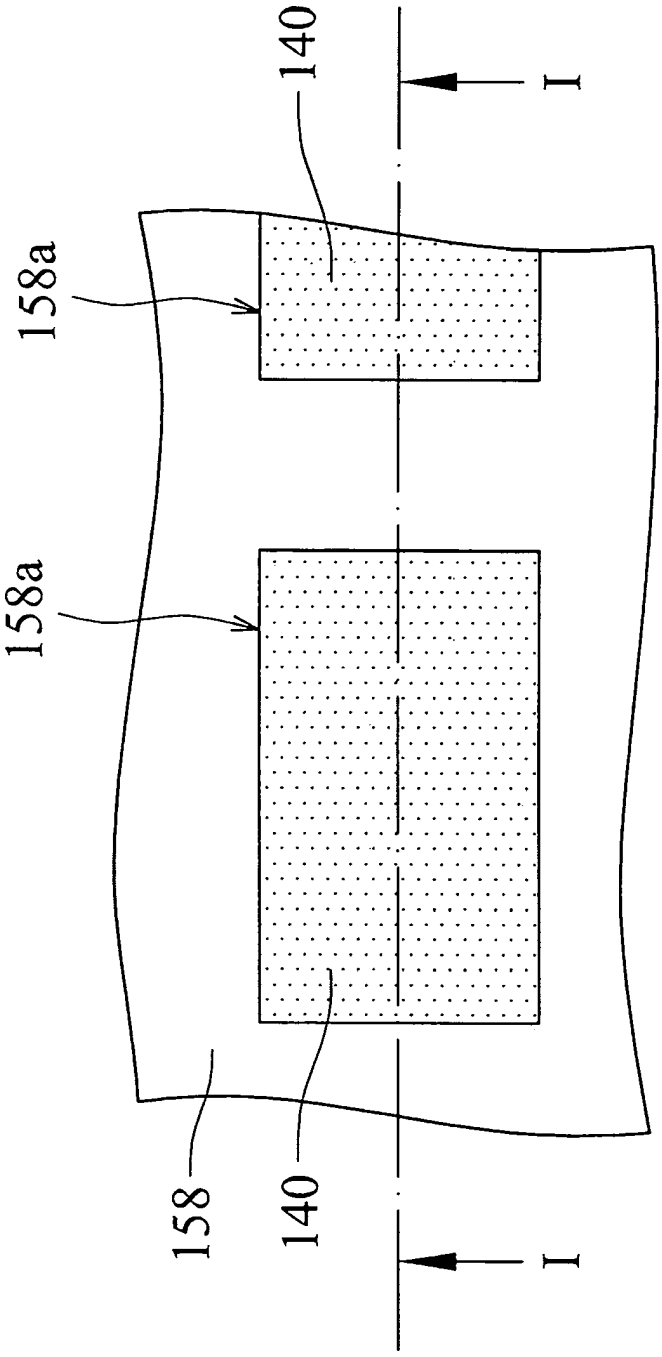


圖 56

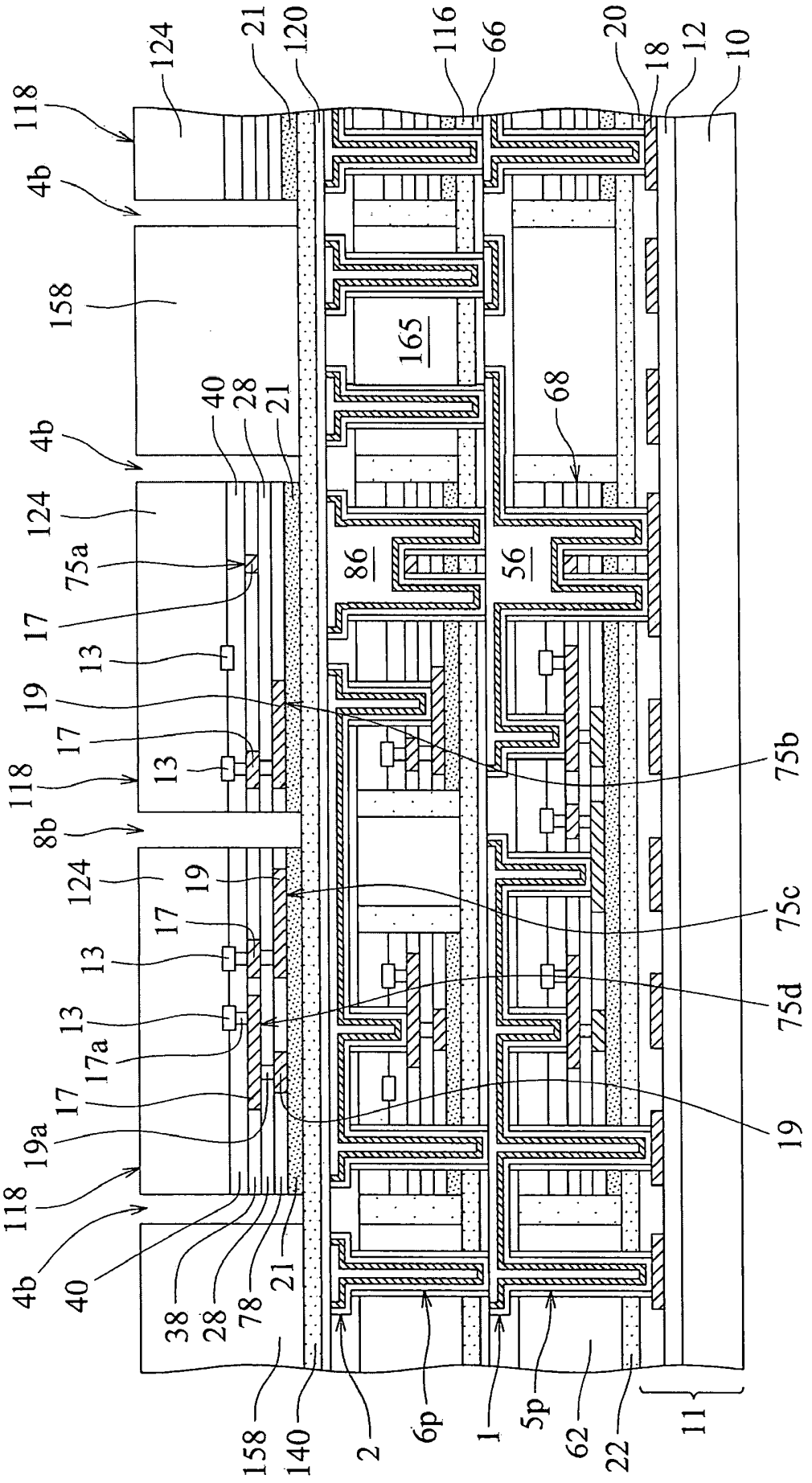

124
21
120
116
66
20
18
12
10
118
4b
158
165
40
28
21
68
4b
124
75a
86
56
17
13
19
17
13
118
75b
8b
124
19
17
13
75c
13
17a
75d
17
19a
19
118
4b
40
38
28
78
21
158
140
2
6p
1
5p
62
22
11

圖57

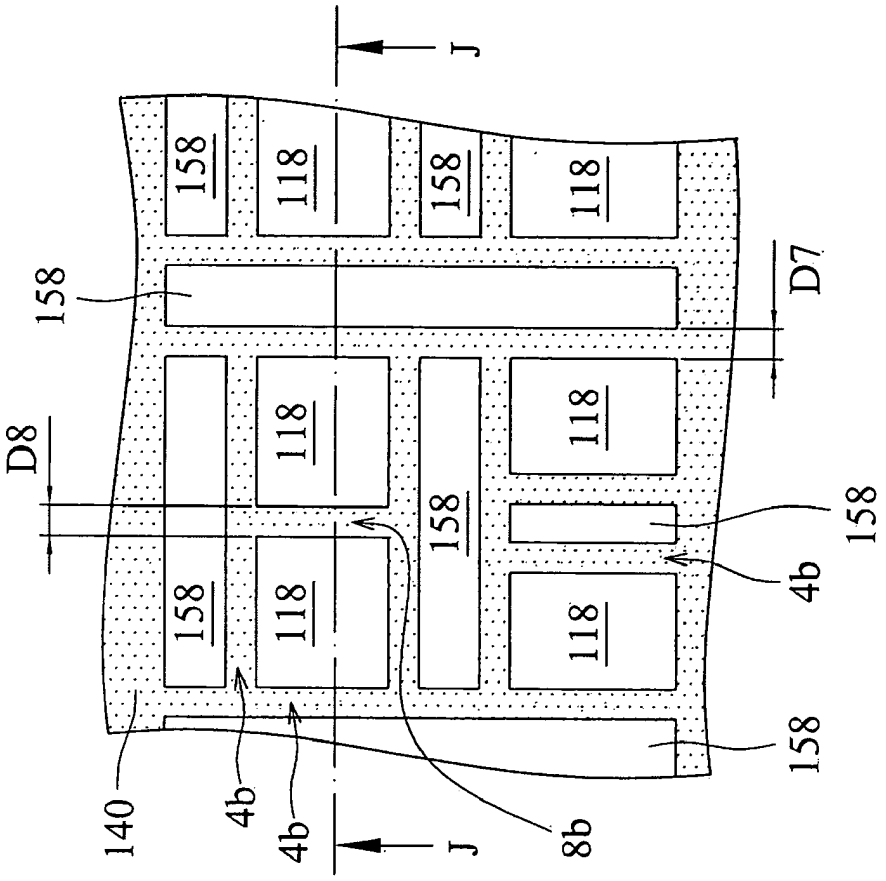

J
158
118
158
118
158
D7
D8
158
118
158
118
158
4b
158
158
118
140
4b
4b
J
8b

圖59

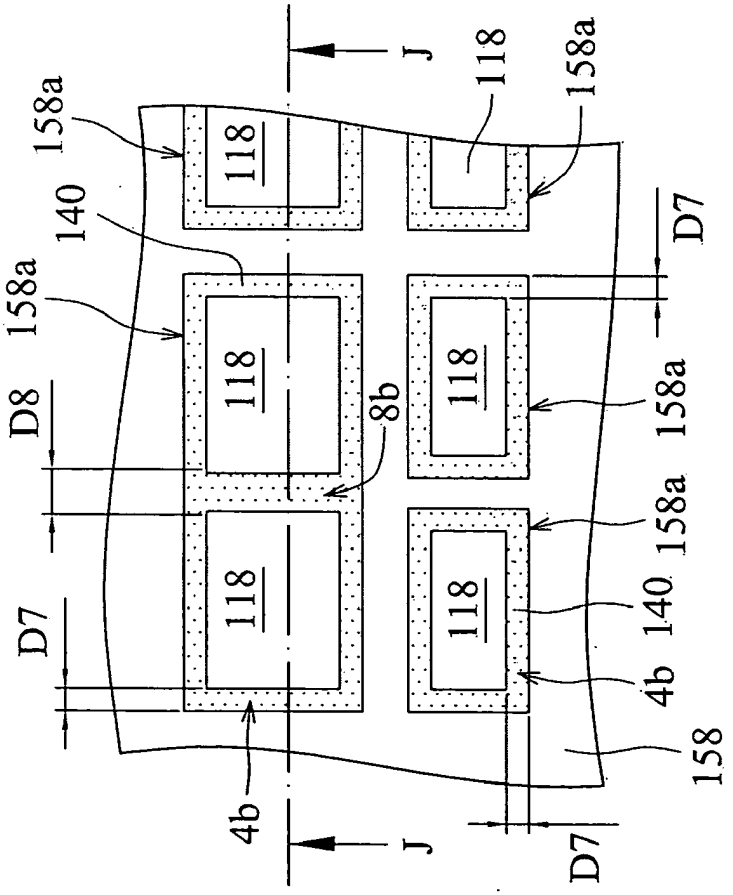

J
158a
118
158a
158a
140
D7
158a
118
118
158a
D8
8b
158a
140
D7
118
118
4b
158
4b
J
D7

圖58

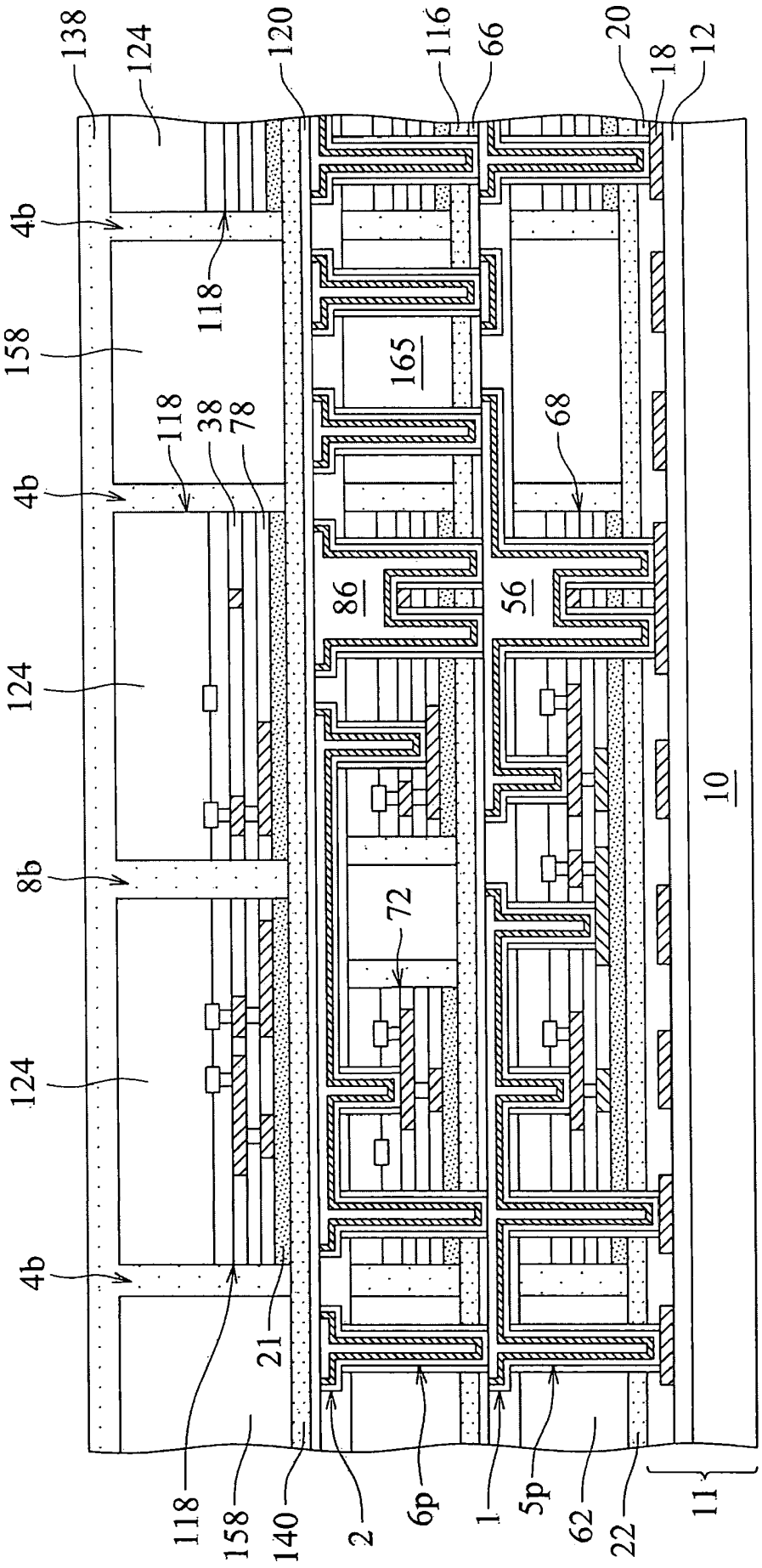

138
124
120
116
66
20
18
12
4b
118
158
165
118
38
78
68
4b
86
56
124
10
8b
72
124
4b
21
118
158
140
2
6p
1
5p
62
22
11

圖60

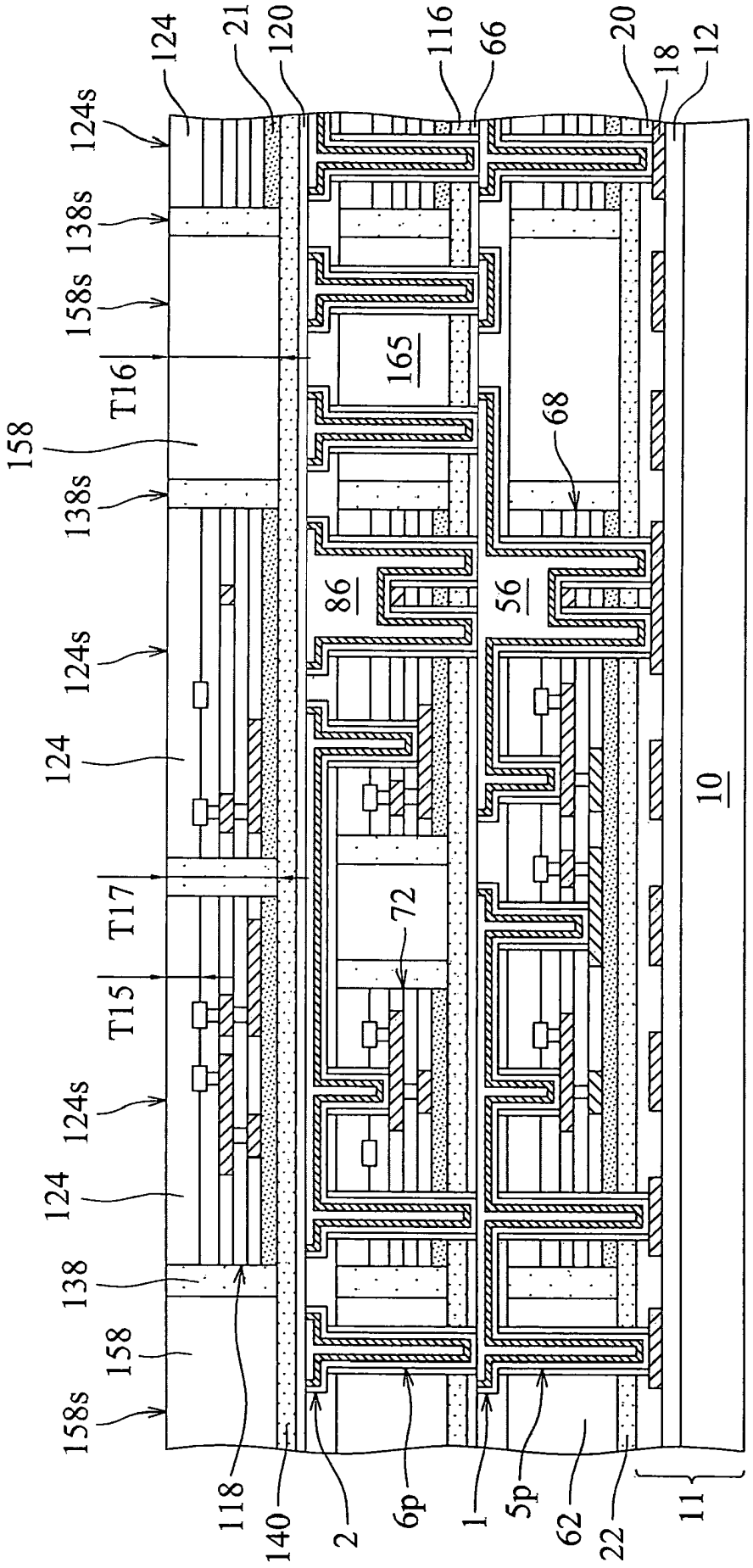

124
21
120
116
66
20
18
12
124s
138s
158s
T16
158
165
68
138s
86
56
124s
124
10
72
T17
T15
124s
124
138
158
158s
118
140
2
6p
1
5p
62
22
11

圖61

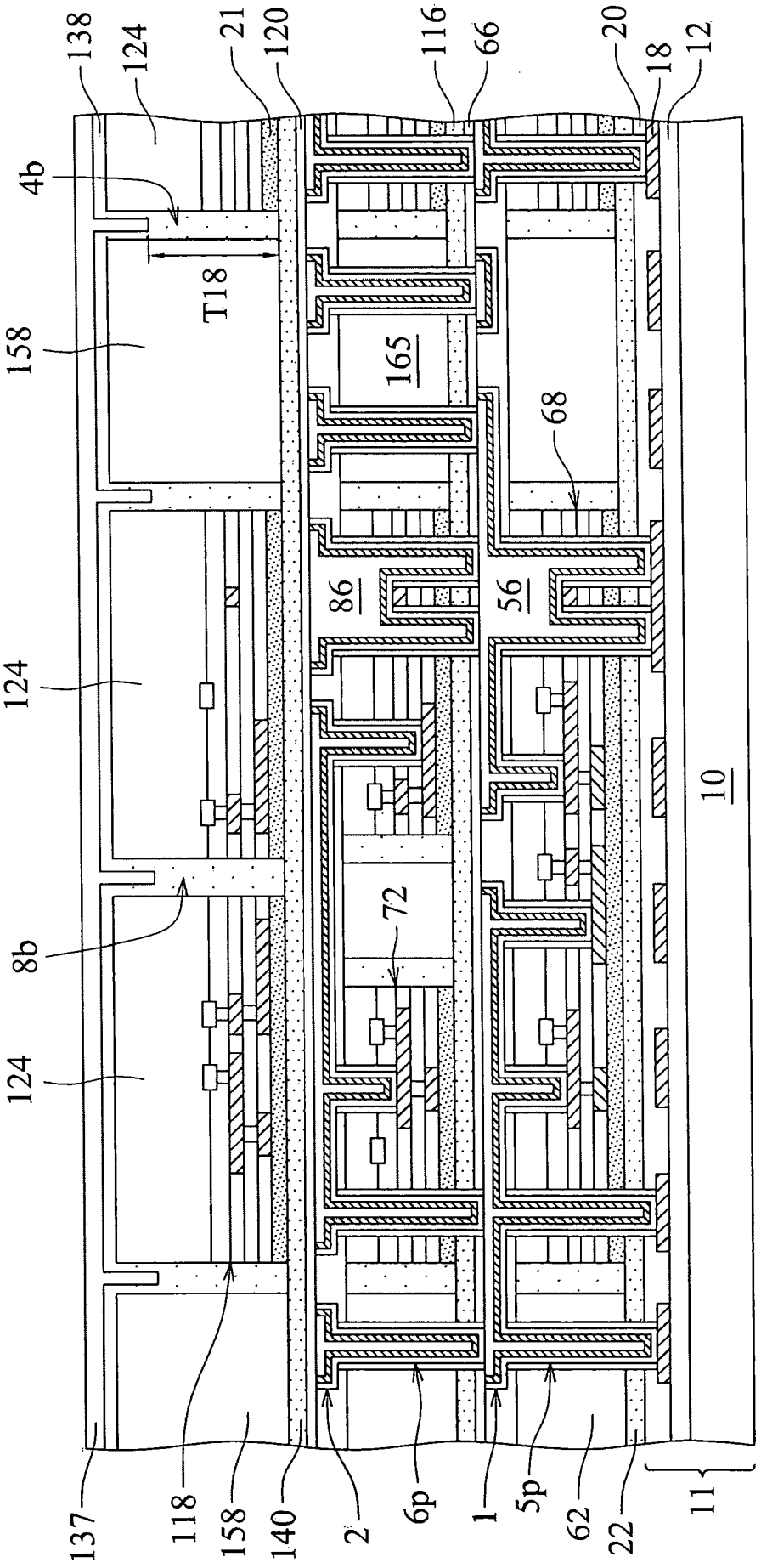

138
124
21
120
116
66
20
18
12
4b
T18
158
165
68
86
56
124
10
72
8b
124
137
118
158
140
2
6p
1
5p
62
22
11

圖62

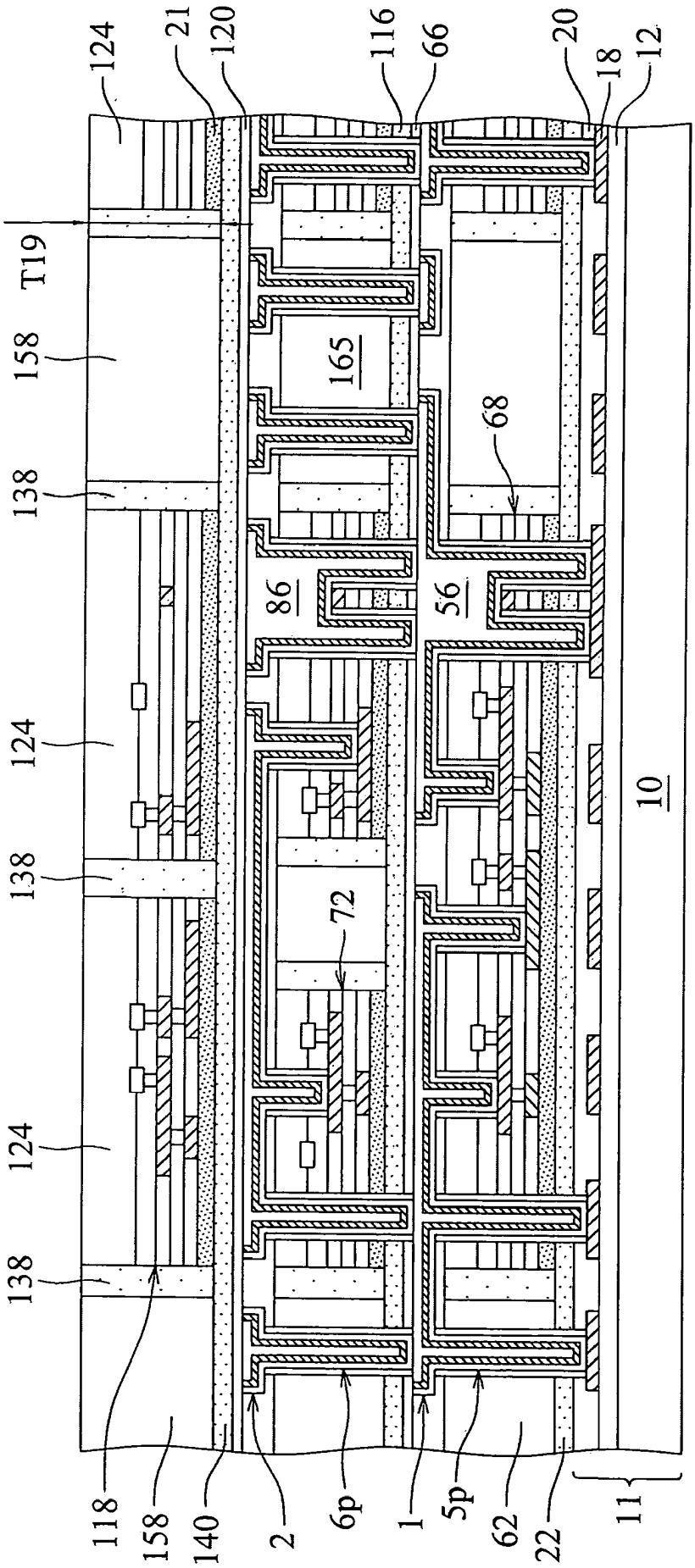

124
21
120
116
66
20
18
12
T19
158
165
68
138
86
56
124
10
138
72
124
138
118
158
140
2
6p
1
5p
62
22
11

圖63

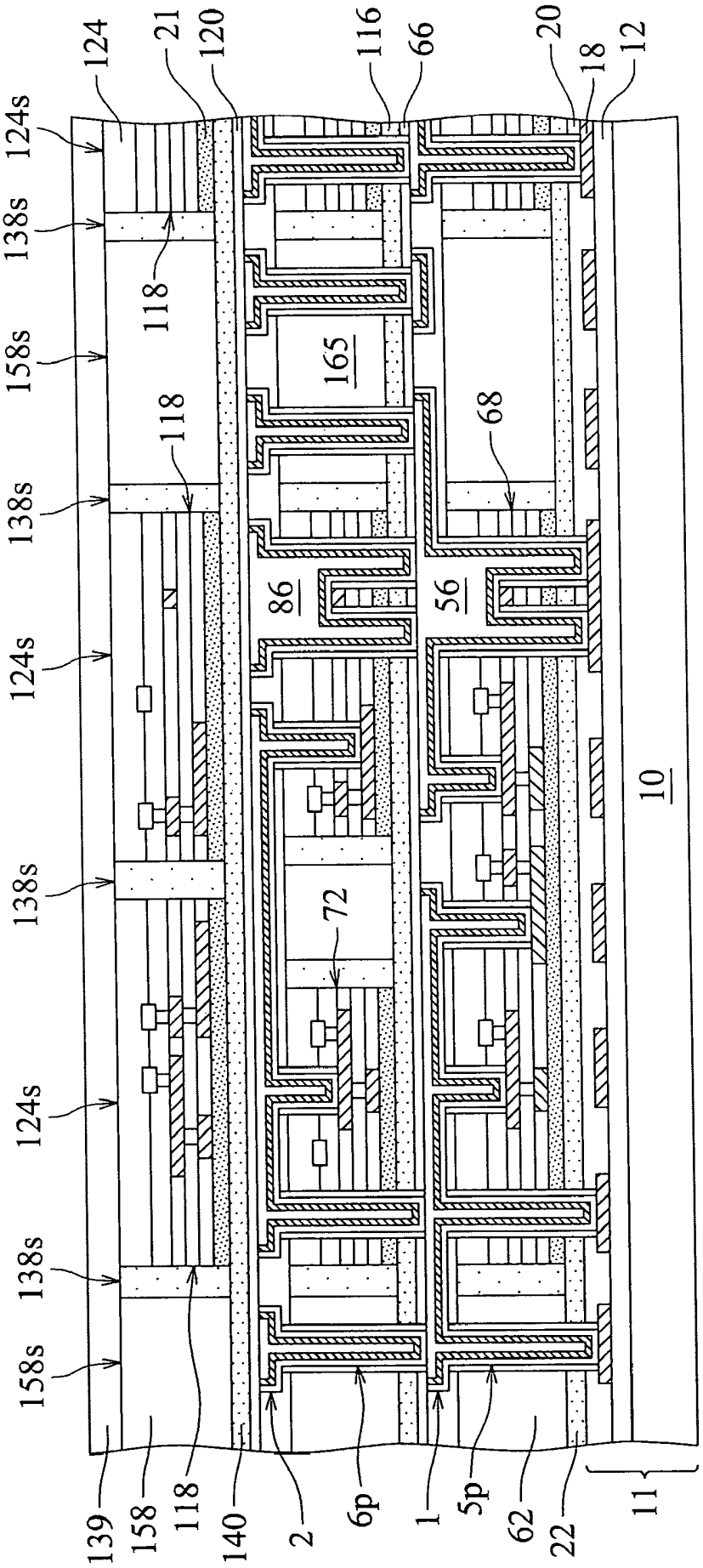

124
21
120
116
66
20
18
12
124s
138s
118
158s
165
68
86
56
72
10
139
158
140
2
6p
1
5p
62
22
11

圖64

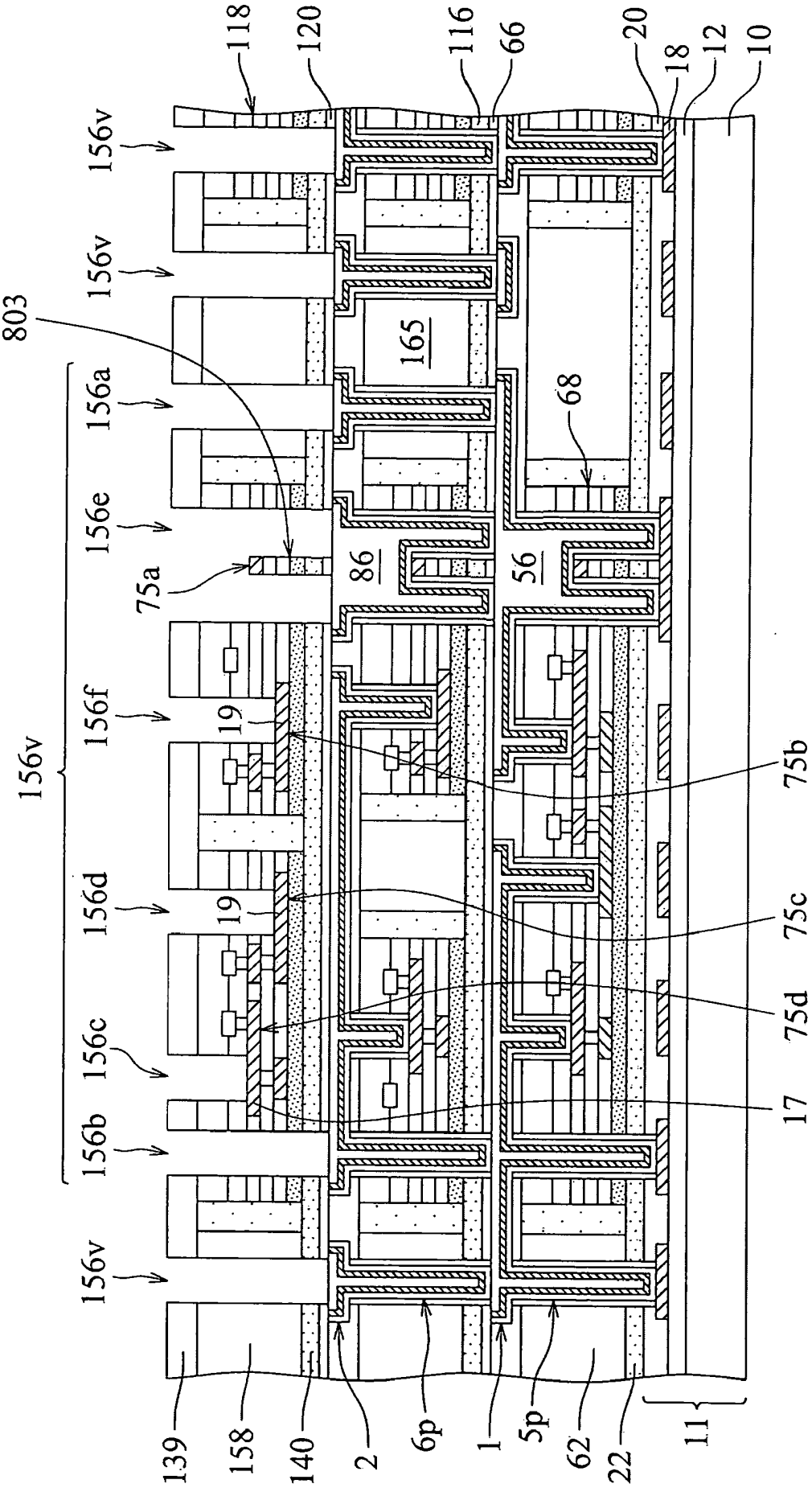

118
120
116
66
20
18
12
10
156v
156v
803
156a
165
68
156e
75a
86
56
156f
19
75b
156v
156d
19
75c
75d
156c
17
156b
156v
139
158
140
2
6p
1
5p
62
22
11

圖65

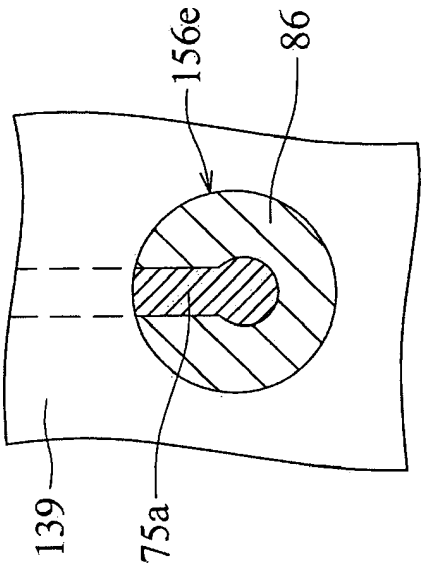


圖68

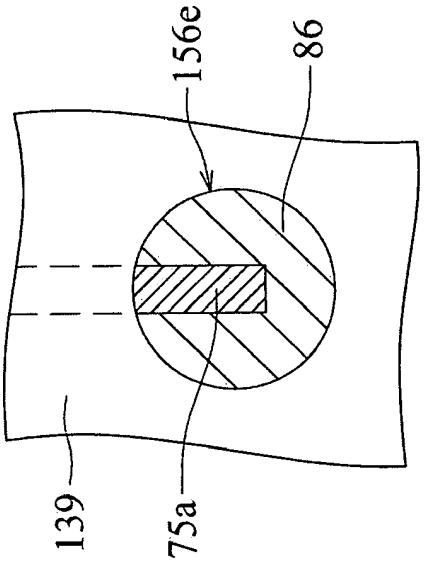


圖67

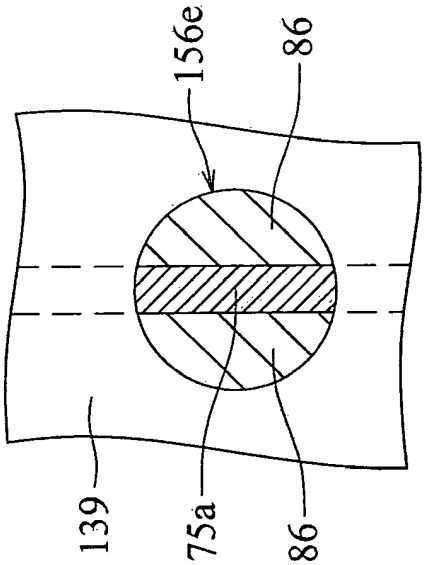


圖66

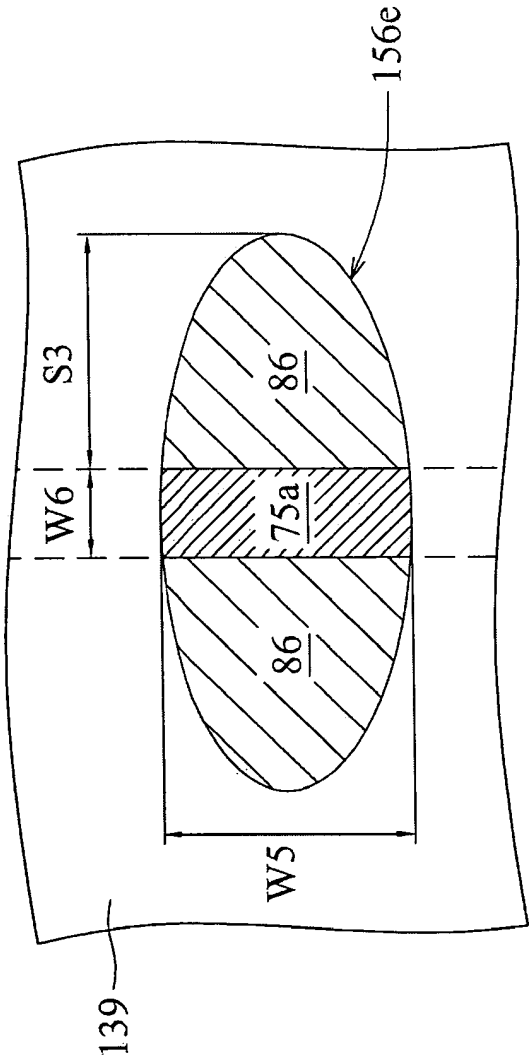


圖66A

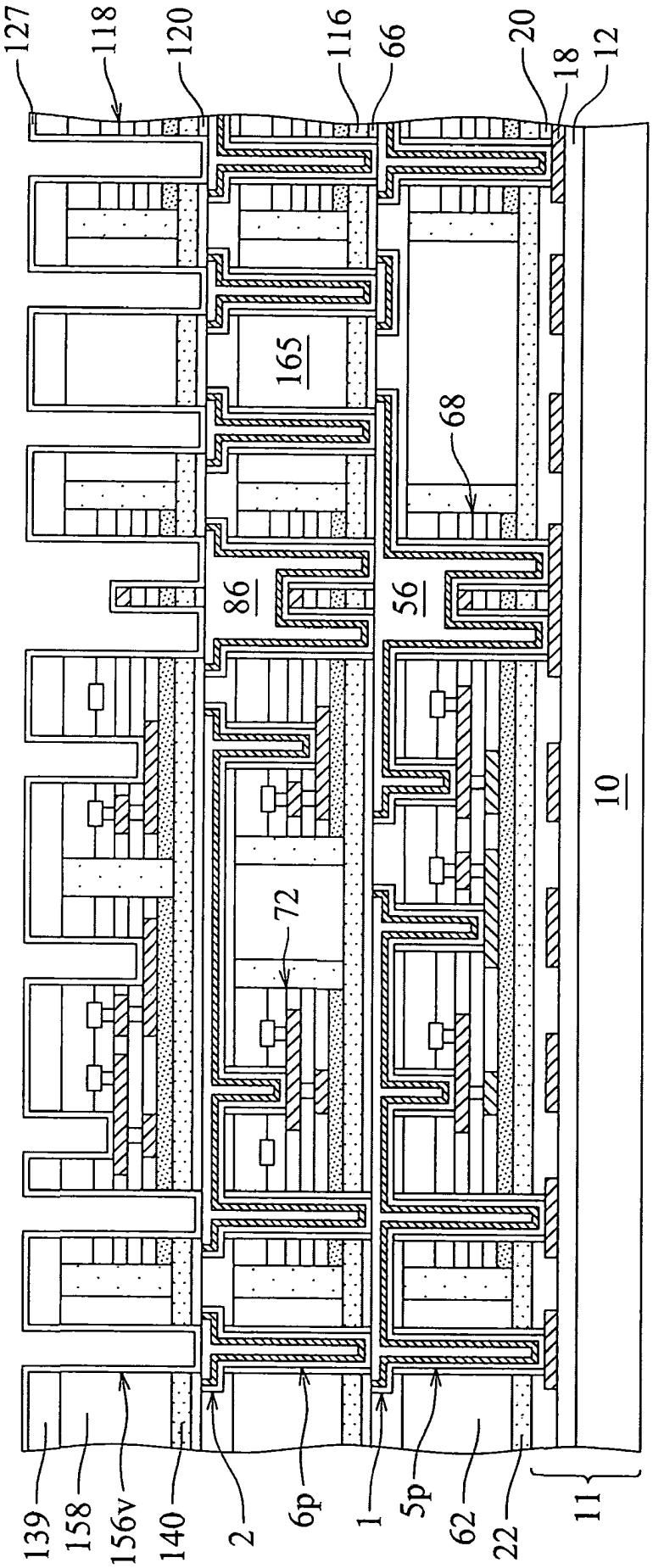

127
118
120
116
66
20
18
12
165
68
86
56
72
10
139
158
156v
140
2
6p
1
5p
62
22
11

圖69

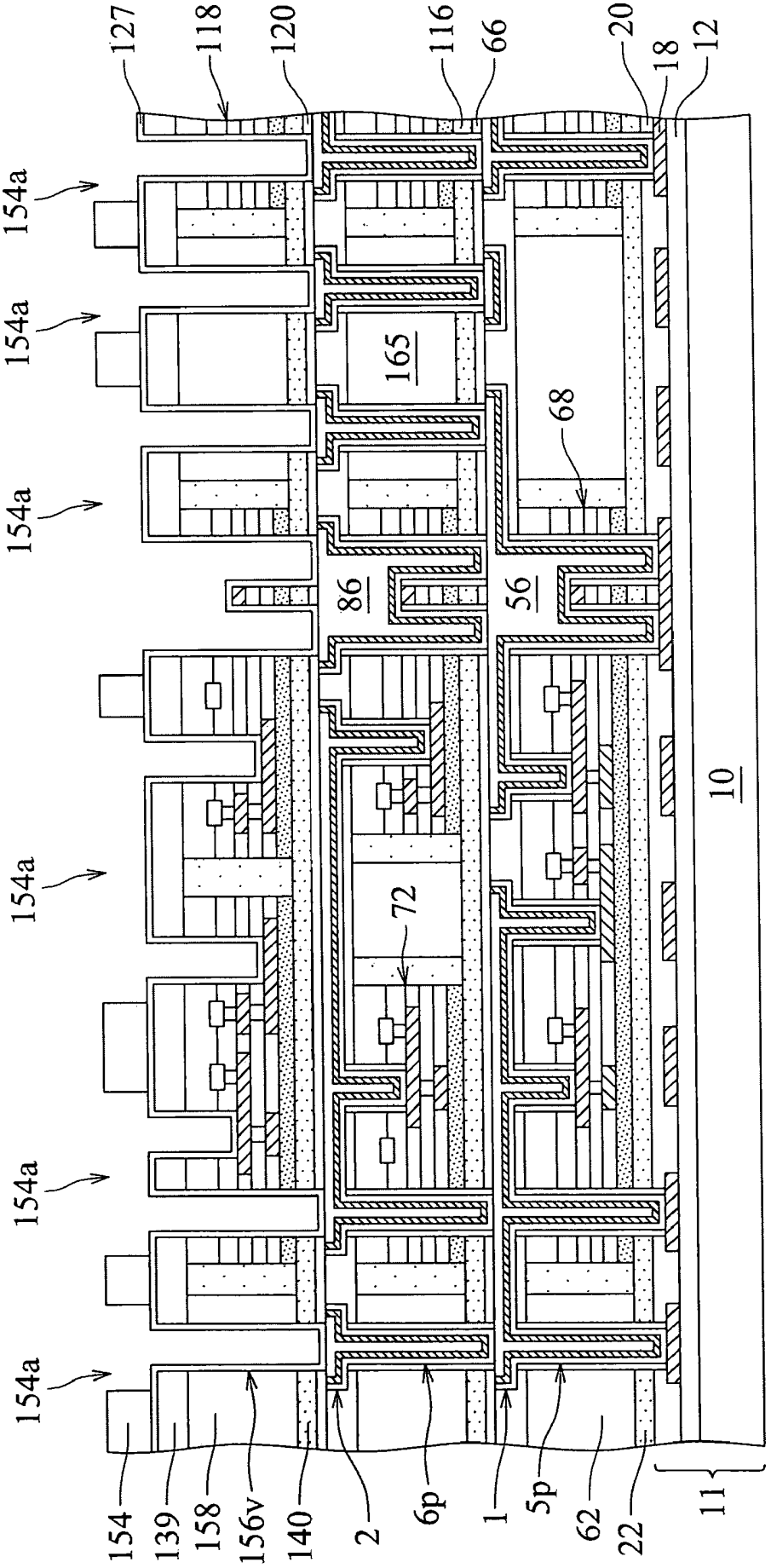

127
118
120
116
66
20
18
12
154a
154a
154a
154a
154a
154a
165
68
86
56
72
10
154
139
158
156v
140
2
6p
1
5p
62
22
11

圖70

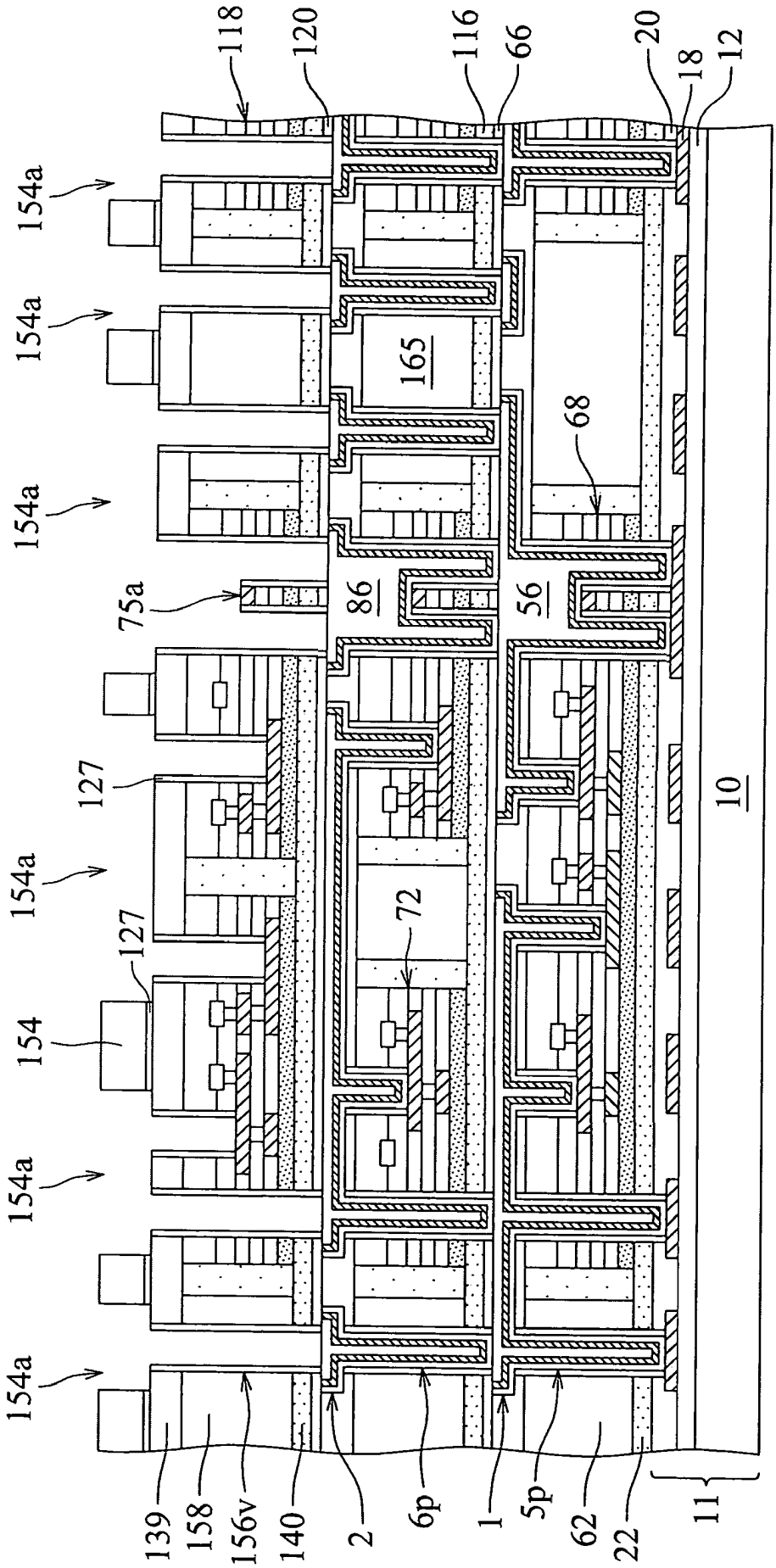

118
120
116
66
20
18
12
154a
154a
154a
165
68
75a
86
56
127
154a
72
127
154
154a
154a
10
139
158
156v
140
2
6p
1
5p
62
22
11

圖71

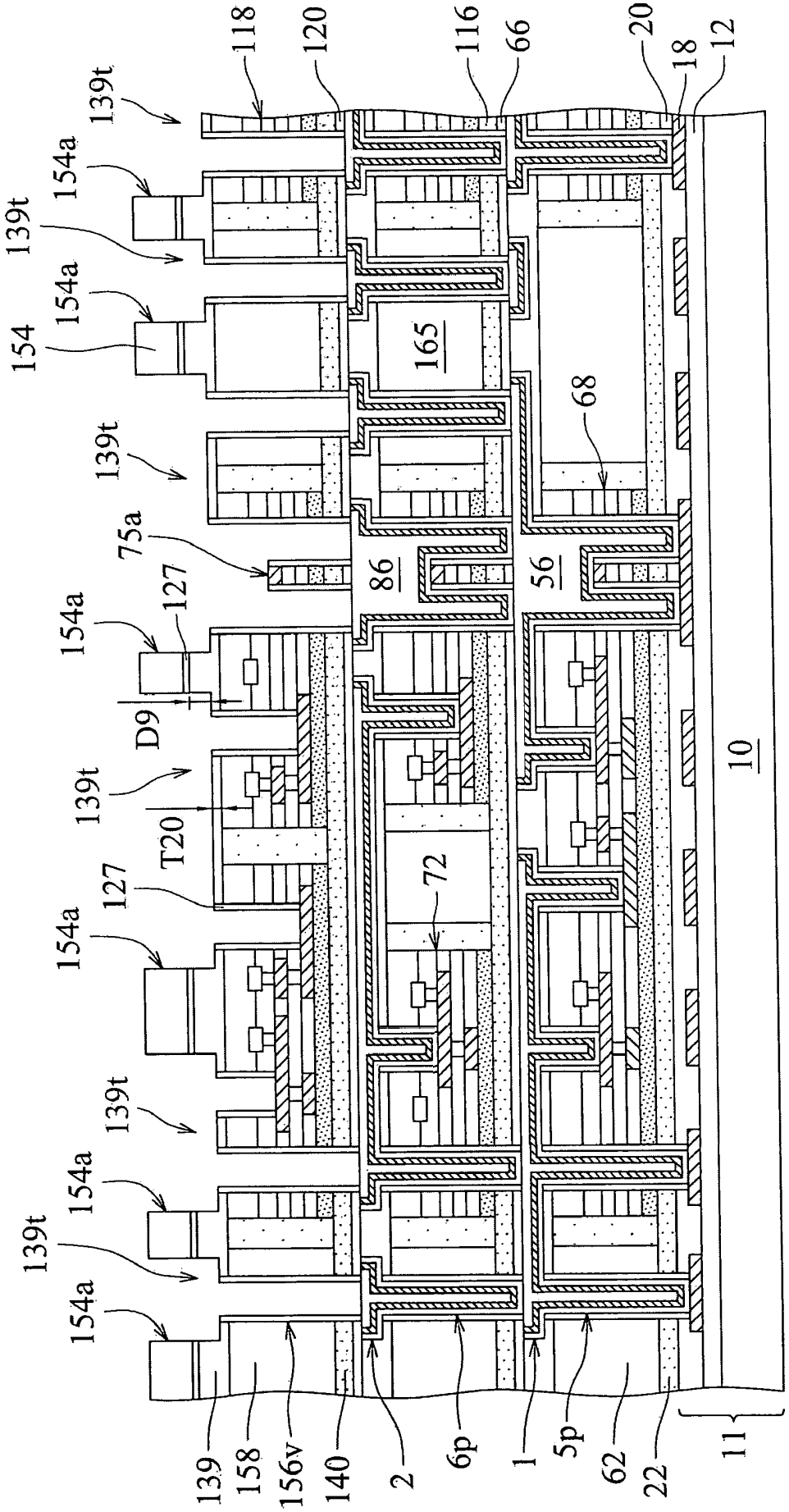

118
120
116
66
20
18
12
139t
154a
139t
154a
154
165
68
139t
75a
86
56
154a
127
D9
139t
T20
127
72
154a
139t
154a
139t
154a
139
158
156v
140
2
6p
1
5p
62
22
11
10

圖72

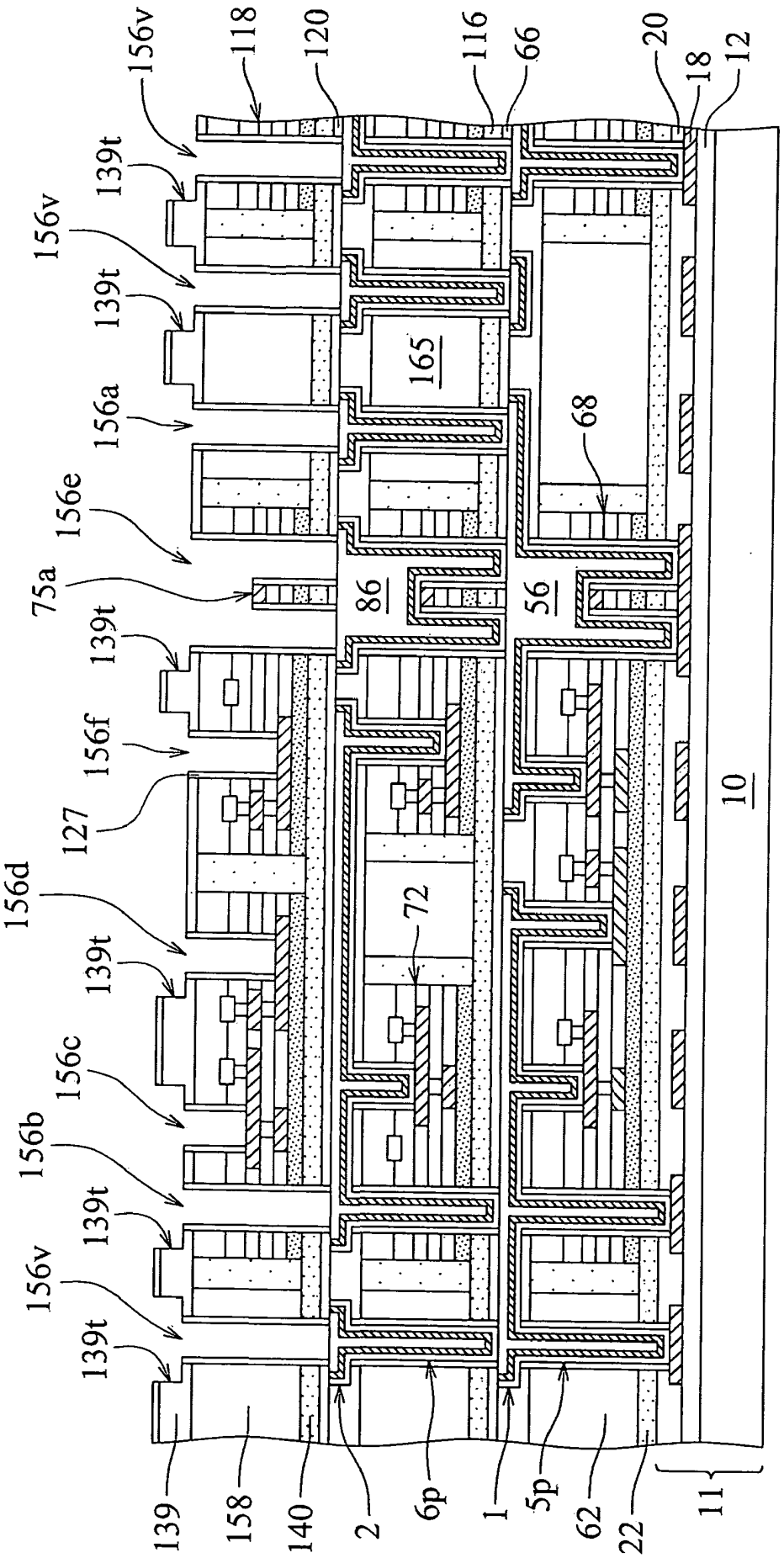

156v
118
120
116
66
20
18
12
139t
156v
139t
165
156a
68
156e
75a
86
56
139t
156f
127
10
156d
139t
72
156c
156b
139t
156v
139t
139
158
140
2
6p
1
5p
62
22
11

圖73

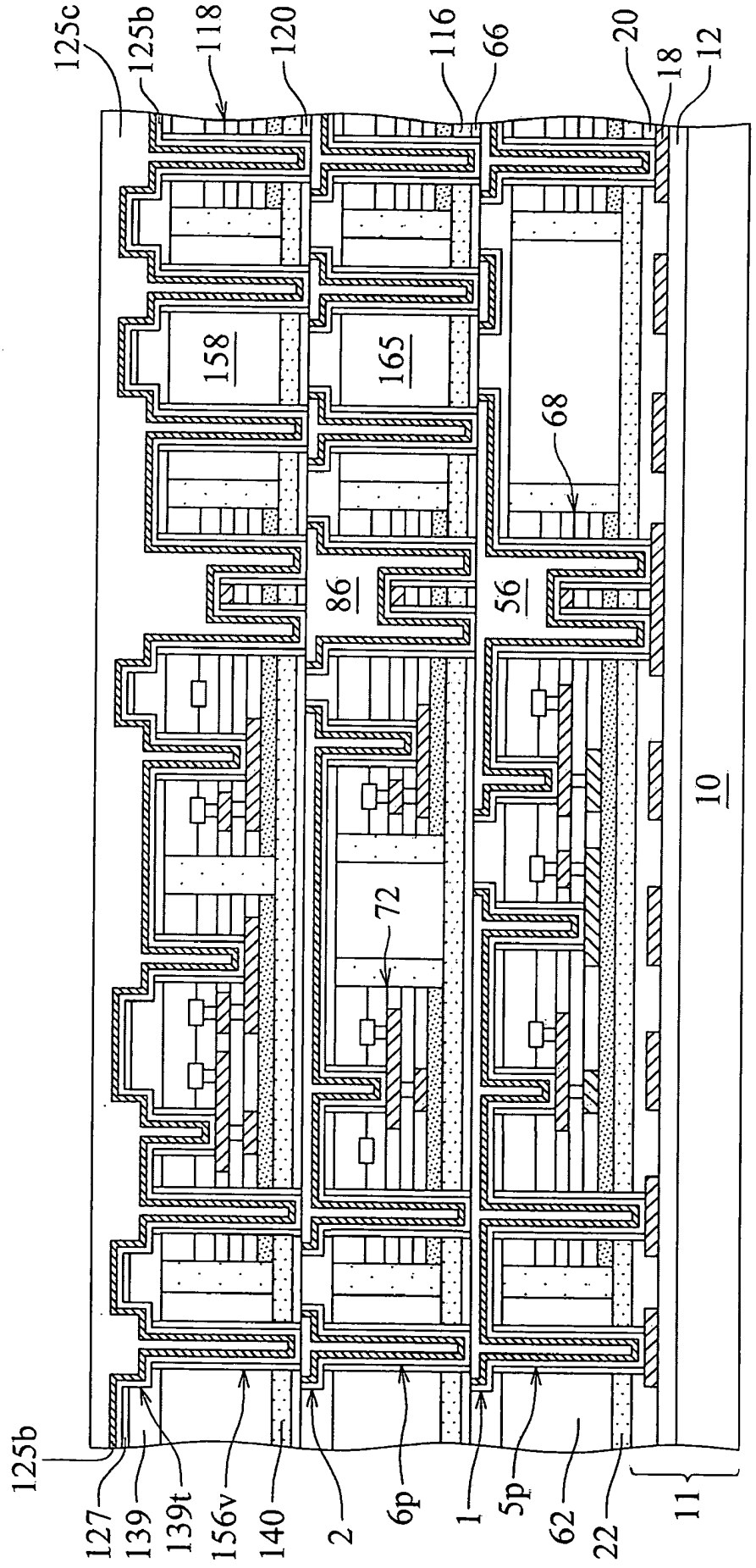

125c
125b
118
120
116
66
20
18
12
158
165
68
86
56
72
10
125b
127
139
139t
156v
140
2
6p
1
5p
62
22
11

圖75

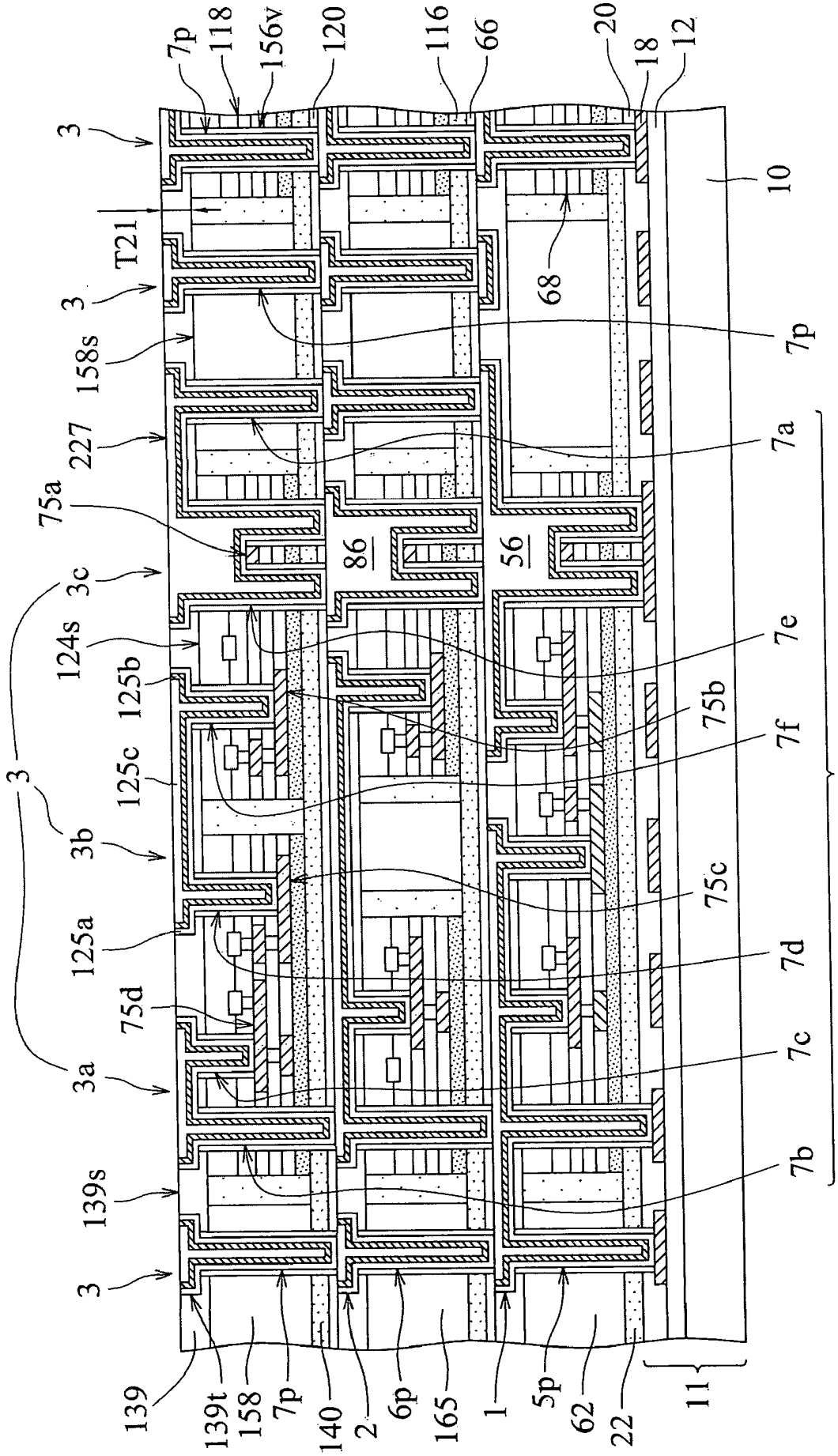

7p
118
156v
120
116
66
20
18
12
3
T21
10
68
158s
227
75a
86
56
3c
124s
125b
125c
3b
125a
75d
3a
139s
139
139t
158
140
2
6p
165
1
5p
62
22
11
7a
7e
75b
7f
75c
7d
7c
7b

圖76

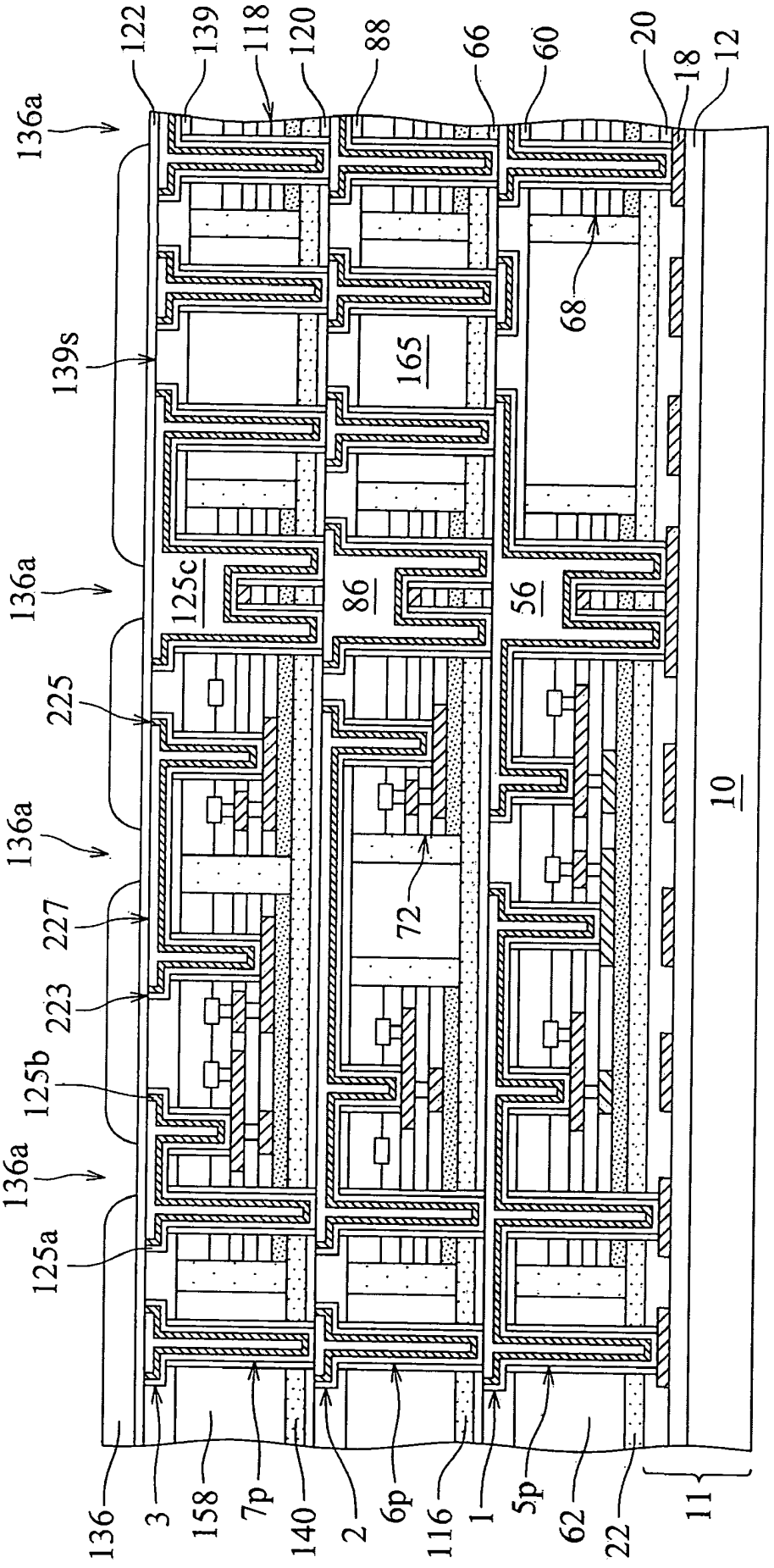

122
139
118
120
88
66
60
20
18
12
136a
139s
165
68
136a
125c
86
56
225
136a
72
227
223
125b
136a
125a
10
136
3
158
7p
140
2
6p
116
1
5p
62
22
11

圖77

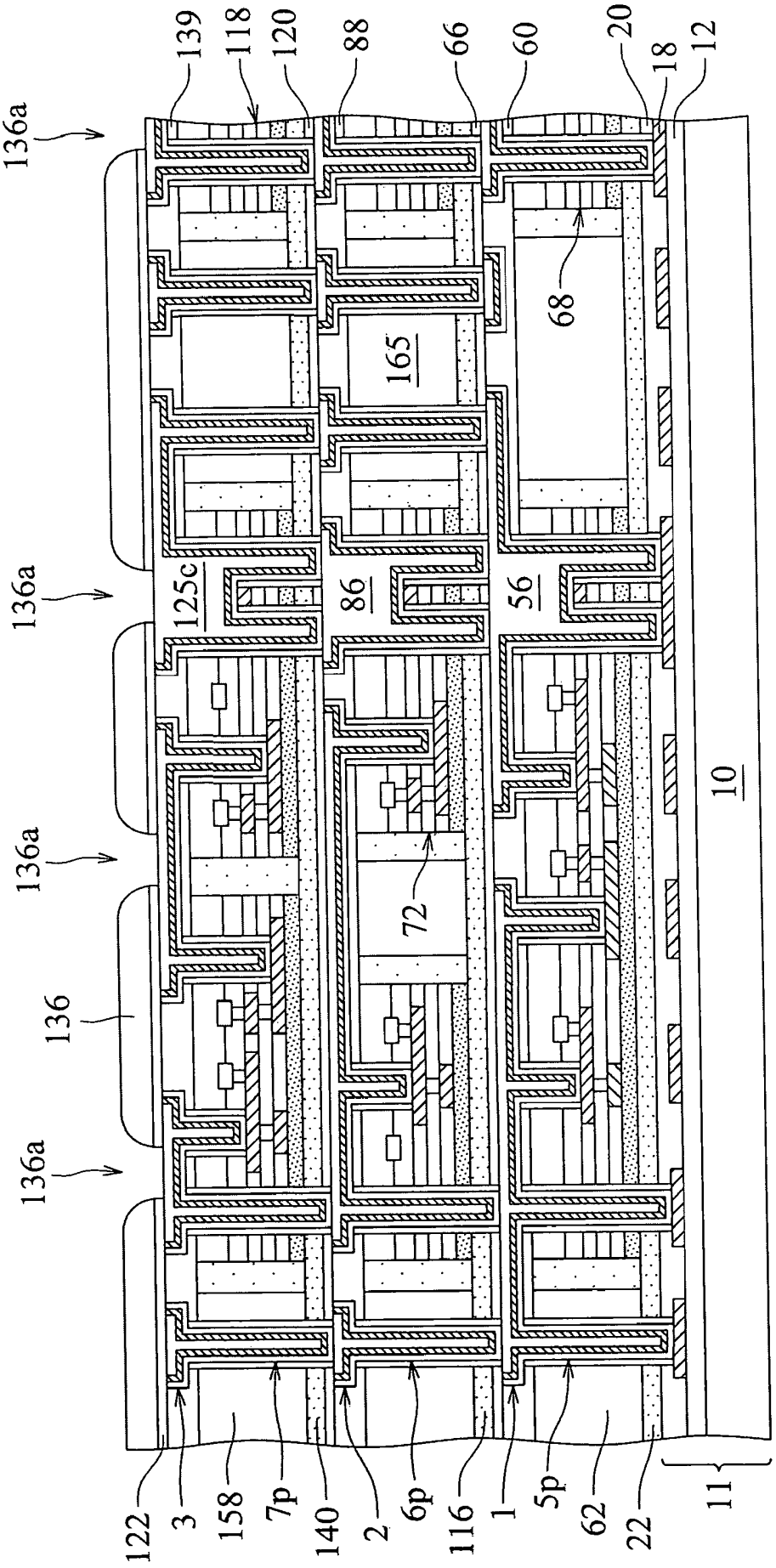

139
118
120
88
66
60
20
18
12
136a
136a
136a
136a
136
125c
86
56
165
68
72
10
122
3
158
7p
140
2
6p
116
1
5p
62
22
11

圖78

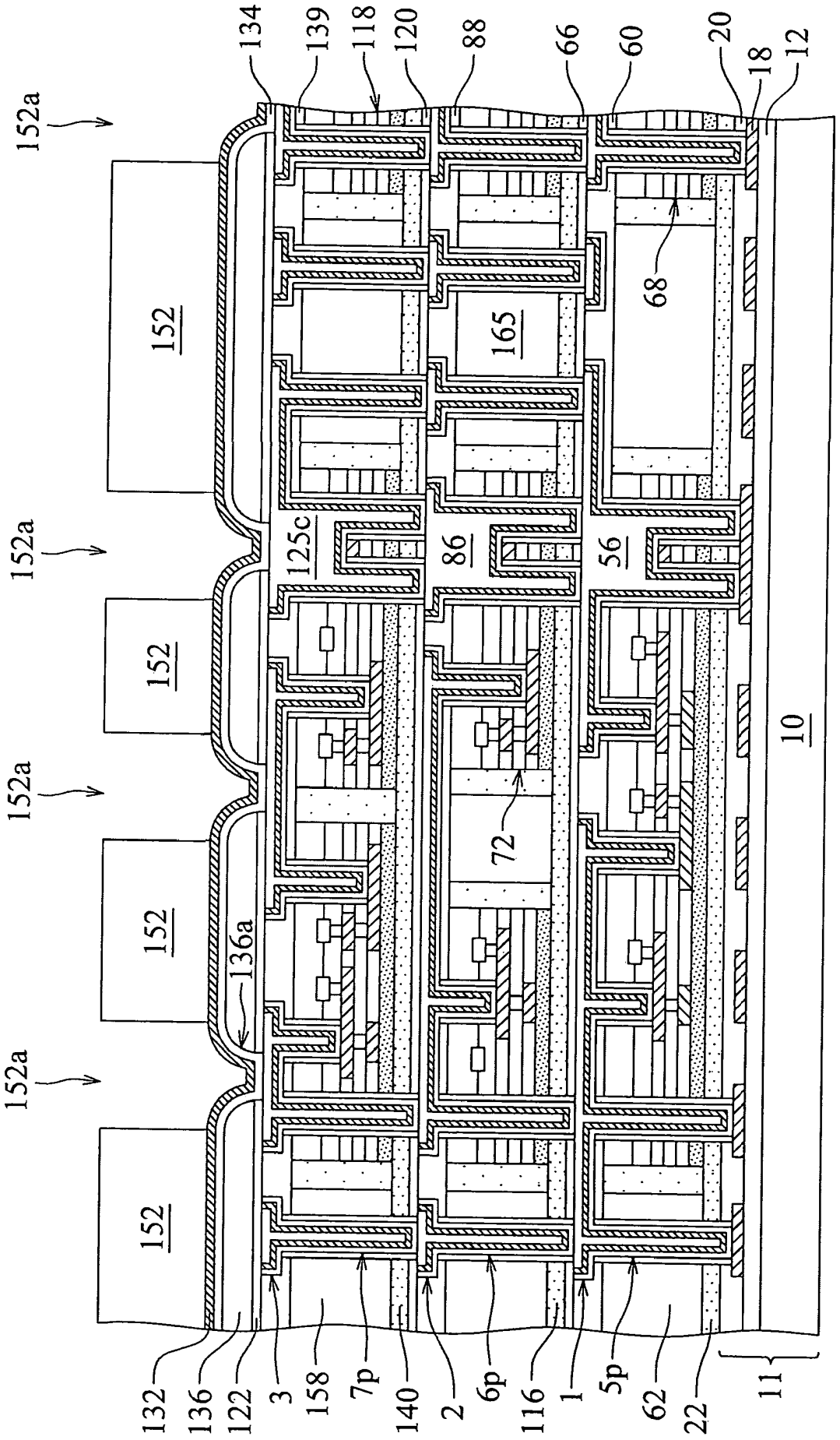

152a
152
134
139
118
120
88
66
60
20
18
12
68
165
125c
86
56
72
136a
10
132
136
122
3
158
7p
140
2
6p
116
1
5p
62
22
11

圖79

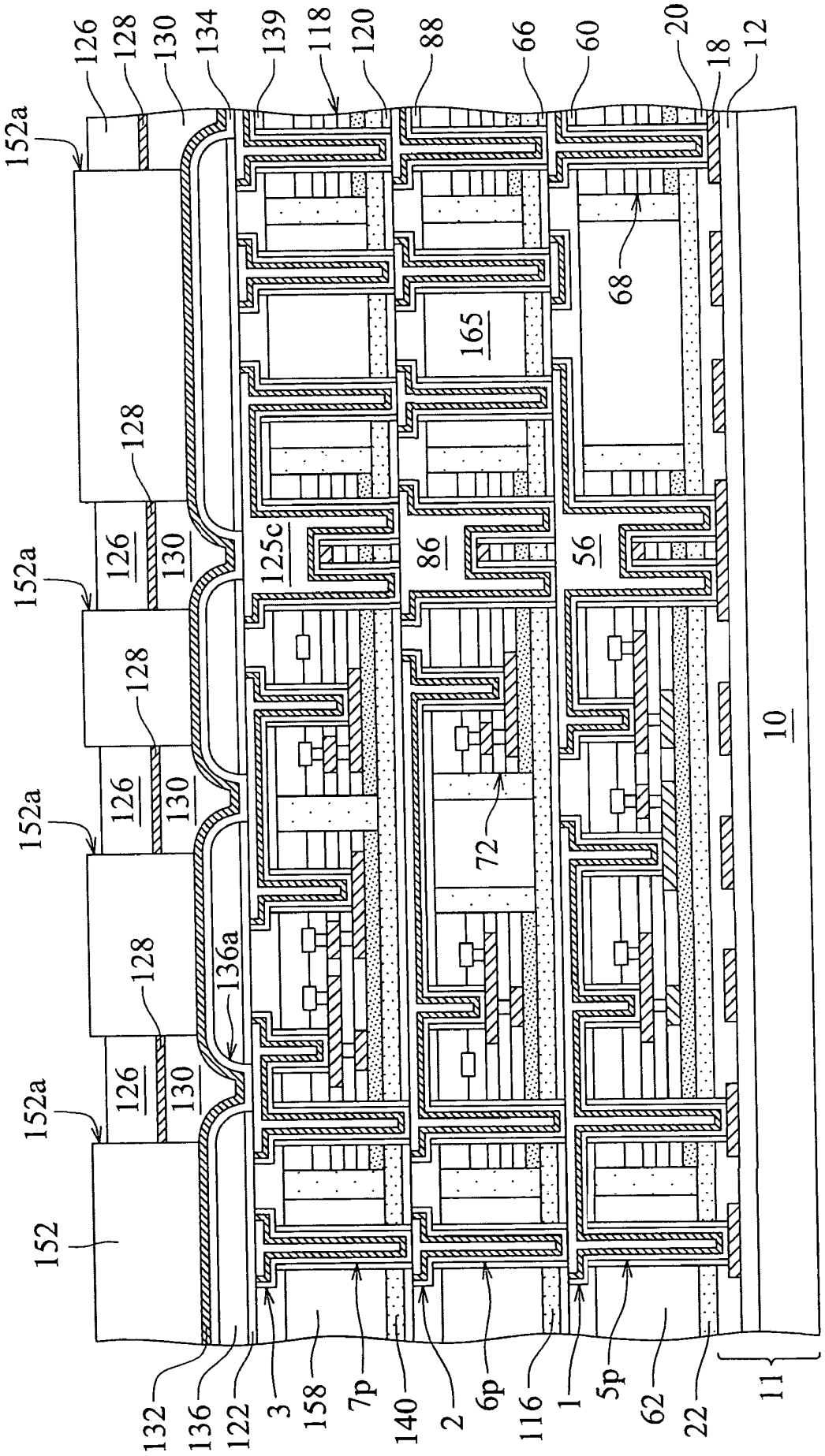

126
128
130
134
139
118
120
88
66
60
20
18
12
152a
68
165
125c
86
56
72
10
136a
152
132
136
122
3
158
7p
140
2
6p
116
1
5p
62
22
11

圖80

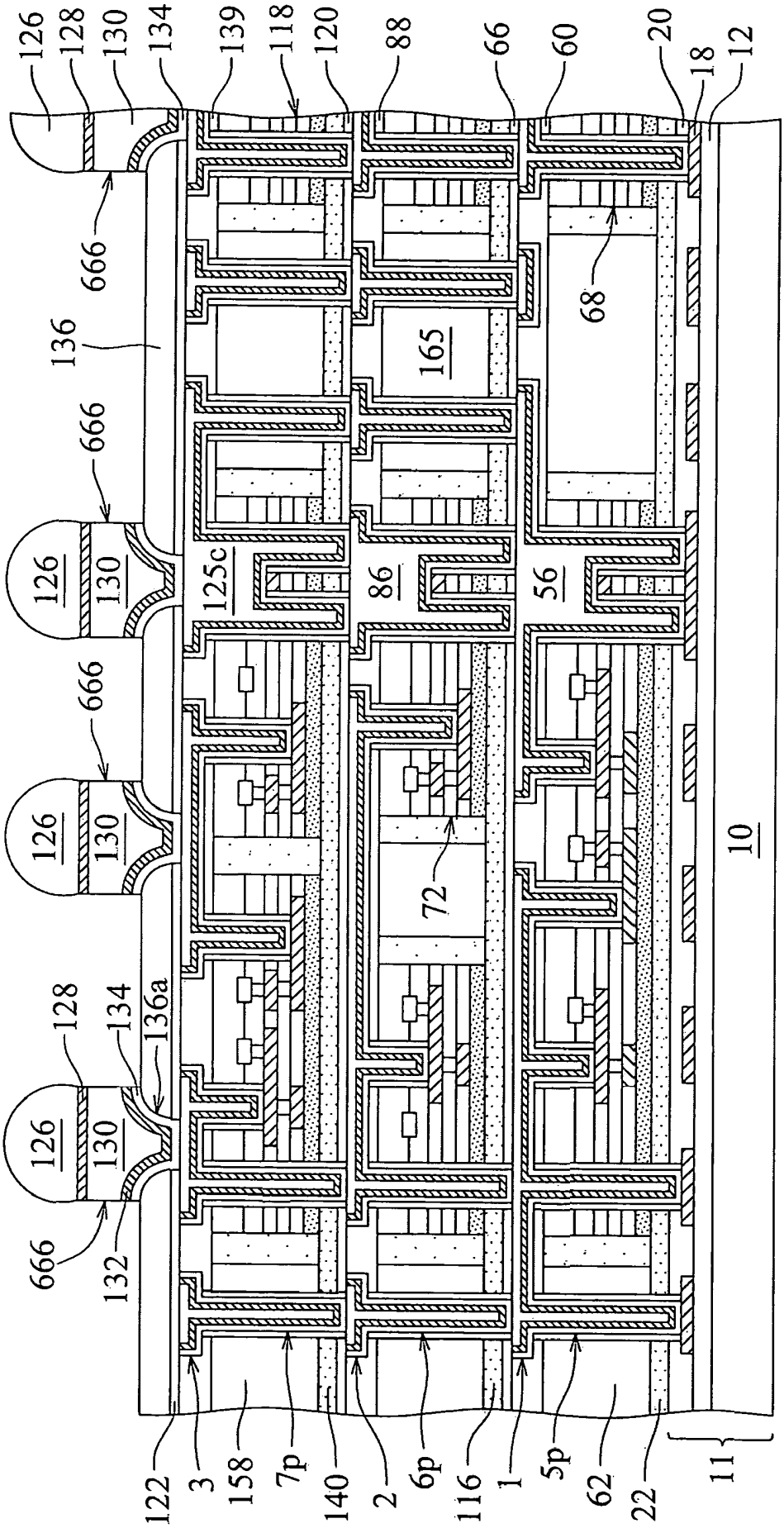

126
128
130
134
139
118
120
88
66
60
20
18
12
666
136
165
68
666
126
130
125c
86
56
666
126
130
72
10
128
134
136a
126
130
666
132
122
3
158
7p
140
2
6p
116
1
5p
62
22
11

圖81

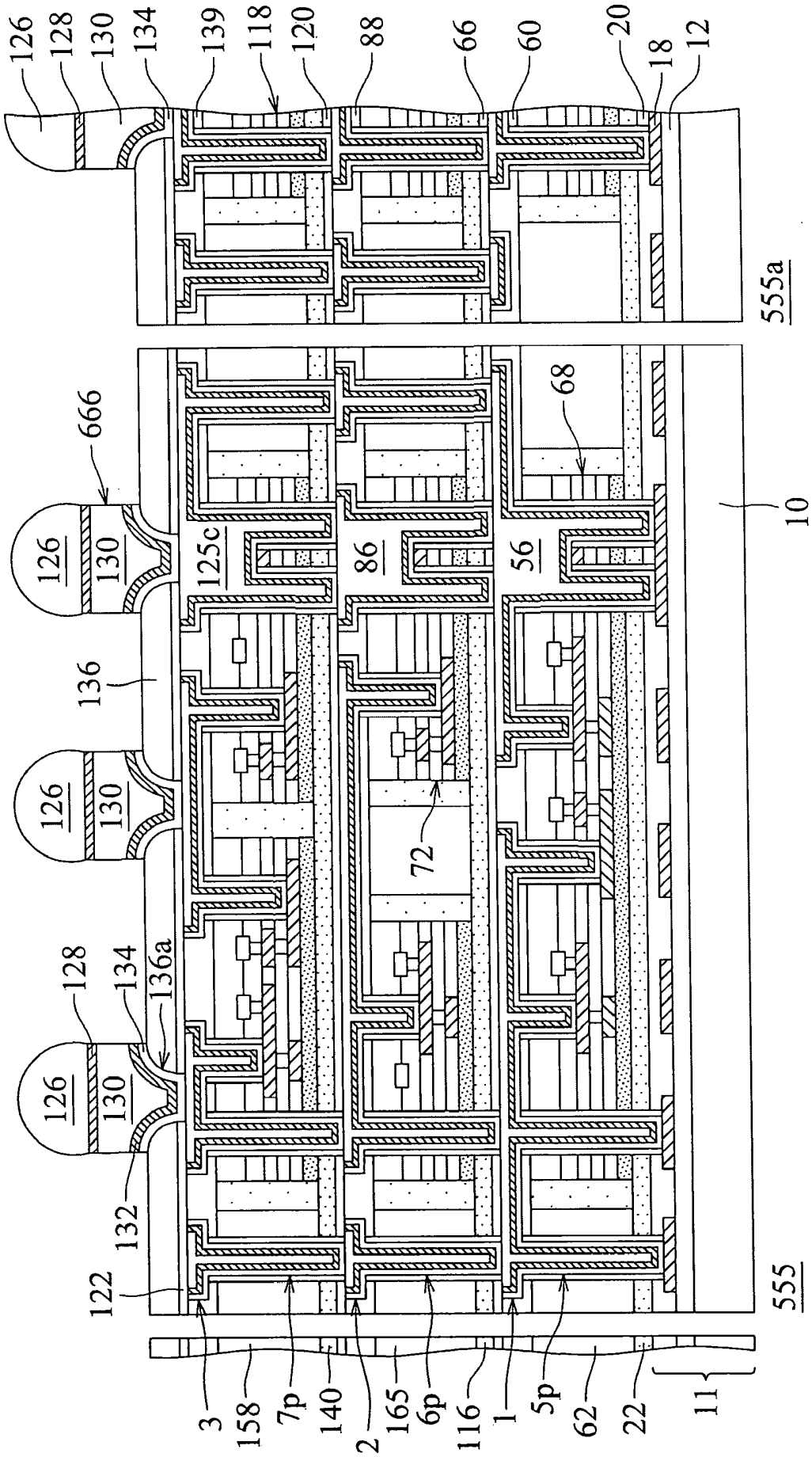

126
128
130
134
139
118
120
88
66
60
20
18
12
555a
666
68
10
126
130
125c
86
56
136
72
126
130
128
134
136a
126
130
132
122
555
3
158
7p
140
2
165
6p
116
1
5p
62
22
11

圖82

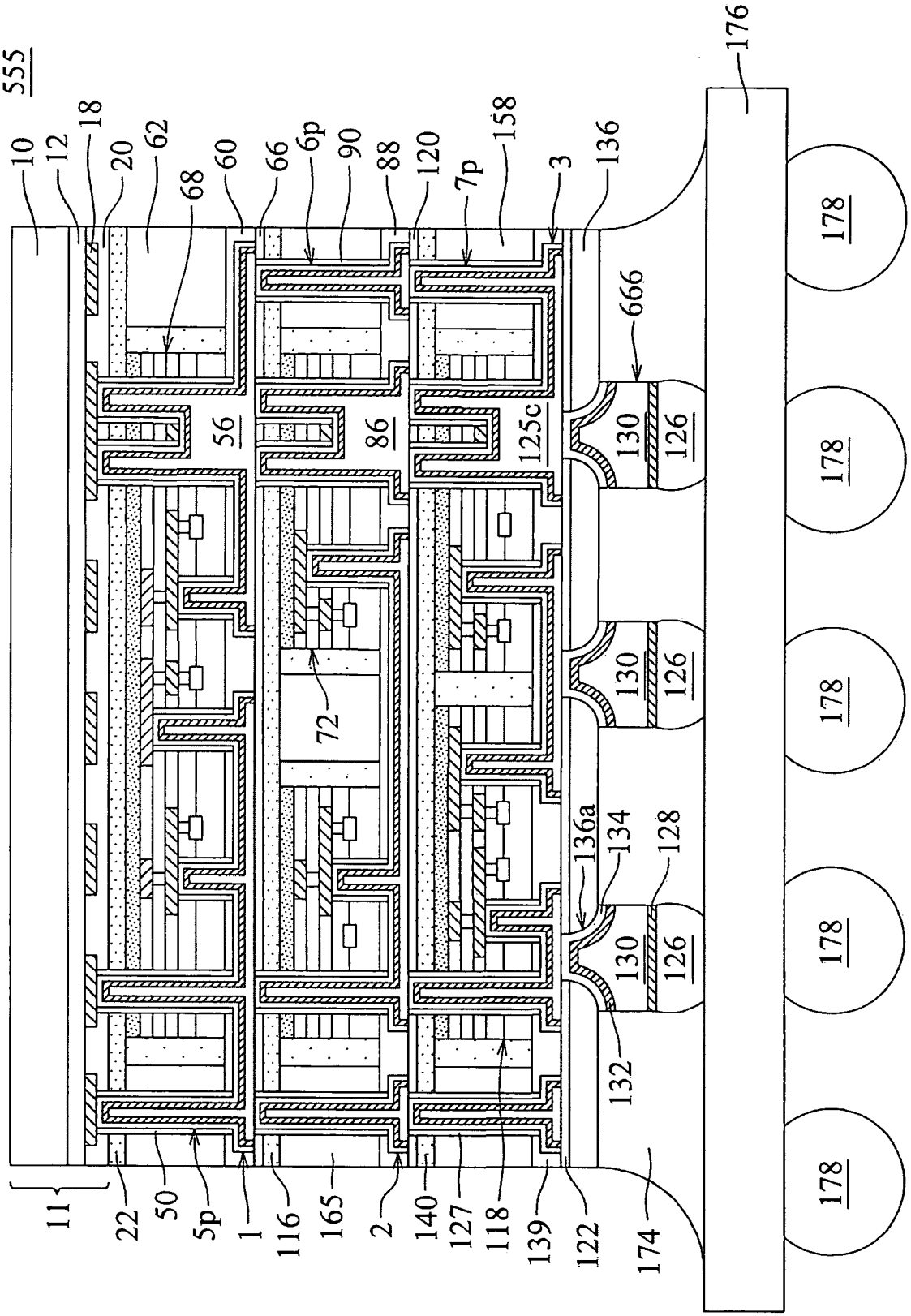

555
10
12
18
20
62
68
60
66
6p
90
88
120
7p
158
3
136
176
178
666
56
86
125c
130
126
72
136a
134
128
132
11
22
50
5p
1
116
165
2
140
127
118
139
122
174

圖83

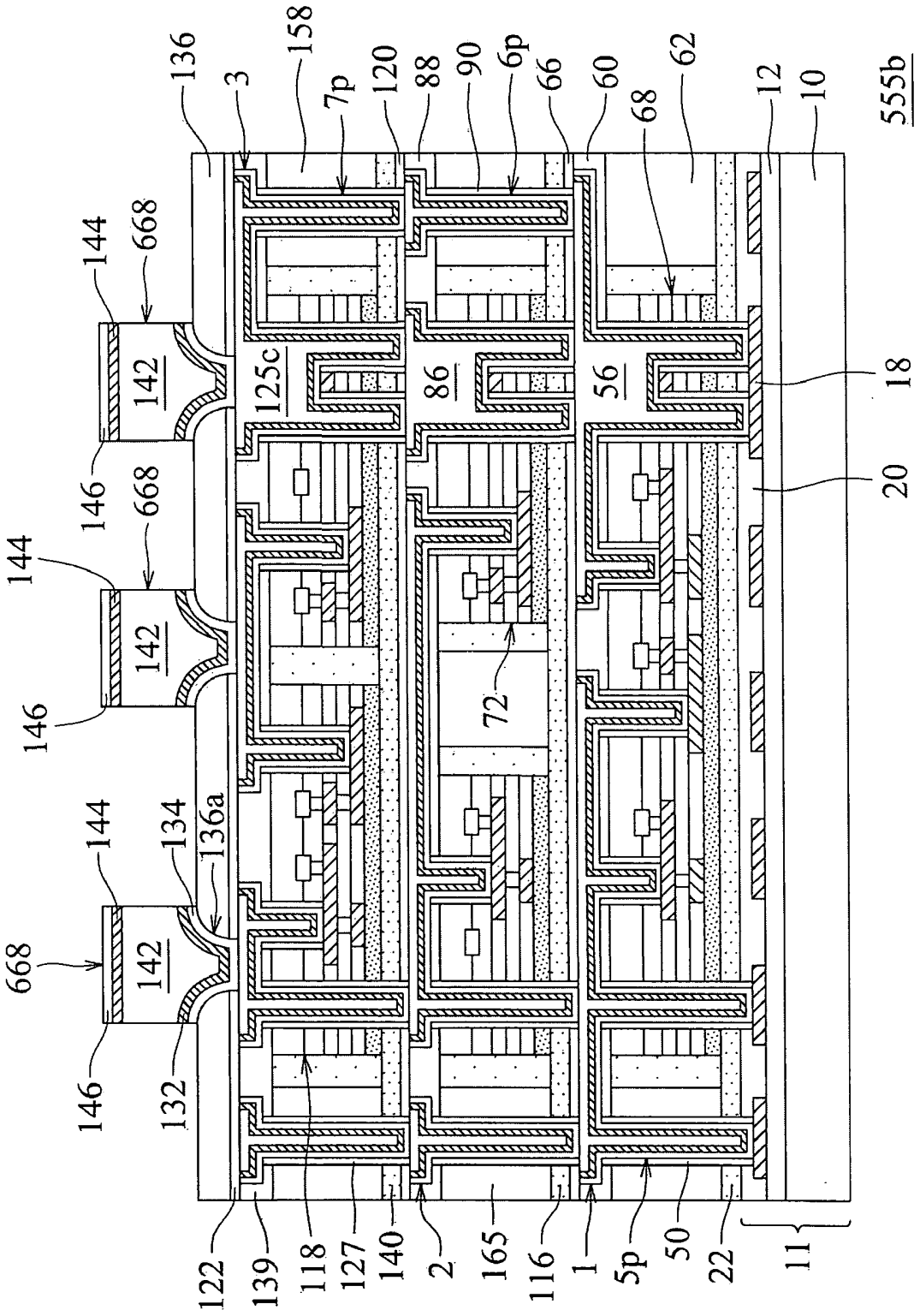

136
3
158
7p
120
88
90
6p
66
60
62
12
10
555b
144
668
142
125c
86
56
18
146
668
144
142
20
146
72
144
134
136a
668
142
146
132
122
139
118
127
140
2
165
116
1
5p
50
22
11

圖84

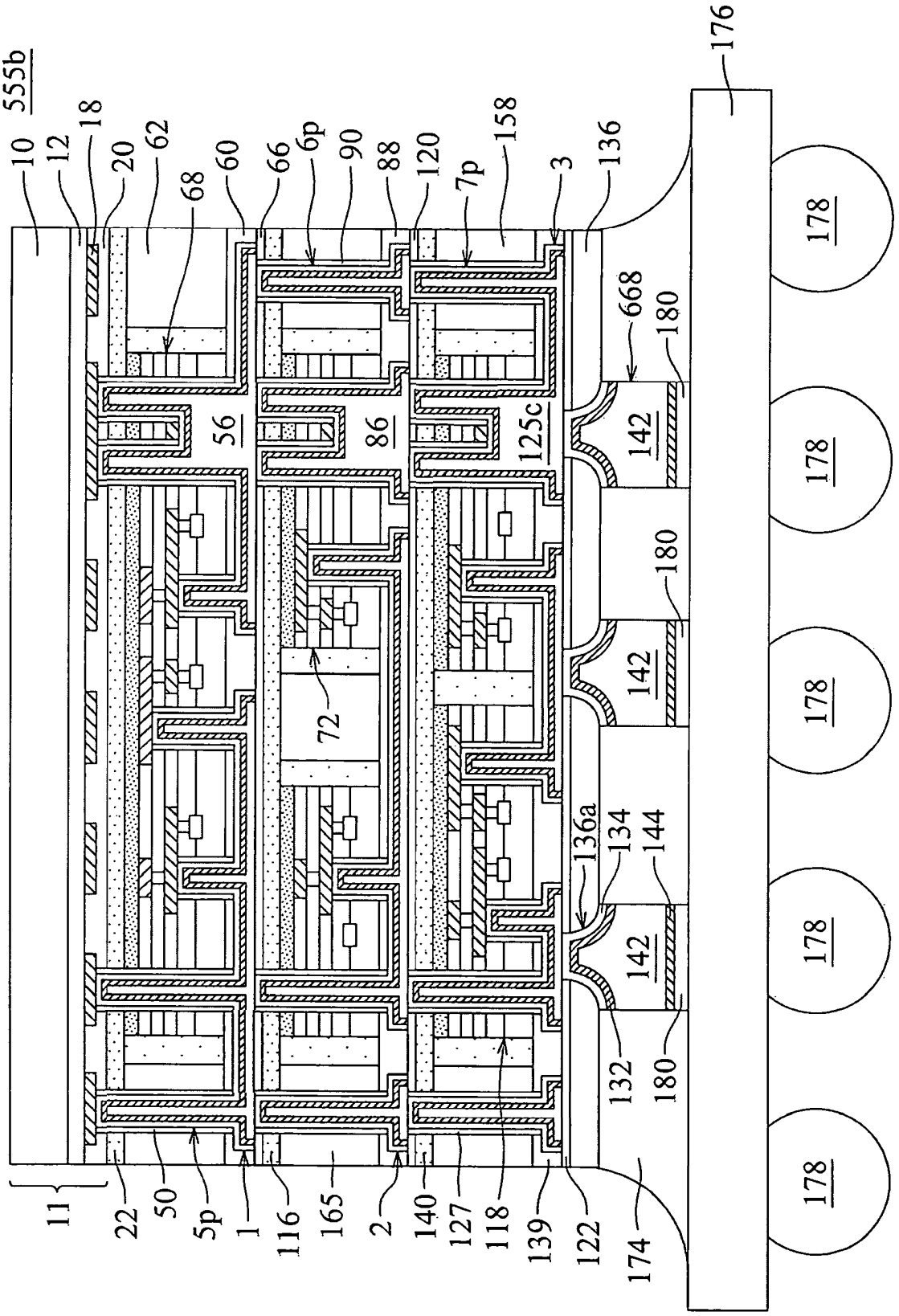

555b
10
12
18
20
62
68
60
66
6p
90
88
120
7p
158
3
136
176
178
668
180
142
56
86
125c
72
136a
134
144
132
11
22
50
5p
1
116
165
2
140
127
118
139
122
174

圖85

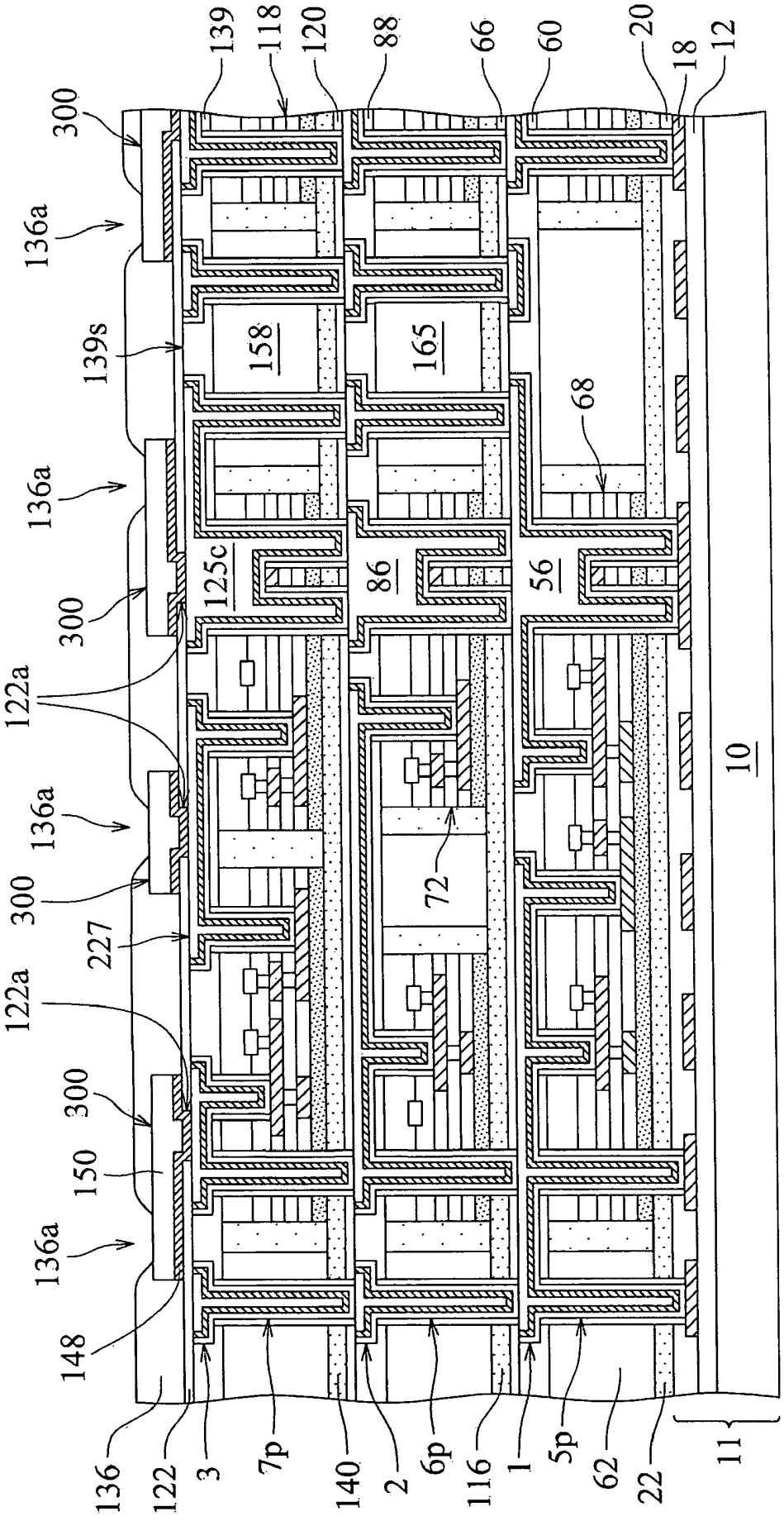

139
118
120
88
66
60
20
18
12
300
136a
139s
158
165
68
125c
86
56
122a
72
10
227
150
148
136
122
3
7p
140
2
6p
116
1
5p
62
22
11

圖86

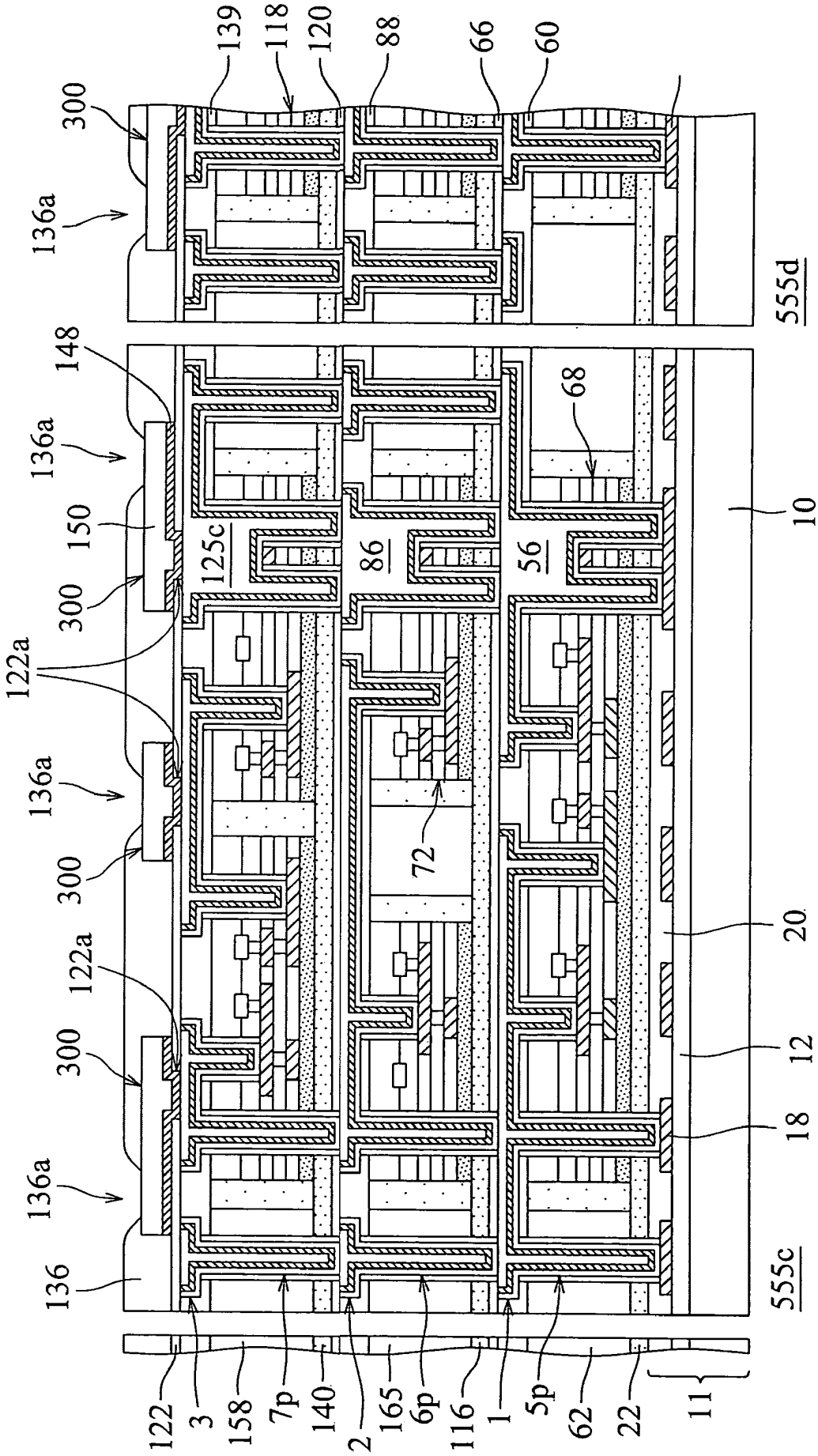

139
118
120
88
66
60
300
136a
555d
148
68
150
125c
86
56
10
122a
72
20
12
18
136
555c
122
3
158
7p
140
2
165
6p
116
1
5p
62
22
11

圖87

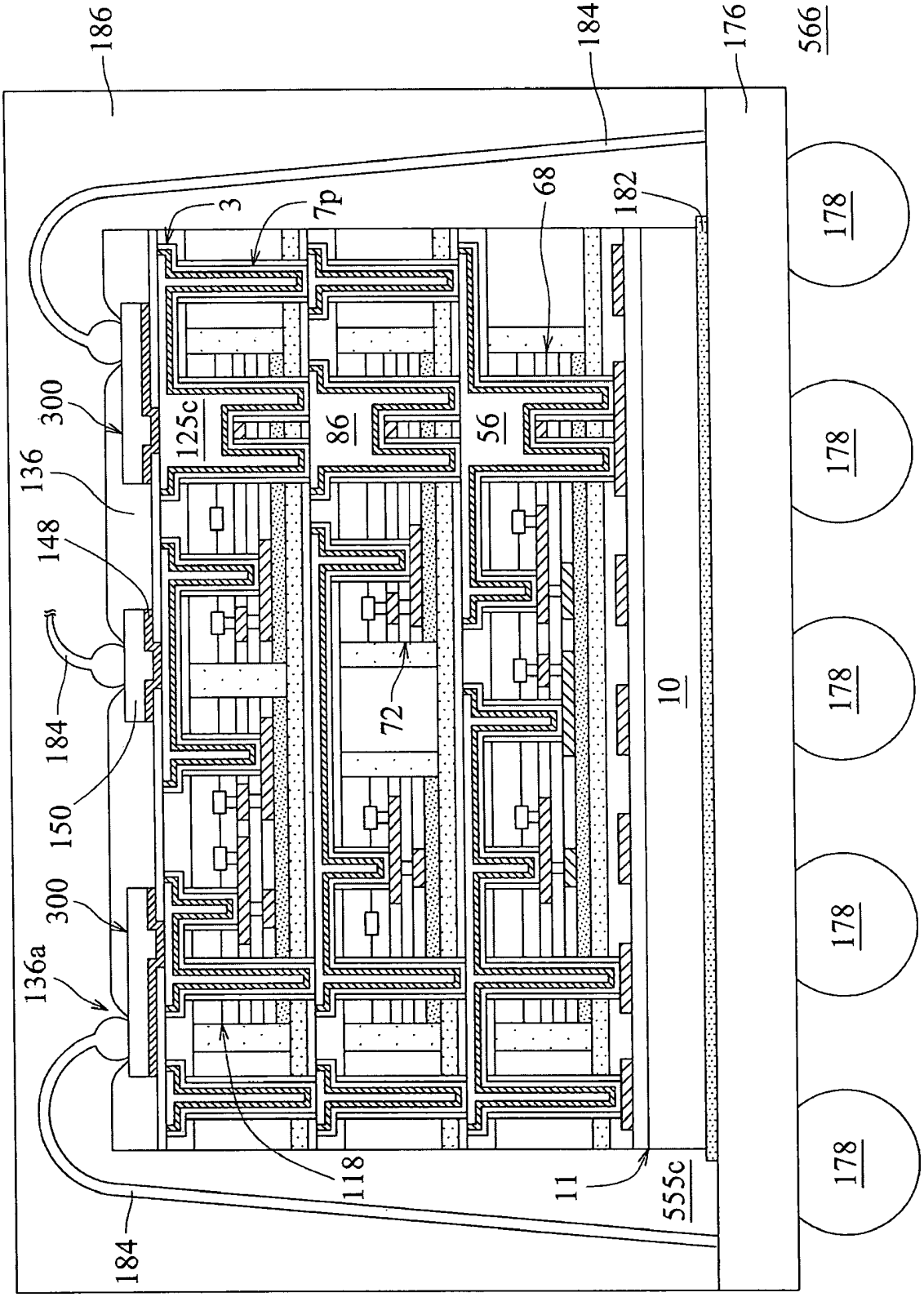

186
184
176
566
3
7p
68
182
178
300
125c
86
56
136
148
72
10
184
150
300
136a
118
11
555c
184

圖88

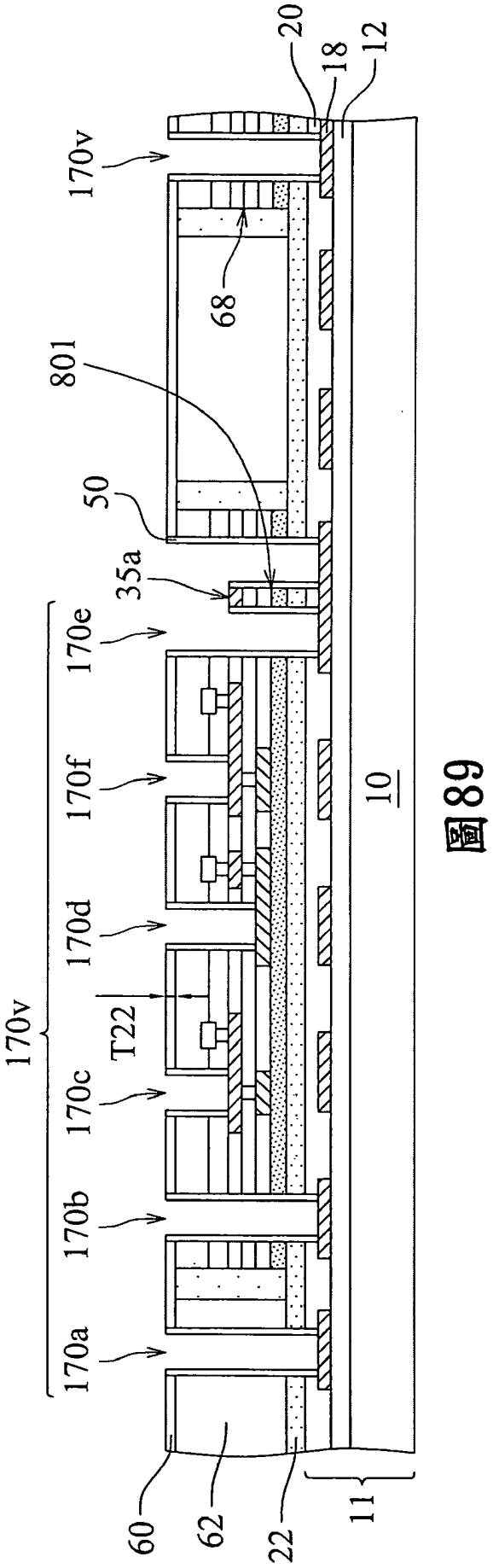

20
18
12
170v
68
801
50
35a
170e
170f
170d
T22
170c
170b
170a
10
60
62
22
11

圖89

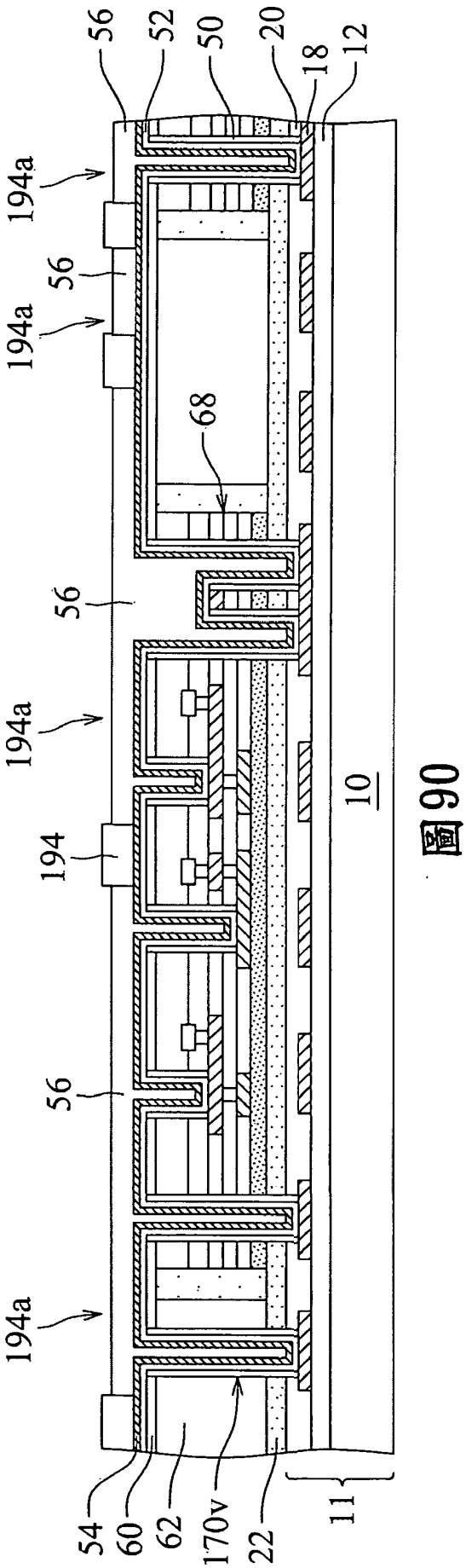

56
52
50
20
18
12
194a
56
194a
68
56
194a
194
56
194a
10
54
60
62
170v
22
11

圖90

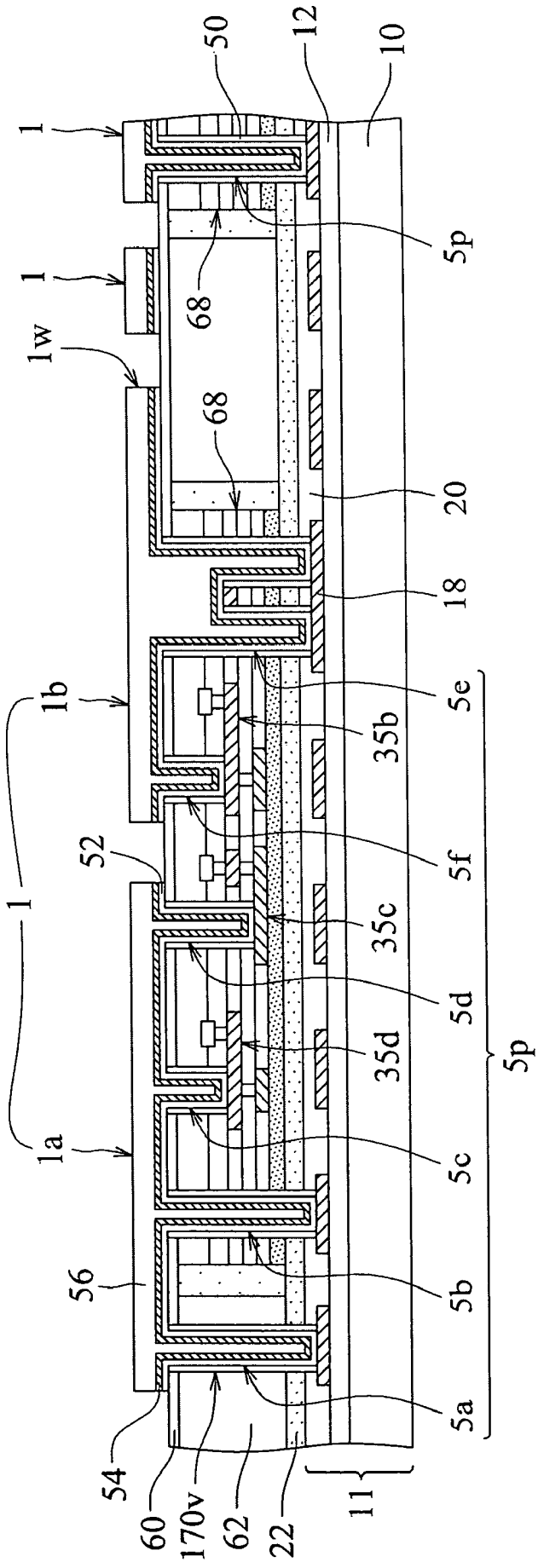

50
12
10
1
5p
1
68
1w
68
20
18
1b
5e
35b
52
5f
1
35c
5d
35d
5p
1a
5c
56
5b
5a
54
60
170v
62
22
11

圖91

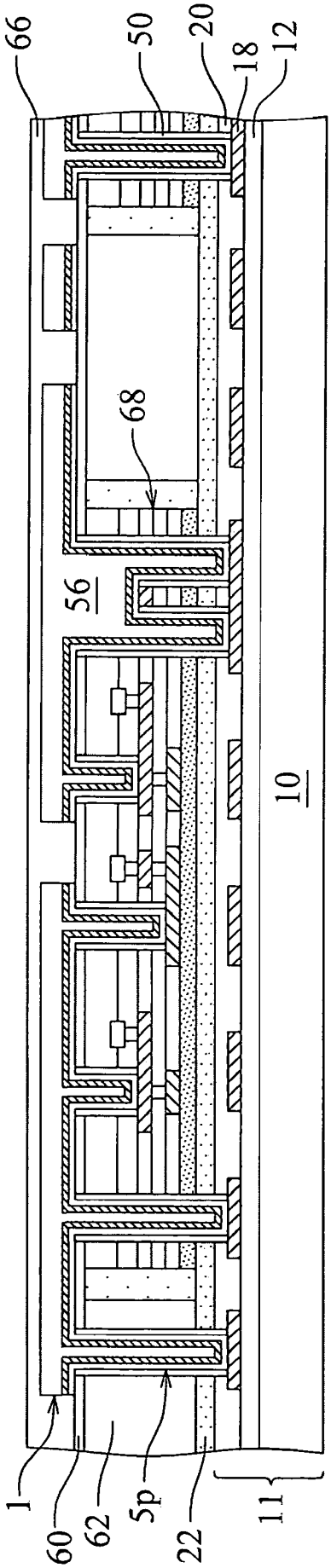

66
50
20
18
12
68
56
10
1
60
62
5p
22
11

圖92

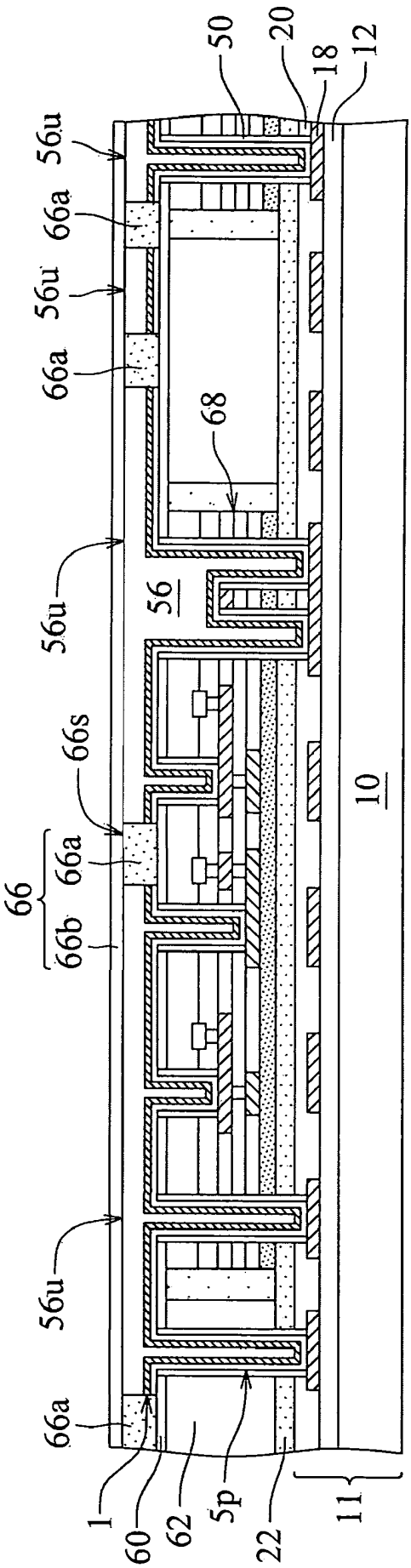

50
20
18
12
56u
66a
56u
66a
68
56u
56
66s
66
66a
66b
10
56u
66a
1
60
62
5p
22
11

圖93

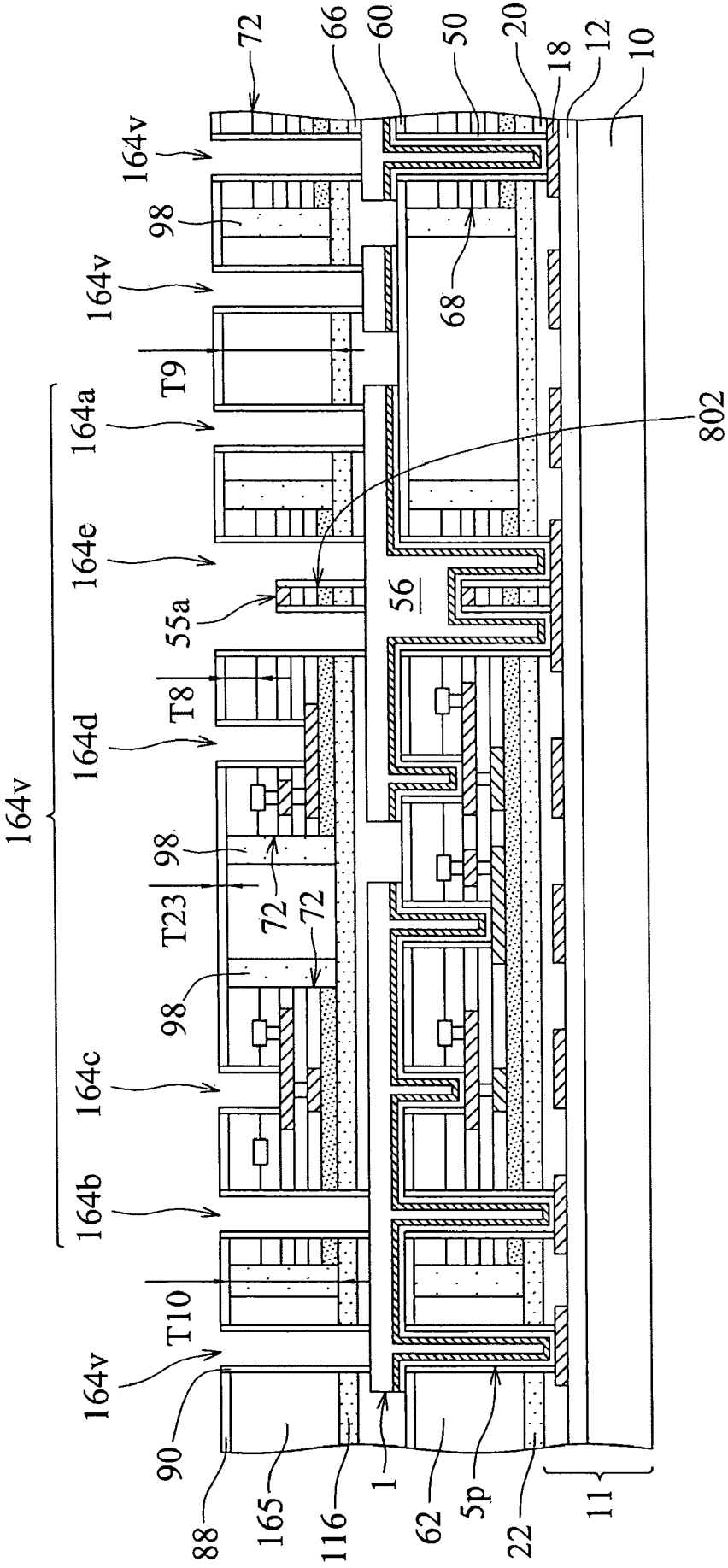

72
66
60
50
20
18
12
10
164v
98
68
164v
T9
164a
802
164e
55a
56
T8
164d
164v
98
T23
72
72
98
164c
164b
T10
164v
90
88
165
116
1
62
5p
22
11

圖94

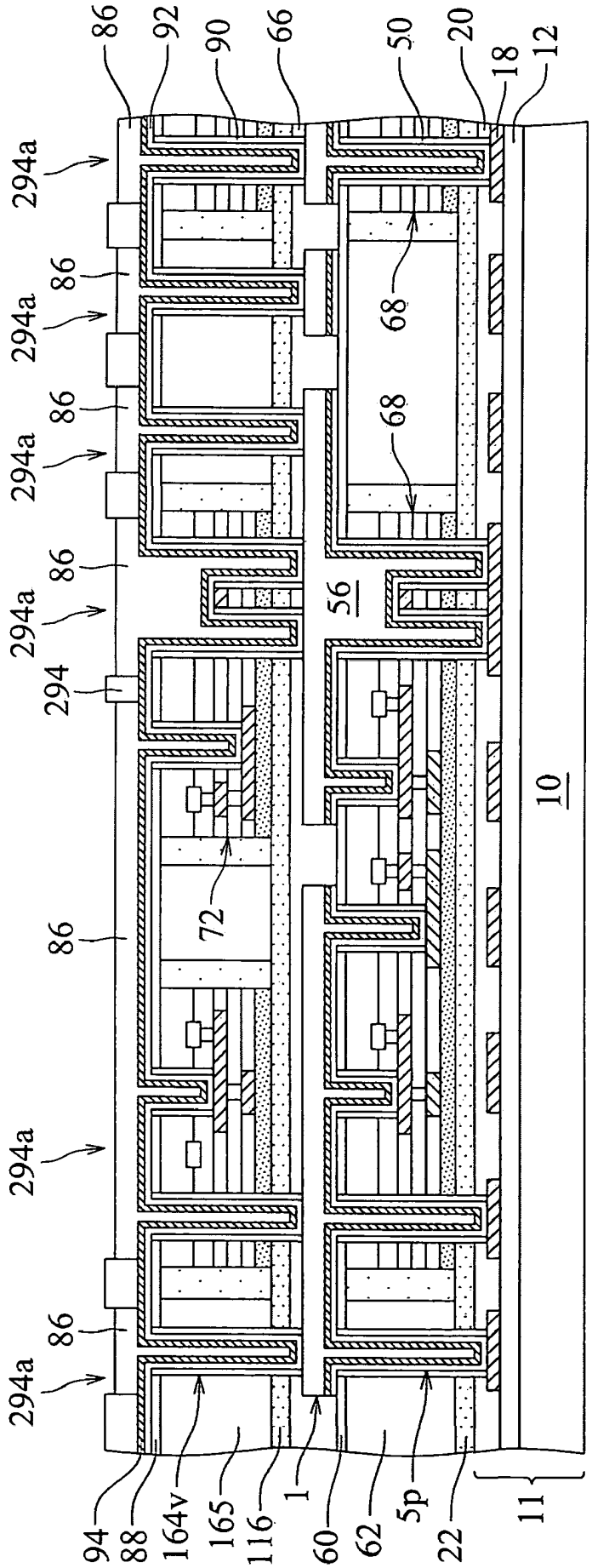

86
92
90
66
50
20
18
12
294a
86
294a
86
294a
86
294a
294
56
68
68
72
86
294a
86
294a
10
94
88
164v
165
116
1
60
62
5p
22
11

圖95

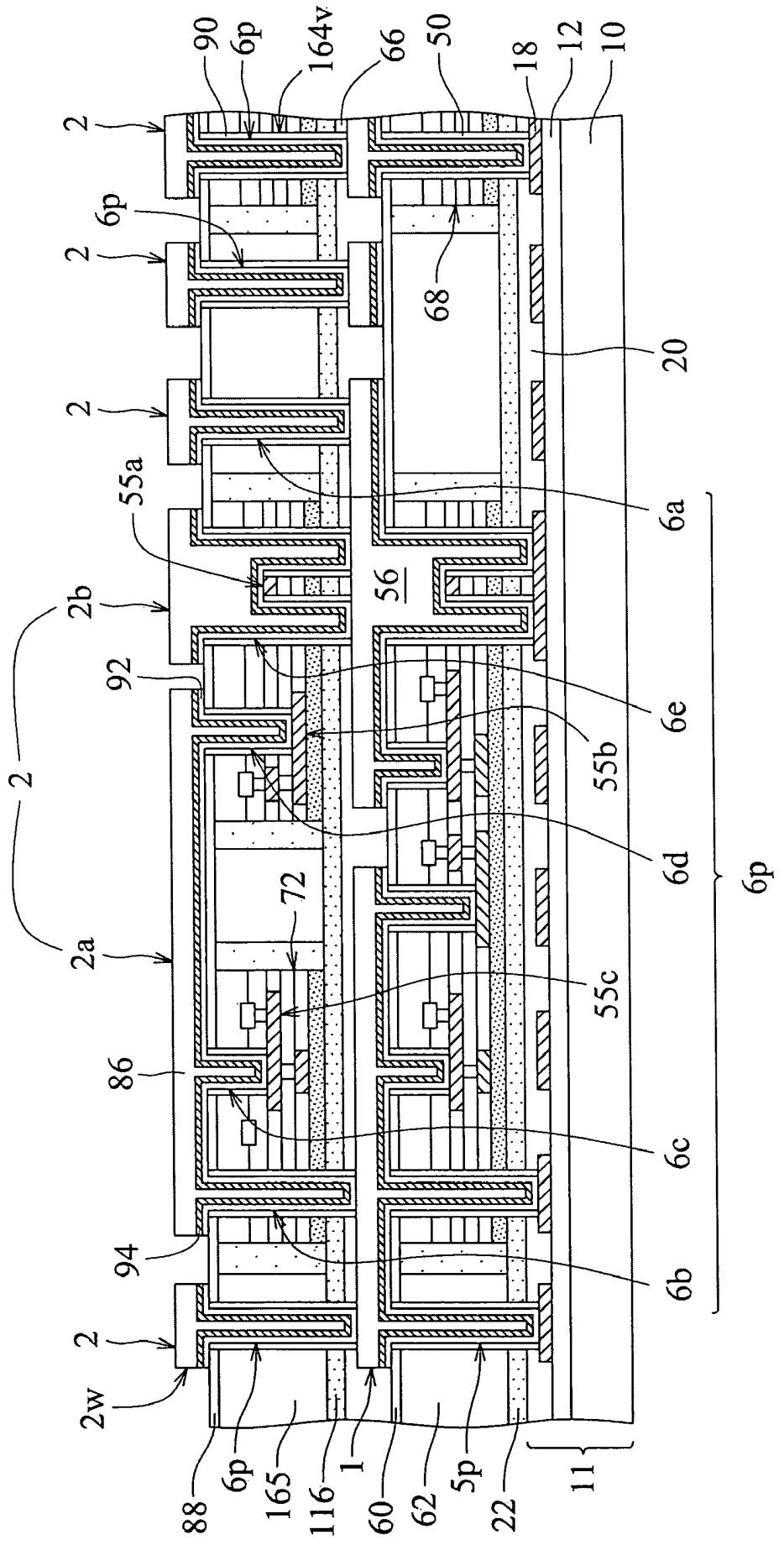

90
6p
164v
66
50
18
12
10
2
6p
2
68
20
2
55a
6a
2b
56
92
6e
55b
2
6d
6p
72
2a
55c
86
6c
94
6b
2
2w
88
6p
165
116
1
60
62
5p
22
11

圖96

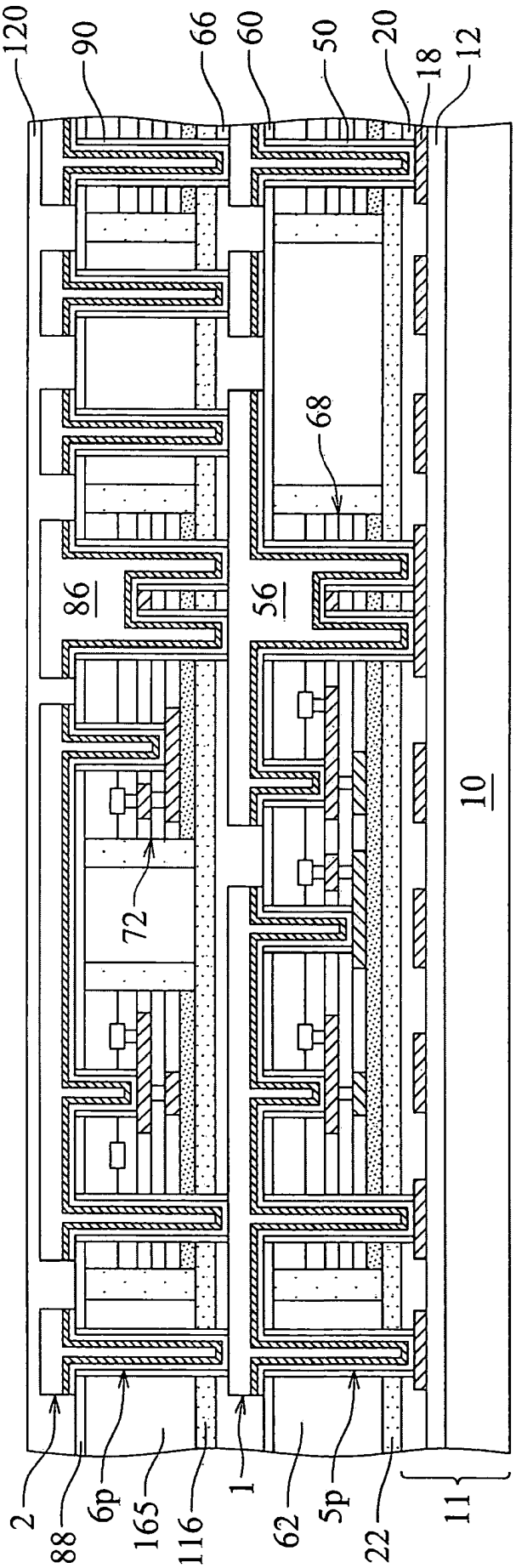


圖97

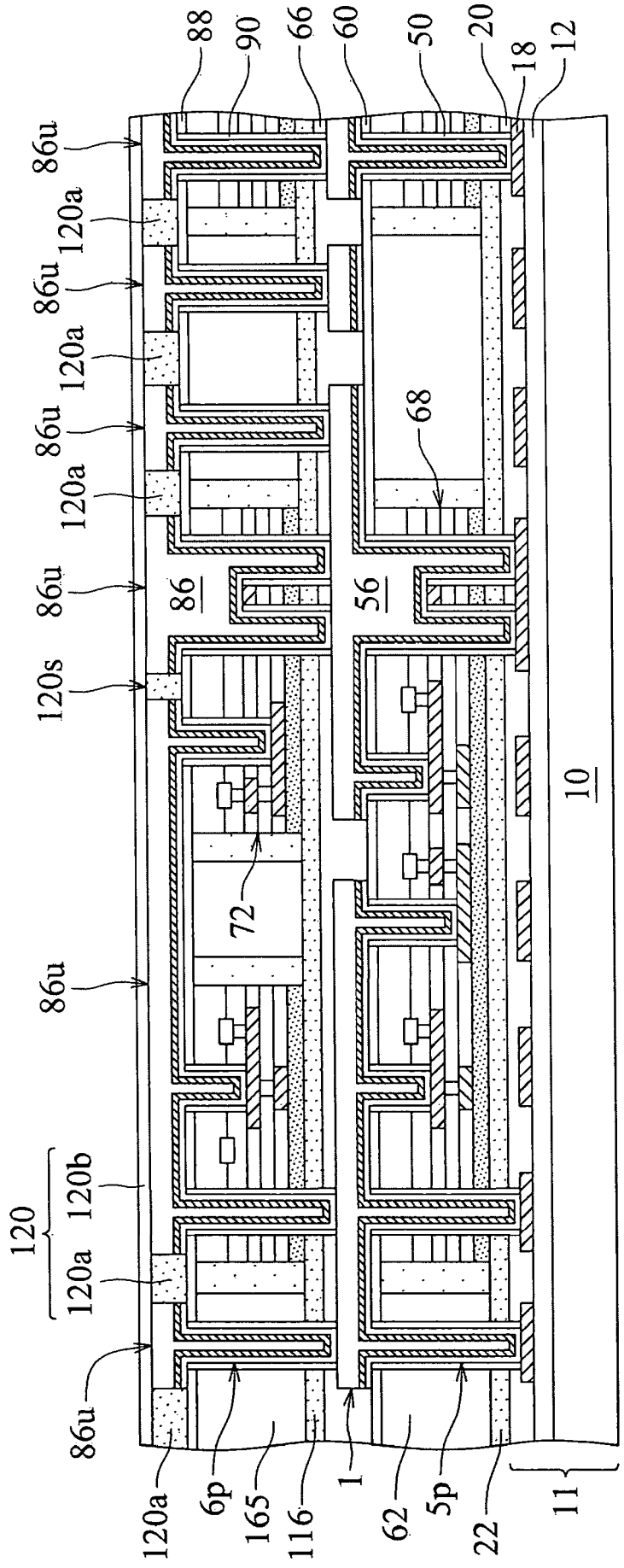

88
90
66
60
50
20
18
12
86u
120a
86u
120a
86u
120a
86u
120a
86u
120s
86u
120
120b
120a
86u
120a
6p
165
116
1
62
5p
22
11
10
56
86
68
72

圖98

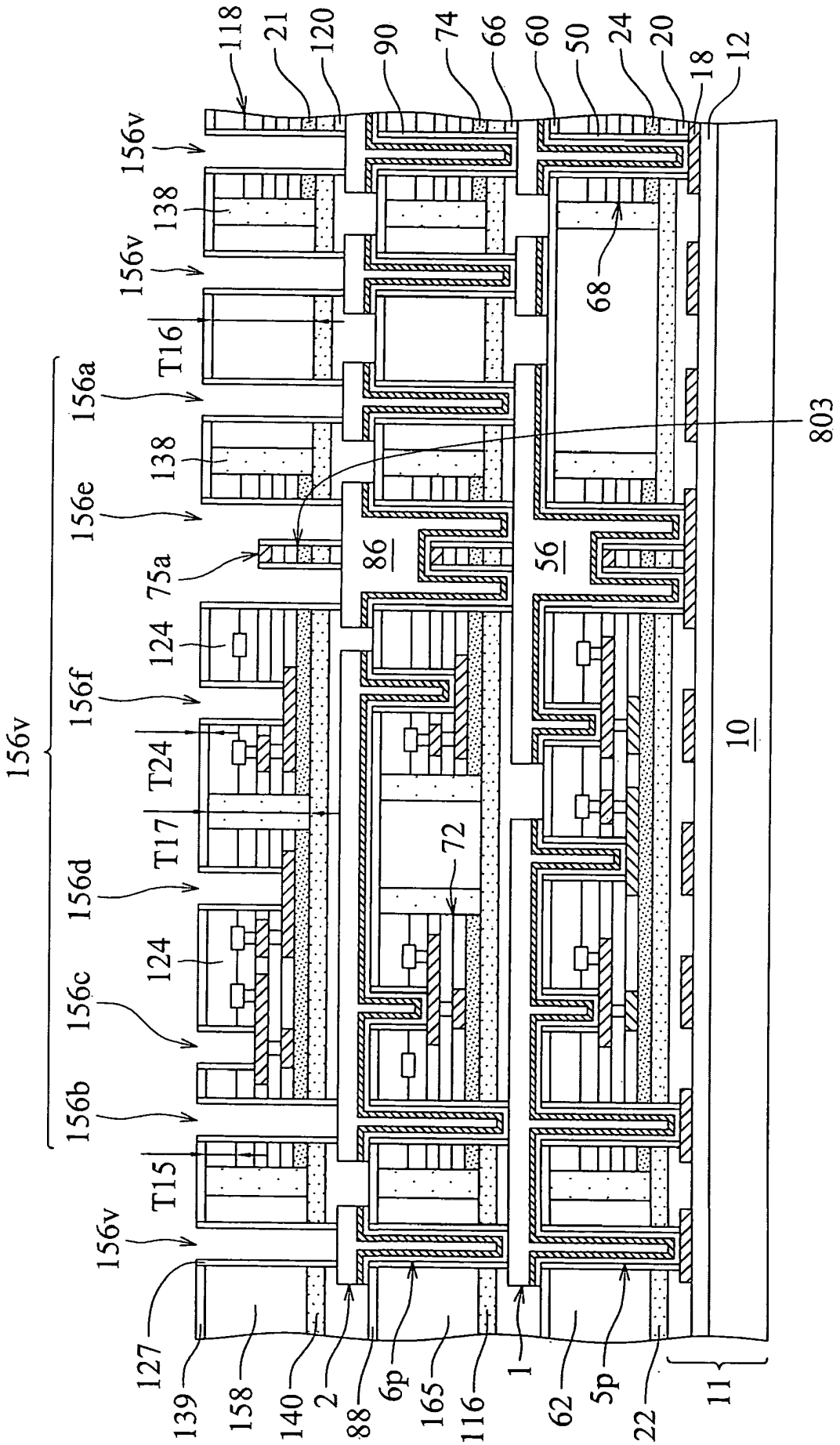

118
21
120
90
74
66
60
50
24
20
18
12
156v
138
156v
T16
156a
803
138
156e
86
56
75a
124
156f
T24
T17
156d
72
124
156c
156b
T15
156v
127
139
158
140
2
88
6p
165
116
1
62
5p
22
11
10
68

圖99

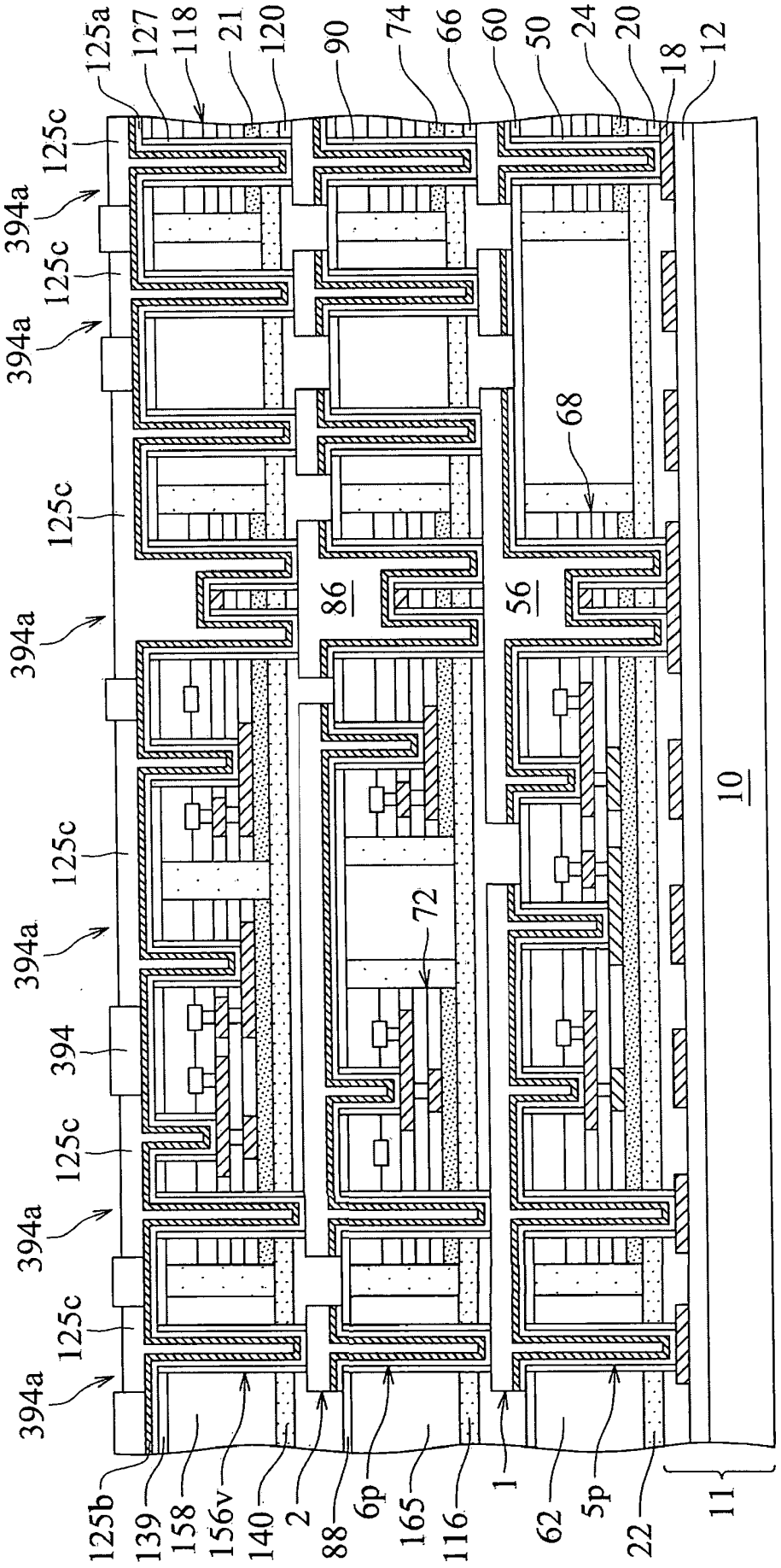

125a
127
118
21
120
90
74
66
60
50
24
20
18
12
125c
394a
125c
394a
125c
68
394a
86
56
125c
72
394a
394
125c
394a
125c
394a
10
125b
139
158
156v
140
2
88
6p
165
116
1
62
5p
22
11

圖100

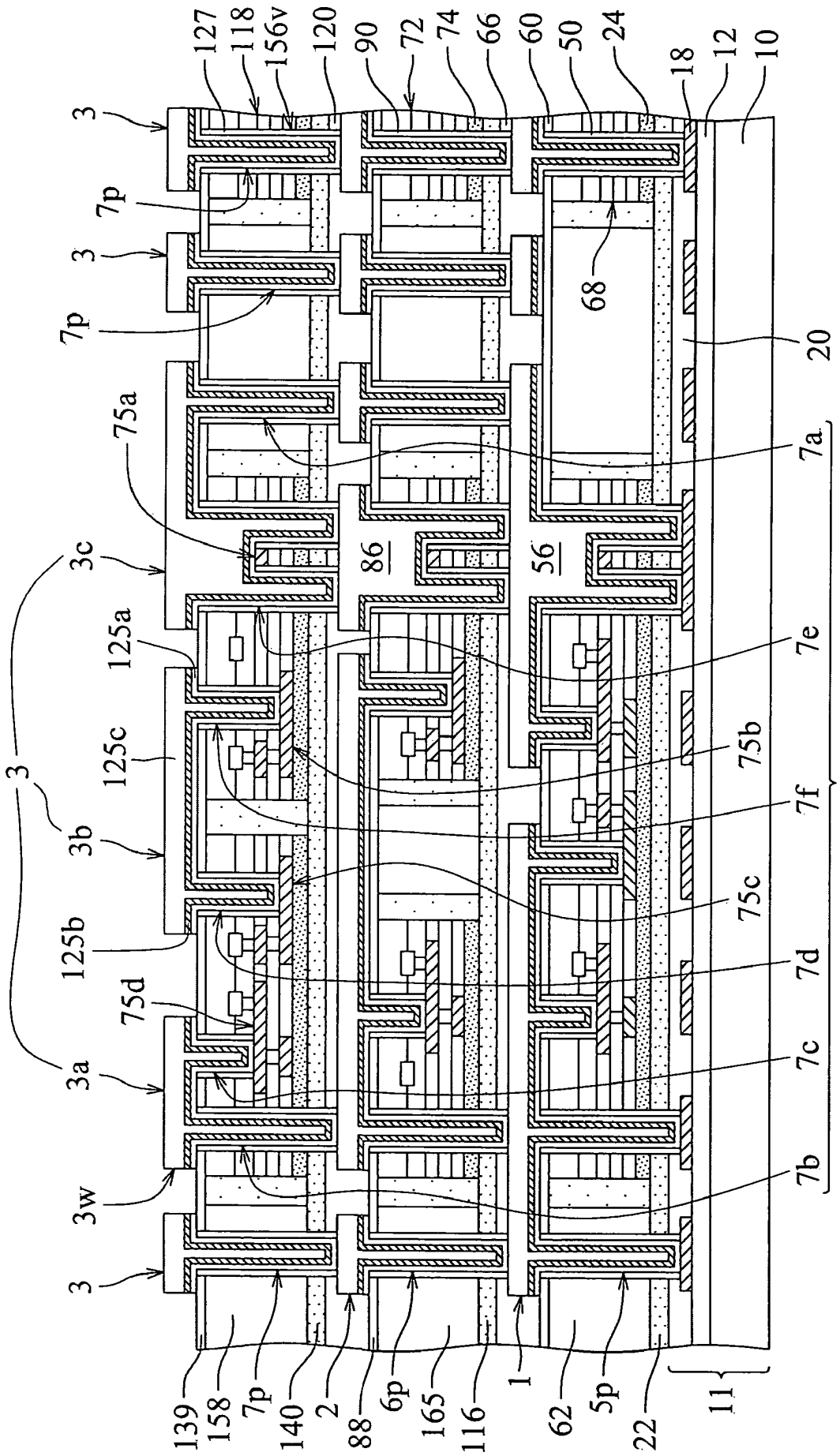

127
118
156v
120
90
72
74
66
60
50
24
18
12
10
3
7p
3
7p
68
20
75a
7a
3c
86
56
125a
7e
125c
75b
3
3b
7f
7p
125b
75c
75d
7d
3a
7c
3w
7b
3
139
158
7p
140
2
88
6p
165
116
1
62
5p
22
11

圖101

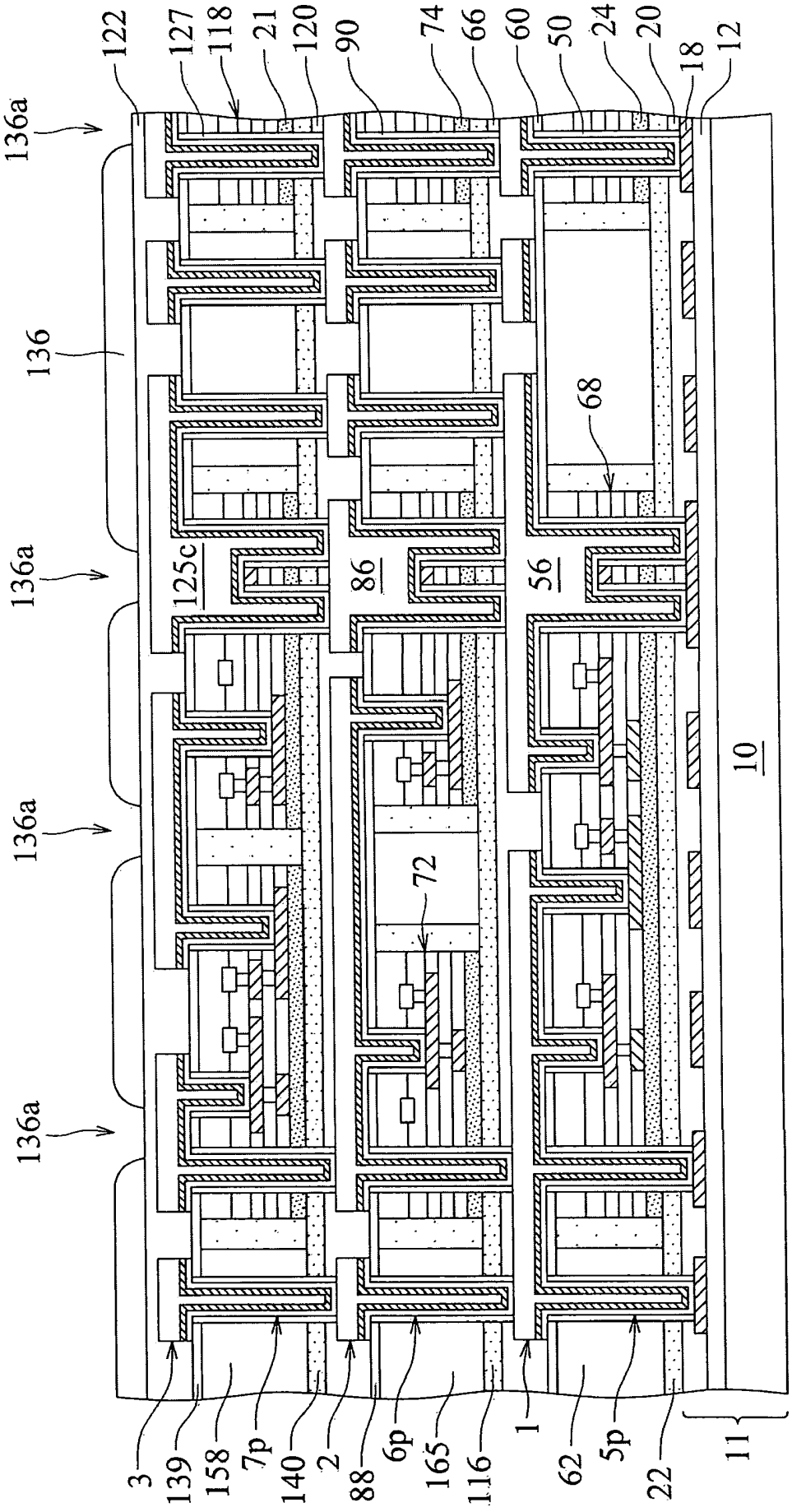

122
127
118
21
120
90
74
66
60
50
24
20
18
12
136a
136
136a
136a
136a
125c
86
56
68
72
10
3
139
158
7p
140
2
88
6p
165
116
1
62
5p
22
11

圖102

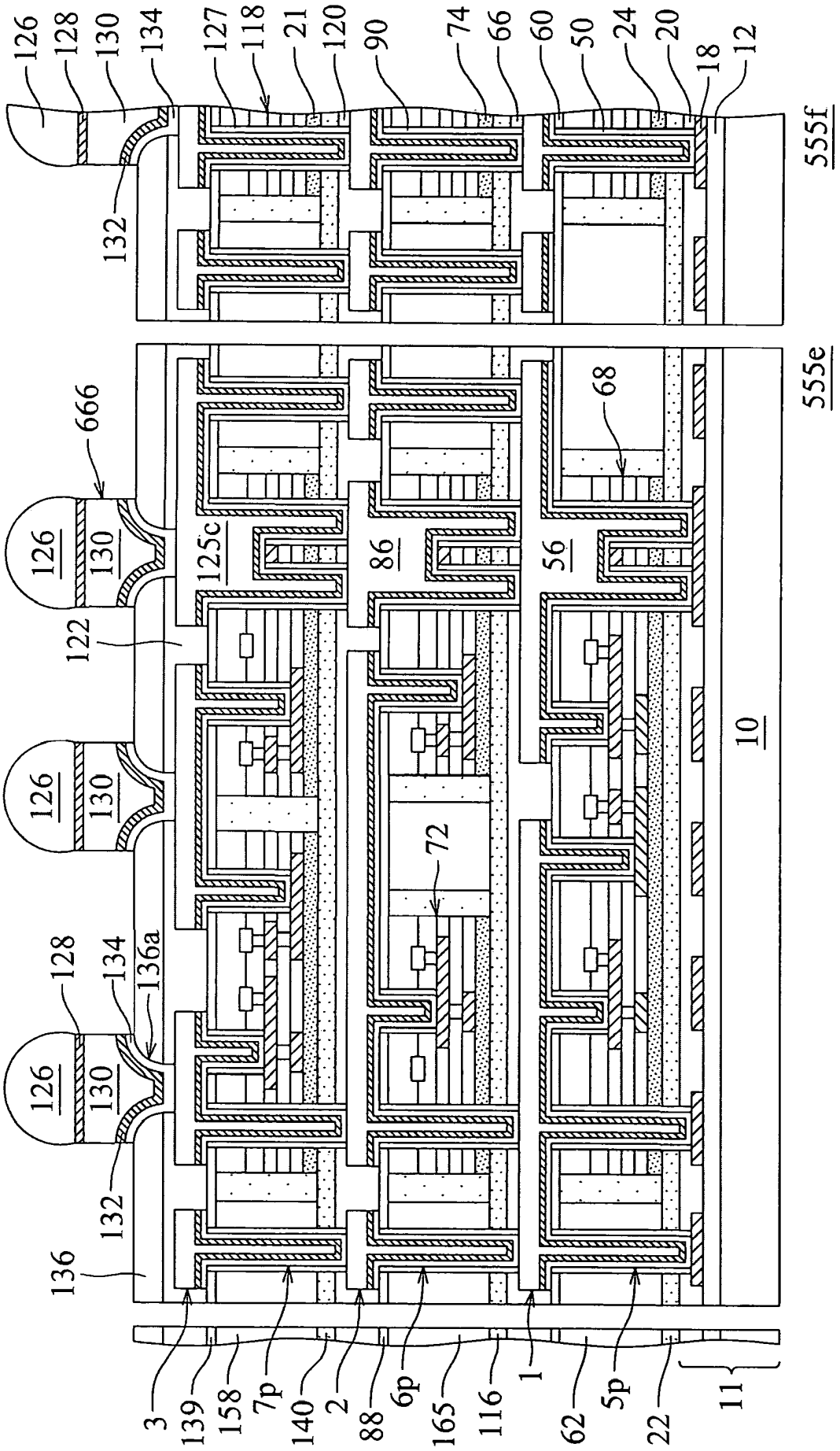

126
128
130
134
127
118
21
120
90
74
66
60
50
24
20
18
12
555f
132
555e
666
68
126
130
125c
86
56
122
10
72
128
134
136a
132
136
3
139
158
7p
140
2
88
6p
165
116
1
62
5p
22
11

圖103

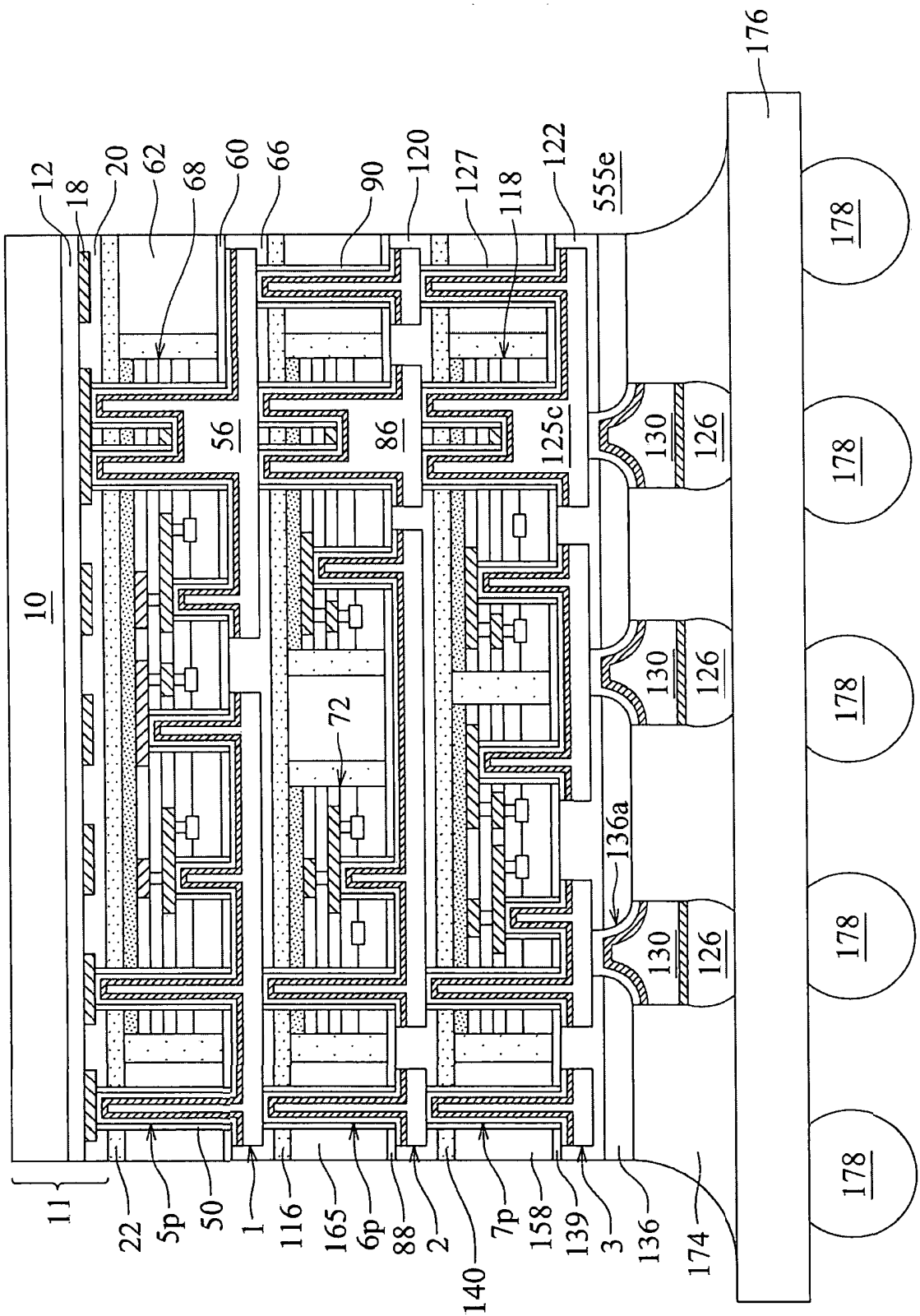

12
18
20
62
68
60
66
90
120
127
118
122
555e
176
178
178
178
178
178
56
86
125c
130
126
130
126
130
126
72
136a
10
11
22
5p
50
1
116
165
6p
88
2
140
7p
158
139
3
136
174

圖104

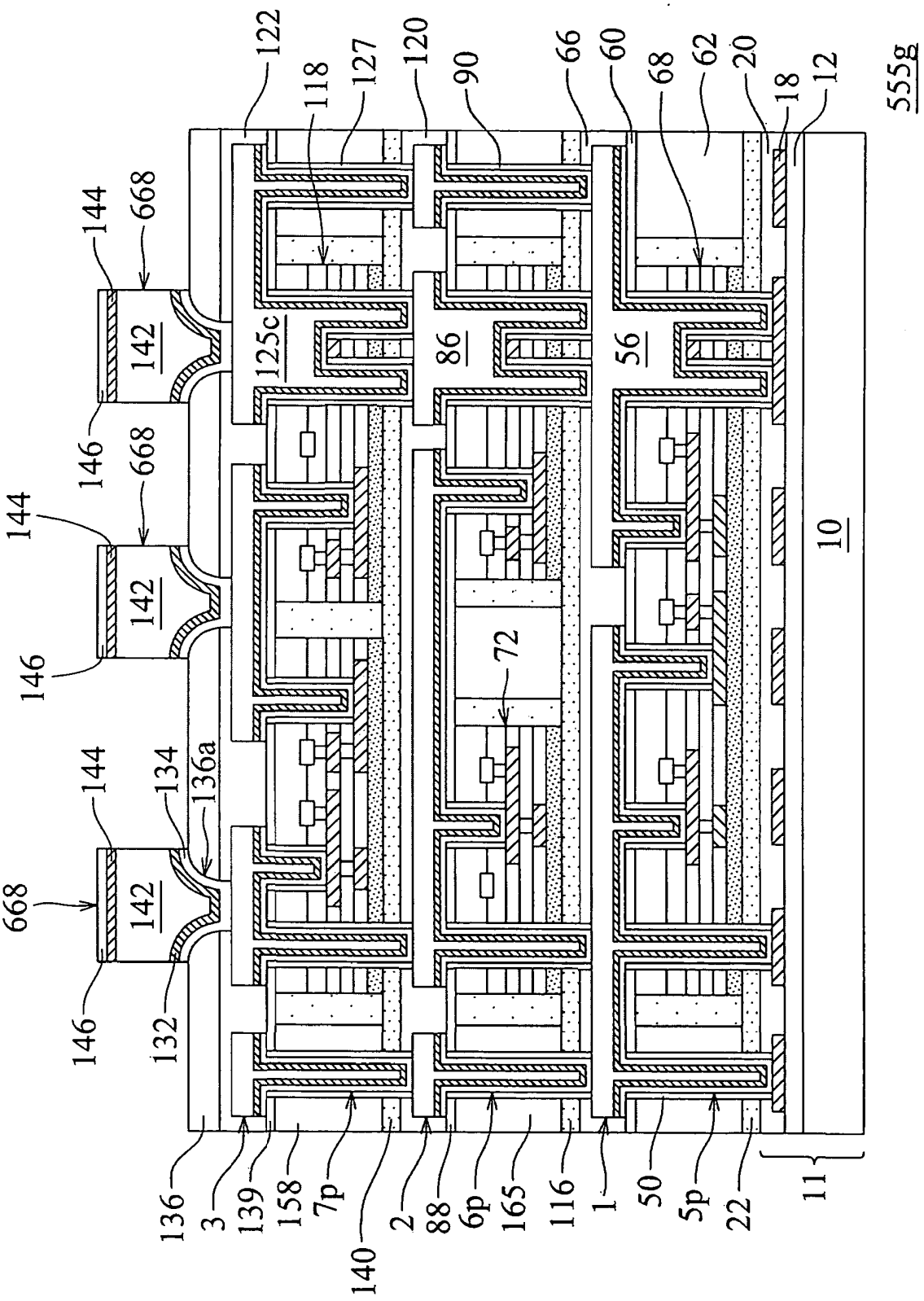

555g
122
118
127
120
90
66
60
68
62
20
18
12
144
668
142
146
125c
86
56
10
72
134
136a
132
136
3
139
158
7p
140
2
88
6p
165
116
1
50
5p
22
11

圖105

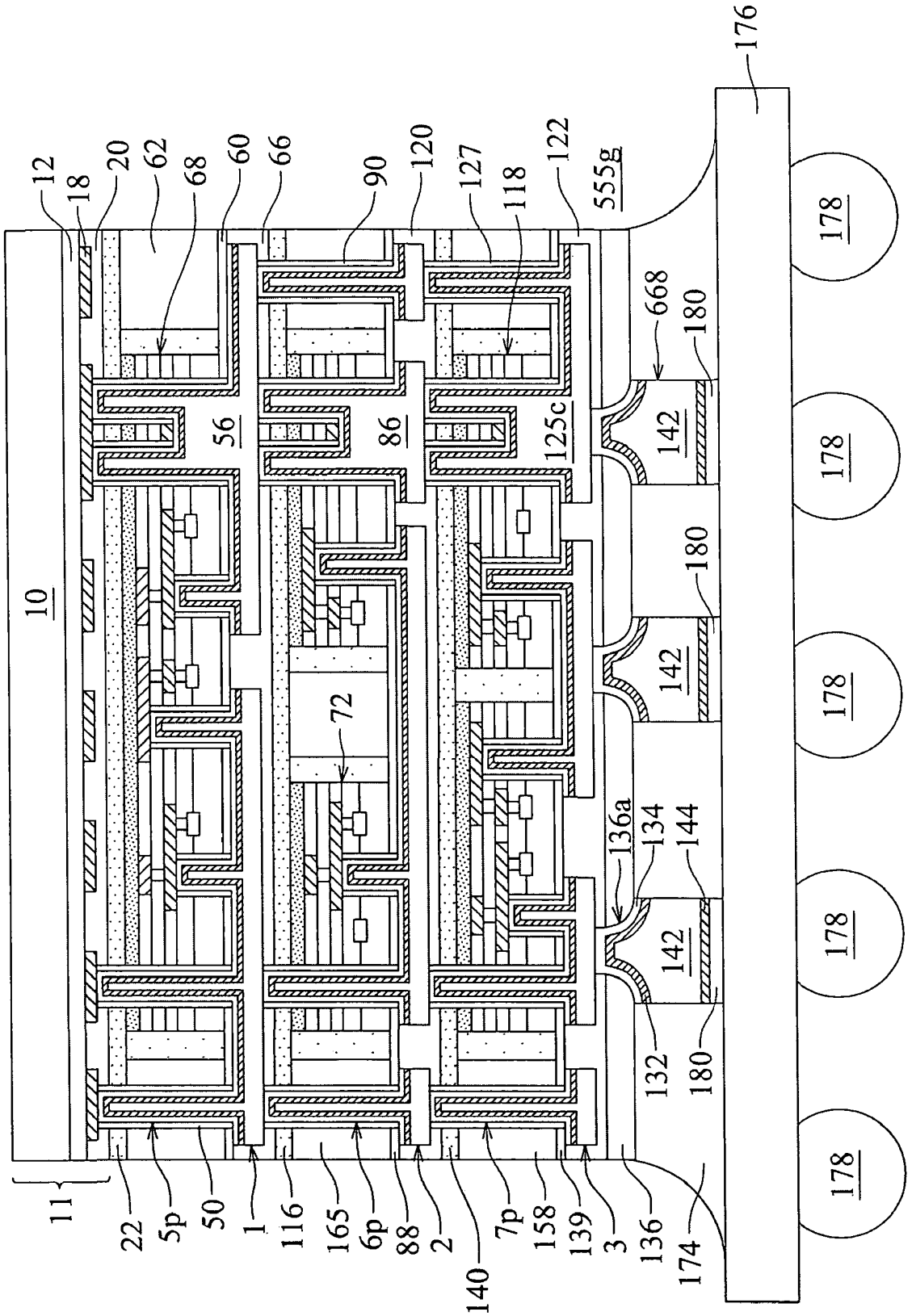

12
18
20
62
68
60
66
90
120
127
118
122
555g
176
178
668
180
142
56
86
125c
10
72
136a
134
144
132
11
22
5p
50
1
116
165
6p
88
2
140
7p
158
139
3
136
174

圖106

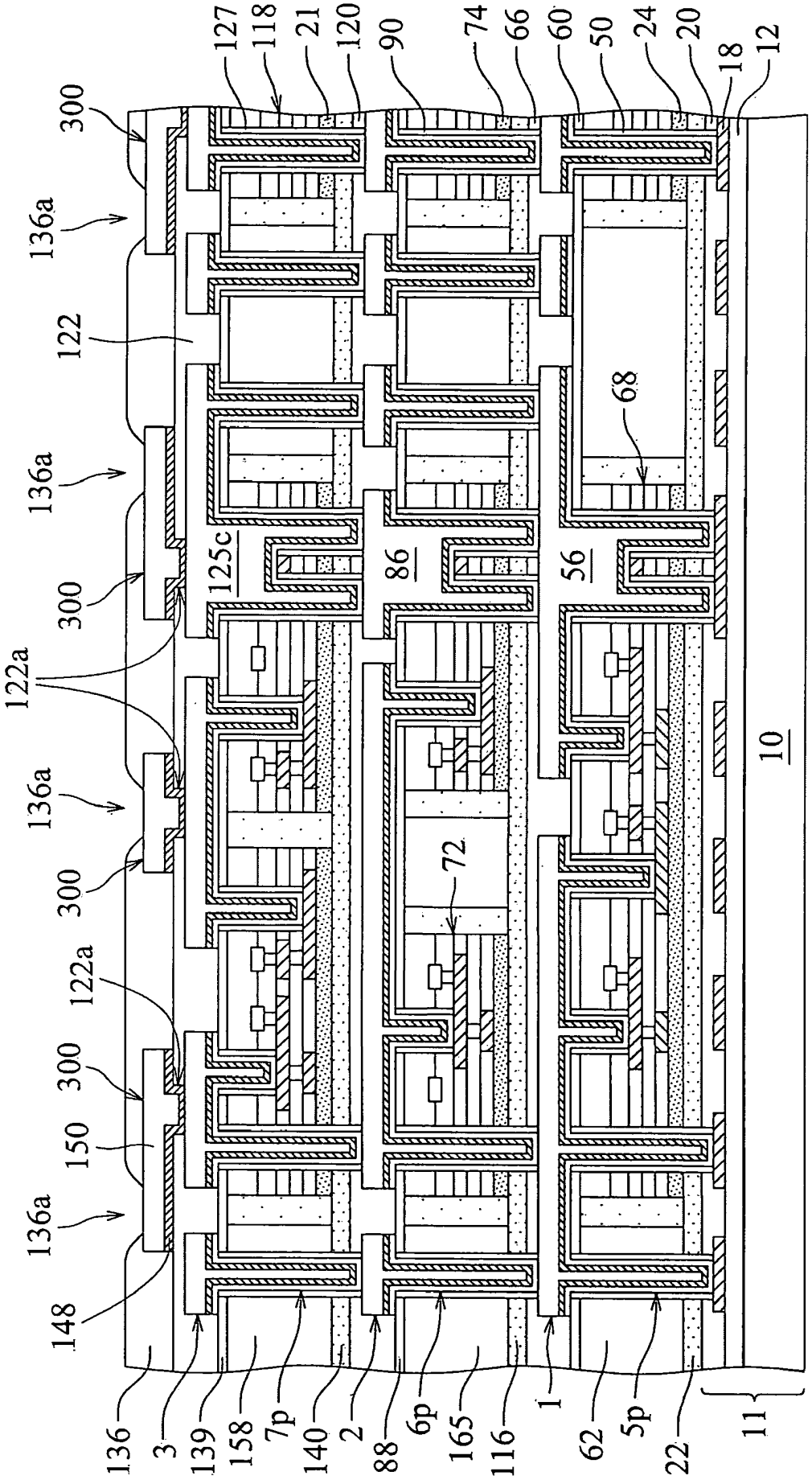

127
118
21
120
90
74
66
60
50
24
20
18
12
300
136a
122
136a
68
125c
86
56
300
122a
136a
10
72
300
122a
300
150
136a
148
136
3
139
158
7p
140
2
88
6p
165
116
1
62
5p
22
11

圖107

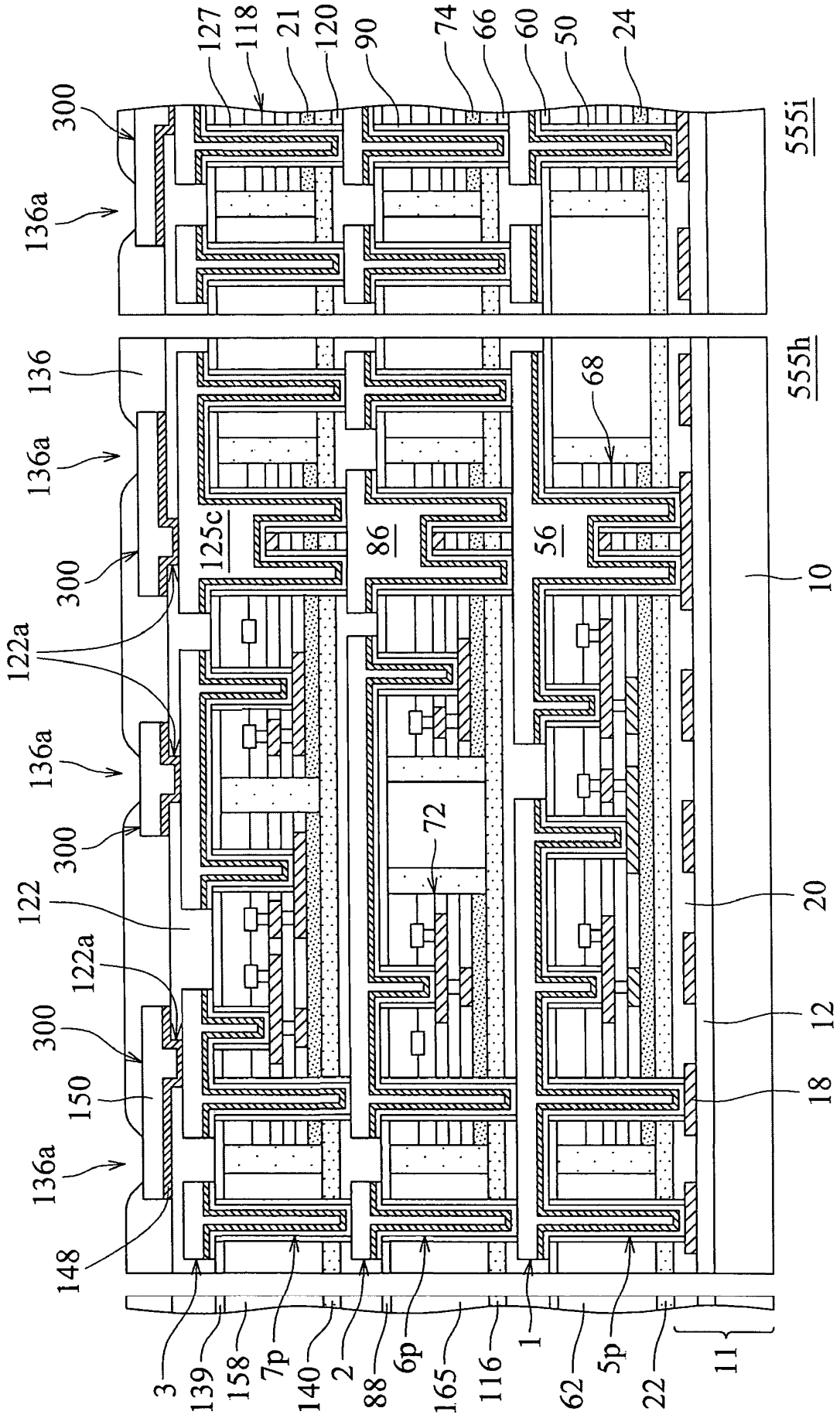

127
118
21
120
90
74
66
60
50
24
300
136a
555i
136
68
555h
125c
86
56
10
122a
72
122
20
12
18
150
148
3
139
158
7p
140
2
88
6p
165
116
1
62
5p
22
11

圖108

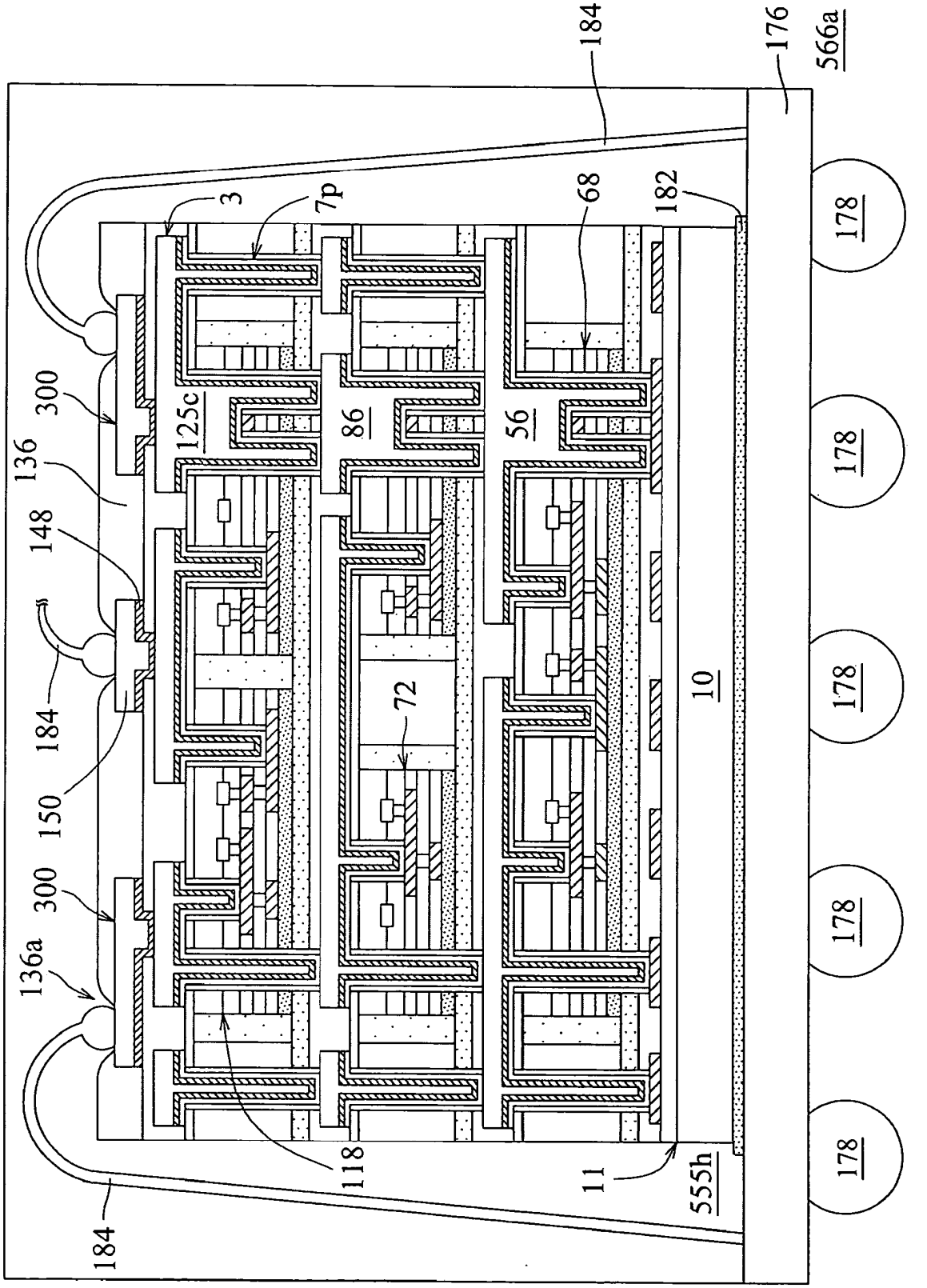

184
176
566a
3
7p
68
182
178
300
125c
86
56
136
148
184
150
72
10
300
136a
118
11
555h
184

圖109

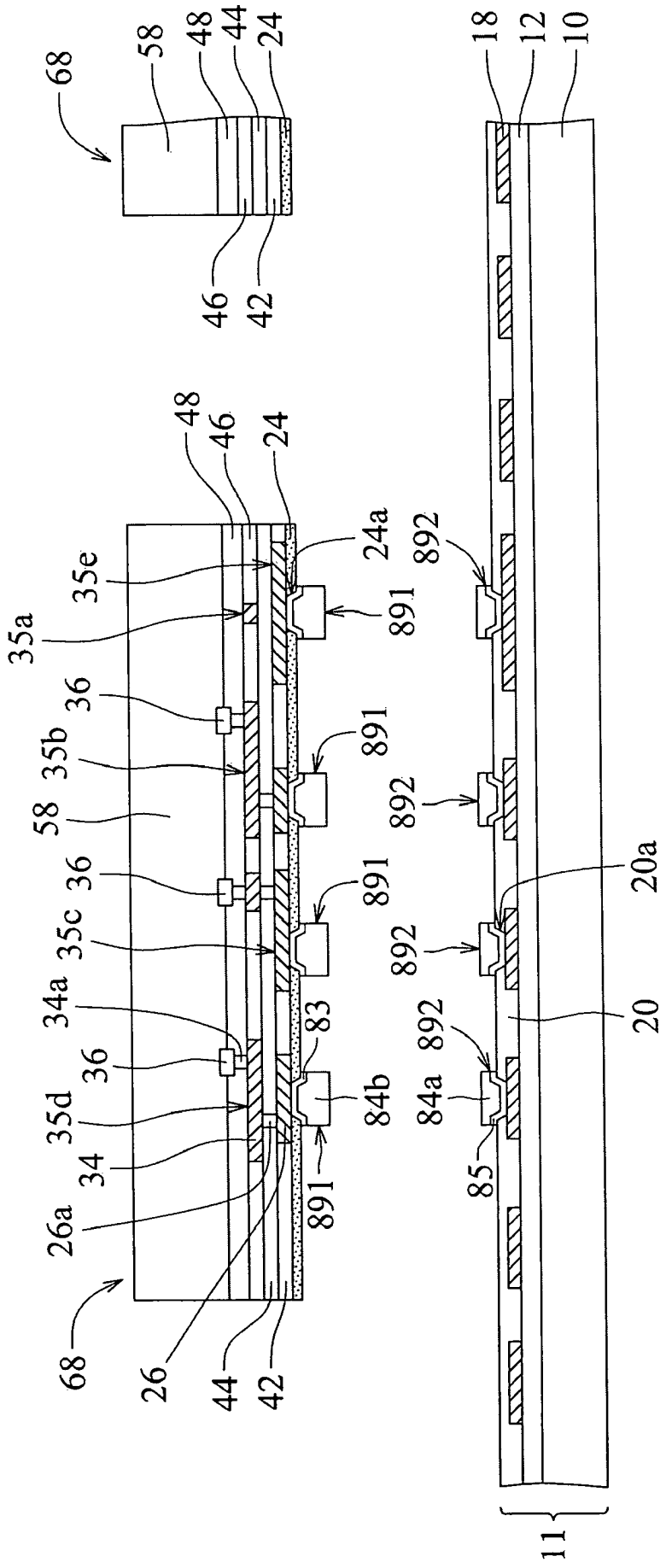

68
58
48
44
24
46
42
18
12
10
48
46
24
24a
892
35e
891
35a
36
891
35b
892
58
36
891
35c
892
20a
34a
83
892
36
84b
84a
35d
20
34
85
891
26a
68
26
44
42
11

圖110

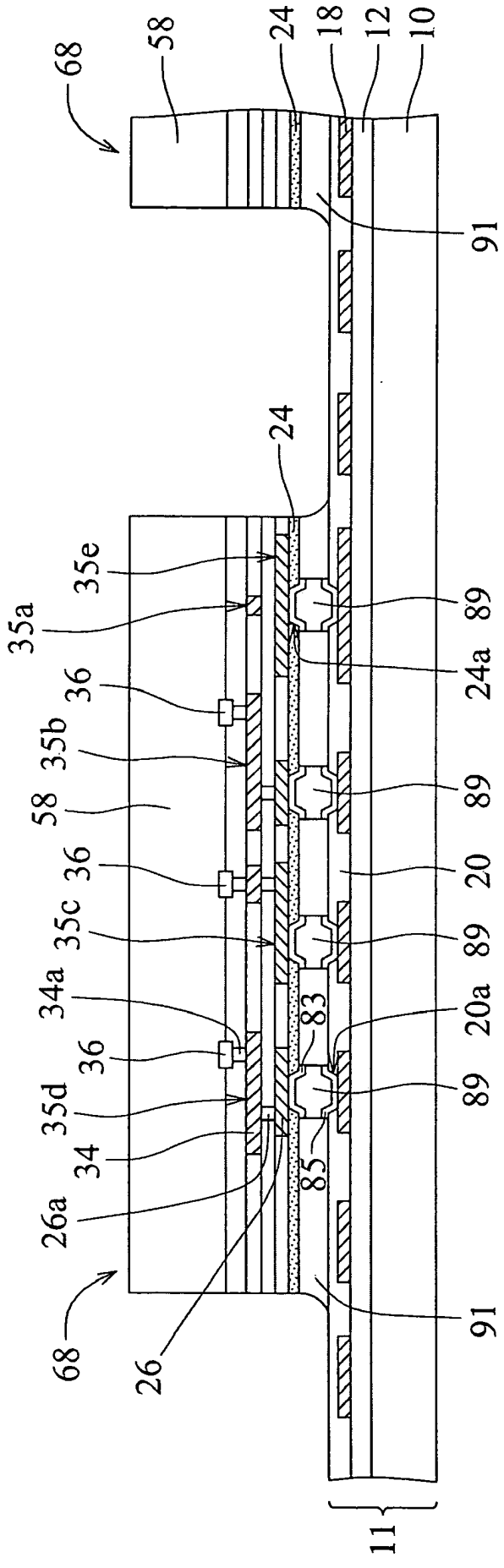

68
58
24
18
12
10
91
24
35e
35a
89
24a
36
35b
58
89
36
20
35c
89
34a
83
20a
36
89
35d
34
85
26a
91
68
26
11

圖111

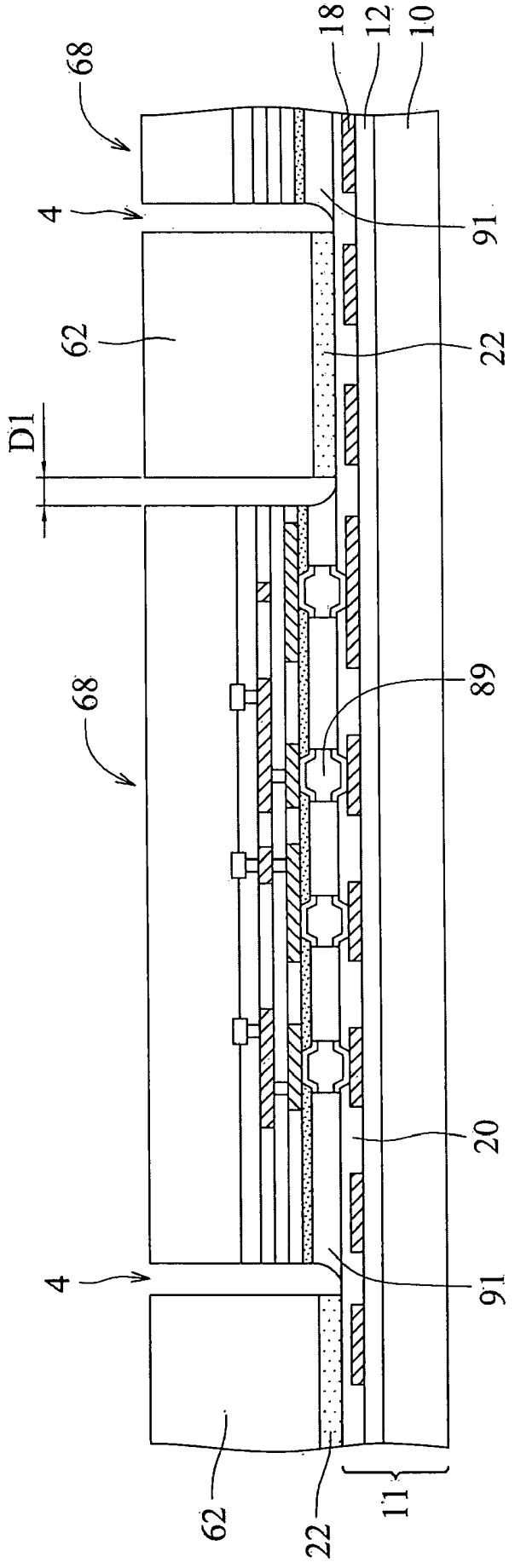


圖112

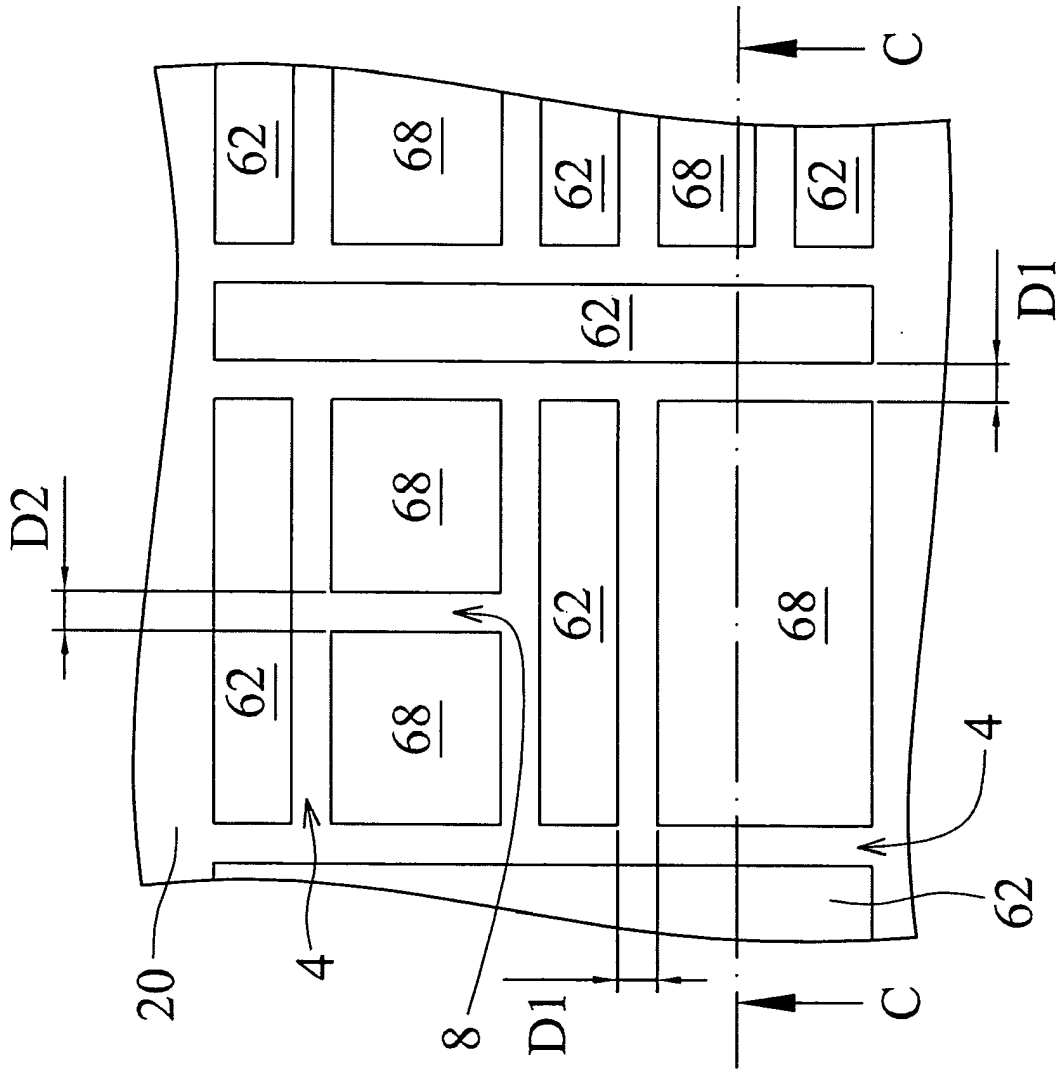


圖113

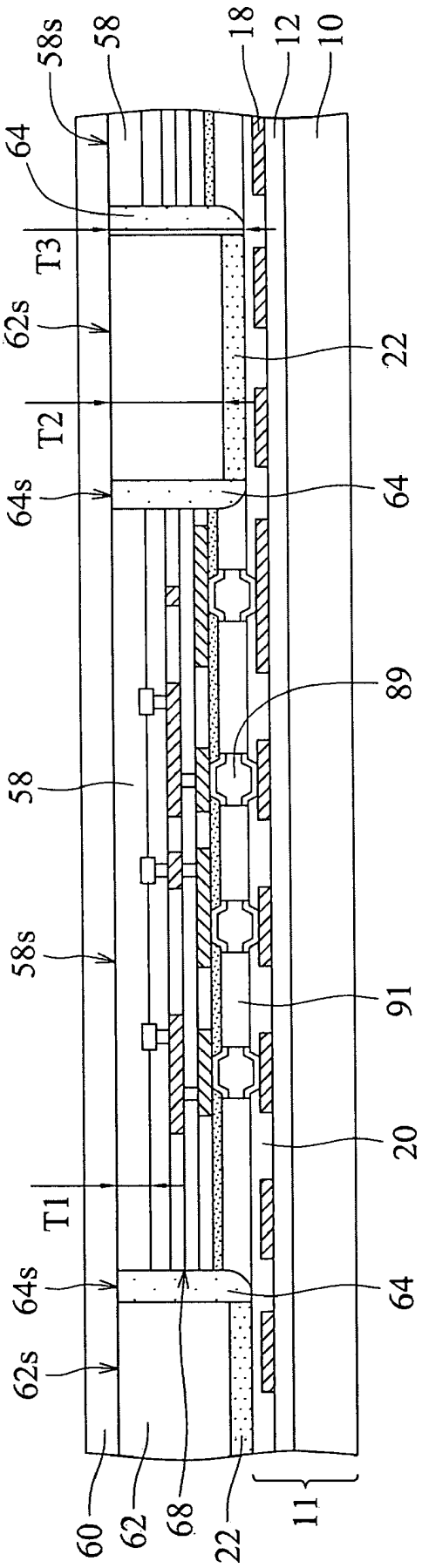

58s
58
18
12
10
64
T3
62s
22
T2
64s
64
89
58
58s
91
20
T1
64s
64
62s
60
62
68
22
11

圖114

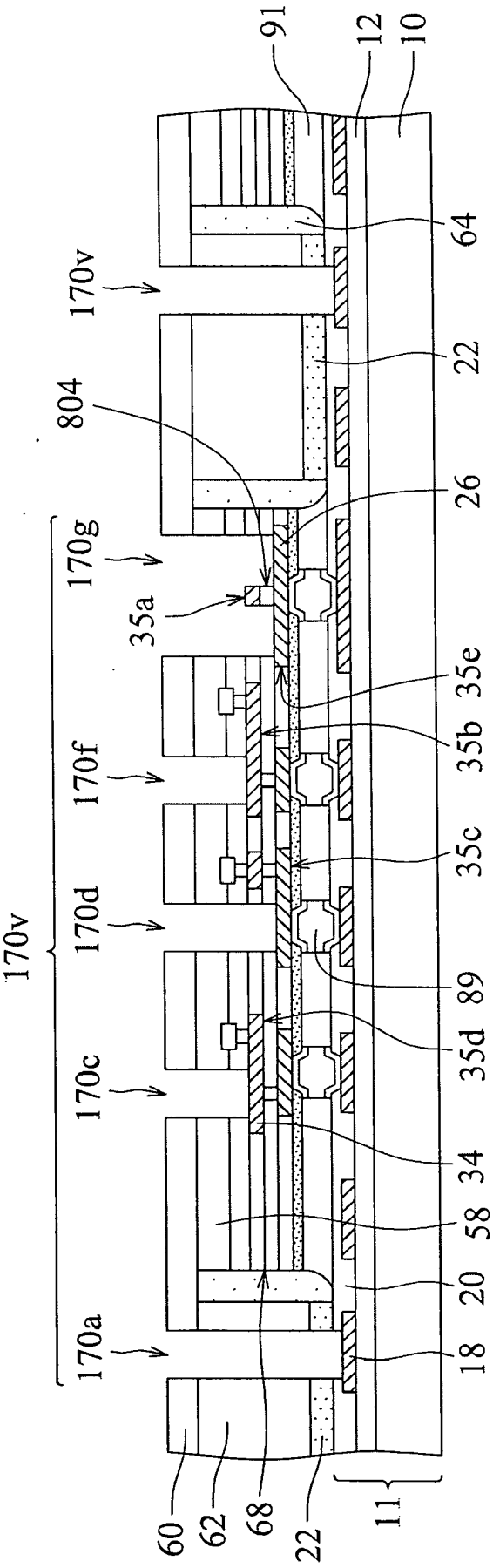

91
12
10
64
170v
804
22
26
170g
35a
35e
35b
170f
35c
170d
89
35d
170c
34
58
20
18
170a
60
62
68
22
11

圖115

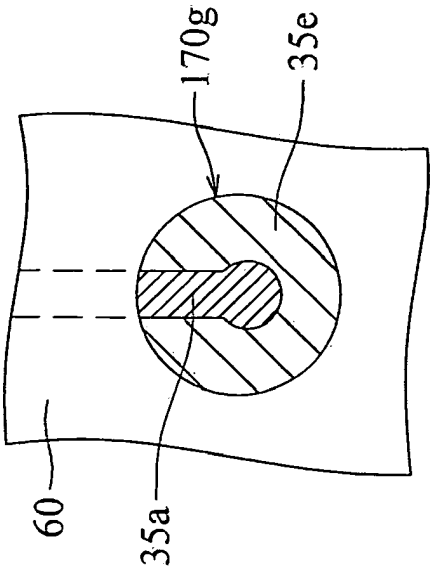


圖118

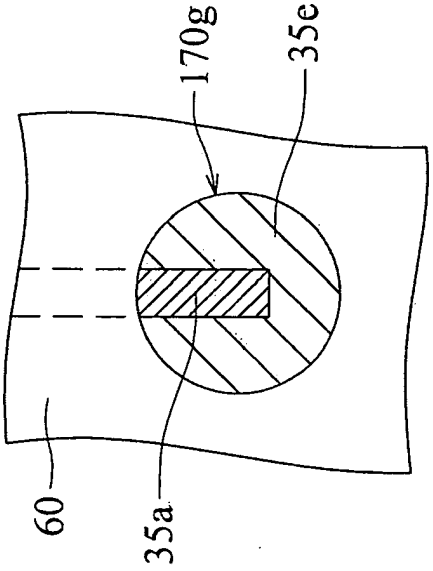


圖117

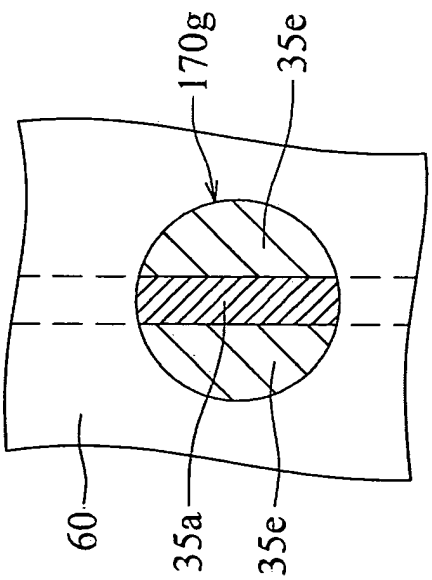


圖116

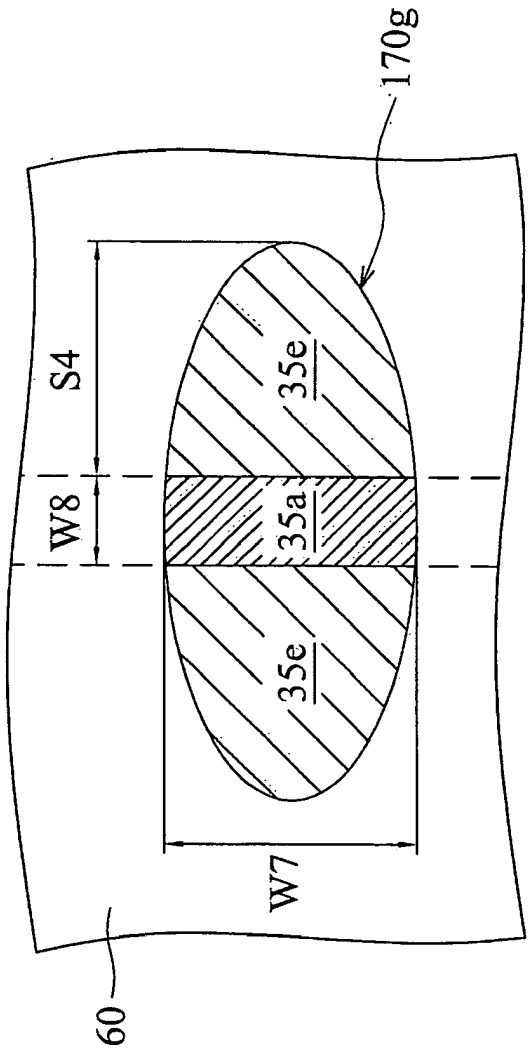


圖119

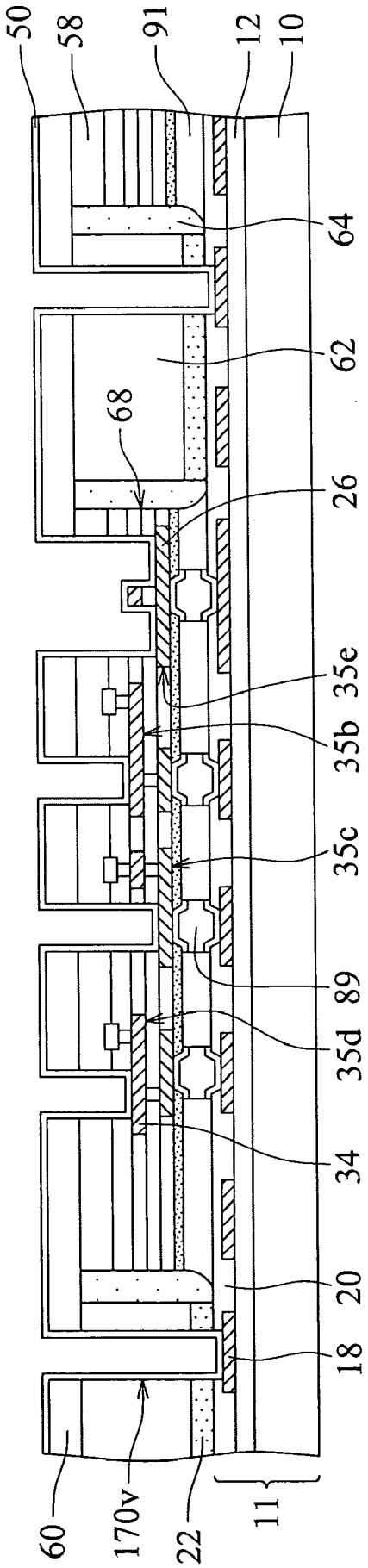

50
58
91
12
10
64
62
68
26
35e
35b
35c
89
35d
34
20
18
60
170v
22
11

圖120

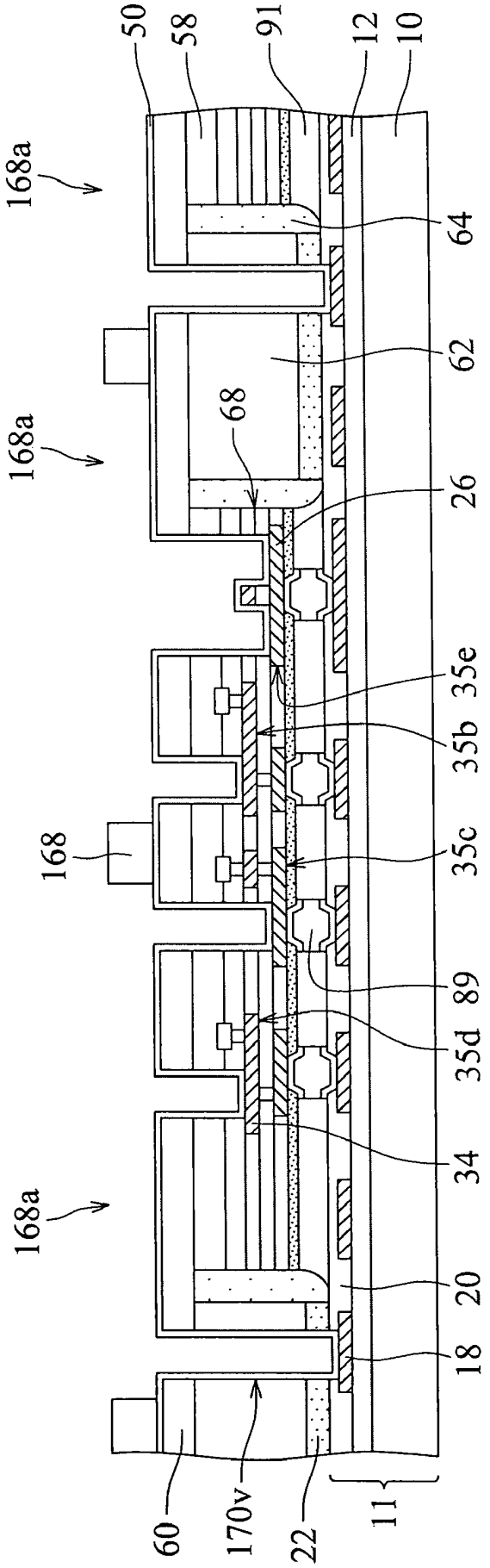

50
58
91
12
10
168a
64
62
68
168a
26
35e
35b
168
35c
89
35d
34
168a
20
18
60
170v
22
11

圖121

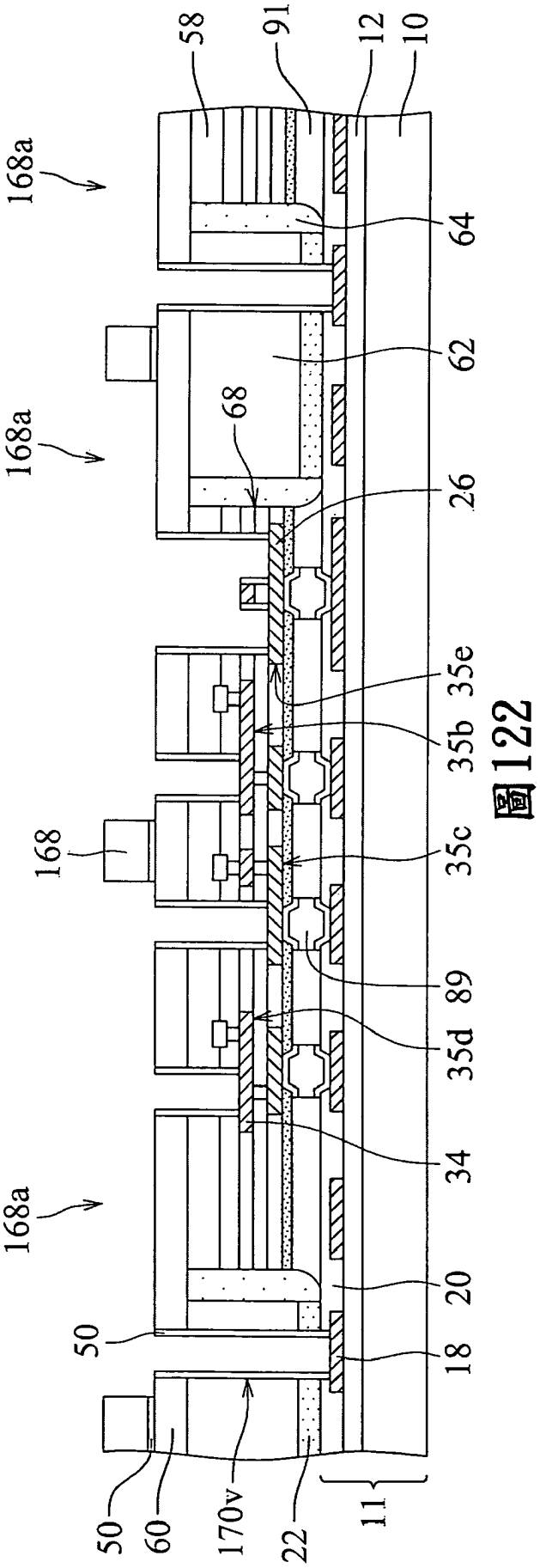

58
91
12
10
168a
64
62
68
26
35e
35b
35c
168
89
35d
34
20
50
18
50
60
170v
22
11

圖122

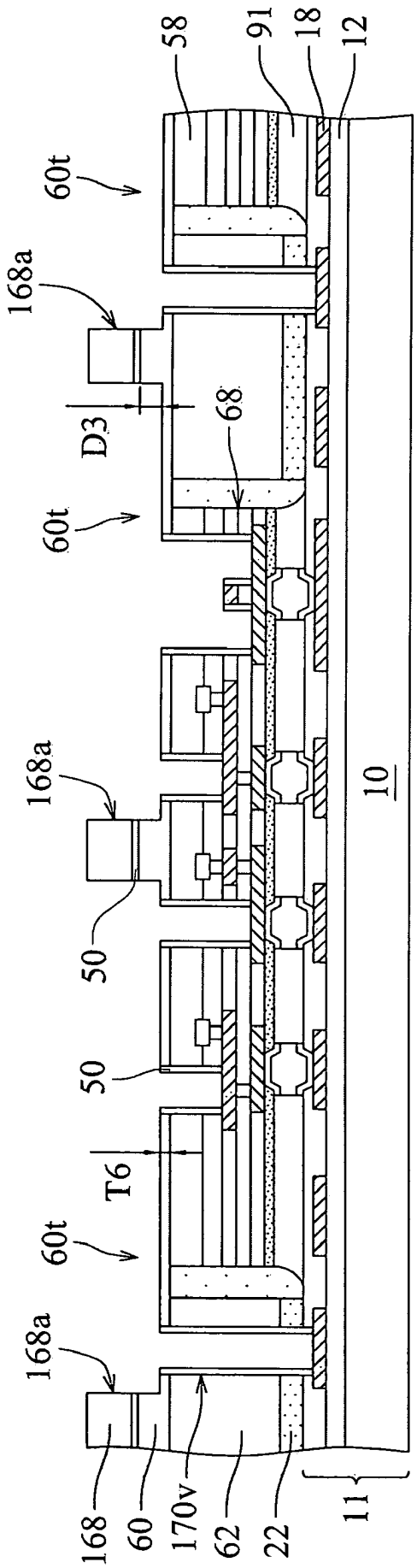

58
91
18
12
60t
168a
D3
68
50
T6
168
60
170v
62
22
11
10

圖123

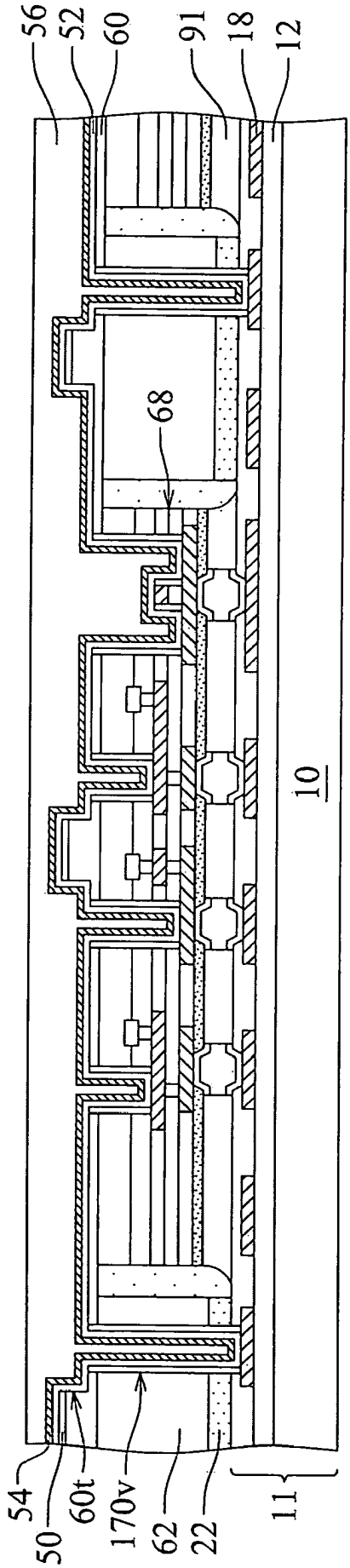

56
52
60
91
18
12
68
10
54
50
60t
170v
62
22
11

圖126

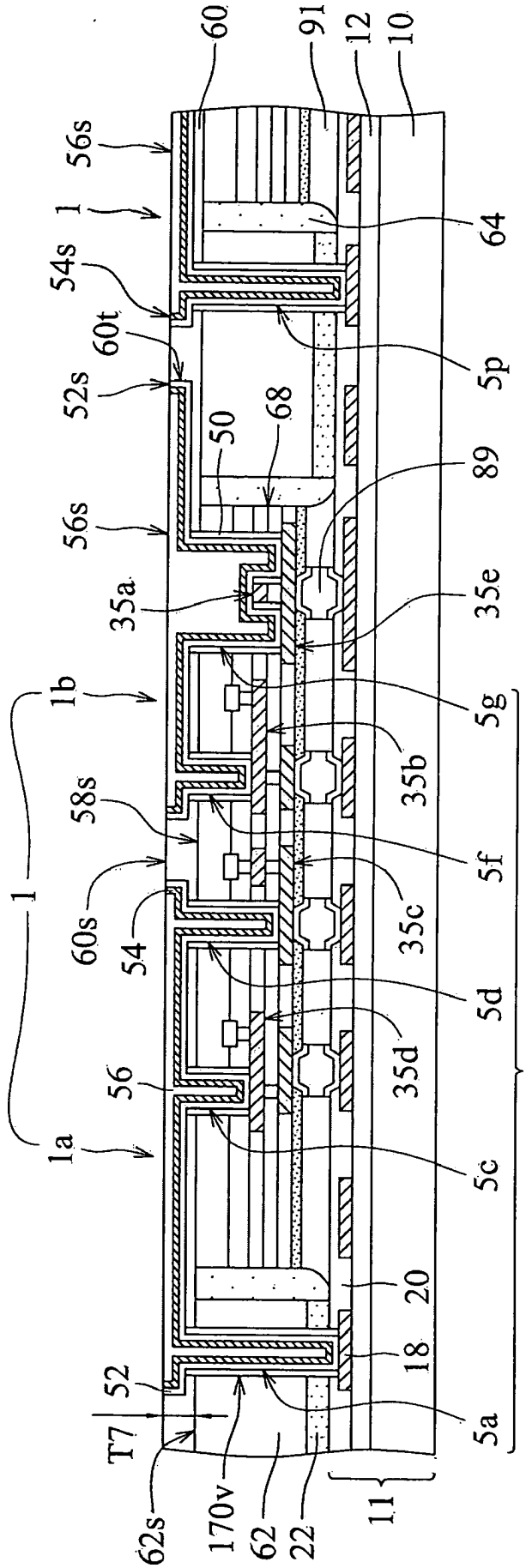

60
91
12
10
56s
1
64
54s
60t
5p
52s
50
68
89
56s
35a
35e
1b
5g
58s
35b
1
60s
54
35c
5f
5d
35d
56
5p
1a
5c
20
18
52
5a
T7
62s
170v
62
22
11

圖127

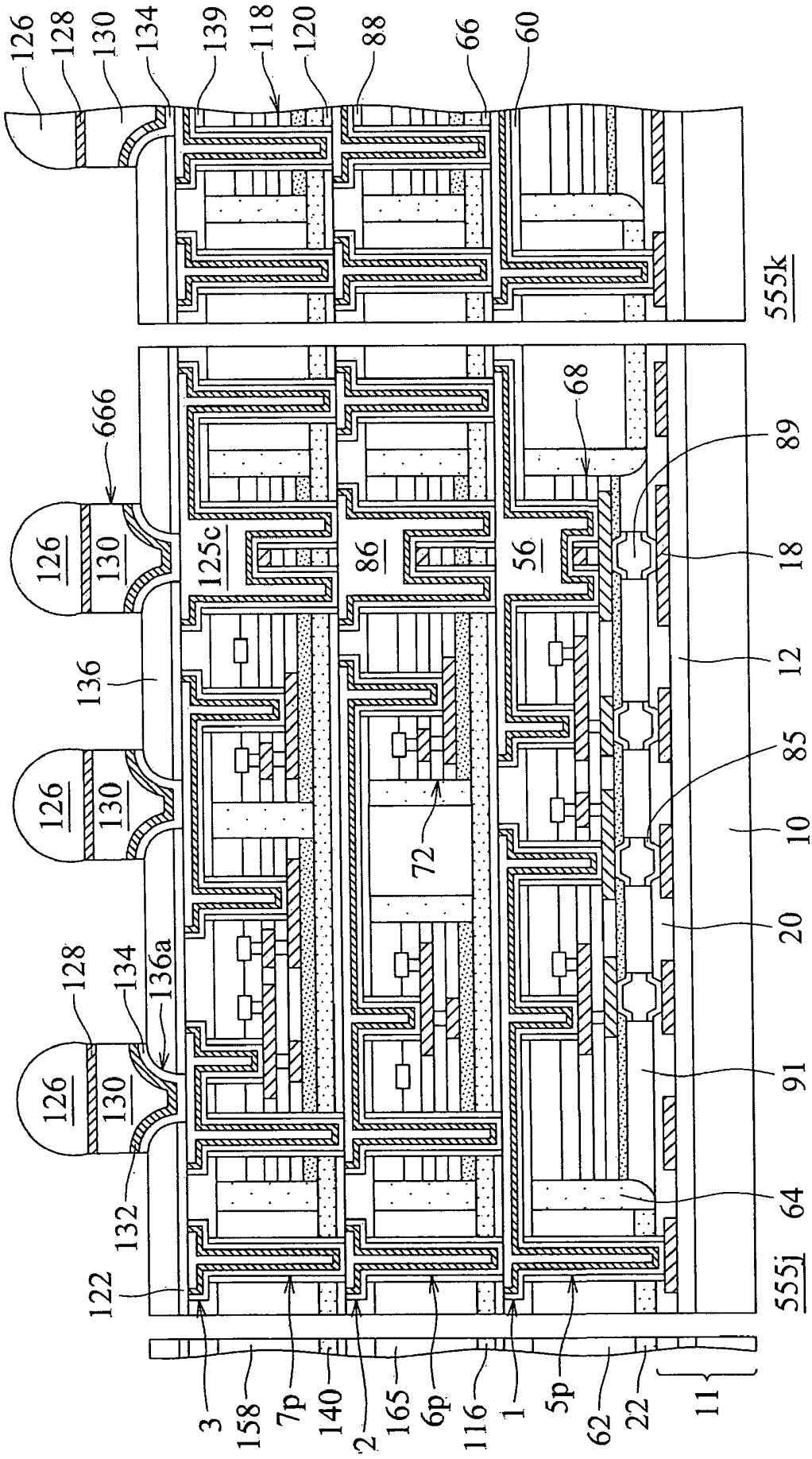

126
128
130
134
139
118
120
88
66
60
555k
666
68
89
126
130
125c
86
56
18
136
12
85
72
10
136a
20
91
64
132
122
555j
3
158
7p
140
2
165
6p
116
1
5p
62
22
11

圖128

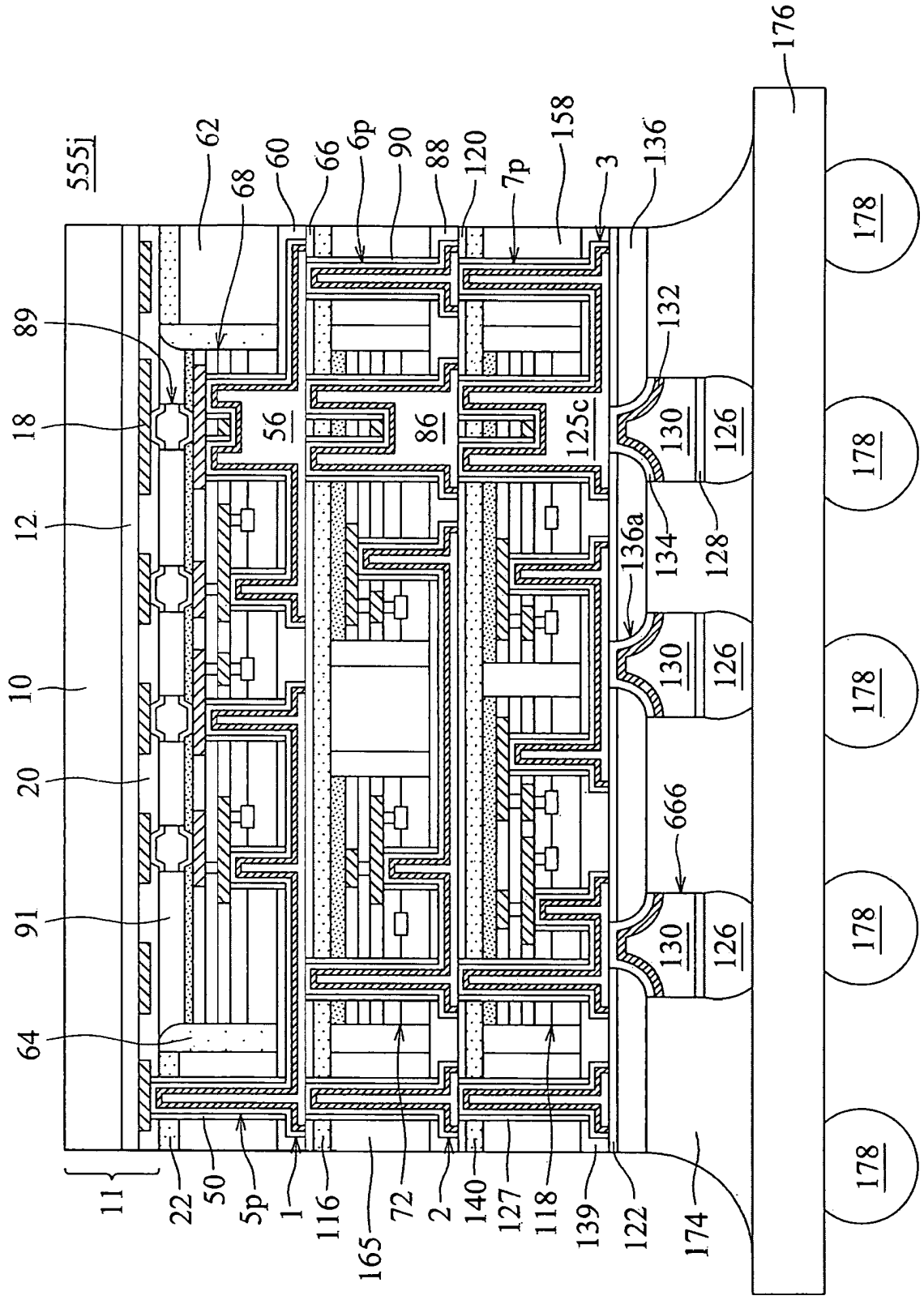

555j
62
68
60
66
6p
90
88
120
7p
158
3
136
176
89
18
12
10
20
91
64
56
86
125c
132
130
126
134
128
136a
178
666
11
22
50
5p
1
116
165
72
2
140
127
118
139
122
174

圖129

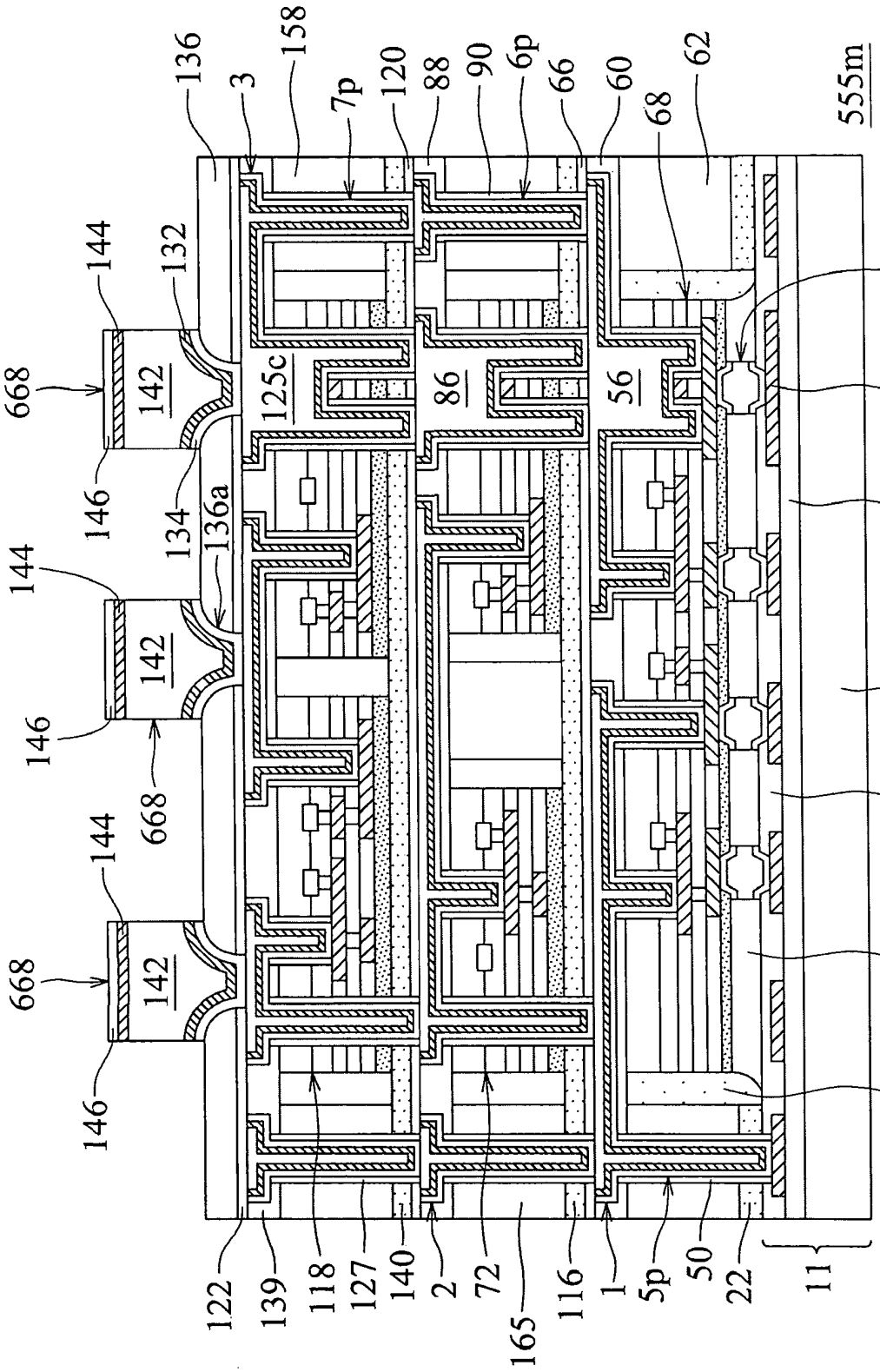

136
3
158
7p
120
88
90
6p
66
60
68
62
555m
144
132
668
142
125c
86
56
89
18
146
134
136a
12
144
142
146
668
10
144
142
668
20
91
146
64
122
139
118
127
140
2
72
165
116
1
5p
50
22
11

圖130

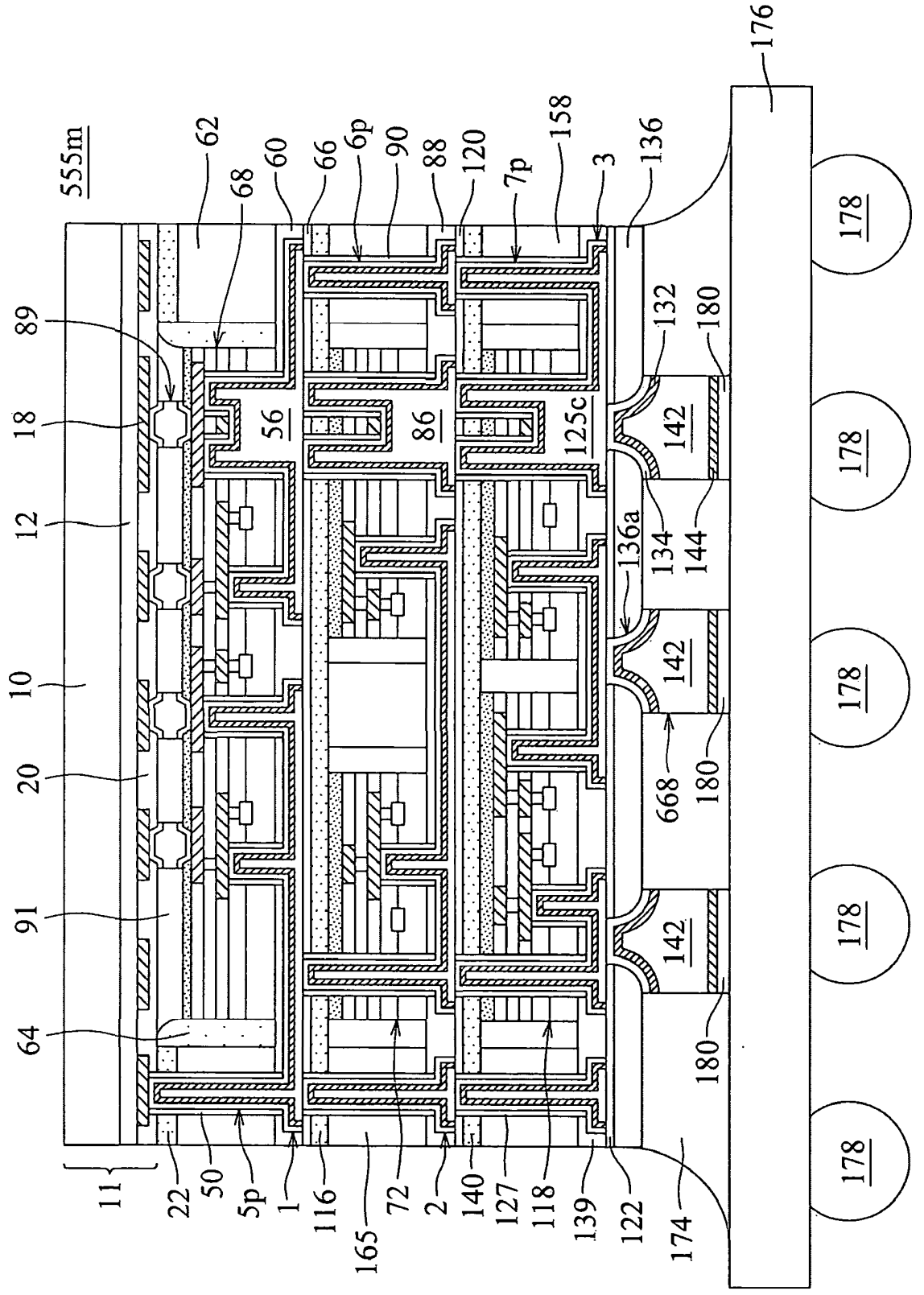

555m
62
68
60
66
6p
90
88
120
7p
158
3
136
176
89
18
12
10
20
91
64
56
86
125c
132
180
142
134
144
136a
668
178
11
22
50
5p
1
116
165
72
2
140
127
118
139
122
174

圖131

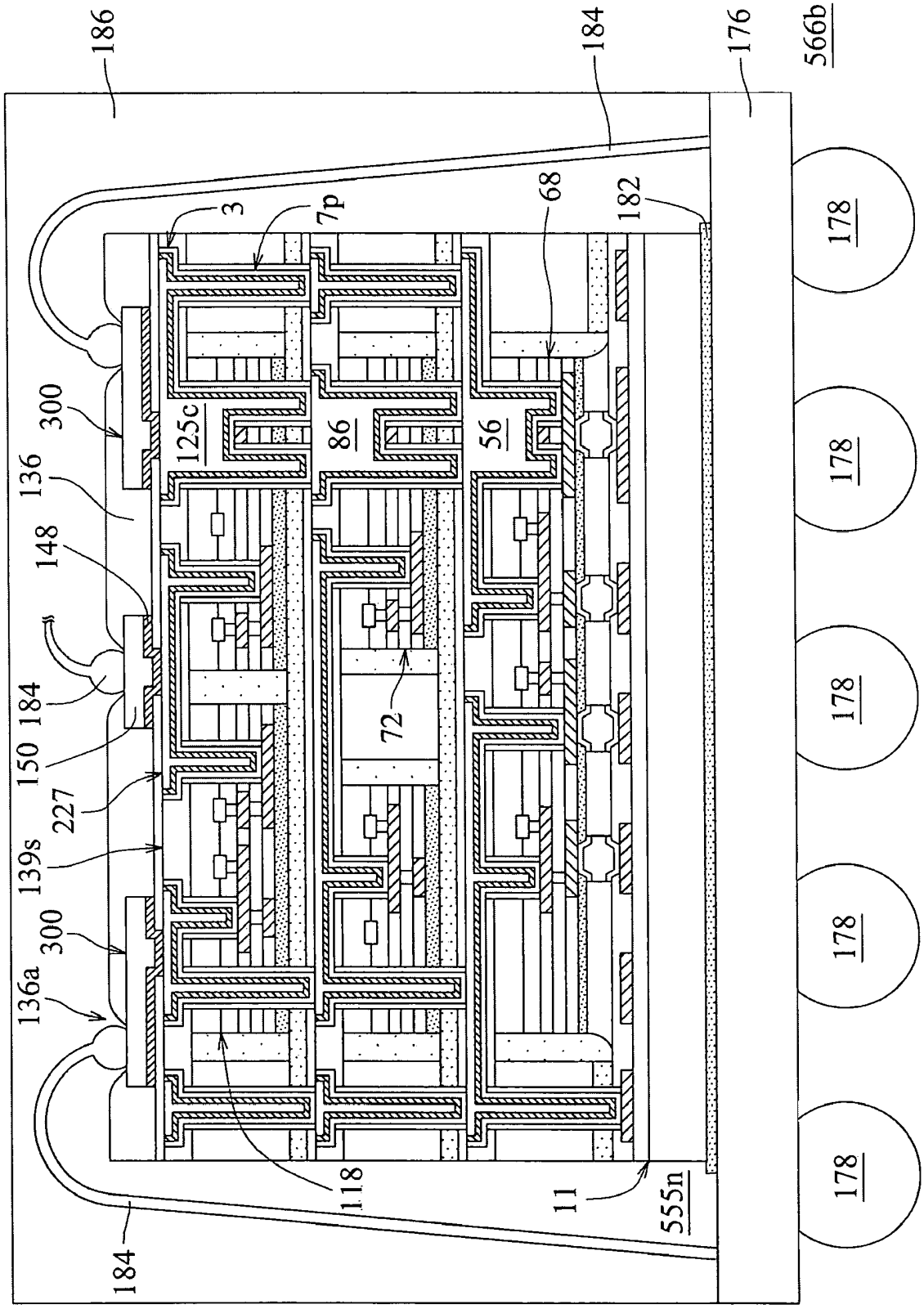

186
184
176
566b
3
7p
68
182
178
300
125c
86
56
136
148
184
72
150
227
139s
300
136a
118
11
555n
184

圖132

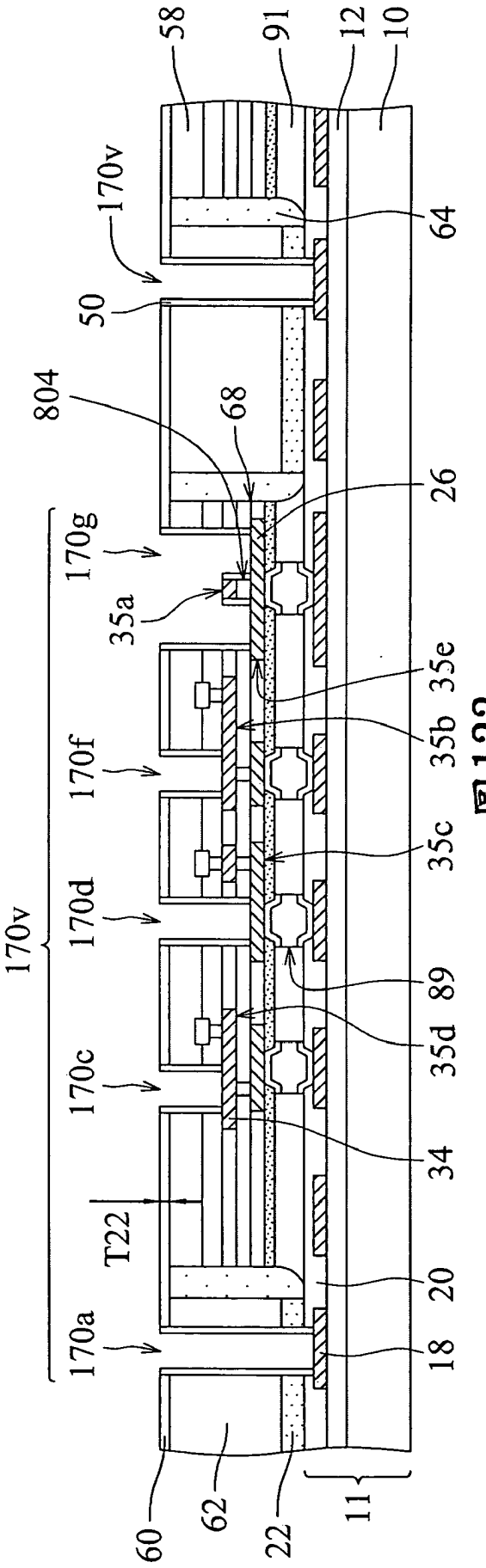

58
91
12
10
170v
64
50
804
68
26
170g
35a
35e
35b
170f
35c
170d
89
170v
35d
170c
34
T22
20
170a
18
60
62
22
11

圖133

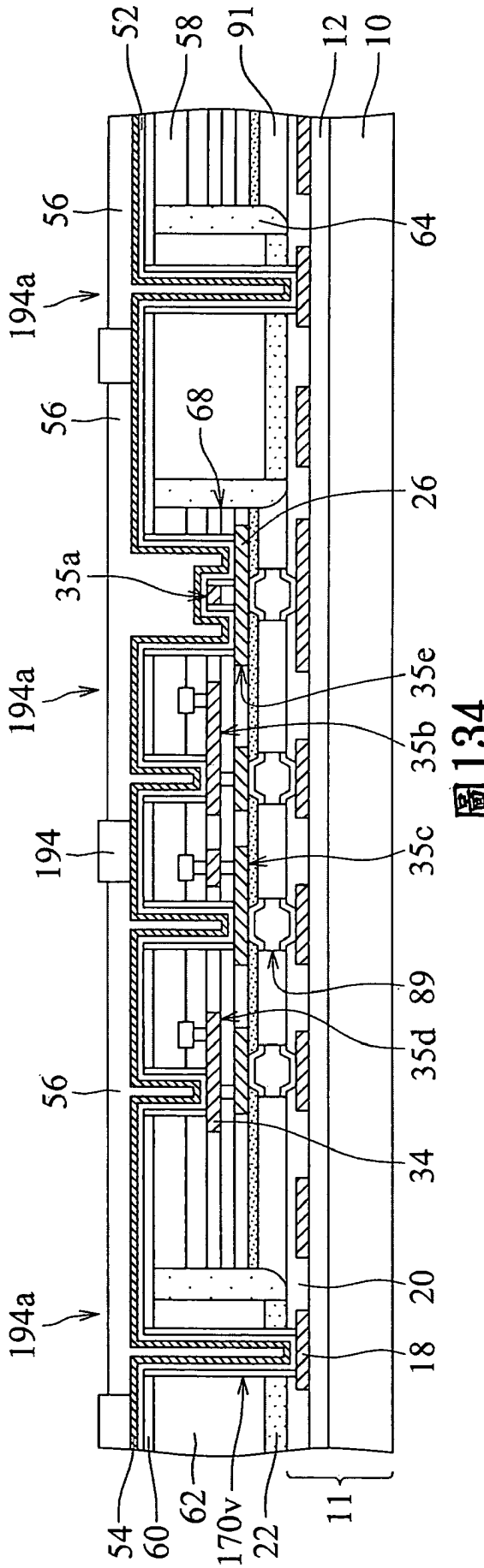

52
58
91
12
10
56
64
194a
56
68
26
35a
194a
35e
35b
194
35c
89
35d
56
34
20
194a
18
54
60
62
170v
22
11

圖134

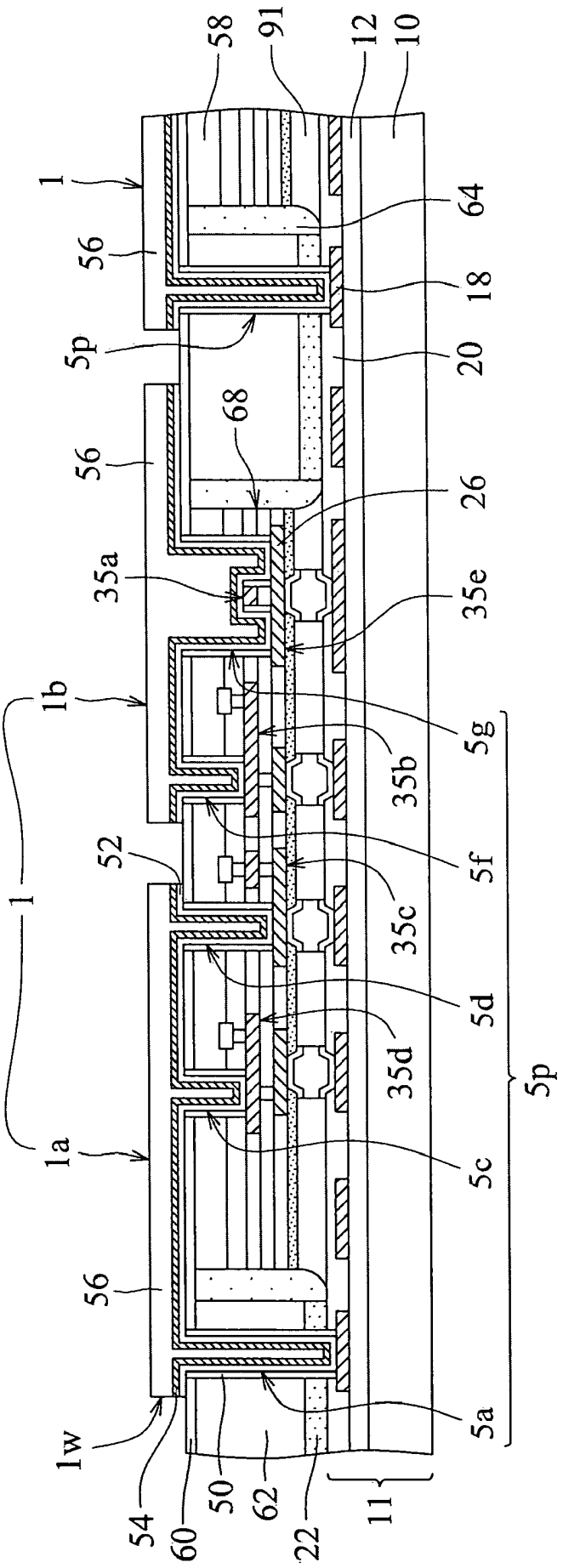

58
91
12
10
1
64
56
18
5p
20
68
56
26
35a
35e
1b
5g
35b
52
5f
1
35c
5d
35d
5p
1a
5c
56
5a
1w
54
60
50
62
22
11

圖135

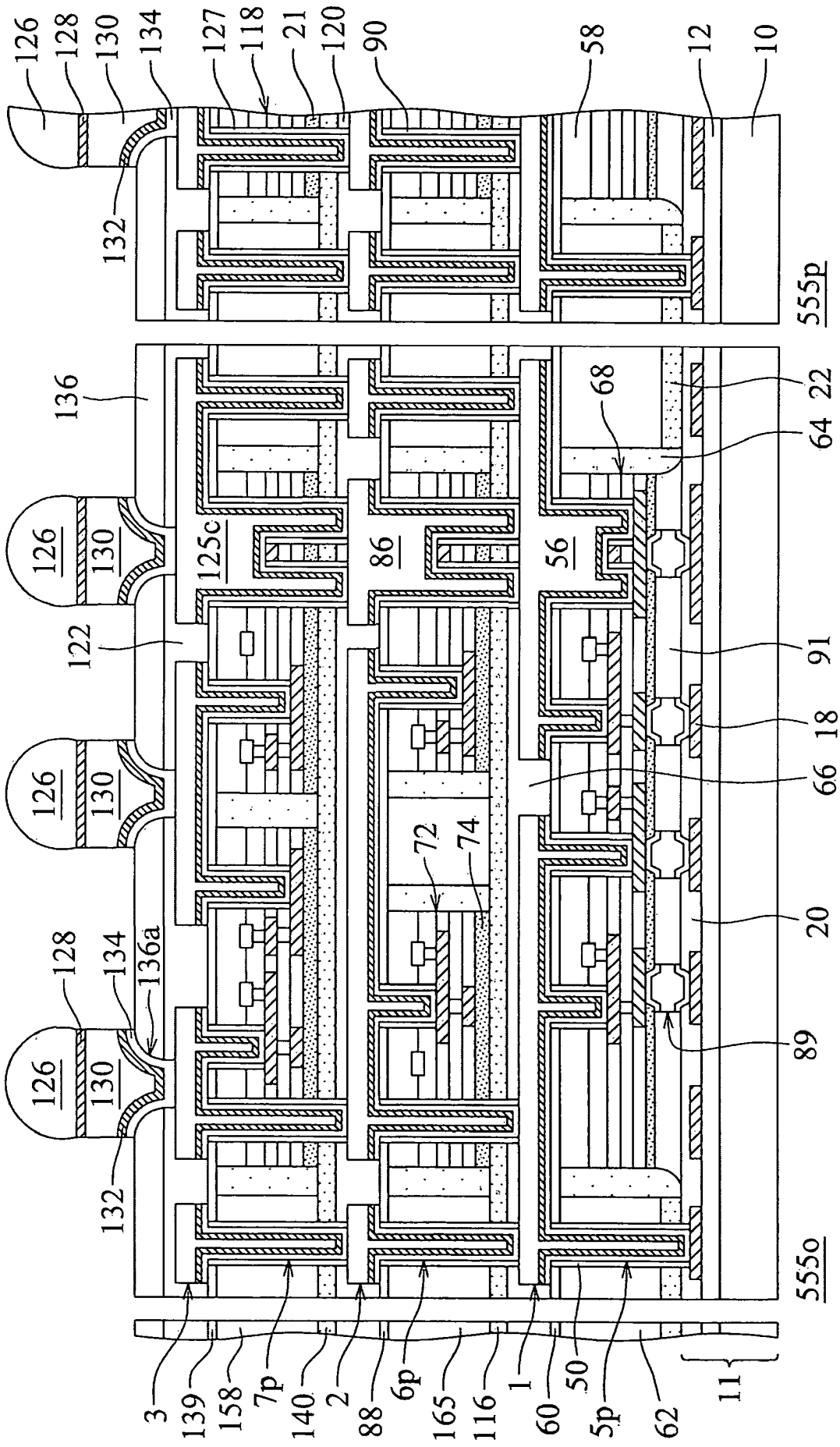

126
128
130
134
127
118
21
120
90
58
12
10
132
555p
136
68
22
64
126
130
125c
86
56
122
91
18
66
72
74
20
128
134
136a
89
132
555o
3
139
158
7p
140
2
88
6p
165
116
1
60
50
5p
62
11

圖136

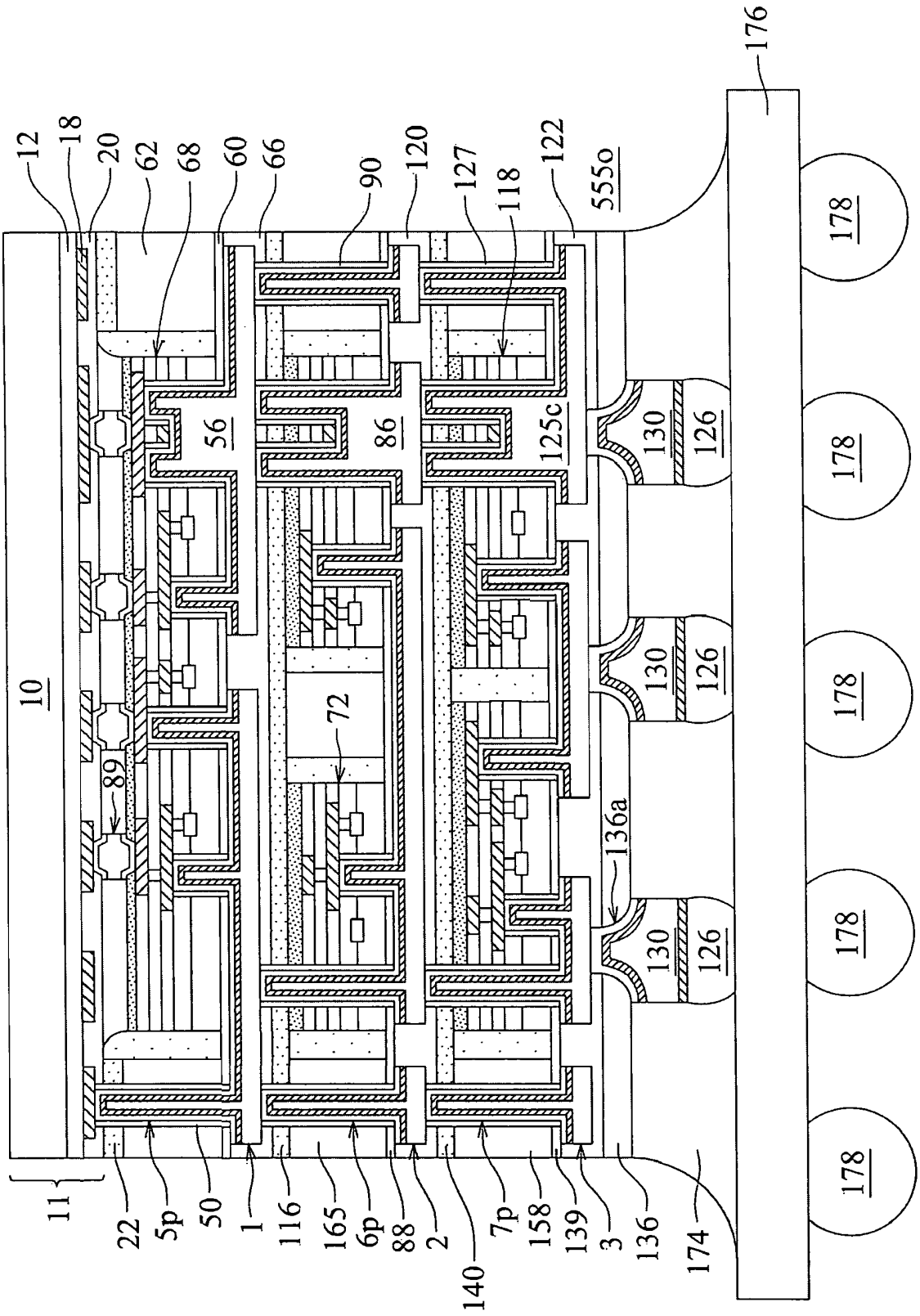

176
12
18
20
62
68
60
66
90
120
127
118
122
555o
178
178
178
178
178
56
86
125c
130
126
130
126
130
126
10
72
89
136a
11
22
5p
50
1
116
165
6p
88
2
140
7p
158
139
3
136
174

圖137

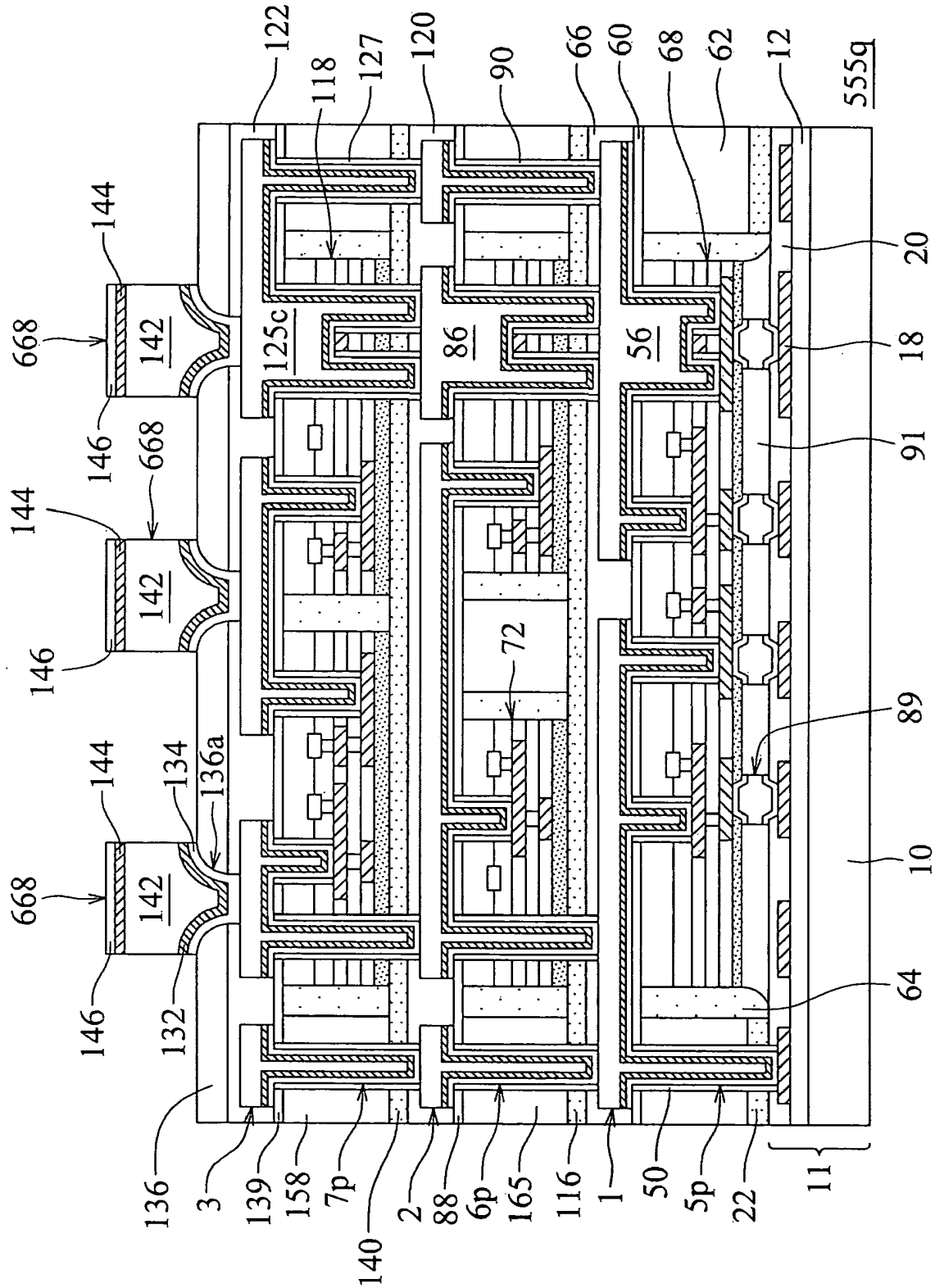

122
118
127
120
90
66
60
68
62
12
555q
144
668
142
125c
86
56
20
18
146
668
91
144
142
72
146
89
144
134
136a
668
142
10
146
132
64
136
3
139
158
7p
140
2
88
6p
165
116
1
50
5p
22
11

圖138

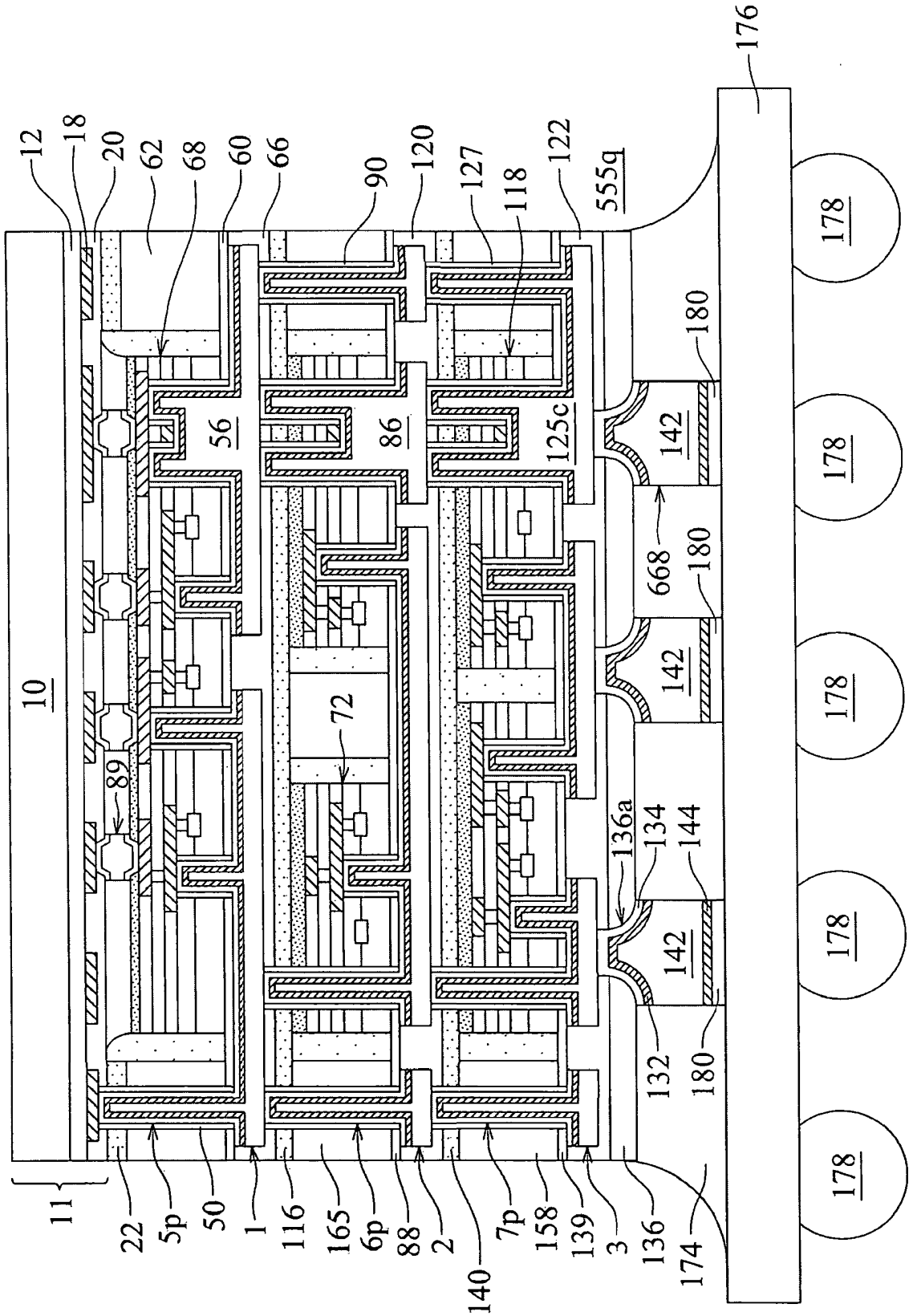

12
18
20
62
68
60
66
90
120
127
118
122
555q
176
178
180
142
668
56
86
125c
72
89
10
136a
134
144
132
11
22
5p
50
1
116
165
6p
88
2
140
7p
158
139
3
136
174

圖139

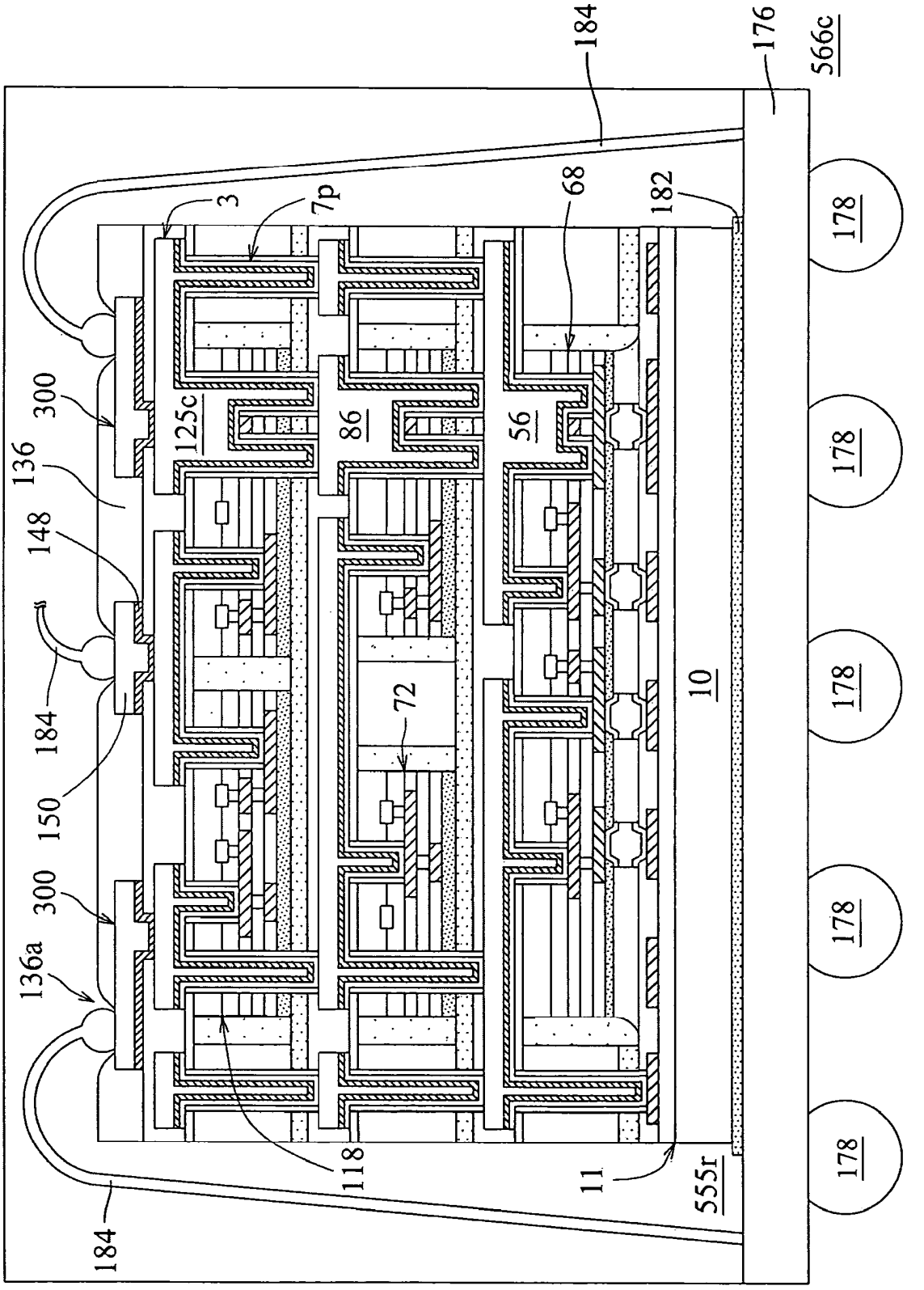

184
176
566c
3
7p
68
182
178
300
125c
86
56
136
148
184
150
72
10
300
136a
118
11
555r
184

圖140

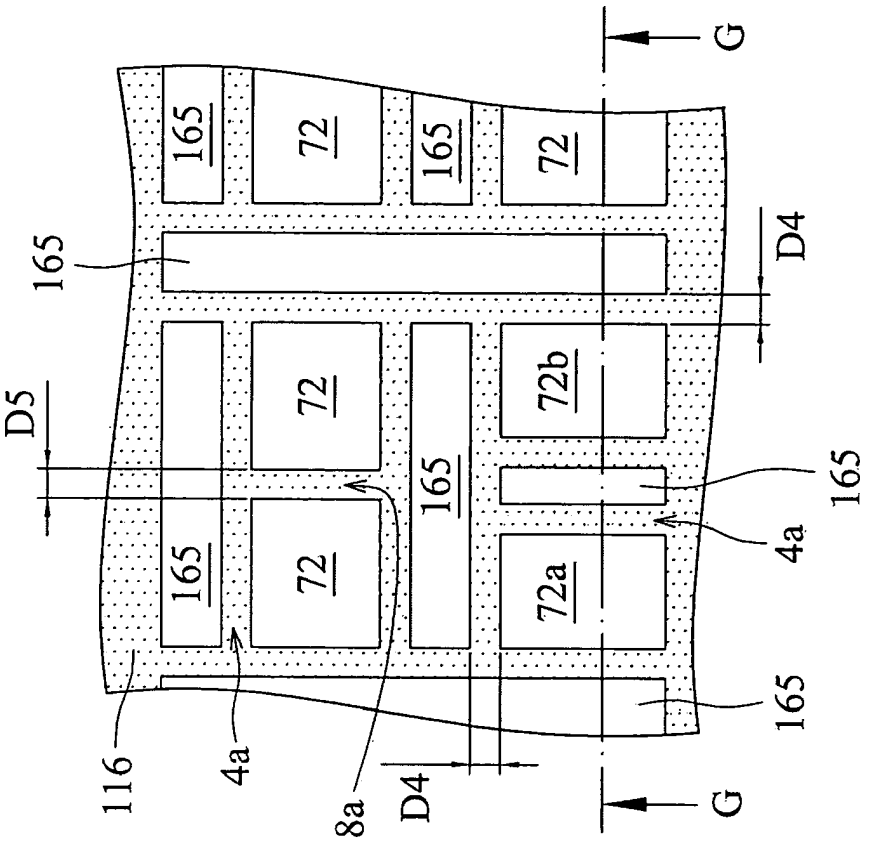

165
72
165
72
G
165
D4
D5
72
72b
165
165
72
165
4a
72a
165
116
4a
8a
D4
G

圖193

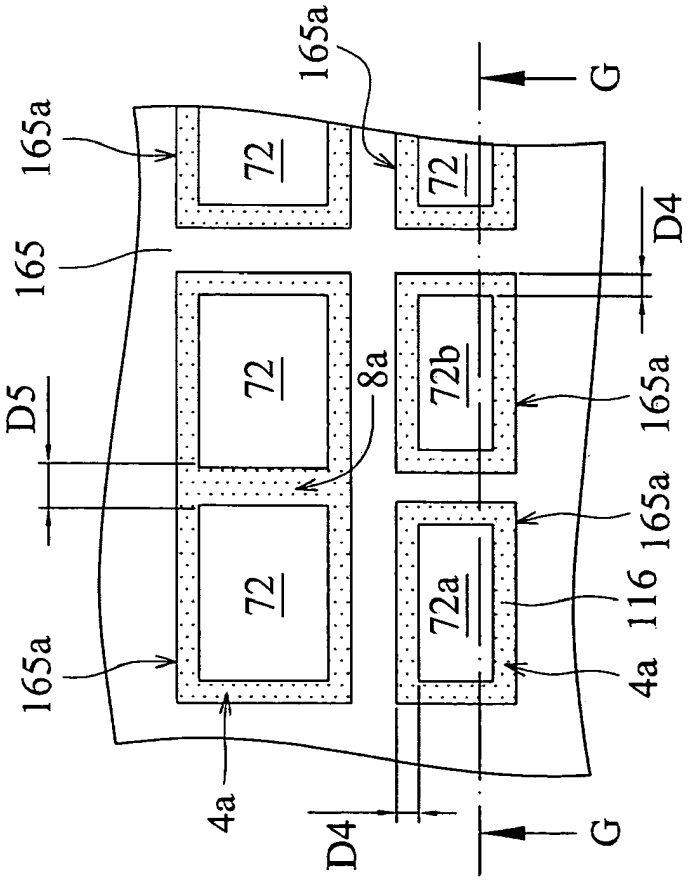

165a
165a
72
72
G
165
D4
D5
72
8a
72b
165a
165a
72
116
165a
72a
4a
4a
D4
G

圖192

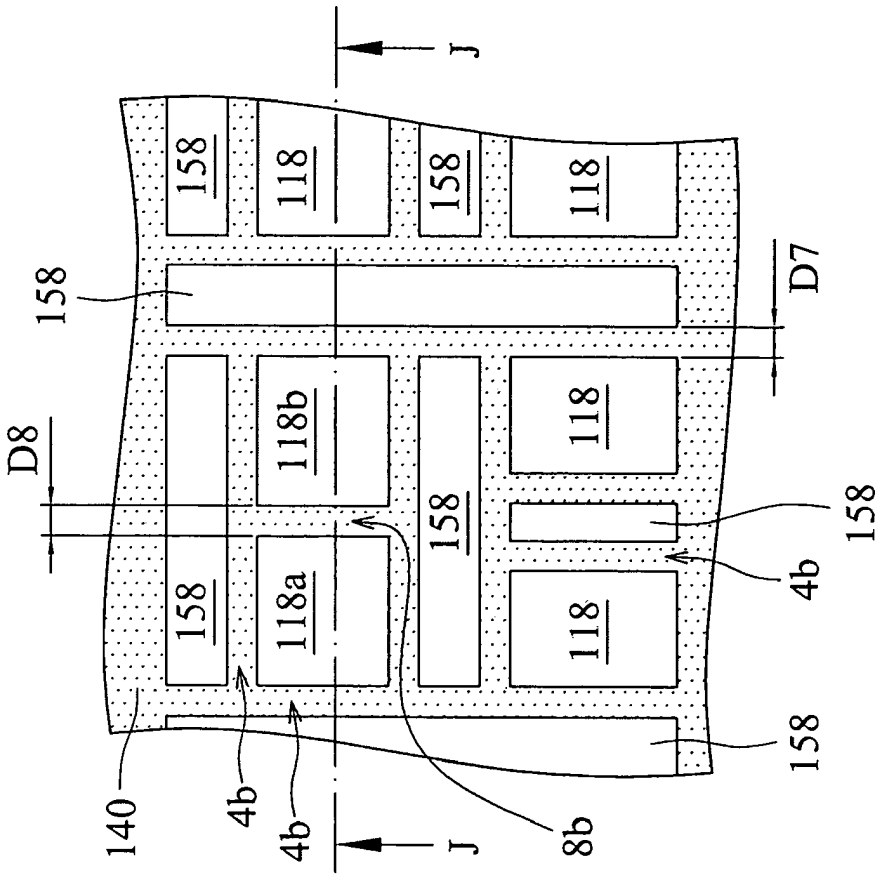

J
158
118
158
118
158
D7
D8
118b
118
158
158
118a
158
118
4b
158
140
4b
4b
J
8b

圖202

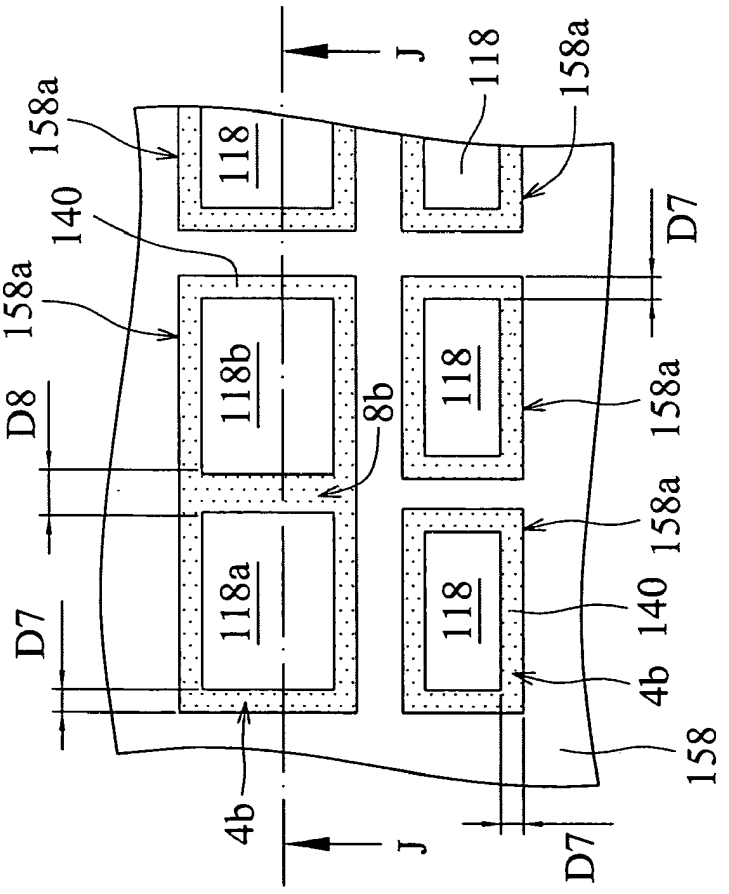

J
158a
118
118
158a
140
D7
158a
D8
118b
118
8b
158a
158a
D7
118a
118
140
4b
158
4b
J
D7

圖201

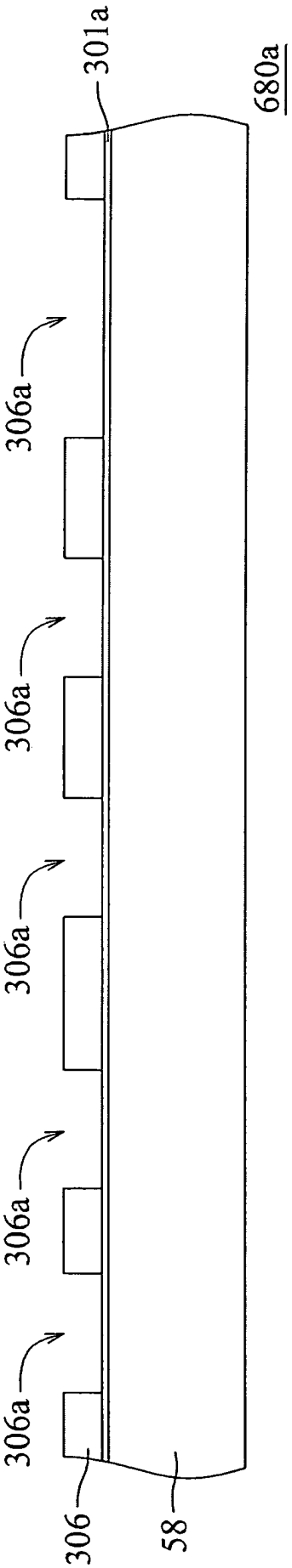

301a
680a
306a
306a
306a
306a
306a
306
58

圖212A

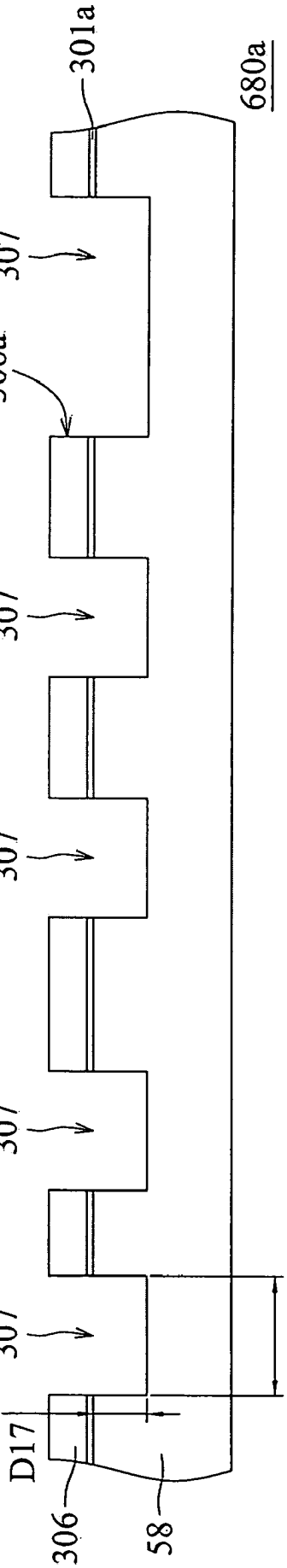

301a
680a
307
306a
307
307
307
307
W10
D17
306
58

圖212B

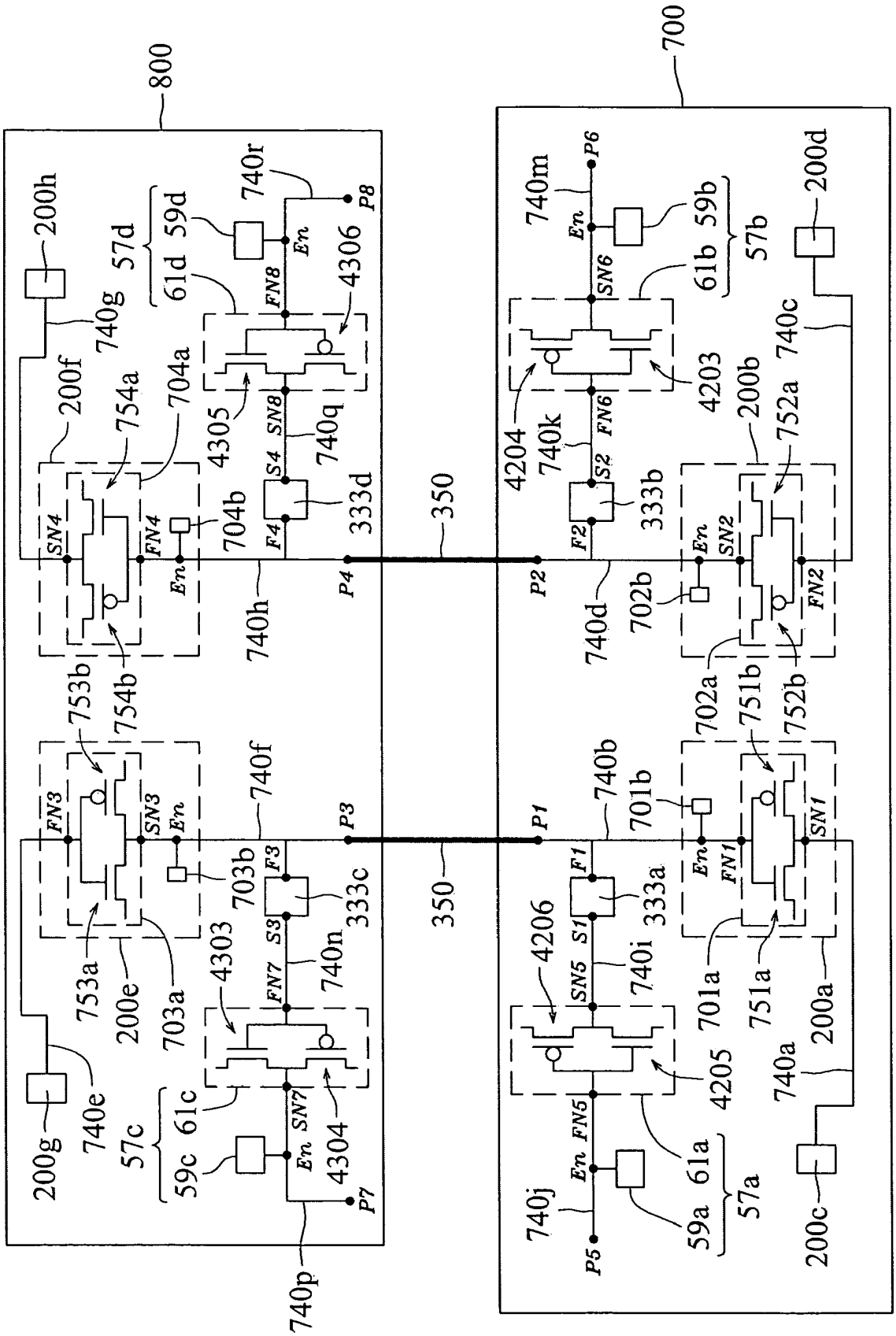

800
700
200h
57d
59d
61d
740r
740g
200f
754a
704a
4305
704b
740q
333d
350
753b
754b
740h
740f
703b
333c
753a
200e
703a
4303
740n
740e
57c
61c
59c
200g
4304
740p
P1
P2
P3
P4
P5
P6
P7
P8
740m
4204
740k
333b
740d
702b
200b
752a
740c
200d
59b
57b
61b
4203
702a
751b
752b
740b
701b
333a
740i
4206
701a
751a
4205
740j
59a
61a
57a
740a
200a
200c
SN4
FN4
En
S4
SN8
FN8
F4
SN3
FN3
F3
S3
FN7
SN7
F1
S1
SN5
FN5
F2
S2
FN6
SN6
SN2
FN2
SN1
FN1

圖276

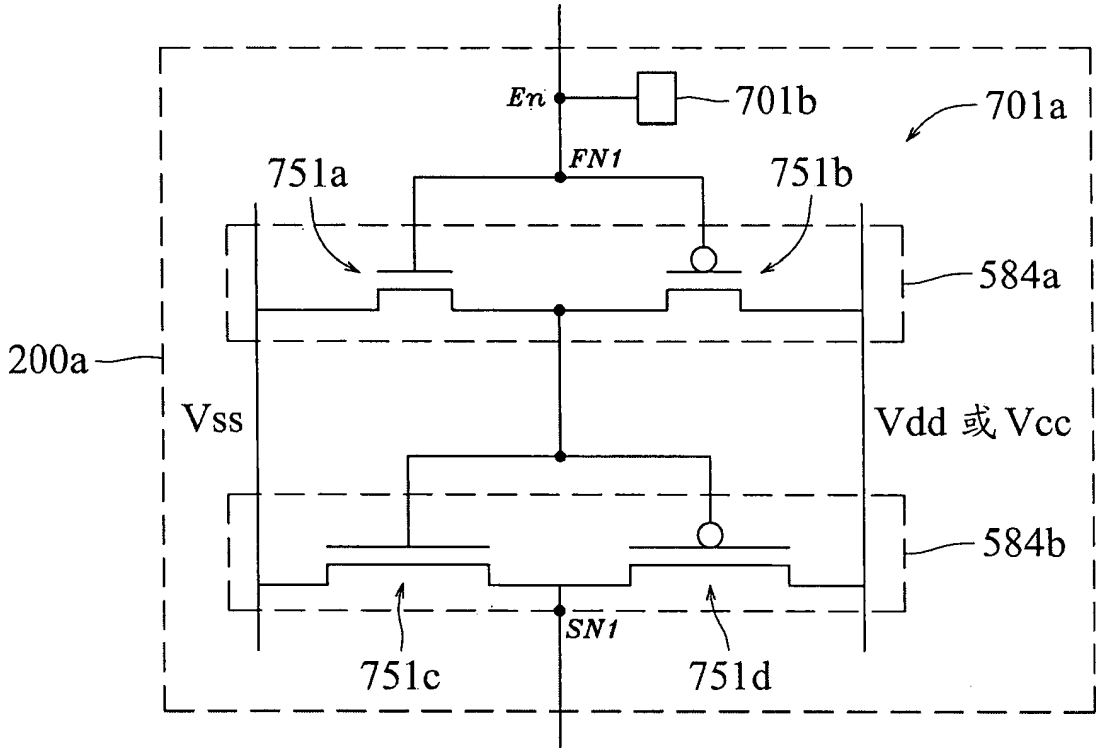

En
701b
701a
FN1
751a
751b
584a
200a
Vss
Vdd 或 Vcc
584b
SN1
751c
751d

圖277

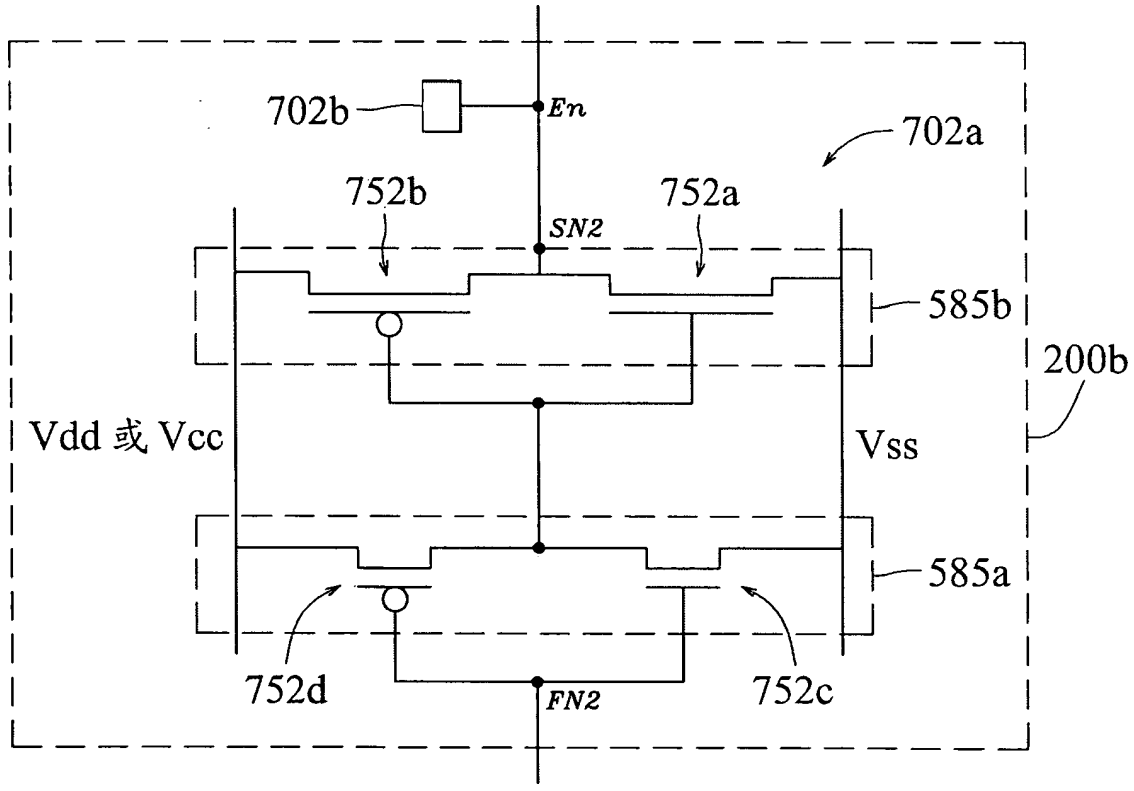

702b
En
702a
752b
752a
SN2
585b
200b
Vdd 或 Vcc
Vss
585a
752d
FN2
752c

圖278

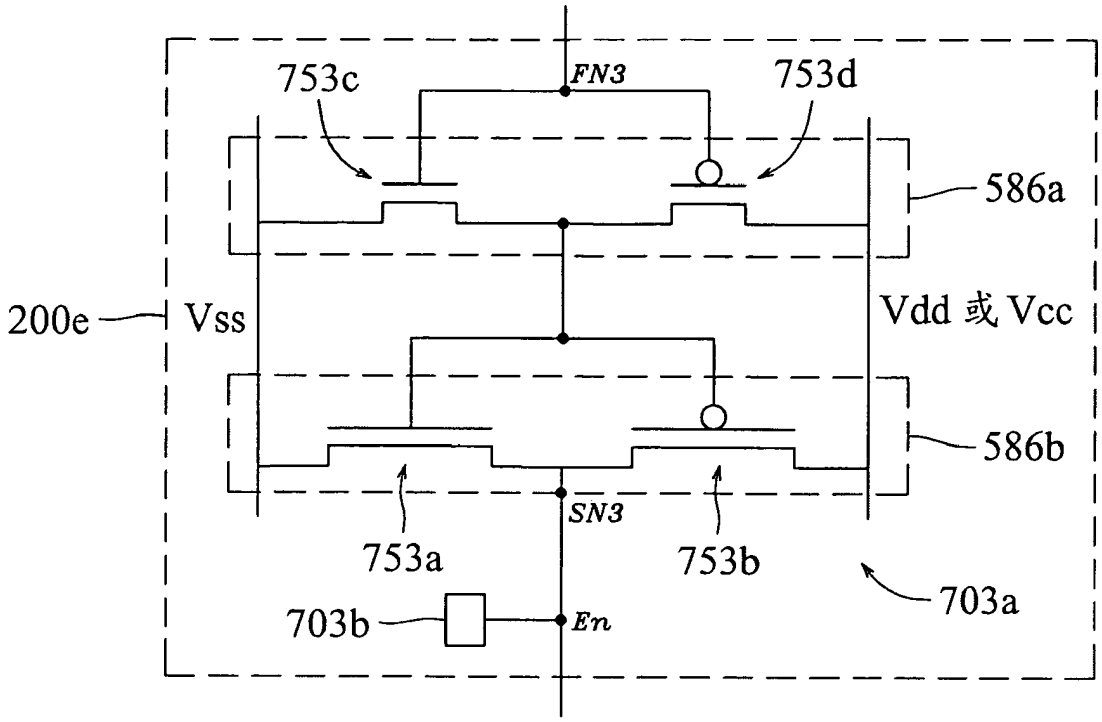

753c
FN3
753d
586a
200e
Vss
Vdd 或 Vcc
586b
SN3
753a
753b
703a
703b
En

圖279

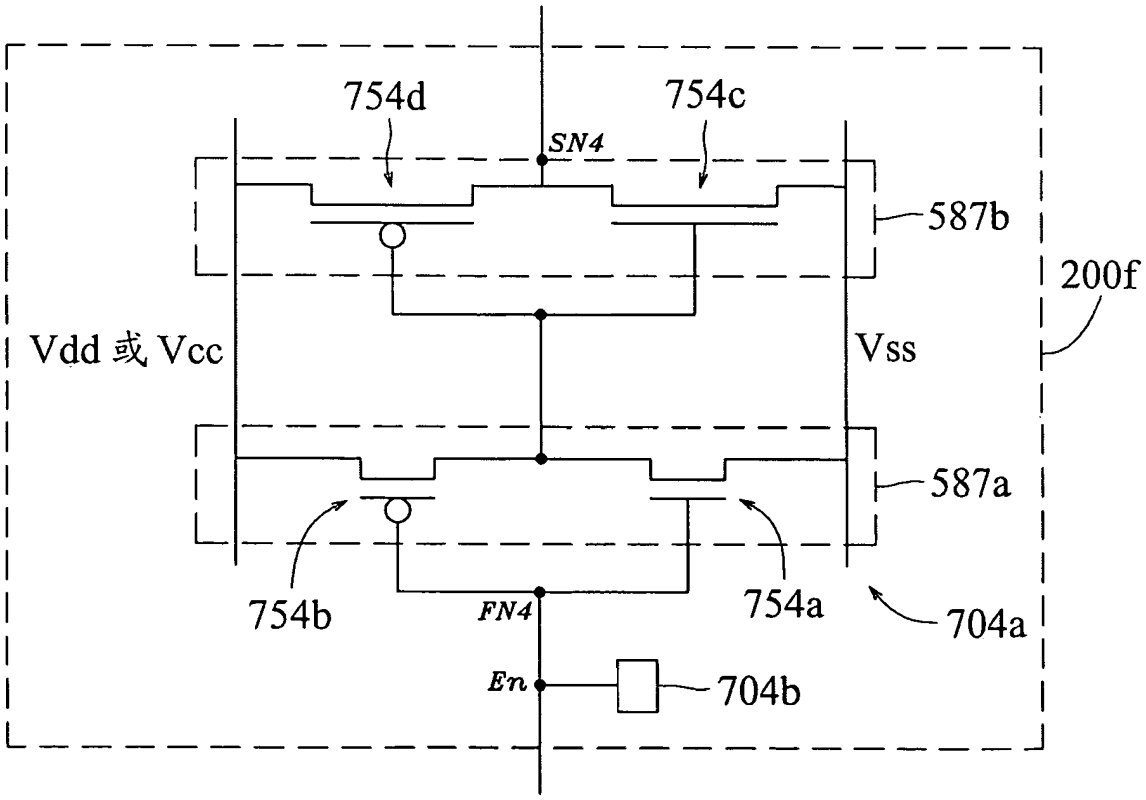

754d
754c
SN4
587b
200f
Vdd 或 Vcc
Vss
587a
754b
FN4
754a
704a
En
704b

圖280

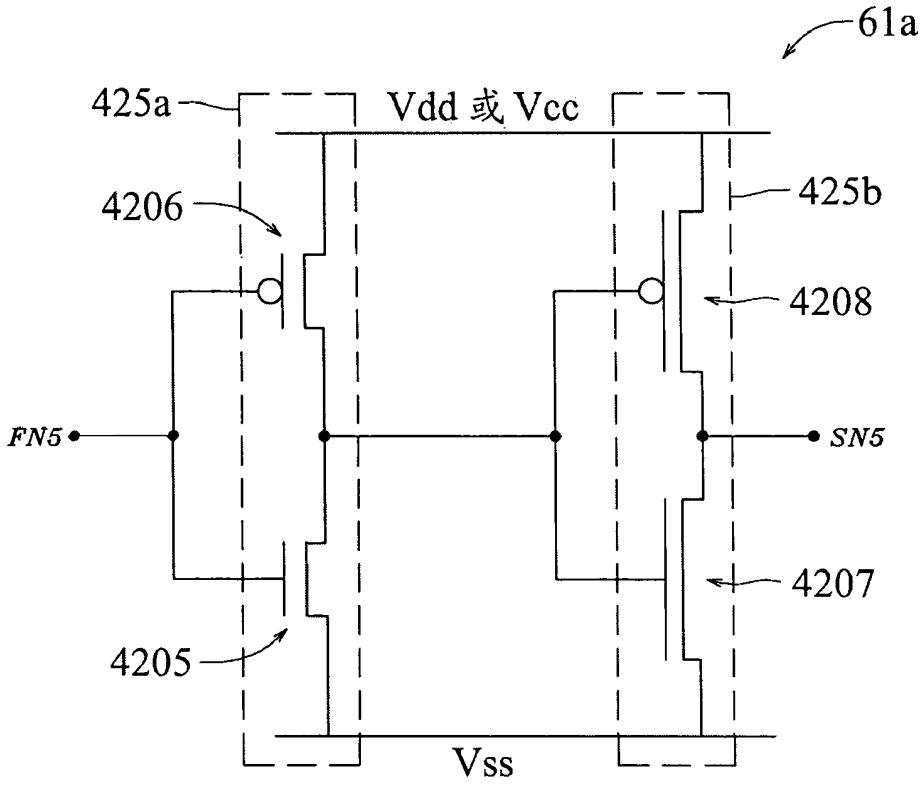

61a
425a
Vdd 或 Vcc
4206
425b
4208
FN5
SN5
4207
4205
Vss

圖281

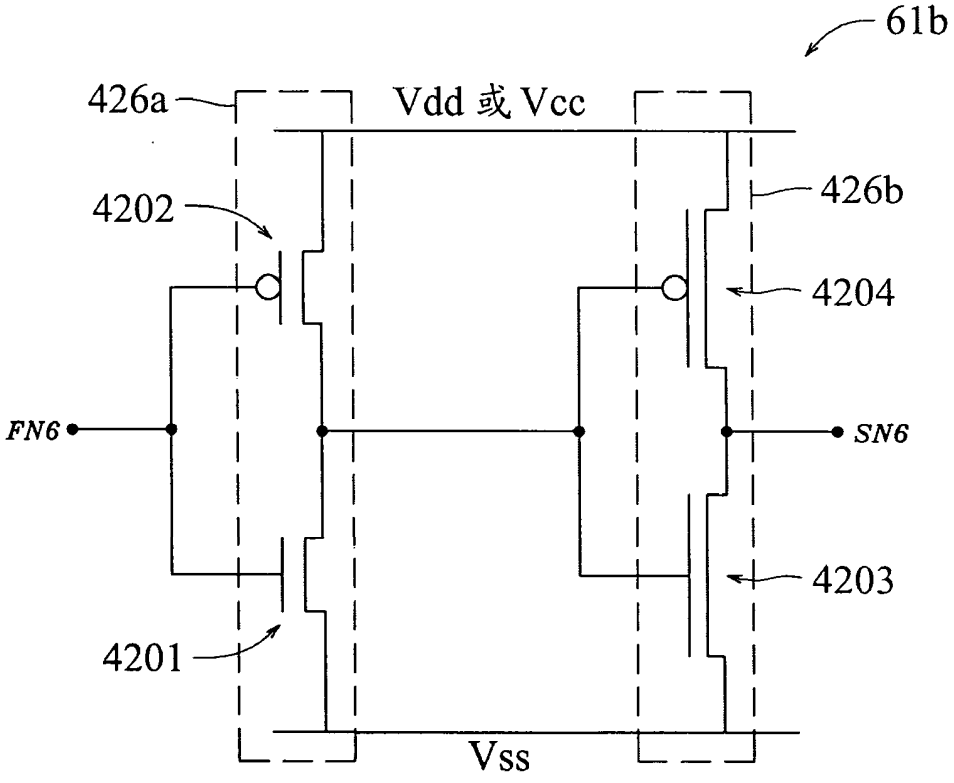

61b
426a
Vdd 或 Vcc
4202
426b
4204
FN6
SN6
4203
4201
Vss

圖282

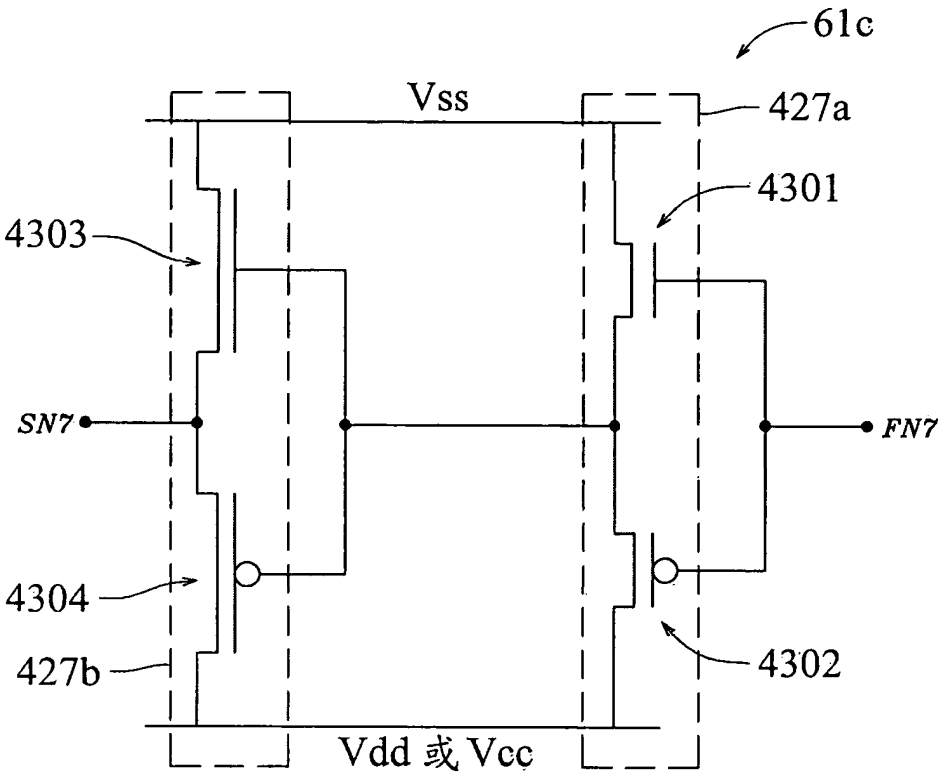

61c
Vss
427a
4301
4303
SN7
FN7
4304
427b
4302
Vdd 或 Vcc

圖283

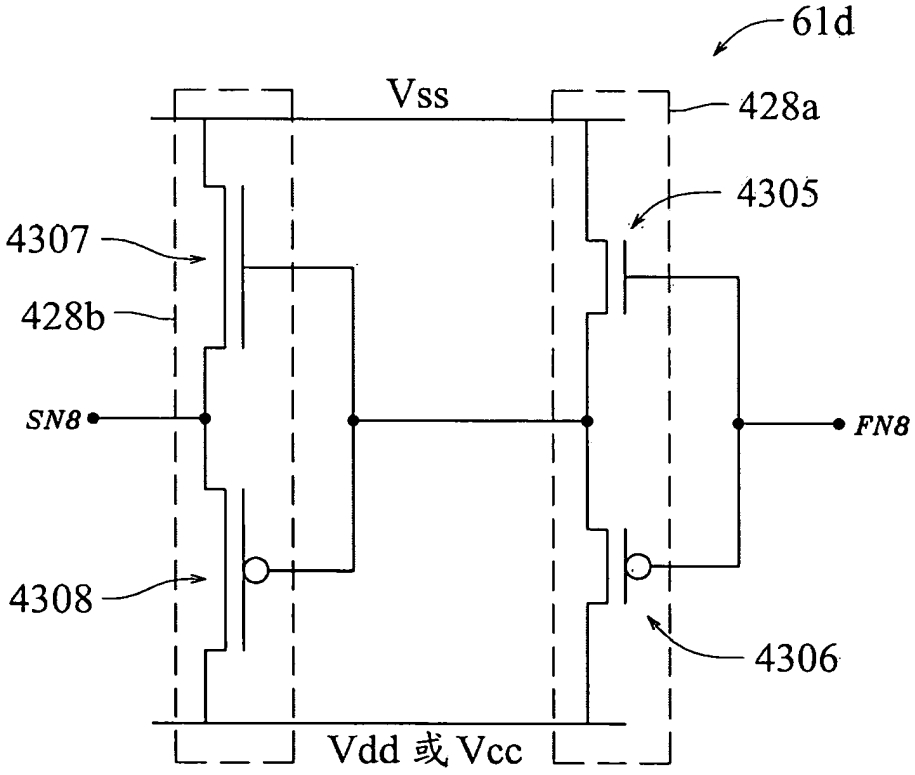

61d
Vss
428a
4305
4307
428b
SN8
FN8
4308
4306
Vdd 或 Vcc

圖284

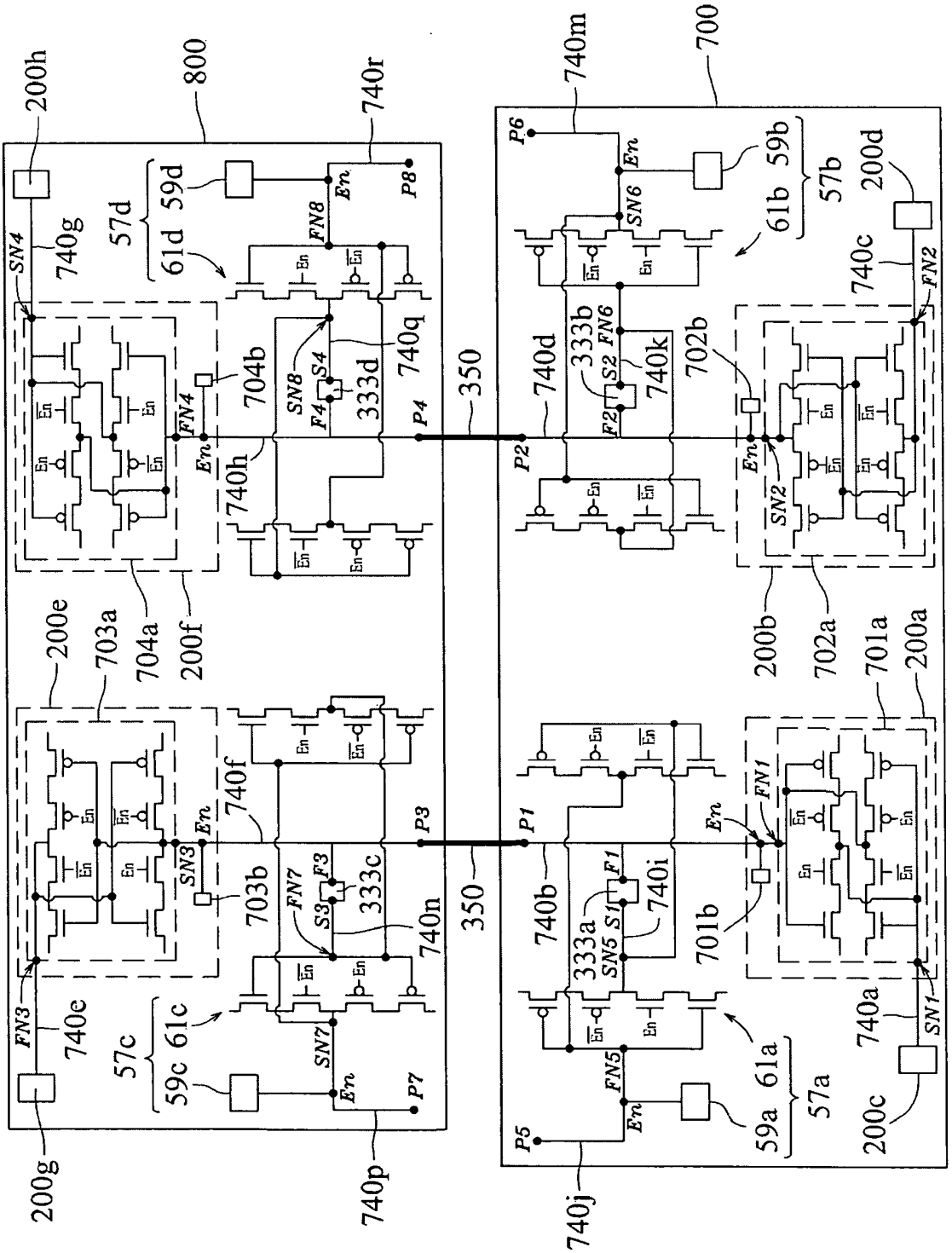

200h
800
740r
740m
700
740g
57d
59d
61d
P8
P6
SN4
FN8
En
59b
57b
61b
200d
740c
FN2
SN6
333b
FN6
S2
F2
740k
702b
704b
SN8
S4
F4
333d
740q
350
P4
P2
740d
FN4
740h
SN2
200b
702a
701a
200a
704a
200f
200e
703a
740f
P3
P1
FN1
740i
701b
740b
333a
SN5
S1
F1
703b
FN7
S3
F3
333c
740n
SN3
FN3
740e
57c
59c
61c
SN7
P7
FN5
59a
61a
57a
740a
SN1
200c
200g
740p
P5
740j

圖285

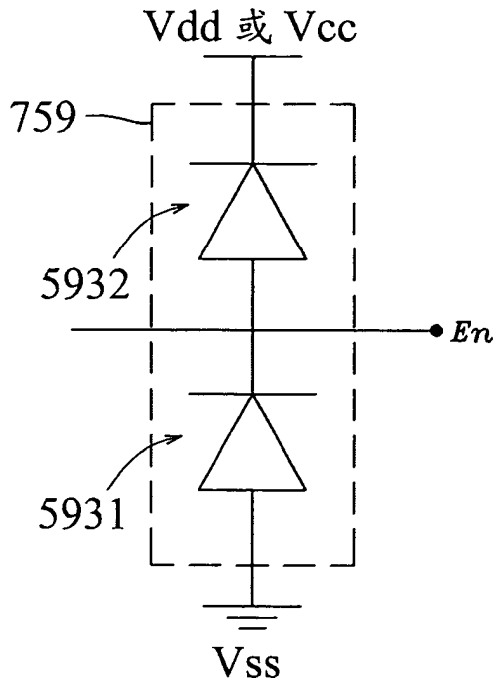


圖286

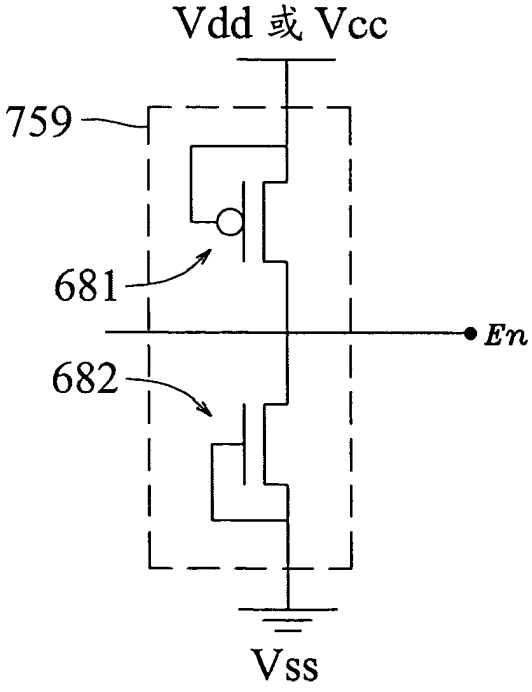


圖287

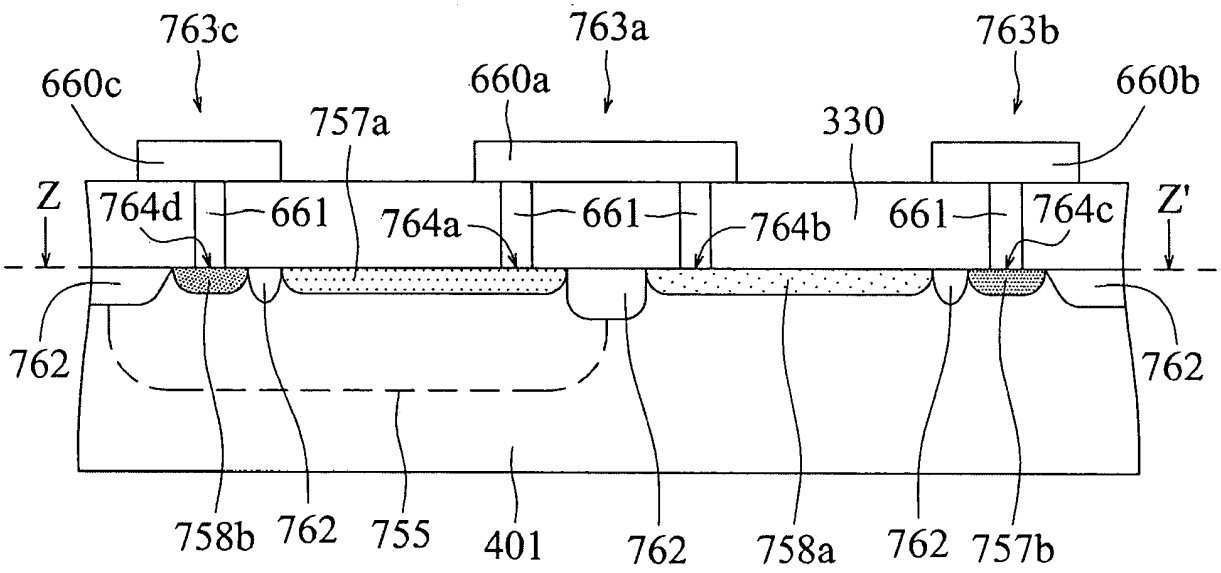

763c
763a
763b
660c
660a
660b
757a
330
Z
764d
661
764a
661
764b
661
764c
Z'
762
762
758b
762
755
401
762
758a
762
757b

圖288

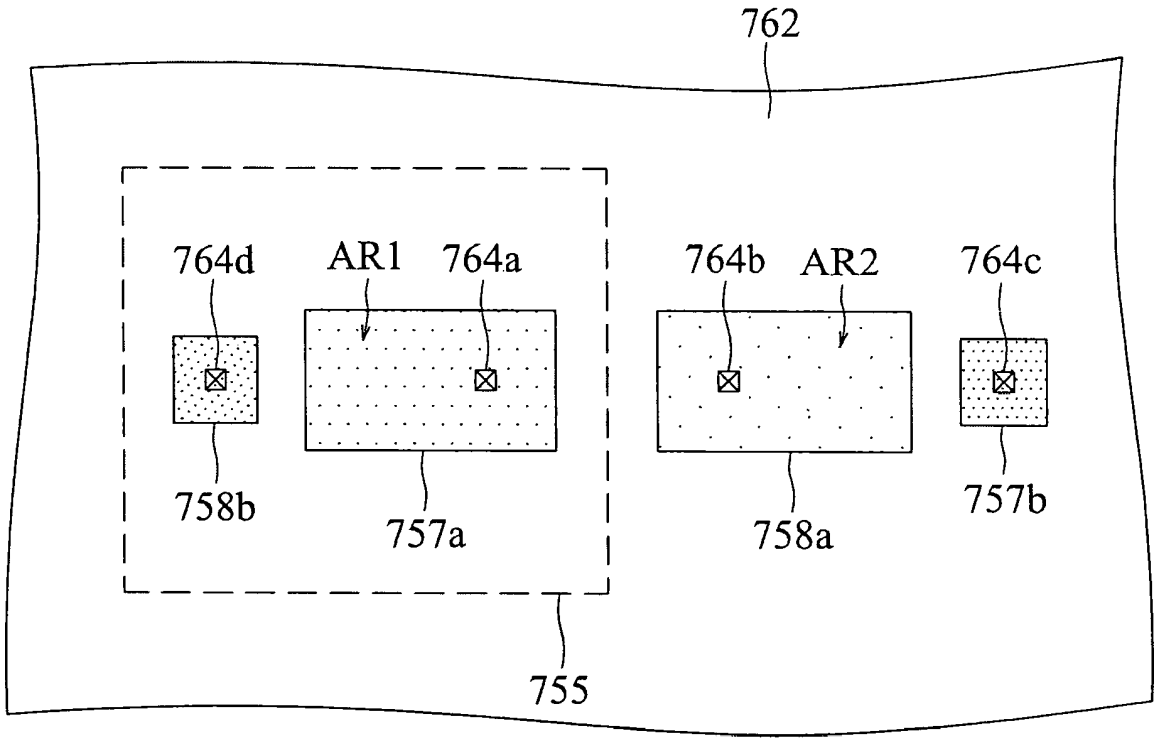

762
764d
AR1
764a
764b
AR2
764c
758b
757a
758a
757b
755

圖289

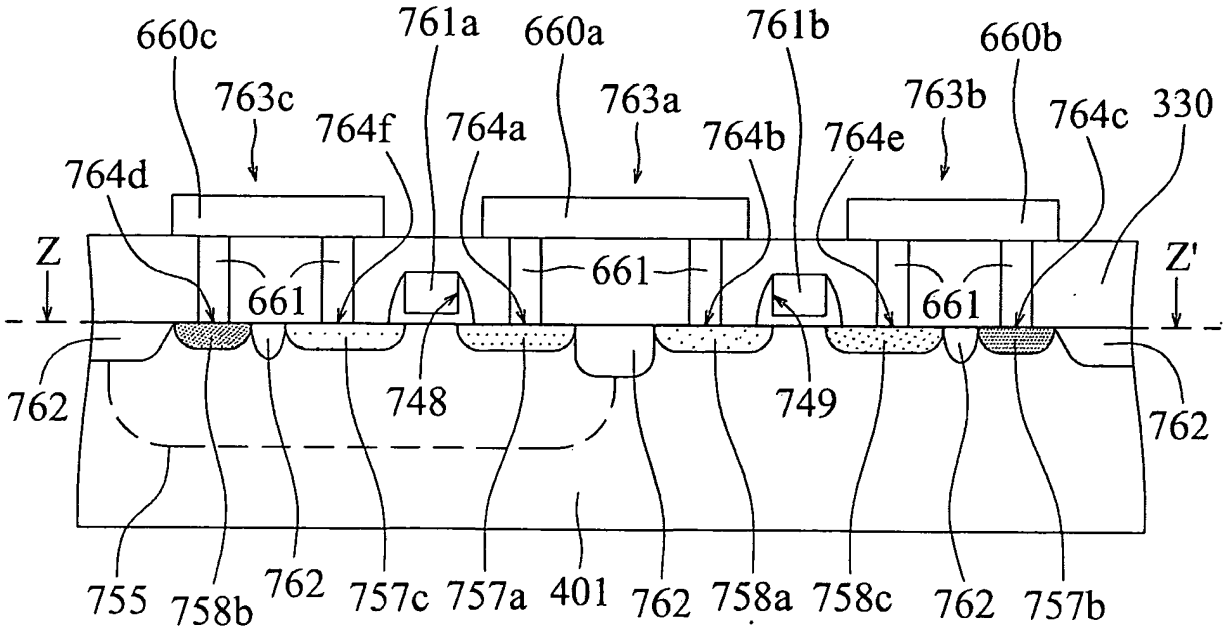

660c
761a
660a
761b
660b
763c
764f
764a
763a
764b
764e
763b
764c
330
764d
Z
661
661
661
Z'
762
748
749
762
755
758b
762
757c
757a
401
762
758a
758c
762
757b

圖290

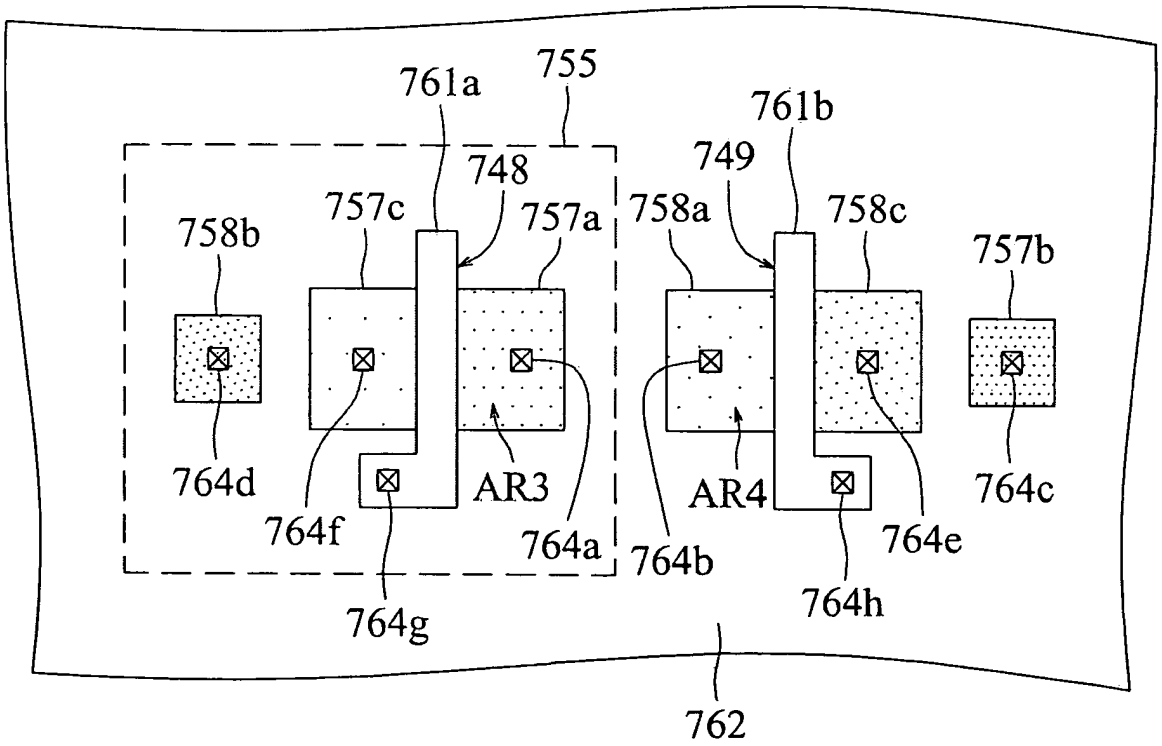

761a
755
761b
748
749
757c
757a
758a
758c
758b
757b
764d
AR3
AR4
764c
764f
764a
764b
764e
764g
764h
762

圖291

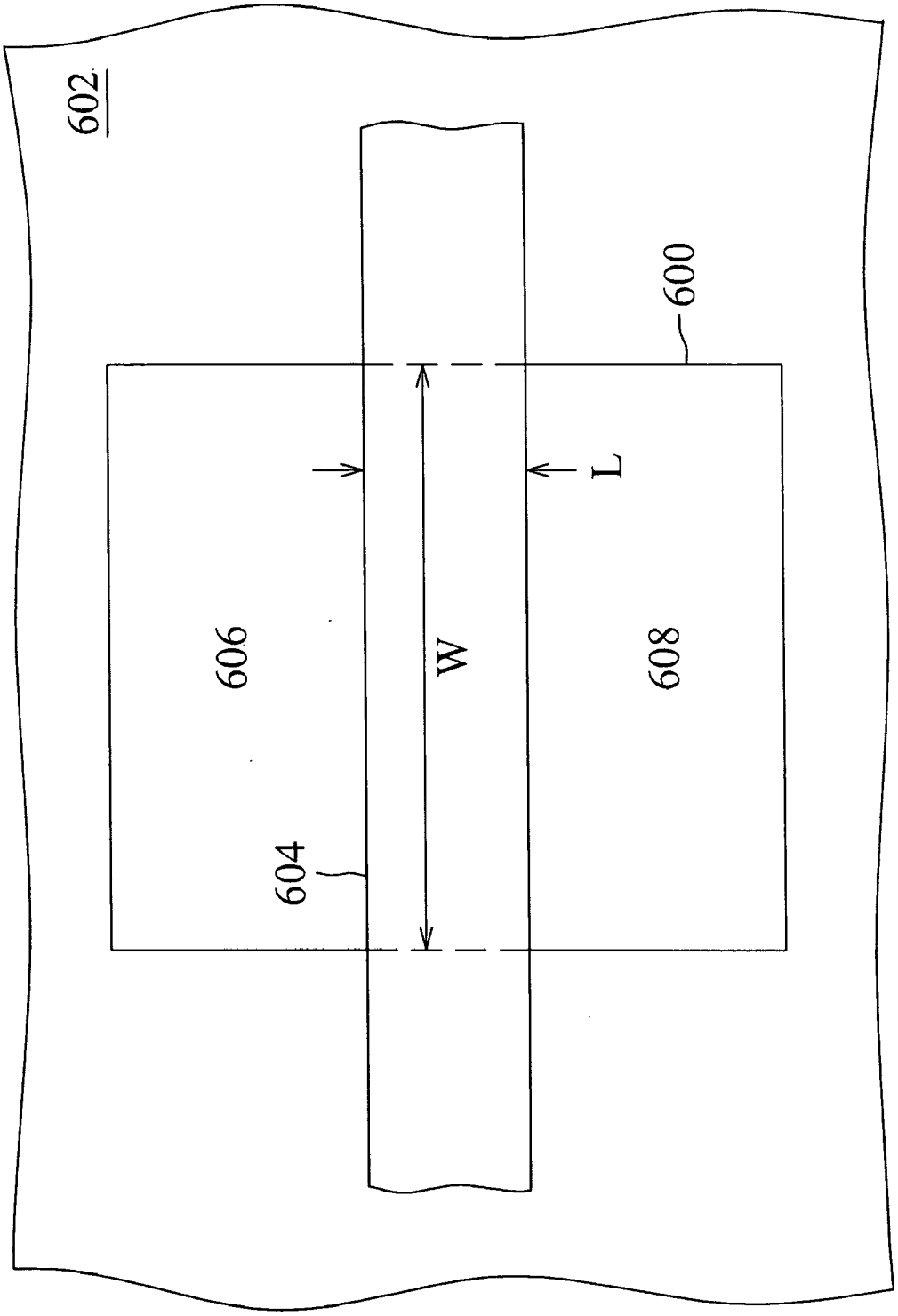


圖202

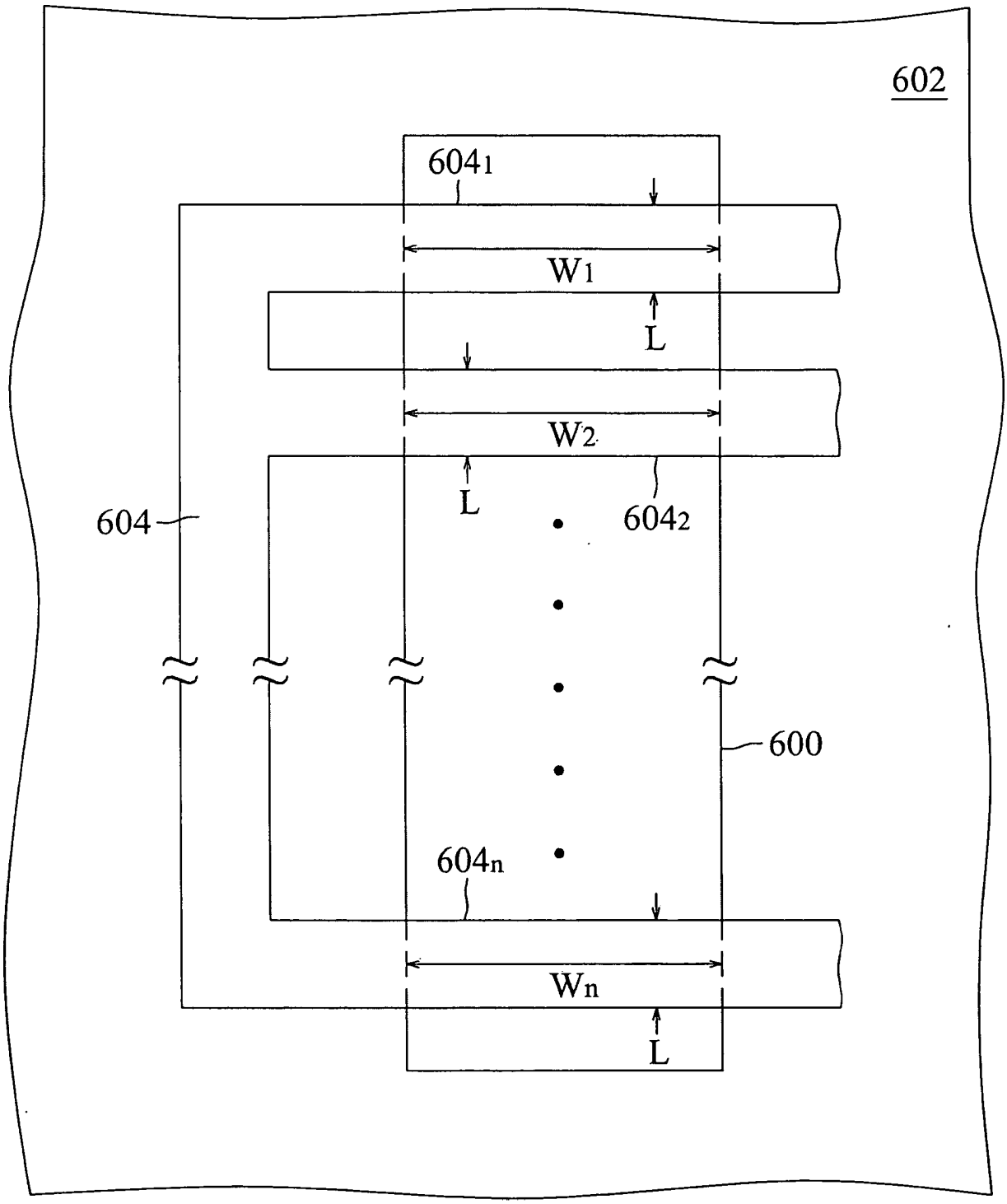


圖293

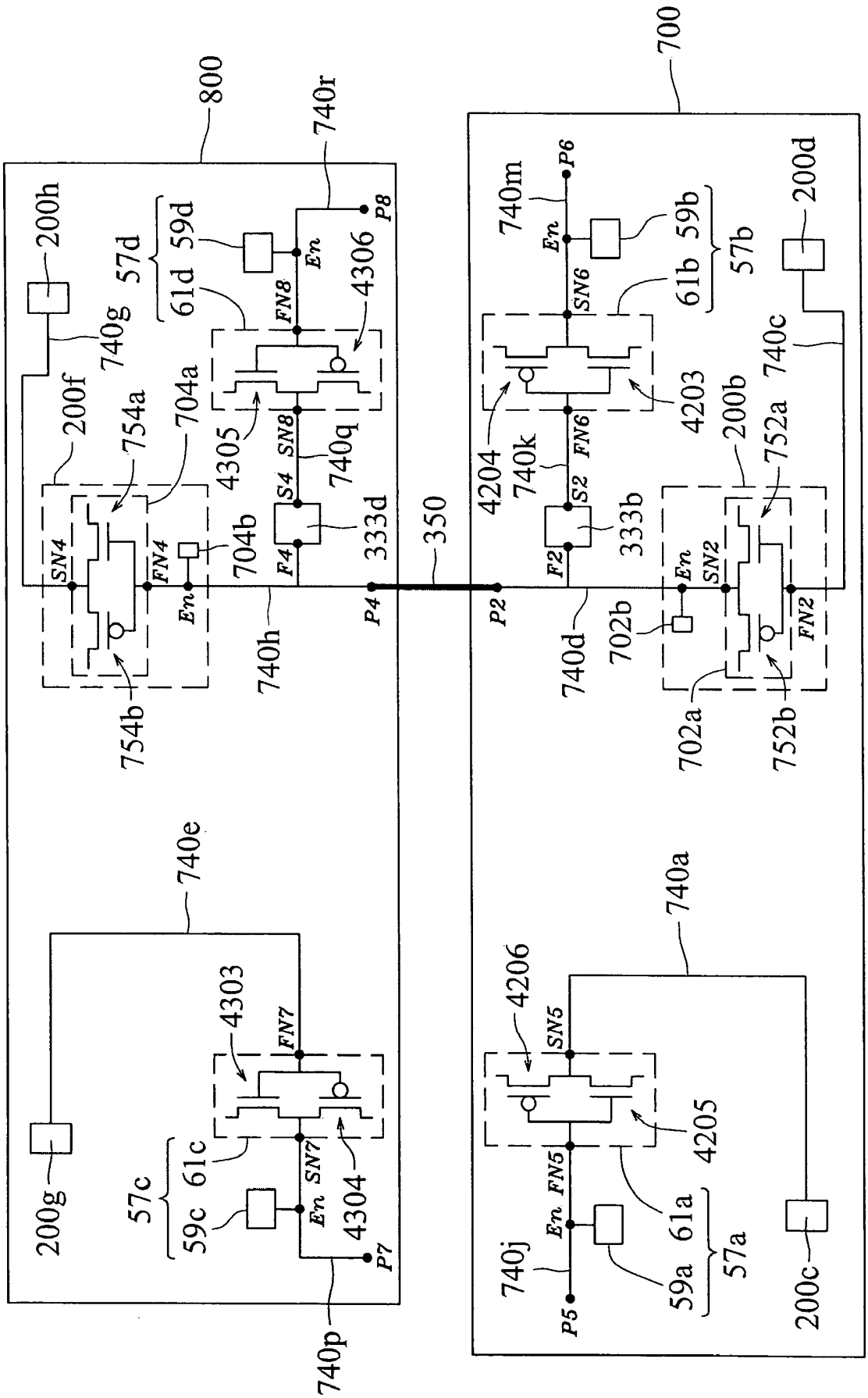

800
700
740r
740m
200h
200d
57d
59d
61d
59b
57b
61b
740g
200f
754a
704a
4305
740q
4306
4203
740c
200b
752a
740k
4204
333b
350
704b
333d
740h
740d
702b
754b
702a
752b
740e
740a
4303
4206
200g
57c
59c
61c
59a
61a
57a
4304
4205
740j
740p
200c
P8
P6
P4
P2
P7
P5
En
SN4
FN4
S4
SN8
FN8
SN6
S2
FN6
F4
F2
SN2
FN2
FN7
SN7
SN5
FN5

圖294

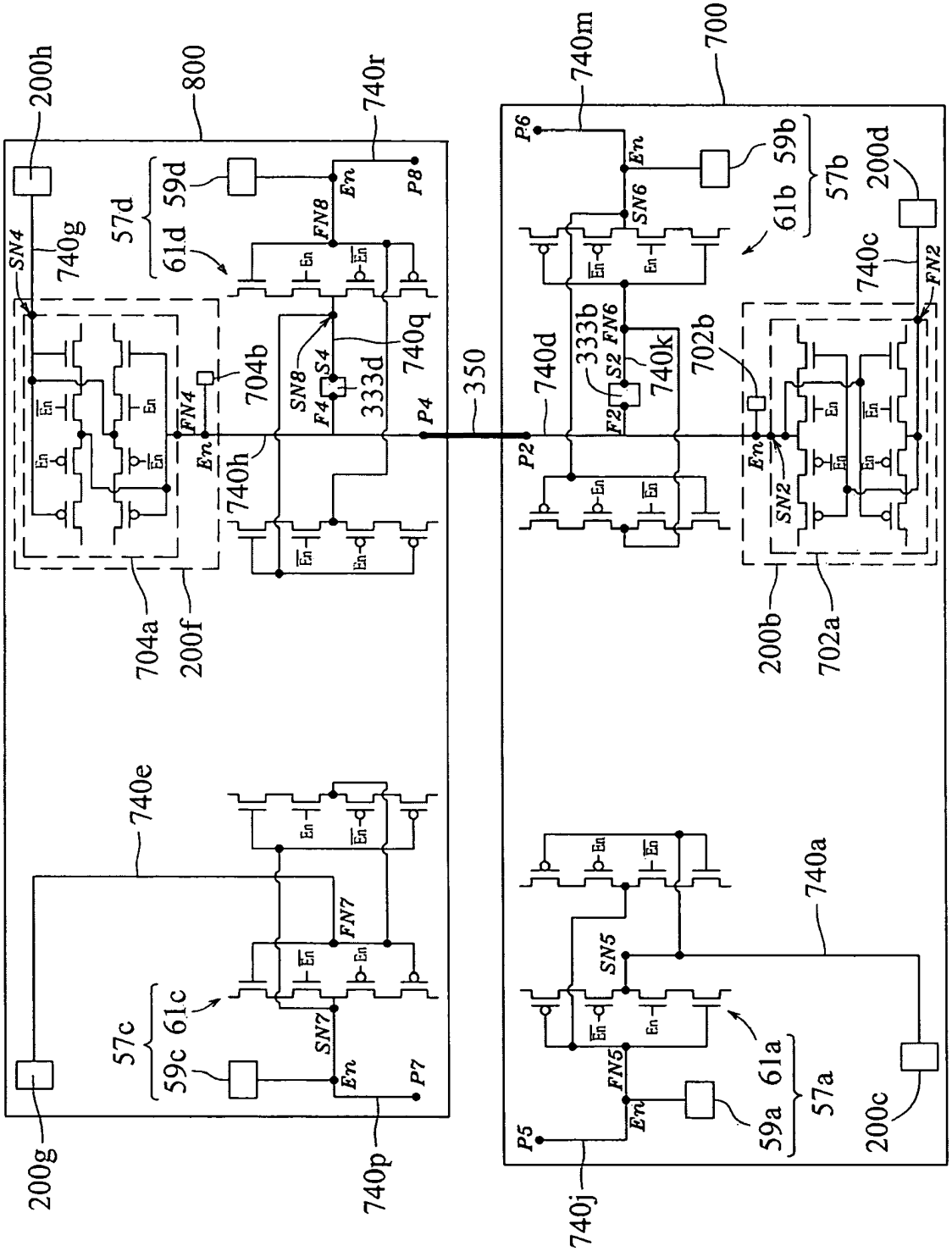

200h
800
740r
740m
700
740g
57d
59d
61d
704b
333d
740q
350
740d
333b
740k
702b
61b
59b
57b
200d
740c
704a
200f
200b
702a
740e
57c
59c
61c
740p
740a
57a
59a
61a
200c
200g
740j

圖295

四、指定代表圖：

(一)本案指定代表圖為：第（ 83 ）圖。

(二)本代表圖之元件符號簡單說明：

1	金屬互連體
2	金屬互連體
3	金屬互連體
5p	金屬插塞
6p	金屬插塞
7p	金屬插塞
10	基板
11	載體
12	介電層
18	導電層
	經構圖之金屬層
20	介電或絕緣層
22	膠層
	矽-氧化物層
50	介電層
56	傳導層
60	介電層
62	偽基板
66	絕緣或介電層
68	晶片
	構件

72	晶片
86	傳導層
88	介電層
90	側壁介電層
116	膠層
	無機絕緣層
	矽-氧化物層
118	晶片
	構件
120	絕緣或介電層
122	絕緣或介電層
125c	傳導層
126	焊料層
127	側壁介電層
128	障壁層
130	傳導層
132	晶種層
134	黏著/障壁層
136	聚合體層
136a	開孔
139	介電層
140	膠層
	無機絕緣層
	矽-氧化物層

158　偽基板

165　偽基板

174　底部充填

176　載體

178　焊料球

555　系統級封裝或多晶片模組

666　凸塊下層金屬(UBM)層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)