(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2011 年 6 月 30 日 (30.06.2011)

PCT

(10) 国际公布号
WO 2011/075997 A1

(51) 国际专利分类号:
H01L 21/8238 (2006.01)

(21) 国际申请号: PCT/CN2010/074699

(22) 国际申请日: 2010 年 6 月 29 日 (29.06.2010)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
200910243780.1 2009 年 12 月 24 日 (24.12.2009) CN

(71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **宋毅 (SONG, Yi)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **周华杰 (ZHOU, Huajie)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **徐秋霞 (XU, Qiuxia)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: **中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.)**; 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

[见续页]

(54) **Title**: A MANUFATURING METHOD OF BODY SILICON ENCLOSED GATE MOSFET

(54) **发明名称** : 一种制备体硅围栅金属氧化物半导体场效应晶体管的方法

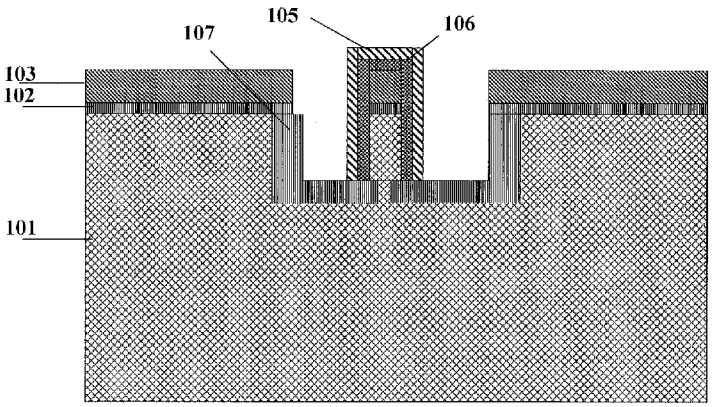


图 1 (f) / FIG. 1 (f)

(57) **Abstract**: A manufacturing method of body silicon enclosed gate nanometer line MOSFET basing on standard plan process is provided, the method includes: local oxide isolation or shallow trench isolation, a buffer SiO_2 oxide layer (102)/ SiN dielectric layer (103) deposited on the body silicon, electron beam exposure, two closed grooves are etched, a SiN side wall (105) is deposited, Si is isotropy etched, dry oxidation, SiN is removed by wet etching, a nanometer line is formed by stress self-limiting oxidation, a oxide dielectric layer is deposited and anisotropy etched, a surface is flatted, the nanometer line is released by wet etching and at the same time the SiO_2 reserved in the bottom is thick enough for isolation, the gate dielectric is growing and the gate material is deposited, the gate is inverted etched and the gate material is isotropy etched by using the gate dielectric as a barrier layer, a source/ drain is shallow implanted, the side wall is deposited and etched, the source/ drain is deep implanted, contact is formed. The method cancels the self-heating effect and floating body effect, the integration is easily formed, the short channel effect is suppressed, the size of MOSFET becomes small.

[见续页]

WO 2011/075997 A1

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

一种基于准平面工艺制备体硅围栅纳米线 MOSFET 的方法：局部氧化隔离或浅槽隔离，在体硅上淀积缓冲 SiO_2 氧化层 （102）/SiN 介质层（103），电子束曝光，蚀刻两个距离较近的凹槽，淀积 SiN 侧墙（105），各向同性刻蚀 Si，干氧氧化，湿法刻蚀去除 SiN，应力自限制氧化形成纳米线，淀积并各向异性刻蚀氧化物介质层，并平坦化表面，湿法刻蚀释放纳米线的同时保留底部足够厚 SiO_2 作隔离，生长栅介质和淀积栅材料，反刻栅并以栅介质为阻挡层各向同性刻蚀栅材料，源/漏浅注入，淀积和刻蚀侧墙，源/漏深注入，形成接触。该方法消除了自加热效应和浮体效应，并且易于集成，有利于抑制短沟道效应，推动 MOSFET 尺寸往小尺寸方向发展。

一种制备体硅围栅金属氧化物半导体场效应晶体管的方法

技术领域

本发明属于微电子纳米尺度互补金属氧化物半导体器件（CMOS）及极大规模集成技术领域，特别是指一种基于准平面工艺制备体硅围栅金属氧化物半导体场效应晶体管（MOSFET）的方法。

背景技术

纳米 CMOS 器件继续按照 Moore 定律向前发展，持续缩小平面体硅器件的尺寸遇到了严峻的挑战，各种新结构器件应运而生，器件的栅结构从最初的单栅发展到双栅、三栅，到完全包围沟道的围绕栅结构，栅控能力和抑制短沟道效应的能力随着栅的数目的增多而不断增强。具有包围沟道结构和准弹道输运特征的纳米线围栅 MOSFET 由于有很强的栅控能力和缩小尺寸的能力而成为集成电路技术发展预测路线图 22nm 及其以下技术节点的有力竞争者。

目前国内外有初步研究成功制备了纳米线围栅 MOSFET 的报道，表明围栅纳米线结构有近乎完美的抑制短沟道效应的能力、优异的驱动性能和关态特性。由于 SOI 衬底存在天然的 BOX 氧化层作为牺牲层，制备围栅结构更为容易，因此还是以 SOI 衬底为主。但是采用体硅衬底相对 SOI 衬底有非常明显的优势:

一）消除了 SOI 衬底存在自加热效应和浮体效应;

二）避免了复杂的源漏工程以降低源漏寄生电阻;

三）普通体硅衬底的价格较 SOI 圆片要便宜许多;

四）与传统体硅工艺完全兼容。

在体硅上制备围栅器件主要的困难在于形成牺牲层，迄今为止，为数不多的报道的采用体硅衬底的制备方法或需要复杂且昂贵的外延 SiGe 作为牺牲层的大马士革假栅工艺，或直接各向同性刻蚀 Si 而造成对衬底的污染，另外还无可避免地造成了大的寄生电容电阻，更重要的是，复杂的立体工艺大大加大了制备的难度，很难借用已有成熟的主流

平面工艺。这些都存在明显的缺点和进一步缩小尺寸的局限性。

制备体硅围栅纳米线MOSFET，还有很多的问题要解决。在选择具体实施方案时首先要考虑很多因素，比如:

（1）与CMOS工艺的兼容性要好，应尽量避免造成工艺的不确定性和增加工艺难度，如果采用准平面工艺可借鉴已有的平面工艺技术，大大降低工艺的风险和不确定性;

（2）工艺的简化，可靠性和可重复性。工艺的简化对于提高成品率至关重要。要降低线边缘粗糙度、膜厚的非均匀性，尽可能地减小工艺浮动对器件性能的影响;

（3）进一步缩小尺寸的能力。

有必要寻找新的、易于集成到平面 CMOS 工艺中去的体硅纳米线围绕栅MOSFET的制备方法。

发明内容

本发明目的在于提供一种易于集成的、与平面 CMOS 工艺兼容性好的体硅围栅金属氧化物半导体场效应晶体管（MOSFET）的制备方法。

为了实现上述目的，本发明提供的基于准平面工艺制备体硅围栅纳米线金属氧化物半导体场效应晶体管的方法，其主要步骤是:

1）N阱和P阱形成;

2）场区光刻，场区注入，局部氧化隔离或浅槽隔离;

3）淀积缓冲 SiO_2 氧化层/SiN介质层;

4）正性电子束曝光并刻蚀介质层形成凹槽;

5）淀积缓冲 SiO_2 氧化层和SiN并刻蚀形成侧墙;

6）各向同性刻蚀Si;

7）第一步干氧氧化;

8）湿法腐蚀去除剩余的SiN;

9）第二步干氧氧化形成纳米线;

10）淀积并各向异性刻蚀硅酸四乙酯或低温淀积氧化物，然后平坦化表面;

11）湿法刻蚀各向同性释放纳米线;

12）淀积栅介质；

13）淀积栅电极材料；

14）各向异性刻蚀栅电极；

15）各向同性刻蚀栅电极；

16）源漏延伸区注入；

17）各向同性淀积 SiN 并各向异性刻蚀形成侧墙；

18）源漏深注入；

19）形成硅化物；

20）金属化。

所述的方法中，所述步骤 3 中淀积缓冲 SiO_2 氧化层厚度为 5-50nm，淀积 SiN 厚度为 20-800nm。

所述的方法中，所述步骤 4 中正性电子束曝光采用正性电子束光刻胶；相邻的介质凹槽的刻蚀采用氟基反应离子刻蚀；相邻的硅凹槽的刻蚀采用氯基反应离子刻蚀。

所述的方法中，所述步骤 5 中淀积的缓冲氧化层厚度为 5-15nm 和 SiN 厚度为 20-80nm 并刻蚀形成侧墙。

所述的方法中，所述步骤 6 中各向同性刻蚀 Si 深度为 20-80nm。

所述的方法中，所述步骤 7 中干氧氧化的厚度为 40-100nm，步骤 9 中干氧氧化的厚度为 10-60nm。

所述的方法中，所述步骤 10 中淀积并各向异性刻蚀较厚的硅酸四乙酯或低温淀积氧化物 100nm-2000nm，然后平坦化表面。

所述的方法中，所述步骤 12 中栅介质的等效氧化层厚度为 6 至 40Å，栅介质为 SiON、HfON、HfAlO、HfAlON、HfTaO、HfTaON、HfSiO、HfSiON、HfLaO 或 HfLaON；栅介质层可通过低压化学气相淀积、物理气相淀积、金属有机化学气相淀积或者原子层淀积形成。

所述的方法中，所述步骤 13 中栅电极材料为 W、Ti、Ta、Mo、TiN、TaN、HfN 或 MoN；栅电极材料可采用低压化学气相淀积、金属有机化学气相淀积或者原子层淀积形成，厚度为 1000 至 2000Å。

所述的方法中，所述步骤 15 中以栅介质层为硬掩膜各向同性刻蚀栅材料，横向刻蚀深度为 10-150nm。

本发明消除了自加热效应和浮体效应，具有更低的成本，完全采用传统的基于准平面的自顶向下工艺实现了与 CMOS 平面工艺的良好兼容，并且易于集成，有利于抑制短沟道效应，推动 MOSFET 尺寸往小尺寸方向发展。

附图说明

图 1(a)-(j)给出了本方法的悬浮纳米线的制备步骤；其中：

(a)为淀积预氧/SiN 介质层；

(b)为正性电子束曝光并刻蚀两个凹槽；

(c)为化学气相淀积的缓冲氧化层厚度和 SiN；

(d)为各向异性刻蚀 SiO_2/SiN 叠层形成侧墙；

(e)为各向异性刻蚀 Si；

(f)为第一次干氧氧化；

(g)为湿法各向同性刻蚀去除 SiN；

(h)为第二次干氧氧化，应力限制作用形成纳米线；

(i)为各向同性淀积并刻蚀氧化物（TEOS 或 LTO）介质层，并对表面进行平坦化；

(j)为湿法腐蚀氧化物释放纳米线。

图 2 给出了器件制备工艺流程所用的版图。

图中各组件符号说明：

101 Si 衬底；102 缓冲 SiO_2 氧化层；103 SiN 介质层；104 两个相邻的凹槽；105 SiN 侧墙；106 侧墙缓冲 SiO_2 氧化层；107 第一次氧化 SiO_2 氧化层；108 第二次氧化 SiO_2 氧化层；109 Si 纳米线；110 氧化物（TEOS 或 LTO）介质层；201 有源区版；202 相邻凹槽版；203 栅版；204 接触版。

具体实施方式

本发明的制备步骤如下：

1）双阱工艺，推进；

2）局部氧化（LOCOS）隔离或浅槽（STI）隔离；

3）淀积缓冲 SiO_2 氧化层/SiN 介质层;

4）正性电子束曝光并刻蚀凹槽;

5）各向同性淀积缓冲 SiO_2 氧化层和 SiN 薄膜并对其各向异性刻蚀形成侧墙;

6）各向同性刻蚀 Si;

7）第一步干氧氧化;

8）湿法各向同性刻蚀 SiN;

9）第二步干氧氧化形成纳米线;

10）淀积并各向异性刻蚀氧化物（TEOS 或 LTO）介质层，然后平坦化表面;

11）湿法刻蚀各向同性释放纳米线;

12）淀积栅介质;

13）淀积栅电极材料;

14）电子束光刻氧化物硬掩膜，各向异性刻蚀栅电极;

15）各向同性刻蚀栅电极;

16）源漏延伸区浅注入;

17）各向同性淀积 SiN 并各向异性刻蚀形成侧墙;

18）源漏深注入;

19）形成硅化物;

20）金属化。

步骤 1 中的 N 阱注入采用 $^{+}P^{31}$，P 阱注入采用 $^{+}B^{11}$，阱深 1-2 微米。

步骤 2 中的局部氧化隔离或浅槽隔离中，隔离层厚度为 4000 至 6000Å。

步骤 3 中缓冲 SiO_2 氧化层厚度 5-50nm，淀积 SiN 厚度 20-800nm。

步骤 4 中正性电子束曝光采用正性电子束光刻胶。相邻的介质凹槽的刻蚀采用氟基反应离子刻蚀。相邻的硅凹槽的刻蚀采用氯基反应离子刻蚀。

步骤 5 中淀积的缓冲氧化层厚度 5-15nm 和 SiN 厚度 20-80nm 并刻蚀形成侧墙。

步骤 6 中各向同性刻蚀 Si 深度为 20-80nm。

步骤 7 中干氧氧化的厚度分别为 40-100nm。

步骤 8 中湿法腐蚀去除所有 SiN。

步骤 9 中干氧氧化的厚度分别为 10-60nm。

步骤 10 中淀积并各向异性刻蚀氧化物（TEOS 或 LTO）介质层，然后平坦化表面。

步骤 11 中释放纳米线采用各向同性腐蚀氧化物。

步骤 12 中栅介质的等效氧化层厚度为 6 至 40Å，栅介质可以是 SiON、HfON、HfAlO、HfAlON、HfTaO、HfTaON、HfSiO、HfSiON、HfLaO 和 HfLaON，栅介质层可通过低压化学气相淀积、物理气相淀积、金属有机化学气相淀积或者原子层淀积形成。

步骤 13 中栅电极材料可以是多晶硅和金属栅材料（如难熔金属 W、Ti、Ta、Mo 和金属氮化物 TiN、TaN、HfN、MoN 等），栅电极材料可采用低压化学气相淀积，金属有机化学气相淀积或者原子层淀积形成，厚度为 1000 至 2000Å。

步骤 14 中电子束光刻氧化物硬掩膜，以氧化层为硬掩膜各向异性刻蚀栅材料，横向刻蚀深度为 100-200nm。

步骤 15 中以栅介质层为硬掩膜各向同性刻蚀栅材料，横向刻蚀深度为 10-100nm。

步骤 16 中源漏延伸区注入采用低能注入。

步骤 17 中各向同性淀积 SiN 并各向异性刻蚀形成侧墙的厚度为 10-50nm。

步骤 18 中源漏注入 nMOSFET 采用 As 注入，pMOSFET 采 BF_2 注入。

步骤 19 中硅化物采用 NiSi 或其他金属硅化物，溅射金属如 Ni 后，采用两部步快速热退火形成。

步骤 20 中金属化采用多层金属 Ti/TiN//Al-Si/TiN，光刻后刻蚀形成引线接触，然后合金。

以下结合附图作进一步的说明。

实施例

1）双阱工艺和推进：N^+阱注入 Si 衬底（101）采用 P^{31+}，能量为 110-150KeV，剂量为(1-2)e13，P^+阱注入 Si 衬底（101）采用 B^{11+}，能量

为 110-150KeV，剂量为(1-2)e13；并推进，阱深 1-2 微米；

2）等平面局部氧化（LOCOS）隔离，生长场区氧化物：1000℃，3000-5000Å；或浅沟槽隔离（STI）；

3）如图 1(a)所示，热生长缓冲 SiO_2 氧化层（102）15nm/化学气相淀积 SiN（103）50nm；

4）如图 1(b)所示，采用正性电子束曝光并刻蚀陡直的宽度为 400nm*400nm 间距为 50nm 的两相邻凹槽（104）；

5）如图 1(c)和图 1(d)所示，化学气相淀积的缓冲氧化层厚度 10nm（106）和 SiN 厚度 50nm（105）并刻蚀形成侧墙；

6）如图 1(e)所示，各向同性刻蚀 Si 深度为 50nm；

7）如图 1(f)所示，干氧氧化的厚度分别为 80nm（107）；

8）如图 1(g)所示，湿法腐蚀去除所有剩余 SiN，露出底部预氧；

9）如图 1(h)所示，第二次氧化的厚度分别为 40nm（108），应力限制终止氧化形成纳米线（109）；

10）如图 1(i)所示，淀积 LTO 300nm，并各向异性刻蚀 300nm，然后平坦化表面（110）；

11)如图 1(j)所示，采用各向同性腐蚀 80nm SiO_2 释放纳米线(109)；

12）干氧生长栅氧化介质的等效氧化层厚度为 30Å；

13）多晶硅采用化学气相淀积 LPCVD 方法淀积，淀积的多晶硅的厚度为 1500Å；

14）电子束光刻氧化物硬掩膜，以氧化层为硬掩膜各向异性刻蚀栅材料，横向刻蚀深度为 100nm；

15）以栅介质层为硬掩膜各向同性刻蚀栅材料，横向刻蚀深度为 80nm；

16）源延伸区和漏延伸区浅注入的能量为（As 为 2-6keV，B 为 1-6keV）剂量为（As 为 1-8e14/cm^3，B 为 1-6e14/cm^3）；

17)干氧生长缓冲 SiO_2 氧化层 10nm，各向同性淀积 SiN 厚度为 30nm 并各向异性刻蚀 30nm 的 SiN 和 10nm 的预氧形成侧墙；

18）源区漏区深注入的能量为（As 为 10-30keV，B 为 5-15keV），剂量为（As 为 4e15/cm^3，B 为 3e15/cm^3）；

19）淀积金属镍 Ni 的厚度为 120-200Å，两步 RTA 退火形成 Ni 硅化物；

20）金属化，采用多层金属 Ti/TiN/Al-Si/TiN，光刻、刻蚀后形成引线接触；合金：温度 530℃，时间 40 秒。

以上通过详细实例描述了本发明所提供的纳米线围栅器件及其制备方法，本领域的技术人员应当理解，在不脱离本发明实质的范围内，可以对本发明的器件结构做一定的变形或修改，其制备方法也不限于实施例中所公开的内容。

权 利 要 求 书

1、一种基于准平面工艺制备体硅围栅纳米线金属氧化物半导体场效应晶体管的方法，包括以下步骤:

1）N 阱和 P 阱形成;

2）场区光刻，场区注入，局部氧化隔离或浅槽隔离;

3）淀积缓冲 SiO_2 氧化层/SiN 介质层;

4）正性电子束曝光并刻蚀介质层形成凹槽;

5）淀积缓冲 SiO_2 氧化层和 SiN 并刻蚀形成侧墙;

6）各向同性刻蚀 Si;

7）第一步干氧氧化;

8）湿法腐蚀去除剩余的 SiN;

9）第二步干氧氧化形成纳米线;

10）淀积并各向异性刻蚀硅酸四乙酯或低温淀积氧化物，然后平坦化表面;

11）湿法刻蚀各向同性释放纳米线;

12）淀积栅介质;

13）淀积栅电极材料;

14）各向异性刻蚀栅电极;

15）各向同性刻蚀栅电极;

16）源漏延伸区注入;

17）各向同性淀积 SiN 并各向异性刻蚀形成侧墙;

18）源漏深注入;

19）形成硅化物;

20）金属化。

2、根据权利要求 1 所述的方法，其中，所述步骤 3 中淀积缓冲 SiO_2 氧化层厚度为 5-50nm，淀积 SiN 厚度为 20-800nm。

3、根据权利要求 1 所述的方法，其中，所述步骤 4 中正性电子束曝光采用正性电子束光刻胶；相邻的介质凹槽的刻蚀采用氟基反应离子刻蚀；相邻的硅凹槽的刻蚀采用氯基反应离子刻蚀。

4、根据权利要求 1 所述的方法，其中，所述步骤 5 中淀积的缓冲氧化层厚度为 5-15nm 和 SiN 厚度为 20-80nm 并刻蚀形成侧墙。

5、根据权利要求 1 所述的方法，其中，所述步骤 6 中各向同性刻蚀 Si 深度为 20-80nm。

6、根据权利要求 1 所述的方法，其中，所述步骤 7 中干氧氧化的厚度为 40-100nm，步骤 9 中干氧氧化的厚度为 10-60nm。

7、根据权利要求 1 所述的方法，其中，所述步骤 10 中淀积并各向异性刻蚀较厚的硅酸四乙酯或低温淀积氧化物 100nm-2000nm，然后平坦化表面。

8、根据权利要求 1 所述的方法，其中，所述步骤 12 中栅介质的等效氧化层厚度为 6 至 40Å，栅介质为 SiON、HfON、HfAlO、HfAlON、HfTaO、HfTaON、HfSiO、HfSiON、HfLaO 或 HfLaON；栅介质层通过低压化学气相淀积、物理气相淀积、金属有机化学气相淀积或者原子层淀积形成。

9、根据权利要求 1 所述的方法，其中，所述步骤 13 中栅电极材料为 W、Ti、Ta、Mo、TiN、TaN、HfN 或 MoN；栅电极材料采用低压化学气相淀积、金属有机化学气相淀积或者原子层淀积形成，厚度为 1000 至 2000Å。

10、根据权利要求 1 所述的方法，其中，所述步骤 15 中以栅介质层为硬掩膜各向同性刻蚀栅材料，横向刻蚀深度为 10-150nm。

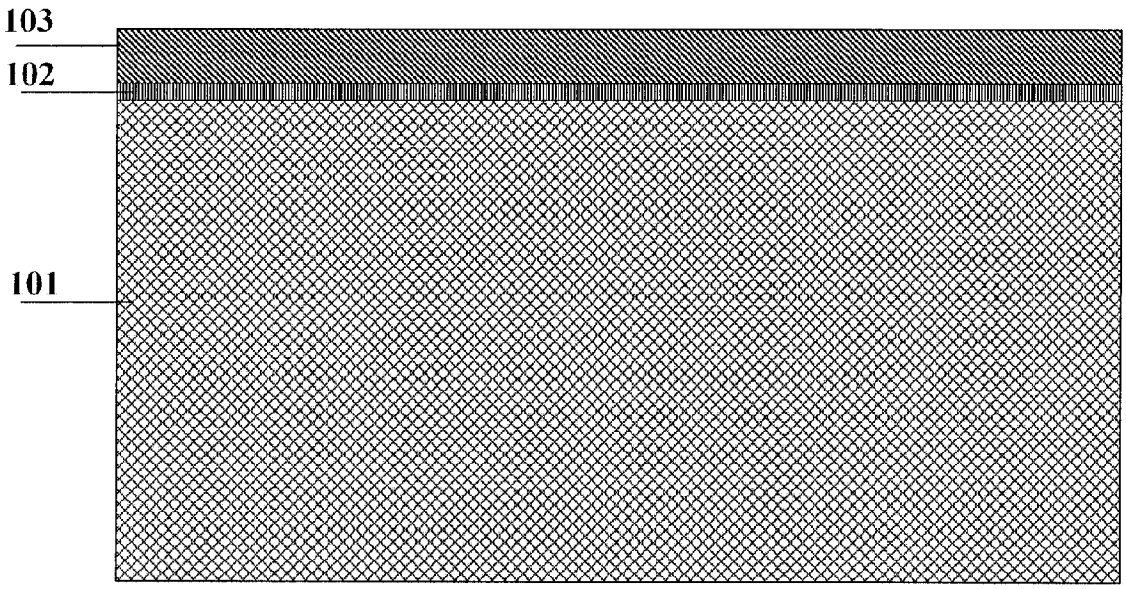


图 1(a)

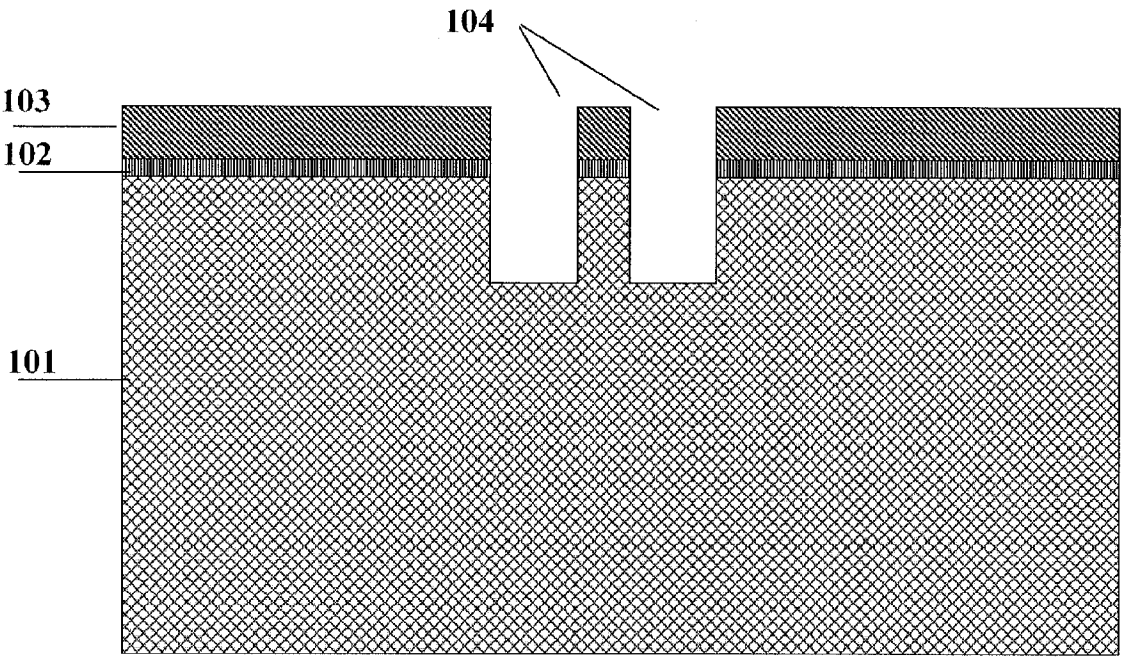


图 1(b)

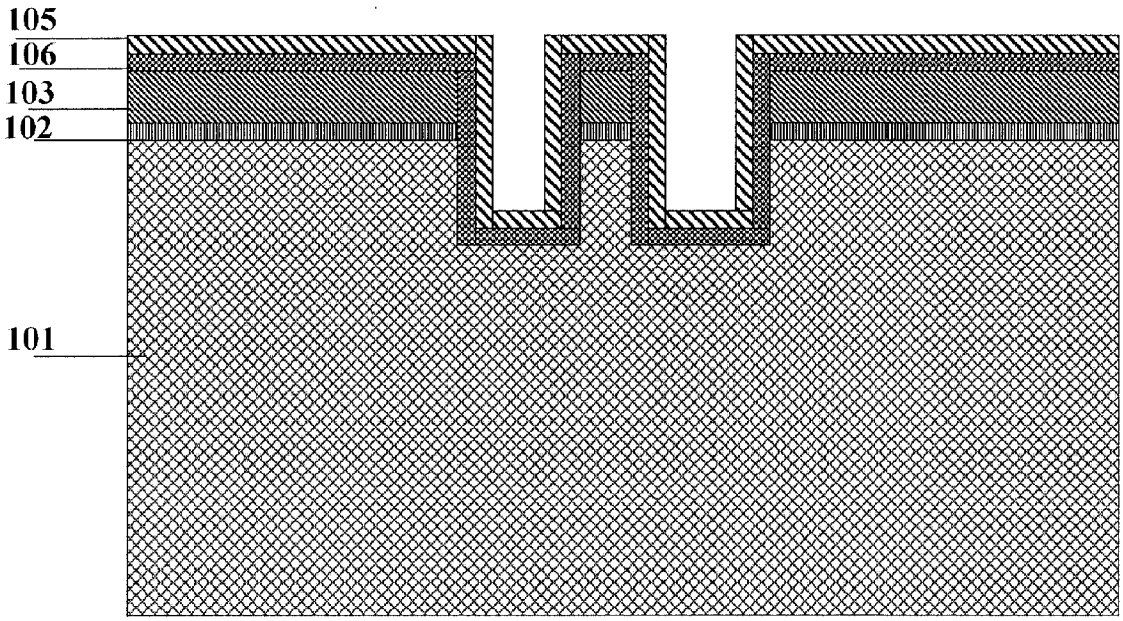


图 1(c)

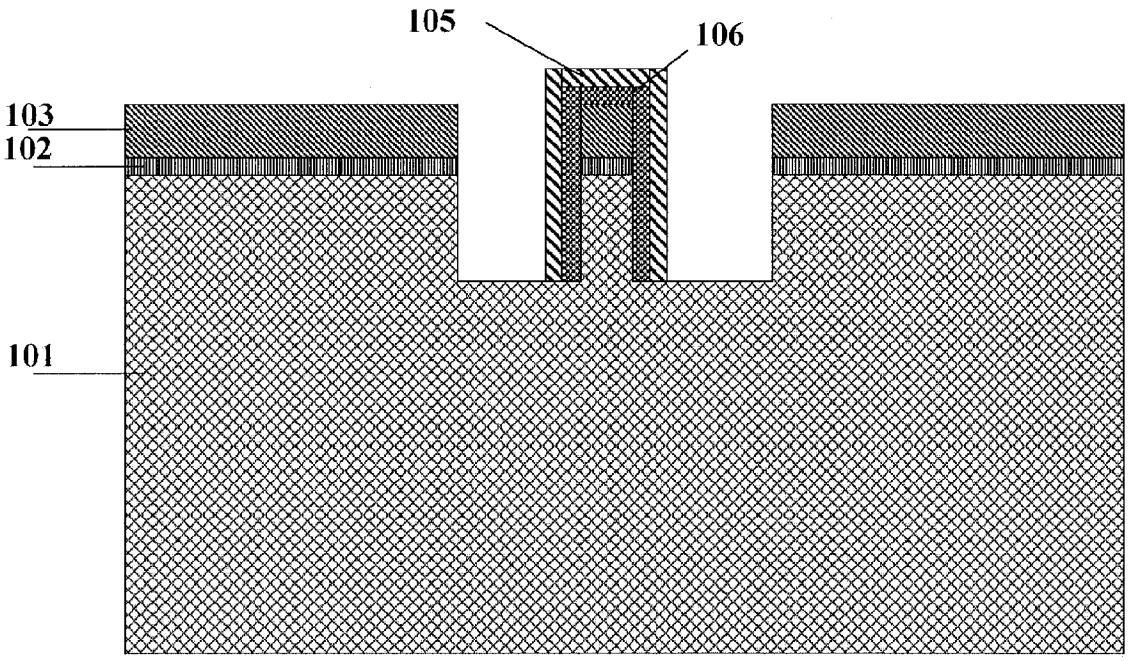


图 1(d)

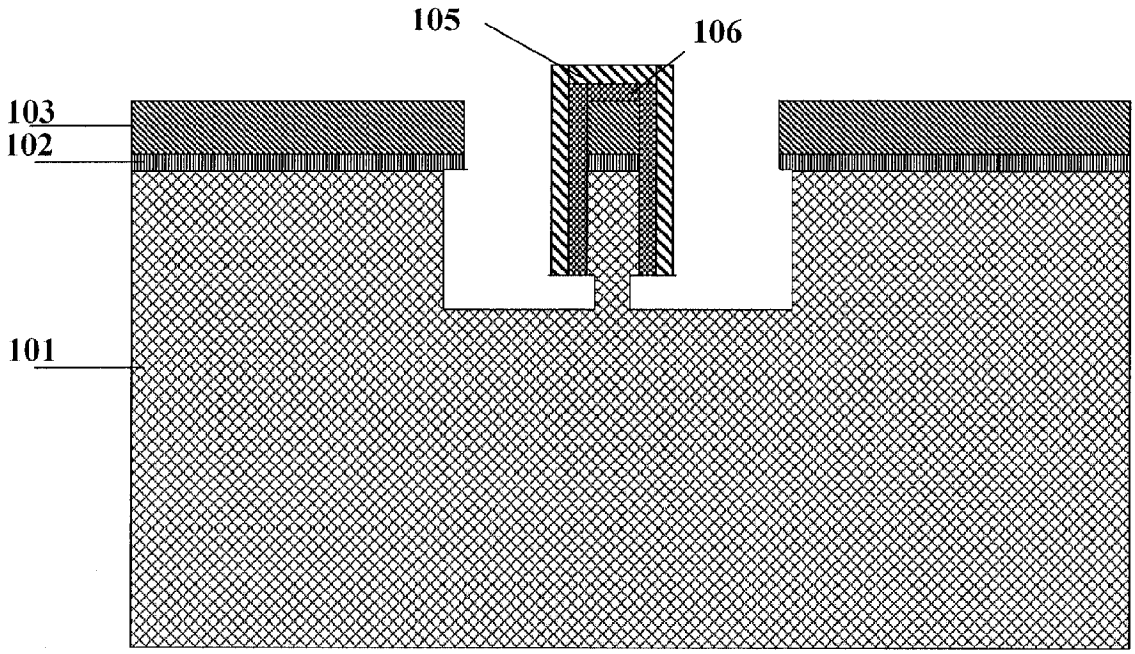


图 1(e)

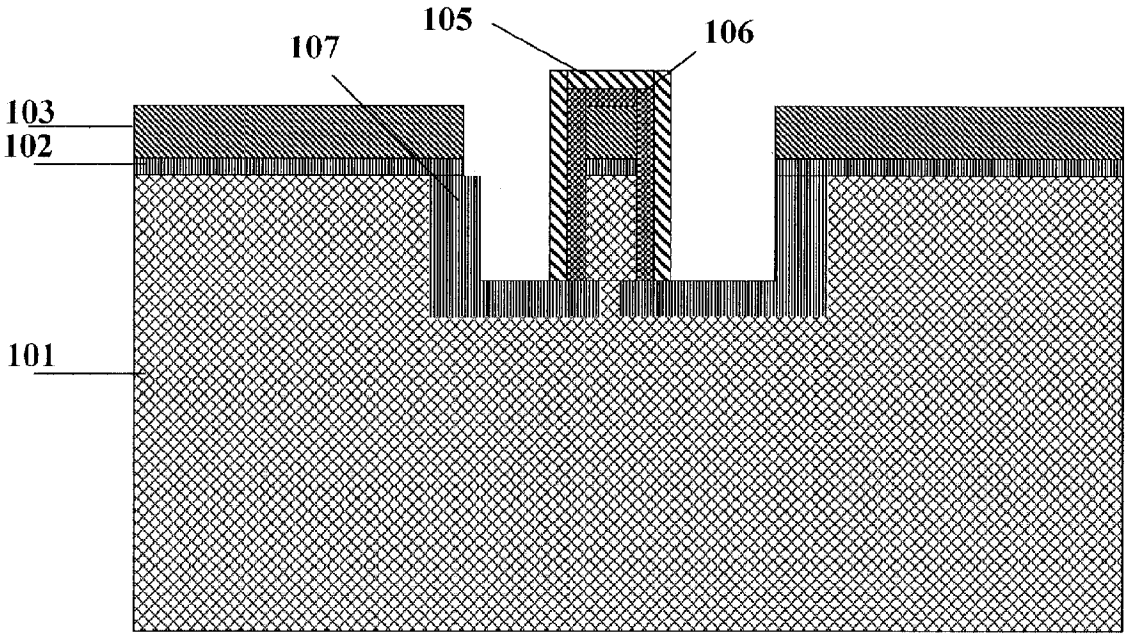


图 1(f)

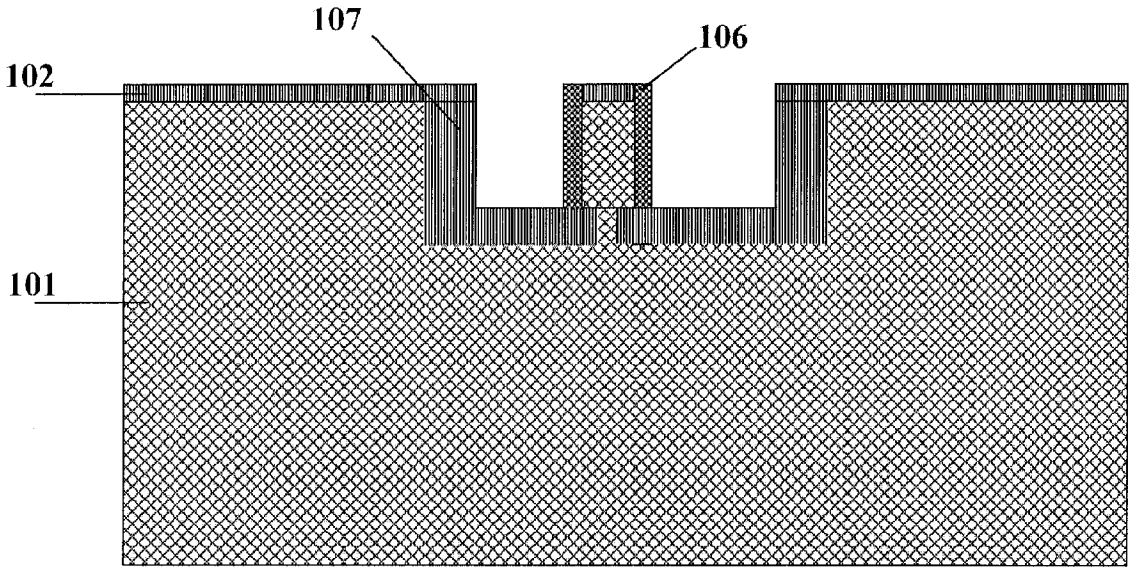


图 1(g)

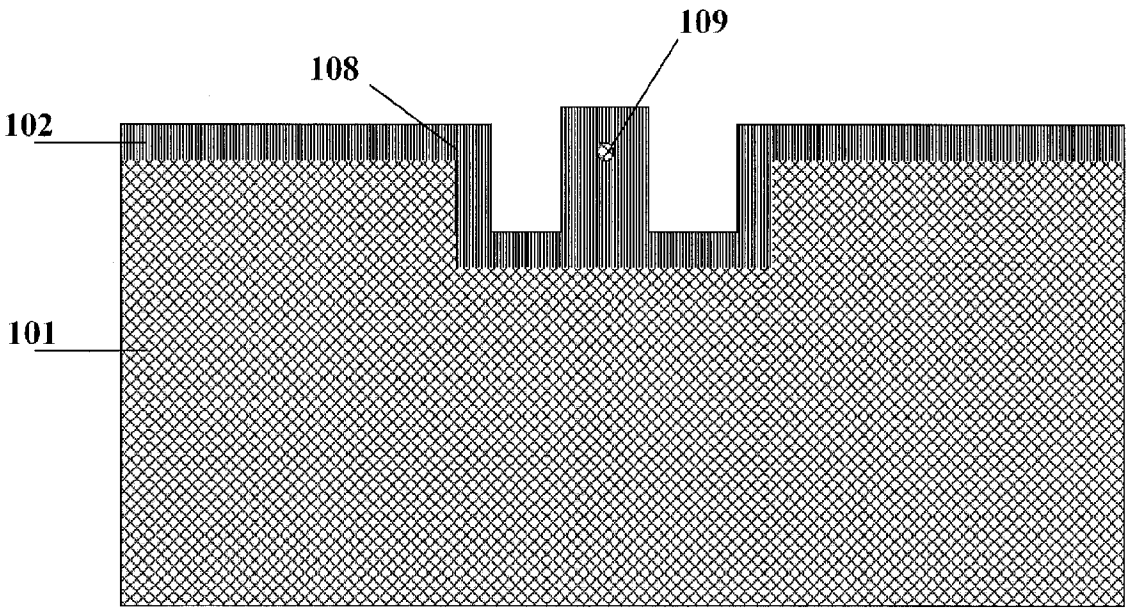


图 1(h)

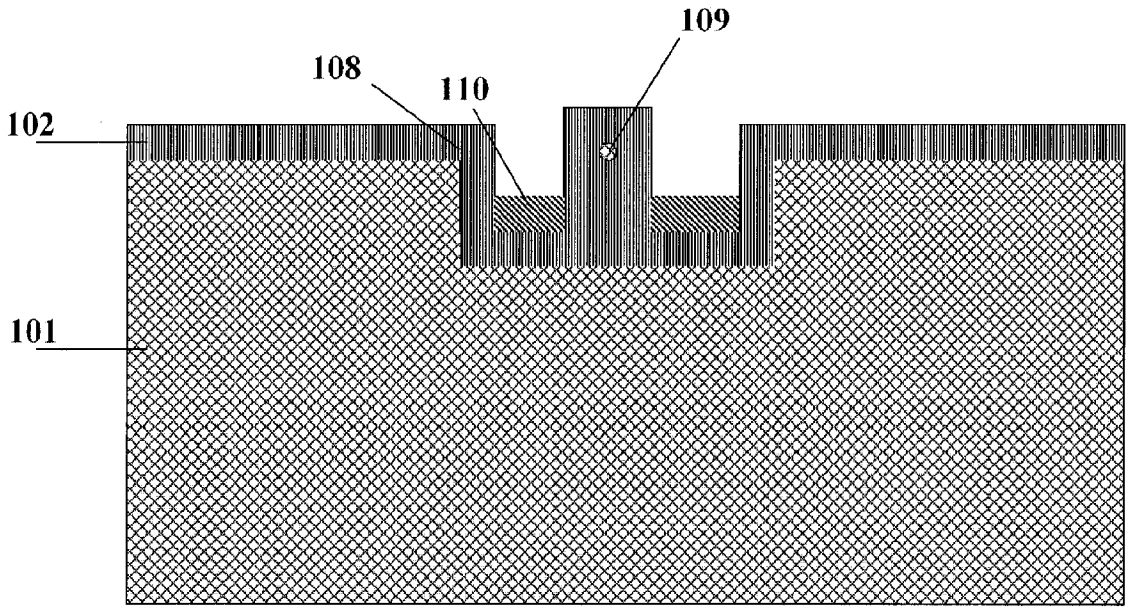


图 1(i)

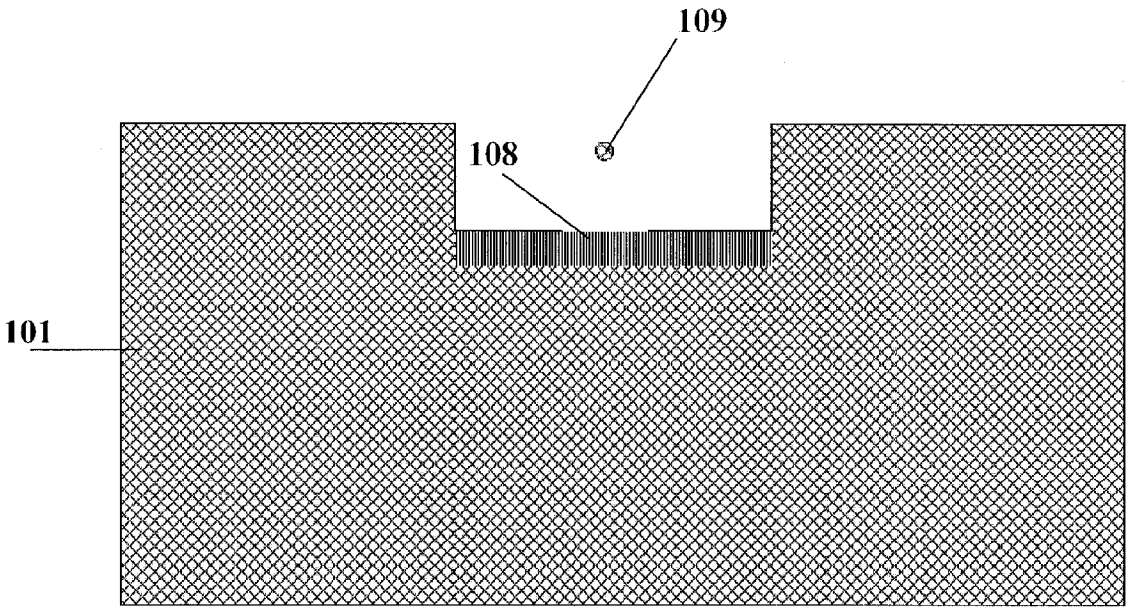


图 1(j)

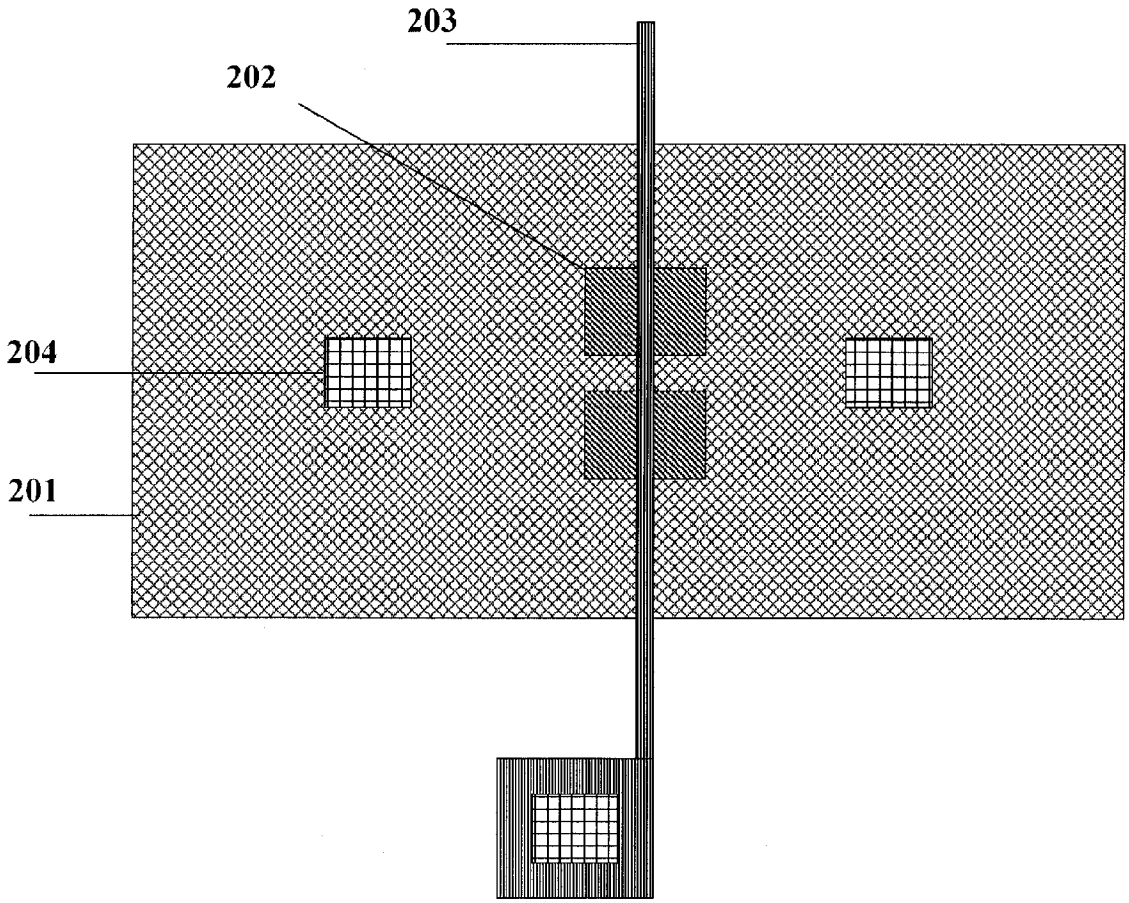


图 2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2010/074699

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8238（2006.01）i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,CPRS,CNKI：compound, accumulation, gate, CMOS, transistor, channel, isolate+, oxide, N，P，SiN, MOSFET, plane, nanometer, semiconductor, silicon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101359627A (UNIV XIAN ELECTRONICS SCI&TECHNOLOGY (CN)) 04 Feb. 2009 (04.02.2009) claims1-3, pages 4-10 of description and fig. 2	1-10
A	JP2006-108695A (SHARP KK (JP)) 20 Apr. 2006(20.04.2006) the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 Aug. 2010 (14.08.2010)	**28 Oct. 2010 (28.10.2010)**
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer XIE,Shaojun Telephone No. (86-10)62411593

Form PCT/ISA /210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/074699

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101359627A	04.02.2009	None	
JP2006-108695A	20.04.2006	None	

国际检索报告

国际申请号
PCT/CN2010/074699

A. 主题的分类

H01L 21/8238（2006.01）i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

WPI,EPODOC,CPRS,CNKI：栅，CMOS，晶体管，MOSFET，纳米，N，P，SiN，沟道，隔离，准平面，氧化， 半导体，硅，compound, accumulation, gate, CMOS, transistor, channel, isolate+, oxide, N，P，SiN, MOSFET, plane, nanometer, semiconductor, silicon

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN101359627A (西安电子科技大学(中国)) 04.2 月 2009（04.02.2009）权利要求 1-3，说明书第 4-10 页，图 2	1-10
A	JP2006-108695A (夏普株式会社(日本)) 20.4 月 2006（20.04.2006）全文	1-10

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
14. 8 月 2010 （14.08.2010）	**28.10 月 2010 (28.10.2010)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 谢绍俊 电话号码：(86-10) **62411593**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/074699

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN101359627A	04.02.2009	无	
JP2006-108695A	20.04.2006	无	