

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6111131号
(P6111131)

(45) 発行日 平成29年4月5日 (2017.4.5)

(24) 登録日 平成29年3月17日 (2017.3.17)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 4
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 G
HO 1 L 27/092 (2006.01)	HO 1 L 27/10 3 8 1
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 6 2 1 Z
請求項の数 2 (全 49 頁) 最終頁に続く	

(21) 出願番号	特願2013-90294 (P2013-90294)	(73) 特許権者	000153878
(22) 出願日	平成25年4月23日 (2013.4.23)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-243352 (P2013-243352A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年12月5日 (2013.12.5)	(72) 発明者	佐々木 俊成
審査請求日	平成28年3月18日 (2016.3.18)		栃木県栃木市都賀町升塚161-2 アド
(31) 優先権主張番号	特願2012-103302 (P2012-103302)		バンスト フィルム デバイス インク
(32) 優先日	平成24年4月27日 (2012.4.27)		株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	横山 周平
			栃木県栃木市都賀町升塚161-2 アド
			バンスト フィルム デバイス インク
			株式会社内
		(72) 発明者	羽持 貴士
			栃木県栃木市都賀町升塚161-2 アド
			バンスト フィルム デバイス インク
			株式会社内
			最終頁に続く

(54) 【発明の名称】 酸化物半導体膜の評価方法

(57) 【特許請求の範囲】

【請求項 1】

インジウム、ガリウム、スズ、ハフニウムおよび亜鉛のいずれかを含む酸化物半導体膜の評価方法であって、

前記酸化物半導体膜に、前記酸化物半導体膜のバンドギャップ以上のエネルギーを有する光を照射してキャリアを生成させ、

前記キャリアの一部が再結合する際の発光のエネルギーと前記発光の強度をプロットし、

前記プロットをガウス関数で表される第1カーブおよび第2カーブで近似し、

前記第1カーブの極大値は1.6 eV以上1.8 eV以下であり、前記第2カーブの極大値は1.7 eV以上2.4 eV以下であり、

前記第2カーブの面積を前記第1カーブの面積および前記第2カーブの面積の和で除した値が0.1以上1未満であるか否かを評価することを特徴とする酸化物半導体膜の評価方法。

【請求項 2】

インジウム、ガリウム、スズ、ハフニウムおよび亜鉛のいずれかを含む酸化物半導体膜の評価方法であって、

前記酸化物半導体膜のPLスペクトルのカーブを、ガウス関数で表される第1カーブおよび第2カーブで近似し、

前記第1カーブの極大値は1.6 eV以上1.8 eV以下であり、前記第2カーブ

の極大値は 1.7 eV 以上 2.4 eV 以下であり、

前記第 2 カーブの面積を前記第 1 カーブの面積および前記第 2 カーブの面積の和で除した値が 0.1 以上 1 未満であるか否かを評価することを特徴とする酸化物半導体膜の評価方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体膜、酸化物半導体膜の評価方法、半導体装置および半導体装置の評価方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、電気光学装置、半導体回路および電子機器などは全て半導体装置である。

【0003】

または、本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体膜、半導体装置、表示装置、液晶表示装置、発光装置、それらの駆動方法、またはそれらを生産する方法に関する。特に、本発明は、例えば、トランジスタを有する半導体装置、表示装置、発光装置、またはそれらの駆動方法に関する。または、本発明は、例えば、当該半導体装置、当該表示装置、または当該発光装置を有する電子機器に関する。

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体膜を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体膜としてシリコン膜が知られている。

【0005】

トランジスタに用いられるシリコン膜は、用途によって非晶質シリコン膜と多結晶シリコン膜とが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコン膜を用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコン膜を用いると好適である。多結晶シリコン膜は、非晶質シリコン膜に対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

【0006】

さらに、近年では酸化物半導体膜が注目されている。例えば、キャリア密度が $10^{18} / \text{cm}^3$ 未満であるインジウム、ガリウムおよび亜鉛を含む非晶質酸化物半導体膜を用いたトランジスタが開示されている（特許文献 1 参照。）。

【0007】

酸化物半導体膜は、スパッタリング法を用いて成膜できるため、大型の表示装置を構成するトランジスタに適用することができる。また、酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコン膜を用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【0008】

ところで、酸化物半導体膜は、水素および酸素欠損に敏感であることが知られている（非特許文献 1 参照。）。即ち、酸化物半導体膜を用いたトランジスタにおいて良好なスイッチング特性を得るためには、酸化物半導体膜における水素および酸素欠損の管理が重要となる。

【0009】

しかしながら、水素は酸化物半導体膜の主成分ではないため、その評価は検出感度の高い

10

20

30

40

50

分析手法が求められる。また、水素は軽元素であるため、分析手法が限定されてしまう。従って、酸化物半導体膜中の水素の評価は困難な場合がある。

【0010】

一方、酸素は酸化物半導体膜の主成分である。従って、分析手法も主成分の分析が可能な手法に限定される。主成分の分析に適した手法によって、微量の変化を評価することは困難である。そのため、酸化物半導体膜中の微量な酸素の増減を評価することは困難である。即ち、酸化物半導体膜の酸素欠損の評価は困難である。

【0011】

以上に示したように、酸化物半導体膜の水素および酸素欠損の評価はこれまで困難であった。そのため、酸化物半導体膜を用いたトランジスタが良好なスイッチング特性を有するかは、実際にトランジスタを作製し、評価することで行われてきた。

10

【0012】

なお、酸化物半導体膜中の欠陥準位の評価方法として、低温フォトルミネッセンス (PL : Photoluminescence) 法が開示されている (特許文献2参照。)。これによれば、酸化物半導体膜の低温PL法によって得られるPLスペクトルは、1.8 eV付近にピークを有するスペクトルが現れることが示されている。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2006-165528号公報

20

【特許文献2】特開2012-84867号公報

【非特許文献】

【0014】

【非特許文献1】Toshio Kamiya, Kenji Nomura, and Hideo Hosono, "Origins of High Mobility and Low Operation Voltage of Amorphous Oxide TFTs: Electronic Structure, Electron Transport, Defects and Doping" Journal of Display Technology, vol. 5, No. 7, 2009, pp 273 - 288

30

【発明の概要】

【発明が解決しようとする課題】

【0015】

酸化物半導体膜の評価方法を提供することを課題の一とする。酸化物半導体膜を用いたトランジスタの評価方法を提供することを課題の一とする。

【0016】

良好なスイッチング特性を有する、酸化物半導体膜を用いたトランジスタを提供することを課題の一とする。良好なスイッチング特性を実現する、トランジスタに適用可能な酸化物半導体膜を提供することを課題の一とする。

【0017】

40

または、オフ時の電流の小さい、トランジスタなどを提供することを課題の一とする。または、高い電界効果移動度を有するトランジスタなどを提供することを課題の一とする。または、歩留まり高いトランジスタなどを提供することを課題の一とする。または、当該トランジスタなどを有する半導体装置などを提供することを課題の一とする。または、新規な半導体装置などを提供することを課題の一とする。

【0018】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

50

【課題を解決するための手段】

【0019】

本発明の一態様に係る酸化物半導体膜は、低温PL法によって得られるPLスペクトルにおいて、極大値が1.6 eV以上1.8 eV以下である第1カーブと、極大値が1.7 eV以上2.4 eV以下である第2カーブと、を有し、第2カーブの面積を第1カーブの面積および第2カーブの面積の和で除した値が0.1以上1未満である。

【0020】

なお、酸化物半導体膜は、インジウム、ガリウム、スズ、ハフニウムおよび亜鉛のいずれかを含む。

【0021】

また、本発明の一態様に係る半導体装置は、上述した酸化物半導体膜と、酸化物半導体膜と接して設けられたゲート絶縁膜と、ゲート絶縁膜を介して酸化物半導体膜と重ねて設けられたゲート電極と、を有する。

【0022】

低温PL法では、低温（例えば、100 K程度または10 K程度）において、試料に試料を構成する物質のバンドギャップ以上のエネルギーを有する光を照射し、キャリア（電子およびホール）を生成する。生成されたキャリアは再結合によって当初の熱平衡状態に戻るが、一部が発光性再結合過程を取り、PL光が放出される。当該PL光を検出器により検出することで、試料のPLスペクトルを測定することができる。近年は検出器の精度が高まり、極めて高感度でPLスペクトルを測定することが可能となっている。

【0023】

なお、試料から放出されるPL光には、バンド間再結合による発光、自由励起子の再結合による発光、束縛励起子の再結合による発光、ドナー準位・価電子帯間の再結合による発光、伝導帯・アクセプター準位間の再結合による発光およびドナー・アクセプター対間の再結合による発光（D-A対発光ともいう。）などがある。

【0024】

ここで、水素および酸素欠損は酸化物半導体膜においてドナー準位を形成する原因となる場合がある。即ち、酸化物半導体膜に水素または/および酸素欠損が存在するとき、ドナー準位・価電子帯間の再結合による発光が検出される場合がある。また、PLスペクトルを解析することでドナー準位を形成する原因（水素、酸素欠損など）の識別も可能となる。

【0025】

酸化物半導体膜の低温PL法によって得られるPLスペクトルを詳細に解析したところ、特許文献2で示された1.8 eV付近にピークが現れるスペクトルを二種に分離できることがわかった。具体的には、1.8 eV付近にピークが現れるスペクトルは、極大値が1.6 eV以上1.8 eV以下である第1カーブと、極大値が1.7 eV以上2.4 eV以下である第2カーブに分離可能である。なお、第1カーブおよび第2カーブはそれぞれガウス関数によって表されるスペクトルである。

【0026】

ガウス関数は、数式(1)で示すことができる。なお、数式(1)に示すa、bおよびcは任意数である。

【0027】

【数1】

$$f(x) = a \exp \left[-\frac{(x-b)^2}{2c^2} \right] \quad (1)$$

【0028】

さらに、第1カーブの面積および第2カーブの面積の関係と、トランジスタのスイッチング特性の良否の関係について検討したところ、第2カーブの面積を第1カーブの面積およ

10

20

30

40

50

び第2カーブの面積の和で除した値が0.1以上1未満である酸化半導体膜を用いたとき、トランジスタは良好なスイッチング特性を示し、第2カーブの面積を第1カーブの面積および第2カーブの面積の和で除した値が0.1未満である酸化半導体膜を用いたとき、トランジスタは良好なスイッチング特性を示さないことがわかった。なお、第1カーブおよび第2カーブの面積は、ピーク高さと半値全幅(FWHM: Full Width at Half Maximumともいう。)との積とした。ここで、FWHMは数式(2)で示すことができる。

【0029】

【数2】

$$FWHM = 2\sqrt{2\ln 2} \cdot c \quad (2)$$

10

【0030】

本評価方法によれば、PL光が検出可能な場合、トランジスタ、半導体装置を破壊することなく評価可能である。ただし、トランジスタ、半導体装置の一部または全部を破壊しての評価を除外するものではない。また、トランジスタ、半導体装置を破壊することなく評価可能であるため、トランジスタ、半導体装置の作製工程中の中間評価として適用することが可能である。

【発明の効果】

【0031】

20

低温PL法によって得られるPLスペクトルをガウス関数による近似を適用して解析することにより、酸化半導体膜の評価することができる。また、酸化半導体膜を用いたトランジスタを評価することができる。

【0032】

低温PL法によって得られるPLスペクトルを解析することにより、酸化半導体膜を用いたトランジスタが良好なスイッチング特性を有するかどうかを判別することができる。また、良好なスイッチング特性を実現するトランジスタに適用可能な酸化半導体膜かどうかを判別することができる。従って、良好なスイッチング特性を有する、酸化半導体膜を用いたトランジスタを提供することができる。良好なスイッチング特性を実現する、トランジスタに適用可能な酸化半導体膜を提供することができる。

30

【図面の簡単な説明】

【0033】

【図1】本発明の一態様に係る低温PL法によって得られるPLスペクトル、およびPLスペクトルの解析方法を説明する図。

【図2】本発明の一態様に係る酸化半導体膜を含む断面図。

【図3】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図4】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図5】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図6】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図7】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

40

【図8】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図9】本発明の一態様に係る半導体装置の回路図および断面図。

【図10】本発明の一態様に係る半導体装置の回路図。

【図11】本発明の一態様に係る半導体装置の回路図および断面図。

【図12】本発明の一態様に係る半導体装置の回路図。

【図13】本発明の一態様に係る半導体装置の回路図、断面図および電気特性を示す図。

【図14】本発明の一態様に係る半導体装置の回路図、電気特性を示す図および断面図。

【図15】本発明の一態様に係るCPUの構成を示すブロック図。

【図16】本発明の一態様に係る、EL素子を用いた表示装置の回路図、EL素子を用いた表示装置の画素の一部の断面図、および発光層の断面図。

50

【図 17】本発明の一態様に係る、液晶素子を用いた表示装置の画素の回路図および断面図。

【図 18】本発明の一態様に係る電子機器を説明する図。

【図 19】試料 1 の P L スペクトル、および試料 1 と同様の構造を含むトランジスタの $V_g - I_d$ カーブ。

【図 20】試料 3 の P L スペクトル、および試料 3 と同様の構造を含むトランジスタの $V_g - I_d$ カーブ。

【図 21】試料 5 の P L スペクトル、および試料 5 と同様の構造を含むトランジスタの $V_g - I_d$ カーブ。

【図 22】試料 7 の P L スペクトル、および試料 8 と同様の構造を含むトランジスタの $V_g - I_d$ カーブ。

10

【発明を実施するための形態】

【0034】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0035】

20

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【0036】

本明細書においては、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0037】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

30

【0038】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0039】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0040】

（実施の形態 1）

40

本実施の形態では、本発明の一態様に係る酸化物半導体膜について説明する。また、酸化物半導体膜の低温 P L 法によって得られる P L スペクトルの評価方法について説明する。

【0041】

まずは、酸化物半導体膜の低温 P L 法によって得られる P L スペクトルの解析方法について説明する。

【0042】

図 1 に、酸化物半導体膜の低温 P L 法によって得られる P L スペクトルの一例を示す。図 1 (A) には、酸化物半導体膜を含む試料の低温 P L 法によって得られる P L スペクトルであるカーブ 10 と、カーブ 10 から基板などに起因するバックグラウンドを差し引いたカーブ 11 と、が示されている。従って、カーブ 11 は、より酸化物半導体膜自体の P L

50

スペクトルを示しているといえる。そこで、特に断りがない限り、以降はバックグラウンドを差し引いたPLスペクトルを用いて説明する。

【0043】

図1(B)には、ガウス関数で表される、カーブ12およびカーブ13と、カーブ12およびカーブ13の和であるカーブ14と、が示されている。ただし測定の場合上、1.24 eV以下のエネルギー範囲を省略して示す。ここで、カーブ12およびカーブ13は、カーブ14が図1(A)で示したカーブ11の近似曲線となるように算出されたカーブである。従って、カーブ11は、ガウス関数で表されるカーブ12およびカーブ13の和の近似曲線であることがわかる。なお、1.25 eV以上2.5 eV以下のエネルギー範囲において、カーブ11とカーブ14との各測定点における差分を二乗して足し合わせ、測定点数で除した値の平方根(二乗平均平方根ともいう。)が0.05以下、0.02以下または0.01以下となるようにカーブ12およびカーブ13を算出する。二乗平均平方根が小さいほど、カーブ11とカーブ14との誤差が小さいことを示す。

10

【0044】

以上のようにして、酸化物半導体膜の低温PL法によって得られるPLスペクトルは、ガウス関数で表される二つのカーブに分離できる。なお、便宜上、二つに分離されたカーブを、それぞれPLスペクトルのカーブ(またはピーク)と呼ぶ。特に、より低エネルギーにピークを有するカーブを第1カーブ、より高エネルギーにピークを有するカーブを第2カーブと呼ぶ。

【0045】

20

次に、本発明の一態様に係る酸化物半導体膜について、図2を用いて説明する。

【0046】

図2(A)は、酸化物半導体膜56aである。なお、酸化物半導体膜56aは単一種から構成されるように示しているが、これに限定されるものではない。例えば、酸化物半導体膜56aが、複数種の酸化物半導体膜の積層であってもよいし、複数種の酸化物半導体膜の混合層であってもよい。

【0047】

酸化物半導体膜56aは、低温PL法によって得られるPLスペクトルを解析することで、二種のカーブ(第1カーブおよび第2カーブ)に分離される酸化物半導体膜である。ここで、第2カーブの面積を第1カーブの面積および第2カーブの面積の和で除した値が0.1以上1未満である。なお、図1の説明では、第1カーブに相当するカーブ12は1.24 eV以下のエネルギー範囲が省略して示されているが、第1カーブの面積を計算する際には1.24 eV以下のエネルギー範囲も考慮する。

30

【0048】

なお、酸化物半導体膜56aは、インジウム、ガリウム、スズ、ハフニウムおよび亜鉛のいずれかを含む酸化物半導体膜である。

【0049】

なお、第1カーブおよび第2カーブの極大値は酸化物半導体膜の種類によって異なる。具体的には、酸化物半導体膜56aがIn-Ga-Zn酸化物である場合、第1カーブは極大値が1.6 eV以上1.8 eV以下となり、第2カーブの極大値は1.7 eV以上2.4 eV以下となる。より詳細には、In-Ga-Zn酸化物がIn:Ga:Zn=1:1:1[原子数比]である場合、第1カーブの極大値は1.6 eV以上1.8 eV以下となり、第2カーブの極大値は1.9 eV以上2.2 eV以下となる。

40

【0050】

なお、In-Ga-Zn酸化物に代えて、In-M-Zn酸化物とした場合も、上述した値の近傍に第1カーブの極大値および第2カーブの極大値が現れる場合がある。従って、本発明の一態様に係る酸化物半導体膜は、In-M-Zn酸化物についても適用可能である。なお、元素Mは酸素との結合エネルギーがInおよびZnよりも高い元素である。または、In-M-Zn酸化物から酸素が脱離することを抑制する機能を有する元素である。元素Mの作用によって、酸化物半導体膜中の酸素欠損の生成が抑制される。なお、酸化

50

物半導体膜の酸素欠損はキャリアを生成することがある。そのため、元素Mの作用によって、酸化物半導体膜中のキャリア密度が増大することを防ぎ、その結果オフ電流の増大を抑制できる。また、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

【0051】

元素Mは、具体的にはAl、Si、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ge、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Y、Zr、CeまたはHfとする。元素Mは、前述の元素から一種または二種以上選択すればよい。

10

【0052】

以下では、酸化物半導体膜56aに適用可能な酸化物半導体膜の構造について説明する。

【0053】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜などをいう。

【0054】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

20

【0055】

微結晶酸化物半導体膜は、例えば、1nm以上10nm未満の大きさの微結晶(ナノ結晶ともいう。)を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0056】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う。

30

【0057】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、結晶部同士の明確な境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0058】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

40

【0059】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0060】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有して

50

いることがわかる。

【0061】

C A A C - O S 膜に対し、X 線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0062】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる *i n - p l a n e* 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (1 1 0) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(1 1 0) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

10

【0063】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

20

【0064】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0065】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

30

【0066】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0067】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

40

【0068】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0069】

酸化物半導体膜 5 6 a は、低温 P L 法によって得られた P L スペクトルにおいて、第 2 カーブの面積を第 1 カーブの面積および第 2 カーブの面積の和で除した値が 0 . 1 以上 1 未満の酸化物半導体膜である。従って、前述したように、酸化物半導体膜 5 6 a を用いたトランジスタは、良好なスイッチング特性を有する。

50

【0070】

次に、図2(A)とは異なる構造について、図2(B)を用いて説明する。図2(B)は、絶縁膜52と、絶縁膜68と、に挟まれた酸化物半導体膜56bである。

【0071】

酸化物半導体膜は、水素および酸素欠損がドナーとなり電子を生成する。また、そのほかの不純物(主成分を除く微量成分)がドナーとなり電子を生成する。従って、酸化物半導体膜は環境の影響を受ける場合がある。そのため、酸化物半導体膜が大気に曝露された状態で用いられることは、特別な用途(センサーなど)を除くと稀である。即ち、図2(B)に示すような、絶縁膜に挟まれた構造(酸化物半導体膜56bが露出していない状態)において評価できることが好ましい。

10

【0072】

ここで、酸化物半導体膜56bは、酸化物半導体膜56aと同様に第2カーブの面積を第1カーブの面積および第2カーブの面積の和で除した値が0.1以上1未満である酸化物半導体膜である。また、酸化物半導体膜56bは、酸化物半導体膜56aとして示した種類の酸化物半導体膜を適用すればよい。

【0073】

絶縁膜52は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜から選択して、単層で、または積層で用いられればよい。

20

【0074】

なお、本明細書において、酸化窒化シリコンは、その組成において、窒素よりも酸素の含有量が多いものを示し、また、窒化酸化シリコンは、その組成において、酸素よりも窒素の含有量が多いものを示す。

【0075】

絶縁膜52は平坦性を有すると好ましい。具体的には、絶縁膜52は、平均面粗さ(Ra)が1nm以下、0.3nm以下、または0.1nm以下にする。Raとは、JIS B 0601:2001(ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、数式(3)にて定義される。

30

【0076】

【数3】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (3)$$

【0077】

ここで、指定面とは、粗さ計測の対象となる面であり、座標((x₁, y₁, f(x₁, y₁))(x₁, y₂, f(x₁, y₂))(x₂, y₁, f(x₂, y₁))(x₂, y₂, f(x₂, y₂))の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積をS₀、基準面の高さ(指定面の平均の高さ)をZ₀とする。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

40

【0078】

また、絶縁膜52は、過剰酸素を含む絶縁膜である。具体的には、絶縁膜52は、加熱処理などによって酸素を放出することができる絶縁膜である。言い換えると、絶縁膜52は、加熱処理によって酸素を放出する機能を有する絶縁膜である。

【0079】

ここで、加熱処理によって酸素を放出するとは、TDS(Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)分析にて放出される酸素が酸素原子に換算して1×10¹⁸ atoms/cm³以上、1×10¹⁹ atoms/cm³以上、

50

m^3 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【0080】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0081】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0082】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量 (N_{O_2}) は、数式(4)で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸素分子由来と仮定する。質量数32のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0083】

【数4】

$$\text{N}_{\text{O}_2} = \frac{\text{N}_{\text{H}_2}}{\text{S}_{\text{H}_2}} \times \text{S}_{\text{O}_2} \times \alpha \quad (4)$$

【0084】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$ とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。数式(4)の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定した。

【0085】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0086】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0087】

または、加熱処理によって酸素を放出するとは、過酸化ラジカルを含むことをいう。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含むとは、ESRにて、 g 値が2.01近傍に非対称の信号を有することをいう。

【0088】

または、過剰酸素を含む絶縁膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) は、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) により測定した値である。

【0089】

なお、絶縁膜68に関しては絶縁膜52と同様とし、説明を省略する。

【0090】

10

20

30

40

50

また、絶縁膜 5 2 および絶縁膜 6 8 の少なくとも一方は、低温 P L 法に用いる光が透過可能な絶縁膜を用いる。

【 0 0 9 1 】

低温 P L 法では、酸化物半導体膜のキャリアを生成するために酸化物半導体膜のバンドギャップ以上のエネルギーを有する光を照射する。従って、絶縁膜 5 2 および絶縁膜 6 8 の少なくとも一方は、酸化物半導体膜のバンドギャップ以上のエネルギーを有する光が透過する絶縁膜を用いる。

【 0 0 9 2 】

酸化物半導体膜 5 6 b の低温 P L 法によって得られた P L スペクトルにおいて、第 2 カーブの面積を第 1 カーブの面積および第 2 カーブの面積の和で除した値が 0 . 1 以上 1 未満であることにより、絶縁膜 5 2 と、絶縁膜 6 8 と、に挟まれた酸化物半導体膜 5 6 b を用いたトランジスタは、良好なスイッチング特性を得ることができる。

【 0 0 9 3 】

本実施の形態に示した酸化物半導体膜を適用することにより、良好なスイッチング特性を有するトランジスタを得ることができる。

【 0 0 9 4 】

本実施の形態は、他の実施の形態および実施例と適宜組み合わせて用いることができる。

【 0 0 9 5 】

(実施の形態 2)

本実施の形態では、本発明の一態様に係るトランジスタについて説明する。

【 0 0 9 6 】

図 3 (A) は本発明の一態様に係るトランジスタの上面図である。図 3 (A) に示す一点鎖線 A 1 - A 2 に対応する断面図を図 3 (B) に示す。また、図 3 (A) に示す一点鎖線 A 3 - A 4 に対応する断面図を図 3 (C) に示す。なお、簡単のため、図 3 (A) においては、ゲート絶縁膜 1 1 2 など省略して示す。

【 0 0 9 7 】

図 3 (B) は、基板 1 0 0 上に設けられた下地絶縁膜 1 0 2 と、下地絶縁膜 1 0 2 上に設けられたゲート電極 1 0 4 と、ゲート電極 1 0 4 上に設けられたゲート絶縁膜 1 1 2 と、ゲート絶縁膜 1 1 2 上にあり、ゲート電極 1 0 4 と重畳して設けられた酸化物半導体膜 1 0 6 と、酸化物半導体膜 1 0 6 上に設けられたソース電極 1 1 6 a およびドレイン電極 1 1 6 b と、酸化物半導体膜 1 0 6 、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b 上に設けられた保護絶縁膜 1 1 8 と、を有するトランジスタの断面図である。なお、図 3 (B) では下地絶縁膜 1 0 2 の設けられた構造を示すが、これに限定されない。例えば、下地絶縁膜 1 0 2 が設けられない構造としても構わない。

【 0 0 9 8 】

ここで、酸化物半導体膜 1 0 6 は、先の実施の形態で示した酸化物半導体膜を適用する。具体的には、酸化物半導体膜 1 0 6 は、低温 P L 法によって得られる P L スペクトルを解析することで、二種のカーブに分離される酸化物半導体膜である。ここで、第 2 カーブの面積を第 1 カーブの面積および第 2 カーブの面積の和で除した値が 0 . 1 以上 1 未満である。

【 0 0 9 9 】

なお、酸化物半導体膜 1 0 6 は、インジウム、ガリウム、スズ、ハフニウムおよび亜鉛のいずれかを含む酸化物半導体膜である。

【 0 1 0 0 】

また、酸化物半導体膜 1 0 6 は、水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とする。これは、酸化物半導体膜 1 0 6 に含まれる水素が、意図しないキャリアを生成することがあるためである。生成されたキャリアは、トランジスタのオフ電流を増大させ、かつトランジスタの電気特性を変動させる要因となる。従って、酸化物半導体膜 1 0 6 の水素濃度を上述の範囲とすることで、トランジスタのオフ電流の増大を抑

10

20

30

40

50

制し、かつトランジスタの電気特性の変動を抑制することができる。

【0101】

酸化物半導体膜106のドナー（水素、酸素欠損など）濃度を極めて小さくすることにより、酸化物半導体膜106を用いたトランジスタは、オフ電流の極めて小さいトランジスタとすることができる。具体的には、チャネル長が $3\mu\text{m}$ 、チャネル幅が $1\mu\text{m}$ のときのトランジスタのオフ電流を、 $1 \times 10^{-21}\text{A}$ 以下、または $1 \times 10^{-25}\text{A}$ 以下とすることができる。

【0102】

基板100に大きな制限はない。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI（Silicon On Insulator）基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

10

【0103】

また、基板100として、第5世代（ $1000\text{mm} \times 1200\text{mm}$ または $1300\text{mm} \times 1500\text{mm}$ ）、第6世代（ $1500\text{mm} \times 1800\text{mm}$ ）、第7世代（ $1870\text{mm} \times 2200\text{mm}$ ）、第8世代（ $2200\text{mm} \times 2500\text{mm}$ ）、第9世代（ $2400\text{mm} \times 2800\text{mm}$ ）、第10世代（ $2880\text{mm} \times 3130\text{mm}$ ）などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板100の縮みによって、微細な加工が困難になる場合がある。そのため、前述したような大型ガラス基板を基板100として用いる場合、加熱処理による縮みの小さいものを用いることが好ましい。例えば、基板100として、400℃、好ましくは450℃、さらに好ましくは500℃の温度で1時間加熱処理を行った後の縮み量が10ppm以下、好ましくは5ppm以下、さらに好ましくは3ppm以下である大型ガラス基板を用いればよい。

20

【0104】

また、基板100として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

30

【0105】

下地絶縁膜102は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜から選択して、単層で、または積層で用いればよい。

【0106】

ゲート電極104は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【0107】

ソース電極116aおよびドレイン電極116bは、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。なお、ソース電極116aとドレイン電極116bは同一組成であってもよいし、異なる組成であってもよい。

40

【0108】

ゲート絶縁膜112は、絶縁膜52と同様の絶縁膜を用いればよい。

【0109】

保護絶縁膜118は、絶縁膜68と同様の絶縁膜を用いればよい。

【0110】

また、ゲート絶縁膜112および保護絶縁膜118の少なくとも一方は、低温PL法に用

50

いる光が透過可能な絶縁膜を用いる。好ましくは、保護絶縁膜 118 は、低温 PL 法に用いる光が透過可能な絶縁膜を用いる。保護絶縁膜 118 が低温 PL 法に用いる光が透過可能な絶縁膜であることにより、トランジスタまたはトランジスタを有する半導体装置において、酸化物半導体膜 106 の低温 PL 法による評価が可能となる。

【0111】

ゲート絶縁膜 112 および保護絶縁膜 118 の少なくとも一方は、過剰酸素を含む絶縁膜であると好ましい。

【0112】

ゲート絶縁膜 112 および保護絶縁膜 118 の少なくとも一方が過剰酸素を含む絶縁膜である場合、酸化物半導体膜 106 の酸素欠損を低減することができる。

10

【0113】

酸化物半導体膜 106 の低温 PL 法によって得られた PL スペクトルにおいて、第 2 カーブの面積を第 1 カーブの面積および第 2 カーブの面積の和で除した値が 0.1 以上 1 未満であることにより、図 3 (B) に示すトランジスタは、良好なスイッチング特性を有する。

【0114】

なお、図 3 に示したトランジスタに、バックゲート電極 114 を設けたものが図 4 に示すトランジスタである。

【0115】

図 4 (A) は本発明の一態様に係るトランジスタの上面図である。図 4 (A) に示す一点鎖線 A1 - A2 に対応する断面図を図 4 (B) に示す。また、図 4 (A) に示す一点鎖線 A3 - A4 に対応する断面図を図 4 (C) に示す。なお、簡単のため、図 4 (A) においては、ゲート絶縁膜 112 などを省略して示す。

20

【0116】

図 4 に示すトランジスタは、バックゲート電極 114 が設けられたことにより、しきい値電圧の制御が容易となる。また、ゲート電極 104 とバックゲート電極 114 とを電氣的に接続することにより、トランジスタのオン電流を高めることができる。または、バックゲート電極 114 を負電位 (トランジスタのソースよりも低い電位または GND 未満の電位) または GND とすることにより、トランジスタのオフ電流を低減することができる。

【0117】

次に、図 3 および図 4 とは異なる構造のトランジスタについて、図 5 を用いて説明する。

30

【0118】

図 5 (A) は本発明の一態様に係るトランジスタの上面図である。図 5 (A) に示す一点鎖線 B1 - B2 に対応する断面図を図 5 (B) に示す。また、図 5 (A) に示す一点鎖線 B3 - B4 に対応する断面図を図 5 (C) に示す。なお、簡単のため、図 5 (A) においては、ゲート絶縁膜 212 などを省略して示す。

【0119】

図 5 (B) は、基板 200 上に設けられた下地絶縁膜 202 と、下地絶縁膜 202 上に設けられたゲート電極 204 と、ゲート電極 204 上に設けられたゲート絶縁膜 212 と、ゲート絶縁膜 212 上に設けられたソース電極 216a およびドレイン電極 216b と、ゲート絶縁膜 212、ソース電極 216a およびドレイン電極 216b 上にあり、ゲート電極 204 と重畳して設けられた酸化物半導体膜 206 と、酸化物半導体膜 206、ソース電極 216a およびドレイン電極 216b 上に設けられた保護絶縁膜 218 と、を有するトランジスタの断面図である。なお、図 5 (B) では下地絶縁膜 202 の設けられた構造を示すが、これに限定されない。例えば、下地絶縁膜 202 が設けられない構造としても構わない。

40

【0120】

酸化物半導体膜 206 は、酸化物半導体膜 106 の記載を参照する。

【0121】

基板 200 は、基板 100 の記載を参照する。

50

【 0 1 2 2 】

下地絶縁膜 2 0 2 は、下地絶縁膜 1 0 2 の記載を参照する。

【 0 1 2 3 】

ゲート電極 2 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 1 2 4 】

ゲート絶縁膜 2 1 2 は、絶縁膜 5 2 と同様の絶縁膜を用いればよい。

【 0 1 2 5 】

ソース電極 2 1 6 a およびドレイン電極 2 1 6 b は、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b の記載を参照する。

【 0 1 2 6 】

保護絶縁膜 2 1 8 は、絶縁膜 6 8 と同様の絶縁膜を用いればよい。

【 0 1 2 7 】

なお、図示しないが図 5 に示すトランジスタの保護絶縁膜 2 1 8 上にバックゲート電極が設けられても構わない。当該バックゲート電極は、バックゲート電極 1 1 4 の記載を参照する。

【 0 1 2 8 】

次に、図 3 乃至図 5 とは異なる構造のトランジスタについて、図 6 を用いて説明する。

【 0 1 2 9 】

図 6 (A) は本発明の一態様に係るトランジスタの上面図である。図 6 (A) に示す一点鎖線 C 1 - C 2 に対応する断面図を図 6 (B) に示す。また、図 6 (A) に示す一点鎖線 C 3 - C 4 に対応する断面図を図 6 (C) に示す。なお、簡単のため、図 6 (A) においては、ゲート絶縁膜 3 1 2 などを省略して示す。

【 0 1 3 0 】

図 6 (B) は、基板 3 0 0 上に設けられた下地絶縁膜 3 0 2 と、下地絶縁膜 3 0 2 上に設けられた酸化物半導体膜 3 0 6 と、酸化物半導体膜 3 0 6 上に設けられたソース電極 3 1 6 a およびドレイン電極 3 1 6 b と、酸化物半導体膜 3 0 6、ソース電極 3 1 6 a およびドレイン電極 3 1 6 b 上に設けられたゲート絶縁膜 3 1 2 と、ゲート絶縁膜 3 1 2 上にあり、酸化物半導体膜 3 0 6 と重畳して設けられたゲート電極 3 0 4 と、を有するトランジスタの断面図である。なお、図 6 (B) では下地絶縁膜 3 0 2 の設けられた構造を示すが、これに限定されない。例えば、下地絶縁膜 3 0 2 が設けられない構造としても構わない。

【 0 1 3 1 】

酸化物半導体膜 3 0 6 は、酸化物半導体膜 1 0 6 の記載を参照する。

【 0 1 3 2 】

基板 3 0 0 は、基板 1 0 0 の記載を参照する。

【 0 1 3 3 】

下地絶縁膜 3 0 2 は、絶縁膜 5 2 と同様の絶縁膜を用いればよい。

【 0 1 3 4 】

ソース電極 3 1 6 a およびドレイン電極 3 1 6 b は、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b の記載を参照する。

【 0 1 3 5 】

ゲート絶縁膜 3 1 2 は、絶縁膜 6 8 と同様の絶縁膜を用いればよい。

【 0 1 3 6 】

ゲート電極 3 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 1 3 7 】

なお、図示しないが図 6 に示すトランジスタの下地絶縁膜 3 0 2 下にバックゲート電極が設けられても構わない。当該バックゲート電極は、バックゲート電極 1 1 4 の記載を参照する。

【 0 1 3 8 】

次に、図 3 乃至図 6 とは異なる構造のトランジスタについて、図 7 を用いて説明する。

【 0 1 3 9 】

図 7 (A) は本発明の一態様に係るトランジスタの上面図である。図 7 (A) に示す一点鎖線 D 1 - D 2 に対応する断面図を図 7 (B) に示す。また、図 7 (A) に示す一点鎖線 D 3 - D 4 に対応する断面図を図 7 (C) に示す。なお、簡単のため、図 7 (A) においては、ゲート絶縁膜 4 1 2 などを省略して示す。

【 0 1 4 0 】

図 7 (B) は、基板 4 0 0 上に設けられた下地絶縁膜 4 0 2 と、下地絶縁膜 4 0 2 上に設けられたソース電極 4 1 6 a およびドレイン電極 4 1 6 b と、下地絶縁膜 4 0 2、ソース電極 4 1 6 a およびドレイン電極 4 1 6 b 上に設けられた酸化物半導体膜 4 0 6 と、酸化物半導体膜 4 0 6 上に設けられたゲート絶縁膜 4 1 2 と、ゲート絶縁膜 4 1 2 上にあり、酸化物半導体膜 4 0 6 と重畳して設けられたゲート電極 4 0 4 と、を有するトランジスタの断面図である。なお、図 7 (B) では下地絶縁膜 4 0 2 の設けられた構造を示すが、これに限定されない。例えば、下地絶縁膜 4 0 2 が設けられない構造としても構わない。

10

【 0 1 4 1 】

酸化物半導体膜 4 0 6 は、酸化物半導体膜 1 0 6 の記載を参照する。

【 0 1 4 2 】

基板 4 0 0 は、基板 1 0 0 の記載を参照する。

【 0 1 4 3 】

下地絶縁膜 4 0 2 は、絶縁膜 5 2 と同様の絶縁膜を用いればよい。

【 0 1 4 4 】

ソース電極 4 1 6 a およびドレイン電極 4 1 6 b は、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b の記載を参照する。

20

【 0 1 4 5 】

ゲート絶縁膜 4 1 2 は、絶縁膜 6 8 と同様の絶縁膜を用いればよい。

【 0 1 4 6 】

ゲート電極 4 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 1 4 7 】

なお、図示しないが図 7 に示すトランジスタの下地絶縁膜 4 0 2 下にバックゲート電極が設けられても構わない。当該バックゲート電極は、バックゲート電極 1 1 4 の記載を参照する。

30

【 0 1 4 8 】

次に、図 3 乃至図 7 とは異なる構造のトランジスタについて、図 8 を用いて説明する。

【 0 1 4 9 】

図 8 (A) は本発明の一態様に係るトランジスタの上面図である。図 8 (A) に示す一点鎖線 E 1 - E 2 に対応する断面図を図 8 (B) に示す。また、図 8 (A) に示す一点鎖線 E 3 - E 4 に対応する断面図を図 8 (C) に示す。なお、簡単のため、図 8 (A) においては、ゲート絶縁膜 5 1 2 などを省略して示す。

【 0 1 5 0 】

図 8 (B) は、基板 5 0 0 上に設けられた下地絶縁膜 5 0 2 と、下地絶縁膜 5 0 2 上に設けられた酸化物半導体膜 5 0 6 と、酸化物半導体膜 5 0 6 上に設けられたゲート絶縁膜 5 1 2 と、ゲート絶縁膜 5 1 2 上にあり、酸化物半導体膜 5 0 6 と重畳して設けられたゲート電極 5 0 4 と、酸化物半導体膜 5 0 6 およびゲート電極 5 0 4 上に設けられた層間絶縁膜 5 1 8 と、を有するトランジスタの断面図である。なお、図 8 (B) では下地絶縁膜 5 0 2 の設けられた構造を示すが、これに限定されない。例えば、下地絶縁膜 5 0 2 が設けられない構造としても構わない。

40

【 0 1 5 1 】

図 8 (B) に示す断面図では、層間絶縁膜 5 1 8 は、酸化物半導体膜 5 0 6 に達する開口部を有し、当該開口部を介して、層間絶縁膜 5 1 8 上に設けられた配線 5 2 4 a および配線 5 2 4 b は酸化物半導体膜 5 0 6 と接する。

【 0 1 5 2 】

50

なお、図5(B)では、ゲート絶縁膜512がゲート電極504と重畳する領域のみに設けられているが、これに限定されない。例えば、ゲート絶縁膜512が酸化物半導体膜506を覆うように設けられていてもよい。また、ゲート電極504の側壁に接して側壁絶縁膜を有しても構わない。

【0153】

また、ゲート電極504の側壁に接して側壁絶縁膜を設ける場合、酸化物半導体膜506の側壁絶縁膜と重畳する領域は、ゲート電極504と重畳する領域よりも低抵抗であると好ましい。例えば、酸化物半導体膜506のゲート電極504と重畳しない領域は、酸化物半導体膜506を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。酸化物半導体膜506の側壁絶縁膜と重畳する領域が、ゲート電極504と重畳する領域よりも低抵抗であることにより、当該領域をLDD(Lightly Doped Drain)領域として機能する。トランジスタが、LDD領域を有することによって、DIBL(Drain Induced Barrier Lowering)およびホットキャリア劣化を抑制することができる。ただし、酸化物半導体膜506の側壁絶縁膜と重畳する領域をオフセット領域としても構わない。トランジスタが、オフセット領域を有することでも、DIBLおよびホットキャリア劣化を抑制することができる。

10

【0154】

酸化物半導体膜506は、酸化物半導体膜106の記載を参照する。

【0155】

基板500は、基板100の記載を参照する。

20

【0156】

下地絶縁膜502は、絶縁膜52と同様の絶縁膜を用いればよい。

【0157】

ゲート絶縁膜512は、絶縁膜68と同様の絶縁膜を用いればよい。

【0158】

ゲート電極504は、ゲート電極104の記載を参照する。

【0159】

層間絶縁膜518は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜から選択して、単層で、または積層で用いればよい。

30

【0160】

配線524aおよび配線524bは、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。なお、配線524aと配線524bは同一組成であってもよいし、異なる組成であってもよい。

【0161】

なお、図示しないが図8に示すトランジスタの下地絶縁膜502下にバックゲート電極が設けられても構わない。当該バックゲート電極は、バックゲート電極114の記載を参照する。

40

【0162】

図8に示すトランジスタは、ゲート電極504と他の配線および電極との重畳する領域が小さいため、寄生容量が発生しにくく、トランジスタのスイッチング特性を高めることができる。また、トランジスタのチャネル長がゲート電極504の幅で決定されるため、チャネル長の小さい、微細なトランジスタを作製しやすい構造である。

【0163】

図3乃至図8に示したトランジスタは、低温PL法によって得られたPLスペクトルにおいて、第2カーブの面積を第1カーブの面積および第2カーブの面積の和で除した値が0.1以上1未満である酸化物半導体膜を用いたトランジスタである。従って、良好なスイ

50

タッチング特性を有するトランジスタである。

【0164】

本実施の形態は、他の実施の形態および実施例と適宜組み合わせて用いることができる。

【0165】

(実施の形態3)

本実施の形態では、本発明の一態様に係る半導体装置である論理回路について説明する。

【0166】

図9(A)に、pチャネル型トランジスタおよびnチャネル型トランジスタを用いたNOT回路(インバータ)の一例である回路図を示す。

【0167】

pチャネル型トランジスタであるトランジスタTr1aは、例えばシリコンを用いたトランジスタを適用すればよい。ただし、トランジスタTr1aは、シリコンを用いたトランジスタに限定されない。トランジスタTr1aのしきい値電圧を V_{th1a} とする。

【0168】

nチャネル型トランジスタであるトランジスタTr2aは、先の実施の形態で示したトランジスタを用いればよい。トランジスタTr2aのしきい値電圧を V_{th2a} とする。

【0169】

ここで、トランジスタTr1aのゲートは入力端子VinおよびトランジスタTr2aのゲートと接続される。また、トランジスタTr1aのソースは電源電位(VDD)と電氣的に接続される。また、トランジスタTr1aのドレインは、トランジスタTr2aのドレインおよび出力端子Voutと接続される。また、トランジスタTr2aのソースは接地電位(GND)と接続される。また、トランジスタTr2aのバックゲートはバックゲート線BGLと接続される。本実施の形態では、トランジスタTr2aがバックゲートを有する構成について示すが、これに限定されるものではない。例えば、トランジスタTr2aがバックゲートを有さない構成であっても構わないし、トランジスタTr1aがバックゲートを有する構成であっても構わない。

【0170】

例えば、トランジスタTr1aのしきい値電圧 V_{th1a} は、符号を反転させたVDDよりも高く、かつ0V未満とする($-VDD < V_{th1a} < 0V$)。また、トランジスタTr2aのしきい値電圧 V_{th2a} は、0Vより高く、かつVDD未満とする($0V < V_{th2a} < VDD$)。なお、各トランジスタのしきい値電圧の制御のために、バックゲートを用いても構わない。

【0171】

ここで、入力端子Vinの電位をVDDとすると、トランジスタTr1aのゲート電圧は0Vとなり、トランジスタTr1aはオフする。また、トランジスタTr2aのゲート電圧はVDDとなり、トランジスタTr2aはオンする。従って、出力端子Voutは、GNDと電氣的に接続され、GNDが与えられる。

【0172】

また、入力端子Vinの電位をGNDとすると、トランジスタTr1aのゲート電圧はVDDとなり、トランジスタTr1aはオンする。またトランジスタTr2aのゲート電圧は0Vとなり、トランジスタTr2aはオフする。従って、出力端子Voutは、VDDと電氣的に接続され、VDDが与えられる。

【0173】

以上に示したように、図9(A)に示す回路図において、入力端子Vinの電位がVDDの場合は出力端子VoutからGNDを出力し、入力端子Vinの電位がGNDの場合は出力端子VoutからVDDを出力する。

【0174】

なお、図9(B)は、図9(A)に対応した半導体装置の断面図の一例である。

【0175】

図9(B)は、トランジスタTr1aと、トランジスタTr1a上に設けられた絶縁膜9

10

20

30

40

50

02と、絶縁膜902上に設けられたトランジスタTr2aと、を有する半導体装置の断面図である。

【0176】

絶縁膜902は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜から選択して、単層で、または積層で用いればよい。

【0177】

なお、図9(B)では、トランジスタTr2aに図7で示したトランジスタと類似したトランジスタを適用している。そのため、トランジスタTr2aの各構成のうち、以下で特

10

【0178】

ここで、トランジスタTr1aは、半導体基板650と、半導体基板650に設けられたチャネル領域656、ソース領域657aおよびドレイン領域657bと、半導体基板650に設けられた溝部を埋める素子分離層664と、半導体基板650上に設けられたゲート絶縁膜662と、ゲート絶縁膜662を介してチャネル領域656上に設けられたゲート電極654と、を有する。

【0179】

半導体基板650は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板を用いればよい。

20

【0180】

本実施の形態では半導体基板にトランジスタTr1aが設けられた構成を示しているが、これに限定されるものではない。例えば、半導体基板の代わりに絶縁表面を有する基板を用い、絶縁表面上に半導体膜を設ける構成としても構わない。ここで、絶縁表面を有する基板として、例えば、ガラス基板、セラミック基板、石英基板またはサファイア基板を用いればよい。

【0181】

ソース領域657aおよびドレイン領域657bは、半導体基板650にp型の導電型を付与する不純物を含む領域である。

【0182】

素子分離層664は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を選択して、単層で、または積層で用いればよい。

30

【0183】

ゲート絶縁膜662は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を選択して、単層で、または積層で用いればよい。

【0184】

ゲート電極654は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

40

【0185】

ゲート電極654は、トランジスタTr1aのゲート電極としてだけでなく、トランジスタTr2aのゲート電極としても機能する。そのため、絶縁膜902は、トランジスタTr2aのゲート絶縁膜として機能する。

【0186】

トランジスタTr2aのソース電極916aおよびドレイン電極916bは、図7に示したトランジスタのソース電極416aおよびドレイン電極416bの記載を参照する。

50

【0187】

トランジスタTr 2 aの酸化物半導体膜906は、図7に示したトランジスタの酸化物半導体膜406の記載を参照する。

【0188】

トランジスタTr 2 aのゲート絶縁膜912は、図7に示したトランジスタのゲート絶縁膜412の記載を参照する。

【0189】

トランジスタTr 2 aのゲート電極914は、図7に示したトランジスタのゲート電極404の記載を参照する。ただし、ゲート電極914は、トランジスタTr 2 aのバックゲート電極として機能する。

10

【0190】

なお、図9(B)に示す半導体装置は、ゲート電極654の上面と高さの揃った上面を有する絶縁膜690が設けられる。ただし、絶縁膜690を有さない構造としても構わない。

【0191】

絶縁膜690は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を選択して、単層で、または積層で用いればよい。

20

【0192】

絶縁膜690および絶縁膜902は、トランジスタTr 1 aのドレイン領域657bに達する開口部を有する。トランジスタTr 2 aのドレイン電極916bは、当該開口部を介してトランジスタTr 1 aのドレイン領域657bと接する。

【0193】

トランジスタTr 2 aに先の実施の形態で示したトランジスタを適用すると、トランジスタTr 2 aはオフ電流の極めて小さいトランジスタであるため、トランジスタTr 2 aがオフのときの貫通電流も極めて小さくなる。従って、消費電力の低いインバータとすることができる。

【0194】

なお、図9(A)に示したインバータを組み合わせることによって、図10(A)に示すNAND回路を構成してもよい。図10(A)に示す回路図には、pチャネル型トランジスタであるトランジスタTr 1 bおよびトランジスタTr 4 bと、nチャネル型トランジスタであるトランジスタTr 2 bおよびトランジスタTr 3 bと、を有する。なお、トランジスタTr 1 bおよびトランジスタTr 4 bとして、例えばシリコンを用いたトランジスタを適用すればよい。また、トランジスタTr 2 bおよびトランジスタTr 3 bとして先の実施の形態で示した酸化物半導体膜を用いたトランジスタを適用すればよい。

30

【0195】

また、図9(A)に示したインバータを組み合わせることによって、図10(B)に示すNOR回路を構成してもよい。図10(B)に示す回路図には、pチャネル型トランジスタであるトランジスタTr 1 cおよびトランジスタTr 2 cと、nチャネル型トランジスタであるトランジスタTr 3 cおよびトランジスタTr 4 cと、を有する。なお、トランジスタTr 1 cおよびトランジスタTr 2 cとして、例えばシリコンを用いたトランジスタを適用すればよい。また、トランジスタTr 3 cおよびトランジスタTr 4 cとして先の実施の形態で示した酸化物半導体膜を用いたトランジスタを適用すればよい。

40

【0196】

以上は、pチャネル型トランジスタおよびnチャネル型トランジスタを用いたインバータで構成した論理回路の一例であるが、nチャネル型トランジスタのみを用いたインバータから論理回路を構成しても構わない。一例を図11(A)に示す。

【0197】

図11(A)に示す回路図は、デプレッション型トランジスタであるトランジスタTr 1

50

dと、エンハンスメント型トランジスタであるトランジスタ T_{r2d} と、を有する。

【0198】

デプレッション型トランジスタであるトランジスタ T_{r1d} は、例えば、酸化物半導体膜を用いたトランジスタを用いればよい。ただし、トランジスタ T_{r1d} は、酸化物半導体膜を用いたトランジスタに限定されない。例えば、シリコンを用いたトランジスタを用いても構わない。トランジスタ T_{r1d} のしきい値電圧を V_{th1d} とする。また、デプレッション型トランジスタに代えて、十分抵抗の低い抵抗素子を設けても構わない。

【0199】

エンハンスメント型トランジスタであるトランジスタ T_{r2d} は、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを用いればよい。トランジスタ T_{r2d} のしきい値電圧を V_{th2d} とする。

10

【0200】

なお、トランジスタ T_{r1d} に先の実施の形態で示した酸化物半導体膜を用いたトランジスタを用いても構わない。その場合、トランジスタ T_{r2d} に先の実施の形態で示した酸化物半導体膜を用いたトランジスタ以外を用いても構わない。

【0201】

ここで、トランジスタ T_{r1d} のゲートは入力端子 V_{in} およびトランジスタ T_{r2d} のゲートと接続される。また、トランジスタ T_{r1d} のドレインは VDD と電氣的に接続される。また、トランジスタ T_{r1d} のソースは、トランジスタ T_{r2d} のドレインおよび出力端子 V_{out} と接続される。また、トランジスタ T_{r2d} のソースは GND と接続される。また、トランジスタ T_{r2d} のバックゲートはバックゲート線 BGL と接続される。本実施の形態では、トランジスタ T_{r2d} がバックゲートを有する構成について示すが、これに限定されるものではない。例えば、トランジスタ T_{r2d} がバックゲートを有さない構成であっても構わないし、トランジスタ T_{r1d} がバックゲートを有する構成であっても構わない。

20

【0202】

例えば、トランジスタ T_{r1d} のしきい値電圧 V_{th1d} は $0V$ 未満とする($V_{th1d} < 0V$)。従って、トランジスタ T_{r1d} はゲート電圧によらずオンである。即ち、トランジスタ T_{r1d} は抵抗の十分低い抵抗素子として機能する。また、トランジスタ T_{r2d} のしきい値電圧 V_{th2d} は、 $0V$ より高く、かつ VDD 未満とする($0V < V_{th2d} < VDD$)。なお、各トランジスタのしきい値電圧の制御のために、バックゲートを用いても構わない。また、トランジスタ T_{r1d} に代えて抵抗の十分低い抵抗素子を設けても構わない。

30

【0203】

ここで、入力端子 V_{in} の電位を VDD とすると、トランジスタ T_{r2d} のゲート電圧は VDD となり、トランジスタ T_{r2d} はオンする。従って、出力端子 V_{out} は、 GND と電氣的に接続され、 GND が与えられる。

【0204】

また、入力端子 V_{in} の電位を GND とすると、トランジスタ T_{r2d} のゲート電圧は $0V$ となり、トランジスタ T_{r2d} はオフする。従って、出力端子 V_{out} は、 VDD と電氣的に接続され、 VDD が与えられる。なお、厳密には、出力端子 V_{out} から出力される電位は、 VDD からトランジスタ T_{r1d} の抵抗の分だけ電圧降下した電位となる。ただし、トランジスタ T_{r1d} の抵抗が十分低いため、前述の電圧降下の影響は無視できる。

40

【0205】

以上に示したように、図11(A)に示す回路図において、入力端子 V_{in} の電位が VDD の場合は出力端子 V_{out} から GND を出力し、入力端子 V_{in} の電位が GND の場合は出力端子 V_{out} から VDD を出力する。

【0206】

なお、トランジスタ T_{r1d} とトランジスタ T_{r2d} を同一平面に作製しても構わない。

50

こうすることで、インバータの作製が容易となる。このとき、トランジスタ $Tr1d$ およびトランジスタ $Tr2d$ の少なくとも一方にバックゲートを設けると好ましい。作製したトランジスタがデプレッション型トランジスタである場合、トランジスタ $Tr2d$ のバックゲートによってしきい値電圧 V_{th2d} を前述の範囲にすればよい。また、作製したトランジスタがエンハンスメント型トランジスタである場合、トランジスタ $Tr1d$ のバックゲートによってしきい値電圧 V_{th1d} を前述の範囲にすればよい。なお、トランジスタ $Tr1d$ およびトランジスタ $Tr2d$ のしきい値電圧を、それぞれ異なるバックゲートによって制御しても構わない。

【0207】

または、トランジスタ $Tr1d$ とトランジスタ $Tr2d$ を重ねて作製しても構わない。こうすることで、インバータの面積を縮小することができる。

10

【0208】

図11(B)は、トランジスタ $Tr1d$ とトランジスタ $Tr2d$ を重ねて作製した半導体装置の断面図の一例である。

【0209】

図11(B)において、トランジスタ $Tr1d$ は、図7に示したトランジスタの記載を参照する。また、トランジスタ $Tr2d$ は、図7に示したトランジスタと類似したトランジスタを適用している。そのため、トランジスタ $Tr2d$ の各構成のうち、以下で特に説明しないものについては、図7に関する記載を参照する。

【0210】

20

なお、トランジスタ $Tr1d$ は、基板400上に設けられた下地絶縁膜402と、下地絶縁膜402上に設けられたソース電極416aおよびドレイン電極416bと、下地絶縁膜402、ソース電極416aおよびドレイン電極416b上に設けられた酸化物半導体膜406と、酸化物半導体膜406上に設けられたゲート絶縁膜412と、ゲート絶縁膜412上にあり、酸化物半導体膜406と重畳して設けられたゲート電極404と、を有する。

【0211】

ゲート電極404は、トランジスタ $Tr1d$ のゲート電極としてだけでなく、トランジスタ $Tr2d$ のゲート電極としても機能する。そのため、絶縁膜802は、トランジスタ $Tr2d$ のゲート絶縁膜として機能する。

30

【0212】

トランジスタ $Tr2d$ のソース電極816aおよびドレイン電極816bは、図7に示したトランジスタのソース電極416aおよびドレイン電極416bの記載を参照する。

【0213】

トランジスタ $Tr2d$ の酸化物半導体膜806は、図7に示したトランジスタの酸化物半導体膜406の記載を参照する。

【0214】

トランジスタ $Tr2d$ のゲート絶縁膜812は、図7に示したトランジスタのゲート絶縁膜412の記載を参照する。

【0215】

40

トランジスタ $Tr2d$ のゲート電極814は、図7に示したトランジスタのゲート電極404の記載を参照する。ただし、ゲート電極814は、トランジスタ $Tr2d$ のバックゲート電極として機能する。

【0216】

なお、図11(B)に示す半導体装置は、ゲート電極404の上面と高さの揃った上面を有する絶縁膜420が設けられる。ただし、絶縁膜420を有さない構造としても構わない。

【0217】

絶縁膜420は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリ

50

ウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を選択して、単層で、または積層で用いればよい。

【0218】

絶縁膜420、絶縁膜802および酸化物半導体膜406は、トランジスタTr1dのドレイン電極416bに達する開口部を有する。トランジスタTr2dのソース電極816aは、当該開口部を介してトランジスタTr1dのドレイン電極416bと接する。

【0219】

トランジスタTr2dに先の実施の形態で示したトランジスタを適用すると、トランジスタTr2dはオフ電流の極めて小さいトランジスタであるため、トランジスタTr2dがオフのときの貫通電流も極めて小さくなる。従って、消費電力の低いインバータとすることができる。

10

【0220】

本実施の形態は、適宜他の実施の形態、実施例と組み合わせて用いることができる。

【0221】

(実施の形態4)

本実施の形態では、実施の形態3で示したインバータの回路を応用したフリップフロップで構成する半導体装置であるSRAM(Static Random Access Memory)について説明する。

【0222】

SRAMはフリップフロップを用いてデータを保持するため、DRAM(Dynamic Random Access Memory)とは異なり、リフレッシュ動作が不要である。そのため、データの保持時の消費電力を抑えることができる。また、容量素子を用いないため、高速動作の求められる用途に好適である。

20

【0223】

図12は、本発明の一態様に係るSRAMのメモリセルに対応する回路図である。なお、図12には一つのメモリセルのみを示すが、当該メモリセルを複数配置したメモリセルアレイに適用しても構わない。

【0224】

図12に示すメモリセルは、トランジスタTr1eと、トランジスタTr2eと、トランジスタTr3eと、トランジスタTr4eと、トランジスタTr5eと、トランジスタTr6eと、を有する。トランジスタTr1eおよびトランジスタTr2eはpチャネル型トランジスタであり、トランジスタTr3eおよびトランジスタTr4eはnチャネル型トランジスタである。トランジスタTr1eのゲートは、トランジスタTr2eのドレイン、トランジスタTr3eのゲート、トランジスタTr4eのドレイン、ならびにトランジスタTr6eのソースおよびドレインの一方と電氣的に接続される。トランジスタTr1eのソースはVDDと電氣的に接続される。トランジスタTr1eのドレインは、トランジスタTr2eのゲート、トランジスタTr4eのゲート、トランジスタTr3eのドレインおよびトランジスタTr5eのソースおよびドレインの一方と電氣的に接続される。トランジスタTr2eのソースはVDDと電氣的に接続される。トランジスタTr3eのソースはGNDと電氣的に接続される。トランジスタTr3eのバックゲートはバックゲート線BGLに電氣的に接続される。トランジスタTr4eのソースはGNDと電氣的に接続される。トランジスタTr4eのバックゲートはバックゲート線BGLに電氣的に接続される。トランジスタTr5eのゲートはワード線WLに電氣的に接続される。トランジスタTr5eのソースおよびドレインの他方はビット線BLBに電氣的に接続される。トランジスタTr6eのゲートはワード線WLに電氣的に接続される。トランジスタTr6eのソースおよびドレインの他方はビット線BLに電氣的に接続される。

30

40

【0225】

なお、本実施の形態では、トランジスタTr5eおよびトランジスタTr6eとしてnチャネル型トランジスタを適用した例を示す。ただし、トランジスタTr5eおよびトランジスタTr6eは、nチャネル型トランジスタに限定されず、pチャネル型トランジスタ

50

を適用することもできる。その場合、後に示す書き込み、保持および読み出しの方法も適宜変更すればよい。

【0226】

このように、トランジスタ T_{r1e} およびトランジスタ T_{r3e} を有するインバータと、トランジスタ T_{r2e} およびトランジスタ T_{r4e} を有するインバータとをリング接続することで、フリップフロップが構成される。

【0227】

pチャネル型トランジスタとしては、例えばシリコンを用いたトランジスタを適用すればよい。ただし、pチャネル型トランジスタは、シリコンを用いたトランジスタに限定されない。また、nチャネル型トランジスタとしては、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを用いればよい。

10

【0228】

本実施の形態では、トランジスタ T_{r3e} およびトランジスタ T_{r4e} として、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを適用する。当該トランジスタは、オフ電流が極めて小さいため、貫通電流も極めて小さくなる。

【0229】

なお、トランジスタ T_{r1e} およびトランジスタ T_{r2e} として、pチャネル型トランジスタに代えて、nチャネル型トランジスタを適用することもできる。トランジスタ T_{r1e} およびトランジスタ T_{r2e} としてnチャネル型トランジスタを用いる場合、図11に関する記載を参酌してデプレッション型トランジスタを適用すればよい。

20

【0230】

図12に示したメモリセルの書き込み、保持および読み出しについて以下に説明する。

【0231】

書き込み時は、まずビット線 B_L およびビット線 B_{LB} にデータ0またはデータ1に対応する電位を印加する。

【0232】

例えば、データ1を書き込みたい場合、ビット線 B_L を V_{DD} 、ビット線 B_{LB} を GND とする。次に、ワード線 W_L にトランジスタ T_{r5e} 、トランジスタ T_{r6e} のしきい値電圧に V_{DD} を加えた電位以上の電位(V_H)を印加する。

【0233】

30

次に、ワード線 W_L の電位をトランジスタ T_{r5e} 、トランジスタ T_{r6e} のしきい値電圧未満とすることで、フリップフロップに書き込んだデータ1が保持される。SRAMの場合、データの保持で流れる電流はトランジスタのリーク電流のみとなる。ここで、SRAMを構成するトランジスタの一部に先の実施の形態で示した酸化物半導体膜を用いたトランジスタを適用することにより、当該トランジスタのオフ電流は極めて小さいため、即ち当該トランジスタに起因したリーク電流は極めて小さいため、データ保持のための待機電力を小さくすることができる。

【0234】

読み出し時は、あらかじめビット線 B_L およびビット線 B_{LB} を V_{DD} とする。次に、ワード線 W_L に V_H を印加することで、ビット線 B_L は V_{DD} のまま変化しないが、ビット線 B_{LB} はトランジスタ T_{r5e} およびトランジスタ T_{r3e} を介して放電し、 GND となる。このビット線 B_L とビット線 B_{LB} との電位差をセンスアンプ(図示せず)にて増幅することにより保持されたデータ1を読み出すことができる。

40

【0235】

なお、データ0を書き込みたい場合は、ビット線 B_L を GND 、ビット線 B_{LB} を V_{DD} とし、その後ワード線 W_L に V_H を印加すればよい。次に、ワード線 W_L の電位をトランジスタ T_{r5e} 、トランジスタ T_{r6e} のしきい値電圧未満とすることで、フリップフロップに書き込んだデータ0が保持される。読み出し時は、あらかじめビット線 B_L およびビット線 B_{LB} を V_{DD} とし、ワード線 W_L に V_H を印加することで、ビット線 B_{LB} は V_{DD} のまま変化しないが、ビット線 B_L はトランジスタ T_{r6e} およびトランジスタ T

50

r 4 eを介して放電し、GNDとなる。このビット線BLとビット線BLBとの電位差をセンスアンプにて増幅することにより保持されたデータ0を読み出すことができる。

【0236】

本実施の形態より、待機電力の小さいSRAMを提供することができる。

【0237】

本実施の形態は、適宜他の実施の形態、実施例と組み合わせて用いることができる。

【0238】

(実施の形態5)

先の実施の形態に示した酸化物半導体膜を用いたトランジスタは、オフ電流を極めて小さくすることができる。即ち、当該トランジスタを介した電荷のリークが起こりにくい電気特性を有する。

【0239】

以下では、このような電気特性を有するトランジスタを適用した、既知の記憶素子を有する半導体装置と比べ、機能的に優れた記憶素子を有する半導体装置について説明する。

【0240】

まず、半導体装置について、図13を用いて具体的に示す。なお、図13(A)は半導体装置のメモリセルアレイを示す回路図である。図13(B)はメモリセルの回路図である。また、図13(C)は、図13(B)に示すメモリセルに相当する断面構造の一例である。また、図13(D)は図13(B)に示すメモリセルの電気特性を示す図である。

【0241】

図13(A)に示すメモリセルアレイは、メモリセル556と、ビット線553と、ワード線554と、容量線555と、センスアンプ558と、をそれぞれ複数有する。

【0242】

なお、ビット線553およびワード線554がグリッド状に設けられ、各メモリセル556はビット線553およびワード線554の交点に付き一つずつ配置される。ビット線553はセンスアンプ558と接続される。センスアンプ558は、ビット線553の電位をデータとして読み出す機能を有する。

【0243】

図13(B)より、メモリセル556は、トランジスタ551と、キャパシタ552と、を有する。また、トランジスタ551のゲートはワード線554と電氣的に接続される。トランジスタ551のソースはビット線553と電氣的に接続される。トランジスタ551のドレインはキャパシタ552の一端と電氣的に接続される。キャパシタ552の他端は容量線555に電氣的に接続される。

【0244】

図13(C)は、メモリセルの断面構造の一例である。図13(C)は、トランジスタ551と、トランジスタ551に接続される配線524aおよび配線524bと、トランジスタ551、配線524aおよび配線524b上に設けられた絶縁膜520と、絶縁膜520上に設けられたキャパシタ552と、を有する半導体装置の断面図である。

【0245】

なお、図13(C)では、トランジスタ551に図8で示したトランジスタを適用している。そのため、トランジスタ551の各構成のうち、以下で特に説明しないものについては、先の実施の形態での記載を参照する。

【0246】

絶縁膜520は、層間絶縁膜518の記載を参照する。または、絶縁膜520として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構わない。

【0247】

キャパシタ552は、配線524bと接する電極526と、電極526と重畳する電極528と、電極526および電極528に挟まれた絶縁膜522と、を有する。

【0248】

10

20

30

40

50

電極 5 2 6 は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタルおよびタングステンを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【 0 2 4 9 】

電極 5 2 8 は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタルおよびタングステンを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【 0 2 5 0 】

絶縁膜 5 2 2 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を選択して、単層で、または積層で用いればよい。

10

【 0 2 5 1 】

なお、図 1 3 (C) では、トランジスタ 5 5 1 とキャパシタ 5 5 2 とが、異なる層に設けられた例を示すが、これに限定されない。例えば、トランジスタ 5 5 1 およびキャパシタ 5 5 2 を同一平面に設けても構わない。このような構造とすることで、メモリセルの上に同様の構成のメモリセルを重畳させることができる。メモリセルを何層も重畳させることで、メモリセル 1 つ分の面積に多数のメモリセルを集積化することができる。よって、半導体装置の集積度を高めることができる。なお、本明細書において、A が B に重畳するとは、A の少なくとも一部が B の少なくとも一部と重なって設けられることをいう。

20

【 0 2 5 2 】

ここで、図 1 3 (C) における配線 5 2 4 a は図 1 3 (B) におけるビット線 5 5 3 と電氣的に接続される。また、図 1 3 (C) におけるゲート電極 5 0 4 は図 1 3 (B) におけるワード線 5 5 4 と電氣的に接続される。また、図 1 3 (C) における電極 5 2 8 は図 1 3 (B) における容量線 5 5 5 と電氣的に接続される。

【 0 2 5 3 】

図 1 3 (D) に示すように、キャパシタ 5 5 2 に保持された電圧は、トランジスタ 5 5 1 のリークによって時間が経つと徐々に低減していく。当初 V_0 から V_1 まで充電された電圧は、時間が経過すると $d a t a 1$ を読み出す限界点である V_A まで低減する。この期間を保持期間 $T_{\text{—}1}$ とする。即ち、2 値メモリセルの場合、保持期間 $T_{\text{—}1}$ の間にリフレッシュをする必要がある。

30

【 0 2 5 4 】

例えば、トランジスタ 5 5 1 のオフ電流が十分小さくない場合、キャパシタ 5 5 2 に保持された電圧の時間変化が大きいため、保持期間 $T_{\text{—}1}$ が短くなる。従って、頻繁にリフレッシュをする必要がある。リフレッシュの頻度が高まると、半導体装置の消費電力が高まってしまう。

【 0 2 5 5 】

本実施の形態では、トランジスタ 5 5 1 のオフ電流が極めて小さいため、保持期間 $T_{\text{—}1}$ を極めて長くすることができる。また、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が 1×10^{-21} A から 1×10^{-25} A であるトランジスタ 5 5 1 でメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

40

【 0 2 5 6 】

以上のように、本発明の一態様によって、集積度が高く、消費電力の小さい半導体装置を得ることができる。

【 0 2 5 7 】

次に、図 1 3 とは異なる半導体装置について、図 1 4 を用いて説明する。なお、図 1 4 (A) は半導体装置を構成するメモリセルおよび配線を含む回路図である。また、図 1 4 (B) は図 1 4 (A) に示すメモリセルの電気特性を示す図である。また、図 1 4 (C) は、図 1 4 (A) に示すメモリセルに相当する断面図の一例である。

50

【0258】

図14(A)より、メモリセルは、トランジスタ671と、トランジスタ672と、キャパシタ673とを有する。ここで、トランジスタ671のゲートはワード線676と電氣的に接続される。トランジスタ671のソースはソース線674と電氣的に接続される。トランジスタ671のドレインはトランジスタ672のゲートおよびキャパシタ673の一端と電氣的に接続され、この部分をノード679とする。トランジスタ672のソースはソース線675と電氣的に接続される。トランジスタ672のドレインはドレイン線677と電氣的に接続される。キャパシタ673の他端は容量線678と電氣的に接続される。

【0259】

なお、図14に示す半導体装置は、ノード679の電位に応じて、トランジスタ672の見かけ上のしきい値電圧が変動することを利用したものである。例えば、図14(B)は容量線678の電圧 V_{CL} と、トランジスタ672を流れるドレイン電流 I_{d_2} との関係を説明する図である。

【0260】

なお、トランジスタ671を介してノード679の電位を調整することができる。例えば、ソース線674の電位を電源電位 V_{DD} とする。このとき、ワード線676の電位をトランジスタ671のしきい値電圧 V_{th} に電源電位 V_{DD} を加えた電位以上とすることで、ノード679の電位をHIGHにすることができる。また、ワード線676の電位をトランジスタ671のしきい値電圧 V_{th} 以下とすることで、ノード679の電位をLOWにすることができる。

【0261】

そのため、トランジスタ672は、LOWで示した $V_{CL} - I_{d_2}$ カーブと、HIGHで示した $V_{CL} - I_{d_2}$ カーブのいずれかの電気特性となる。即ち、LOWでは、 $V_{CL} = 0V$ にて I_{d_2} が小さいため、データ0となる。また、HIGHでは、 $V_{CL} = 0V$ にて I_{d_2} が大きいため、データ1となる。このようにして、データを記憶することができる。

【0262】

図14(C)は、メモリセルの断面構造の一例である。図14(C)は、トランジスタ672と、トランジスタ672上に設けられた絶縁膜668と、絶縁膜668上に設けられたトランジスタ671と、トランジスタ671上に設けられた絶縁膜620と、絶縁膜620上に設けられたキャパシタ673と、を有する半導体装置の断面図である。

【0263】

絶縁膜620は、保護絶縁膜118の記載を参照する。または、絶縁膜620として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構わない。

【0264】

なお、図14(C)では、トランジスタ671に図7で示したトランジスタを適用している。そのため、トランジスタ671の各構成のうち、以下で特に説明しないものについては、先の実施の形態の記載を参照する。

【0265】

結晶性シリコンを用いたトランジスタは、酸化物半導体膜を用いたトランジスタと比べて、オン特性を高めやすい利点を有する。従って、高いオン特性の求められるトランジスタ672に好適といえる。

【0266】

ここで、トランジスタ672は、半導体基板650に設けられたチャネル領域656および不純物領域657と、半導体基板650に設けられた溝部を埋める素子分離層664と、半導体基板650上に設けられたゲート絶縁膜662と、ゲート絶縁膜662を介してチャネル領域656上に設けられたゲート電極654と、を有する。

【0267】

半導体基板 650 は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板を用いればよい。

【0268】

本実施の形態では半導体基板にトランジスタ 672 が設けられた構成を示しているが、これに限定されるものではない。例えば、半導体基板の代わりに絶縁表面を有する基板を用い、絶縁表面上に半導体膜を設ける構成としても構わない。ここで、絶縁表面を有する基板として、例えば、ガラス基板、セラミック基板、石英基板またはサファイア基板を用いればよい。また、トランジスタ 672 に、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを適用しても構わない。

【0269】

不純物領域 657 は、半導体基板 650 に一導電型を付与する不純物を含む領域である。

【0270】

素子分離層 664 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を選択して、単層で、または積層で用いればよい。

【0271】

ゲート絶縁膜 662 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を選択して、単層で、または積層で用いればよい。

【0272】

ゲート電極 654 は、ゲート電極 104 の記載を参照する。

【0273】

絶縁膜 668 は、保護絶縁膜 118 の記載を参照する。または、絶縁膜 668 として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

【0274】

絶縁膜 668 および下地絶縁膜 602 は、トランジスタ 672 のゲート電極 654 に達する開口部を有する。トランジスタ 671 のドレイン電極 416b は、当該開口部を介してトランジスタ 672 のゲート電極 654 と接する。

【0275】

キャパシタ 673 は、ドレイン電極 416b と接する電極 626 と、電極 626 と重畳する電極 628 と、電極 626 および電極 628 に挟まれた絶縁膜 622 と、を有する。

【0276】

電極 626 は、電極 526 の記載を参照する。

【0277】

電極 628 は、電極 528 の記載を参照する。

【0278】

ここで、図 14 (C) におけるソース電極 416a は図 14 (A) におけるソース線 674 と電氣的に接続される。また、図 14 (C) におけるゲート電極 404 は図 14 (A) におけるワード線 676 と電氣的に接続される。また、図 14 (C) における電極 628 は図 14 (A) における容量線 678 と電氣的に接続される。

【0279】

なお、図 14 (C) では、トランジスタ 671 とキャパシタ 673 とが、異なる層に設けられた例を示すが、これに限定されない。例えば、トランジスタ 671 およびキャパシタ 673 を同一平面に設けても構わない。このような構造とすることで、メモリセルの上に同様の構成のメモリセルを重ねさせることができる。メモリセルを何層も重ねさせることで、メモリセル 1 つ分の面積に多数のメモリセルを集積化することができる。よって、半導体装置の集積度を高めることができる。

10

20

30

40

50

【0280】

ここで、トランジスタ671として、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを適用すると、当該トランジスタはオフ電流が極めて小さいため、ノード679に蓄積された電荷がトランジスタ671を介してリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、フラッシュメモリと比較して、書き込み時に高い電圧が不要であるため、消費電力を小さく、動作速度を速くすることができる。

【0281】

以上のように、本発明の一態様によって、集積度が高く、消費電力の小さい半導体装置を得ることができる。

10

【0282】

本実施の形態は、適宜他の実施の形態、実施例と組み合わせて用いることができる。

【0283】

(実施の形態6)

先の実施の形態に示した酸化物半導体膜を用いたトランジスタまたは記憶素子を有する半導体装置を少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

【0284】

図15(A)は、CPUの具体的な構成を示すブロック図である。図15(A)に示すCPUは、基板1190上に、演算論理装置(ALU: Arithmetic logic unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図15(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

20

【0285】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

30

【0286】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

40

【0287】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0288】

図15(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジ

50

スタ 1 1 9 6 には、先の実施の形態に示した記憶素子を有する半導体装置を用いることができる。

【 0 2 8 9 】

図 1 5 (A) に示す C P U において、レジスタコントローラ 1 1 9 7 は、A L U 1 1 9 1 からの指示に従い、レジスタ 1 1 9 6 における保持動作を行う。即ち、レジスタ 1 1 9 6 が有する記憶素子において、フリップフロップによるデータの保持を行うか、キャパシタによるデータの保持を行う。フリップフロップによってデータが保持されている場合、レジスタ 1 1 9 6 内の記憶素子への、電源電圧の供給が行われる。キャパシタによってデータが保持されている場合、キャパシタへのデータの書き換えが行われ、レジスタ 1 1 9 6 内の記憶素子への電源電圧の供給を停止することができる。

10

【 0 2 9 0 】

電源停止に関しては、図 1 5 (B) または図 1 5 (C) に示すように、記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 1 5 (B) および図 1 5 (C) の回路の説明を行う。

【 0 2 9 1 】

図 1 5 (B) および図 1 5 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に先の実施の形態で示した酸化物半導体膜を用いたトランジスタを用いた構成の一例を示す。

【 0 2 9 2 】

20

図 1 5 (B) に示す記憶装置は、スイッチング素子 1 1 4 1 と、記憶素子 1 1 4 2 を複数有する記憶素子群 1 1 4 3 とを有している。具体的に、それぞれの記憶素子 1 1 4 2 には、先の実施の形態で示した記憶素子を有する半導体装置を用いることができる。記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 V D D が与えられている。さらに、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、信号 I N の電位と、ローレベルの電源電位 V S S の電位が与えられている。

【 0 2 9 3 】

図 1 5 (B) では、スイッチング素子 1 1 4 1 として、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを用いている。当該トランジスタはオフ電流を極めて小さくすることができる。当該トランジスタは、そのゲートに与えられる信号 S i g A によりスイッチングが制御される。

30

【 0 2 9 4 】

なお、図 1 5 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【 0 2 9 5 】

また、図 1 5 (C) には、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 V S S が与えられている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 への、ローレベルの電源電位 V S S の供給を制御することができる。

40

【 0 2 9 6 】

記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設け、一時的に C P U の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、C P U の動作を停止することができ、それにより消費電力を低減す

50

ることができる。

【0297】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)などのLSIにも応用可能である。

【0298】

本実施の形態は、適宜他の実施の形態、実施例と組み合わせて用いることができる。

【0299】

(実施の形態7)

本実施の形態では、先の実施の形態で示したトランジスタを適用した表示装置について説明する。

10

【0300】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう。)、発光素子(発光表示素子ともいう。)などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機ELなどを含む。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も表示素子として適用することができる。本実施の形態では、表示装置の一例としてEL素子を用いた表示装置および液晶素子を用いた表示装置について説明する。

【0301】

20

なお、本実施の形態における表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0302】

また、本実施の形態における表示装置は画像表示デバイス、表示デバイス、または光源(照明装置含む)を指す。また、コネクタ、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュールまたは表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0303】

図16(A)は、EL素子を用いた表示装置の回路図の一例である。

30

【0304】

図16(A)に示す表示装置は、スイッチ素子743と、トランジスタ741と、キャパシタ742と、発光素子719と、を有する。

【0305】

トランジスタ741のゲートはスイッチ素子743の一端およびキャパシタ742の一端と電氣的に接続される。トランジスタ741のソースは発光素子719の一端と電氣的に接続される。トランジスタ741のドレインはキャパシタ742の他端と電氣的に接続され、電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電氣的に接続される。発光素子719の他端は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

40

【0306】

なお、トランジスタ741は、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを用いる。当該トランジスタは、良好なスイッチング特性を有する。そのため、表示品位の高い表示装置とすることができる。

【0307】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高い表示装置とすることができる。また、スイッチ素子743として、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを用いてもよい。スイッチ素子743として当該トランジスタを用いることで、トランジスタ741と同一工程によってスイッチ素子743を作製することができ、表示装置の生

50

産性を高めることができる。

【0308】

図16(B)に、トランジスタ741、キャパシタ742および発光素子719を含めた画素の断面の一部を示す。

【0309】

なお、図16(B)は、トランジスタ741とキャパシタ742とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ742をトランジスタ741のゲート電極、ゲート絶縁膜およびソース電極(ドレイン電極)と同一工程を経て作製することができる。このように、トランジスタ741とキャパシタ742とを同一平面に設けることにより、表示装置の作製工程を短縮化し、生産性を高めることができる。

10

【0310】

図16(B)では、トランジスタ741として、図3に示したトランジスタを適用した例を示す。そのため、トランジスタ741の各構成のうち、以下で特に説明しないものについては、先の実施の形態の記載を参照する。

【0311】

トランジスタ741およびキャパシタ742上には、絶縁膜720が設けられる。

【0312】

ここで、絶縁膜720および保護絶縁膜118には、トランジスタ741のソース電極116aに達する開口部が設けられる。

【0313】

絶縁膜720上には、電極781が設けられる。電極781は、絶縁膜720および保護絶縁膜118に設けられた開口部を介してトランジスタ741のソース電極116aと接する。

20

【0314】

電極781上には、電極781に達する開口部を有する隔壁784が設けられる。

【0315】

隔壁784上には、隔壁784に設けられた開口部で電極781と接する発光層782が設けられる。

【0316】

発光層782上には、電極783が設けられる。

30

【0317】

電極781、発光層782および電極783の重畳する領域が、発光素子719となる。

【0318】

なお、絶縁膜720は、保護絶縁膜118の記載を参照する。または、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構わない。

【0319】

発光層782は、一層に限定されず、複数種の発光層などを積層して設けてもよい。例えば、図16(C)に示すような構造とすればよい。図16(C)は、中間層785a、発光層786a、中間層785b、発光層786b、中間層785c、発光層786cおよび中間層785dの順番で積層した構造である。このとき、発光層786a、発光層786bおよび発光層786cに適切な発光色の発光層を用いると演色性の高い、または発光効率の高い、発光素子719を形成することができる。

40

【0320】

発光層を複数種積層して設けることで、白色光を得てもよい。図16(B)には示さないが、白色光を着色層を介して取り出す構造としても構わない。

【0321】

ここでは発光層を3層および中間層を4層設けた構造を示しているが、これに限定されるものではなく、適宜発光層の数および中間層の数を変更することができる。例えば、中間層785a、発光層786a、中間層785b、発光層786bおよび中間層785cのみで構成することもできる。また、中間層785a、発光層786a、中間層785b、

50

発光層 786b、発光層 786c および中間層 785d で構成し、中間層 785c を省いた構造としても構わない。

【0322】

また、中間層は、正孔注入層、正孔輸送層、電子輸送層および電子注入層などを積層構造で用いることができる。なお、中間層は、これらの層を全て備えなくてもよい。これらの層は適宜選択して設ければよい。なお、同様の機能を有する層を重複して設けてもよい。また、中間層としてキャリア発生層のほか、電子リレー層などを適宜加えてもよい。

【0323】

電極 781 は、可視光透過性を有する導電膜を用いればよい。可視光透過性を有するとは、可視光領域（例えば 400nm ~ 800nm の波長範囲）における平均の透過率が 70 % 以上、特に 80 % 以上であることをいう。

10

【0324】

電極 781 としては、例えば、In-Zn-W 酸化物膜、In-Sn 酸化物膜、In-Zn 酸化物膜、In 酸化物膜、Zn 酸化物膜および Sn 酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、F などが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5nm ~ 30nm 程度）を用いることもできる。例えば 5nm の膜厚を有する Ag 膜、Mg 膜または Ag-Mg 合金膜を用いてもよい。

【0325】

または、電極 781 は、可視光を効率よく反射する膜が好ましい。電極 781 は、例えば、リチウム、アルミニウム、チタン、マグネシウム、ランタン、銀、シリコンまたはニッケルを含む膜を用いればよい。

20

【0326】

電極 783 は、電極 781 として示した膜から選択して用いることができる。ただし、電極 781 が可視光透過性を有する場合は、電極 783 が可視光を効率よく反射すると好ましい。また、電極 781 が可視光を効率よく反射する場合は、電極 783 が可視光透過性を有すると好ましい。

【0327】

なお、電極 781 および電極 783 を図 16 (B) に示す構造で設けているが、電極 781 と電極 783 を入れ替えても構わない。アノードとして機能する電極には、仕事関数の大きい導電膜を用いることが好ましく、カソードとして機能する電極には仕事関数の小さい導電膜を用いることが好ましい。ただし、アノードと接してキャリア発生層を設ける場合には、仕事関数を考慮せずに様々な導電膜を陽極に用いることができる。

30

【0328】

隔壁 784 は、保護絶縁膜 118 の記載を参照する。または、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

【0329】

発光素子 719 と接続するトランジスタ 741 は、良好なスイッチング特性を有する。そのため、表示品位の高い表示装置を提供することができる。

【0330】

次に、液晶素子を用いた表示装置について説明する。

40

【0331】

図 17 (A) は、液晶素子を用いた表示装置の画素の構成例を示す回路図である。図 17 (A) に示す画素 750 は、トランジスタ 751 と、キャパシタ 752 と、一对の電極間に液晶の充填された素子（以下液晶素子ともいう）753 とを有する。

【0332】

トランジスタ 751 では、ソースおよびドレインの一方が信号線 755 に電氣的に接続され、ゲートが走査線 754 に電氣的に接続されている。

【0333】

キャパシタ 752 では、一方の電極がトランジスタ 751 のソースおよびドレインの他方

50

に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0334】

液晶素子753では、一方の電極がトランジスタ751のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述のキャパシタ752の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【0335】

図17(B)に、画素750の断面の一部を示す。

【0336】

図17(B)には、トランジスタ751とキャパシタ752とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ752をトランジスタ751のゲート電極、ゲート絶縁膜およびソース電極(ドレイン電極)と同一工程を経て作製することができる。このように、トランジスタ751とキャパシタ752とを同一平面に設けることにより、表示装置の作製工程を短縮化し、生産性を高めることができる。

10

【0337】

トランジスタ751としては、先の実施の形態で示したトランジスタを適用することができる。図17(B)においては、図3に示したトランジスタを適用した例を示す。そのため、トランジスタ751の各構成のうち、以下で特に説明しないものについては、先の実施の形態の記載を参照する。

【0338】

20

なお、トランジスタ751は極めてオフ電流の小さいトランジスタとすることができる。従って、キャパシタ752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電極が不要となり、消費電力の小さい表示装置とすることができる。

【0339】

トランジスタ751およびキャパシタ752上には、絶縁膜721が設けられる。

【0340】

ここで、絶縁膜721および保護絶縁膜118には、トランジスタ751のドレイン電極116bに達する開口部が設けられる。

30

【0341】

絶縁膜721上には、電極791が設けられる。電極791は、絶縁膜721および保護絶縁膜118に設けられた開口部を介してトランジスタ751のドレイン電極116bと接する。

【0342】

電極791上には、配向膜として機能する絶縁膜792が設けられる。

【0343】

絶縁膜792上には、液晶層793が設けられる。

【0344】

液晶層793上には、配向膜として機能する絶縁膜794が設けられる。

40

【0345】

絶縁膜794上には、スペーサ795が設けられる。

【0346】

スペーサ795および絶縁膜794上には、電極796が設けられる。

【0347】

電極796上には、基板797が設けられる。

【0348】

なお、絶縁膜721は、保護絶縁膜118の記載を参照する。または、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構わない。

【0349】

50

液晶層 793 は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶などを用いればよい。これらの液晶は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相などを示す。

【0350】

なお、液晶層 793 として、ブルー相を示す液晶を用いてもよい。その場合、配向膜として機能する絶縁膜 792 および絶縁膜 794 を設けない構成とすればよい。

【0351】

電極 791 は、可視光透過性を有する導電膜を用いればよい。

【0352】

電極 791 としては、例えば、In - Zn - W 酸化物膜、In - Sn 酸化物膜、In - Zn 酸化物膜、In 酸化物膜、Zn 酸化物膜および Sn 酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、F などが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5 nm ~ 30 nm 程度）を用いることもできる。

【0353】

または、電極 791 は、可視光を効率よく反射する膜が好ましい。電極 791 は、例えば、アルミニウム、チタン、クロム、銅、モリブデン、銀、タンタルまたはタングステンを含む膜を用いればよい。

【0354】

電極 796 は、電極 791 として示した膜から選択して用いることができる。ただし、電極 791 が可視光透過性を有する場合は、電極 796 が可視光を効率よく反射すると好ましい。また、電極 791 が可視光を効率よく反射する場合は、電極 796 が可視光透過性を有すると好ましい。

【0355】

なお、電極 791 および電極 796 を図 17 (B) に示す構造で設けているが、電極 791 と電極 796 を入れ替えても構わない。

【0356】

絶縁膜 792 および絶縁膜 794 は、有機化合物または無機化合物から選択して用いればよい。

【0357】

スペーサ 795 は、有機化合物または無機化合物から選択して用いればよい。なお、スペーサ 795 の形状は、柱状、球状など様々にとることができる。

【0358】

電極 791、絶縁膜 792、液晶層 793、絶縁膜 794 および電極 796 の重畳する領域が、液晶素子 753 となる。

【0359】

基板 797 は、ガラス、樹脂または金属などを用いればよい。基板 797 は可とう性を有してもよい。

【0360】

液晶素子 753 と接続するトランジスタ 751 は、良好なスイッチング特性を有する。そのため、表示品位の高い表示装置を提供することができる。また、トランジスタ 751 はオフ電流を極めて小さくできるため、消費電力の小さい表示装置を提供することができる。

【0361】

本実施の形態は、適宜他の実施の形態、実施例と組み合わせて用いることができる。

【0362】

(実施の形態 8)

本実施の形態では、先の実施の形態で示した半導体装置を適用した電子機器の例について説明する。

10

20

30

40

50

【0363】

図18(A)は携帯型情報端末である。図18(A)に示す携帯型情報端末は、筐体9300と、ボタン9301と、マイクロフォン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。または、本発明の一形態は表示部9303に適用することができる。

【0364】

図18(B)は、ディスプレイである。図18(B)に示すディスプレイは、筐体9310と、表示部9311と、を具備する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。または、本発明の一形態は表示部9311に適用することができる。

10

【0365】

図18(C)は、デジタルスチルカメラである。図18(C)に示すデジタルスチルカメラは、筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。または、本発明の一形態は表示部9323に適用することができる。

【0366】

図18(D)は2つ折り可能な携帯情報端末である。図18(D)に示す2つ折り可能な携帯情報端末は、筐体9630、表示部9631a、表示部9631b、留め具9633、操作スイッチ9638、を有する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。または、本発明の一形態は表示部9631aおよび表示部9631bに適用することができる。

20

【0367】

なお、表示部9631aまたは/および表示部9631bは、一部または全部をタッチパネルとすることができ、表示された操作キーに触れることでデータ入力などを行うことができる。

【0368】

本発明の一形態に係る半導体装置を用いることで、性能が高く、かつ消費電力が小さい電子機器を提供することができる。

30

【0369】

本実施の形態は、適宜他の実施の形態、実施例と組み合わせて用いることができる。

【実施例1】

【0370】

本実施例では、基板上に設けられた酸化物半導体膜と、酸化物半導体膜上に設けられた絶縁膜と、を有する試料のPLスペクトルを低温PL法によって評価した。また、当該試料と同様の構造を含むトランジスタの電気特性の評価を行った。

【0371】

以下に、PLスペクトルを低温PL法によって評価した試料について説明する。

【0372】

40

まず、石英基板を準備した。次に、石英基板に含まれる水素および水などを除去するために加熱処理を行った。当該加熱処理は、窒素ガス雰囲気、850において4時間行った。

【0373】

次に、酸化物半導体膜を成膜した。酸化物半導体膜は、In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])ターゲットを用いたスパッタリング法によって、In-Ga-Zn酸化物膜を100nmの厚さで成膜した。そのほか、成膜ガスとして、アルゴンガスを100sccmおよび酸素ガスを100sccm用い、圧力を0.6Paとし、基板表面温度を170において4分間待機後、5000W(AC)の電力を印加することで成膜した。

50

【 0 3 7 4 】

次に、酸化物半導体膜に含まれる水素および水などを除去するために加熱処理を行った。当該加熱処理は、窒素ガス雰囲気、350 において1時間行った。

【 0 3 7 5 】

さらに、酸化物半導体膜に生じた酸素欠損を低減するために加熱処理を行った。当該加熱処理は、窒素ガスおよび酸素ガスが8対2の割合で混合された雰囲気、350 において1時間行った。

【 0 3 7 6 】

次に、絶縁膜を成膜した。絶縁膜は、プラズマCVD法によって、酸化窒化シリコン膜を400nmの厚さで成膜した。そのほか、成膜ガスとして、 SiH_4 ガスを30sccm、120sccm、160sccmまたは200sccm、および N_2O ガスを4000sccm用い、圧力を40Pa、200Paまたは250Paとし、基板表面温度を220 において5分間待機後、150W、1000W、1500Wまたは2000Wの電力(RF)を印加することで成膜した。なお、電力を印加する電極面積は 5986cm^2 である。

10

【 0 3 7 7 】

次に、加熱処理を行った。当該加熱処理は、窒素ガスおよび酸素ガスが8対2の割合で混合された雰囲気、300 において1時間行った。

【 0 3 7 8 】

表1に試料名と絶縁膜である酸化窒化シリコン膜の条件を示す。

20

【 0 3 7 9 】

【表1】

試料名	SiH_4 ガス	圧力	電力
試料1	30sccm	40Pa	150W
試料2	30sccm	200Pa	150W
試料3	120sccm	40Pa	1000W
試料4	120sccm	200Pa	1000W
試料5	160sccm	250Pa	1500W
試料6	160sccm	200Pa	2000W
試料7	200sccm	200Pa	2000W

30

【 0 3 8 0 】

試料1乃至試料7のPLスペクトルを低温PL法によって評価した。評価は、堀場製作所製顕微PL装置(LabRAM HR-PL)を用いた。そのほか、測定温度は10Kとした。また、励起光にはエネルギー密度が $110.4\mu\text{W}/\text{mm}^2$ であるHe-Cdレーザ光(325nm)を用いた。また、PLスペクトルの検出にはCCD検出器(ホリバ・ジョバンイボン社製CCD-1024x256-OPEN-SYN)を用いた。

【 0 3 8 1 】

低温PL法による評価結果は後述する。

【 0 3 8 2 】

40

次に、試料1乃至試料7と同様の構造を含むトランジスタについて説明する。なお、トランジスタの構造は、図3に示した構造と同様であるため、図3を用いて説明する。

【 0 3 8 3 】

ここで、基板100は、 $600\text{mm} \times 720\text{mm}$ 角型のガラス基板を用いた。また、下地絶縁膜102は、厚さ100nmの窒化シリコン膜と、窒化シリコン膜上の厚さ150nmの酸化窒化シリコン膜を用いた。また、ゲート電極104は、厚さ100nmのタンゲステン膜を用いた。また、ゲート絶縁膜112は、厚さ200nmの酸化窒化シリコン膜を用いた。また、酸化物半導体膜106は、厚さ35nmのIn-Ga-Zn酸化物膜とした。また、保護絶縁膜118は、厚さ400nmの酸化窒化シリコン膜とした。

【 0 3 8 4 】

50

ここで、試料 1 乃至試料 7 における酸化窒化シリコン膜である絶縁膜は、トランジスタの保護絶縁膜 118 に対応する。従って、上述したトランジスタは、試料 1 乃至試料 7 と同様の構造を含むトランジスタである。

【0385】

なお、試料 1 乃至試料 7 では、PL スペクトルを評価しやすいように、酸化物半導体膜の厚さを 100 nm としている。一方、トランジスタではトランジスタ特性が得られやすいように、酸化物半導体膜の厚さを 35 nm としている。

【0386】

試料 1 乃至試料 7 と同様の構造を含むトランジスタの電気特性を評価した。電気特性は、チャンネル長が 3 μm 、チャンネル幅が 3 μm であるトランジスタを用い、ドレイン電圧 V_d を 1 V として、ゲート電圧 V_g を 0.25 V 間隔で -20 V から 15 V まで掃引し、各ゲート電圧 V_g におけるドレイン電流 I_d をプロットした ($V_g - I_d$ カーブともいう。)。なお、トランジスタの $V_g - I_d$ カーブは、基板 100 面内で 20 ポイント測定した。

【0387】

代表として、試料 1、試料 3、試料 5 および試料 7 の PL スペクトルの解析結果と、それらと同様の構造を含むトランジスタの電気特性を図 19 乃至図 22 に示す。なお、図 19 (A) は試料 1 の PL スペクトルの解析結果を、図 19 (B) は試料 1 と同様の構造を含むトランジスタの $V_g - I_d$ カーブを示す。また、図 20 (A) は試料 3 の PL スペクトルの解析結果を、図 20 (B) は試料 3 と同様の構造を含むトランジスタの $V_g - I_d$ カーブを示す。また、図 21 (A) は試料 5 の PL スペクトルの解析結果を、図 21 (B) は試料 5 と同様の構造を含むトランジスタの $V_g - I_d$ カーブを示す。また、図 22 (A) は試料 7 の PL スペクトルの解析結果を、図 22 (B) は試料 7 と同様の構造を含むトランジスタの $V_g - I_d$ カーブを示す。

【0388】

図 19 (A)、図 20 (A)、図 21 (A) および図 22 (A) に示した PL スペクトルの解析結果より、各試料のバックグラウンドを差し引いた PL スペクトルは、1.6 eV 以上 1.8 eV 以下に極大値を有する第 1 カーブ、および 1.9 eV 以上 2.2 eV 以下に極大値を有する第 2 カーブに分離できることがわかった。具体的には、試料 1 は、PL スペクトル 2003 を第 1 カーブ 2001 および第 2 カーブ 2002 に分離できた (図 19 (A) 参照。)。また、試料 3 は、PL スペクトル 2013 を第 1 カーブ 2011 および第 2 カーブ 2012 に分離できた (図 20 (A) 参照。)。また、試料 5 は、PL スペクトル 2023 を第 1 カーブ 2021 および第 2 カーブ 2022 に分離できた (図 21 (A) 参照。)。また、試料 7 は、PL スペクトル 2033 を第 1 カーブ 2031 および第 2 カーブ 2032 に分離できた (図 22 (A) 参照。)。

【0389】

図 19 (B) および図 20 (B) に示した $V_g - I_d$ カーブより、試料 1 と同様の構造を含むトランジスタおよび試料 3 と同様の構造を含むトランジスタは、良好なスイッチング特性が得られないことがわかった。また、図 21 (B) および図 22 (B) に示した $V_g - I_d$ カーブより、試料 5 と同様の構造を含むトランジスタおよび試料 7 と同様の構造を含むトランジスタは、良好なスイッチング特性が得られることがわかった。

【0390】

表 2 に、試料 1 乃至試料 7 の PL スペクトルの解析結果と、各試料と同様の構造を含むトランジスタのスイッチング特性の良否を示す。ここで、PL スペクトルにおける第 1 カーブの面積を S_1 、第 2 カーブの面積を S_2 とする。具体的には、第 2 カーブの面積 S_2 を第 1 カーブの面積 S_1 および第 2 カーブの面積 S_2 の和で除した値である $S_2 / (S_1 + S_2)$ を示す。また、PL スペクトルのピーク強度 (1.25 eV 以上 2.5 eV 以下の範囲において、PL スペクトルの検出強度の最も高い値) を示す。トランジスタのスイッチング特性の良否は、スイッチングが良好である場合は「良」、スイッチングが良好でない場合は「不可」を記す。

【0391】

【表 2】

試料名	$S2/(S1+S2)$	ピーク強度	スイッチング
試料1	0.07	4188/sec	不可
試料2	0.11	6122/sec	良
試料3	0.04	5174/sec	不可
試料4	0.14	4389/sec	良
試料5	0.15	2352/sec	良
試料6	0.23	2467/sec	良
試料7	0.24	2346/sec	良

10

【0392】

表 2 より、 $S2/(S1+S2)$ が 0.07 である試料 1、および 0.04 である試料 3 と同様の構造を含むトランジスタのスイッチング特性は良好ではなかった。また、 $S2/(S1+S2)$ が 0.11 である試料 2、0.14 である試料 4、0.15 である試料 5、0.23 である試料 6、および 0.24 である試料 7 と同様の構造を含むトランジスタのスイッチング特性は良好であった。

【0393】

以上で示したように、低温 PL 法によって得られた酸化物半導体膜の PL スペクトルと、当該酸化物半導体膜を用いたトランジスタのスイッチング特性の良否に関係があることがわかった。従って、低温 PL 法が、酸化物半導体膜を用いたトランジスタのスイッチング特性の良否を評価する指標となることがわかる。

20

【0394】

低温 PL 法によって、酸化物半導体膜の評価を行うことは、トランジスタの電気特性の評価を行うことと比べ、極めて簡便である。従って、当該評価方法を用いることで、酸化物半導体膜を用いたトランジスタの開発速度を高めることができる。また、酸化物半導体膜を用いたトランジスタ、および当該トランジスタを用いた半導体装置の中間評価として有用の評価方法である。即ち、トランジスタの作製工程、および半導体装置の作製工程において、抜き取り評価し、評価後も残りの作製工程を継続することが可能である。トランジスタおよび半導体装置の中間評価が確立されることで、それらの歩留まりを高めること

30

【0395】

本実施例は、適宜他の実施の形態と組み合わせて用いることができる。

【符号の説明】

【0396】

- 10 カーブ
- 11 カーブ
- 12 カーブ
- 13 カーブ
- 14 カーブ
- 52 絶縁膜
- 56a 酸化物半導体膜
- 56b 酸化物半導体膜
- 68 絶縁膜
- 100 基板
- 102 下地絶縁膜
- 104 ゲート電極
- 106 酸化物半導体膜
- 112 ゲート絶縁膜
- 114 バックゲート電極

40

50

1 1 6 a	ソース電極	
1 1 6 b	ドレイン電極	
1 1 8	保護絶縁膜	
2 0 0	基板	
2 0 2	下地絶縁膜	
2 0 4	ゲート電極	
2 0 6	酸化物半導体膜	
2 1 2	ゲート絶縁膜	
2 1 6 a	ソース電極	
2 1 6 b	ドレイン電極	10
2 1 8	保護絶縁膜	
3 0 0	基板	
3 0 2	下地絶縁膜	
3 0 4	ゲート電極	
3 0 6	酸化物半導体膜	
3 1 2	ゲート絶縁膜	
3 1 6 a	ソース電極	
3 1 6 b	ドレイン電極	
4 0 0	基板	
4 0 2	下地絶縁膜	20
4 0 4	ゲート電極	
4 0 6	酸化物半導体膜	
4 1 2	ゲート絶縁膜	
4 1 6 a	ソース電極	
4 1 6 b	ドレイン電極	
4 2 0	絶縁膜	
5 0 0	基板	
5 0 2	下地絶縁膜	
5 0 4	ゲート電極	
5 0 6	酸化物半導体膜	30
5 1 2	ゲート絶縁膜	
5 1 8	層間絶縁膜	
5 2 0	絶縁膜	
5 2 2	絶縁膜	
5 2 4 a	配線	
5 2 4 b	配線	
5 2 6	電極	
5 2 8	電極	
5 5 1	トランジスタ	
5 5 2	キャパシタ	40
5 5 3	ビット線	
5 5 4	ワード線	
5 5 5	容量線	
5 5 6	メモリセル	
5 5 8	センスアンプ	
6 0 2	下地絶縁膜	
6 2 0	絶縁膜	
6 2 2	絶縁膜	
6 2 6	電極	
6 2 8	電極	50

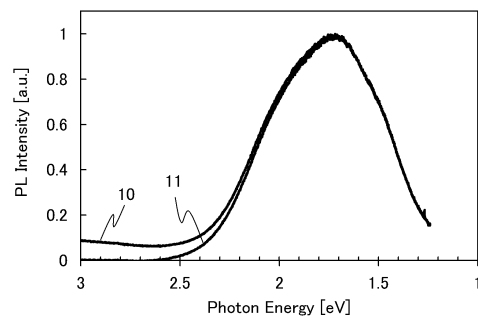
6 5 0	半導体基板	
6 5 4	ゲート電極	
6 5 6	チャネル領域	
6 5 7	不純物領域	
6 5 7 a	ソース領域	
6 5 7 b	ドレイン領域	
6 6 2	ゲート絶縁膜	
6 6 4	素子分離層	
6 6 8	絶縁膜	
6 7 1	トランジスタ	10
6 7 2	トランジスタ	
6 7 3	キャパシタ	
6 7 4	ソース線	
6 7 5	ソース線	
6 7 6	ワード線	
6 7 7	ドレイン線	
6 7 8	容量線	
6 7 9	ノード	
6 9 0	絶縁膜	
7 1 9	発光素子	20
7 2 0	絶縁膜	
7 2 1	絶縁膜	
7 4 1	トランジスタ	
7 4 2	キャパシタ	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	画素	
7 5 1	トランジスタ	
7 5 2	キャパシタ	
7 5 3	液晶素子	30
7 5 4	走査線	
7 5 5	信号線	
7 8 1	電極	
7 8 2	発光層	
7 8 3	電極	
7 8 4	隔壁	
7 8 5 a	中間層	
7 8 5 b	中間層	
7 8 5 c	中間層	
7 8 5 d	中間層	40
7 8 6 a	発光層	
7 8 6 b	発光層	
7 8 6 c	発光層	
7 9 1	電極	
7 9 2	絶縁膜	
7 9 3	液晶層	
7 9 4	絶縁膜	
7 9 5	スペーサ	
7 9 6	電極	
7 9 7	基板	50

8 0 2	絶縁膜	
8 0 6	酸化物半導体膜	
8 1 2	ゲート絶縁膜	
8 1 4	ゲート電極	
8 1 6 a	ソース電極	
8 1 6 b	ドレイン電極	
9 0 2	絶縁膜	
9 0 6	酸化物半導体膜	
9 1 2	ゲート絶縁膜	
9 1 4	ゲート電極	10
9 1 6 a	ソース電極	
9 1 6 b	ドレイン電極	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	20
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
2 0 0 1	第1カーブ	
2 0 0 2	第2カーブ	
2 0 0 3	P Lスペクトル	
2 0 1 1	第1カーブ	30
2 0 1 2	第2カーブ	
2 0 1 3	P Lスペクトル	
2 0 2 1	第1カーブ	
2 0 2 2	第2カーブ	
2 0 2 3	P Lスペクトル	
2 0 3 1	第1カーブ	
2 0 3 2	第2カーブ	
2 0 3 3	P Lスペクトル	
9 3 0 0	筐体	
9 3 0 1	ボタン	40
9 3 0 2	マイクロフォン	
9 3 0 3	表示部	
9 3 0 4	スピーカ	
9 3 0 5	カメラ	
9 3 1 0	筐体	
9 3 1 1	表示部	
9 3 2 0	筐体	
9 3 2 1	ボタン	
9 3 2 2	マイクロフォン	
9 3 2 3	表示部	50

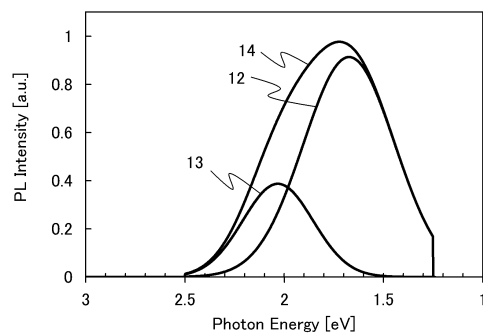
9 6 3 0 筐体
 9 6 3 1 a 表示部
 9 6 3 1 b 表示部
 9 6 3 3 留め具
 9 6 3 8 操作スイッチ

【図 1】

(A)

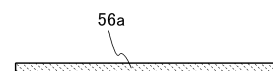


(B)

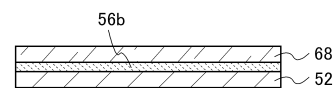


【図 2】

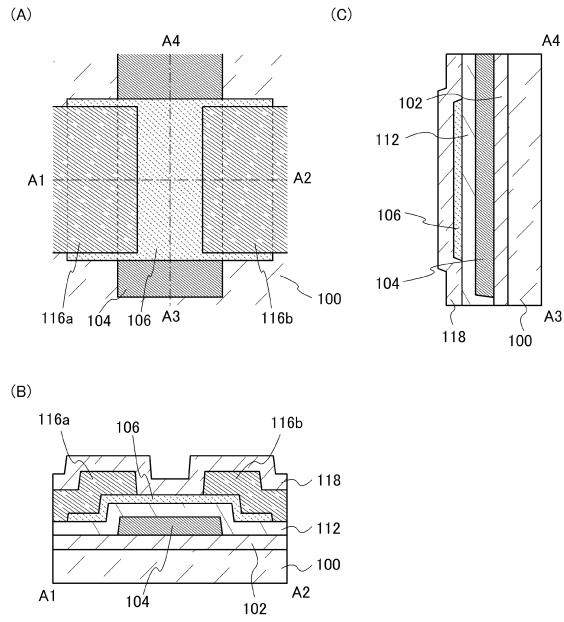
(A)



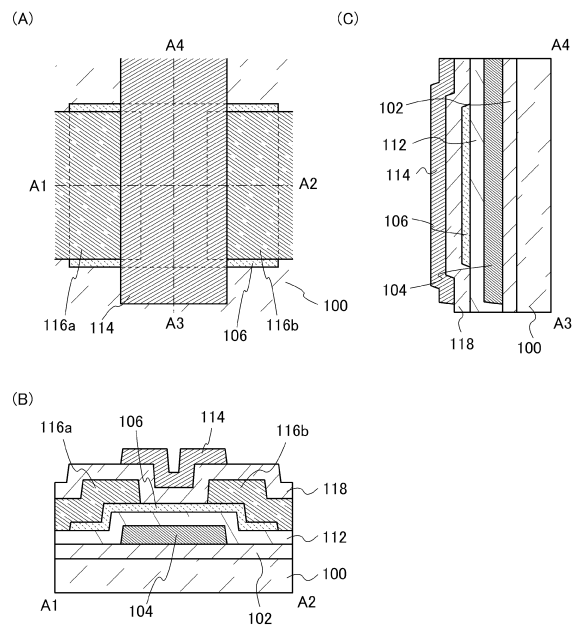
(B)



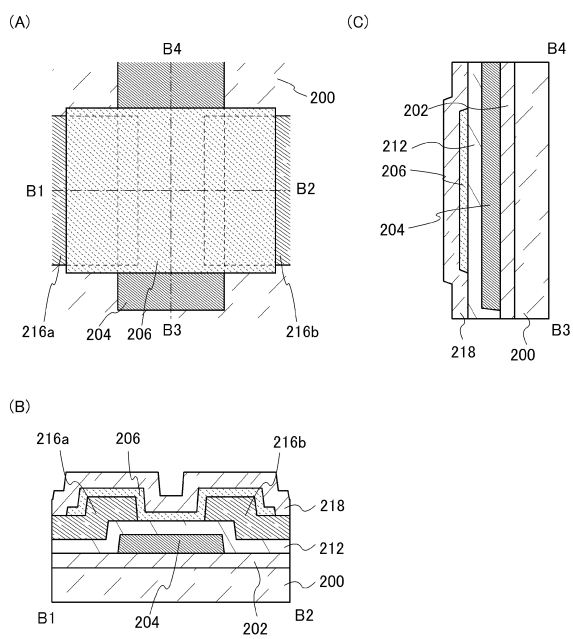
【図 3】



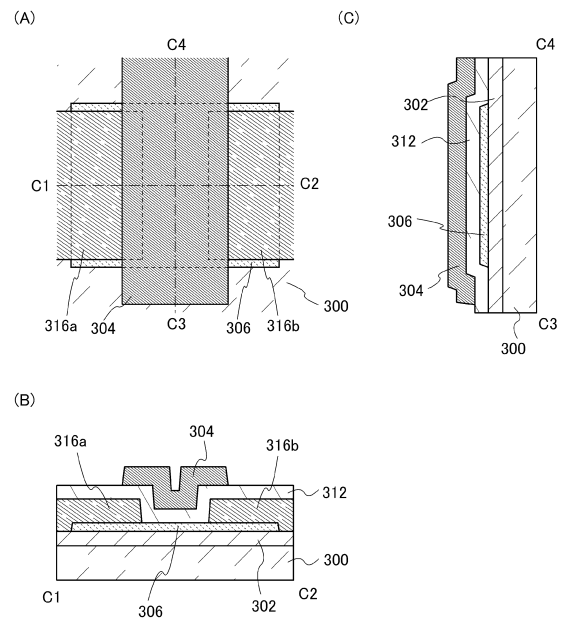
【図 4】



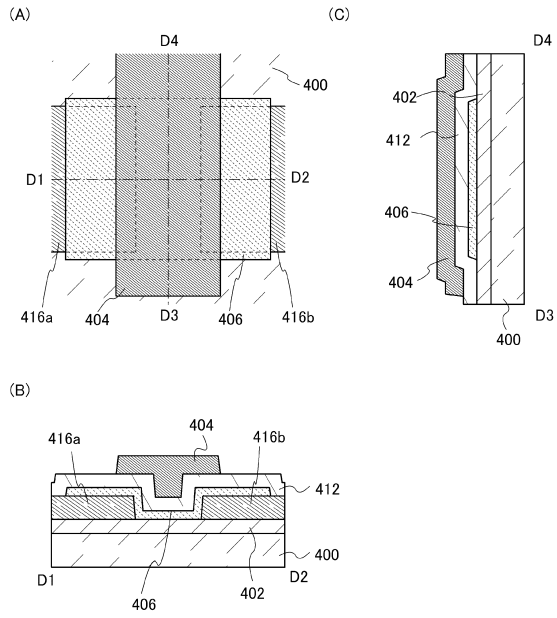
【図 5】



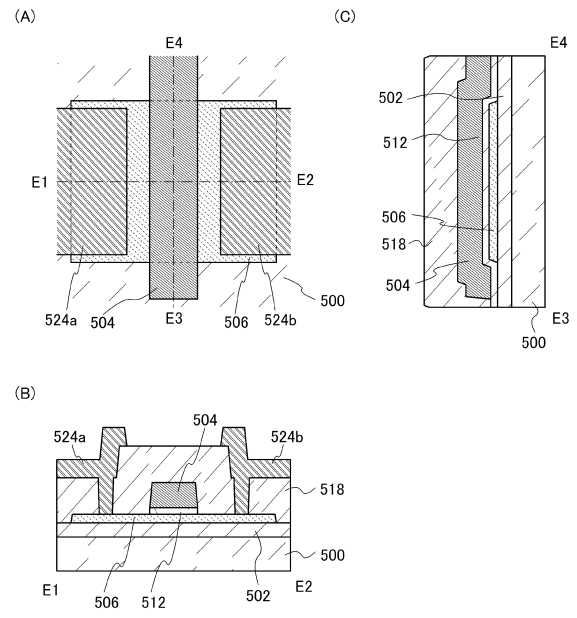
【図 6】



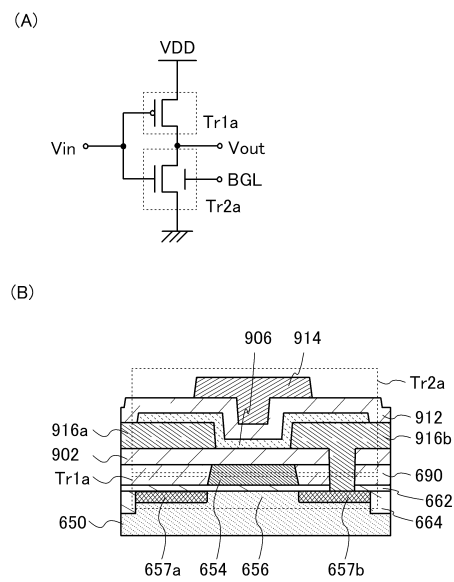
【図 7】



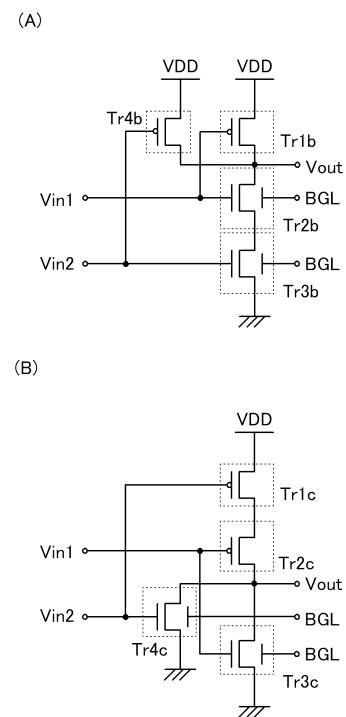
【図 8】



【図 9】

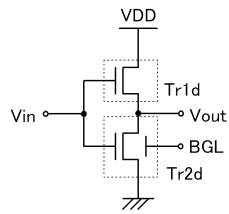


【図 10】

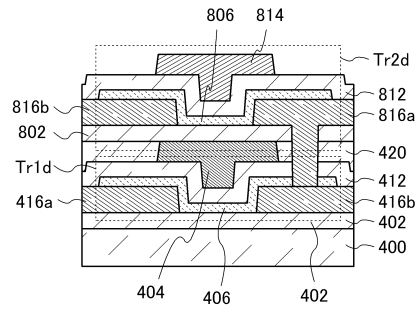


【図 1 1】

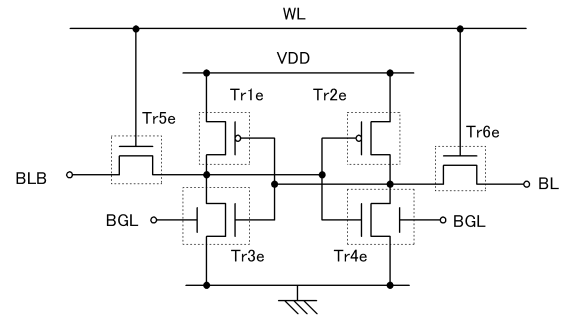
(A)



(B)

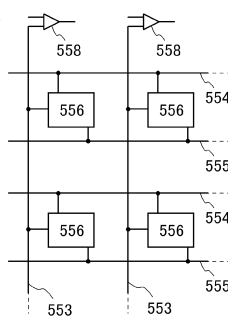


【図 1 2】

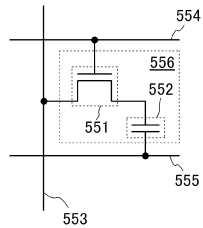


【図 1 3】

(A)

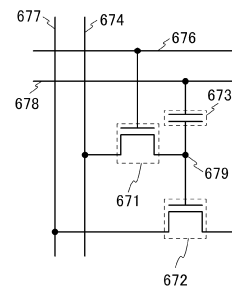


(B)

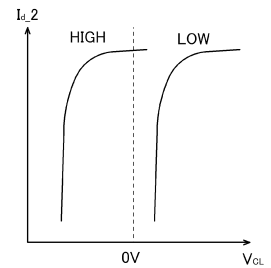


【図 1 4】

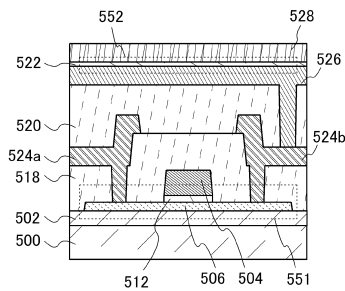
(A)



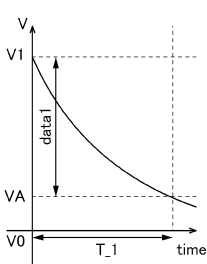
(B)



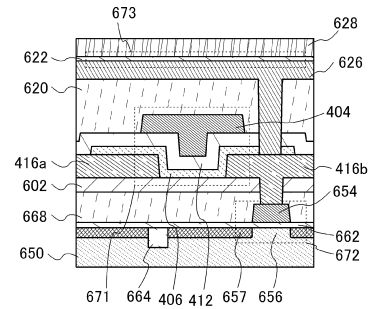
(C)



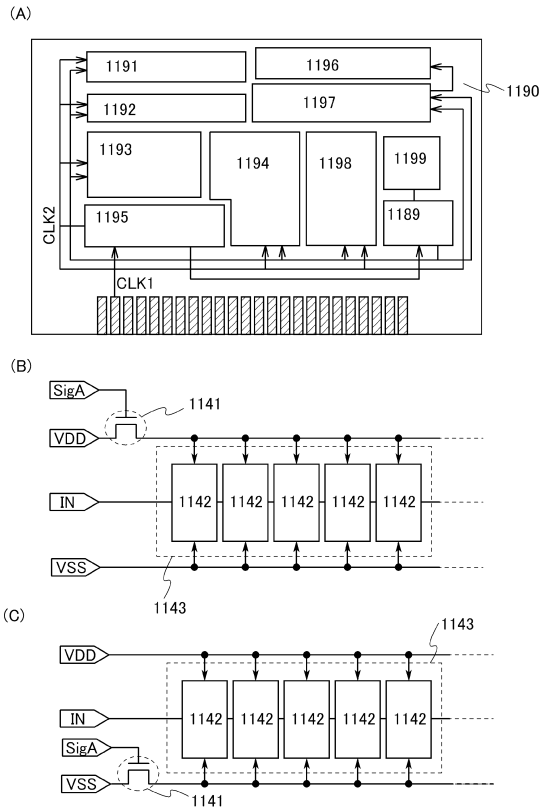
(D)



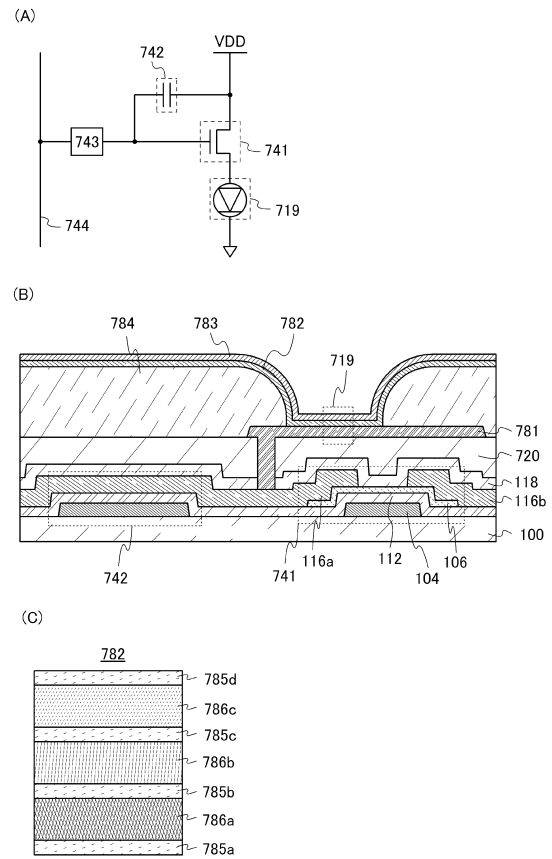
(C)



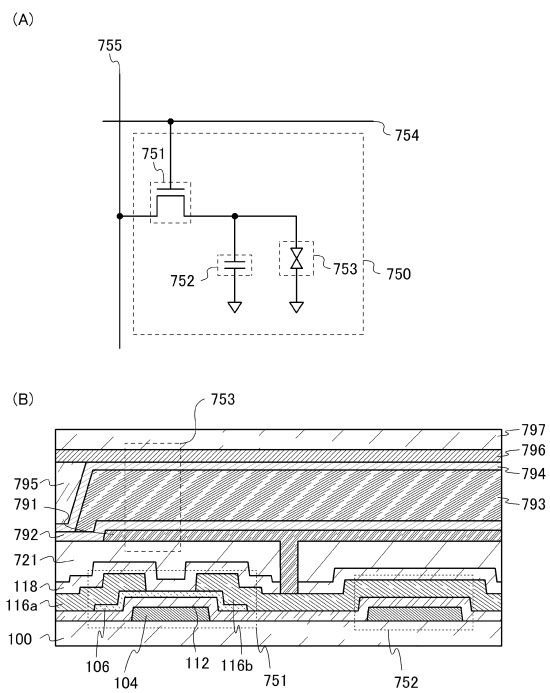
【図 15】



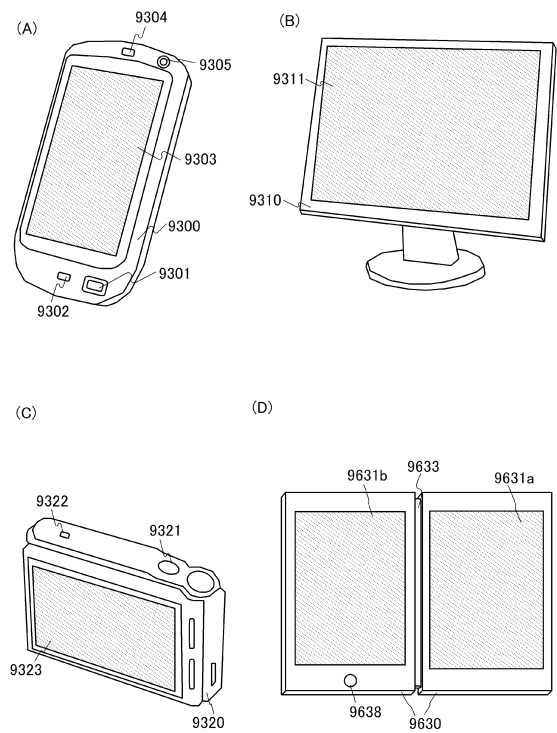
【図 16】



【図 17】

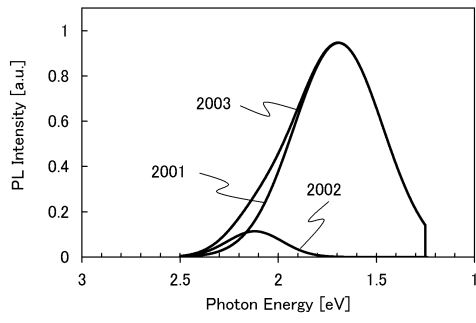


【図 18】

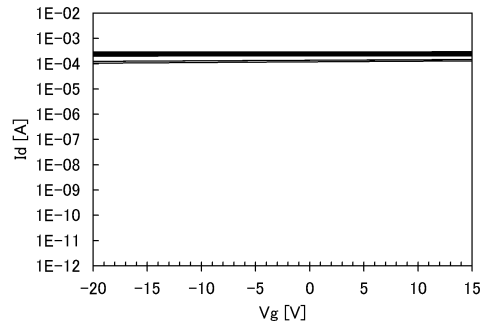


【図 19】

(A)

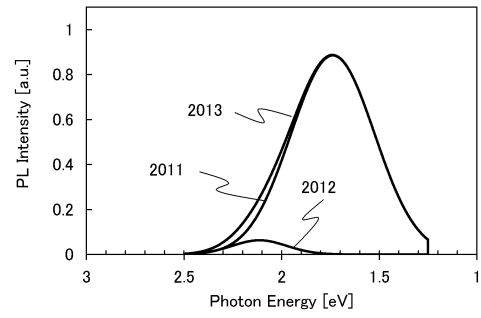


(B)

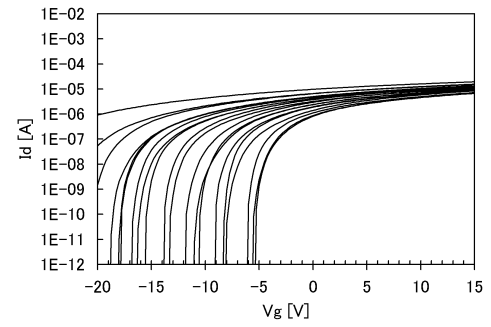


【図 20】

(A)

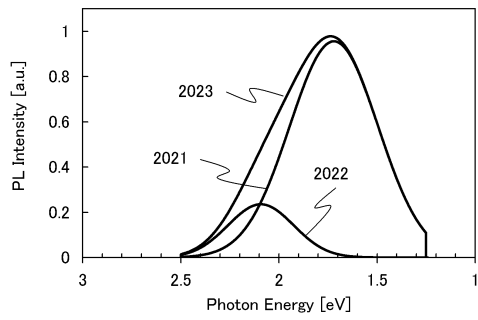


(B)

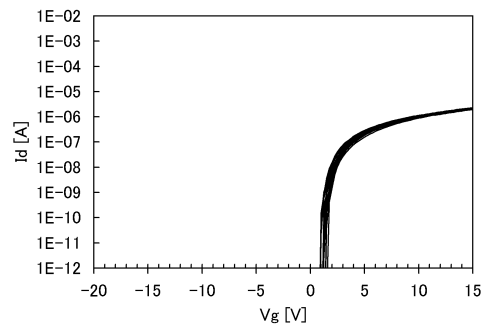


【図 21】

(A)

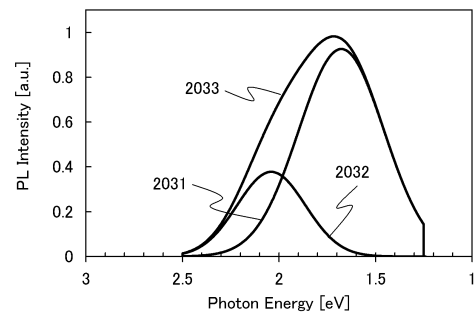


(B)

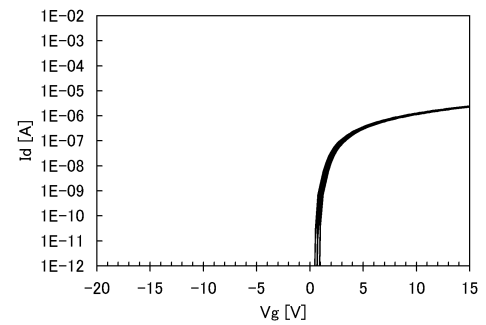


【図 22】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/11	(2006.01)	H 0 1 L	27/10 6 7 1 C
H 0 1 L	21/8242	(2006.01)	H 0 1 L	27/10 3 2 1
H 0 1 L	27/108	(2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	27/115	(2017.01)	H 0 1 L	27/10 4 4 1
H 0 1 L	27/105	(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	29/788	(2006.01)	H 0 1 L	21/66 Q
H 0 1 L	29/792	(2006.01)	H 0 1 L	21/363
H 0 1 L	21/66	(2006.01)	H 0 5 B	33/14 A
H 0 1 L	21/363	(2006.01)	G 0 2 F	1/1368
H 0 1 L	51/50	(2006.01)		
G 0 2 F	1/1368	(2006.01)		

(72)発明者 野中 裕介
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 保坂 泰靖
栃木県栃木市都賀町升塚 1 6 1 - 2 アドバンスト フィルム デバイス インク株式会社内

審査官 竹口 泰裕

(56)参考文献 特開 2 0 1 0 - 1 2 3 8 7 2 (J P , A)
特開 2 0 1 1 - 1 9 9 2 7 3 (J P , A)
特開 2 0 1 1 - 0 2 9 6 3 7 (J P , A)
特開 2 0 1 1 - 1 7 1 7 2 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6