

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成25年10月31日 (2013.10.31)

【公表番号】特表2013-527590(P2013-527590A)
 【公表日】平成25年6月27日 (2013.6.27)
 【年通号数】公開・登録公報2013-034
 【出願番号】特願2012-518063(P2012-518063)
 【国際特許分類】

H 0 1 L 21/683 (2006.01)

B 2 3 Q 3/15 (2006.01)

H 0 1 L 21/027 (2006.01)

G 0 3 F 7/20 (2006.01)

【 F I 】

H 0 1 L 21/68 R

B 2 3 Q 3/15 D

H 0 1 L 21/30 5 0 3 C

H 0 1 L 21/30 5 0 3 D

G 0 3 F 7/20 5 2 1

【手続補正書】
 【提出日】平成25年9月9日 (2013.9.9)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 8 9
 【補正方法】変更
 【補正の内容】
 【0 0 8 9】

図 7 A は、本発明の一実施形態に係り、結像されたデバイスの合格数を増やすことで製造効率を最大化するための静電チャックの使用法を示す。静電チャックシステムを使用する 1 つの方法は、2 つのステップを含む。基板を固定すること (7 1 0) と、不規則性を補正すること (7 3 0) である。別のステップが追加されてもよい。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 9 0
 【補正方法】変更
 【補正の内容】
 【0 0 9 0】

図 7 B の実施形態は、固定 (ステップ 7 1 0) と補正 (ステップ 7 3 0) との間に、更に 5 つのステップを備える。これら 5 つのステップは、表面不規則性マップを受け取ること (7 1 2) と、不規則性マップを複数の静電力に変換すること (7 1 4) と、その複数の静電力を、電極により形成される行列点に関連付けること (7 1 6) と、その関連付けられた静電力を生じさせるであろう各電極への印加レベルを決定 (例えば計算) すること (7 1 8) と、計算された印加レベルを適用すること (7 2 0) である。