



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월04일
(11) 등록번호 10-1358587
(24) 등록일자 2014년01월27일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H04N 5/357 (2011.01)
H01L 27/14 (2006.01)
(21) 출원번호 10-2011-0028185
(22) 출원일자 2011년03월29일
심사청구일자 2012년03월29일
(65) 공개번호 10-2011-0112206
(43) 공개일자 2011년10월12일
(30) 우선권주장
JP-P-2010-088192 2010년04월06일 일본(JP)
JP-P-2011-026532 2011년02월09일 일본(JP)
(56) 선행기술조사문헌
US7666704 B2
US20080251873 A1
EP1341235 A2
JP2010056247 A
전체 청구항 수 : 총 8 항

(73) 특허권자
캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고
(72) 발명자
사와야마 다다시
일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고
캐논 가부시끼가이샤 내
(74) 대리인
장수길, 박충범

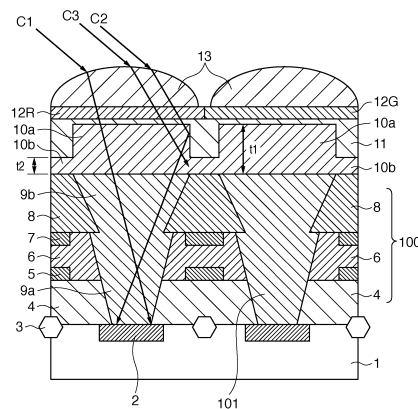
심사관 : 오순영

(54) 발명의 명칭 고체 이미지 센서 및 촬상 시스템

(57) 요약

광전 변환 소자들을 포함하는 고체 이미지 센서는, 기판 상에 배치되고 각각의 소자들 상에 배치된 개구부들을 갖는 제1 절연막, 제1 절연막의 굴절률보다 높은 굴절률을 갖고, 각각의 개구부들에 배치되는 절연체부들, 절연체부들의 상면들 및 제1 절연막의 상면 상에 배치되는 제2 절연막, 및 제2 절연막의 굴절률보다 낮은 굴절률을 갖고, 제2 절연막의 상면과 접해서 배치되는 제3 절연막을 포함하고, 입사광의 파장을 λ 라고 하고, 제2 절연막의 굴절률을 n 이라고 하고, 제1 절연막의 상면의 적어도 일부의 영역에 있어서의 제2 절연막의 두께를 t 라고 할 때, $t < \lambda/n$ 의 관계가 충족된다.

대표도 - 도1



특허청구의 범위

청구항 1

복수의 광전 변환 소자를 포함하는 반도체 기판을 포함하는 고체 이미지 센서이며,

상기 반도체 기판 상에 배치되고, 상기 복수의 광전 변환 소자 중 하나 상에 각각 배치되는 복수의 개구부를 갖는 제1 절연막,

상기 제1 절연막의 굴절률보다 높은 굴절률을 갖고, 상기 복수의 개구부 중 하나에 각각 배치되는 복수의 절연체부,

상기 복수의 절연체부의 상면들 및 상기 제1 절연막의 상면 상에 배치되는 제2 절연막, 및

상기 제2 절연막의 굴절률보다 낮은 굴절률을 갖고, 상기 제2 절연막의 상면과 접촉해서 배치되는 제3 절연막을 포함하고,

상기 복수의 절연체부에 입사하는 광의 파장을 λ 라고 하고, 상기 제2 절연막의 굴절률을 n 이라고 하고, 상기 제1 절연막의 상면의 적어도 일부의 영역에 있어서의 상기 제2 절연막의 두께를 t 라고 할 때, $t < \lambda/n$ 의 관계가 충족되는, 고체 이미지 센서.

청구항 2

제1항에 있어서,

상기 제2 절연막의 상면은 연속되는 면인, 고체 이미지 센서.

청구항 3

제1항에 있어서,

상기 복수의 절연체부의 상면들의 적어도 일부의 영역에 있어서의 상기 제2 절연막의 두께를 t_1 이라고 할 때, $t_1 > \lambda/n$ 이 더 충족되는, 고체 이미지 센서.

청구항 4

제1항에 있어서,

상기 개구부는, 상기 광전 변환 소자로부터 멀어짐에 따라 면적이 증가하는 테이퍼 형상을 갖는, 고체 이미지 센서.

청구항 5

제1항에 있어서,

상기 제2 절연막 및 상기 절연체부는 질화 실리콘 및 산질화 실리콘 중 하나로 형성되는, 고체 이미지 센서.

청구항 6

제1항에 있어서,

상기 제3 절연막 상에 컬러 필터를 더 포함하는, 고체 이미지 센서.

청구항 7

제1항에 있어서,

상기 복수의 절연체부 중 적어도 일부 및 상기 제2 절연막은 일체로 되어 있는, 고체 이미지 센서.

청구항 8

제1항 내지 제7항 중 어느 한 항에 기재된 고체 이미지 센서, 및

상기 고체 이미지 센서에 의해 얻어진 신호를 처리하는 신호 처리 유닛을 포함하는, 촬상 시스템.

명세서

기술 분야

[0001] 본 발명은 고체 이미지 센서 및 고체 이미지 센서를 갖는 촬상 시스템에 관한 것이며, 특히 고체 이미지 센서의 화소 구조에 관한 것이다.

배경 기술

[0002] 디지털 카메라 및 캠코더 등의 촬상 시스템에 사용되는 고체 이미지 센서는, 소형화 및 다화소화가 진전함에 따라 화소 크기가 급속하게 축소된다. 화소 크기가 작아지면, 화소의 광전 변환 소자의 수광부 면적이 감소하므로 광전 변환 소자의 감도가 저하한다. 광전 변환 소자의 감도의 저하를 억제하기 위해서, 화소의 광 입사면에 온 칩 마이크로렌즈(on-chip microlens)를 형성하는 기술이 이미 실용화되어 있다. 최근에는 몇몇 구성에서, 마이크로렌즈와 광전 변환 소자 사이에 광도파로가 형성되어, 광의 전반사를 이용해서 집광을 행한다. 일본공개특허공보 제2007-201091호에는, 평탄화층에 형성된 스트루홀(41)을 고굴절률 재료로 충전하는 것에 의해 광도파로를 형성하고, 평탄화층의 상면을 고굴절률 재료로 덮는 구성을 개시한다.

발명의 내용

해결하려는 과제

[0003] 그러나, 일본공개특허 제2007-201091호 공보에 개시된 구조에서는, 인접하는 광도파로들 사이의 평탄화층 상에 배치된 고굴절률 재료층의 상면 및 하면에 의해 광이 반사되면서 전파한다. 그 결과, 광도파로, 또한 광전 변환 소자에 광이 입사할 수 있다. 이것이 혼색 또는 노이즈 성분을 유발할 수 있다.

과제의 해결 수단

[0004] 본 발명은 혼색 등의 노이즈를 감소시키는데 유리한 기술을 제공한다.

[0005] 본 발명의 제1 양태는 복수의 광전 변환 소자를 포함하는 반도체 기판을 포함하는 고체 이미지 센서이며, 반도체 기판 상에 배치되고, 복수의 광전 변환 소자 중 하나 상에 각각 배치되는 복수의 개구부를 갖는 제1 절연막, 제1 절연막의 굴절률보다 높은 굴절률을 갖고, 복수의 개구부 중 하나에 각각 배치되는 복수의 절연체부, 복수의 절연체부의 상면들 및 제1 절연막의 상면 상에 배치되는 제2 절연막, 및 제2 절연막의 굴절률보다 낮은 굴절률을 갖고, 제2 절연막의 상면과 접촉해서 배치되는 제3 절연막을 포함하고, 복수의 절연체부에 입사하는 광의 파장을 λ 라고 하고, 제2 절연막의 굴절률을 n 이라고 하고, 제1 절연막의 상면의 적어도 일부의 영역에 있어서의 제2 절연막의 두께를 t 라고 할 때, $t < \lambda/n$ 의 관계가 충족되는 고체 이미지 센서를 제공한다.

[0006] 본 발명의 제2 양태는 본 발명의 제1 양태로서 정의된 고체 이미지 센서 및 고체 이미지 센서에 의해 얻어진 신호를 처리하는 신호 처리 유닛을 포함하는 촬상 시스템을 제공한다.

[0007] 본 발명의 또 다른 특징들은 첨부 도면을 참조하여 하기의 예시적인 실시예들의 설명으로부터 명확해질 것이다.

도면의 간단한 설명

[0008] 도 1은 제1 실시예에 따른 고체 이미지 센서의 구조를 예시하는 단면도.

도 2a 내지 도 2d는 도 1의 고체 이미지 센서의 제조의 단계들을 각각 예시하는 단면도.

도 3은 도 1의 실시예에 따른 고체 이미지 센서에 대한 비교예로서의 고체 이미지 센서의 구조를 도시하는 단면도.

도 4a는, 제1 내지 제3 실시예 중 하나에 따른 고체 이미지 센서의 화소 P의 회로 구성을 예시하는 회로도.

도 4b는 제1 내지 제3 실시예 중 하나에 따른 고체 이미지 센서가 적용되는 촬상 시스템의 구성을 예시하는 블록도.

도 5는 제2 실시예에 따른 고체 이미지 센서의 구조를 예시하는 단면도.

도 6은 제3 실시예에 따른 고체 이미지 센서의 구조를 예시하는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0009] 이제, 본 발명의 바람직한 실시예에 대해서 첨부 도면을 참조하여 설명한다.
- [0010] <제1 실시예>
- [0011] 광도파로를 형성하는 기술을 개시하는 참고문헌으로서 일본공개특허공보 제2003-224249호 및 일본공개특허공보 제2006-049825호가 있다. 일본공개특허공보 제2003-224249호는, 도파로를 테이퍼 형상으로 함으로써 그의 상부의 개구부를 넓게 해서 집광 효율을 높이는 구조를 개시한다. 일본공개특허공보 제2006-049825호는, 광도파로 상에 렌즈를 더 형성해서 광을 광도파로 상에 집광하는 구조를 개시한다.
- [0012] 그러나, 일본공개특허공보 제2003-224249호의 구조에서는, 최상부의 집광 렌즈에 경사 입사하는 광, 또는 인접하는 집광 렌즈들 사이의 공간에 입사하는 광은, 다만 개구부를 갖는 광도파로의 개구부에 입사하지 않는 광이 된다. 광도파로의 개구부에 입사하지 않는 광은 인접하는 소자부에 입사하여, 혼색이나 노이즈 성분을 유발한다. 일본공개특허공보 제2006-049825호의 구조에서는, 광도파로의 개구부 상부에 광도파로와 동일한 재료를 사용하여 일체적으로 집광 렌즈를 형성한다. 그러나, 렌즈에 경사 입사하여 광도파로에 집광될 수 없는 광은 인접하는 소자부에 입사한다. 인접하는 소자부에 입사하는 광은 노이즈 성분이 되어, 해상도를 저하시키거나, 또는 컬러 고체 이미지 센서에서 혼색을 발생시킨다.
- [0013] 제1 실시예는, 광을 효율적으로 캡처할 수 있고 인접하는 광전 변환 소자에의 광의 입사를 억제할 수 있는 고체 이미지 센서 및 그러한 고체 이미지 센서를 갖는 촬상 시스템을 제공한다.
- [0014] <제1 실시예에 따른 고체 이미지 센서의 구조의 예>
- [0015] 도 1은 제1 실시예에 따른 고체 이미지 센서를 도시하는 개략 단면도이다. 제1 실시예는 CMOS 고체 이미지 센서에 관련된다. 도 1은 2화소의 단면을 도시한다. 도 1에 도시된 바와 같은 복수의 화소가 2차원으로 배열되어, 디지털 카메라나 캠코더 등의 촬상 시스템에 사용된다. 촬상 시스템의 예는 도 4b를 참조하여 후술된다.
- [0016] 도 1에서, 광전 변환 소자(2) 및 소자 분리 영역(3)이 반도체 기판(1)의 상면에 형성된다. 광전 변환 소자(2)가 형성된 반도체 기판(1) 상에는, 광전 변환 소자(2) 상에 배치된 개구부(101)를 갖는 제1 절연막(100)이 배치되어 있다. 제1 절연막(100)은, 도 1에 도시된 예에서, 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)을 포함한다. 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)은, 개구부(101)를 형성하는 개구부들을 각각 갖는다. 더 구체적으로, 광전 변환 소자(2) 상에 개구부를 갖는 제1 절연층(4)이 형성된다. 제1 절연층(4) 상에는, 제1 배선층(5), 및 제1 배선층(5)을 덮고 광전 변환 소자(2) 윗쪽에 개구부를 갖는 제2 절연층(6)이 형성된다. 제2 절연층(6) 내에 제2 배선층(7)이 형성된다. 제2 배선층(7)은 다마신 구조를 갖는다. 제2 절연층(6)을 덮고 광전 변환 소자(2) 윗쪽에 개구부를 갖는 제3 절연층(8)이 형성된다. 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)의, 광전 변환 소자(2)에 대응하는 개구부들은, 광전 변환 소자(2)로부터 멀어짐에 따라서 면적이 증가하는 테이퍼 형상을 갖는다. 개구부들은, 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)의 구성 재료들보다 굴절률이 높은 재료로 형성된 고굴절률부로서 기능하는 절연체로 충전된다. 절연체는 광도파로들(9a 및 9b)을 형성한다.
- [0017] 고굴절률부의 굴절률과 같거나 그것보다 큰 굴절률을 갖는 재료로 형성된 제2 절연막으로서 패시베이션 막들(10a 및 10b)이 광도파로(9b) 상에 배치된다. 이 경우에, 광도파로(절연체)에 입사하는 광의 파장을 λ 라고 하고, 패시베이션 막의 굴절률을 n 이라고 한다. 패시베이션 막(10a)의 두께를 t_1 이라고 하면, 광도파로의 상면의 전체 또는 적어도 일부의 영역은, $t_1 > \lambda/n$ 을 충족하는 두께의 패시베이션 막(10a)으로 덮인다. 광도파로의 상면 중 패시베이션 막(10a)으로 덮이는 영역을, 제1 영역으로서 정의한다. 또한, 패시베이션 막(10b)의 두께를 t_2 라고 하면, 패시베이션 막들(10a) 사이에 위치하는 제1 절연막(100)(또는 제3 절연층(8))의 상면의 적어도 일부의 영역은, $t_2 < \lambda/n$ 를 충족하는 두께의 패시베이션 막(10b)으로 덮인다. 제1 절연막(100)(또는 제3 절연층(8))의 상면 중 패시베이션 막(10b)으로 덮인 영역을, 제2 영역이라고 정의한다.
- [0018] 도 1에 도시된 예에서, 패시베이션 막들(10a 및 10b)은 동일한 막으로 미리 정해진 두께들 t_1 및 t_2 로 각각 형성된다. 패시베이션 막들(10a 및 10b) 상에는, 예를 들어, 1.5의 굴절률을 갖는 투명 고분자 수지로 형성된 제3 절연막인 평탄화층(11)이 배치된다. 또한, 예를 들어, 평탄화층(11) 상에는, 화소들에 대응해서, 1.55의 굴절률을 갖는 투명 고분자 수지로 각각 형성되는 적색 컬러 필터층(12R) 및 녹색 컬러 필터층(12G)이 배치된다. 컬러 필터층들(12R 및 12G) 상에, 예를 들어, 1.6의 굴절률을 갖는 투명 고분자 수지로 형성된 온 칩 마이크로

렌즈들(13)이 배치된다. 물론, 컬러 필터층은 청색 컬러 필터층(12B)이거나, 또는 보색의 컬러 필터층 동일 수 있다. 그리하여, 컬러 필터층은, 패시베이션 막의 윗쪽이며 마이크로렌즈의 아랫쪽에 있다. 컬러 필터층 상에 평탄화층이 더 형성될 수 있다는 것에 유의한다. 상술한 $t_1 > \lambda/n$ 및 $t_2 < \lambda/n$ 의 관계들은, 바람직하게는, 컬러 필터층을 투과해서 광도파로(절연체)에 입사하는 광의 전체 대역에 대해서 충족된다.

[0019] (각 요소의 재료예)

[0020] 광전 변환 소자(2)로서, PN 접합 또는 PIN 접합을 갖는 포토다이오드나, 포토트랜지스터 등을 사용할 수 있다. 그러한 소자의 반도체 접합에 광이 입사할 때, 입사광에 의해 광전 변환이 유발되어 전하가 발생한다. 각 광전 변환 소자(2)의 주위의 소자 분리 영역(3)은, 선택 산화에 의해 형성된 필드 산화막이나 접합 분리를 위한 확산층이나 매립 소자 분리법 등에 의해 형성된다. 소자 분리 영역(3)은 PD 접합을 사용한 불순물 확산에 의해 분리를 달성할 수 있다는 것에 유의한다. 제1 절연층(4)은 각 광전 변환 소자(2) 및 소자 분리 영역(3)을 덮는다. 반도체 기판(1)과 제1 절연층(4) 사이에는, 예를 들어 게이트 절연막 및 게이트 전극이 개재될 수 있다는 것에 유의한다. 제1 배선층(5)은 배선 패턴을 갖는다. 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)의 재료들은, 광전 변환 소자(2)에 흡수되어 전기 신호로 변환되는 광을 투과시킬 수 있는 투명한 재료들이면 충분하다. 예를 들어, 대부분의 고체 이미지 센서들이, 가시광 또는 적외광을 검출하는 데 사용되므로, 재료들은 이 광 성분들을 투과시킬 수 있는 것이면 충분하다. 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)으로는, 일반적으로 전기적 절연층 또는 패시베이션층으로서 사용되는 무기 절연체 또는 유기 절연체를 채택한다. 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)의 재료들은, 예를 들면, 산화 실리콘이거나, 또는 인, 붕소, 불소, 탄소 등을 산화 실리콘에 도핑하여 각각 준비된 재료들이다. 제1 배선층(5) 및 제2 배선층(7)은, 알루미늄 패턴들 또는 다마신 프로세스에 의해 형성되는 구리 패턴들을 가질 수 있다. 광도파로들(9a 및 9b)을 형성하는 고굴절률부의 재료의 예들은, 2.0의 굴절률을 갖는 질화 실리콘 및 1.8의 굴절률을 갖는 산질화 실리콘이다. 제1 절연층(4) 및 제2 절연층(6)에는 콘택트 플러그 및 비아 플러그(둘 다 도시되지 않음)가 배치되어 있다는 것에 유의한다.

[0021] <제1 실시예에 따른 광전 변환 소자의 제조 프로세스예>

[0022] 도 2a 내지 도 2d는, 광도파로(9)를 형성하는 제조 단계들을 각각 도시하는 단면도이다. 기판에 소자를 형성하는 단계들, 반도체 기판(1) 상에 제1 절연층(4), 제2 절연층(6), 제1 배선층(5), 제2 배선층(7), 콘택트 플러그 및 비아 플러그를 형성하는 단계들은 잘 알려져 있으므로, 여기에서는 설명을 생략한다.

[0023] 도 2a에서, 제1 배선층(5)과 제2 배선층(7)을 형성한 후에, 포토레지스트가 도포되고, 광도파로(9a)를 형성하기 위하여, 패터닝 기술을 사용하여, 포토 레지스트로부터 포토레지스트 패턴(14)이 형성된다. 그 후, 플라즈마 에칭에 의해 제2 절연층(6)과 제1 절연층(4)이 에칭된다. 이 에칭에 의해, 제2 절연층(6)과 제1 절연층(4)에는, 그들을 관통하여 연장되고, 광전 변환 소자(2)에 대응하는 개구부들이 형성된다. 그 후, 포토레지스트 패턴(14)이 제거되어, 도 2b의 구조를 얻는다. 제2 절연층(6)이 플라즈마 산화 실리콘으로 형성되고, 제1 절연층(4)이 BPSG로 형성될 때, C_4F_8 또는 C_5F_8 에 의해 대표되는 CF계 가스, O_2 , 및 Ar를 사용해서 플라즈마 에칭이 실행된다. 에칭 조건에 따라, 제2 절연층(6) 및 제1 절연층(4)은, 도 2b에 도시된 바와 같이 하부의 개구 면적이 상부의 개구 면적보다 작은 테이퍼 형상으로 에칭될 수도 있다. 그러나, 개구부가 반드시 도 2b에 도시된 바와 같은 테이퍼 형상으로 한정되는 것은 아니다.

[0024] 도 2b에서, 고굴절률 재료(절연체)가 충전되어, 고굴절률부, 즉, 도 2c의 제1 광도파로(9a)를 형성한다. 예를 들어, 개구부는, 고밀도 플라즈마 CVD에 의해 2.0의 굴절률을 갖는 질화 실리콘이나 1.8의 굴절률을 갖는 산질화 실리콘으로 충전되거나, 또는 스핀 코팅에 의해 1.7의 굴절률을 갖는 고굴절률 재료로 충전된다. 고굴절 재료로 충전된 후, 필요에 따라, 레지스트 에치백이나 CMP를 사용해서 상부가 평탄화될 수 있다. 또한, 제3 절연층(8)으로서 플라즈마 산화 실리콘을 피착해 도 2c의 구조를 얻는다.

[0025] 도 2c에서, 제1 광도파로(9a)와 마찬가지로, 포토레지스트 패터닝, 에칭, 및 고굴절률 재료(절연체)로 충전함에 의해 고굴절률부, 즉, 제2 광도파로(9b)를 형성한다. 제2 광도파로(9b)의 개구부는 제3 절연층(8)의 개구부로서 기능한다. 이때, 제1 광도파로(9a)와 제2 광도파로(9b)의, 광전 변환 소자를 향하는 테이퍼 각도들은 동일할 수 있거나 상이할 수 있다. 제1 광도파로(9a)와 제2 광도파로(9b)의 고굴절률부들 간의 계면에서의 반사를 감소시키기 위해, 두 고굴절률부는 동일한 굴절률을 갖는 재료들로 형성되는 것이 바람직하다. 그러나, 굴절률들은 동일하지 않을 수 있다. 이들 두 고굴절률부의 굴절률들이 서로 크게 상이하면, 제1 광도파로(9a)와 제2 광도파로(9b) 간의 계면에, 반사 방지막을 배치할 수 있다.

- [0026] 광도파로(9b)의 형성 후, 패시베이션 막을 2.0의 굴절률을 갖는 플라즈마 질화 실리콘이나 1.8의 굴절률을 갖는 플라즈마 산질화 실리콘으로 형성한다. 그 후, 포토레지스트를 도포하여 패시베이션 막을 광도파로(9b) 상의 모든 또는 일부의 영역에 두께 t1으로 형성하고 나머지 영역에 두께 t2로 형성한다. 플라즈마 에칭에 의해 패시베이션 막을 원하는 두께로 에칭한다. 이 상태가 도 2d에 도시된 구조이다.
- [0027] 예를 들어, 패시베이션 막의 형성 방법으로서, 패시베이션 막을 전체 표면 상에 두께 t1을 갖도록 형성하고, 포토레지스트 패턴을 제1 영역의 마스크로서 사용하여 제2 영역에서 에칭을 행함으로써, 두께 t1 및 t2를 갖는 패시베이션 막들을 얻는다. 또한, 두께 t1보다 두꺼운 패시베이션 막을 형성한 후, 원하는 포토레지스트 패터닝 및 에칭을 수행함으로써, 두께 t1과 t2를 갖는 패시베이션 막들을 얻을 수 있다. 또한, 두 개의 상이한 막으로 패시베이션 막들을 형성할 수 있다. 예를 들어, 플라즈마 산질화 실리콘으로 두께 t2를 갖도록 막을 형성한 후에, 플라즈마 질화 실리콘으로 두께 t1을 갖도록 막을 형성할 수 있고, 플라즈마 질화 실리콘 막을 패터닝할 수 있다.
- [0028] 광도파로들(9a 및 9b)은, 제1 내지 제3 절연층과 고굴절률 재료 간의 계면들을 갖는다. 따라서, 광도파로들(9a 및 9b) 내부에 입사하는 광이, 스넬의 법칙(Snell's law)에 따라 측면에서 전반사한다. 예를 들어, 광도파로들(9a 및 9b)의 고굴절 재료는 2.0의 굴절률을 갖는 플라즈마 SiN막이다. 또한, 제1 절연층(4), 제2 절연층(6), 및 제3 절연층(8)을 형성하는 재료들은, 각각, 1.46의 굴절률을 갖는 BPSG(붕소인실리케이트 유리(BoroPhosphoSilicate Glass)), 1.46의 굴절률을 갖는 SiO(산화 실리콘), 및 1.46의 굴절률을 갖는 SiO(산화 실리콘)이다. 이 경우, 광도파로들(9a 및 9b)의 측면들에 46.9° 이상의 입사각으로 입사하는 광이면, 이 광은 광도파로(9a 및 9b)의 측면들에서 전반사된다. 측면에서 전반사된 광은, 최종적으로 광전 변환 소자(2)에 입사한다. 광도파로들(9a 및 9b)을 형성함으로써, 광을 효과적으로 광전 변환 소자(2)에 입사시켜, 광전 변환에 기여할 수 있다.
- [0029] 패시베이션 막들(10a 및 10b)은, 광도파로 상부 및 기타 부분들을 덮도록 형성된다. 광도파로(9b)의 상부는, 두께 t1, 2.0의 굴절률을 갖는 플라즈마 질화 실리콘막으로 형성되는 패시베이션 막(10a)으로 덮인다. 광도파로의 상부 이외의 나머지 부분은, 두께 t2와 2.0의 굴절률을 갖는 플라즈마 질화 실리콘막으로 형성된 패시베이션 막(10b)으로 덮인다. 따라서, 평탄화층(11)은, 패시베이션 막(10a)보다 굴절률이 낮다. 이때 t1은, 입사광의 파장이 380nm(청) 이상이기 때문에, $380/2.0=190\text{nm}$ 보다 두꺼운 것을 충족한다. 더욱 바람직하게는, 입사광의 파장의 거의 상한인 600nm(적)에 대하여, t1은 $600/2.0=300\text{nm}$ 보다 두껍다. t2는, 입사광의 파장이 380nm(청)일 때 $380/2.0=190\text{nm}$ 보다 얇은 것을 충족한다. 더욱 바람직하게는, t2가, 패시베이션 막의 기능으로서의 수소 중단부가 암전류 저감 효과를 발휘하는 30nm 이상이며 190nm 이하이다. 제1 실시예에 따른 집광 효과는, 입사광의 경사 성분이 클수록 더욱 현저해진다.
- [0030] <제1 실시예의 효과>
- [0031] 도 3은, 제1 실시예에 따른 광전 변환 소자의 효과를 명시적으로 설명하기 위한 비교예의 단면도이다. 도 3은, 패시베이션 막(10)이 일정한 두께로 형성된 것 외에는, 제1 실시예의 광전 변환 소자의 구조와 동일한 구조를 갖는 인접하는 2개의 화소를 도시하는 단면도이다. 도 3의 비교예에서, 입사광 C1이 마이크로렌즈(13)의 표면의 좌측 부분에, 왼쪽으로 경사져서 입사한다. 이 광은 마이크로렌즈(13)에 의해 굴절되어서 광도파로(9b)의 상부의 개구부에 입사한 후, 광전 변환 소자(2)에 입사한다. 대조적으로, 마이크로렌즈(13)의 표면의 우측 부분에, 왼쪽으로 경사져서 입사하는 광 C2는, 광도파로(9b)의 상부의 개구부에 입사하지 않고, 광도파로(9a)로부터 벗어나서 집광할 수 없다. 광전 변환 소자(2)에 유도되지 않은 광은, 검출에 유효하게 이용될 수 없으며, 인접 화소의 광전 변환 소자(2)에 입사할 때 혼색을 유발한다. 또한, 광전 변환 소자(2)에 유도되지 않은 광은, 반사되면서 패시베이션 막(10)을 통하여 전파될 수 있고, 다른 광전 변환 소자(2)에 입사할 수 있다.
- [0032] 대조적으로, 도 1에 도시된 제1 실시예의 구조에서는, 광선 C1뿐만 아니라 입사광 C2도, 패시베이션 막(10a)과 평탄화층(11) 사이의 굴절률차 때문에 전반사에 의해 광도파로(9b) 상부의 개구부에 유도될 수 있다. 그 후, 입사광은 광도파로(9a)의 측면에서 전반사되어, 광전 변환 소자(2)에 수렴될 수 있다. 입사광 C3에 대해서도, 패시베이션 막(10b)의 두께가 $t2 < \lambda/n$ 의 관계를 충족하고 있기 때문에, 패시베이션 막(10a)으로부터 패시베이션 막(10b)에 입사하는 광은 패시베이션 막(10b)을 통해 전파될 수 없다. 즉, 제1 실시예의 고체 이미지 센서는, 두께가 상이한 패시베이션 막들(10a 및 10b)과 광도파로(9)를 사용하여, 종래 변환되지 않았던 입사광을 광전 변환 소자에 유도할 수 있다. 또한, 제1 실시예의 고체 이미지 센서는, 종래, 인접 화소에 입사할 수 있는 광을 감소시킬 수 있다.

- [0033] 고굴절률들을 갖는 광도파로들(9a 및 9b)과 패시베이션 막들(10a 및 10b)이 일체적인 막으로 형성될 수 있다.
- [0034] <제2 실시예>
- [0035] 도 5는 제2 실시예에 따른 고체 이미지 센서를 도시하는 개략 단면도이다. 제2 실시예의 고체 이미지 센서는, 제1 실시예의 고체 이미지 센서로부터 제3 절연층(8) 및 제3 절연층(8)의 개구부에 형성된 광도파로(9b)가 제거됨으로써 얻어진다. 제2 실시예의 고체 이미지 센서에서, 제2 절연막으로서 기능하는 패시베이션 막이, 매끄럽게 연속되는 면을 상면으로서 가지며 두께가 t_2 인 패시베이션 막(10b)으로 형성된다. 나머지 구성은 제1 실시예의 것과 동일하다. 패시베이션 막(10b)의 두께를 t_2 라고 했을 때, 제1 절연막(100)의 상면의 모든 또는 적어도 일부의 영역은, $t_2 < \lambda/n$ 의 관계를 충족하는 두께의 패시베이션 막(10b)으로 덮인다. 도 5에 도시된 예에서는, 제1 절연막(100) 및 광도파로(9a)의 상면들이, 매끄럽게 연속되는 면을 상면으로서 갖는 두께 t_2 의 패시베이션 막(10b)으로 덮인다. 특히 청구 범위에서는, 기술의 편의를 위해서, t_2 를 t 로 대체하여, 이 관계가 $t < \lambda/n$ 으로서 기재되어 있다. 제1 절연막(100)의 상면의 모든 또는 적어도 일부의 영역에 $t_2 < \lambda/n$ (또는 $t < \lambda/n$)을 충족하는 제2 절연막을 배치함으로써, 제2 절연막의 상면 및 하면에 의해 반사되는 광의 전파가 억제된다. 이에 의해, 그러한 광이 광도파로(9a), 또한 광전 변환 소자(2)에 입사하는 것이 억제되어, 혼색 및 노이즈가 저감된다.
- [0036] 고굴절률들을 갖는 광도파로(9a)와 패시베이션 막(10b)이 일체적인 막으로 형성될 수 있다. 평탄화층(11)은 투명 고분자 수지로 한정되지 않고, 산화 실리콘 등의 무기 재료로 형성될 수 있다. 또한, 제2 실시예의 구조에서, 패시베이션 막(10b)의 상면은 평탄하므로, 평탄화층(11)이 평탄화 기능을 갖지 않을 수 있다.
- [0037] <제3 실시예>
- [0038] 도 6은 제3 실시예에 따른 고체 이미지 센서를 도시하는 개략적인 단면도이다. 제3 실시예의 고체 이미지 센서에서, 제2 절연막으로서 기능하는 패시베이션 막이, 매끄럽게 연속되는 면을 상면으로서 가지며 전술한 바와 같이 두께가 t_2 인 패시베이션 막(10b)으로 형성된다. 나머지 구조는 제1 실시예에서의 구조와 동일하다. t_2 를 패시베이션 막(10b)의 두께라고 할 때, 제1 절연막(100)의 상면의 모든 또는 적어도 일부의 영역은, $t_2 < \lambda/n$ 의 관계를 충족하는 두께의 패시베이션 막(10b)으로 덮인다. 도 6에 도시된 예에서, 제1 절연막(100)의 상면 및 광도파로(9b)의 상면이, 매끄럽게 연속되는 면을 상면으로서 갖는 두께 t_2 의 패시베이션 막(10b)으로 덮인다. 특히 청구 범위에서는, 기술의 편의를 위해서, t_2 를 t 로 대체하여, 이 관계가 $t < \lambda/n$ 으로서 기재된다. 제1 절연막(100)의 상면의 모든 또는 적어도 일부의 영역에 $t_2 < \lambda/n$ (또는 $t < \lambda/n$)을 충족하는 제2 절연막을 배치함으로써, 제2 절연막의 상면 및 하면에서 반사되는 광의 전파가 억제된다. 이에 의해, 그러한 광이 광도파로(9a)와 광도파로(9b), 또한 광전 변환 소자(2)에 입사하는 것이 억제되어, 혼색 및 노이즈가 저감된다.
- [0039] 고굴절률들을 갖는 광도파로(9b)와 패시베이션 막(10b)이 일체적인 막으로 형성될 수 있다. 평탄화층(11)은 투명 고분자 수지로 한정되지 않고, 산화 실리콘 등의 무기 재료로 형성될 수 있다. 제3 실시예의 구조에서, 패시베이션 막(10b)의 상면은 평탄하므로, 평탄화층(11)이 평탄화 기능을 갖지 않을 수 있다.
- [0040] <회로 구성예>
- [0041] 도 4a는, 제1 내지 제3 실시예 중 하나에 따른 고체 이미지 센서(100)의 1개의 화소 P의 대표적인 회로 구성을 예시하는 회로도이다. 실제의 고체 이미지 센서(100)에서는, 화소들 P가 2차원 또는 1차원으로 배열되고, 어레이 주위에는, 화소를 구동하는 주사 회로, 판독 회로, 출력 증폭 회로 등이 배치된다. 도 4a의 예에서, 화소 P는, 광전 변환기(31), 전송 트랜지스터(32), 플로팅 디퓨전(FD라고 칭함)(33), 리셋 트랜지스터(34), 증폭 트랜지스터(36) 및 선택 트랜지스터(35)를 포함한다.
- [0042] 광전 변환기(31)의 수광면에 광이 입사할 때, 광전 변환기(31)는 광에 대응하는 전하들(본 예에서는 전자들)을 발생시켜 저장한다. 광전 변환기(31)는, 예를 들어, 포토다이오드이며, 애노드와 캐소드의 계면에서 수행된 광전 변환에 의해 발생된 전하들을 캐소드에 저장한다. 전송 트랜지스터(32)는, 채널이 도통될 때(트랜지스터를 도통시키는 것을 "트랜지스터를 턴 온한다"라고 기술하고, 트랜지스터를 비도통시키는 것을 "트랜지스터를 턴 오프한다"라고 기술함), 광전 변환기(31)에서 발생한 전하를 FD(33)로 전송한다. 리셋 트랜지스터(34)가 턴 온될 때, 그것은 FD(33)를 리셋한다. 증폭 트랜지스터(36)는, 수직 신호선(37)에 접속된 정전류원(38)과 함께 소스 팔로워 동작을 수행함으로써, FD(33)의 전위에 대응하는 신호를 수직 신호선(37)에 출력한다. 수직 신호선(37)은 열방향의 다른 화소들에 접속되고, 복수의 화소 사이에서 공유된다. 즉, 리셋 트랜지스터(34)가 FD(33)를 리셋할 때, 증폭 트랜지스터(36)는 FD(33)의 전위에 대응하는 노이즈 신호를 수직 신호선(37)에 출력한다. 전송 트랜지스터(32)가 광전 변환기(31)에서 발생한 전하를 FD(33)에 전송할 때, 증폭 트랜지스터(36)는 FD(33)

3)의 전위에 대응하는 광신호를 수직 신호선(37)에 출력한다. 선택 트랜지스터(35)는 턴 온될 때 화소 P를 선택하고, 턴 오프될 때에 화소 P의 선택을 취소한다. FD(33)의 전위에 기초하여 화소 P의 선택 상태/비선택 상태를 제어할 때, 화소 P로부터 선택 트랜지스터(35)가 생략될 수 있고, 1개의 증폭 트랜지스터(36)에 대하여 복수의 광전 변환기(31)가 배치될 수 있다는 것에 유의한다. 예를 들어, 판독 회로(39)는 수직 신호선(37)을 따른 열방향의 복수 화소의 신호를 1차원의 촬상 결과로서 판독하거나, 또는 다른 수직 신호선(37)을 따른 복수 화소의 신호와 행 방향으로 합성하여 2차원의 촬상 결과로서 판독하고, 고체 이미지 센서는 그 결과를 출력 신호로서 출력하며, 그 세부 사항은 설명을 생략한다. 도 4a에 도시된 리셋 신호, 전송 신호, 및 화소 선택 신호는 각 트랜지스터의 동작을 제어하는 신호의 예들이다.

[0043] <촬상 시스템의 구성예>

[0044] 도 4b는, 제1 내지 제3 실시예 중 하나에 따른 고체 이미지 센서(100)가 적용되는 촬상 시스템의 구성을 예시한다. 촬상 시스템(90)은 주로, 광학계, 촬상 유닛(86) 및 신호 처리 유닛을 포함한다. 광학계는 주로, 셔터(91), 렌즈(92) 및 조리개(93)를 포함한다. 촬상 유닛(86)은, 본 실시예의 고체 이미지 센서(100)를 포함한다. 신호 처리 유닛은 주로, 촬상 신호 처리 회로(95), A/D 변환기(96), 화상 신호 프로세서(97), 메모리(87), 외부 I/F(89), 타이밍 발생기(98), 전체 제어/연산 유닛(99), 기록 매체(88), 및 기록 매체 제어 I/F(94)를 포함한다. 신호 처리 유닛은, 기록 매체(88)를 포함하지 않을 수 있다. 셔터(91)는, 광로 상에 있어서 렌즈(92)의 앞에 배치되어 노광을 제어한다. 렌즈(92)는, 입사광을 굴절시켜서, 촬상 유닛(86)의 고체 이미지 센서(100)의 촬상면 상에 피사체의 상을 형성한다. 조리개(93)는 광로 상에서 렌즈(92)와 고체 이미지 센서(100) 사이에 개재된다. 조리개(93)는 광이 렌즈(92)를 통과한 후에 고체 이미지 센서(100)에 유도되는 광의 양을 조절한다.

[0045] 촬상 유닛(86)의 고체 이미지 센서(100)는, 고체 이미지 센서(100)의 촬상면에 형성된 피사체의 상을 화상 신호로 변환한다. 촬상 유닛(86)은 그 화상 신호를 고체 이미지 센서(100)로부터 판독해서 출력한다. 촬상 신호 처리 회로(95)는, 촬상 유닛(86)에 접속되어 있고, 촬상 유닛(86)으로부터 출력된 화상 신호를 처리한다. A/D 변환기(96)는 촬상 신호 처리 회로(95)에 접속된다. A/D 변환기(96)는, 촬상 신호 처리 회로(95)로부터 출력된 처리된 화상 신호(아날로그 신호)를 화상 신호(디지털 신호)로 변환한다. 화상 신호 프로세서(97)는, A/D 변환기(96)에 접속된다. 화상 신호 프로세서(97)는, A/D 변환기(96)로부터 출력된 화상 신호(디지털 신호)에 보정 등의 각종 연산 처리를 수행하고, 화상 데이터를 발생시킨다. 화상 신호 프로세서(97)는 화상 데이터를, 메모리(87), 외부 I/F(89), 전체 제어/연산 유닛(99), 기록 매체 제어 I/F(94) 등에 공급한다. 메모리(87)는 화상 신호 프로세서(97)에 접속되고, 화상 신호 프로세서(97)로부터 출력된 화상 데이터를 저장한다. 외부 I/F(89)는 화상 신호 프로세서(97)에 접속된다. 화상 신호 프로세서(97)로부터 출력된 화상 데이터는, 외부 I/F(89)를 통해서 외부 장치(예를 들어, 퍼스널 컴퓨터)에 전송된다.

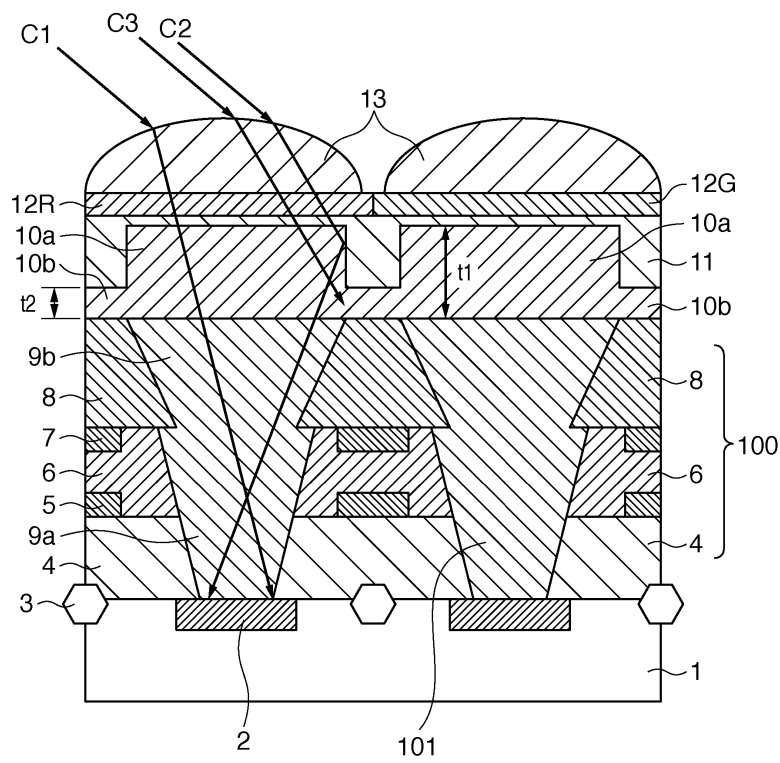
[0046] 타이밍 발생기(98)는 촬상 유닛(86), 촬상 신호 처리 회로(95), A/D 변환기(96) 및 화상 신호 프로세서(97)에 접속된다. 타이밍 발생기(98)는, 촬상 유닛(86), 촬상 신호 처리 회로(95), A/D 변환기(96) 및 화상 신호 프로세서(97)에 타이밍 신호들을 공급한다. 촬상 유닛(86), 촬상 신호 처리 회로(95), A/D 변환기(96) 및 화상 신호 프로세서(97)는 타이밍 신호에 동기해서 동작한다. 전체 제어/연산 유닛(99)은 타이밍 발생기(98), 화상 신호 프로세서(97) 및 기록 매체 제어 I/F(94)에 접속되고, 그들 모두를 제어한다. 기록 매체(88)는, 기록 매체 제어 I/F(94)에 탈착가능하게 접속된다. 화상 신호 프로세서(97)로부터 출력된 화상 데이터는, 기록 매체 제어 I/F(94)를 통해서 기록 매체(88) 상에 기록된다.

[0047] 이러한 구성으로, 고체 이미지 센서(100)는 고품질 화상 신호를 얻을 수 있는 한, 촬상 시스템에서 고품질 화상(화상 데이터)을 제공할 수 있다.

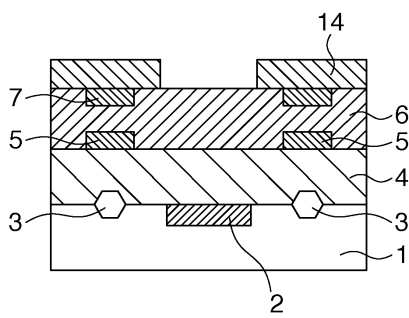
[0048] 본 발명이 예시적인 실시예를 참조하여 기술되었지만, 본 발명은 개시된 예시적인 실시예들로 한정되지 않는다는 것이 이해되어야 한다. 하기의 청구항들의 범위는 그러한 변형들, 등가의 구조들 및 기능들을 모두 포괄하도록 최광의의 해석에 따라야 한다.

도면

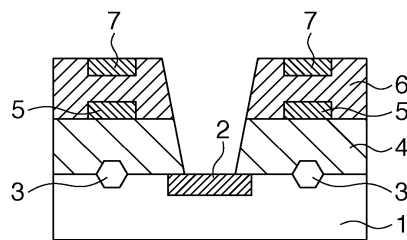
도면1



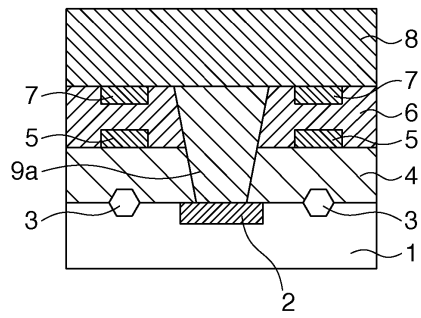
도면2a



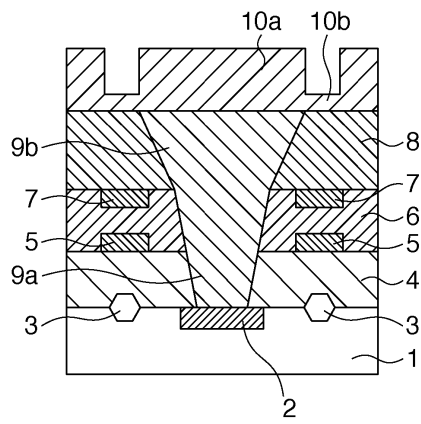
도면2b



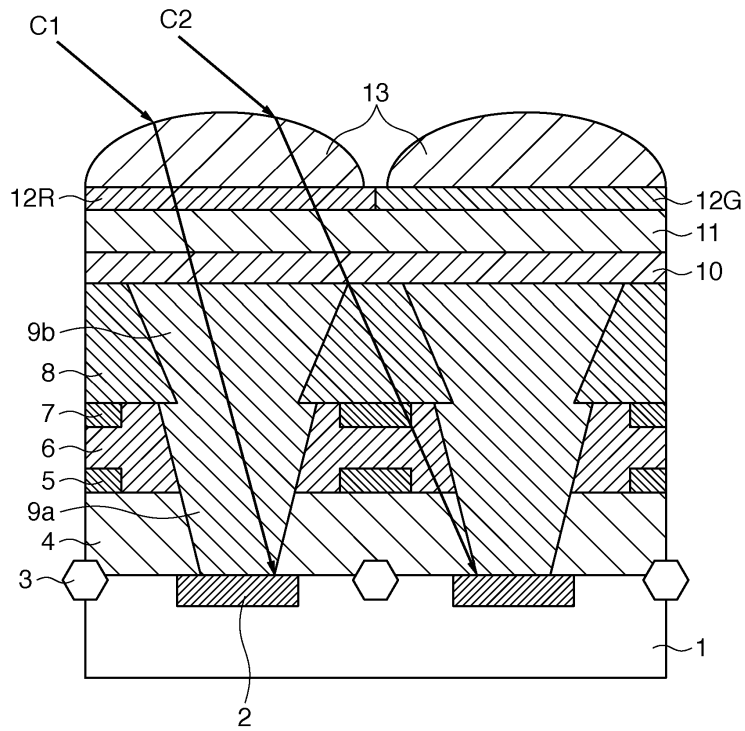
도면2c



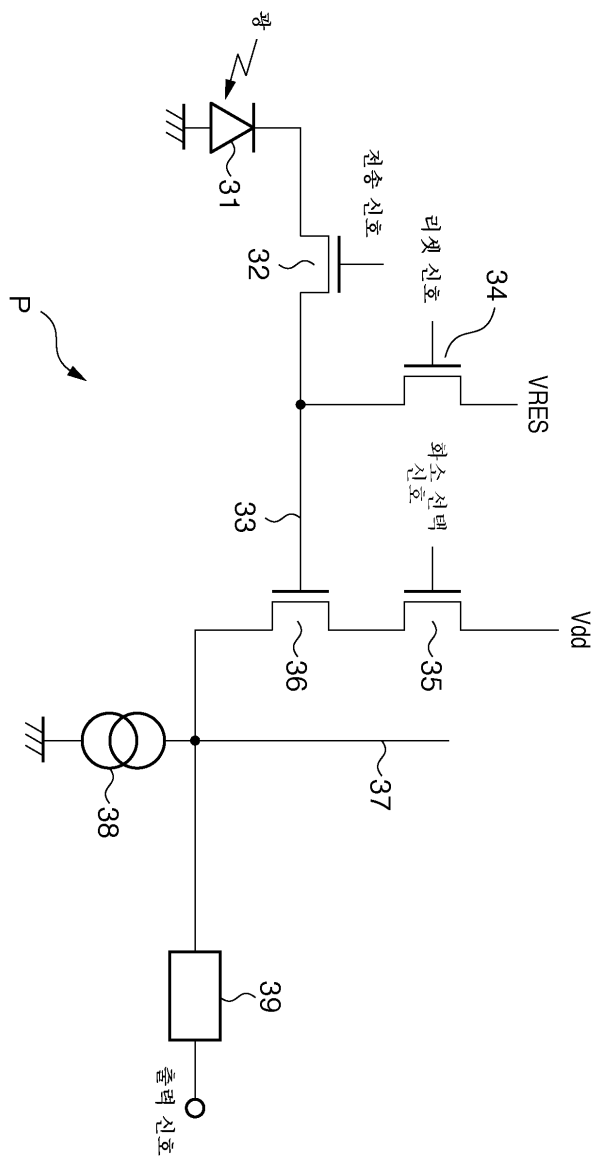
도면2d



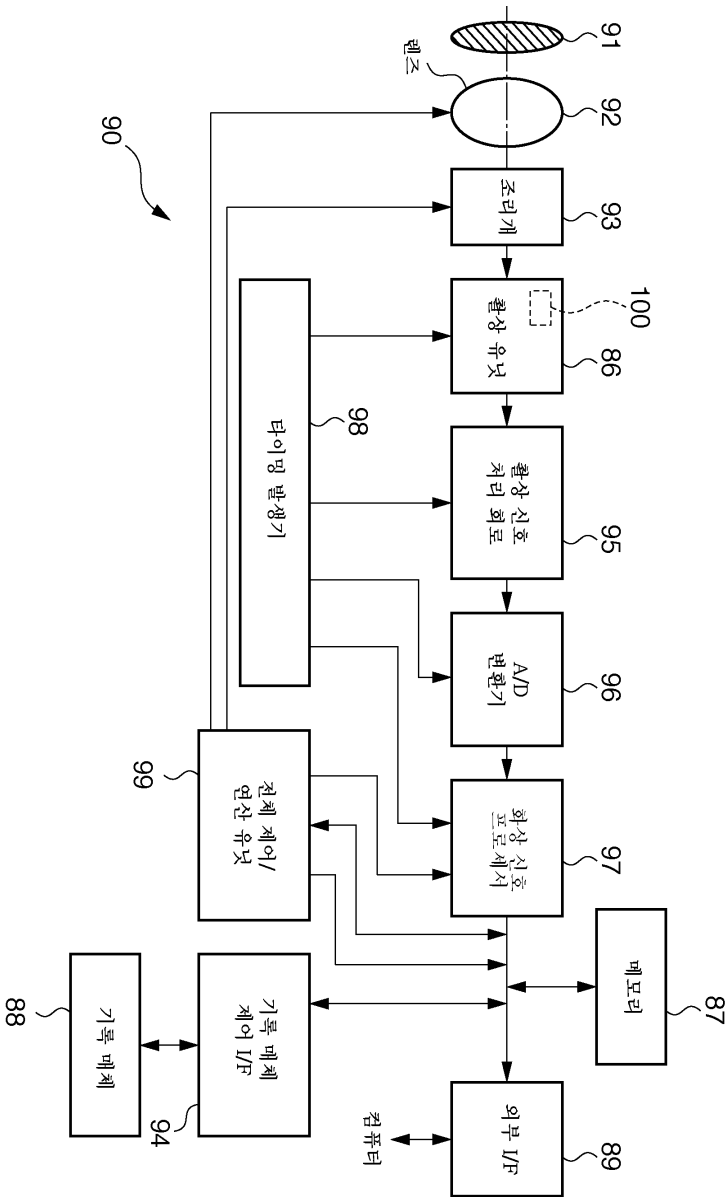
도면3



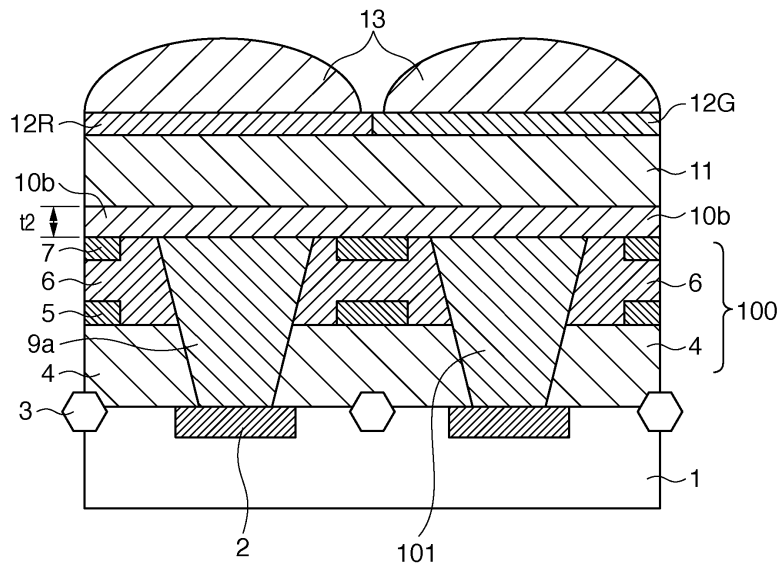
도면4a



도면4b



도면5



도면6

