

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 04.11.97.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 07.05.99 Bulletin 99/18.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : MOTOROLA SEMICONDUCTEURS
SA SOCIÉTÉ ANONYME — FR.

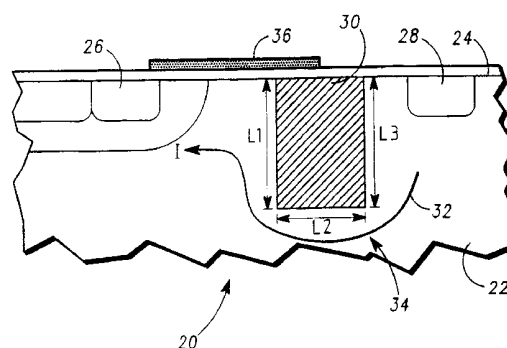
72 Inventeur(s) : ROSSEL PIERRE, BUXO JUAN,
PAGES IRENEE, MORANCHO FREDERIC et MACARY
VERONIQUE.

73 Titulaire(s) :

74 Mandataire(s) : CABINET BEAU DE LOMENIE.

54 DISPOSITIF A SEMICONDUCTEUR LATÉRAL ET SON PROCÉDE DE FORMATION.

57 Un dispositif à semiconducteur latéral (20) comprend une région semiconductrice (22) possédant une première surface (24), et des première et deuxième régions conductrices (26, 28), lesquelles régions s'étendent depuis la première surface (24) dans la région semiconductrice (22). Le dispositif à semiconducteur latéral (20) comprend en outre une tranchée (30) qui s'étend depuis la première surface (24) dans la région semiconductrice (22) entre les première et deuxième régions conductrices (26, 28) de façon que le trajet électrique entre les première et deuxième régions conductrices s'étende autour de la tranchée (30).



La présente invention concerne un dispositif à semiconducteur latéral et un procédé de formation d'un dispositif à semiconducteur latéral.

Certains circuits intégrés de puissance moyenne, c'est-à-dire des circuits intégrés fonctionnant à une puissance moyenne de sortie s'échelonnant
5 entre 2 W de courant continu et 10 W crête-à-crête, sont connus comme utilisant sur le même substrat une combinaison de dispositifs à transistors CMOS, à transistors bipolaires, et à transistors de puissance verticaux (VDMOS) et à transistors de puissance latéraux (LDMOS).

Le dispositif à LDMOS est en train de devenir la structure préférée
10 pour les applications basse tension (moins de 100 V) en raison de ses excellentes caractéristiques. Par exemple, la résistance drain-source dans l'état conducteur, soit $R_{ds(on)}$, est dans la gamme du milliohm.centimètre carré, la capacité en tension (ou tenue en tension) du LDMOS peut être ajustable selon la configuration du dispositif (règle d'espace minimal source-drain), et, de plus, du fait qu'on dispose
15 de techniques lithographiques avancées, on peut réduire la taille du dispositif à LDMOS sans changer la structure du dispositif.

Toutefois, dans un dispositif à transistor LDMOS latéral, la capacité en tension du dispositif est déterminée principalement par la longueur latérale de la région de migration, qui est la région située entre les régions coplanaires de source
20 et de drain, et par la résistivité de la couche épitaxiale. La longueur latérale de la région de migration ne peut pas être inférieure à une valeur minimale pour pouvoir supporter la tension maximale de fonctionnement ($MaxV_{dss}$) du dispositif. Ainsi, même lorsqu'on utilise des techniques lithographiques plus avancées (par exemple moins de 0,8 μm), la longueur latérale de la région de migration ne peut pas
25 descendre en deçà de la valeur minimale.

Pour les applications basse tension (moins de 100 V), l'aire superficielle du dispositif à LDMOS compte typiquement pour 30 à 70% de l'aire totale du circuit intégré de la combinaison. Ainsi, avec un dispositif à transistor LDMOS ayant une longueur latérale minimale pour la région de migration, l'aire
30 du dispositif à LDMOS peut limiter la réduction de taille de l'ensemble de la puce et, par conséquent, est un facteur limitant principal vis-à-vis des efforts généraux de l'industrie pour réduire encore les coûts et améliorer les performances de ces circuits intégrés de combinaison.

Il existe donc un besoin pour un dispositif à semiconducteur latéral
35 amélioré qui permette une plus grande réduction de la taille de la puce.

Selon un premier aspect de l'invention, il est proposé un dispositif à semiconducteur latéral comprenant : une région semiconductrice qui possède une première surface ; des première et deuxième régions conductrices s'étendant, depuis la première surface, dans la région semiconductrice ; et une tranchée s'étendant, depuis la première surface, dans la région semiconductrice, entre les première et deuxième régions conductrices, de façon que le trajet électrique entre les première et deuxième régions conductrices s'étende autour de la tranchée.

Selon un deuxième aspect de l'invention, il est proposé un procédé permettant de former un dispositif à semiconducteur latéral, comprenant les opérations suivantes : produire une région semiconductrice ayant une première surface ; former des première et deuxième régions conductrices dans la région semiconductrice, les première et deuxième régions conductrices s'étendant depuis la première surface ; et former une tranchée dans la région semiconductrice, entre les première et deuxième régions conductrices, la tranchée s'étendant, depuis la première surface, dans la région semiconductrice de façon que le trajet électrique entre les première et deuxième régions conductrices s'étende autour de la tranchée.

La description suivante de modes de réalisation préférés de l'invention, conçue à titre d'illustration de l'invention, vise à donner une meilleure compréhension de ses caractéristiques et avantages ; elle s'appuie sur les dessins annexés, parmi lesquels:

la figure 1 est un schéma en section droite simplifié d'un dispositif à transistor LDMOS;

la figure 2 est un schéma en section droite simplifié d'un dispositif à transistor LDMOS selon un premier mode de réalisation de l'invention ;

la figure 3 est un schéma en section droite simplifié d'un dispositif à transistor LDMOS selon un deuxième mode de réalisation de l'invention ;

les figures 4 à 11 sont des schémas en section droite simplifiés du dispositif à transistor LDMOS de la figure 2 à différents stades de sa fabrication ;

la figure 12 est un schéma en section droite simplifié d'un dispositif à transistor LDMOS selon un troisième mode de réalisation de l'invention ;

la figure 13 est un schéma en section droite simplifié d'un dispositif à transistor LDMOS selon un quatrième mode de réalisation de l'invention ;

la figure 14 est un schéma en section droite simplifié d'un dispositif à transistor LDMOS selon un cinquième mode de réalisation de l'invention ;

la figure 15 est un schéma en section droite simplifié d'un dispositif à transistor LDMOS selon un sixième mode de réalisation de l'invention ;

les figures 16 à 18 sont des schémas en section droite simplifiés de tranchées de différentes formes destinées à être utilisées dans des dispositifs à semiconducteur latéraux selon invention ;

la figure 19 est un schéma en section droite simplifié d'un dispositif à IGBT (transistor bipolaire à grille isolée) selon l'invention ;

la figure 20 est un schéma en section droite simplifié d'une première diode latérale selon l'invention ;

la figure 21 est un schéma en section droite simplifié d'une deuxième diode latérale selon l'invention ; et

la figure 22 est un schéma en section droite simplifié d'une troisième diode latérale selon l'invention.

La figure 1 est une représentation en section droite simplifiée d'un dispositif à transistor LDMOS 2 possédant une région de source 4, une région de drain 8 formée dans une couche épitaxiale 12 et une grille 6. La région de canal du dispositif à transistor LDMOS 2 est formée au niveau de la surface d'une région de corps 10. La région 14 située entre la grille 6 et la région de drain 8 est connue sous l'appellation de région de migration. La région de migration 14 présente une longueur 16.

Comme discuté dans l'introduction, la tension de claquage B_{vdss} du dispositif à transistor LDMOS 2 est une fonction de la longueur 16 de la région de migration 14, de la résistivité de la couche épitaxiale 12 et, dans une moindre mesure, de l'épaisseur de la couche épitaxiale 12. La longueur 16 de la région de migration 14 doit être égale ou supérieure à une longueur minimale LDO afin de pouvoir supporter des tensions de fonctionnement allant jusqu'à la tension de claquage B_{vdss} du dispositif.

Puisque la longueur 16 de la région de migration 14 ne peut pas être inférieure à la longueur minimale LDO, cette longueur 16 limite la taille jusqu'à laquelle on peut réduire le dispositif à transistor LDMOS.

On se reporte maintenant à la figure 2. Un dispositif à semiconducteur latéral 20 selon l'invention comprend une région semiconductrice 22 ayant une première surface 24, des régions conductrices 26, 28 s'étendant dans la région semiconductrice 22, depuis la première surface 24, et une tranchée 30 s'étendant dans la région semiconductrice 22, depuis la première surface 24, entre les régions conductrices 26, 28, de façon que le trajet électrique 32 entre les régions conductrices 26, 28 contourne la tranchée 30.

La tranchée 30 est de préférence remplie d'un matériau diélectrique, par exemple un matériau du type oxyde de silicium. Selon un autre mode de réalisation, la tranchée 30 peut être remplie au moyen de couches alternées de matériau diélectrique et de matériau conducteur. D'autres modes de réalisation sont
 5 décrits ci-après.

Un premier mode de réalisation de l'invention, représenté sur la figure 2, comprend un dispositif à transistor LDMOS 20. Les régions conductrices 26, 28 sont donc des régions de source 26 et de drain 28 formées dans une couche épitaxiale 22. Toutefois, l'invention n'est pas limitée à l'utilisation dans des
 10 dispositifs à transistors LDMOS et peut être utilisée dans tout dispositif à semiconducteur latéral, comme des transistors bipolaires à grille isolée (IGBT) et des diodes latérales, lesquels dispositifs exigent de longues régions de migration ou de longs trajets électriques entre deux régions conductrices.

Le trajet électrique 32 passe par une région de migration 34 du
 15 dispositif à semiconducteur LDMOS 20, laquelle région de migration 34 s'étend entre la région de drain 28 et la grille 36. Puisque la tranchée 30 s'étend dans la région de migration 34, la longueur de la région de migration 34 est étendue autour de la tranchée 30. La longueur de la région de migration 34, comme on peut le voir sur la figure 2, devient donc $L1 + L2 + L3$. Ainsi, pour assurer que le dispositif à
 20 transistor LDMOS 20 peut supporter la tension de fonctionnement maximale du dispositif à transistor, la relation suivante doit être satisfaite.

$$L1 + L2 + L3 \geq LDO \quad (1)$$

25 où LDO est la longueur minimale du trajet électrique 32 entre les régions de source 26 et de drain 28 pour une tension de claquage donnée Bvdss.

Le matériau diélectrique remplissant la tranchée 30 améliore la capacité en tension du dispositif. Ceci est dû au fait que la plus grande partie de la tension est supportée par le matériau diélectrique.

30 On comprendra que les dimensions latérales du dispositif à transistor peuvent donc être réduites, dans la mesure où la relation ci-dessus (1) est toujours satisfaite. En fait, L2 peut être rendu aussi petit que les techniques lithographiques le permettent et peut ainsi être rendu compatible avec la technologie CMOS. Par exemple, avec une technologie CMOS qui présente une technologie de tranchées
 35 de 0,5 micron, on peut utiliser les mêmes opérations de traitement pour former la tranchée 30, si bien que L2 peut être de 0,5 micron.

Le fait qu'une tranchée soit formée dans la région de migration permet de réduire les dimensions latérales sans diminuer la longueur de la région de migration. En d'autres termes, un dispositif à semiconducteur latéral mettant en oeuvre l'invention peut supporter la même tension de fonctionnement qu'un
5 dispositif de la technique antérieure, mais le dispositif mettant en oeuvre l'invention peut avoir une taille notablement plus petite. Selon une variante, pour un dispositif à semiconducteur latéral de même taille, l'invention produit un dispositif ayant une plus grande tension de claquage que les dispositifs de la technique antérieure.

Il est souhaitable que la résistance d'état conducteur drain-source
10 $R_{ds(on)}$ soit aussi petite que possible, de façon que la tension drain-source et, par conséquent, la dissipation de puissance soient faibles. La résistance d'état conducteur d'un dispositif à transistor LDMOS dépend de la résistance de canal R_{ch} et de la résistance de migration R_d aux bornes de la région de migration, entre la région de grille et la région de drain. La résistance de migration R_d vaut environ
15 les deux tiers de la résistance d'état conducteur $R_{ds(on)}$, et la résistance de canal vaut environ le tiers de la résistance d'état conducteur $R_{ds(on)}$. L'invention augmente la longueur du trajet électrique des porteurs dans la région de migration et, par conséquent, augmente légèrement la résistance de migration R_d associée à la traversée de la région de migration. Pour réduire cette résistance d'état
20 conducteur, deux solutions possibles sont proposées : 1) augmenter la valeur de dopage de la région de migration toute entière ; ou bien 2) produire une couche 31' dans la région semiconductrice 22' autour de la tranchée 30', qui présente une résistivité inférieure à celle de la région de migration, comme représenté sur la figure 3, qui montre un dispositif à transistor LDMOS 20' selon un deuxième mode
25 de réalisation de l'invention. L'invention peut donc également réduire la résistance d'état conducteur $R_{ds(on)}$ du dispositif à transistor latéral, ce qui améliore encore les performances du dispositif.

Des avantages de l'invention apparaissent clairement lorsqu'on considère la comparaison suivante. A titre d'exemple, pour un dispositif à transistor
30 LDMOS connu, comme celui représenté sur la figure 1, qui possède une tension de claquage B_{vds} de 45 V, et comporte une couche épitaxiale ayant une concentration de dopage $4 \times 10^{15} \text{ cm}^{-3}$, la résistance d'état conducteur est d'environ $1,6 \text{ m}\Omega \cdot \text{cm}^2$ et une région de migration possède une longueur latérale minimale de $2,2 \text{ }\mu\text{m}$. Le pas total que présente une cellule d'un semblable dispositif à transistor
35 LDMOS connu est de $8,75 \text{ }\mu\text{m}$. Pour un dispositif à transistor LDMOS selon l'invention possédant la même tension de claquage B_{vds} de 45 V, la concentration

de dopage de la couche épitaxiale peut être de $2 \times 10^{16} \text{ cm}^{-3}$, la résistance d'état conducteur est d'environ $0,9 \text{ m}\Omega.\text{cm}^2$ et la longueur horizontale de la région de migration est de $1,65 \mu\text{m}$. La taille totale d'une cellule du dispositif à transistor LDMOS selon l'invention peut donc être de $6,75 \mu\text{m}$.

5 On va maintenant décrire, en liaison avec les figures 2 et 4 à 10, un procédé de formation du dispositif à semiconducteur latéral 20 selon le premier mode de réalisation de l'invention. Dans la description suivante, on fait référence à des couches et à des régions qui sont formées de matériaux spécifiques et de matériaux ayant certains types de conductivité, mais ceci n'est fait qu'à simple titre
10 illustratif. Il est entendu que l'invention n'est pas limitée aux matériaux spécifiques indiqués ici.

On fait croître une couche épitaxiale 22 de type de conductivité N⁻ sur un substrat de type de conductivité P⁺⁺, comme représenté sur la figure 4. Sur la figure 5, une tranchée 30 a été formée dans la couche épitaxiale 22, par exemple
15 par gravure à sec à l'aide du procédé RIE (gravure par ions réactifs), de façon que celle-ci s'étende, depuis une première surface 24, dans la couche épitaxiale 22.

On forme ensuite une couche diélectrique 42, par exemple une couche d'oxyde de silicium, sur la plaquette par le procédé PECVD (dépôt chimique sous forme vapeur amélioré par plasma), comme on peut voir sur la figure 6. On rend
20 plane la couche diélectrique 42 et on fait croître sur la couche diélectrique rendue plane 42 un oxyde de grille normal (non représenté). On retire ensuite la couche diélectrique 42 et l'oxyde en excès par gravure par voie humide de façon à produire une tranchée 30 remplie d'un matériau diélectrique 44 (voir la figure 7).

On fait ensuite croître thermiquement sur la première surface 24 de la
25 couche épitaxiale 22 des couches d'oxyde de champ, d'oxyde sacrificiel et d'oxyde de grille (représentées sous la forme d'une unique couche 46 sur la figure 8). On forme ensuite sur la couche d'oxyde 46, par exemple par dépôt, une couche de silicium polycristallin 48 (ou un autre type de couche conductrice). On applique ensuite un tracé de motif à la couche de silicium polycristallin 48 et on la grave
30 pour former la région de grille 36 du dispositif à transistor LDMOS 20 (voir la figure 9).

On forme un masque (non représenté) sur la région de grille 36 et la couche d'oxyde 46, puis on forme, par implantation ou diffusion, dans la couche épitaxiale 22, une région 49 de matériau de type de conductivité P, par exemple
35 obtenue à l'aide d'ions de bore (B¹¹⁺), comme on peut le voir sur la figure 10. La région 49 est également connue sous l'appellation de région de corps. La région de

corps 49 produit le canal du dispositif à transistor LDMOS 20. Après formation de la région de corps 49, on forme, par implantation ou diffusion, dans la région de corps 49, en utilisant un masque (non représenté), une région 50 de matériau de type de conductivité P, par exemple obtenue à l'aide de bore comme agent dopant, ainsi que cela est bien connu dans la technique (voir la figure 10).

On utilise un autre masque (non représenté) pour former, par implantation ou diffusion, des régions de matériau de type de conductivité N, par exemple obtenues à l'aide d'arsenic ou de phosphore comme agent dopant, dans la région de corps 49 et la couche épitaxiale 22. La région 26 formée dans la région de corps 49 constitue la région de source 26 et la région 28 formée dans la couche épitaxiale 22 constitue la région de drain 28 (voir la figure 11). On dépose ensuite une métallisation (non représentée) afin de former des contacts avec la région de source 26 et la région 50 (la source est couplée à la région de corps), avec la région de drain 28 et avec la région de grille 36.

On comprendra qu'un dispositif à transistor LDMOS comprend typiquement une pluralité de formes de cellules à transistor, comme des cellules, des doigts, des bandes ou des ondulations, ayant chacun la structure représentée sur la figure 11.

Comme on peut le voir à partir de l'équation (1) ci-dessus, la géométrie de la tranchée détermine les performances du dispositif à semiconducteur latéral selon l'invention. Dans le mode de réalisation décrit ci-dessus en liaison avec la figure 2, la tranchée 30 possède une première paroi de longueur L1, une deuxième paroi de longueur L2 et une troisième paroi de longueur L3 et est remplie de diélectrique. D'autres formes de tranchée et d'autres remplissages de ces tranchées peuvent être utilisés et permettent encore d'atteindre le même but, qui est d'augmenter la longueur de la région de migration 34 et, par conséquent, la longueur du trajet électrique 32.

Par exemple, sur la figure 12, on voit que le dispositif à transistor LDMOS 220 selon un troisième mode de réalisation de l'invention comprend une tranchée 230 remplie d'un matériau diélectrique 244, comme de l'oxyde de silicium, et une région de grille 236, formée d'un matériau conducteur, comme du silicium polycristallin, qui s'étend dans la tranchée 230. Les composants analogues à ceux des figures 2 et 4 à 10 sont désignés par le même numéro de référence, augmenté du nombre 200.

La figure 13 est un schéma simplifié d'un dispositif à transistor LDMOS 320 selon un quatrième mode de réalisation de l'invention. Le dispositif à

transistor LDMOS 320 comprend une tranchée 330 remplie d'un matériau diélectrique 344 et d'un matériau conducteur 345, comme du silicium polycristallin. Le matériau conducteur 345 peut être formé du même matériau que celui formant la région de grille 336. Les composants semblables à des composants des figures 2 et 4 à 10 sont désignés par le même numéro de référence, augmenté du nombre 300.

Les troisième et quatrième modes de réalisation sont formés sensiblement de la même manière que le premier mode de réalisation, sauf que l'épaisseur de la couche diélectrique ((42) sur la figure 6) est ajustée de façon qu'elle ne remplisse pas la tranchée 230 (ou 330), après quoi une couche conductrice est formée par dessus la couche diélectrique dans la tranchée 230 (ou 330). La couche conductrice et la couche diélectrique sont ensuite rendues planes.

Le fait que le matériau conducteur s'étend partiellement (troisième mode de réalisation) ou complètement (quatrième mode de réalisation) dans la tranchée 230 (ou 330) réduit la résistance d'état conducteur du dispositif et, par conséquent, améliore les performances.

La figure 14 est un schéma simplifié d'un dispositif à transistor LDMOS 420 selon un cinquième mode de réalisation de l'invention. Ce mode de réalisation est analogue au premier mode de réalisation, sauf que la tranchée s'étend dans la couche épitaxiale 422 de façon à être en contact avec la région de drain 428. Pour une même tension de claquage, le cinquième mode de réalisation peut avoir une taille plus réduite que tout mode de réalisation précédent. Les composants analogues à ceux des figures 2 et 4 à 10 sont désignés par le même numéro de référence, augmenté du nombre 400.

La figure 15 est un schéma simplifié d'un dispositif à transistor LDMOS 520 selon un sixième mode de réalisation de l'invention. Ce mode de réalisation est analogue au cinquième mode de réalisation, mais comprend une région dopée supplémentaire 547 qui est formée dans la couche épitaxiale 522 autour de la tranchée afin de réduire la résistance série entre les régions de source 526 et de drain 528. Avec des régions de source 526 et de drain 528 de type de conductivité N, la région dopée peut l'être au moyen d'un agent dopant de type de conductivité P. Les composants analogues à ceux des figures 2 et 4 à 10 sont désignés par le même numéro de référence, augmenté du nombre 500.

La forme de la tranchée elle-même peut également varier. Les figures 16 à 18 montrent des exemples de tranchées de formes différentes. La figure 16 représente une tranchée ayant des parois 21 en marches d'escalier, s'éten-

dant de la première surface 24 à une paroi inférieure 19. La figure 17 montre une tranchée possédant des première et deuxième parois inclinées 17, s'étendant depuis la première surface 24. La figure 18 montre une tranchée ayant des parois inclinées 23, s'étendant depuis la première surface 24 et étant associées à une paroi inférieure 25.

Pour la tranchée de la figure 17, l'équation (1) devient:

$$L1 + L2 \geq LDO \quad (2)$$

où L1 est la longueur de la première paroi, L2 est la longueur de la deuxième paroi, et LDO est la longueur minimale du trajet électrique entre les régions de source et de drain pour une tension de claquage donnée Bvdss.

D'autres dispositifs à semiconducteur latéraux possédant une région de migration peuvent être réalisés.

La figure 19 est un schéma simplifié d'un dispositif à IGBT, possédant une tranchée 630 qui est formée dans une région semiconductrice 622 entre deux régions conductrices 626 et 628 qui forment respectivement les régions de cathode et d'anode. La région conductrice 626 peut être formée d'un matériau de type de conductivité N et la région conductrice 628 peut être formée d'un matériau de type de conductivité P.

La figure 20 est un schéma simplifié montrant une diode latérale 629 comportant une tranchée 631 formée dans une région semiconductrice 632 entre deux régions conductrices 633 et 634 qui forment les électrodes du dispositif, respectivement la cathode et l'anode. La région conductrice 633 peut être formée d'un matériau de type de conductivité P et la région 634 peut être formée d'un matériau de type de conductivité N. La tranchée est de préférence remplie d'un matériau diélectrique, comme un matériau du type oxyde de silicium. La tranchée 631 améliore la capacité en tension en augmentant la longueur du trajet de courant entre les deux régions conductrices 633 et 634.

La figure 21 est un schéma simplifié montrant une diode latérale 729, qui est analogue à la diode latérale 629 de la figure 20, sauf que le dopage de la région semiconductrice 732 entourant la tranchée 731 est changé en une région 735 afin de modifier la capacité en tension du dispositif. Les composants analogues à ceux de la figure 20 sont désignés par le même numéro de référence, augmenté du nombre 100.

La figure 22 est un schéma simplifié montrant une diode latérale 829, qui est analogue à la diode latérale 629 de la figure 20, et comporte en outre une région de type de conductivité N+ 837 à la partie inférieure de la région semiconductrice 832. Les composants analogues à ceux de la figure 20 sont désignés par le même numéro de référence, augmenté du nombre 200.

En résumé, l'invention produit un dispositif à semiconducteur latéral qui possède une tranchée formée entre deux régions conductrices de sorte qu'un trajet électrique entre les première et deuxième régions conductrices s'étend autour de la tranchée. L'invention peut donc produire, pour un dispositif de même taille, une capacité en tension améliorée ou, pour une même capacité en tension, un dispositif de plus petite taille.

Bien entendu, l'homme de l'art sera en mesure d'imaginer, à partir du dispositif et du procédé dont la description vient d'être donnée à titre simplement illustratif et nullement limitatif, diverses variantes et modifications ne sortant pas du cadre de l'invention.

REVENDICATIONS

1. Dispositif à semiconducteur latéral, caractérisé en ce qu'il comprend :

- 5 une région semiconductrice (22) possédant une première surface (24) ;
 des première et deuxième régions conductrices (26, 28) s'étendant
 depuis la première surface (24) dans la région semiconductrice (22) ; et
 une tranchée (30) s'étendant depuis la première surface (24) dans la
 région semiconductrice (22), entre les première et deuxième régions conductrices
 10 (26, 28), de façon que le trajet électrique entre les première et deuxième régions
 conductrices (26, 28) s'étende autour de la tranchée (30).

2. Dispositif à semiconducteur latéral selon la revendication 1, caractérisé en ce que la tranchée (30) est remplie d'un matériau diélectrique (244).

3. Dispositif à semiconducteur latéral selon la revendication 1, caractérisé en ce que la tranchée (30) est remplie d'au moins une couche d'un matériau diélectrique (344) et d'au moins une couche d'un matériau conducteur (345).
 15

4. Dispositif à semiconducteur latéral selon la revendication 1, 2 ou 3, caractérisé en ce que la tranchée (30) possède des parois inclinées (17) s'étendant depuis la première surface (24).

20 5. Dispositif à semiconducteur latéral selon la revendication 1, 2 ou 3, caractérisé en ce que la tranchée (30) possède des parois en marches d'escalier (21) s'étendant depuis la première surface (24).

6. Dispositif à semiconducteur latéral selon la revendication 1, 2 ou 3, caractérisé en ce que la tranchée (30) comprend des première et deuxième parois qui s'étendent depuis la première surface (24) afin de former la tranchée, la première paroi ayant une première longueur et la deuxième paroi ayant une deuxième longueur, où la géométrie de la tranchée est conçue de façon que la condition suivante soit satisfaite :

30
$$L1 + L2 \geq LDO$$

 où L1 est la première longueur, L2 la deuxième longueur, et LDO est la longueur minimale du trajet électrique entre les première et deuxième régions conductrices (26, 28) pour une tension de claquage prédéterminée du dispositif.

35 7. Dispositif à semiconducteur latéral selon la revendication 1, 2 ou 3, caractérisé en ce que la tranchée (30) comprend des première et deuxième parois

qui s'étendent depuis la première surface (24), et une paroi inférieure qui relie les première et deuxième parois, la première paroi ayant une première longueur, la deuxième paroi ayant une deuxième longueur, et la paroi inférieure ayant une troisième longueur, où la géométrie de la tranchée est conçue de façon que la

5 condition suivante soit satisfaite:

$$L1 + L2 + L3 \geq LDO$$

où L1 est la première longueur, L2 la deuxième longueur, L3 est la

10 troisième longueur et LDO est la longueur minimale du trajet électrique entre les première et deuxième régions conductrices (26, 28) pour une tension de claquage prédéterminée du dispositif.

8. Dispositif à semiconducteur latéral selon l'une quelconque des revendications 1 à 7, caractérisé en ce que la tranchée est placée de façon à être en

15 contact avec la deuxième région conductrice.

9. Dispositif à semiconducteur latéral selon l'une quelconque des revendications 1 à 8, caractérisé en ce qu'il comprend en outre une région dopée (31' ; 547) formée dans la région semiconductrice (22' ; 522) autour de la tranchée (30' ; 530) afin de réduire la résistance série entre les première et deuxième régions

20 conductrices (26', 28' ; 526, 528).

10. Dispositif à semiconducteur latéral selon l'une quelconque des revendications 1 à 9, caractérisé en ce que le dispositif à semiconducteur latéral est l'un des suivants :

un dispositif à transistor bipolaire à grille isolée, ou IGBT;

25 une diode latérale; et

un dispositif à transistor latéral, ou LDMOS.

11. Procédé de formation d'un dispositif à semiconducteur latéral, caractérisé en ce qu'il comprend les opérations suivantes :

produire une région semiconductrice ayant une première surface;

30 former des première et deuxième régions conductrices dans la région semiconductrice, les première et deuxième régions conductrices s'étendant depuis la première surface ; et

former une tranchée dans la région semiconductrice entre les première et deuxième régions conductrices, la tranchée s'étendant depuis la première surface

35 dans la région semiconductrice de façon que le trajet électrique entre les première et deuxième régions conductrices s'étende autour de la tranchée.

12. Procédé selon la revendication 11, caractérisé en ce qu'il comprend en outre l'opération qui consiste à remplir la tranchée au moyen d'un matériau diélectrique.

5 13. Procédé selon la revendication 11, caractérisé en ce qu'il comprend en outre l'opération consistant à remplir la tranchée au moyen d'au moins une couche de matériau diélectrique et d'au moins une couche de matériau conducteur.

10 14. Procédé selon la revendication 11, 12 ou 13, caractérisé en ce qu'il comprend l'opération consistant à former une région dopée dans la région semi-conductrice autour de la tranchée de façon à réduire la résistance série entre les première et deuxième régions conductrices.

1 / 10

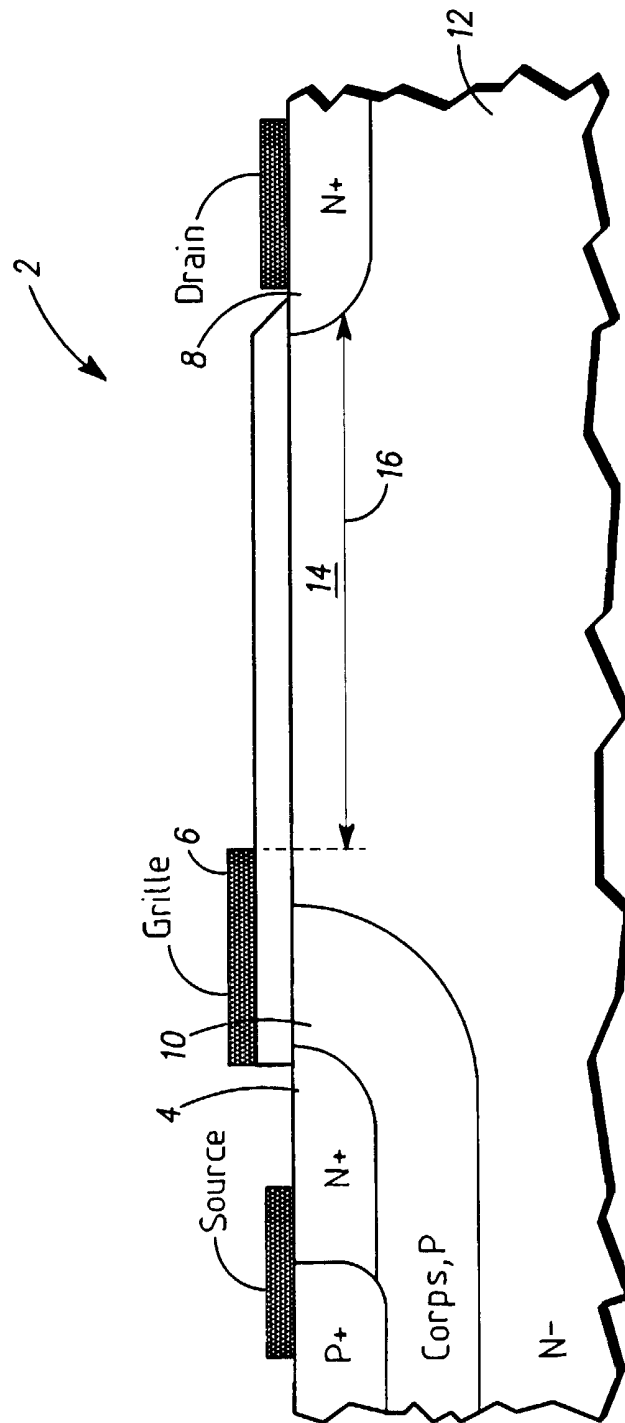
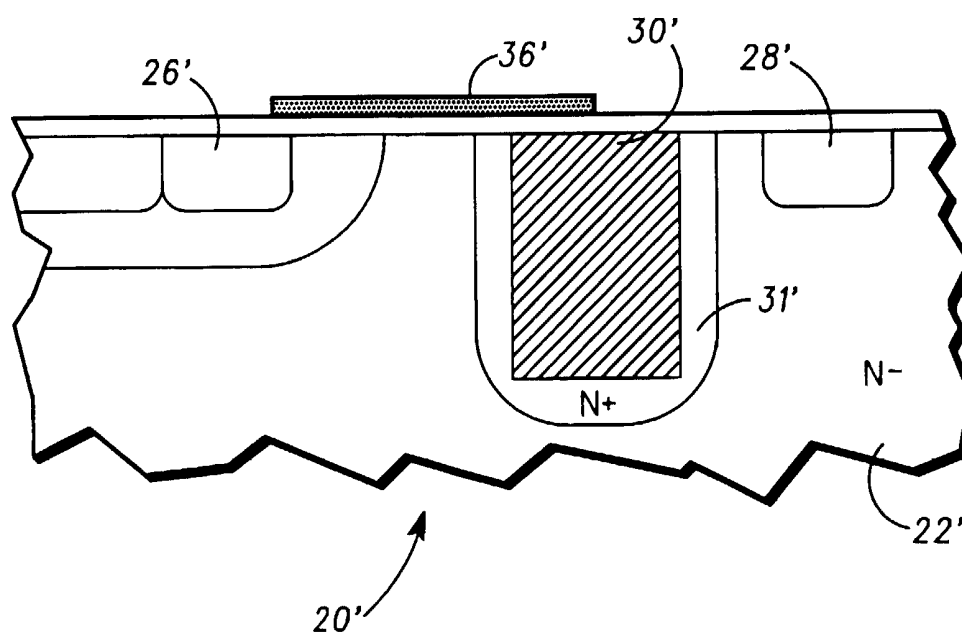
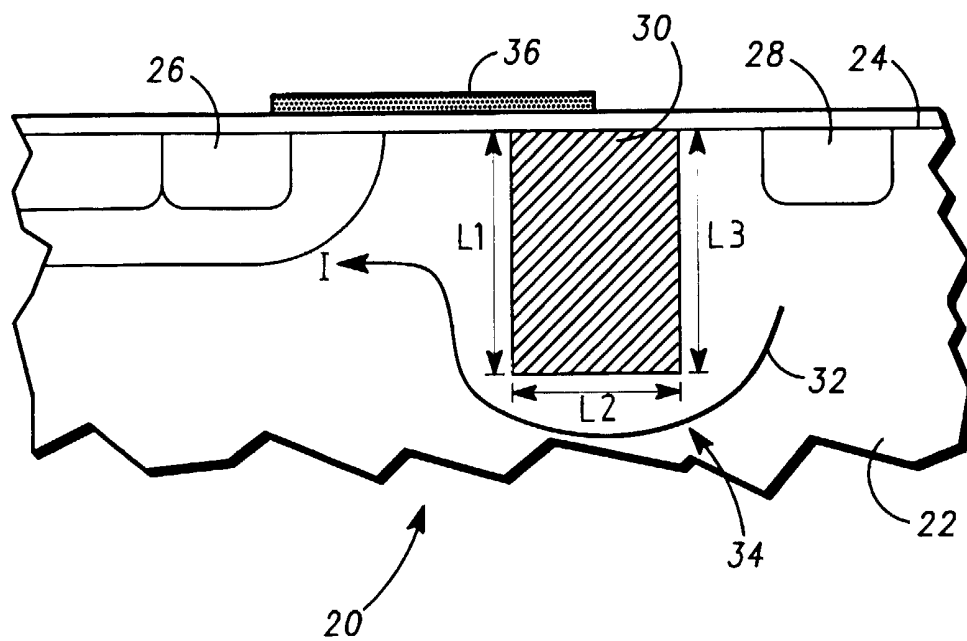
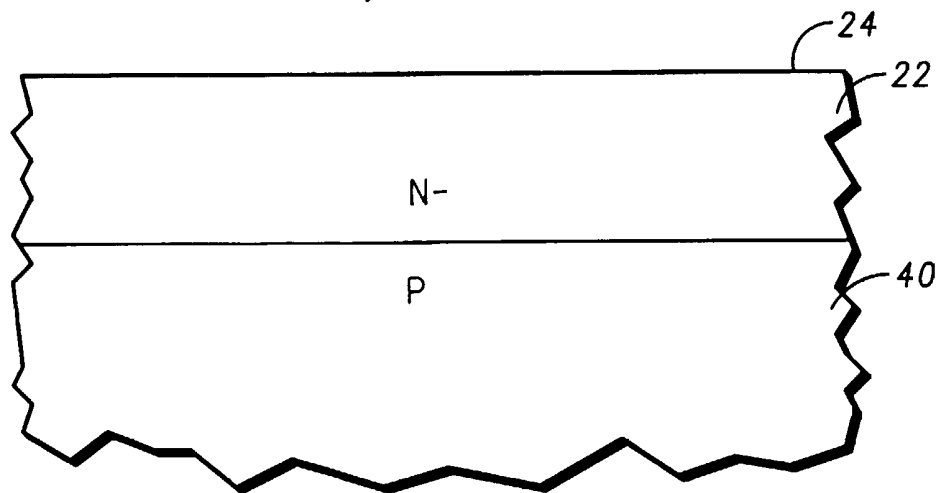
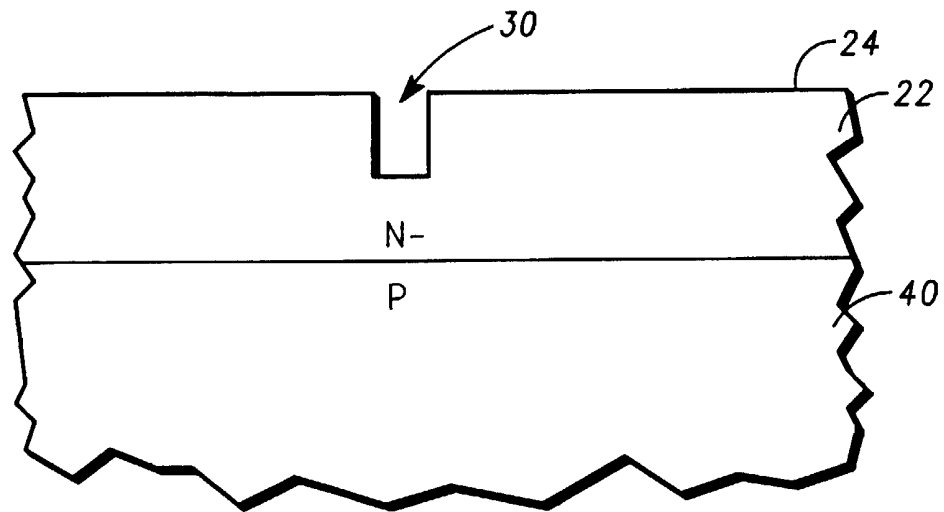
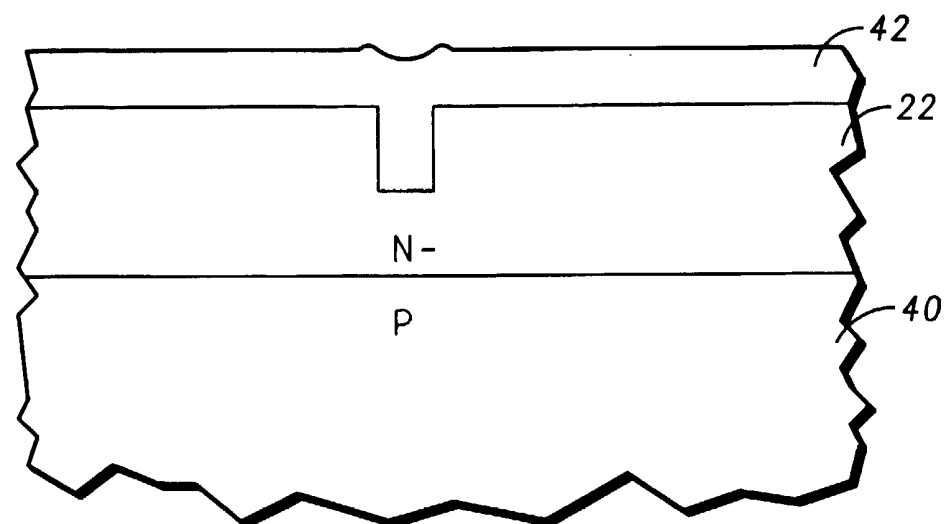


FIG. 1

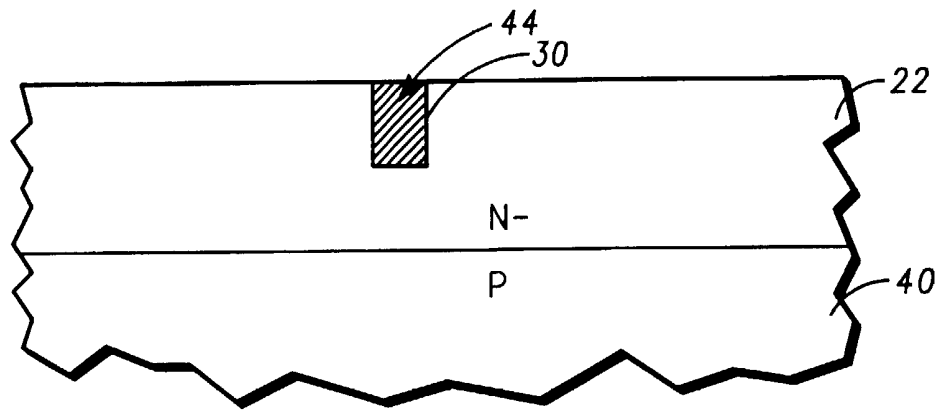
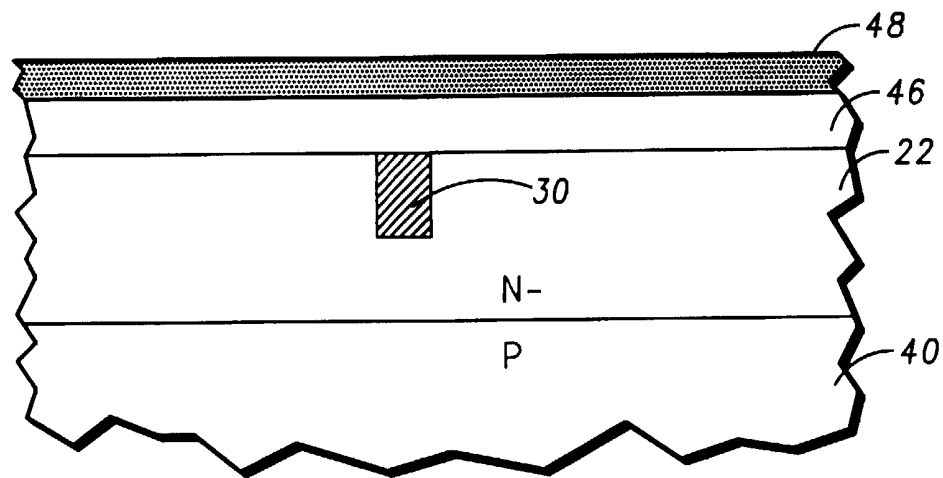
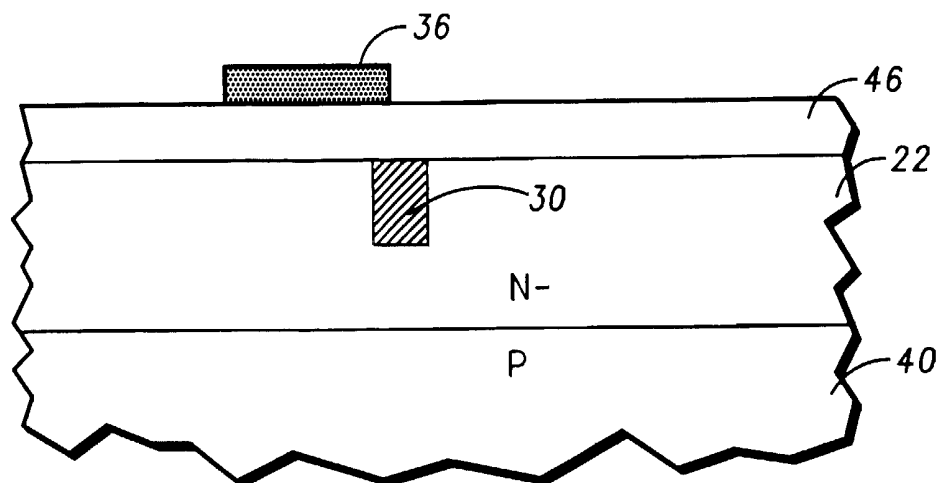
2 / 10



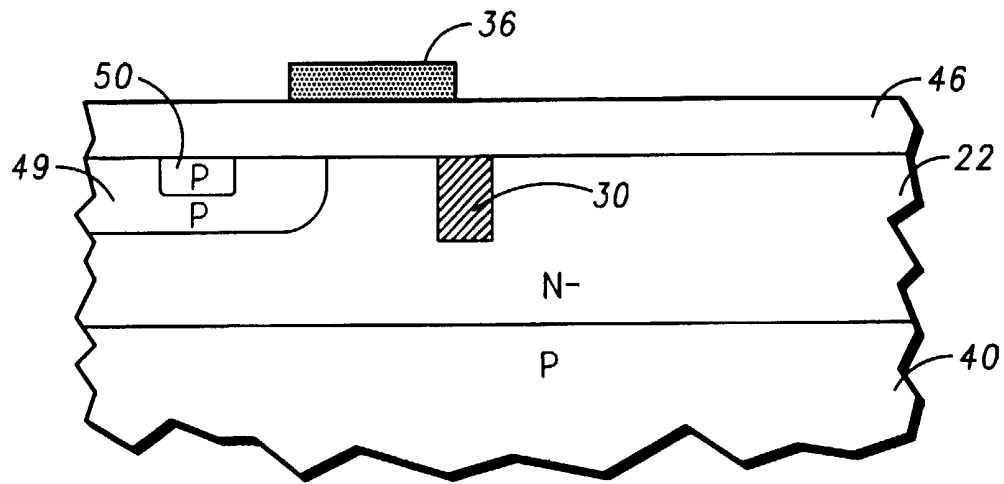
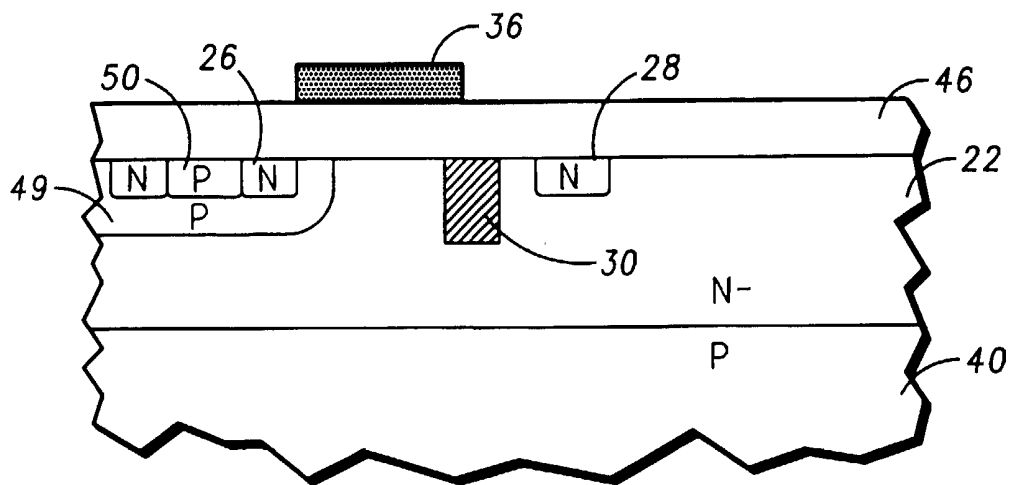
3 / 10

*FIG. 4**FIG. 5**FIG. 6*

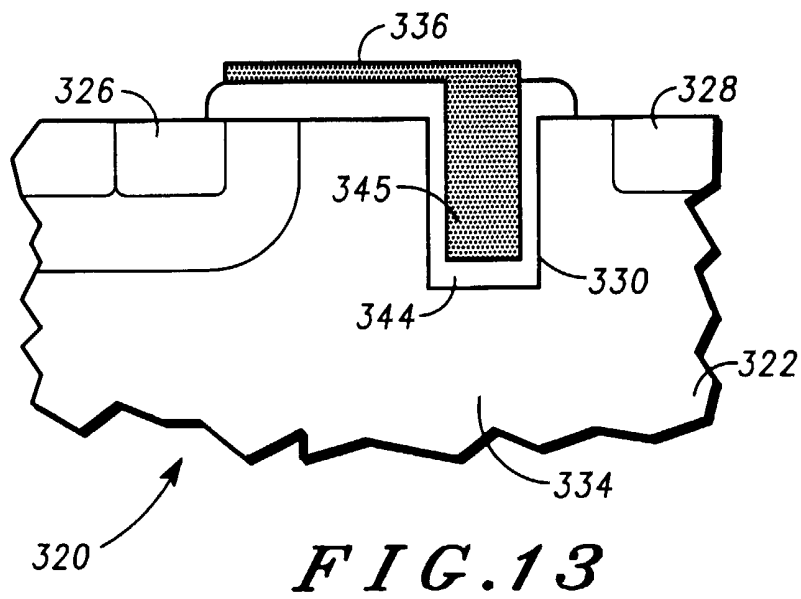
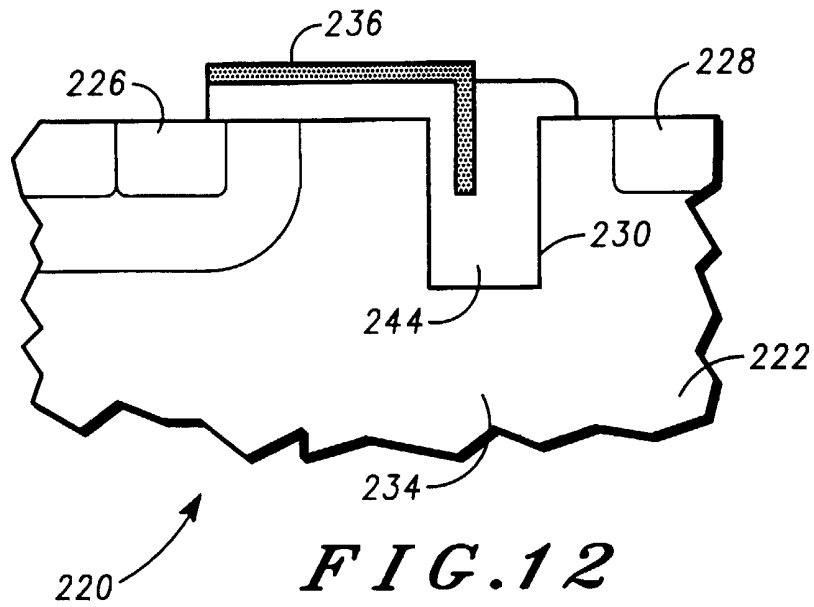
4/10

*FIG. 7**FIG. 8**FIG. 9*

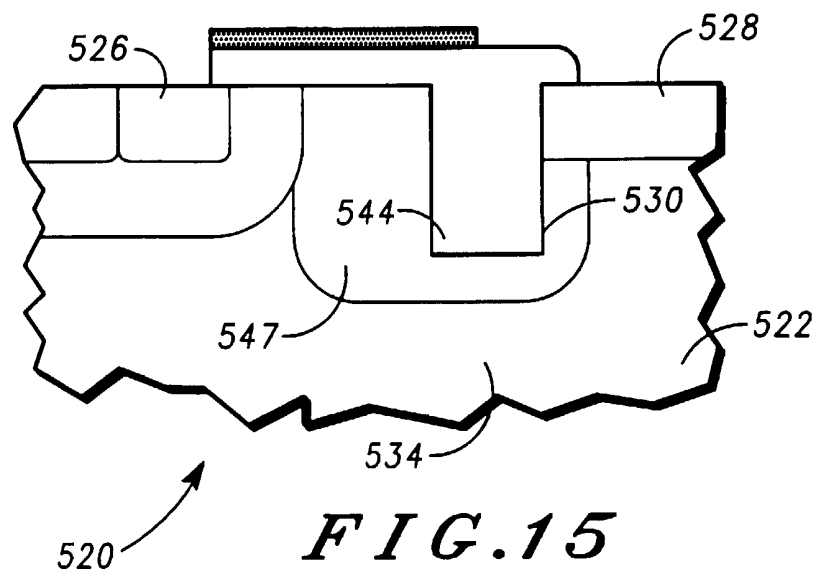
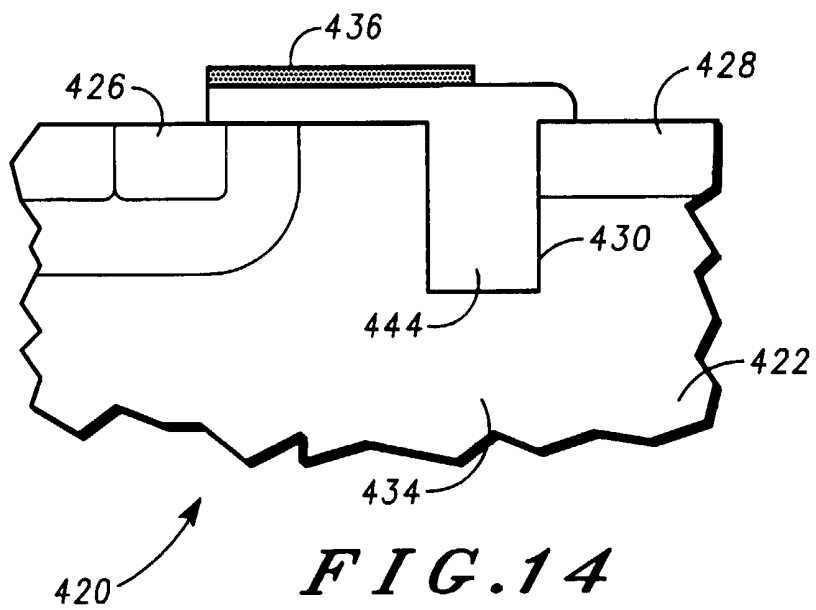
5/10

*FIG. 10**FIG. 11*

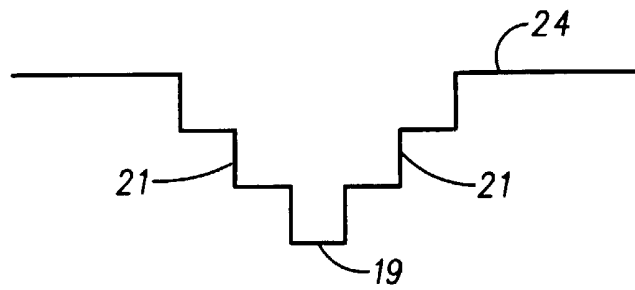
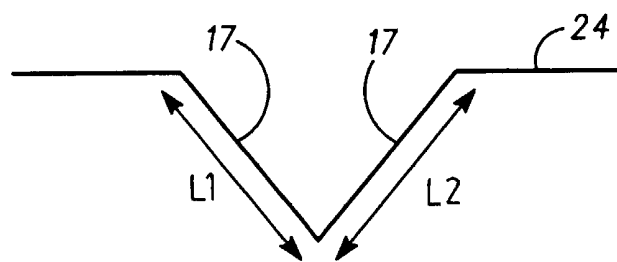
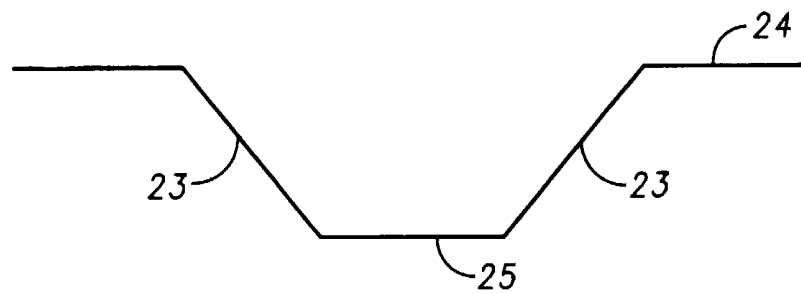
6/10



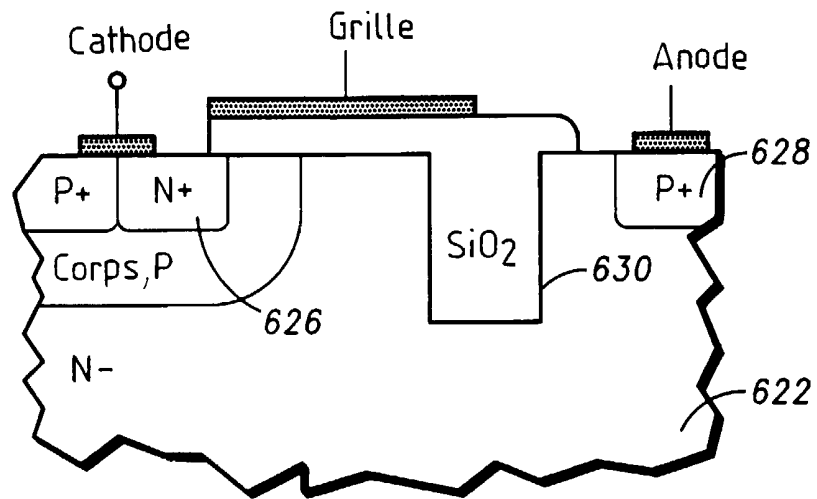
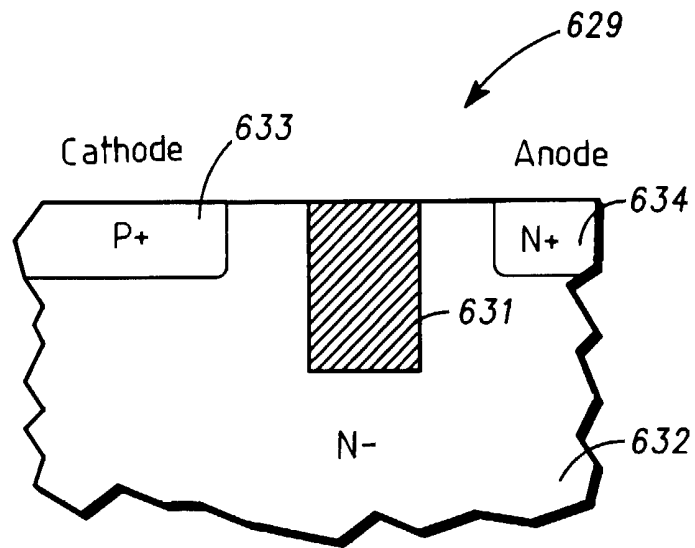
7 / 10



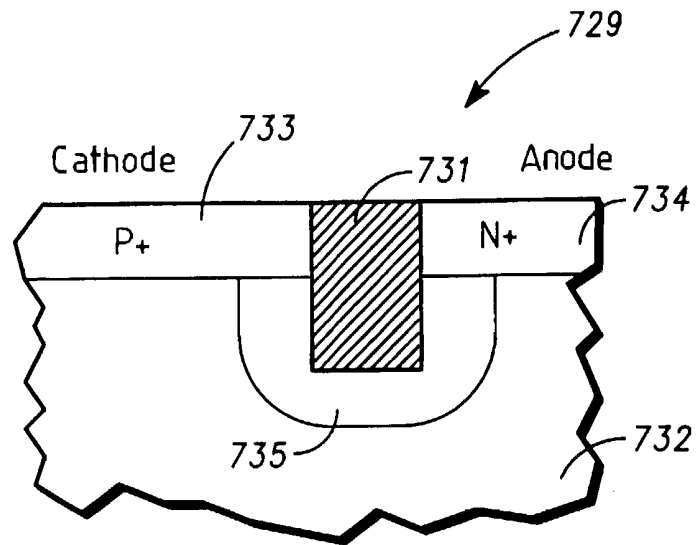
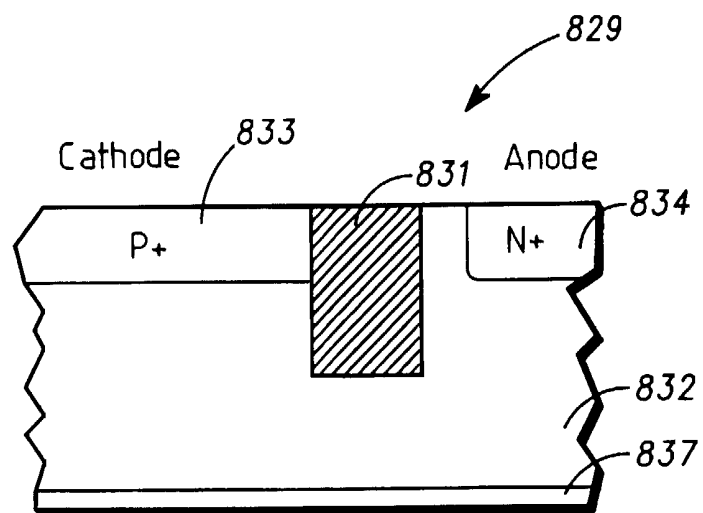
8/10

**FIG. 16****FIG. 17****FIG. 18**

9 / 10

*FIG. 19**FIG. 20*

10 / 10

*FIG. 21**FIG. 22*

INSTITUT NATIONAL

de la

PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIREétabli sur la base des dernières revendications
déposées avant le commencement de la rechercheN° d'enregistrement
nationalFA 552402
FR 9713832

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US 5 539 238 A (MALHI SATWINDER) 23 juillet 1996	1-3,6-14
A	* figures 1,2,4-7 *	4,5
X	--- PATENT ABSTRACTS OF JAPAN vol. 015, no. 165 (E-1061), 25 avril 1991 & JP 03 035534 A (SEIKO EPSON CORP), 15 février 1991,	1-3,6-14
A	* le document en entier *	4,5
X	--- PATENT ABSTRACTS OF JAPAN vol. 014, no. 573 (E-1015), 19 décembre 1990 & JP 02 249277 A (SEIKO EPSON CORP), 5 octobre 1990,	1-3,6-14
	* le document en entier *	
X	--- PATENT ABSTRACTS OF JAPAN vol. 014, no. 573 (E-1015), 19 décembre 1990 & JP 02 249276 A (SEIKO EPSON CORP), 5 octobre 1990,	1-3,6-8, 10-14
	* le document en entier *	
X	--- EP 0 702 411 A (TOKYO SHIBAURA ELECTRIC CO) 20 mars 1996	1,10
	* figure 7 *	
X	--- W. FICHTNER ET AL.: IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. ED-29, no. 11, novembre 1982, pages 1785-1791, XP002070961	1
	* figure 4 *	
X	--- DE 195 35 140 A (FUJI ELECTRIC CO LTD) 28 mars 1996	1
	* figures 5-13 *	

	-/-	

1

EPO FORM 1503 03.82 (P04C13)

Date d'achèvement de la recherche

9 juillet 1998

Examineur

Juhl, A

CATEGORIE DES DOCUMENTS CITES

X : particulièrement pertinent à lui seul

Y : particulièrement pertinent en combinaison avec un
autre document de la même catégorie

A : pertinent à l'encontre d'au moins une revendication
ou arrière-plan technologique général

O : divulgation non-écrite

P : document intercalaire

T : théorie ou principe à la base de l'invention

E : document de brevet bénéficiant d'une date antérieure
à la date de dépôt et qui n'a été publié qu'à cette date
de dépôt ou qu'à une date postérieure.

D : cité dans la demande

L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

INSTITUT NATIONAL

RAPPORT DE RECHERCHE
PRELIMINAIREN° d'enregistrement
nationalde la
PROPRIETE INDUSTRIELLEétabli sur la base des dernières revendications
déposées avant le commencement de la rechercheFA 552402
FR 9713832

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	EP 0 209 949 A (SILICONIX INC) 28 janvier 1987 * figures 4A,4B * -----	4,5
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
Date d'achèvement de la recherche		Examineur
9 juillet 1998		Juhl, A
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intermédiaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		

1

EPO FORM 1503 03.82 (P04C13)