

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5885589号
(P5885589)

(45) 発行日 平成28年3月15日 (2016. 3. 15)

(24) 登録日 平成28年2月19日 (2016. 2. 19)

| | | | | | |
|--------------------|------------------|-------------|--|---|--|
| (51) Int. Cl. | F I | | | | |
| H03K 17/22 | (2006.01) | H03K 17/22 | | E | |
| H03K 17/687 | (2006.01) | H03K 17/687 | | A | |
| H03K 17/693 | (2006.01) | H03K 17/693 | | A | |

請求項の数 20 (全 46 頁)

| | | | |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2012-120697 (P2012-120697) | (73) 特許権者 | 302062931 |
| (22) 出願日 | 平成24年5月28日 (2012. 5. 28) | | ルネサスエレクトロニクス株式会社 |
| (65) 公開番号 | 特開2013-247551 (P2013-247551A) | | 東京都江東区豊洲三丁目2番24号 |
| (43) 公開日 | 平成25年12月9日 (2013. 12. 9) | (74) 代理人 | 100089071 |
| 審査請求日 | 平成27年2月18日 (2015. 2. 18) | | 弁理士 玉村 静世 |
| | | (72) 発明者 | 鹿山 正規 |
| | | | 神奈川県川崎市中原区下沼部1753番地 |
| | | | ルネサスエレクトロニクス株式会社内 |
| | | 審査官 | 栗栖 正和 |

最終頁に続く

(54) 【発明の名称】 半導体集積回路およびその動作方法

(57) 【特許請求の範囲】

【請求項1】

半導体集積回路は、第1の電源電圧が供給可能である第1供給端子と、第2の電源電圧が供給可能である第2供給端子と、前記第1供給端子と前記第2供給端子とに接続された入力電圧選択回路と、第1電源スイッチと、第2電源スイッチとを具備して、

前記入力電圧選択回路は、パワーオンリセット回路と入力電圧検出回路と制御回路とパワーオンリセット補助回路とを含み、

前記パワーオンリセット回路は、前記第1供給端子への前記第1の電源電圧と前記第2供給端子への前記第2の電源電圧とのうちの少なくともいずれか一方の供給開始にตอบสนองして、パワーオンリセット信号を生成するパワーオンリセット動作を開始し、

前記パワーオンリセット動作の終了時に前記第1と第2のいずれかの電源電圧の前記第1と第2のいずれかの供給端子への供給を前記入力電圧検出回路が検出する場合には、その検出にตอบสนองした前記制御回路は前記第1および第2の電源スイッチのうちの供給が検出された供給端子に対応する電源スイッチをオン状態に制御して、

前記パワーオンリセット動作の終了時に前記第1および第2の電源電圧の両者の前記第1および第2の供給端子の両者への供給を前記入力電圧検出回路が検出する場合には、その検出にตอบสนองした前記制御回路は前記第1および第2の電源スイッチのうちの事前に設定された優先順位の高い優先順位を持った電源スイッチをオン状態に制御して、

前記高い優先順位を持った前記電源スイッチが前記オン状態に制御された後に、前記パワーオンリセット補助回路は前記第1および第2の電源電圧のうちの前記高い優先順位を

10

20

持った前記電源スイッチに供給された電源電圧の停電を検出するものであり、

前記パワーオンリセット補助回路による前記停電の検出結果に応答して、前記パワーオンリセット回路は前記パワーオンリセット動作終了後に再度前記パワーオンリセット信号を生成する他のパワーオンリセット動作を実行するものであり、

前記パワーオンリセット回路の前記他のパワーオンリセット動作の終了時において、前記制御回路は前記第1および第2の電源スイッチのうち前記事前に設定された優先順位の低い優先順位を持った電源スイッチをオン状態に制御する半導体集積回路。

【請求項2】

請求項1において、

前記第1供給端子への前記第1の電源電圧の供給と前記第2供給端子への前記第2の電源電圧の供給とに応答して、前記パワーオンリセット回路は、前記パワーオンリセット信号を生成して、

前記入力電圧検出回路は前記第1供給端子への前記第1の電源電圧の前記供給に応答して第1電圧検出出力信号を生成して、前記入力電圧検出回路は前記第2供給端子への前記第2の電源電圧の前記供給に応答して第2電圧検出出力信号を生成して、

前記制御回路は、前記パワーオンリセット信号と前記第1電圧検出出力信号と前記第2電圧検出出力信号とに応答して、前記第1電源スイッチと前記第2電源スイッチとを制御して、

前記パワーオンリセット動作の終了に応答する前記パワーオンリセット信号のレベル変化のタイミングでは、前記入力電圧検出回路は前記第1供給端子への前記第1の電源電圧の前記供給と前記第2供給端子への前記第2の電源電圧の前記供給とを検出して、

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第1供給端子への前記第1の電源電圧の前記供給を検出するが前記第2供給端子への前記第2の電源電圧の前記供給を検出しない第1の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチとをそれぞれオン状態とオフ状態に制御して、

前記パワーオンリセット動作終了の後に前記第1電源スイッチと前記第2電源スイッチとがそれぞれ前記オン状態と前記オフ状態に制御されることにより、前記オン状態に制御された前記第1電源スイッチは前記第1供給端子に供給される前記第1の電源電圧を負荷に供給して、

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第2供給端子への前記第2の電源電圧の前記供給を検出するが前記第1供給端子への前記第1の電源電圧の前記供給を検出しない第2の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチとをそれぞれオフ状態とオン状態に制御して、

前記パワーオンリセット動作終了の後に前記第1電源スイッチと前記第2電源スイッチとがそれぞれ前記オフ状態と前記オン状態に制御されることにより、前記オン状態に制御された前記第2電源スイッチは前記第2供給端子に供給される前記第2の電源電圧を前記負荷に供給して、

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第1供給端子への前記第1の電源電圧の前記供給と前記第2供給端子への前記第2の電源電圧の前記供給とを検出する第3の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチの一方と他方をそれぞれオン状態とオフ状態に制御して、

前記第3の場合に、前記制御回路に前記事前に設定された優先順位に従って前記第1電源スイッチと前記第2電源スイッチの前記一方と前記他方がそれぞれ前記オン状態と前記オフ状態に制御され、

前記高い優先順位を持った前記電源スイッチである前記オン状態に制御された前記一方は、前記第1供給端子または前記第2供給端子に供給される前記第1の電源電圧または前

10

20

30

40

50

記第 2 の電源電圧を前記負荷に供給する
半導体集積回路。

【請求項 3】

請求項 2 において、

前記パワーオンリセット補助回路は、第 1 と第 2 の基準電圧発生回路と第 1 と第 2 の差
動増幅器と第 1 と第 2 の N チャンネル MOS トランジスタとを含むものであり、

前記第 2 供給端子に供給される前記第 2 の電源電圧が動作電源電圧として前記第 1 の基
準電圧発生回路と前記第 1 の差動増幅器とに供給され、前記第 1 の基準電圧発生回路から
生成される第 1 の基準電圧が前記第 1 の差動増幅器の非反転入力端子に供給され、前記第
1 の差動増幅器の反転入力端子は前記第 1 供給端子に供給される前記第 1 の電源電圧に応
答して、

10

前記第 1 の差動増幅器の出力信号によって前記第 1 の N チャンネル MOS トランジスタの
ゲートが駆動され、前記第 1 の N チャンネル MOS トランジスタのソースとドレインとは接
地電位と前記パワーオンリセット回路とにそれぞれ接続され、

前記第 1 供給端子に供給される前記第 1 の電源電圧が動作電源電圧として前記第 2 の基
準電圧発生回路と前記第 2 の差動増幅器とに供給され、前記第 2 の基準電圧発生回路から
生成される第 2 の基準電圧が前記第 2 の差動増幅器の非反転入力端子に供給され、前記第
2 の差動増幅器の反転入力端子は前記第 2 供給端子に供給される前記第 2 の電源電圧に応
答して、

前記第 2 の差動増幅器の出力信号によって前記第 2 の N チャンネル MOS トランジスタの
ゲートが駆動され、前記第 2 の N チャンネル MOS トランジスタのソースとドレインとは前
記接地電位と前記パワーオンリセット回路とにそれぞれ接続され、

20

前記第 2 供給端子の前記第 2 の電源電圧が前記第 1 の基準電圧発生回路と前記第 1 の差
動増幅器とに前記動作電源電圧として供給される状態の前記第 1 供給端子に供給される前
記第 1 の電源電圧の停電による前記第 1 の電源電圧の低下に応答して、前記第 1 の差動増
幅器の前記出力信号は前記第 1 の N チャンネル MOS トランジスタをオフ状態からオン状態
に制御するものであり、

前記第 1 供給端子に供給される前記第 1 の電源電圧の前記停電によって前記第 1 の N チ
ャンネル MOS トランジスタがオン状態に制御されることに応答して、前記パワーオンリセ
ット回路は前記他のパワーオンリセット動作を実行するものであり、

30

前記第 1 供給端子の前記第 1 の電源電圧が前記第 2 の基準電圧発生回路と前記第 2 の差
動増幅器とに前記動作電源電圧として供給される状態の前記第 2 供給端子に供給される前
記第 2 の電源電圧の停電による前記第 2 の電源電圧の低下に応答して、前記第 2 の差動増
幅器の前記出力信号は前記第 2 の N チャンネル MOS トランジスタをオフ状態からオン状態
に制御するものであり、

前記第 2 供給端子に供給される前記第 2 の電源電圧の前記停電によって前記第 2 の N チ
ャンネル MOS トランジスタがオン状態に制御されることに応答して、前記パワーオンリセ
ット回路は前記他のパワーオンリセット動作を実行する
半導体集積回路。

【請求項 4】

40

請求項 3 において、

前記半導体集積回路は、前記負荷としての第 1 外部負荷と第 2 外部負荷とに前記第 1 の
電源電圧または前記第 2 の電源電圧をそれぞれ供給する第 1 外部出力端子と第 2 外部出力
端子を更に具備して、

前記半導体集積回路は、前記第 1 外部出力端子と前記第 2 外部出力端子との間に接続さ
れた出力 P チャンネル MOS トランジスタを更に具備して、

前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッ
チのいずれかがオン状態に制御される場合には、前記制御回路により前記出力 P チャンル M
OS トランジスタがオン状態に制御され、

前記出力 P チャンネル MOS トランジスタが前記オン状態に制御されることによって、前

50

記第 2 外部負荷に前記第 1 の電源電圧または前記第 2 の電源電圧が前記出力 P チャンネル MOS トランジスタと前記第 2 外部出力端子とを介して供給可能とされた半導体集積回路。

【請求項 5】

請求項 4 において、

前記第 1 外部出力端子は、能動デバイスとしての他の半導体集積回路である前記第 1 外部負荷に前記第 1 の電源電圧または前記第 2 の電源電圧を供給することが可能なように構成されたものであり、

前記出力 P チャンネル MOS トランジスタと前記第 2 外部出力端子とは、バッテリーである前記第 2 外部負荷に前記第 1 の電源電圧または前記第 2 の電源電圧を供給することが可能なように構成された半導体集積回路。

10

【請求項 6】

請求項 3 において、

前記入力電圧選択回路は、入力電圧選択スイッチと、ゲート駆動回路とを更に含み、

前記入力電圧選択スイッチは第 1 入力 P チャンネル MOS トランジスタと第 2 入力 P チャンネル MOS トランジスタを含み、前記第 1 入力 P チャンネル MOS トランジスタのソースが前記第 1 供給端子と接続され、前記第 2 入力 P チャンネル MOS トランジスタのソースが前記第 2 供給端子と接続され、

前記パワーオンリセット回路のパワーオンリセット期間において、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第 1 入力 P チャンネル MOS トランジスタと前記第 2 入力 P チャンネル MOS トランジスタとの両者をオン状態に制御して、

20

前記パワーオンリセット期間において、前記第 1 入力 P チャンネル MOS トランジスタのドレインもしくは前記第 2 入力 P チャンネル MOS トランジスタのドレインから、前記パワーオンリセット回路に供給される動作電圧が生成される半導体集積回路。

【請求項 7】

請求項 6 において、

前記第 1 の場合には、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第 1 入力 P チャンネル MOS トランジスタと前記第 2 入力 P チャンネル MOS トランジスタをオン状態とオフ状態とにそれぞれ制御して、

30

前記第 2 の場合には、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第 1 入力 P チャンネル MOS トランジスタと前記第 2 入力 P チャンネル MOS トランジスタをオン状態とオフ状態とにそれぞれ制御して、

前記第 3 の場合には、前記制御回路に事前に設定された前記優先順位に従って、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第 1 入力 P チャンネル MOS トランジスタと前記第 2 入力 P チャンネル MOS トランジスタの一方と他方をオン状態とオフ状態とにそれぞれ制御する半導体集積回路。

【請求項 8】

40

請求項 7 において、

前記入力電圧選択回路は、第 1 入力端子と第 2 入力端子と出力端子を持つ電圧比較・選択回路を更に含み、

前記電圧比較・選択回路の前記第 1 入力端子は、前記入力電圧選択スイッチの前記第 1 入力 P チャンネル MOS トランジスタの前記ドレインに接続され、

前記電圧比較・選択回路の前記第 2 入力端子は、前記入力電圧選択スイッチの前記第 2 入力 P チャンネル MOS トランジスタの前記ドレインに接続され、

前記電圧比較・選択回路の前記出力端子から、前記パワーオンリセット回路に供給される前記動作電圧が生成され、

前記電圧比較・選択回路は前記第 1 入力端子の電圧と前記第 2 入力端子の電圧を比較し

50

て高い電圧を選択することにより、当該高い電圧を前記出力端子から前記パワーオンリセット回路に供給される前記動作電圧として出力する
半導体集積回路。

【請求項 9】

請求項 3 において、

前記第 1 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オン状態と前記オフ状態に制御された後に、前記入力電圧検出回路が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 4 の場合が発生して、

前記第 4 の場合の発生に回答して、前記第 3 の場合と同様に前記制御回路は、前記制御回路に事前に設定された前記優先順位に従って前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とをそれぞれ前記オン状態と前記オフ状態に制御して、

前記第 2 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オフ状態と前記オン状態に制御された後に、前記入力電圧検出回路が前記第 1 供給端子への前記第 1 の電源電圧の供給を検出する第 5 の場合が発生して、

前記第 5 の場合の発生に回答して、前記第 3 の場合と同様に前記制御回路は、前記制御回路に事前に設定された前記優先順位に従って前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とをそれぞれ前記オン状態と前記オフ状態に制御して、

前記第 3 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とがそれぞれ前記オン状態と前記オフ状態に制御された後に、前記入力電圧検出回路が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 6 の場合が発生して、

前記第 6 の場合の発生に回答して、前記第 3 の場合と同様に前記制御回路は、前記制御回路に事前に設定された前記優先順位に従って前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とをそれぞれ前記オン状態と前記オフ状態に制御する
半導体集積回路。

【請求項 10】

請求項 3 において、

前記第 1 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オン状態と前記オフ状態に制御された後に、前記入力電圧検出回路が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 4 の場合が発生して、

前記第 4 の場合の発生に回答して、前記半導体集積回路は前記第 1 外部負荷としての前記他の半導体集積回路に前記第 4 の場合の発生を通知することが可能とされ、

前記第 4 の場合の前記発生の第 1 の通知に回答して、前記他の半導体集積回路から前記半導体集積回路に供給される第 1 の指示に従って、前記制御回路は前記第 1 電源スイッチと前記第 2 電源スイッチとを制御するものであり、

前記第 1 の指示に従って、前記制御回路は、前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオン状態とオフ状態に制御するか、もしくは前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオフ状態とオン状態に制御して、

前記第 2 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オフ状態と前記オン状態に制御された後に、前記入力電圧検出回路が前記第 1 供給端子への前記第 1 の電源電圧の供給を検出する第 5 の場合が発生して、

前記第 5 の場合の発生に回答して、前記半導体集積回路は前記第 1 外部負荷としての前記他の半導体集積回路に前記第 5 の場合の発生を通知することが可能とされ、

前記第 5 の場合の前記発生の第 2 の通知に回答して、前記他の半導体集積回路から前記半導体集積回路に供給される第 2 の指示に従って、前記制御回路は前記第 1 電源スイッチと前記第 2 電源スイッチとを制御するものであり、

10

20

30

40

50

前記第 2 の指示に従って、前記制御回路は、前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオフ状態とオン状態とに制御するか、もしくは前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオン状態とオフ状態に制御して、

前記第 3 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方がそれぞれ前記オン状態と前記オフ状態とに制御された後に、前記入力電圧検出回路が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 6 の場合が発生して、

前記第 6 の場合の発生にตอบสนองして、前記半導体集積回路は前記第 1 外部負荷としての前記他の半導体集積回路に前記第 6 の場合の発生を通知することが可能とされ、

前記第 6 の場合の前記発生第 3 の通知にตอบสนองして、前記他の半導体集積回路から前記半導体集積回路に供給される第 3 の指示に従って、前記制御回路は前記第 1 電源スイッチと前記第 2 電源スイッチとを制御するものであり、

前記第 3 の指示に従って、前記制御回路は、前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオン状態とオフ状態とに制御するか、もしくは前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオフ状態とオン状態に制御する半導体集積回路。

【請求項 1 1】

請求項 3 において、

前記半導体集積回路は、前記第 1 供給端子と前記第 1 電源スイッチとの間に並列接続された降圧 DC - DC コンバータとリニア・レギュレータを更に具備して、

前記リニア・レギュレータは、前記第 1 供給端子への前記第 1 の電源電圧の前記供給による電源投入直後に即座動作するシリーズレギュレータとして動作するものであり、

前記降圧 DC - DC コンバータは、前記リニア・レギュレータよりも高い電力効率を有するスイッチングレギュレータとして動作する半導体集積回路。

【請求項 1 2】

請求項 1 1 において、

前記第 1 供給端子に第 1 ショットキーダイオードを介してワイヤレス給電の電源電圧と第 2 ショットキーダイオードを介して AC 電源接続インターフェースの AC - DC 変換電源電圧とが供給可能なように、前記第 1 供給端子が構成されたものであり、

前記第 2 供給端子に USB 接続インターフェースの USB 電源電圧が供給可能なように、前記第 2 供給端子が構成された半導体集積回路。

【請求項 1 3】

第 1 の電源電圧が供給可能である第 1 供給端子と、第 2 の電源電圧が供給可能である第 2 供給端子と、前記第 1 供給端子と前記第 2 供給端子とに接続された入力電圧選択回路と、第 1 電源スイッチと、第 2 電源スイッチとを具備する半導体集積回路の動作方法であって、

前記入力電圧選択回路は、パワーオンリセット回路と入力電圧検出回路と制御回路とパワーオンリセット補助回路とを含み、

前記パワーオンリセット回路は、前記第 1 供給端子への前記第 1 の電源電圧と前記第 2 供給端子への前記第 2 の電源電圧とのうちの少なくともいずれか一方の供給開始にตอบสนองして、パワーオンリセット信号を生成するパワーオンリセット動作を開始し、

前記パワーオンリセット動作の終了時に前記第 1 と第 2 のいずれかの電源電圧の前記第 1 と第 2 のいずれかの供給端子への供給を前記入力電圧検出回路が検出する場合には、その検出にตอบสนองした前記制御回路は前記第 1 および第 2 の電源スイッチのうちの供給が検出された供給端子に対応する電源スイッチをオン状態に制御して、

前記パワーオンリセット動作の終了時に前記第 1 および第 2 の電源電圧の両者の前記第 1 および第 2 の供給端子の両者への供給を前記入力電圧検出回路が検出する場合には、その検出にตอบสนองした前記制御回路は前記第 1 および第 2 の電源スイッチのうちの事前に設定

10

20

30

40

50

された優先順位の高い優先順位を持った電源スイッチをオン状態に制御して、

前記高い優先順位を持った前記電源スイッチが前記オン状態に制御された後に、前記パワーオンリセット補助回路は前記第1および第2の電源電圧のうちの前記高い優先順位を持った前記電源スイッチに供給された電源電圧の停電を検出するものであり、

前記パワーオンリセット補助回路による前記停電の検出結果にตอบสนองして、前記パワーオンリセット回路は前記パワーオンリセット動作終了後に再度前記パワーオンリセット信号を生成する他のパワーオンリセット動作を実行するものであり、

前記パワーオンリセット回路の前記他のパワーオンリセット動作の終了時において、前記制御回路は前記第1および第2の電源スイッチのうち前記事前に設定された優先順位の低い優先順位を持った電源スイッチをオン状態に制御する
半導体集積回路の動作方法。

10

【請求項14】

請求項13において、

前記第1供給端子への前記第1の電源電圧の供給と前記第2供給端子への前記第2の電源電圧の供給とにตอบสนองして、前記パワーオンリセット回路は、前記パワーオンリセット信号を生成して、

前記入力電圧検出回路は前記第1供給端子への前記第1の電源電圧の前記供給にตอบสนองして第1電圧検出出力信号を生成して、前記入力電圧検出回路は前記第2供給端子への前記第2の電源電圧の前記供給にตอบสนองして第2電圧検出出力信号を生成して、

前記制御回路は、前記パワーオンリセット信号と前記第1電圧検出出力信号と前記第2電圧検出出力信号とにตอบสนองして、前記第1電源スイッチと前記第2電源スイッチとを制御して、

20

前記パワーオンリセット動作の終了にตอบสนองする前記パワーオンリセット信号のレベル変化のタイミングでは、前記入力電圧検出回路は前記第1供給端子への前記第1の電源電圧の前記供給と前記第2供給端子への前記第2の電源電圧の前記供給とを検出して、

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第1供給端子への前記第1の電源電圧の前記供給を検出するが前記第2供給端子への前記第2の電源電圧の前記供給を検出しない第1の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチとをそれぞれオン状態とオフ状態に制御して、

30

前記パワーオンリセット動作終了の後に前記第1電源スイッチと前記第2電源スイッチとがそれぞれ前記オン状態と前記オフ状態に制御されることにより、前記オン状態に制御された前記第1電源スイッチは前記第1供給端子に供給される前記第1の電源電圧を負荷に供給して、

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第2供給端子への前記第2の電源電圧の前記供給を検出するが前記第1供給端子への前記第1の電源電圧の前記供給を検出しない第2の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチとをそれぞれオフ状態とオン状態に制御して、

前記パワーオンリセット動作終了の後に前記第1電源スイッチと前記第2電源スイッチとがそれぞれ前記オフ状態と前記オン状態に制御されることにより、前記オン状態に制御された前記第2電源スイッチは前記第2供給端子に供給される前記第2の電源電圧を前記負荷に供給して、

40

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第1供給端子への前記第1の電源電圧の前記供給と前記第2供給端子への前記第2の電源電圧の前記供給とを検出する第3の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチの一方と他方をそれぞれオン状態とオフ状態に制御して、

前記第3の場合に、前記制御回路に前記事前に設定された優先順位に従って前記第1電源スイッチと前記第2電源スイッチの前記一方と前記他方とがそれぞれ前記オン状態と前

50

記オフ状態に制御され、

前記高い優先順位を持った前記電源スイッチである前記オン状態に制御された前記一方は、前記第1供給端子または前記第2供給端子に供給される前記第1の電源電圧または前記第2の電源電圧を前記負荷に供給する半導体集積回路の動作方法。

【請求項15】

請求項14において、

前記パワーオンリセット補助回路は、第1と第2の基準電圧発生回路と第1と第2の差動増幅器と第1と第2のNチャンネルMOSトランジスタを含むものであり、

前記第2供給端子に供給される前記第2の電源電圧が動作電源電圧として前記第1の基準電圧発生回路と前記第1の差動増幅器とに供給され、前記第1の基準電圧発生回路から生成される第1の基準電圧が前記第1の差動増幅器の非反転入力端子に供給され、前記第1の差動増幅器の反転入力端子は前記第1供給端子に供給される前記第1の電源電圧に
10 応答して、

前記第1の差動増幅器の出力信号によって前記第1のNチャンネルMOSトランジスタのゲートが駆動され、前記第1のNチャンネルMOSトランジスタのソースとドレインとは接地電位と前記パワーオンリセット回路とにそれぞれ接続され、

前記第1供給端子に供給される前記第1の電源電圧が動作電源電圧として前記第2の基準電圧発生回路と前記第2の差動増幅器とに供給され、前記第2の基準電圧発生回路から生成される第2の基準電圧が前記第2の差動増幅器の非反転入力端子に供給され、前記第2の差動増幅器の反転入力端子は前記第2供給端子に供給される前記第2の電源電圧に
20 応答して、

前記第2の差動増幅器の出力信号によって前記第2のNチャンネルMOSトランジスタのゲートが駆動され、前記第2のNチャンネルMOSトランジスタのソースとドレインとは前記接地電位と前記パワーオンリセット回路とにそれぞれ接続され、

前記第2供給端子の前記第2の電源電圧が前記第1の基準電圧発生回路と前記第1の差動増幅器とに前記動作電源電圧として供給される状態の前記第1供給端子に供給される前記第1の電源電圧の停電による前記第1の電源電圧の低下に
30 応答して、前記第1の差動増幅器の前記出力信号は前記第1のNチャンネルMOSトランジスタをオフ状態からオン状態に制御するものであり、

前記第1供給端子に供給される前記第1の電源電圧の前記停電によって前記第1のNチャンネルMOSトランジスタがオン状態に制御されることに
40 応答して、前記パワーオンリセット回路は前記他のパワーオンリセット動作を実行するものであり、

前記第1供給端子の前記第1の電源電圧が前記第2の基準電圧発生回路と前記第2の差動増幅器とに前記動作電源電圧として供給される状態の前記第2供給端子に供給される前記第2の電源電圧の停電による前記第2の電源電圧の低下に
50 応答して、前記第2の差動増幅器の前記出力信号は前記第2のNチャンネルMOSトランジスタをオフ状態からオン状態に制御するものであり、

前記第2供給端子に供給される前記第2の電源電圧の前記停電によって前記第2のNチャンネルMOSトランジスタがオン状態に制御されることに
60 応答して、前記パワーオンリセット回路は前記他のパワーオンリセット動作を実行する半導体集積回路の動作方法。

【請求項16】

請求項15において、

前記半導体集積回路は、前記負荷としての第1外部負荷と第2外部負荷とに前記第1の電源電圧または前記第2の電源電圧をそれぞれ供給する第1外部出力端子と第2外部出力端子を更に具備して、

前記半導体集積回路は、前記第1外部出力端子と前記第2外部出力端子との間に接続された出力PチャンネルMOSトランジスタを更に具備して、

前記パワーオンリセット動作終了の後に前記第1電源スイッチと前記第2電源スイッチ
70

のいずれかがオン状態に制御される場合には、前記制御回路により前記出力PチャンネルMOSトランジスタがオン状態に制御され、

前記出力PチャンネルMOSトランジスタが前記オン状態に制御されることによって、前記第2外部負荷に前記第1の電源電圧または前記第2の電源電圧が前記出力PチャンネルMOSトランジスタと前記第2外部出力端子とを介して供給可能とされた半導体集積回路の動作方法。

【請求項17】

請求項16において、

前記第1外部出力端子は、能動デバイスとしての他の半導体集積回路である前記第1外部負荷に前記第1の電源電圧または前記第2の電源電圧を供給することが可能なように構成されたものであり、

前記出力PチャンネルMOSトランジスタと前記第2外部出力端子とは、バッテリーである前記第2外部負荷に前記第1の電源電圧または前記第2の電源電圧を供給することが可能なように構成された半導体集積回路の動作方法。

【請求項18】

請求項15において、

前記入力電圧選択回路は、入力電圧選択スイッチと、ゲート駆動回路とを更に含み、

前記入力電圧選択スイッチは第1入力PチャンネルMOSトランジスタと第2入力PチャンネルMOSトランジスタを含み、前記第1入力PチャンネルMOSトランジスタのソースが前記第1供給端子と接続され、前記第2入力PチャンネルMOSトランジスタのソースが前記第2供給端子と接続され、

前記パワーオンリセット回路のパワーオンリセット期間において、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタとの両者をオン状態に制御して、

前記パワーオンリセット期間において、前記第1入力PチャンネルMOSトランジスタのドレインもしくは前記第2入力PチャンネルMOSトランジスタのドレインから、前記パワーオンリセット回路に供給される動作電圧が生成される半導体集積回路の動作方法。

【請求項19】

請求項18において、

前記第1の場合には、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタをオン状態とオフ状態とにそれぞれ制御して、

前記第2の場合には、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタをオン状態とオフ状態とにそれぞれ制御して、

前記第3の場合には、前記制御回路に事前に設定された前記優先順位に従って、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタの一方と他方をオン状態とオフ状態とにそれぞれ制御する

半導体集積回路の動作方法。

【請求項20】

請求項19において、

前記入力電圧選択回路は、第1入力端子と第2入力端子と出力端子を持つ電圧比較・選択回路を更に含み、

前記電圧比較・選択回路の前記第1入力端子は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタの前記ドレインに接続され、

前記電圧比較・選択回路の前記第2入力端子は、前記入力電圧選択スイッチの前記第2入力PチャンネルMOSトランジスタの前記ドレインに接続され、

10

20

30

40

50

前記電圧比較・選択回路の前記出力端子から、前記パワーオンリセット回路に供給される前記動作電圧が生成され、

前記電圧比較・選択回路は前記第1入力端子の電圧と前記第2入力端子の電圧を比較して高い電圧を選択することにより、当該高い電圧を前記出力端子から前記パワーオンリセット回路に供給される前記動作電圧として出力する

半導体集積回路の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路およびその動作方法に関し、特に停電にตอบสนองして複数の電源から使用電源を再度選択する自動選択を実行するのに有効な技術に関するものである。

10

【背景技術】

【0002】

例えば、下記特許文献1や下記特許文献2に記載されているように、ICカードに半導体集積回路とアンテナコイルとを搭載して、このICカードの電源供給はカードリーダー・カードライターと呼ばれる読み出し・書き込み装置からのRF信号をアンテナコイルによる受信と整流回路による整流で行われるものである。このようにカード側に電源を持たないICカードは自動改札システム、電子マネー、物流管理等で普及しつつある。このようにこのICカードはRF給電される一方、ユニークな識別情報(ID情報)が内蔵不揮発性メモリに格納されているので、RFIDカードと呼ばれる。

20

【0003】

一方、スマートフォン等の携帯機器に電源ケーブルを接続することなく、携帯機器を専用の充電テーブルに置くだけで携帯機器の充電が可能な「置くだけ充電」と呼ばれるワイヤレス給電システムが普及している。このワイヤレス給電システムは、スマートフォンと呼ばれる携帯電話の電池の消耗が大きいことに対応するものである。すなわち、スマートフォンは、インターネットとの親和性が高く、パーソナルコンピュータの機能をベースとした多機能携帯電話もしくは電話・メールにPDA機能が付加された多機能携帯電話であり、「スマフォ」、「スマホ」と略されることもある。ワイヤレス給電システムは業界団体のWireless Power Consortium(WPC)によって策定されたQi(チー)と呼ばれる国際標準規格に基づくもので、送信側機器と受信側機器の両者がそれぞれコイルを持つことで、電磁誘導方式により送信側機器から受信側機器への給電を可能とするものである。このワイヤレス給電システムの利点は、充電のために電源コネクタを抜き差しする必要が無く、特に携帯機器の電源コネクタのコネクタカバーを開け閉めする作業を省略することが可能となる。

30

【0004】

更に下記特許文献3には、2種類以上の電源と選択的に接続されることによりバッテリーを充電する電子機器において、電力供給を受けている電源との接続が解除されると速やかに他の電源と接続してバッテリーの充電を開始するコントローラを使用することが記載されている。すなわち、コントローラによる制御は、AC電源からAC接続部へ電流が供給されている間ではAC電源によってバッテリーを充電して、AC電源からAC接続部へ電流が供給されず外部機器から外部機器接続部へ電流が供給されている間では外部機器の電源でバッテリーを充電する。特にコントローラは、バッテリーがAC電源によって充電されている間に、外部機器接続部が外部機器に接続された場合に、外部機器と初期通信を行って外部機器を介してバッテリーを充電するために必要な充電設定を行うものである。外部機器接続部は具体的にはUSB接続部であり、IEEE1394等の他の規格のインターフェースも採用可能であるとされている。電子機器がAC電源と外部機器の両者と接続されている場合には、AC電源からの電流が外部機器からの電流よりも大きいので、コントローラはAC電源によりバッテリーを充電するものである。

40

【0005】

下記特許文献4には、第1入出力端子間に第1NチャネルパワーMOSトランジスタの

50

ソース・ドレイン経路を接続して、第2入出力端子間に第2 NチャンネルパワーMOSトランジスタのソース・ドレイン経路を接続して、第3入出力端子間に第3 NチャンネルパワーMOSトランジスタのソース・ドレイン経路を接続したパワースイッチICが記載されている。第3 NチャンネルパワーMOSトランジスタのゲートと接地電位の間に第3 MOSトランジスタのドレイン・ソース経路が接続され、第2 NチャンネルパワーMOSトランジスタのゲートと接地電位の間に第4 MOSトランジスタのドレイン・ソース経路が接続され、第1 NチャンネルパワーMOSトランジスタのゲートと接地電位の間に第5 MOSトランジスタのドレイン・ソース経路が接続される。第1入力端子は第1インバータ回路の入力端子と第2インバータ回路の入力端子に接続され、第2入力端子と第3入力端子とは第1インバータ回路の電源端子と第2インバータ回路の電源端子とにそれぞれ接続される。第1インバータ回路の出力端子は第3 MOSトランジスタのゲートに接続され、第2インバータ回路の出力端子は第4 MOSトランジスタのゲートに接続されて、第1インバータ回路の出力端子と第2インバータ回路の出力端子とは2入力ノアゲート回路の2入力端子に接続される。更に、2入力ノアゲート回路の出力端子は第3インバータ回路の入力端子と接続され、第3インバータ回路の出力端子は第5 MOSトランジスタのゲートに接続される。異常が発生によって第1入力端子の電位が低下すると、第1インバータ回路の出力端子と第2インバータ回路の出力端子と第3インバータ回路の出力端子とがハイレベルとなり、第3 MOSトランジスタと第4 MOSトランジスタと第5 MOSトランジスタとがオン状態となる。従って、第1入出力端子間に接続された第1 NチャンネルパワーMOSトランジスタと第2入出力端子間に接続された第2 NチャンネルパワーMOSトランジスタと第3入出力端子間に接続された第3 NチャンネルパワーMOSトランジスタの全てのパワーMOSトランジスタが、オフ状態に制御されるものとなる。

10

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-4949号 公報

【特許文献2】特開2010-9353号 公報

【特許文献3】特開2011-155830号 公報

【特許文献4】特開2006-180226号 公報

【発明の概要】

30

【発明が解決しようとする課題】

【0007】

本発明者は本発明に先立って、AC電源からのAC電源電圧の整流・平滑によって生成されるAC-DC電源電圧とUSB接続からのUSB電源電圧と上述したワイヤレス給電システムのワイヤレス給電による電源電圧の複数の電源電圧により動作することが可能なバッテリー充電制御のための半導体集積回路の開発に従事した。

【0008】

この開発の過程では、本発明者は上記特許文献3に記載された複数の電源によるバッテリーの充電方法を検討したが、複数の電源の給電の有無に従って使用電源を自動的に選択するための実現方法が上記特許文献3に記載されていないという問題が、本発明者による検討によって明らかとされた。すなわち、上述した複数の電源電圧によって動作することが可能なバッテリー充電制御のための半導体集積回路では、複数の電源から使用電源の自動選択する電子回路をインプリメントすることが必要とされるものである。

40

【0009】

更に、この開発の過程における本発明者の検討によって、上記特許文献4に記載された方式では、複数の電源から使用電源を自動選択することは不可能であることが明らかとされた。

【0010】

本発明者は本発明に先立って、パワーオンリセット回路と入力電圧検出回路と制御回路とを使用することによって複数の電源から使用電源の自動選択する電子回路をインプリメ

50

ントする方式を検討した。第1電源電圧と第2電源電圧の少なくともいずれか1つの供給に
応答するパワーオンリセット回路のパワーオンリセット動作によって、第1電源電圧の
選択のための第1電源スイッチと第2電源電圧の選択のための第2電源スイッチとを制御
する制御回路がリセットされる。入力電圧検出回路は、パワーオンリセット動作の終了に
応答して、第1電源電圧の供給有無と第2電源電圧の供給有無とを検出する。入力電圧検
出回路が第1電源電圧の供給を検出するが第2電源電圧の非供給を検出する場合に、制御
回路は第1電源スイッチと第2電源スイッチとをオン状態とオフ状態とにそれぞれ制御す
る。反対に入力電圧検出回路が第2電源電圧の供給を検出するが第1電源電圧の非供給を
検出する場合に、制御回路は第1電源スイッチと第2電源スイッチとをオフ状態とオン状
態とにそれぞれ制御する。更に入力電圧検出回路が第1電源電圧の供給と第2電源電圧の
供給の両者を検出する場合には、制御回路は事前に設定された優先順序（優先順位とも記
す。以下、本明細書において同様）に従って第1電源スイッチと第2電源スイッチとの一
方と他方とをオン状態とオフ状態とにそれぞれ制御する。

10

【0011】

本発明者は本発明に先立って、上述した方式を更に詳細に検討したところ、入力電圧検
出回路が第1電源電圧の供給と第2電源電圧の供給との両者を検出した後に、例えば高い
方の優先順序に設定された第1電源電圧の停電が発生すると、複数の電源から使用電源の
自動選択に誤動作が発生すると言う問題を明らかとしたものである。すなわち、上述した
停電に応答して複数の電源から使用電源を再度選択する自動選択を実行する必要があるが
、そのためには停電に応答してパワーオンリセット回路のパワーオンリセット動作を再度
実行する必要がある。しかし、本発明者によって本発明に先立って検討された上述した方
式では、上述した停電に応答してパワーオンリセット回路のパワーオンリセット動作が不
完全に実行されるものとなり、上述した停電に応答して複数の電源から使用電源を再度選
択する自動選択を実行することが困難となる問題を有していたものである。

20

【0012】

このような課題を解決するための手段等を以下に説明するが、その他の課題と新規な特
徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される代表的な実施の形態の概要を簡単に説明すれば、下記のとおり
である。

30

【0014】

すなわち、代表的な実施の形態による半導体集積回路(212)は、第1の電源電圧が供
給可能な第1供給端子(T1)と、第2の電源電圧が供給可能な第2供給端子(T2)と、入
力電圧選択回路(2124)と、第1電源スイッチ(SW1、SW2)と、第2電源スイッチ
(SW3)とを具備する(図2参照)。

【0015】

入力電圧選択回路(2124)は、パワーオンリセット回路(21244)と入力電圧検出
回路(21248)と制御回路(21245、21246)とパワーオンリセット補助回路(
2124X)とを含む(図6参照)。

40

【0016】

パワーオンリセット回路のパワーオンリセット動作終了時に第1と第2のいずれか電源
電圧の第1と第2のいずれかの供給端子への供給を入力電圧検出回路が検出する場合には
、制御回路は第1および第2の電源スイッチのうちの供給が検出された供給端子に対応す
る電源スイッチをオン状態に制御する。

【0017】

パワーオンリセット回路のパワーオンリセット動作終了時に第1および第2の電源電圧
の両者の第1および第2の供給端子の両者への供給を入力電圧検出回路が検出する場合
には、制御回路は第1および第2の電源スイッチのうち事前に設定された優先順序の高い優
先順序を持った電源スイッチをオン状態に制御する。

50

【 0 0 1 8 】

高い優先順序を持った電源スイッチがオン状態に制御された後に、パワーオンリセット補助回路(2124X)は第1および第2の電源電圧のうちの高い優先順序を持った電源スイッチに供給された電源電圧の停電を検出する。

【 0 0 1 9 】

パワーオンリセット補助回路(2124X)による停電の検出結果に応答して、パワーオンリセット回路は他のパワーオンリセット動作を実行する。

【 0 0 2 0 】

パワーオンリセット回路の他のパワーオンリセット動作の終了時において、制御回路は第1および第2の電源スイッチのうち事前に設定された優先順序の低い優先順序を持った電源スイッチをオン状態に制御する(図6参照)。

10

【 発明の効果 】

【 0 0 2 1 】

本願において開示される実施の形態のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【 0 0 2 2 】

すなわち、本半導体集積回路(212)によれば、停電に応答して複数の電源から使用電源を再度選択する自動選択を実行することができる。

【 図面の簡単な説明 】

【 0 0 2 3 】

20

【 図 1 】 図 1 は、実施の形態 1 によるバッテリー充電制御のための半導体集積回路 2 1 2 が搭載された多機能携帯電話の構成を示す図である。

【 図 2 】 図 2 は、図 1 に示した実施の形態 1 によるバッテリー充電制御のための半導体集積回路 2 1 2 の構成を示す図である。

【 図 3 】 図 3 は、図 2 に示した実施の形態 1 によるバッテリー充電制御のための半導体集積回路 2 1 2 の外部端子の機能を示す図である。

【 図 4 】 図 4 は、本発明の比較参考例として本発明に先立って本発明者によって検討された半導体集積回路 2 1 2 の起動時の動作モード選択のための入力電圧検出回路 2 1 2 4 の構成を示す図である。

【 図 5 】 図 5 は、図 4 に示した本発明の比較参考例による入力電圧検出回路 2 1 2 4 の動作を説明するための入力電圧検出回路 2 1 2 4 の各部の波形を示す図である。

30

【 図 6 】 図 6 は、図 2 に示した実施の形態 1 によるバッテリー充電制御のための半導体集積回路 2 1 2 の起動時の動作モード選択のための入力電圧検出回路 2 1 2 4 の構成を示す図である。

【 図 7 】 図 7 は、図 6 に示す実施の形態 1 による入力電圧検出回路 2 1 2 4 の動作を説明するための入力電圧検出回路 2 1 2 4 の各部の波形を示す図である。

【 図 8 】 図 8 は、図 2 に示した実施の形態 1 による半導体集積回路 2 1 2 の入力電圧検出回路 2 1 2 4 の制御ロジック回路 2 1 2 4 5 の内部でワイヤレス給電の優先順位より USB 給電の優先順位が高く設定された場合の USB 給電の停電での入力電圧検出回路 2 1 2 4 の各部の波形を示す図である。

40

【 図 9 】 図 9 は、図 2 と図 4 とに示した実施の形態 1 による半導体集積回路 2 1 2 による複数の電源から使用電源を自動選択する動作を示す図である。

【 図 1 0 】 図 1 0 は、図 2 と図 4 とに示す実施の形態 2 による半導体集積回路 2 1 2 による複数の電源から使用電源を自動選択する動作を示す図である。

【 発明を実施するための形態 】

【 0 0 2 4 】

1. 実施の形態の概要

まず、本願において開示される代表的な実施の形態についてその概要を説明する。代表的な実施の形態の概要説明で括弧を付して参照する図面の参照符号は、それが付された構成要素の概念に含まれるものを例示するに過ぎない。

50

【 0 0 2 5 】

〔 1 〕 代表的な実施の形態による半導体集積回路(2 1 2)は、第 1 の電源電圧が供給可能である第 1 供給端子(T 1)と、第 2 の電源電圧が供給可能である第 2 供給端子(T 2)と、前記第 1 供給端子と前記第 2 供給端子とに接続された入力電圧選択回路(2 1 2 4)と、第 1 電源スイッチ(S W 1 、 S W 2)と、第 2 電源スイッチ(S W 3)とを具備する(図 2 参照)。

【 0 0 2 6 】

前記入力電圧選択回路(2 1 2 4)は、パワーオンリセット回路(2 1 2 4 4)と入力電圧検出回路(2 1 2 4 8)と制御回路(2 1 2 4 5 、 2 1 2 4 6)とパワーオンリセット補助回路(2 1 2 4 X)とを含む(図 6 参照)。

10

【 0 0 2 7 】

前記パワーオンリセット回路のパワーオンリセット動作終了時に前記第 1 と第 2 のいずれか電源電圧の前記第 1 と第 2 のいずれかの供給端子への供給を前記入力電圧検出回路が検出する場合には、その検出に应答した前記制御回路は前記第 1 および第 2 の電源スイッチのうちの供給が検出された供給端子に対応する電源スイッチをオン状態に制御する。

【 0 0 2 8 】

前記パワーオンリセット回路のパワーオンリセット動作終了時に前記第 1 および第 2 の電源電圧の両者の前記第 1 および第 2 の供給端子の両者への供給を前記入力電圧検出回路が検出する場合には、その検出に应答した前記制御回路は前記第 1 および第 2 の電源スイッチのうちの事前に設定された優先順序の高い優先順序を持った電源スイッチをオン状態に制御する。

20

【 0 0 2 9 】

前記高い優先順序を持った前記電源スイッチが前記オン状態に制御された後に、前記パワーオンリセット補助回路(2 1 2 4 X)は前記第 1 および第 2 の電源電圧のうちの前記高い優先順序を持った前記電源スイッチに供給された電源電圧の停電を検出するものである。

【 0 0 3 0 】

前記パワーオンリセット補助回路(2 1 2 4 X)による前記停電の検出結果に应答して、前記パワーオンリセット回路は他のパワーオンリセット動作を実行するものである。

【 0 0 3 1 】

前記パワーオンリセット回路の前記他のパワーオンリセット動作の終了時において、前記制御回路は前記第 1 および第 2 の電源スイッチのうち前記事前に設定された優先順序の低い優先順序を持った電源スイッチをオン状態に制御するものである(図 6 参照)。

30

【 0 0 3 2 】

前記実施の形態の半導体集積回路(2 1 2)によれば、停電に应答して複数の電源から使用電源を再度選択する自動選択を実行することができる。

【 0 0 3 3 】

好適な実施の形態では、前記第 1 供給端子(T 1)への前記第 1 の電源電圧の供給と前記第 2 供給端子(T 2)への前記第 2 の電源電圧の供給とに应答して、前記パワーオンリセット回路(2 1 2 4 4)は、パワーオンリセット信号(P O R)を生成する。

40

【 0 0 3 4 】

前記入力電圧検出回路(2 1 2 4 8)は前記第 1 供給端子(T 1)への前記第 1 の電源電圧の前記供給に应答して第 1 電圧検出出力信号(V d e t 1)を生成して、前記入力電圧検出回路(2 1 2 4 8)は前記第 2 供給端子(T 2)への前記第 2 の電源電圧の前記供給に应答して第 2 電圧検出出力信号(V d e t 2)を生成する。

【 0 0 3 5 】

前記制御回路(2 1 2 4 5 、 2 1 2 4 6)は、前記パワーオンリセット信号(P O R)と前記第 1 電圧検出出力信号(V d e t 1)と前記第 2 電圧検出出力信号(V d e t 2)とに应答して、前記第 1 電源スイッチと前記第 2 電源スイッチとを制御する。

【 0 0 3 6 】

50

前記パワーオンリセット回路(21244)のパワーオンリセット動作終了にตอบสนองする前記パワーオンリセット信号(POR)のレベル変化のタイミングでは、前記入力電圧検出回路(21248)は前記第1供給端子(T1)への前記第1の電源電圧の前記供給と前記第2供給端子(T2)への前記第2の電源電圧の前記供給とを検出する。

【0037】

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第1供給端子への前記第1の電源電圧の前記供給を検出するが前記第2供給端子への前記第2の電源電圧の前記供給を検出しない第1の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチとをそれぞれオン状態とオフ状態に制御する。

10

【0038】

前記パワーオンリセット動作終了の後に前記第1電源スイッチと前記第2電源スイッチとがそれぞれ前記オン状態と前記オフ状態に制御されることにより、前記オン状態に制御された前記第1電源スイッチは前記第1供給端子に供給される前記第1の電源電圧を負荷(3、26)に供給する。

【0039】

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第2供給端子への前記第2の電源電圧の前記供給を検出するが前記第1供給端子への前記第1の電源電圧の前記供給を検出しない第2の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチとをそれぞれオフ状態とオン状態に制御する。

20

【0040】

前記パワーオンリセット動作終了の後に前記第1電源スイッチと前記第2電源スイッチとがそれぞれ前記オフ状態と前記オン状態に制御されることにより、前記オン状態に制御された前記第2電源スイッチは前記第2供給端子に供給される前記第2の電源電圧を前記負荷(3、26)に供給する。

【0041】

前記レベル変化の前記タイミングで、前記入力電圧検出回路が前記第1供給端子への前記第1の電源電圧の前記供給と前記第2供給端子への前記第2の電源電圧の前記供給とを検出する第3の場合には、前記パワーオンリセット動作終了の後に前記制御回路は前記第1電源スイッチと前記第2電源スイッチの一方と他方をそれぞれオン状態とオフ状態に制御する。

30

【0042】

前記第3の場合に、前記制御回路に前記事前に設定された優先順序に従って前記第1電源スイッチと前記第2電源スイッチの前記一方と前記他方とがそれぞれ前記オン状態と前記オフ状態に制御される。

【0043】

前記高い優先順序を持った前記電源スイッチである前記オン状態に制御された前記一方は、前記第1供給端子または前記第2供給端子に供給される前記第1の電源電圧または前記第2の電源電圧を前記負荷(3、26)に供給することを特徴とするものである。

40

【0044】

他の好適な実施の形態では、前記パワーオンリセット補助回路は、第1と第2の基準電圧発生回路(Ref_Gen3、4)と第1と第2の差動増幅器(DA3、4)と第1と第2のNチャンネルMOSトランジスタ(Mn1、2)とを含むものである。

【0045】

前記第2供給端子に供給される前記第2の電源電圧が動作電源電圧として前記第1の基準電圧発生回路と前記第1の差動増幅器とに供給され、前記第1の基準電圧発生回路から生成される第1の基準電圧が前記第1の差動増幅器の非反転入力端子に供給され、前記第1の差動増幅器の反転入力端子は前記第1供給端子に供給される前記第1の電源電圧にตอบสนองする。

50

【 0 0 4 6 】

前記第 1 の差動増幅器の出力信号によって前記第 1 の N チャンネル M O S トランジスタのゲートが駆動され、前記第 1 の N チャンネル M O S トランジスタのソースとドレインとは接地電位と前記パワーオンリセット回路とにそれぞれ接続される。

【 0 0 4 7 】

前記第 1 供給端子に供給される前記第 1 の電源電圧が動作電源電圧として前記第 2 の基準電圧発生回路と前記第 2 の差動増幅器とに供給され、前記第 2 の基準電圧発生回路から生成される第 2 の基準電圧が前記第 2 の差動増幅器の非反転入力端子に供給され、前記第 2 の差動増幅器の反転入力端子は前記第 2 供給端子に供給される前記第 2 の電源電圧に
10 応答する。

【 0 0 4 8 】

前記第 2 の差動増幅器の出力信号によって前記第 2 の N チャンネル M O S トランジスタのゲートが駆動され、前記第 2 の N チャンネル M O S トランジスタのソースとドレインとは前記接地電位と前記パワーオンリセット回路とにそれぞれ接続される。

【 0 0 4 9 】

前記第 2 供給端子の前記第 2 の電源電圧が前記第 1 の基準電圧発生回路と前記第 1 の差動増幅器とに前記動作電源電圧として供給される状態の前記第 1 供給端子に供給される前記第 1 の電源電圧の停電による前記第 1 の電源電圧の低下に
20 応答して、前記第 1 の差動増幅器の前記出力信号は前記第 1 の N チャンネル M O S トランジスタをオフ状態からオン状態に制御するものである。

【 0 0 5 0 】

前記第 1 供給端子に供給される前記第 1 の電源電圧の前記停電によって前記第 1 の N チャンネル M O S トランジスタがオン状態に制御されることに
25 応答して、前記パワーオンリセット回路は他のパワーオンリセット動作を実行するものである。

【 0 0 5 1 】

前記第 1 供給端子の前記第 1 の電源電圧が前記第 2 の基準電圧発生回路と前記第 2 の差動増幅器とに前記動作電源電圧として供給される状態の前記第 2 供給端子に供給される前記第 2 の電源電圧の停電による前記第 2 の電源電圧の低下に
30 応答して、前記第 2 の差動増幅器の前記出力信号は前記第 2 の N チャンネル M O S トランジスタをオフ状態からオン状態に制御するものである。

【 0 0 5 2 】

前記第 2 供給端子に供給される前記第 2 の電源電圧の前記停電によって前記第 2 の N チャンネル M O S トランジスタがオン状態に制御されることに
35 応答して、前記パワーオンリセット回路は他のパワーオンリセット動作を実行することを特徴とするものである(図 6 参照)。

【 0 0 5 3 】

更に他の好適な実施の形態による半導体集積回路(2 1 2)は、前記負荷としての第 1 外部負荷(3)と第 2 外部負荷(2 6)とに前記第 1 の電源電圧または前記第 2 の電源電圧をそれぞれ供給する第 1 外部出力端子(T 4)と第 2 外部出力端子(T 3)を更に具備する。
40

【 0 0 5 4 】

前記半導体集積回路(2 1 2)は、前記第 1 外部出力端子と前記第 2 外部出力端子との間に接続された出力 P チャンネル M O S トランジスタ(M p 0)を更に具備する。
45

【 0 0 5 5 】

前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチのいずれかがオン状態に制御される場合には、前記制御回路(2 1 2 4 5、2 1 2 4 6)により前記出力 P チャンネル M O S トランジスタ(M p 0)がオン状態に制御される。
50

【 0 0 5 6 】

前記出力 P チャンネル M O S トランジスタが前記オン状態に制御されることによって、前記第 2 外部負荷に前記第 1 の電源電圧または前記第 2 の電源電圧が前記出力 P チャンネル M O S トランジスタと前記第 2 外部出力端子(T 3)とを介して供給可能とされたことを特徴
55

とするものである(図2、図6参照)。

【0057】

より好適な実施の形態では、前記第1外部出力端子(T4)は、能動デバイスとしての他の半導体集積回路である前記第1外部負荷(3)に前記第1の電源電圧または前記第2の電源電圧を供給することが可能なように構成されたものである。

【0058】

前記出力PチャンネルMOSトランジスタと前記第2外部出力端子とは、バッテリーである前記第2外部負荷(26)に前記第1の電源電圧または前記第2の電源電圧を供給することが可能なように構成されたことを特徴とするものである(図2参照)。

【0059】

他のより好適な実施の形態では、前記入力電圧選択回路(2124)は、入力電圧選択スイッチ(21242)と、ゲート駆動回路(21249)とを更に含む。

【0060】

前記入力電圧選択スイッチは第1入力PチャンネルMOSトランジスタ(Mp1)と第2入力PチャンネルMOSトランジスタ(Mp2)を含み、前記第1入力PチャンネルMOSトランジスタのソースが前記第1供給端子と接続され、前記第2入力PチャンネルMOSトランジスタのソースが前記第2供給端子と接続される。

【0061】

前記パワーオンリセット回路(21244)のパワーオンリセット期間において、前記ゲート駆動回路(21249)は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタとの両者をオン状態に制御する。

【0062】

前記パワーオンリセット期間において、前記第1入力PチャンネルMOSトランジスタのドレインもしくは前記第2入力PチャンネルMOSトランジスタのドレインから、前記パワーオンリセット回路に供給される動作電圧(Vcc)が生成されることを特徴とするものである(図6参照)。

【0063】

更に他のより好適な実施の形態では、前記第1の場合には、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタをオン状態とオフ状態とにそれぞれ制御する。

【0064】

前記第2の場合には、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタをオン状態とオフ状態とにそれぞれ制御する。

【0065】

前記第3の場合には、前記制御回路に事前に設定された前記優先順序に従って、前記ゲート駆動回路は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタと前記第2入力PチャンネルMOSトランジスタの一方と他方をオン状態とオフ状態とにそれぞれ制御することを特徴とする(図6参照)。

【0066】

別のより好適な実施の形態では、前記入力電圧選択回路(2124)は、第1入力端子(Node1)と第2入力端子(Node2)と出力端子を持つ電圧比較・選択回路(21243)を更に含む。

【0067】

前記電圧比較・選択回路の前記第1入力端子(Node1)は、前記入力電圧選択スイッチの前記第1入力PチャンネルMOSトランジスタの前記ドレインに接続される。

【0068】

前記電圧比較・選択回路の前記第2入力端子(Node2)は、前記入力電圧選択スイッチの前記第2入力PチャンネルMOSトランジスタの前記ドレインに接続される。

10

20

30

40

50

【 0 0 6 9 】

前記電圧比較・選択回路の前記出力端子から、前記パワーオンリセット回路に供給される前記動作電圧が生成される。

【 0 0 7 0 】

前記電圧比較・選択回路は前記第 1 入力端子の電圧と前記第 2 入力端子の電圧を比較して高い電圧を選択することにより、当該高い電圧を前記出力端子から前記パワーオンリセット回路に供給される前記動作電圧として出力することを特徴とするものである(図 6 参照)。

【 0 0 7 1 】

更に別のより好適な実施の形態では、前記第 1 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オン状態と前記オフ状態に制御された後に(図 9 : S 9 0 5)、前記入力電圧検出回路(2 1 2 4)が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 4 の場合が発生する(図 9 : S 9 1 0)。

10

【 0 0 7 2 】

前記第 4 の場合の発生にตอบสนองして、前記第 3 の場合と同様に前記制御回路は、前記制御回路に事前に設定された前記優先順序に従って前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とをそれぞれ前記オン状態と前記オフ状態に制御する(図 9 : S 9 1 1)。

【 0 0 7 3 】

前記第 2 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オフ状態と前記オン状態に制御された後に(図 9 : S 9 0 7)、前記入力電圧検出回路(2 1 2 4)が前記第 1 供給端子への前記第 1 の電源電圧の供給を検出する第 5 の場合が発生する(図 9 : S 9 1 2)。

20

【 0 0 7 4 】

前記第 5 の場合の発生にตอบสนองして、前記第 3 の場合と同様に前記制御回路は、前記制御回路に事前に設定された前記優先順序に従って前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とをそれぞれ前記オン状態と前記オフ状態に制御する(図 9 : S 9 1 3)。

【 0 0 7 5 】

前記第 3 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とがそれぞれ前記オン状態と前記オフ状態に制御された後に(図 9 : S 9 1 9)、前記入力電圧検出回路(2 1 2 4)が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 6 の場合が発生する(図 9 : S 9 1 4)。

30

【 0 0 7 6 】

前記第 6 の場合の発生にตอบสนองして、前記第 3 の場合と同様に前記制御回路は、前記制御回路に事前に設定された前記優先順序に従って前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方とをそれぞれ前記オン状態と前記オフ状態に制御することを特徴とするものである(図 9 : S 9 1 5)。

40

【 0 0 7 7 】

具体的な実施の形態では、前記第 1 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オン状態と前記オフ状態に制御された後に(図 1 0 : S 9 0 5)、前記入力電圧検出回路(2 1 2 4)が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 4 の場合が発生する(図 1 0 : S 1 0 0 0)。

【 0 0 7 8 】

前記第 4 の場合の発生にตอบสนองして、前記半導体集積回路は前記第 1 外部負荷としての前記他の半導体集積回路に前記第 4 の場合の発生を通知することが可能とされる(図 8 : S 1 0 0 1)。

50

【 0 0 7 9 】

前記第 4 の場合の前記発生の第 1 の通知に应答して、前記他の半導体集積回路から前記半導体集積回路に供給される第 1 の指示に従って、前記制御回路は前記第 1 電源スイッチと前記第 2 電源スイッチとを制御するものである(図 1 0 : S 1 0 0 1 - 1 0 0 2)。

【 0 0 8 0 】

前記第 1 の指示に従って、前記制御回路は、前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオン状態とオフ状態に制御するか(図 1 0 : S 9 0 5)、もしくは前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオフ状態とオン状態に制御する(図 1 0 : S 1 0 0 2)。

【 0 0 8 1 】

前記第 2 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチとがそれぞれ前記オフ状態と前記オン状態に制御された後に(図 1 0 : S 9 0 7)、前記入力電圧検出回路(2 1 2 4)が前記第 1 供給端子への前記第 1 の電源電圧の供給を検出する第 5 の場合が発生する(図 1 0 : S 9 1 2)。

【 0 0 8 2 】

前記第 5 の場合の発生に应答して、前記半導体集積回路は前記第 1 外部負荷としての前記他の半導体集積回路に前記第 5 の場合の発生を通知することが可能とされる(図 1 0 : S 1 0 0 3)。

【 0 0 8 3 】

前記第 5 の場合の前記発生の第 2 の通知に应答して、前記他の半導体集積回路から前記半導体集積回路に供給される第 2 の指示に従って、前記制御回路は前記第 1 電源スイッチと前記第 2 電源スイッチとを制御するものである(図 1 0 : S 1 0 0 4 - 1 0 0 5)。

【 0 0 8 4 】

前記第 2 の指示に従って、前記制御回路は、前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオフ状態とオン状態とに制御するか(図 1 0 : S 9 0 7)、もしくは前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオン状態とオフ状態に制御する(図 1 0 : S 1 0 0 5)。

【 0 0 8 5 】

前記第 3 の場合の発生により、前記パワーオンリセット動作終了の後に前記第 1 電源スイッチと前記第 2 電源スイッチの前記一方と前記他方がそれぞれ前記オン状態と前記オフ状態とに制御された後に(図 1 0 : S 9 0 9)、前記入力電圧検出回路(2 1 2 4)が前記第 2 供給端子への前記第 2 の電源電圧の供給を検出する第 6 の場合が発生する(図 1 0 : S 9 1 4)。

【 0 0 8 6 】

前記第 6 の場合の発生に应答して、前記半導体集積回路は前記第 1 外部負荷としての前記他の半導体集積回路に前記第 6 の場合の発生を通知することが可能とされる(図 1 0 : S 1 0 0 6)。

【 0 0 8 7 】

前記第 6 の場合の前記発生の第 3 の通知に应答して、前記他の半導体集積回路から前記半導体集積回路に供給される第 3 の指示に従って、前記制御回路は前記第 1 電源スイッチと前記第 2 電源スイッチとを制御するものである(図 1 0 : S 1 0 0 7 - 1 0 0 8)。

【 0 0 8 8 】

前記第 3 の指示に従って、前記制御回路は、前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオン状態とオフ状態とに制御するか(図 1 0 : S 9 0 9)、もしくは前記第 1 電源スイッチと前記第 2 電源スイッチとをそれぞれオフ状態とオン状態に制御することを特徴とするものである(図 1 0 : S 1 0 0 8)。

【 0 0 8 9 】

より具体的な実施の形態による半導体集積回路(2 1 2)は、前記第 1 供給端子(T 1)と前記第 1 電源スイッチ(S W 1、S W 2)との間に並列接続された降圧 D C - D C コンバータ(2 1 2 1)とリニア・レギュレータ(2 1 2 2)を更に具備する。

10

20

30

40

50

【 0 0 9 0 】

前記リニア・レギュレータは、前記第 1 供給端子への前記第 1 の電源電圧の前記供給による電源投入直後に即座動作するシリースレギュレータとして動作するものである。

【 0 0 9 1 】

前記降圧 DC - DC コンバータ 2 1 2 1 は、前記リニア・レギュレータよりも高い電力効率を有するスイッチングレギュレータとして動作することを特徴とするものである(図 2 参照)。

【 0 0 9 2 】

最も具体的な実施の形態は、前記第 1 供給端子(T 1)に第 1 ショットキーダイオード(D 1)を介してワイヤレス給電の電源電圧と第 2 ショットキーダイオード(D 2)を介して AC 電源接続インターフェース(2 4)の AC - DC 変換電源電圧とが供給可能なように、前記第 1 供給端子(T 1)が構成されたものである。

10

【 0 0 9 3 】

前記第 2 供給端子(T 2)に USB 接続インターフェース(2 3)の USB 電源電圧が供給可能なように、前記第 2 供給端子(T 2)が構成されたことを特徴とするものである(図 2 参照)。

【 0 0 9 4 】

〔 2 〕別の観点の代表的な実施の形態は、第 1 の電源電圧が供給可能である第 1 供給端子(T 1)と、第 2 の電源電圧が供給可能である第 2 供給端子(T 2)と、前記第 1 供給端子と前記第 2 供給端子とに接続された入力電圧選択回路(2 1 2 4)と、第 1 電源スイッチ(S W 1、S W 2)と、第 2 電源スイッチ(S W 3)とを具備する半導体集積回路(2 1 2)の動作方法である(図 2 参照)。

20

【 0 0 9 5 】

前記入力電圧選択回路(2 1 2 4)は、パワーオンリセット回路(2 1 2 4 4)と入力電圧検出回路(2 1 2 4 8)と制御回路(2 1 2 4 5、2 1 2 4 6)とパワーオンリセット補助回路(2 1 2 4 X)とを含む(図 6 参照)。

【 0 0 9 6 】

前記パワーオンリセット回路のパワーオンリセット動作終了時に前記第 1 と第 2 のいずれか電源電圧の前記第 1 と第 2 のいずれかの供給端子への供給を前記入力電圧検出回路が検出する場合には、その検出にตอบสนองした前記制御回路は前記第 1 および第 2 の電源スイッチのうちの供給が検出された供給端子に対応する電源スイッチをオン状態に制御する。

30

【 0 0 9 7 】

前記パワーオンリセット回路のパワーオンリセット動作終了時に前記第 1 および第 2 の電源電圧の両者の前記第 1 および第 2 の供給端子の両者への供給を前記入力電圧検出回路が検出する場合には、その検出にตอบสนองした前記制御回路は前記第 1 および第 2 の電源スイッチのうちの事前に設定された優先順序の高い優先順序を持った電源スイッチをオン状態に制御する。

【 0 0 9 8 】

前記高い優先順序を持った前記電源スイッチが前記オン状態に制御された後に、前記パワーオンリセット補助回路(2 1 2 4 X)は前記第 1 および第 2 の電源電圧のうちの前記高い優先順序を持った前記電源スイッチに供給された電源電圧の停電を検出するものである。

40

【 0 0 9 9 】

前記パワーオンリセット補助回路(2 1 2 4 X)による前記停電の検出結果にตอบสนองして、前記パワーオンリセット回路は他のパワーオンリセット動作を実行するものである。

【 0 1 0 0 】

前記パワーオンリセット回路の前記他のパワーオンリセット動作の終了時において、前記制御回路は前記第 1 および第 2 の電源スイッチのうち前記事前に設定された優先順序の低い優先順序を持った電源スイッチをオン状態に制御するものである(図 6 参照)。

【 0 1 0 1 】

50

前記実施の形態の半導体集積回路(212)によれば、停電に应答して複数の電源から使用電源を再度選択する自動選択を実行することができる。

【0102】

2. 実施の形態の詳細

次に、実施の形態について更に詳述する。尚、発明を実施するための最良の形態を説明するための全図において、前記の図と同一の機能を有する部品には同一の符号を付して、その繰り返しの説明は省略する。

【0103】

[実施の形態1]

《多機能携帯電話の構成》

図1は、実施の形態1によるバッテリー充電制御のための半導体集積回路212が搭載された多機能携帯電話の構成を示す図である。

【0104】

図1に示した多機能携帯電話は、送電回路1と受電回路2と受電側システム3とによって構成されている。特に図1に示した多機能携帯電話では、送電側アンテナコイル13からのRF信号が受信側アンテナコイル25によって受信されることにより2次電池26の充電と受電側システム3への電源供給とが実行される。

【0105】

《送信側の送電回路》

図1に示したように、ワイヤレス電力伝送システムの送信側の送電回路1にはACアダプタ10を介してAC電源が供給される。送電回路1は、マイクロコントローラユニット(MCU)11と送電制御回路12とによって構成され、マイクロコントローラユニット(MCU)11は認証処理機能111と暗号処理機能112とを有し、送電制御回路12は整流回路121とRFドライバ122を含み、RFドライバ122は送電側アンテナコイル13と接続される。

【0106】

ACアダプタ10を介して供給されるAC電源が整流回路121によって整流・平滑されることによって生成されるDC電源電圧が、送電回路1のマイクロコントローラユニット(MCU)11とRFドライバ122等とに供給される。送電回路1のマイクロコントローラユニット(MCU)11の認証処理機能111と暗号処理機能112とは、受電回路2である多機能携帯電話のユーザーが正当な使用権利を有するユーザーか否か等を判断するための相互認証処理と通信データの改竄を防止するための暗号処理とをそれぞれ実行するものである。すなわち、送電回路1のマイクロコントローラユニット(MCU)11は、受電回路2に含まれるマイクロコントローラユニット(MCU)22の認証処理機能221と暗号処理機能222との間の通信プロトコルに関する暗号鍵の生成と保持と更新と削除等に関係する鍵管理動作を実行するものである。

【0107】

その結果、送電回路1のマイクロコントローラユニット(MCU)11によって受電回路2である多機能携帯電話のユーザーが正当な使用権利を有するユーザーであることが判定されると、RFドライバ122は図示しないRF発振器から生成されるRF発振出力信号に应答して送電側アンテナコイル13に供給されるRF駆動信号を生成する。更に、送電回路1のマイクロコントローラユニット(MCU)11からの認証処理と暗号処理との通信データは、RFドライバ122と送電側アンテナコイル13と受電側アンテナコイル25を介して受電回路2に供給される。

【0108】

《受信側の受電回路》

図1に示したように、ワイヤレス電力伝送システムの受信側の受電回路2は受電制御回路21とマイクロコントローラユニット(MCU)22とによって構成され、マイクロコントローラユニット(MCU)22は認証処理機能221と暗号処理機能222を有し、受電制御回路21は整流回路211とバッテリー充電制御のための半導体集積回路212とを

10

20

30

40

50

含むものである。

【 0 1 0 9 】

図 1 に示したワイヤレス電力伝送システムでは、最初に送電回路 1 のマイクロコントローラユニット(MCU) 1 1 と受電回路 2 のマイクロコントローラユニット(MCU) 2 2 との間で上述した通信プロトコルに従った通信が、送電側アンテナコイル 1 3 と受電側アンテナコイル 2 5 とを介して実行される。この通信のために、受電回路 2 では、受電制御回路 2 1 とマイクロコントローラユニット(MCU) 2 2 との間でシリアル通信と電源供給等が可能とされたものである。送電回路 1 のマイクロコントローラユニット(MCU) 1 1 によって受電回路 2 である多機能携帯電話のユーザーが正当な使用権利を有するユーザーであることが判定されると、RF ドライバ 1 2 2 から生成される RF 駆動信号が受電回路 2 に送電側アンテナコイル 1 3 と受電側アンテナコイル 2 5 とを介して供給される。

10

【 0 1 1 0 】

送電側アンテナコイル 1 3 と受電側アンテナコイル 2 5 とを介して供給される RF 駆動信号が整流回路 2 1 1 によって整流・平滑されることによって生成される DC 電源電圧が、半導体集積回路 2 1 2 とマイクロコントローラユニット(MCU) 2 2 とに供給される。整流回路 2 1 1 から半導体集積回路 2 1 2 に供給される DC 電源電圧は、2 次電池 2 6 の充電に使用されるとともに受電側システム 3 の電源供給にも使用される。

【 0 1 1 1 】

ワイヤレス電力伝送システムの受信側が多機能携帯電話である場合には、受電側システム 3 はアプリケーションプロセッサやベースバンドプロセッサや液晶表示ドライバ IC や RF 信号処理半導体集積回路(RFIC)やメインメモリやフラッシュメモリ等の不揮発性メモリ等を含むものである。

20

【 0 1 1 2 】

また、ワイヤレス電力伝送システムの受信側がタブレット PC のような携帯型パーソナルコンピュータである場合には、受電側システム 3 は中央処理ユニット(CPU)とハードディスク置き換えの大規模記憶容量のフラッシュメモリストレージを更に含むものである。

【 0 1 1 3 】

更にバッテリー充電制御とシステム電源供給のための半導体集積回路 2 1 2 には、整流回路 2 1 1 により生成される DC 電源電圧以外にも、USB 接続インターフェース 2 3 からの USB 電源電圧と AC 電源接続インターフェース 2 4 からの AC 電源電圧の整流・平滑により生成される AC - DC 変換電源電圧とが供給可能とされる。従って、バッテリー充電制御とシステム電源供給のための半導体集積回路 2 1 2 は、整流回路 2 1 1 の DC 電源電圧と USB 接続インターフェース 2 3 の USB 電源電圧と AC 電源接続インターフェース 2 4 の AC - DC 変換電源電圧の複数の電源電圧からバッテリー充電制御とシステム電源供給のための電源電圧を自動選択する機能を有するものである。尚、USB は、Universal Serial Bus の略である。

30

【 0 1 1 4 】

《バッテリー充電制御のための半導体集積回路の構成》

図 2 は、図 1 に示した実施の形態 1 によるバッテリー充電制御のための半導体集積回路 2 1 2 の構成を示す図である。

40

【 0 1 1 5 】

図 2 に示すように、バッテリー充電制御とシステム電源供給のための半導体集積回路 2 1 2 は、降圧 DC - DC コンバータ 2 1 2 1 とリニア・レギュレータ 2 1 2 2 と USB 種別検出回路 2 1 2 3 と入力電圧検出回路 2 1 2 4 と外部インターフェース 2 1 2 5 と内蔵レギュレータ 2 1 2 6 とゲート駆動制御回路 2 1 2 7 とを含んでいる。更に、バッテリー充電制御とシステム電源供給のための半導体集積回路 2 1 2 は、P チャネル MOS トランジスタ Mp0 とスイッチ SW 1、SW 2、SW 3、SW 4 とを含んでいる。

【 0 1 1 6 】

第 1 入力電圧 1 の供給端子 T 1 には第 1 ショットキーダイオード D 1 を介して送電回路

50

1のワイヤレス給電の電源電圧と第2ショットキーダイオードD2を介してAC電源接続インターフェース24のAC-DC変換電源電圧とが供給され、第2入力電圧2の供給端子T2にはUSB接続インターフェース23のUSB電源電圧が供給される。ショットキーダイオードD1、D2は、送電回路1のワイヤレス給電の電源電圧とAC電源接続インターフェース24のAC-DC変換電源電圧との間で逆流防止素子として機能する一方、PN接合ダイオードと比較して低い順方向電圧で電源電圧を伝達する電圧伝達素子として機能する。尚、送電回路1のワイヤレス給電の電源電圧は5.5ボルトから20ボルトの電圧であり、AC電源接続インターフェース24のAC-DC変換電源電圧は略7ボルトの電圧であり、USB接続インターフェース23のUSB電源電圧は5ボルトの電圧である。

10

【0117】

降圧DC-DCコンバータ2121には、外部端子DDOUT1(T5)、DDOUT2(T6)を介してインダクターL1と容量C1とが接続されている。従って、降圧DC-DCコンバータ2121はリニア・レギュレータ2122よりも電源投入時の起動が遅いが、リニア・レギュレータ2122よりも高い電力効率を有するスイッチングレギュレータとして動作する。一方、リニア・レギュレータ2122は、電源投入の直後に即座に動作するシリーズレギュレータとして動作するものである。

【0118】

すなわち、降圧DC-DCコンバータ2121とリニア・レギュレータ2122は、5.5ボルトから20ボルトの送電回路1のワイヤレス給電の電源電圧もしくは略7ボルトのAC電源接続インターフェース24のAC-DC変換電源電圧から3.5ボルトから5ボルトのシステム供給電圧を生成する。従って、降圧DC-DCコンバータ2121とリニア・レギュレータ2122からの5ボルトのシステム供給電圧は、スイッチSW2、SW4と外部端子SYS(T4)とを介して受電側システム3に供給される一方、5ボルトのUSB接続インターフェース23のUSB電源電圧は、スイッチSW3と外部端子SYS(T4)とを介して受電側システム3に供給される。

20

【0119】

USB種別検出回路2123は、USB接続インターフェース23の差動データ信号D+、D-のビットレートもしくは第2入力電圧2の供給端子T2の給電能力からUSB接続インターフェース23がUSB1.1またはUSB1.0とUSB2.0とUSB3.0とのいずれの種別であるかを検出する。

30

【0120】

入力電圧検出回路2124は起動時の動作モード選択のために第1入力電圧1の供給端子T1の電圧検出と第2入力電圧2の供給端子T2の供給端子の電圧検出とを実行して、更にスイッチSW1、SW2、SW3、SW4のオンオフ制御と降圧DC-DCコンバータ2121、内蔵レギュレータ2126、ゲート駆動制御回路2127の制御とを実行する。更に入力電圧検出回路2124は、USB種別検出回路2123の制御を実行するとともに外部インターフェース2125を介してUSB種別検出回路2123によるUSB種別検出データをマイクロコントローラユニット(MCU)22と受電側システム3とに供給する機能を有するものである。

40

【0121】

従って、外部インターフェース2125は、受電側システム3およびマイクロコントローラユニット(MCU)22とクロックおよびシリアルデータの双方向通信を実行する。

【0122】

内蔵レギュレータ2126には、降圧DC-DCコンバータ2121またはリニア・レギュレータ2122を介して送電回路1のワイヤレス給電の電源電圧またはAC電源接続インターフェース24のAC-DC変換電源電圧が供給されるか、もしくはUSB接続インターフェース23のUSB電源電圧が供給される。その結果、内蔵レギュレータ2126から1.8ボルトの動作電圧 $V_{DD1.8}$ と3.0ボルトの動作電圧 $V_{DD3.0}$ とが生成され、マイクロコントローラユニット(MCU)22に供給される。

50

【 0 1 2 3 】

PチャンネルMOSトランジスタMp0は入力電圧検出回路2124およびゲート駆動制御回路2127によってオン状態に駆動制御されることによって、外部端子SYS(T4)の3.5ボルト～5ボルトのシステム供給電圧を外部端子BAT(T3)を介して2次電池26に供給することで、2次電池26の充電が実行される。例えば、2次電池26は多機能携帯電話等に内蔵されるリチウムイオン電池であって、その充電電流は略0.5A～1.0の比較的大きな電流となる。

【 0 1 2 4 】

更にゲート駆動制御回路2127は、PチャンネルMOSトランジスタMp0が外部端子SYS(T4)と外部端子BAT(T3)との間で双方向に導通するようにPチャンネルMOSトランジスタMp0のゲートを駆動する出力信号を生成する。従って、2次電池26の充電が実行される期間では外部端子SYS(T4)から外部端子BAT(T3)へ2次電池26の充電電流が流される一方、それと反対に2次電池26の放電によるバッテリー動作期間では外部端子BAT(T3)から外部端子SYS(T4)へ2次電池26の放電電流が流されるものである。また更にゲート駆動制御回路2127は、2次電池26の充電動作と放電動作との間に充電電流と放電電流との電流制御を実行することによって過充電と過放電とを防止する機能を有するものである。

【 0 1 2 5 】

《半導体集積回路の外部端子の機能》

図3は、図2に示した実施の形態1によるバッテリー充電制御のための半導体集積回路212の外部端子の機能を示す図である。

【 0 1 2 6 】

図3に示すように、第1入力電圧1の外部供給端子は、第1ショットキーダイオードD1または第2ショットキーダイオードD2を介して送電回路1のワイヤレス給電の電源電圧またはAC電源接続インターフェース24のAC-DC変換電源電圧を供給する機能を有するものである。

【 0 1 2 7 】

更に、第2入力電圧2の外部供給端子は、USB接続インターフェース23のUSB電源電圧を供給する機能を有している。

【 0 1 2 8 】

差動データ信号D+の外部供給端子は、USB接続インターフェース23の差動データの非反転入力信号D+を供給する機能を有する。

【 0 1 2 9 】

更に、差動データ信号D-の外部供給端子は、USB接続インターフェース23の差動データの反転入力信号D-を供給する機能を有する。

【 0 1 3 0 】

クロックの外部入出力端子は、外部インターフェース2125のクロックの双方向通信を実行する機能を有する。

【 0 1 3 1 】

更にシリアルデータの外部入出力端子は、外部インターフェース2125のシリアルデータの双方向通信を実行する機能を有する。

【 0 1 3 2 】

外部端子DDOUT1は、降圧DC-DCコンバータ2121でのスイッチングレギュレータ動作によるスイッチング出力信号を出力する機能を有する。

【 0 1 3 3 】

更に、外部端子DDOUT2は、インダクターL1と容量C1とから構成されるローパスフィルタを通過した降圧DC-DCコンバータ2121の出力電圧を出力する機能を有する。

【 0 1 3 4 】

外部端子SYSは、受電側システム3へ電源電圧を出力する機能を有する。

10

20

30

40

50

【 0 1 3 5 】

外部端子 B A T は、2 次電池 2 6 を接続する機能を有する。

【 0 1 3 6 】

外部端子 V_{DD} 1 8 は、1 . 8 ボルトの動作電圧 V_{DD} 1 8 をマイクロコントローラユニット (M C U) 2 2 に出力する機能を有する。

【 0 1 3 7 】

外部端子 V_{DD} 3 0 は、3 . 0 ボルトの動作電圧 V_{DD} 3 0 をマイクロコントローラユニット (M C U) 2 2 に出力する機能を有する。

【 0 1 3 8 】

《本発明の比較参考例による入力電圧検出回路の構成》

図 4 は、本発明の比較参考例として本発明に先立って本発明者によって検討された半導体集積回路 2 1 2 の起動時の動作モード選択のための入力電圧検出回路 2 1 2 4 の構成を示す図である。

【 0 1 3 9 】

図 4 に示すように、本発明の比較参考例による入力電圧検出回路 2 1 2 4 は、リニア・レギュレータ 2 1 2 4 1 と入力電圧選択スイッチ 2 1 2 4 2 と電圧比較・選択回路 2 1 2 4 3 と第 1 基準電圧発生回路 R e f _ G e n 1 と第 1 バッファ回路 B A 1 と第 2 バッファ回路 B A 2 とパワーオンリセット回路 2 1 2 4 4 とを含んでいる。更に入力電圧検出回路 2 1 2 4 は、制御ロジック回路 2 1 2 4 5 と入力電圧選択スイッチ制御ロジック回路 2 1 2 4 6 とクロック発生回路 2 1 2 4 7 と入力電圧検出回路 2 1 2 4 8 とゲート駆動回路 2 1 2 4 9 とを含んでいる。

【 0 1 4 0 】

図 4 の左上部に示したように、第 1 入力電圧 1 の供給端子 T 1 には送電回路 1 のワイヤレス給電の電源電圧と A C 電源接続インターフェース 2 4 の A C - D C 変換電源電圧とが供給され、第 2 入力電圧 2 の供給端子 T 2 には U S B 接続インターフェース 2 3 の U S B 電源電圧が供給される。

【 0 1 4 1 】

第 1 入力電圧 1 の供給端子 T 1 の 5 . 5 ボルトから 2 0 ボルトの電圧を有するワイヤレス給電の電源電圧または A C - D C 変換電源電圧はリニア・レギュレータ 2 1 2 4 1 によって略 5 ボルトの出力電源電圧 V o u t に変換され、略 5 ボルトの出力電源電圧 V o u t は入力電圧選択スイッチ 2 1 2 4 2 の P チャネル M O S トランジスタ M p 1 のソースとゲート駆動回路 2 1 2 4 9 とに供給される。

【 0 1 4 2 】

第 2 入力電圧 2 の供給端子 T 2 に供給される 5 ボルトの電圧を有する U S B 接続インターフェース 2 3 の U S B 電源電圧は、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル M O S トランジスタ M p 2 のソースに供給される。

【 0 1 4 3 】

入力電圧選択スイッチ 2 1 2 4 2 の P チャネル M O S トランジスタ M p 1 のゲートはゲート駆動回路 2 1 2 4 9 の第 1 ゲート駆動出力信号 M p 1 _ G によって駆動され、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル M O S トランジスタ M p 2 のゲートはゲート駆動回路 2 1 2 4 9 の第 2 ゲート駆動出力信号 M p 2 _ G によって駆動される。電源投入時の以下に詳述するパワーオンリセット期間ではゲート駆動回路 2 1 2 4 9 の第 1 ゲート駆動出力信号 M p 1 _ G と第 2 ゲート駆動出力信号 M p 2 _ G とはともにローレベルに設定されるので、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル M O S トランジスタ M p 1 と P チャネル M O S トランジスタ M p 2 とはともにオン状態に制御される。

【 0 1 4 4 】

電圧比較・選択回路 2 1 2 4 3 は P チャネル M O S トランジスタ M p 3 と P チャネル M O S トランジスタ M p 4 と差動増幅器 D A 1 とによって構成されることによって、第 1 ノード N o d e 1 の電圧と第 2 ノード N o d e 2 の電圧を比較して、第 1 ノード N o d e 1 の電圧と第 2 ノード N o d e 2 の電圧との高い電圧を選択して出力電圧 V c c として生成

10

20

30

40

50

する。第1ノードNode 1はPチャネルMOSトランジスタMp 3のソースと差動増幅器DA 1の反転入力端子-とに接続され、第2ノードNode 2はPチャネルMOSトランジスタMp 4のソースと差動増幅器DA 1の非反転入力端子+とに接続される。差動増幅器DA 1の非反転出力端子+と反転出力端子-とはPチャネルMOSトランジスタMp 3のゲートとPチャネルMOSトランジスタMp 4のゲートとそれぞれ接続されて、PチャネルMOSトランジスタMp 3のドレインとPチャネルMOSトランジスタMp 4のドレインとは共通接続され出力電圧Vccを生成する。

【0145】

電圧比較・選択回路21243の出力電圧Vccは、差動増幅器DA 1と第1基準電圧発生回路Ref__Gen 1と第1バッファ回路BA 1と第2バッファ回路BA 2とに動作電源電圧として供給される。

10

【0146】

第1基準電圧発生回路Ref__Gen 1は、電圧比較・選択回路21243からの出力電圧Vccを動作電源電圧として動作することによって、基準電圧V_{REF}を生成する。

【0147】

第1バッファ回路BA 1と第2バッファ回路BA 2は、第1基準電圧発生回路Ref__Gen 1から生成される基準電圧V_{REF}に应答して、基準電圧V_{REF}の電圧レベルに比例したアナログ回路電源電圧AV_{DD}とデジタル回路電源電圧DV_{DD}とをそれぞれ生成する。

【0148】

20

パワーオンリセット回路21244は、第2基準電圧発生回路Ref__Gen 2と差動増幅器DA 2と抵抗Rpと容量Cpと第3バッファ回路BA 3とによって構成される。パワーオンリセット回路21244の第2基準電圧発生回路Ref__Gen 2と差動増幅器DA 2には第2バッファ回路BA 2により生成されるデジタル回路電源電圧DV_{DD}が供給され、差動増幅器DA 2の非反転入力端子+と反転入力端子-とにデジタル回路電源電圧DV_{DD}と第2基準電圧発生回路Ref__Gen 2から生成される基準電圧V_Bとがそれぞれ供給される。

【0149】

パワーオンリセット回路21244の差動増幅器DA 2の出力電圧は抵抗Rpの一端に供給されて、抵抗Rpの他端は容量Cpの一端と第3バッファ回路BA 3の入力端子とに接続されて、容量Cpの他端は接地電位に接続される。パワーオンリセット期間に第3バッファ回路BA 3から生成されるローレベルのパワーオンリセット信号PORは、制御ロジック回路21245の反転リセット入力端子/Resetと入力電圧選択スイッチ制御ロジック回路21246の反転リセット入力端子/Resetとに供給される。

30

【0150】

電圧比較・選択回路21243からの出力電圧Vccと第2バッファ回路BA 2からのデジタル回路電源電圧DV_{DD}とが供給されるクロック発生回路21247から生成されるクロック信号は、制御ロジック回路21245のクロック入力端子CLKと入力電圧選択スイッチ制御ロジック回路21246のクロック入力端子CLKとに供給される。

【0151】

40

入力電圧検出回路2124の制御ロジック回路21245は、図2の実施の形態1による半導体集積回路212の全体の動作を制御する。すなわち、図4に示す入力電圧検出回路2124に接続されたアナログ回路2128は、図2に示した半導体集積回路212の降圧DC-DCコンバータ2121とリニア・レギュレータ2122とUSB種別検出回路2123と内蔵レギュレータ2126とゲート駆動制御回路2127とのアナログ回路を含んだものである。従って、これらのアナログ回路の動作は、全て図4に示した入力電圧検出回路2124の制御ロジック回路21245によって制御される。尚、アナログ回路2128には、電圧比較・選択回路21243からの出力電圧Vccと第1バッファ回路BA 1からのアナログ回路電源電圧AV_{DD}とが供給される。

【0152】

50

更に入力電圧選択スイッチ制御ロジック回路21246の動作も、同様に図4に示した入力電圧検出回路2124の制御ロジック回路21245によって制御される。

【0153】

また更に、図2に示したスイッチSW1、SW2、SW3、SW4と内蔵レギュレータ2126とゲート駆動制御回路2127の動作も、同様に図4に示した入力電圧検出回路2124の制御ロジック回路21245によって制御される。

【0154】

入力電圧検出回路21248には、電圧比較・選択回路21243からの出力電圧V_{cc}と第1バッファ回路BA1からのアナログ回路電源電圧A_V_{DD}とが供給される。パワーオンリセット期間の経過後において入力電圧検出回路21248は、第1入力電圧1の供給端子T1のワイヤレス給電またはAC-DC変換の電源電圧の電圧レベルと第2入力電圧2の供給端子T2のUSB電源電圧の電圧レベルを検出する。その結果、入力電圧検出回路21248からの2ビットの電圧検出出力信号V_{det1}、V_{det2}は、制御ロジック回路21245と入力電圧選択スイッチ制御ロジック回路21246とに供給される。すなわち、電圧検出出力信号V_{det1}は第1入力電圧1の供給端子T1へのワイヤレス給電またはAC-DC変換の電源電圧の供給有無を検出したものであり、また電圧検出出力信号V_{det2}は第2入力電圧2の供給端子T2へのUSB電源電圧の供給有無を検出したものである。

【0155】

パワーオンリセット期間の経過後に、2ビットの電圧検出出力信号V_{det1}、V_{det2}に応答した入力電圧選択スイッチ制御ロジック回路21246の出力信号によってゲート駆動回路21249の第1ゲート駆動出力信号Mp1_Gと第2ゲート駆動出力信号Mp2_Gとの一方と他方とがそれぞれローレベルとハイレベルに設定され、使用電源の自動選択が実行される。

【0156】

ハイレベルの電圧検出出力信号V_{det1}によって第1入力電圧1の供給端子T1への電源電圧の供給が検出され、ローレベルの電圧検出出力信号V_{det2}によって第2入力電圧2の供給端子T2への電源電圧の非供給が検出された場合を想定する。この場合には、レベルの相違する電圧検出出力信号V_{det1}、V_{det2}に응答して制御ロジック回路21245は、図2に示した実施の形態1による半導体集積回路212の内部のスイッチSW2をオン状態に制御する一方、スイッチSW3をオフ状態に制御する。その結果、第1入力電圧1の供給端子T1からの供給電圧が、降圧DC-DCコンバータ2121とスイッチSW2とPチャネルMOSトランジスタMp0とを介して2次電池26の充電に使用されるとともに受電側システム3への電源供給に使用される。更にこの場合には、ゲート駆動回路21249は、第1ゲート駆動出力信号Mp1_Gと第2ゲート駆動出力信号Mp2_Gとをそれぞれローレベルとハイレベルとに設定する。更に電圧比較・選択回路21243は第1ノードNode1の電圧が第2ノードNode2よりも高いことを検出して、第1ノードNode1の第1入力電圧1の供給端子T1の供給電圧が電圧比較・選択回路21243の出力電圧V_{cc}として生成される。

【0157】

ローレベルの電圧検出出力信号V_{det1}によって第1入力電圧1の供給端子T1への電源電圧の非供給が検出され、ハイレベルの電圧検出出力信号V_{det2}によって第2入力電圧2の供給端子T2への電源電圧の供給が検出された場合を想定する。この場合には、レベルの相違する電圧検出出力信号V_{det1}、V_{det2}に응答して制御ロジック回路21245は、図2に示した実施の形態1による半導体集積回路212の内部のスイッチSW2をオフ状態に制御する一方、スイッチSW3をオン状態に制御する。その結果、第2入力電圧2の供給端子T2からの供給電圧が、スイッチSW3とPチャネルMOSトランジスタMp0とを介して2次電池26の充電に使用されるとともに受電側システム3への電源供給に使用される。更にこの場合には、ゲート駆動回路21249は、第1ゲート駆動出力信号Mp1_Gと第2ゲート駆動出力信号Mp2_Gとをそれぞれハイレベル

10

20

30

40

50

とローレベルとに設定する。更に電圧比較・選択回路21243は第2ノードNode2の電圧が第1ノードNode1よりも高いことを検出して、第2ノードNode2の第2入力電圧2の供給端子T2の供給電圧が電圧比較・選択回路21243の出力電圧Vccとして生成される。

【0158】

入力電圧検出回路21248の2ビットの電圧検出出力信号Vdet1、Vdet2により第1入力電圧1の供給端子T1へのワイヤレス給電またはAC-DC変換の電源電圧の供給と第2入力電圧2の供給端子T2へのUSB電源電圧の供給とが同時に検出された場合を、想定する。この場合には、ともにハイレベルである電圧検出出力信号Vdet1、Vdet2にตอบสนองして制御ロジック回路21245は、リニア・レギュレータ21241の略5ボルトの出力電源電圧Voutの電圧レベルを調整する。

10

【0159】

すなわち、同時に検出された第1入力電圧1の供給端子T1の供給電圧が第2入力電圧2の供給端子T2の供給電圧より優先される場合には、リニア・レギュレータ21241の略5ボルトの出力電源電圧Voutを第2入力電圧2の供給端子T2に供給される5ボルトの電圧を有するUSB接続インターフェース23のUSB電源電圧よりも高い例えば5.2ボルトに設定する。更に、制御ロジック回路21245によって制御されるゲート駆動回路21249の第1ゲート駆動出力信号Mp1__Gと第2ゲート駆動出力信号Mp2__Gとはローレベルとハイレベルとにそれぞれ設定される。その結果、電圧比較・選択回路21243は第1ノードNode1の電圧が第2ノードNode2よりも高いことを検出して、第1ノードNode1の第1入力電圧1の供給端子T1の供給電圧が電圧比較・選択回路21243の出力電圧Vccとして生成される。更に制御ロジック回路21245は、図2に示した実施の形態1による半導体集積回路212の内部のスイッチSW2をオン状態に制御する一方、スイッチSW3をオフ状態に制御する。その結果、第1入力電圧1の供給端子T1からの供給電圧が、降圧DC-DCコンバータ2121とスイッチSW2とPチャネルMOSトランジスタMp0とを介して2次電池26の充電に使用されるとともに受電側システム3への電源供給に使用される。

20

【0160】

それと反対に、同時に検出された第1入力電圧1の供給端子T1の供給電圧よりも第2入力電圧2の供給端子T2の供給電圧が優先される場合には、リニア・レギュレータ21241の略5ボルトの出力電源電圧Voutを第2入力電圧2の供給端子T2に供給される5ボルトの電圧を有するUSB接続インターフェース23のUSB電源電圧よりも低い例えば4.8ボルトに設定する。更に、制御ロジック回路21245によって制御されるゲート駆動回路21249の第1ゲート駆動出力信号Mp1__Gと第2ゲート駆動出力信号Mp2__Gとはハイレベルとローレベルとにそれぞれ設定される。その結果、電圧比較・選択回路21243は第2ノードNode2の電圧が第1ノードNode1よりも高いことを検出して、第2ノードNode2の第2入力電圧2の供給端子T2の供給電圧が電圧比較・選択回路21243の出力電圧Vccとして生成される。更に制御ロジック回路21245は、図2に示した実施の形態1による半導体集積回路212の内部のスイッチSW2をオフ状態に制御する一方、スイッチSW3をオン状態に制御する。その結果、第2入力電圧2の供給端子T2からの供給電圧が、スイッチSW3とPチャネルMOSトランジスタMp0とを介して2次電池26の充電に使用されるとともに受電側システム3への電源供給に使用される。

30

40

【0161】

一方、パワーオンリセット期間の経過以前では、ローレベルのパワーオンリセット信号PORにตอบสนองした入力電圧選択スイッチ制御ロジック回路21246の出力信号によって、ゲート駆動回路21249の第1ゲート駆動出力信号Mp1__Gと第2ゲート駆動出力信号Mp2__Gとはともにローレベルに設定される。その結果、入力電圧選択スイッチ21242に含まれたPチャネルMOSトランジスタMp1とPチャネルMOSトランジスタMp2とは、ともにオン状態に制御される。

50

【 0 1 6 2 】

図5は、図4に示した本発明の比較参考例による入力電圧検出回路2124の動作を説明するための入力電圧検出回路2124の各部の波形を示す図である。

【 0 1 6 3 】

図5に示すように、期間T1では、最初に第1入力電圧1の供給端子T1への電源電圧の供給により第1入力電圧1の供給端子T1のワイヤレス給電の電源電圧の上昇が開始される。ワイヤレス給電の電源電圧が検出しきい値電圧に到達すると、入力電圧検出回路21248の電圧検出出力信号Vdet1がローレベルからハイレベルに変化する。

【 0 1 6 4 】

ワイヤレス電源電圧の上昇にตอบสนองして、電圧比較・選択回路21243の出力電圧Vccの上昇が開始される。更に、電圧比較・選択回路21243の出力電圧Vccの上昇にตอบสนองして、第2バッファ回路BA2から生成されるデジタル回路電源電圧DVDDの上昇が開始される。このデジタル回路電源電圧DVDDが第2基準電圧発生回路RefGen2の基準電圧VBBに対応する検出しきい値電圧に到達すると、パワーオンリセット回路21244の差動増幅器DA2の出力がローレベルからハイレベルに変化して、時定数回路の抵抗Rpと容量Cpの充電によるパワーオンリセット期間が開始される。時定数回路の容量Cpの端子電圧Vcが第3バッファ回路BA3のしきい値電圧に対応する検出しきい値電圧に到達すると、パワーオンリセット信号PORがローレベルからハイレベルに変化して、制御ロジック回路21245と入力電圧選択スイッチ制御ロジック回路21246のパワーオンリセット動作が終了される。

【 0 1 6 5 】

パワーオンリセット動作の終了によって期間T2では、入力電圧検出回路21248は入力電圧検出回路21248のハイレベルの電圧検出出力信号Vdet1とローレベルの電圧検出出力信号Vdet2とにตอบสนองするものである。従って、入力電圧選択スイッチ制御ロジック回路21246とゲート駆動回路21249による制御によって、第1ゲート駆動出力信号Mp1_Gと第2ゲート駆動出力信号Mp2_Gとはローレベルとハイレベルにそれぞれ設定される。従って、入力電圧選択スイッチ21242のPチャンネルMOSトランジスタMp1とPチャンネルMOSトランジスタMp2とはオン状態とオフ状態とにそれぞれ制御されるので、USB給電はオフ状態に制御され、ワイヤレス給電はオン状態に制御され、使用電源の自動選択が実行される。

【 0 1 6 6 】

この状態で、期間T2の最後に第2入力電圧2の供給端子T2の電源電圧の供給によって、第2入力電圧2の供給端子T2のUSB給電の電源電圧の上昇が開始される。その結果、USB給電の電源電圧の上昇が検出しきい値電圧に到達すると、入力電圧検出回路21248の電圧検出出力信号Vdet2がローレベルからハイレベルに変化する。

【 0 1 6 7 】

期間T2の最後のタイミングでは、入力電圧検出回路21248からはハイレベルの両方の電圧検出出力信号Vdet1、Vdet2が生成されている。しかし、制御ロジック回路21245の内部ではUSB給電の優先順位よりワイヤレス給電の優先順位が高く設定されているので、期間T2の最後のタイミングではゲート駆動回路21249からローレベルの第1ゲート駆動出力信号Mp1_Gとハイレベルの第2ゲート駆動出力信号Mp2_Gが生成されている。その結果、入力電圧選択スイッチ21242では、PチャンネルMOSトランジスタMp1はオン状態に維持される一方、PチャンネルMOSトランジスタMp2はオフ状態に維持されているので、第1入力電圧1の供給端子T1のワイヤレス給電の電源電圧が電圧比較・選択回路21243からの出力電圧Vccとして選択される。

【 0 1 6 8 】

しかし、図5に示すように、期間T2と期間T3との切り替わりタイミングにおいて、高い方の優先順序に設定された第1入力電圧1の供給端子T1のワイヤレス給電の電源電圧の停電が発生する。従って、電圧比較・選択回路21243の出力電圧Vccと第2バッファ回路BA2のデジタル回路電源電圧DVDDとが低下して、パワーオンリセット回

10

20

30

40

50

路 2 1 2 4 4 の時定数回路の容量 C_p の端子電圧 V_c と第 3 バッファ回路のパワーオンリセット信号 POR も低下する。しかしながら、パワーオンリセット回路 2 1 2 4 4 の時定数回路の容量 C_p の端子電圧 V_c の低下は、パワーオンリセット動作を生じるには不十分なレベルである。

【 0 1 6 9 】

一方、入力電圧検出回路 2 1 2 4 8 に動作電源電圧として供給される電圧比較・選択回路 2 1 2 4 3 からの出力電圧 V_{cc} とアナログ回路電源電圧 AV_{DD} との電圧レベルが低下しているので、入力電圧検出回路 2 1 2 4 8 から生成される電圧検出出力信号 V_{det1} 、 V_{det2} の電圧レベルも同様に低下する。従って、図 5 に示したように、ゲート駆動回路 2 1 2 4 9 から生成される第 2 ゲート駆動出力信号 $Mp2_G$ がハイレベルからローレベルに変化するので、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル MOS トランジスタ $Mp2$ がオフ状態からオン状態に変化する。その時点で、ハイレベルである第 2 入力電圧 2 の供給端子 $T2$ の USB 給電の電源電圧が、P チャネル MOS トランジスタ $Mp2$ のソース・ドレイン経路を介して、電圧比較・選択回路 2 1 2 4 3 の第 2 ノード $Node2$ に伝達される。この時点では、電圧比較・選択回路 2 1 2 4 3 の第 1 ノード $Node1$ の電圧は、第 1 入力電圧 1 の供給端子 $T1$ でのワイヤレス給電の電源電圧の停電によって低レベルとなっている。その結果、電圧比較・選択回路 2 1 2 4 3 は第 2 ノード $Node2$ の USB 給電の電源電圧を選択してその出力電圧 V_{cc} として生成するで、図 5 に示すように電圧比較・選択回路 2 1 2 4 3 の出力電圧 V_{cc} が低レベルから高レベルに急激に変化する。従って、パワーオンリセット回路 2 1 2 4 4 の時定数回路の容量 C_p の端子電圧 V_c と第 3 バッファ回路のパワーオンリセット信号 POR とは、若干上昇する。

【 0 1 7 0 】

電圧比較・選択回路 2 1 2 4 3 の出力電圧 V_{cc} の高レベルへの回復により入力電圧検出回路 2 1 2 4 8 の電圧検出出力信号 V_{det2} もローレベルからハイレベルへ回復するので、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル MOS トランジスタ $Mp2$ がオン状態からオフ状態に変化する。その結果、ハイレベルである第 2 入力電圧 2 の供給端子 $T2$ の USB 給電の電源電圧が、P チャネル MOS トランジスタ $Mp2$ のソース・ドレイン経路を介して、電圧比較・選択回路 2 1 2 4 3 の第 2 ノード $Node2$ に伝達されなくなる。従って、図 5 に示すように、電圧比較・選択回路 2 1 2 4 3 の出力電圧 V_{cc} と第 2 バッファ回路 $BA2$ のデジタル回路電源電圧 DV_{DD} は、再び低下を開始する。その結果、入力電圧検出回路 2 1 2 4 8 の電圧検出出力信号 V_{det2} の電圧レベルとゲート駆動回路 2 1 2 4 9 の第 2 ゲート駆動出力信号 $Mp2_G$ は低下するので、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル MOS トランジスタ $Mp2$ がオフ状態からオン状態に変化して、電圧比較・選択回路 2 1 2 4 3 の出力電圧 V_{cc} が低レベルから高レベルに急激に変化する。それ以降、図 5 に示すように、図 4 に示した本発明の比較参考例による入力電圧検出回路 2 1 2 4 は、同様な動作を反復するものとなる。

【 0 1 7 1 】

その結果、冒頭で説明したように高い方の優先順序に設定された第 1 入力電圧 1 の供給端子 $T1$ のワイヤレス給電の電源電圧の停電にตอบสนองして、パワーオンリセット回路 2 1 2 4 4 によるパワーオンリセット動作が不完全に実行されるものとなる。従って、複数の電源で高い方の優先順序に設定された電源電圧の停電にตอบสนองして、複数の電源から使用電源を再度選択する自動選択を実行することが困難となるものである。

【 0 1 7 2 】

《実施の形態 1 による入力電圧検出回路の構成》

図 6 は、図 2 に示した実施の形態 1 によるバッテリー充電制御のための半導体集積回路 2 1 2 の起動時の動作モード選択のための入力電圧検出回路 2 1 2 4 の構成を示す図である。

【 0 1 7 3 】

図 6 に示す実施の形態 1 による入力電圧検出回路 2 1 2 4 が図 4 に示した本発明の比較参考例による入力電圧検出回路 2 1 2 4 と相違するのは、下記の点である。

【 0 1 7 4 】

すなわち、図 6 に示す実施の形態 1 による入力電圧検出回路 2 1 2 4 には、図 4 の本発明の比較参考例による入力電圧検出回路 2 1 2 4 に含まれていなかったパワーオンリセット補助回路 2 1 2 4 X が追加されている。

【 0 1 7 5 】

図 6 に示す実施の形態 1 による入力電圧検出回路 2 1 2 4 に追加されたパワーオンリセット補助回路 2 1 2 4 X は、第 3 基準電圧発生回路 R e f _ G e n 3 と第 4 基準電圧発生回路 R e f _ G e n 4 と 2 個の差動増幅器 D A 3、D A 4 と 2 個の N チャネル M O S トランジスタ M n 1、M n 2 とによって構成されている。

【 0 1 7 6 】

第 1 入力電圧 1 の供給端子 T 1 の電源電圧は、リニア・レギュレータ 2 1 2 4 1 と入力電圧選択スイッチ 2 1 2 4 2 の P チャネル M O S トランジスタ M p 1 とを介して、パワーオンリセット補助回路 2 1 2 4 X の第 4 基準電圧発生回路 R e f _ G e n 4 と差動増幅器 D A 4 とに動作電源電圧として供給される。尚、第 1 入力電圧 1 の供給端子 T 1 の電源電圧は、送電回路 1 からのワイヤレス給電の電源電圧または A C 電源接続インターフェース 2 4 からの A C - D C 変換の電源電圧である。第 4 基準電圧発生回路 R e f _ G e n 4 は、第 1 入力電圧 1 の供給端子 T 1 の電源電圧を動作電源電圧として動作することによって基準電圧を生成する。差動増幅器 D A 4 の反転入力端子 - と非反転入力端子 + とにデジタル回路電源電圧 $D V_{DD}$ と第 4 基準電圧発生回路 R e f _ G e n 4 から生成される基準電圧とがそれぞれ供給され、差動増幅器 D A 4 の出力端子は N チャネル M O S トランジスタ M n 2 のゲートに供給される。N チャネル M O S トランジスタ M n 2 のソースとドレインは、接地電位とパワーオンリセット回路 2 1 2 4 4 の抵抗 R p と容量 C p の共通接続ノードとにそれぞれ接続されている。

【 0 1 7 7 】

また第 2 入力電圧 2 の供給端子 T 2 の電源電圧は、パワーオンリセット補助回路 2 1 2 4 X の第 3 基準電圧発生回路 R e f _ G e n 3 と差動増幅器 D A 3 とに動作電源電圧として供給される。尚、第 2 入力電圧 2 の供給端子 T 2 の電源電圧は、U S B 接続インターフェース 2 3 からの電源電圧である。第 3 基準電圧発生回路 R e f _ G e n 3 は、第 2 入力電圧 2 の供給端子 T 2 の電源電圧を動作電源電圧として動作することによって基準電圧を生成する。差動増幅器 D A 3 の反転入力端子 - と非反転入力端子 + とにデジタル回路電源電圧 $D V_{DD}$ と第 3 基準電圧発生回路 R e f _ G e n 3 から生成される基準電圧とがそれぞれ供給され、差動増幅器 D A 4 の出力端子は N チャネル M O S トランジスタ M n 1 のゲートに供給される。N チャネル M O S トランジスタ M n 1 のソースとドレインとは、接地電位とパワーオンリセット回路 2 1 2 4 4 の抵抗 R p と容量 C p の共通接続ノードとにそれぞれ接続されている。

【 0 1 7 8 】

図 6 に示した実施の形態 1 による入力電圧検出回路 2 1 2 4 に追加されたパワーオンリセット補助回路 2 1 2 4 X において、第 3 基準電圧発生回路 R e f _ G e n 3 と差動増幅器 D A 3 と N チャネル M O S トランジスタ M n 1 とは、U S B 給電の優先順位よりワイヤレス給電の優先順位が高く設定された場合でのワイヤレス給電の停電を検出する。尚、制御ロジック回路 2 1 2 4 5 の内部で、U S B 給電の優先順位よりワイヤレス給電の優先順位が高く設定されたものである。

【 0 1 7 9 】

図 6 に示した実施の形態 1 による入力電圧検出回路 2 1 2 4 に追加されたパワーオンリセット補助回路 2 1 2 4 X において、第 4 基準電圧発生回路 R e f _ G e n 4 と差動増幅器 D A 4 と N チャネル M O S トランジスタ M n 2 とは、ワイヤレス給電の優先順位より U S B 給電の優先順位が高く設定された場合での U S B 給電の停電を検出する。尚、制御ロジック回路 2 1 2 4 5 の内部で、ワイヤレス給電の優先順位より U S B 給電の優先順位が高く設定されたものである。

【 0 1 8 0 】

10

20

30

40

50

図 6 に示した実施の形態 1 による入力電圧検出回路 2 1 2 4 のその他の構成に関しては、図 4 に示した本発明の比較参考例による入力電圧検出回路 2 1 2 4 と同一であるので説明を省略する。

【 0 1 8 1 】

《実施の形態 1 の入力電圧検出回路の各部の波形》

図 7 は、図 6 に示す実施の形態 1 による入力電圧検出回路 2 1 2 4 の動作を説明するための入力電圧検出回路 2 1 2 4 の各部の波形を示す図である。

【 0 1 8 2 】

図 7 に示した図 6 の実施の形態 1 による入力電圧検出回路 2 1 2 4 の各部の波形においては、期間 T 2 と期間 T 3 との切り替わりタイミングまでの波形は、図 5 に示した図 4 の本発明の比較参考例による入力電圧検出回路 2 1 2 4 の各部の波形と同一であるので説明を省略する。

10

【 0 1 8 3 】

すなわち、図 7 に示すように期間 T 2 と期間 T 3 との切り替わりタイミングにおいて、高い方の優先順序に設定された第 1 入力電圧 1 の供給端子 T 1 のワイヤレス給電の電源電圧の停電が発生する。この停電直後のタイミングにおいて、入力電圧選択スイッチ 2 1 2 4 2 の P チャンネル MOS トランジスタ M p 1 と P チャンネル MOS トランジスタ M p 2 とはオン状態とオフ状態とにそれぞれ設定されている。従って、停電による第 1 入力電圧 1 の供給端子 T 1 のワイヤレス給電の電源電圧の低下が、オン状態の P チャンネル MOS トランジスタ M p 1 を介して、電圧比較・選択回路 2 1 2 4 3 の第 1 ノード N o d e 1 に伝達されるものとなる。一方、電圧比較・選択回路 2 1 2 4 3 の第 2 ノード N o d e 2 は接地電位であるので、電圧比較・選択回路 2 1 2 4 3 は第 2 ノード N o d e 2 と比較して高レベルである第 1 ノード N o d e 1 に伝達された第 1 入力電圧 1 の供給端子 T 1 のワイヤレス給電の電源電圧の低下を出力電圧 V c c として出力する。

20

【 0 1 8 4 】

従って、電圧比較・選択回路 2 1 2 4 3 の出力電圧 V c c の低下にตอบสนองして、第 2 バッファ回路 B A 2 のデジタル回路電源電圧 D V_{DD} が低下するので、パワーオンリセット回路 2 1 2 4 4 の時定数回路の容量 C p の端子電圧 V c と第 3 バッファ回路のパワーオンリセット信号 P O R とが若干低下する。その結果、パワーオンリセット補助回路 2 1 2 4 X の差動増幅器 D A 3 の反転入力端子 - のデジタル回路電源電圧 D V_{DD} が非反転入力端子 + に供給される第 3 基準電圧発生回路 R e f _ G e n 3 の基準電圧よりも低レベルとなるので、差動増幅器 D A 3 の出力信号がローレベルからハイレベルに変化する。

30

【 0 1 8 5 】

従って、パワーオンリセット補助回路 2 1 2 4 X の N チャンネル MOS トランジスタ M n 1 がオフ状態からオン状態となるので、パワーオンリセット回路 2 1 2 4 4 の時定数回路の容量 C p がオン状態の N チャンネル MOS トランジスタ M n 1 を介して接地電位に放電される。その結果、パワーオンリセット回路 2 1 2 4 4 の時定数回路の容量 C p の端子電圧 V c と第 3 バッファ回路のパワーオンリセット信号 P O R が接地電位であるローレベルに変化するので、ローレベルのパワーオンリセット信号 P O R の反転リセット入力端子 / R e s e t への供給により制御ロジック回路 2 1 2 4 5 と入力電圧選択スイッチ制御ロジック回路 2 1 2 4 6 とがリセットされる。従って、パワーオンリセット期間が再開されて、入力電圧選択スイッチ制御ロジック回路 2 1 2 4 6 の出力信号にตอบสนองしてゲート駆動回路 2 1 2 4 9 の第 1 ゲート駆動出力信号 M p 1 _ G と第 2 ゲート駆動出力信号 M p 2 _ G の両者はローレベルに設定される。その結果、入力電圧選択スイッチ 2 1 2 4 2 に含まれた P チャンネル MOS トランジスタ M p 1 と P チャンネル MOS トランジスタ M p 2 の両者は、オン状態に制御される。

40

【 0 1 8 6 】

その結果、ワイヤレス給電の停電の期間 T 3 においては、第 2 入力電圧 2 の供給端子 T 2 の U S B 給電の高レベルの電源電圧が、入力電圧選択スイッチ 2 1 2 4 2 でオン状態に制御された P チャンネル MOS トランジスタ M p 2 を介して、電圧比較・選択回路 2 1 2 4

50

3の第2ノードNode 2に伝達されるものとなる。一方、電圧比較・選択回路21243の第1ノードNode 1は接地電位であるので、電圧比較・選択回路21243は第1ノードNode 1と比較して高レベルである第2ノードNode 2に伝達された第2入力電圧2の供給端子T2のUSB給電の高レベルの電源電圧を出力電圧Vccとして出力する。

【0187】

従って、電圧比較・選択回路21243の高レベルの出力電圧Vccにตอบสนองして、第2バッファ回路BA2のデジタル回路電源電圧DVDDも上昇するので、パワーオンリセット回路21244の時定数回路の容量Cpの端子電圧Vcが上昇する。

【0188】

時定数回路の抵抗Rpと容量Cpの充電によるパワーオンリセット期間が開始される。時定数回路の容量Cpの端子電圧Vcが第3バッファ回路BA3のしきい値電圧に対応する検出しきい値電圧に到達すると、パワーオンリセット信号PORがローレベルからハイレベルに変化して制御ロジック回路21245と入力電圧選択スイッチ制御ロジック回路21246のパワーオンリセット動作が終了される。

【0189】

再開されたパワーオンリセット動作の終了により期間T4では、入力電圧検出回路21248はローレベルの電圧検出出力信号Vdet1とハイレベルの電圧検出出力信号Vdet2とを生成するものである。従って、入力電圧選択スイッチ制御ロジック回路21246とゲート駆動回路21249による制御によって、第1ゲート駆動出力信号Mp1__Gと第2ゲート駆動出力信号Mp2__Gとはハイレベルとローレベルにそれぞれ設定される。従って、入力電圧選択スイッチ21242のPチャンネルMOSトランジスタMp1とPチャンネルMOSトランジスタMp2とはオフ状態とオン状態とにそれぞれ制御されるので、ワイヤレス給電はオフ状態に制御され、USB給電はオン状態に制御されて、停電にตอบสนองして複数の電源から使用電源を再度選択する自動選択が実行されるものである。

【0190】

図8は、図2に示した実施の形態1による半導体集積回路212の入力電圧検出回路2124の制御ロジック回路21245の内部でワイヤレス給電の優先順位よりUSB給電の優先順位が高く設定された場合のUSB給電の停電での入力電圧検出回路2124の各部の波形を示す図である。

【0191】

図8に示すように、期間T1では、最初に第2入力電圧2の供給端子T2への電源電圧の供給により第2入力電圧2の供給端子T2のUSB給電の電源電圧の上昇が開始される。USB給電の電源電圧が検出しきい値電圧に到達すると、入力電圧検出回路21248の電圧検出出力信号Vdet2がローレベルからハイレベルに変化する。

【0192】

USB電源電圧の上昇にตอบสนองして、電圧比較・選択回路21243の出力電圧Vccの上昇が開始される。更に電圧比較・選択回路21243の出力電圧Vccの上昇にตอบสนองして、第2バッファ回路BA2から生成されるデジタル回路電源電圧DVDDの上昇が開始される。このデジタル回路電源電圧DVDDが第2基準電圧発生回路Ref__Gen2の基準電圧VB_Bに対応する検出しきい値電圧に到達すると、パワーオンリセット回路21244の差動増幅器DA2の出力がローレベルからハイレベルに変化して、時定数回路の抵抗Rpと容量Cpの充電によるパワーオンリセット期間が開始される。時定数回路の容量Cpの端子電圧Vcが第3バッファ回路BA3のしきい値電圧に対応する検出しきい値電圧に到達すると、パワーオンリセット信号PORがローレベルからハイレベルに変化して、制御ロジック回路21245と入力電圧選択スイッチ制御ロジック回路21246のパワーオンリセット動作が終了される。

【0193】

パワーオンリセット動作の終了によって期間T2では、入力電圧検出回路21248は入力電圧検出回路21248のローレベルの電圧検出出力信号Vdet1とハイレベルの

10

20

30

40

50

電圧検出出力信号 V_{det2} とにตอบสนองするものである。従って、入力電圧選択スイッチ制御ロジック回路 21246 とゲート駆動回路 21249 による制御によって、第1ゲート駆動出力信号 M_{p1_G} と第2ゲート駆動出力信号 M_{p2_G} とはハイレベルとローレベルにそれぞれ設定される。従って、入力電圧選択スイッチ 21242 の P チャンネル MOS トランジスタ M_{p1} と P チャンネル MOS トランジスタ M_{p2} とはオフ状態とオン状態とにそれぞれ制御されるので、ワイヤレス給電はオフ状態に制御され、USB 給電はオン状態に制御され、使用電源の自動選択が実行される。

【0194】

この状態で、期間 T2 の最後に第1入力電圧1の供給端子 T1 の電源電圧の供給によって、第1入力電圧1の供給端子 T1 のワイヤレス給電の電源電圧の上昇が開始される。その結果、ワイヤレス給電の電源電圧の上昇が検出しきい値電圧に到達すると、入力電圧検出回路 21248 の電圧検出出力信号 V_{det1} が、ローレベルからハイレベルに変化する。

10

【0195】

期間 T2 の最後のタイミングでは、入力電圧検出回路 21248 からはハイレベルの両方の電圧検出出力信号 V_{det1} 、 V_{det2} が生成されている。しかし、制御ロジック回路 21245 の内部ではワイヤレス給電の優先順位より USB 給電の優先順位が高く設定されているので、期間 T2 の最後のタイミングではゲート駆動回路 21249 からハイレベルの第1ゲート駆動出力信号 M_{p1_G} とローレベルの第2ゲート駆動出力信号 M_{p2_G} が生成されている。その結果、入力電圧選択スイッチ 21242 では、P チャンネル MOS トランジスタ M_{p2} はオン状態に維持される一方、P チャンネル MOS トランジスタ M_{p1} はオフ状態に維持されているので、第2入力電圧2の供給端子 T2 の USB 給電の電源電圧が電圧比較・選択回路 21243 からの出力電圧 V_{cc} として選択される。

20

【0196】

しかし、図8に示したように期間 T2 と期間 T3 との切り替わりタイミングにおいて、高い方の優先順序に設定された第1入力電圧1の供給端子 T1 の USB 給電の電源電圧の停電が発生する。この停電の直後のタイミングにおいて、入力電圧選択スイッチ 21242 の P チャンネル MOS トランジスタ M_{p1} と P チャンネル MOS トランジスタ M_{p2} とはオフ状態とオン状態とにそれぞれ設定されている。従って、停電による第2入力電圧2の供給端子 T2 の USB 給電の電源電圧の低下が、オン状態の P チャンネル MOS トランジスタ M_{p2} を介して、電圧比較・選択回路 21243 の第2ノード N_{ode2} に伝達されるものとなる。一方、電圧比較・選択回路 21243 の第1ノード N_{ode1} は接地電位であるので、電圧比較・選択回路 21243 は第1ノード N_{ode1} と比較して高レベルである第2ノード N_{ode2} に伝達された第2入力電圧2の供給端子 T2 の USB 給電の電源電圧の低下を出力電圧 V_{cc} として出力する。

30

【0197】

従って、電圧比較・選択回路 21243 の出力電圧 V_{cc} の低下にตอบสนองして、第2バッファ回路 B_{A2} のデジタル回路電源電圧 DV_{DD} が低下するので、パワーオンリセット回路 21244 の時定数回路の容量 C_p の端子電圧 V_c と第3バッファ回路のパワーオンリセット信号 POR とが若干低下する。その結果、パワーオンリセット補助回路 2124X の差動増幅器 D_{A4} の反転入力端子 - のデジタル回路電源電圧 DV_{DD} が非反転入力端子 + に供給される第4基準電圧発生回路 R_{ef_Gen4} の基準電圧よりも低レベルとなるので、差動増幅器 D_{A4} の出力信号がローレベルからハイレベルに変化する。

40

【0198】

従って、パワーオンリセット補助回路 2124X の N チャンネル MOS トランジスタ M_{n2} がオフ状態からオン状態となるので、パワーオンリセット回路 21244 の時定数回路の容量 C_p がオン状態の N チャンネル MOS トランジスタ M_{n2} を介して接地電位に放電される。その結果、パワーオンリセット回路 21244 の時定数回路の容量 C_p の端子電圧 V_c と第3バッファ回路のパワーオンリセット信号 POR が接地電位であるローレベルに変化するので、ローレベルのパワーオンリセット信号 POR の反転リセット入力端子 / R

50

e s e tへの供給により制御ロジック回路21245と入力電圧選択スイッチ制御ロジック回路21246とがリセットされる。従って、パワーオンリセット期間が再開されて、入力電圧選択スイッチ制御ロジック回路21246の出力信号に応答してゲート駆動回路21249の第1ゲート駆動出力信号M p 1 __ Gと第2ゲート駆動出力信号M p 2 __ Gの両者はローレベルに設定される。その結果、入力電圧選択スイッチ21242に含まれたPチャンネルM O SトランジスタM p 1とPチャンネルM O SトランジスタM p 2の両者は、オン状態に制御される。

【0199】

従って、ワイヤレス給電の停電の期間T3においては、第1入力電圧1の供給端子T1のワイヤレス給電の高レベルの電源電圧が、入力電圧選択スイッチ21242でオン状態に制御されたPチャンネルM O SトランジスタM p 1を介して、電圧比較・選択回路21243の第1ノードN o d e 1に伝達されるものとなる。一方、電圧比較・選択回路21243の第2ノードN o d e 2は接地電位であるので、電圧比較・選択回路21243は第2ノードN o d e 2と比較して高レベルである第1ノードN o d e 1に伝達された第1入力電圧1の供給端子T1のワイヤレス給電の高レベルの電源電圧を出力電圧V c cとして出力する。

10

【0200】

従って、電圧比較・選択回路21243の高レベルの出力電圧V c cに応答して、第2バッファ回路B A 2のデジタル回路電源電圧D V_{DD}も上昇するので、パワーオンリセット回路21244の時定数回路の容量C pの端子電圧V cが上昇する。

20

【0201】

時定数回路の抵抗R pと容量C pの充電によるパワーオンリセット期間が開始される。時定数回路の容量C pの端子電圧V cが第3バッファ回路B A 3のしきい値電圧に対応する検出しきい値電圧に到達すると、パワーオンリセット信号P O Rがローレベルからハイレベルに変化して制御ロジック回路21245と入力電圧選択スイッチ制御ロジック回路21246のパワーオンリセット動作が終了される。

【0202】

再開されたパワーオンリセット動作の終了により期間T4では、入力電圧検出回路21248はハイレベルの電圧検出出力信号V d e t 1とローレベルの電圧検出出力信号V d e t 2とを生成するものである。従って、入力電圧選択スイッチ制御ロジック回路21246とゲート駆動回路21249による制御によって、第1ゲート駆動出力信号M p 1 __ Gと第2ゲート駆動出力信号M p 2 __ Gとはローレベルとハイレベルにそれぞれ設定される。従って、入力電圧選択スイッチ21242のPチャンネルM O SトランジスタM p 1とPチャンネルM O SトランジスタM p 2とはオン状態とオフ状態とにそれぞれ制御されるので、U S B給電はオフ状態に制御され、ワイヤレス給電はオン状態に制御されて、停電に応答して複数の電源から使用電源を再度選択する自動選択が実行されるものである。

30

【0203】

《複数の電源からの使用電源の自動選択動作》

図9は、図2と図4とに示した実施の形態1による半導体集積回路212による複数の電源から使用電源を自動選択する動作を示す図である。

40

【0204】

図9のステップS900に示すように、第1入力電圧1の供給端子T1と第2入力電圧2の供給端子T2とに電源電圧が供給される以前の初期設定状態では、ゲート駆動回路21249の第1ゲート駆動出力信号M p 1 __ Gと第2ゲート駆動出力信号M p 2 __ Gとはともにローレベルに設定される。その結果、入力電圧選択スイッチ21242のPチャンネルM O SトランジスタM p 1とPチャンネルM O SトランジスタM p 2とは、ともにオン状態に制御される。

【0205】

次のステップS901では、第1入力電圧1の供給端子T1と第2入力電圧2の供給端子T2との少なくともいずれか一方に電源電圧が供給される。すなわち、第1入力電圧1

50

の供給端子 T 1 に送電回路 1 のワイヤレス給電の電源電圧と A C 電源接続インターフェース 2 4 の A C - D C 変換電源電圧とが供給されるか、または第 2 入力電圧 2 の供給端子 T 2 には U S B 接続インターフェース 2 3 の U S B 電源電圧が供給される。

【 0 2 0 6 】

次のステップ S 9 0 2 では、ステップ S 9 0 1 での電源供給にตอบสนองして、デジタル回路電源電圧 $D V_{DD}$ が立ち上がるので、パワーオンリセット回路 2 1 2 4 4 によるパワーオンリセット動作が実行される。

【 0 2 0 7 】

ステップ S 9 0 2 でのパワーオンリセット動作が終了すると、次のステップ S 9 0 3 において複数の電源電圧の電圧検出が実行される。すなわち、ステップ S 9 0 3 では、入力電圧検出回路 2 1 2 4 8 は第 1 入力電圧 1 の供給端子 T 1 のワイヤレス給電または A C - D C 変換の電源電圧の電圧レベルと第 2 入力電圧 2 の供給端子 T 2 の U S B 電源電圧の電圧レベルを検出する。その結果、入力電圧検出回路 2 1 2 4 8 から 2 ビットの電圧検出出力信号 $V d e t 1$ 、 $V d e t 2$ が生成され、電圧検出出力信号 $V d e t 1$ は第 1 入力電圧 1 の供給端子 T 1 へのワイヤレス給電または A C - D C 変換の電源電圧の供給有無の検出結果を示し、また電圧検出出力信号 $V d e t 2$ は第 2 入力電圧 2 の供給端子 T 2 への U S B 電源電圧の供給有無の検出結果を示すものである。

【 0 2 0 8 】

上述したステップ S 9 0 3 の複数の電源電圧の電圧検出において、第 1 入力電圧 1 の供給端子 T 1 の電源電圧の供給のみが検出されて、第 2 入力電圧 2 の供給端子 T 2 の電源電圧の供給が検出されない場合には、ステップ S 9 0 4 に移行する。

【 0 2 0 9 】

すなわち、ステップ S 9 0 4 のワイヤレス給電のみの検出にตอบสนองして、その次のステップ S 9 0 5 では、ゲート駆動回路 2 1 2 4 9 は、第 1 ゲート駆動出力信号 $M p 1_G$ と第 2 ゲート駆動出力信号 $M p 2_G$ とをそれぞれローレベルとハイレベルとに設定する。従って、入力電圧選択スイッチ 2 1 2 4 2 の P チャンネル M O S トランジスタ $M p 1$ と P チャンネル M O S トランジスタ $M p 2$ とは、それぞれオン状態とオフ状態とに制御されるので、ワイヤレス給電の初期動作が開始される。更にこのステップ S 9 0 5 では、制御ロジック回路 2 1 2 4 5 は、図 2 に示した実施の形態 1 による半導体集積回路 2 1 2 の内部のスイッチ $S W 2$ をオン状態に制御する一方、スイッチ $S W 3$ をオフ状態に制御する。従って、第 1 入力電圧 1 の供給端子 T 1 からのワイヤレス給電の供給電圧が、降圧 D C - D C コンバータ 2 1 2 1 とスイッチ $S W 2$ と P チャンネル M O S トランジスタ $M p 0$ とを介して 2 次電池 2 6 の充電に使用されるとともに受電側システム 3 への電源供給に使用される。

【 0 2 1 0 】

上述したステップ S 9 0 3 の複数の電源電圧の電圧検出において、第 2 入力電圧 2 の供給端子 T 2 の電源電圧の供給のみが検出されて、第 1 入力電圧 1 の供給端子 T 1 の電源電圧の供給が検出されない場合には、ステップ S 9 0 6 に移行する。

【 0 2 1 1 】

すなわち、ステップ S 9 0 6 の U S B 給電のみの検出にตอบสนองして、その次のステップ S 9 0 7 では、ゲート駆動回路 2 1 2 4 9 は、第 1 ゲート駆動出力信号 $M p 1_G$ と第 2 ゲート駆動出力信号 $M p 2_G$ とをそれぞれハイレベルとローレベルとに設定する。従って、入力電圧選択スイッチ 2 1 2 4 2 の P チャンネル M O S トランジスタ $M p 1$ と P チャンネル M O S トランジスタ $M p 2$ とは、それぞれオフ状態とオン状態とに制御されるので、U S B 給電の初期動作が開始される。更にこのステップ S 9 0 7 では、制御ロジック回路 2 1 2 4 5 は、図 2 に示した実施の形態 1 による半導体集積回路 2 1 2 の内部のスイッチ $S W 2$ をオフ状態に制御する一方、スイッチ $S W 3$ をオン状態に制御する。従って、第 2 入力電圧 2 の供給端子 T 2 からの U S B 給電の供給電圧が、スイッチ $S W 3$ と P チャンネル M O S トランジスタ $M p 0$ とを介して 2 次電池 2 6 の充電に使用されるとともに受電側システム 3 への電源供給に使用される。

【 0 2 1 2 】

10

20

30

40

50

上述したステップS 9 0 3の複数の電源電圧の電圧検出において、第1入力電圧1の供給端子T 1の電源電圧の供給と第2入力電圧2の供給端子T 2の電源電圧の供給との両者が検出された場合には、ステップS 9 0 8に移行する。

【0213】

すなわち、ステップS 9 0 8のワイヤレス給電とUSB給電の両者の検出にตอบสนองして、その次のステップS 9 0 9では、ゲート駆動回路2 1 2 4 9はUSB給電よりもワイヤレス給電を優先するために第1ゲート駆動出力信号Mp 1 __Gと第2ゲート駆動出力信号Mp 2 __Gをそれぞれローレベルとハイレベルとに設定する。従って、入力電圧選択スイッチ2 1 2 4 2のPチャンネルM O SトランジスタMp 1とPチャンネルM O SトランジスタMp 2とは、それぞれオン状態とオフ状態とに制御されるので、ワイヤレス給電の初期動作が開始される。更にこのステップS 9 0 9では、制御ロジック回路2 1 2 4 5は、図2に示した実施の形態1による半導体集積回路2 1 2の内部のスイッチS W 2をオン状態に制御する一方、スイッチS W 3をオフ状態に制御する。従って、第1入力電圧1の供給端子T 1からのワイヤレス給電の供給電圧が、降圧D C - D Cコンバータ2 1 2 1とスイッチS W 2とPチャンネルM O SトランジスタMp 0とを介して2次電池2 6の充電に使用されるとともに受電側システム3への電源供給に使用される。このように、ステップS 9 0 9においてUSB給電よりもワイヤレス給電を優先する理由は、図1に示した送電側アンテナコイル1 3と受電側アンテナコイル2 5とを介しての受電回路2からのワイヤレス給電の電流駆動能力の方が、一般的にはUSB接続インターフェース2 3の電流駆動能力よりも高いためのである。

【0214】

図9に示すステップS 9 0 5でのワイヤレス給電の初期動作の後に、次のステップS 9 1 0において第2入力電圧2の供給端子T 2へのUSB接続インターフェース2 3のUSB電源電圧が供給される。その結果、このステップS 9 1 0においてワイヤレス給電の検出の後にUSB給電の検出が追加されるものである。

【0215】

ステップS 9 1 0のUSB給電の追加検出の後の次のステップS 9 1 1では、ステップS 9 0 9と全く同様に、ゲート駆動回路2 1 2 4 9はUSB給電よりもワイヤレス給電を優先するために第1ゲート駆動出力信号Mp 1 __Gと第2ゲート駆動出力信号Mp 2 __Gとをそれぞれローレベルとハイレベルとに設定する。従って、ステップS 9 1 1では、入力電圧選択スイッチ2 1 2 4 2のPチャンネルM O SトランジスタMp 1とPチャンネルM O SトランジスタMp 2とはそれぞれオン状態とオフ状態とに制御されるので、ワイヤレス給電の継続動作が開始される。更に、このステップS 9 1 1では、制御ロジック回路2 1 2 4 5は、図2に示した実施の形態1による半導体集積回路2 1 2の内部のスイッチS W 2をオン状態に維持する一方、スイッチS W 3をオフ状態に維持する。従って、第1入力電圧1の供給端子T 1からのワイヤレス給電の供給電圧が、降圧D C - D Cコンバータ2 1 2 1とスイッチS W 2とPチャンネルM O SトランジスタMp 0とを介して2次電池2 6の充電に使用されるとともに受電側システム3への電源供給に使用される。このようにステップS 9 1 1においてもUSB給電よりもワイヤレス給電を優先する理由は、図1に示した送電側アンテナコイル1 3と受電側アンテナコイル2 5とを介しての受電回路2からのワイヤレス給電の電流駆動能力の方が、一般的にはUSB接続インターフェース2 3の電流駆動能力よりも高いためのである。

【0216】

図9に示すステップS 9 0 7でのUSB給電の初期動作の後に、次のステップS 9 1 2において第1入力電圧1の供給端子T 1への送電回路1のワイヤレス給電の電源電圧が供給される。その結果、このステップS 9 1 2においてUSB給電の検出の後にワイヤレス給電の検出が追加されるものである。

【0217】

ステップS 9 1 2のワイヤレス給電の追加検出の後の次のステップS 9 1 3では、ゲート駆動回路2 1 2 4 9はUSB給電よりもワイヤレス給電を優先するために第1ゲート駆

10

20

30

40

50

動出力信号 Mp1_G をハイレベルからローレベルに変更して第2ゲート駆動出力信号 Mp2_G をローレベルからハイレベルに変更する。その結果、ステップ S913 では、USB 給電からワイヤレス給電への切り替え動作が実行される。このステップ S913 では、制御ロジック回路 21245 は、図2に示した実施の形態1による半導体集積回路 212の内部のスイッチ SW2 をオフ状態からオン状態に変更する一方、スイッチ SW3 をオン状態からオフ状態に変更する。その結果、第1入力電圧1の供給端子 T1 からのワイヤレス給電の供給電圧が、降圧 DC-DC コンバータ 2121 とスイッチ SW2 と Pチャネル MOS トランジスタ Mp0 とを介して2次電池 26 の充電に使用されるとともに受電側システム 3 への電源供給に使用されるようになる。このようにステップ S913 でも USB 給電よりもワイヤレス給電を優先する理由は、図1に示した送電側アンテナコイル 13 と受電側アンテナコイル 25 とを介しての受電回路 2 からのワイヤレス給電の電流駆動能力の方が、一般的には USB 接続インターフェース 23 の電流駆動能力よりも高いためのである。

10

【0218】

図9に示すステップ S909 でのワイヤレス給電の初期動作の後に、次のステップ S914 において第2入力電圧2の供給端子 T2 への USB 接続インターフェース 23 の USB 電源電圧が供給される。その結果、このステップ S914 においてワイヤレス給電の検出の後に USB 給電の再検出が追加されるものである。

【0219】

ステップ S914 での USB 給電の再検出の後の次のステップ S915 では、ステップ S909 と全く同様に、ゲート駆動回路 21249 は USB 給電よりもワイヤレス給電を優先するために第1ゲート駆動出力信号 Mp1_G と第2ゲート駆動出力信号 Mp2_G とをそれぞれローレベルとハイレベルとに設定する。従って、ステップ S915 では、入力電圧選択スイッチ 21242 の Pチャネル MOS トランジスタ Mp1 と Pチャネル MOS トランジスタ Mp2 とはそれぞれオン状態とオフ状態とに制御されるので、ワイヤレス給電の継続動作が開始される。更に、このステップ S915 では、制御ロジック回路 21245 は、図2に示した実施の形態1による半導体集積回路 212の内部のスイッチ SW2 をオン状態に維持する一方、スイッチ SW3 をオフ状態に維持する。従って、第1入力電圧1の供給端子 T1 からのワイヤレス給電の供給電圧が、降圧 DC-DC コンバータ 2121 とスイッチ SW2 と Pチャネル MOS トランジスタ Mp0 とを介して2次電池 26 の充電に使用されるとともに受電側システム 3 への電源供給に使用される。このようにステップ S911 においても USB 給電よりもワイヤレス給電を優先する理由は、図1に示した送電側アンテナコイル 13 と受電側アンテナコイル 25 とを介しての受電回路 2 からのワイヤレス給電の電流駆動能力の方が、一般的には USB 接続インターフェース 23 の電流駆動能力よりも高いためのである。

20

30

【0220】

更に、図9に示すようにステップ S911 とステップ S913 とステップ S915 のいずれかの後のステップ S916 において、図6に示した実施の形態1による入力電圧検出回路 2124 は、ワイヤレス給電と USB 給電の一方と他方とがそれぞれ電源遮断状態と電源供給継続の状態であることを検出する。

40

【0221】

ステップ S916 の検出結果に応答して、次のステップ S917 において、図6に示した実施の形態1による入力電圧検出回路 2124 は、電源供給継続となっている他方の給電電源を使用して、外部端子 SYS (T4) を介してのシステム供給と外部端子 BAT (T3) を介しての2次電池 26 の充電と実行する。

【0222】

[実施の形態2]

《使用電圧のその他の自動選択動作》

図10は、図2と図4とに示す実施の形態2による半導体集積回路 212 による複数の電源から使用電源を自動選択する動作を示す図である。

50

【 0 2 2 3 】

図 9 に示した実施の形態 1 による複数の電源からの使用電源の自動選択動作は、図 2 と図 4 に示した実施の形態 2 による半導体集積回路 2 1 2 の内部で略完全に実行可能であるという利点を有する一方、自動選択の自由度が低いと言う問題を有するものであった。すなわち、多機能携帯電話やタブレット PC 等のバッテリー動作の携帯電子機器は、使用者の種々の趣向に対応するために、複数の電源からの使用電源の自動選択動作の自由度を向上することが必要とされたものである。

【 0 2 2 4 】

図 1 0 に示す実施の形態 2 による複数の電源からの使用電源の自動選択動作は、図 2 と図 4 に示した実施の形態 2 による半導体集積回路 2 1 2 に接続される受電側システム 3 の不揮発性メモリ等へのプログラムにより自由度の向上を可能とするものである。すなわち、受電側システム 3 のアプリケーションプロセッサやベースバンドプロセッサにはフラッシュメモリ等の不揮発性メモリが接続されるので、この不揮発性メモリを使用して複数の電源からの使用電源の自動選択動作の自由度を向上するが可能となる。

10

【 0 2 2 5 】

実施の形態 2 による図 1 0 に示したステップ S 9 0 0 乃至ステップ S 9 1 4 の各ステップの動作内容は、実施の形態 1 による図 8 で説明したステップ S 9 0 0 乃至ステップ S 9 1 4 の各ステップの動作内容と全く同一であるので、その説明を省略する。

【 0 2 2 6 】

図 1 0 に示したステップ S 9 1 0 の USB 給電の追加検出の後に、次のステップ S 1 0 0 0 においてこのステップ S 9 1 0 の USB 給電の追加検出の情報が半導体集積回路 2 1 2 から外部インターフェース 2 1 2 5 を介して受電側システム 3 のアプリケーションプロセッサやベースバンドプロセッサに通知される。

20

【 0 2 2 7 】

ステップ S 1 0 0 0 の受電側システム 3 への通知の後に、次のステップ S 1 0 0 1 では受電側システム 3 のアプリケーションプロセッサやベースバンドプロセッサ等から USB 給電とワイヤレス給電との間の切り替えの有無を示す指示情報が出力される。

【 0 2 2 8 】

ステップ S 1 0 0 1 でワイヤレス給電から USB 給電への切り替えを示す指示情報が出力された場合には、次のステップ S 1 0 0 2 ではゲート駆動回路 2 1 2 4 9 は第 1 ゲート駆動出力信号 Mp 1 __ G と第 2 ゲート駆動出力信号 Mp 2 __ G とをそれぞれハイレベルとローレベルとに設定する。従って、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル MOS トランジスタ Mp 1 と P チャネル MOS トランジスタ Mp 2 とは、それぞれオフ状態とオン状態とに制御されるので、ワイヤレス給電から USB 給電への切替動作が実行される。更にこのステップ S 1 0 0 2 では、制御ロジック回路 2 1 2 4 5 は、図 2 に示した実施の形態 2 による半導体集積回路 2 1 2 の内部のスイッチ SW 2 をオン状態からオフ状態に変更する一方、スイッチ SW 3 をオフ状態からオン状態に変更する。従って、第 2 入力電圧 2 の供給端子 T 2 からの USB 給電の供給電圧が、降圧 DC - DC コンバータ 2 1 2 1 とスイッチ SW 2 と P チャネル MOS トランジスタ Mp 0 を介して 2 次電池 2 6 の充電に使用されるとともに受電側システム 3 への電源供給に使用される。

30

40

【 0 2 2 9 】

一方、ステップ S 1 0 0 1 にてワイヤレス給電から USB 給電への非切り替えを示す非切り替え指示情報が出力された場合には、処理はステップ S 9 0 5 に戻されてゲート駆動回路 2 1 2 4 9 は第 1 ゲート駆動出力信号 Mp 1 __ G と第 2 ゲート駆動出力信号 Mp 2 __ G とをそれぞれローレベルとハイレベルとに維持する。従って、入力電圧選択スイッチ 2 1 2 4 2 の P チャネル MOS トランジスタ Mp 1 と P チャネル MOS トランジスタ Mp 2 とはそれぞれオン状態とオフ状態とに維持されるので、ワイヤレス給電の初期動作が維持される。更にこのステップ S 9 0 5 では、制御ロジック回路 2 1 2 4 5 は図 2 に示した実施の形態 2 による半導体集積回路 2 1 2 の内部のスイッチ SW 2 をオン状態に維持する一方、スイッチ SW 3 をオフ状態に維持する。従って、第 1 入力電圧 1 の供給端子 T 1 から

50

のワイヤレス給電の供給電圧が、降圧DC-DCコンバータ2121とスイッチSW2とPチャンネルMOSトランジスタMp0とを介して2次電池26の充電に使用されるとともに受電側システム3への電源供給に使用される。

【0230】

図10に示したステップS912のワイヤレス給電の追加検出の後に、次のステップS1003ではこのステップS912のワイヤレス給電の追加検出の情報が半導体集積回路212から外部インターフェース2125を介して受電側システム3のアプリケーションプロセッサやベースバンドプロセッサに通知される。

【0231】

ステップS1003の受電側システム3への通知の後に、次のステップS1004では受電側システム3のアプリケーションプロセッサやベースバンドプロセッサ等からUSB給電とワイヤレス給電との間の切り替えの有無を示す指示情報が出力される。

10

【0232】

ステップS1004でUSB給電からワイヤレス給電への切り替えを示す指示情報が出力された場合には、次のステップS1005ではゲート駆動回路21249は第1ゲート駆動出力信号Mp1_Gと第2ゲート駆動出力信号Mp2_Gをそれぞれローレベルとハイレベルとに設定する。従って、入力電圧選択スイッチ21242のPチャンネルMOSトランジスタMp1とPチャンネルMOSトランジスタMp2とは、それぞれオン状態とオフ状態とに制御されるので、USB給電からワイヤレス給電への切替動作が実行される。更にこのステップS1005では、制御ロジック回路21245は、図2に示した実施の形態2による半導体集積回路212の内部のスイッチSW2をオフ状態からオン状態に変更する一方、スイッチSW3をオン状態からオフ状態に変更する。従って、第1入力電圧1の供給端子T1からのワイヤレス給電の供給電圧が、降圧DC-DCコンバータ2121とスイッチSW2とPチャンネルMOSトランジスタMp0を介して2次電池26の充電に使用されるとともに受電側システム3への電源供給に使用される。

20

【0233】

一方、ステップS1004にてUSB給電からワイヤレス給電への非切り替えを示す非切り替え指示情報が出力された場合には、処理はステップS907に戻されてゲート駆動回路21249は第1ゲート駆動出力信号Mp1_Gと第2ゲート駆動出力信号Mp2_Gとをそれぞれハイレベルとローレベルとに維持する。従って、入力電圧選択スイッチ21242のPチャンネルMOSトランジスタMp1とPチャンネルMOSトランジスタMp2とはそれぞれオフ状態とオン状態とに維持されるので、USB給電の初期動作が維持される。更にこのステップS907では、制御ロジック回路21245は図2に示した実施の形態2による半導体集積回路212の内部のスイッチSW2をオフ状態に維持する一方、スイッチSW3をオン状態に維持する。従って、第2入力電圧2の供給端子T2からのUSB給電の供給電圧が、降圧DC-DCコンバータ2121とスイッチSW2とPチャンネルMOSトランジスタMp0とを介して2次電池26の充電に使用されるとともに受電側システム3への電源供給に使用される。

30

【0234】

図10に示したステップS914のUSB給電の追加検出の後に、次のステップS1006ではステップS914のUSB給電の追加検出の情報が半導体集積回路212から外部インターフェース2125を介して受電側システム3のアプリケーションプロセッサやベースバンドプロセッサに通知される。

40

【0235】

ステップS1006の受電側システム3への通知の後に、次のステップS1007では受電側システム3のアプリケーションプロセッサやベースバンドプロセッサ等からUSB給電とワイヤレス給電との間の切り替えの有無を示す指示情報が出力される。

【0236】

ステップS1007でワイヤレス給電からUSB給電への切り替えを示す指示情報が出力された場合には、次のステップS1008ではゲート駆動回路21249は第1ゲート

50

駆動出力信号 M p 1 _ G と第 2 ゲート駆動出力信号 M p 2 _ G とをそれぞれハイレベルとローレベルとに設定する。従って、入力電圧選択スイッチ 2 1 2 4 2 の P チャンネル M O S トランジスタ M p 1 と P チャンネル M O S トランジスタ M p 2 とは、それぞれオフ状態とオン状態に制御されるので、ワイヤレス給電から U S B 給電への切替動作が実行される。更にこのステップ S 1 0 0 8 では、制御ロジック回路 2 1 2 4 5 は、図 2 に示した実施の形態 2 による半導体集積回路 2 1 2 の内部のスイッチ S W 2 をオン状態からオフ状態に変更する一方、スイッチ S W 3 をオフ状態からオン状態に変更する。従って、第 2 入力電圧 2 の供給端子 T 2 からの U S B 給電の供給電圧が、降圧 D C - D C コンバータ 2 1 2 1 とスイッチ S W 2 と P チャンネル M O S トランジスタ M p 0 を介して 2 次電池 2 6 の充電に使用されるとともに受電側システム 3 への電源供給に使用される。

10

【 0 2 3 7 】

一方、ステップ S 1 0 0 7 にてワイヤレス給電から U S B 給電への非切り替えを示す非切り替え指示情報が出力された場合には、処理はステップ S 9 0 9 に戻されてゲート駆動回路 2 1 2 4 9 は第 1 ゲート駆動出力信号 M p 1 _ G と第 2 ゲート駆動出力信号 M p 2 _ G とをそれぞれローレベルとハイレベルとに維持する。従って、入力電圧選択スイッチ 2 1 2 4 2 の P チャンネル M O S トランジスタ M p 1 と P チャンネル M O S トランジスタ M p 2 とはそれぞれオン状態とオフ状態とに維持されるので、ワイヤレス給電の初期動作が維持される。更にこのステップ S 9 0 9 では、制御ロジック回路 2 1 2 4 5 は図 2 に示した実施の形態 2 による半導体集積回路 2 1 2 の内部のスイッチ S W 2 をオン状態に維持する一方、スイッチ S W 3 をオフ状態に維持する。従って、第 1 入力電圧 1 の供給端子 T 1 から

20

【 0 2 3 8 】

更に、図 1 0 に示すようにステップ S 1 0 0 2 とステップ S 1 0 0 5 とステップ S 1 0 0 8 のいずれかの後のステップ S 1 0 0 9 では、図 6 に示した実施の形態 2 による入力電圧検出回路 2 1 2 4 は、ワイヤレス給電と U S B 給電の一方と他方とがそれぞれ電源遮断状態と電源供給継続の状態であることを検出する。

【 0 2 3 9 】

ステップ S 1 0 0 9 の検出結果に応答して、次のステップ S 1 0 1 0 において、図 6 に示した実施の形態 1 による入力電圧検出回路 2 1 2 4 は、電源供給継続となっている他方の給電電源を使用して、外部端子 S Y S (T 4) を介してのシステム供給と外部端子 B A T (T 3) を介しての 2 次電池 2 6 の充電と実行する。

30

【 0 2 4 0 】

以上、本発明者によってなされた発明を種々の実施の形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 2 4 1 】

例えば、本半導体集積回路が搭載される電子機器は、多機能携帯電話やタブレット P C 等のような携帯型パーソナルコンピュータに限定されるものではなく、デジタルビデオカメラやデジタルスチルカメラや携帯音楽プレイヤーや携帯 D V D プレイヤー等に適用することが可能である。

40

【 0 2 4 2 】

更に、本半導体集積回路が搭載される電子機器は、 R F I D カードを内蔵することで自動改札システム、電子マネー等の機能を有する携帯電話に適用することが可能である。

【 符号の説明 】

【 0 2 4 3 】

- 1 ... 送電回路
- 2 ... 受電回路
- 3 ... 受電側システム

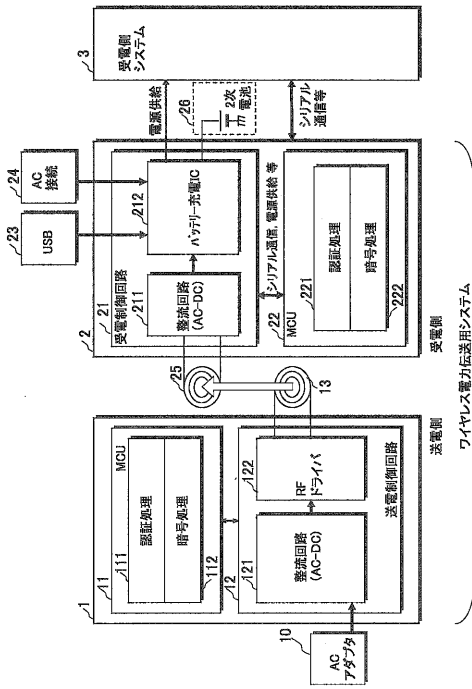
50

| | |
|---------------------------------------|----|
| 1 0 ... A C アダプタ | |
| 1 1 ... マイクロコントローラユニット(M C U) | |
| 1 1 1 ... 認証処理機能 | |
| 1 1 2 ... 暗号処理機能 | |
| 1 2 ... 送電制御回路 | |
| 1 2 1 ... 整流回路 | |
| 1 2 2 ... R F ドライバ 1 2 2 | |
| 1 3 ... 送電側アンテナコイル | |
| 2 1 ... 受電制御回路 | |
| 2 1 1 ... 整流回路 | 10 |
| 2 2 ... マイクロコントローラユニット(M C U) | |
| 2 2 1 ... 認証処理機能 | |
| 2 2 2 ... 暗号処理機能 | |
| 2 3 ... U S B 接続インターフェース | |
| 2 4 ... A C 電源接続インターフェース 2 4 | |
| 2 5 ... 受電側アンテナコイル | |
| 2 6 ... 2 次電池 | |
| 2 1 2 ... 半導体集積回路 | |
| T 1 ~ T 1 0 ... 端子 | |
| D 1、D 2 ... ショットキーダイオード | 20 |
| 2 1 2 1 ... 降圧 D C - D C コンバータ | |
| 2 1 2 2 ... リニア・レギュレータ | |
| 2 1 2 3 ... U S B 種別検出回路 | |
| 2 1 2 4 ... 入力電圧検出回路 | |
| 2 1 2 5 ... 外部インターフェース | |
| 2 1 2 6 ... 内蔵レギュレータ | |
| 2 1 2 7 ... ゲート駆動制御回路 | |
| M p 0 ... P チャネル M O S トランジスタ | |
| S W 1、S W 2、S W 3、S W 4 ... スイッチ | |
| L 1 ... インダクター | 30 |
| C 1 ... 容量 | |
| 2 1 2 4 1 ... リニア・レギュレータ | |
| 2 1 2 4 2 ... 入力電圧選択スイッチ | |
| 2 1 2 4 3 ... 電圧比較・選択回路 | |
| 2 1 2 4 X ... パワーオンリセット補助回路 2 1 2 4 X | |
| R e f _ G e n 1 ... 第 1 基準電圧発生回路 | |
| R e f _ G e n 2 ... 第 2 基準電圧発生回路 | |
| R e f _ G e n 3 ... 第 3 基準電圧発生回路 | |
| R e f _ G e n 4 ... 第 4 基準電圧発生回路 | |
| D A 1 ... 差動増幅器 | 40 |
| D A 2 ... 差動増幅器 | |
| D A 3 ... 差動増幅器 | |
| D A 4 ... 差動増幅器 | |
| B A 1 ... 第 1 バッファ回路 | |
| B A 2 ... 第 2 バッファ回路 | |
| 2 1 2 4 4 ... パワーオンリセット回路 | |
| 2 1 2 4 5 ... 制御ロジック回路 | |
| 2 1 2 4 6 ... 入力電圧選択スイッチ制御ロジック回路 | |
| 2 1 2 4 7 ... クロック発生回路 | |
| 2 1 2 4 8 ... 入力電圧検出回路 | 50 |

2 1 2 4 9 ... ゲート駆動回路
 2 1 2 8 ... アナログ回路
 M n 1、M n 2 ... NチャンネルMOSトランジスタ

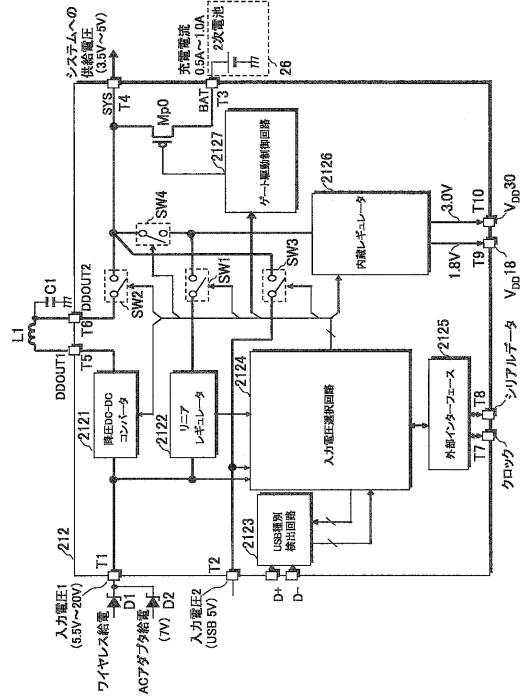
【図1】

図1



【図2】

図2



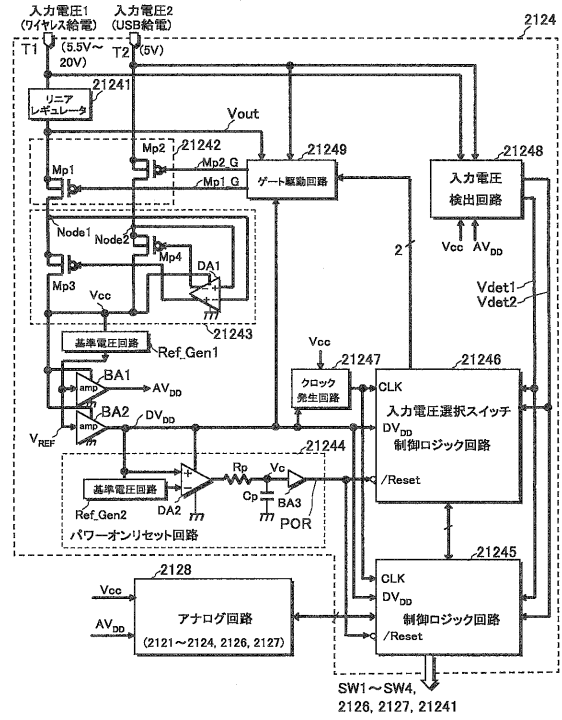
【図3】

図3

| 端子名称 | 端子機能 | 端子名称 | 端子機能 |
|--------------------|--------------------------------------|--------|------------------------------|
| 入力電圧1 (ワイヤレス給電) | ワイヤレス電力伝送またはAC電源インターフェースによる電力供給源入力端子 | DDOUT1 | DDDCコンバータ出力 (スイッチング出力) |
| 入力電圧2 (USB給電) | USB電源による電力供給源入力端子 | DDOUT2 | DDDCコンバータ出力 (ローパスフィルタ透過後) |
| D+ | USB差動端子+の非反転入力信号の供給 | SYS | 受電側システム3への電源出力 |
| D- | USB差動端子-の反転入力信号の供給 | BAT | 2次電池からの供給端子 |
| クロック | 外部インターフェースのクロック端子 | VDD18 | 1.8V電源出力 (MCUに供給) |
| シリアルデータ | 外部インターフェースのシリアル入出力端子 | VDD30 | 3.0V電源出力 (MCUに供給) |

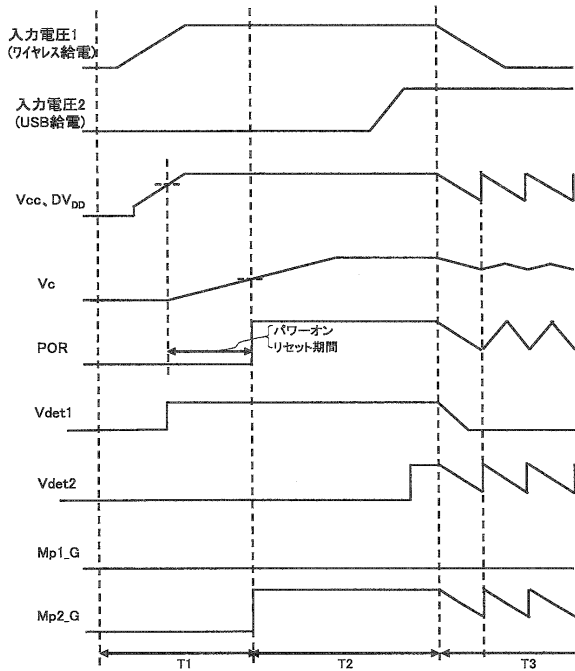
【図4】

図4



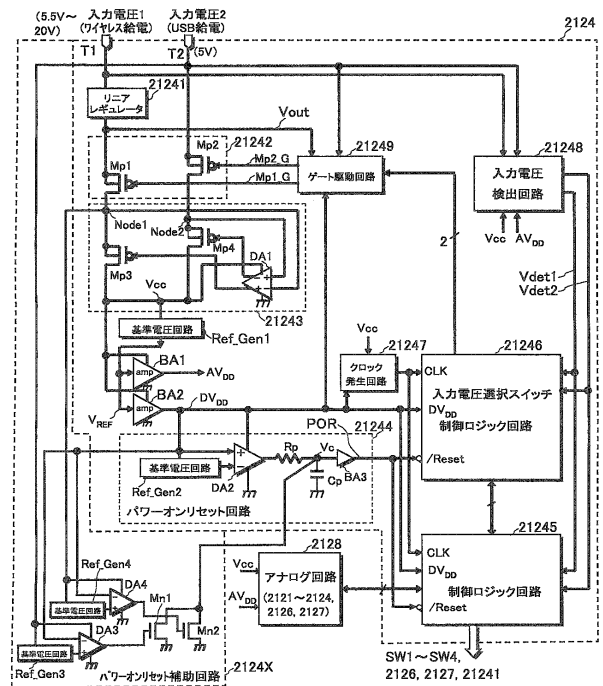
【図5】

図5

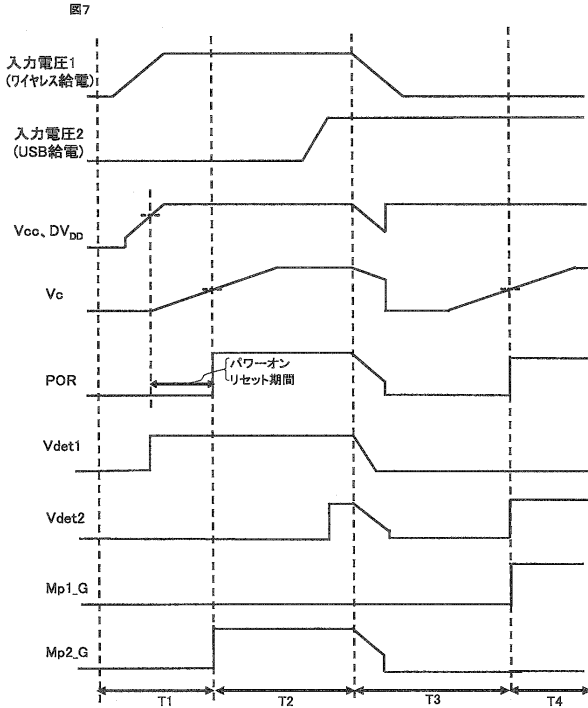


【図6】

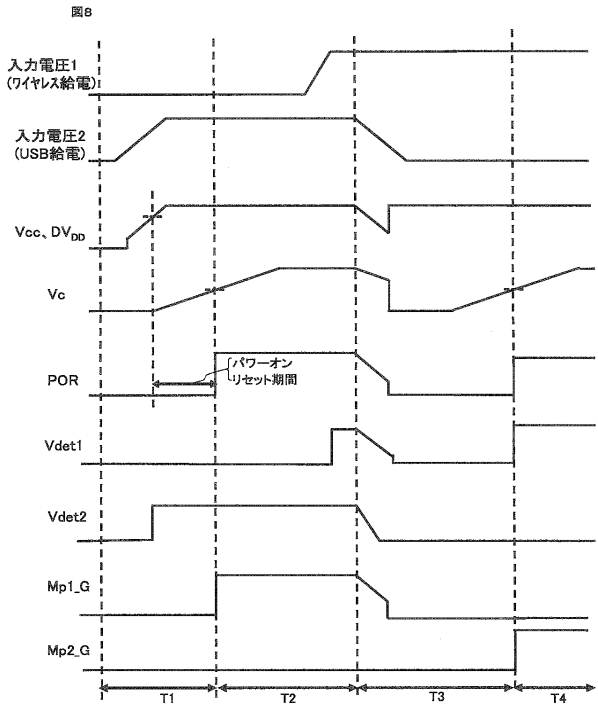
図6



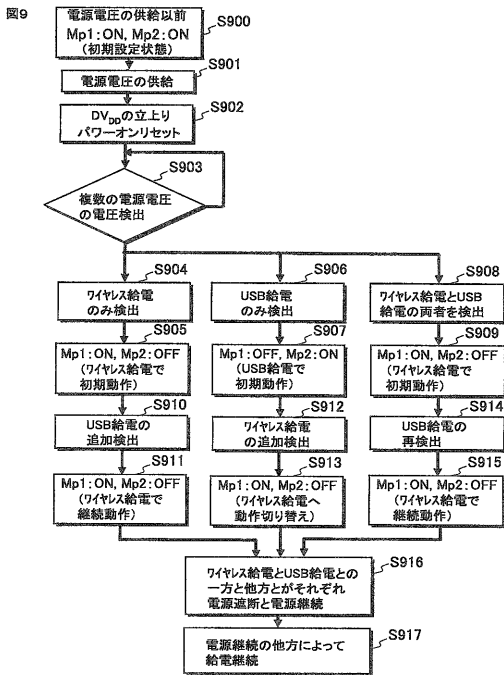
【図7】



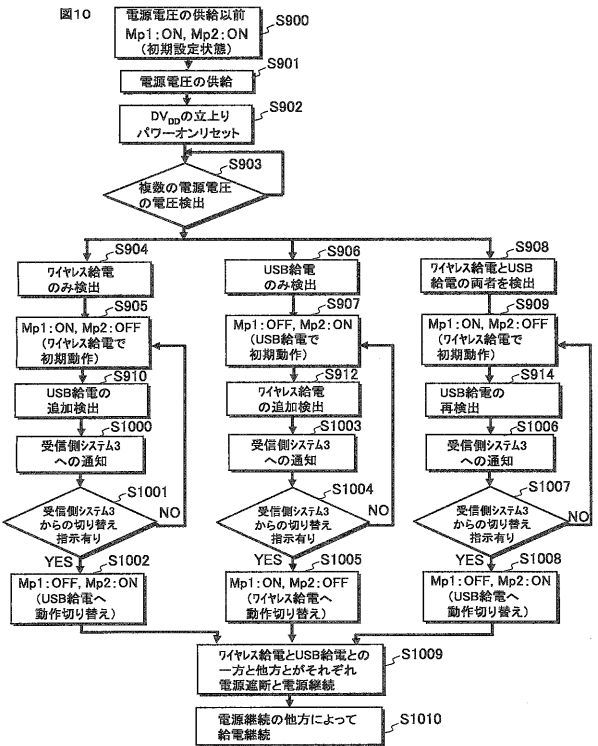
【図8】



【図9】



【図10】



フロントページの続き

(56)参考文献 米国特許出願公開第2009/0189450 (US, A1)

特開平06-098480 (JP, A)

特開2010-207008 (JP, A)

特開2013-246679 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70