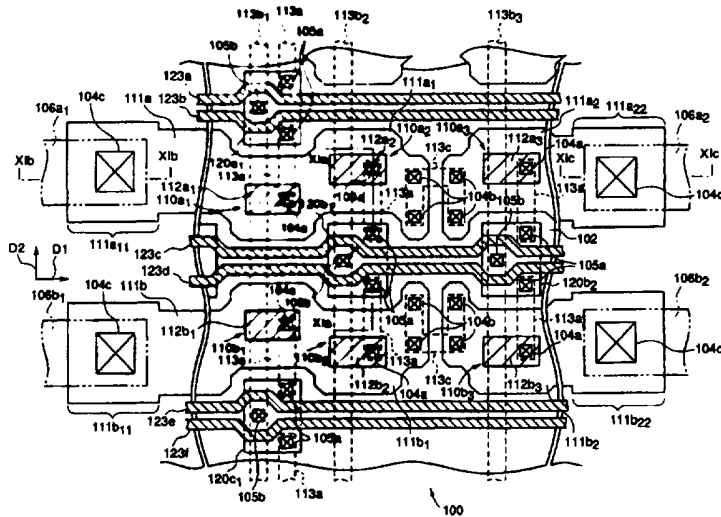




<p>(51) 国際特許分類6 H01L 21/3205, 27/3213, 21/8247, 29/788, 29/792, 27/108, 21/8242, 27/10</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/40528</p> <p>(43) 国際公開日 1997年10月30日(30.10.97)</p>
<p>(21) 国際出願番号 PCT/JP97/01346</p> <p>(22) 国際出願日 1997年4月18日(18.04.97)</p> <p>(30) 優先権データ 特願平8/98266 1996年4月19日(19.04.96) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電子工業株式会社 (MATSUSHITA ELECTRONICS CORPORATION)[JP/JP] 〒569-11 大阪府高槻市幸町1番1号 Osaka, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 平野博茂(HIRANO, Hiroshige)[JP/JP] 〒631 奈良県奈良市富雄北2-7-21 Nara, (JP) 本多利行(HONDA, Toshiyuki)[JP/JP] 〒630 奈良県奈良市三条桜町33-7-B-202 Nara, (JP)</p> <p>(74) 代理人 弁理士 早瀬憲一(HAYASE, Kenichi) 〒564 大阪府吹田市江の木町17番1号 江坂全日空ビル8階 Osaka, (JP)</p>	<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>	

(54)Title: SEMICONDUCTOR DEVICE

(54)発明の名称 半導体装置



(57) Abstract

In a ferroelectric storage device, the influences of lower electrodes (111a and 111b) constituting ferroelectric capacitors (110a1-110a3 and 110b1-110b3) and the thermal stresses of the electrodes (111a and 111b) on a ferroelectric layer (113) formed on the electrodes (111a and 111b) can be relieved and, as a result, the disconnection of wires (106a1, 106a2, etc.) connected to the electrodes (111a and 111b) due to the thermal stresses of the electrodes (111a and 111b) or the characteristic fluctuation or variation of the ferroelectric capacitors (110a1-110a3 and 110b1-110b3) due to the thermal stresses of the electrodes (111a and 111b) applied to the ferroelectric layer (113) are suppressed. The electrodes (111a and 111b) are bent at a plurality of points so that the electrodes can have zigzag planar shapes and divided into pluralities of wiring sections (111a1 and 111a2 and 111b1 and 111b2).

(57) 要約

課題 強誘電体メモリ装置において、強誘電体キャパシタ 110 a 1 ~ 110 a 3, 110 b 1 ~ 110 b 3 を構成する下部電極 111 a, 111 b、及び該下部電極の熱応力の、その上に形成される強誘電体層 113 への影響を緩和することができ、これにより上記下部電極に接続される他の配線 106 a 1, 106 a 2 等が、該下部電極の熱応力により断線したり、上記強誘電体層に加わる下部電極の熱応力により強誘電体キャパシタの特性ばらつきや特性変動が生じたりするのを抑制する。

解決手段 上記下部電極 111 a 及び 111 b を、その平面形状がジグザグ形状となるよう複数箇所では折れ曲がり、かつ複数の配線部分 111 a 1, 111 a 2 及び 111 b 1, 111 b 2 に分割された構造とした。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストラリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・エルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴス ラヴィア共和国	TJ	タジキスタン
BG	ブルガリア	GR	ギリシャ	ML	マリ	TM	トルクメニスタン
BJ	ベナン	HU	ハンガリー	MN	モンゴル	TR	トルコ
BR	ブラジル	ID	インドネシア	MR	モーリタニア	TT	トリニダード・トバゴ
BY	ベラルーシ	IE	アイルランド	MW	マラウイ	UA	ウクライナ
CA	カナダ	IL	イスラエル	MX	メキシコ	UG	ウガンダ
CF	中央アフリカ共和国	IS	アイスランド	NE	ニジェール	US	米国
CG	コンゴ	IT	イタリア	NL	オランダ	UZ	ウズベキスタン
CH	スイス	JP	日本	NO	ノルウェー	VN	ヴェトナム
CI	コート・ジボアール	KE	ケニア	NZ	ニュージーランド	YU	ユーゴスラビア
CM	カメルーン	KG	キルギスタン	PL	ポーランド	ZW	ジンバブエ
CN	中国	KP	朝鮮民主主義人民共和国	PT	ポルトガル		
CU	キューバ	KR	大韓民国	RO	ルーマニア		
CZ	チェッコ共和国	KZ	カザフスタン	RU	ロシア連邦		
DE	ドイツ	LC	セントルシア	SD	スーダン		
DK	デンマーク	LI	リヒテンシュタイン	SE	スウェーデン		
EE	エストニア	LK	スリランカ				

明 細 書

半 導 体 装 置

5 技術分野

本発明は半導体装置に関し、特にその構成部材の内部にて生ずる熱応力による性能劣化や信頼性低下を抑制するための構成に関するものである。

10 背景技術

従来から半導体装置として多層配線構造を有するものがあり、このような半導体装置では、下層配線と上層配線とは、層間絶縁膜に形成したコンタクトホールを介して電氣的に接続されている。

図13は、このような半導体装置における配線構造を説明するための図であり、図13(a)は平面図、図13(b)はそのXIII b-XIII b線断面図である。図において、250はシリコン基板5上に形成された配線構造である。この配線構造250は、第1の方向D1に沿って延びる、該第1の方向D1と垂直な第2の方向D2を配線幅方向とする下層配線（第1の配線）1と、該第1の方向D1に沿って延びる、該下層配線1
20 に電氣的に接続された上層配線（第2の配線）2a、2bとを有している。

つまり、該シリコン基板5上には下地絶縁膜6を介して下層配線1が形成されており、該下層配線1は層間絶縁膜7により被覆されている。また該層間絶縁膜7上には上層配線（第2の配線）2a、2bが形成さ
25 れており、該上層配線2aの端部2a1は、該層間絶縁膜7に形成したコンタクトホール7aを介して上記下層配線1の一端部1aに接続され、該上層配線2bの端部2b1は、該層間絶縁膜7に形成したコンタクト

ホール7bを介して上記下層配線1の他端部1bに接続されている。

ここで、上層配線2a, 2bの構成材料としては、比較的安価なアルミ等の低融点金属材料が用いられ、また、上記下層配線1の構成材料としては、該下層配線の形成後には通常種々の高温処理が行われることから、白金やタングステン等の高融点金属材料が用いられている。

ところで、上記のような多層配線構造を有する従来の半導体装置としては、例えば増幅回路、発振回路、電源回路等を搭載した比較的規模の小さい集積回路から、マイクロプロセッサやメモリ装置としての大規模な集積回路まで種々のものが開発されている。特に近年、不揮発性メモリ装置の一種として、メモリセルを構成するキャパシタとして強誘電体キャパシタを備えた強誘電体メモリ装置が考案されている。

上記強誘電体キャパシタは、対向する一对の電極と、該両電極間に挟まれた強誘電体材料からなる誘電体層とから構成されており、上記両電極間の印加電圧と強誘電体材料の分極率との対応関係についてヒステリシス特性を有している。つまり、強誘電体キャパシタは、電界（印加電圧）が零のときでも、電圧印加の履歴に応じた極性の残留分極が強誘電体層内に残る構成となっており、上記強誘電体メモリ装置では、記憶データを強誘電体キャパシタの残留分極で表わすことにより、記憶データの不揮発性を実現している。

図14及び図15は、従来の強誘電体メモリ装置を説明するための図であり、図14は該強誘電体メモリ装置におけるメモリセルアレイを示す平面図、図15(a)は該図14におけるXV a - XV a線部分の断面図、図15(b)は図14におけるXV b - XV b線部分の断面図、図15(c)は図14におけるXV c - XV c線部分の断面図である。

図において、200は強誘電体メモリ装置を構成するメモリセルアレイであり、シリコン基板201上には、第1の方向D1に沿ってトランジスタ領域220aが複数配列されており、該シリコン基板201の、

トランジスタ領域 2 2 0 a 以外の部分は、素子分離絶縁膜 2 0 2 が形成されている。

また、第 1 の方向 D 1 に沿った 1 列のトランジスタ領域 2 2 0 a の両側には、素子分離絶縁膜 2 0 2 上に第 1 の層間絶縁膜 2 0 3 を介して下部電極（第 1 の電極）2 1 1 がセルプレート電極として形成されている。
5 該下部電極 2 1 1 は、白金、イリジウム、タングステン、チタン等の高融点金属材料から構成されており、上記第 1 の方向 D 1 に沿って延びる帯状平面形状を有している。この下部電極 2 1 1 の表面には、強誘電体層 2 1 3 が形成されている。

10 また、上記下部電極 2 1 1 表面の強誘電体層 2 1 3 上には、上記各トランジスタ領域 2 2 0 a に対応して、白金、イリジウム、タングステン、チタン等の高融点金属材料からなる上部電極（第 2 の電極）2 1 2 が形成されている。つまり上記強誘電体層 2 1 3 上には、上記第 1 の方向 D 1 に沿って上部電極 2 1 2 が複数配置されている。各上部電極 2 1 2 の
15 平面形状は、上記第 1 の方向 D 1 を長手方向とする長方形形状となっており、また図 1 4 から分かるように該各上部電極 2 1 2 の面積は下部電極 2 1 1 の面積より小さくなっている。ここで、上記下部電極 2 1 1、上部電極 2 1 2 及びこれらの上に位置する強誘電体層 2 1 3 により強誘電体キャパシタ 2 1 0 が構成されており、上記強誘電体層 2 1 3 の表面
20 及び上部電極 2 1 1 の表面は第 2 の層間絶縁膜 2 0 4 により被覆されている。

なおここでは、この強誘電体キャパシタ 2 1 0 の特性のばらつき、つまり強誘電体層の分極率のばらつきを少なくし、かつ特性変動、つまり分極率の経時変化を小さくするために、下部電極 2 1 1 内に生ずる熱応
25 力などを考慮し、上記隣接する上部電極 2 1 2 間の距離や、下部電極 2 1 1 上で上部電極 2 1 2 の占める面積が設定されている。

また、上記トランジスタ領域 2 2 0 a を挟んで対向する一对の下部電

極 2 1 1 の間には、ポリシリコンからなる一対のワード線（第 2 の配線）
2 2 3 a, 2 2 3 b が、1 列に並ぶ複数のトランジスタ領域 2 2 0 a に
跨がるよう配置されている。該各トランジスタ領域 2 2 0 a における該
ワード線 2 2 3 a, 2 2 3 b の両側には、メモリセルを構成するメモリ
5 トランジスタ 2 2 0 のソース拡散領域 2 2 2, ドレイン拡散領域 2 2 1
が形成されている。上記ワード線 2 2 3 a, 2 2 3 b の各トランジスタ
領域 2 2 0 a 上に位置する部分は、上記メモリトランジスタ 2 2 0 のゲ
ート電極を構成しており、基板表面上にゲート絶縁膜 2 0 2 a を介して
位置している。上記拡散領域 2 2 1, 2 2 2 及びワード線 2 2 3 a, 2
10 2 3 b の表面は、上記第 1 及び第 2 の層間絶縁膜 2 0 3, 2 0 4 により
被覆されている。なお、図 1 4 ではこれらの層間絶縁膜は省略している。

そして、上記各トランジスタ領域 2 2 0 a における一対のワード線 2
2 3 a 及び 2 2 3 b 間に位置するソース拡散領域 2 2 2 は、上記第 1,
第 2 の層間絶縁膜 2 0 3, 2 0 4 に形成したコンタクトホール 2 0 5 b
15 を介して、上記第 1 の方向 D 1 と直交する第 2 の方向 D 2 に沿って延び
るビット線 2 3 3 b に接続されている。また、上記各トランジスタ領域
2 2 0 a における対向するワード線 2 2 3 a, 2 2 3 b の外側に位置す
るドレイン拡散領域 2 2 1 は、接続配線 2 3 3 a により上記上部電極 2
1 2 に電氣的に接続されている。つまり上記接続配線 2 3 3 a の一端部
20 は、上記第 2 の層間絶縁膜 2 0 4 に形成したコンタクトホール 2 0 4 a
を介して上記上部電極 2 1 2 に接続され、上記接続配線 2 3 3 a の他端
部は、上記第 1, 第 2 の層間絶縁膜 2 0 3, 2 0 4 に形成したコンク
タクトホール 2 0 5 a を介してドレイン拡散領域 2 2 1 に接続されている。

また、上記下部電極 2 1 1 の両端部 2 1 1 a 及び 2 1 1 b は、上記各
25 層間絶縁膜 2 0 3, 2 0 4 に形成したコンタクトホール 2 0 8 a, 2 0
8 b を介して、上層配線 2 0 6 a, 2 0 6 b に接続されている。なお、
上記下部電極 2 1 1 の表面に形成されている強誘電体層 2 1 3 は、該下

部電極 2 1 1 の、上記上層配線 2 0 6 a , 2 0 6 b と接続される部分では除去されている。

ここで、上記下部電極 2 1 1 及び強誘電体層 2 1 3 は、上記層間絶縁膜 2 0 3 上にチタンや白金等の金属材料、及び強誘電体材料を順次成膜し、これらをパターニングしてなるもの、上記上部電極 2 1 2 は、上記強誘電体層 2 1 3 上にチタンや白金等の金属材料を成膜し、これをパターニングしてなるものである。また、上記ビット線 2 3 3 b , 接続配線 2 3 3 a , 並びに上層配線 2 0 6 a 及び 2 0 6 b は、上記層間絶縁膜 2 0 4 上に形成したアルミ等の金属膜をパターニングして形成したものである。また上記ワード線 2 2 3 a , 2 2 3 b は、ゲート絶縁膜 2 0 2 a 及び素子分離絶縁膜 2 0 2 上に形成したポリシリコン膜をパターニングしてなるものである。

上記第 1 の層間絶縁膜 2 0 3 は NSG (酸化珪素系) や BPSG (ボロン燐ドープ酸化シリコン) 等の絶縁材料からなり、第 2 の層間絶縁膜 2 0 4 は、例えば PSG (燐ドープ酸化シリコン) からなる。

また、上記強誘電体キャパシタの強誘電体層 2 1 3 を構成する強誘電体材料としては、 KNO_3 、 $PbLa_2O_3 - ZrO_2 - TiO_2$ 、および $PbTiO_3 - PbZrO_3$ などが知られている。また、PCT 国際公開第 WO 93 / 1 2 5 4 2 号公報には、強誘電体メモリ装置に適した、 $PbTiO_3 - PbZrO_3$ に比べて極端に疲労の小さい強誘電体材料も開示されている。

また、このような強誘電体メモリ装置においても、メモリセルアレイ以外の周辺回路部分には図 1 3 (a) , (b) に示す配線構造 2 5 0 が採用されている。但し、該配線構造 2 5 0 の下層配線 1 を、上記のようなメモリセルアレイ 2 0 0 の下部電極 2 1 1 と同一の構成材料、例えば白金等により構成する場合は、加工プロセスの簡略化という観点からすると、図 1 3 (c) に示すように、下層配線 1 表面の、上層配線 2 a , 2 b との

接続部分以外の領域には、強誘電体キャパシタの誘電体層となる強誘電体材料層 3 を残したままにしておくのが有利である。

次に動作について簡単に説明する。

このような構成の強誘電体メモリ装置では、例えばワード線 2 2 3 a
5 を選択し、続いて下部電極 2 1 1 の 1 つ（例えば図 1 4 に示す一番上の下部電極）を駆動して、その電圧レベルを論理電圧“H”に対応するレベルとすると、この下部電極上に形成された強誘電体キャパシタ 2 1 0 の記憶データが接続配線 2 3 3 a 及びトランジスタ 2 2 0 を介して各ビット線 2 3 3 b に読み出される。そして各ビット線 2 3 3 b に読み出された記憶データは、センスアンプ（図示せず）により増幅されて、強誘電体メモリ装置の外部に出力される。その後、上記下部電極 2 1 1 の電圧レベルを論理電圧“L”に対応するレベルとし、上記ワード線 2 2 3 a を非選択状態として読みだしを終了する。

ところが、図 1 3 に示す従来の半導体装置のように、多層配線構造に
15 おける下層配線 1 が白金等の熱膨張係数の大きい導電性材料により構成されているものでは、高温処理プロセスにて形成した下層配線 1 は常温では収縮するため、これに接続された上層配線 2 a, 2 b には大きな引っ張り力が加わることとなる。特に、上記下層配線 1 の平面形状が細長い形状である場合、上記上層配線 2 a, 2 b との接続部分にかかる下層配線 1 の熱応力は、非常に大きなものとなり、該下層配線 1 と上層配線 2 a, 2 b との接続部分に断線が生じたり、上層配線 2 a, 2 b が断線したりするおそれがある。このように上記下層配線 1 に生ずる熱応力は、半導体装置における高い信頼性を得る上での障害となるという問題がある。

25 また、図 1 4 及び図 1 5 に示す従来の強誘電体キャパシタを用いた強誘電体メモリ装置においても、セルプレート電極である下部電極 2 1 1 は帯状平面形状となっているので、上記上層配線 2 0 6 a, 2 0 6 b と

の接続部分にかかる下部電極 2 1 1 の熱応力は、非常に大きなものとなり、該下部電極 2 1 1 と上層配線 2 0 6 a, 2 0 6 b との接続部分に断線が生じたり、上層配線 2 0 6 a, 2 0 6 b が断線したりするおそれがある。さらに、強誘電体メモリ装置では、上記のような断線による信頼性の低下といった問題に加えて、上記下部電極 2 1 1 の熱応力がその上の強誘電体層 2 1 3 にも影響することとなり、これに起因して強誘電体キャパシタの特性のばらつきや特性の劣化が生じることがあり、強誘電体メモリ装置の性能や信頼性の低下を招くといった問題もある。

本発明はこのような従来の問題点を解決するためになされたもので、配線や電極内で発生する応力の影響を緩和することができ、これにより配線や電極における断線や該電極上に配置した強誘電体キャパシタの特性のばらつきや特性劣化を抑制することができる半導体装置を得ることを目的とする。

15 発明の開示

上記目的を達成するため、請求項 1 にかかる半導体装置は、第 1 の方向に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に応力が生じている第 1 の配線と、該第 1 の配線に電氣的に接続され、該第 1 の配線の応力の影響を受ける第 2 の配線とを備え、上記第 2 の配線の、上記第 1 の配線と接続される端部を、上記第 1 の方向に対して所定の角度をなす方向と平行になるよう折り曲げたものである。

また、請求項 2 にかかる半導体装置は、請求項 1 の半導体装置において、上記第 2 の配線の、上記第 1 の配線と接続される端部を上記第 1 の方向に対して垂直な第 2 の方向と平行になるよう折り曲げたものである。

また、請求項 3 にかかる半導体装置は、第 1 の方向に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に応力が生じている第 1 の配線と、該第 1 の配線の端部に電氣的に接続され、該第 1

の配線の応力の影響を受ける第2の配線とを備え、上記第2の配線の、
上記第1の配線と接続される端部を、上記第1の配線に沿ってかつ該第
1の配線の内側に向かって延びるよう配置したものである。

また、請求項4にかかる半導体装置は、内部に応力が生じている第1
5の配線と、該第1の配線に電氣的に接続され、該第1の配線の応力の影
響を受ける第2の配線とを備え、上記第1の配線を、その一部に形成さ
れた折曲り部を有する構造としたものである。

また、請求項5にかかる半導体装置は、請求項4記載の半導体装置に
おいて、上記第1の配線の、上記第2の配線と接続された端部を除く本
10体を、ジグザグの平面形状をなすよう、複数箇所で折れ曲がった構造と
したものである。

また、請求項6にかかる半導体装置は、請求項5記載の半導体装置に
おいて、上記第1の配線の本体を、上記第1の方向と直交する方向以外
の方向と平行な斜め配線部分のみから、あるいは該斜め配線部分及び上
15記第1の方向と平行な配線部分のみから構成したものである。

また、請求項7にかかる半導体装置は、第1の方向に沿って延び、該
第1の方向と垂直な第2の方向を配線幅方向とする、内部に応力が生じ
ている第1の配線と、該第1の配線に電氣的に接続され、該第1の配線
の応力の影響を受ける第2の配線とを備え、上記第1の配線を、その全
20体が複数の配線部分に分割された構造とし、上記第1の配線における
個々の配線部分を、該第1の配線の一端側から他端側に至る所定の電流
経路を形成するよう電氣的に接続したものである。

また、請求項8にかかる半導体装置は、第1の方向に沿って延び、該
第1の方向と垂直な第2の方向を配線幅方向とする、内部に応力が生じ
25ている第1の配線と、該第1の配線に電氣的に接続され、該第1の配線
の応力の影響を受ける第2の配線とを備え、上記第1の配線を、上記第
2の配線と接続された端部を除く本体の一部を切り欠いて形成した、他

の部分に比べて配線幅の狭い狭配線幅部分を有する構造としたものである。

また、請求項 9 にかかる半導体装置は、請求項 8 記載の半導体装置において、上記狭配線幅部分を、上記第 1 の配線の本体をその配線経路に
5 おける所定位置にてその両側から切り欠いて形成したものである。

また、請求項 10 にかかる半導体装置は、請求項 9 記載の半導体装置において、上記狭配線幅部分の側辺を、上記第 1 の方向と垂直な方向以外
10 の方向と平行にしたものである。

また、請求項 11 にかかる半導体装置は、請求項 8 記載の半導体装置
10 において、上記第 1 の配線の本体を、該本体をその一方の側辺側から切り
欠いて形成した第 1 の狭配線幅部分と、該本体をその他方の側辺側か
ら切り欠いて形成した第 2 の狭配線幅部分とをそれぞれ少なくとも 1 つ
有する構造としたものである。

また、請求項 12 にかかる半導体装置は、請求項 11 記載の半導体装
15 置において、上記第 1, 第 2 の狭配線幅部分の配線幅を、上記第 1 の配
線の本体における該狭配線幅部分以外の部分の配線幅の $1/2$ より小さ
くし、該第 1 の配線の中心線に沿った電流経路が該第 1, 第 2 の狭配線
幅部分の切り欠きにより分断されるようにしたものである。

また、請求項 13 にかかる半導体装置は、請求項 11 記載の半導体装
20 置において、上記第 1, 第 2 の狭配線幅部分における、切り欠きが位置
する側の側辺を、上記第 1 の方向と垂直な方向以外
の方向と平行にしたものである。

また、請求項 14 にかかる半導体装置は、第 1 の方向に沿って延び、
該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に応力が生
25 じている第 1 の配線と、該第 1 の配線に電氣的に接続され、該第 1 の配
線の応力の影響を受ける第 2 の配線とを備え、上記第 1 の配線を、上記
第 2 の配線と接続された端部を除く本体に形成された貫通開口を有する

構造としたものである。

また、請求項 15 にかかる半導体装置は、請求項 14 記載の半導体装置において、上記貫通開口の平面形状を、上記第 1 の方向における寸法が、該第 1 の方向と垂直な第 2 の方向における寸法により短い長方形形状としたものである。

また、請求項 16 にかかる半導体装置は、請求項 1 ないし 15 のいずれかの半導体装置において、上記第 1 の配線を、白金、イリジウム、チタン、あるいはタングステンから構成し、該第 1 の配線の表面には、強誘電体材料からなる絶縁性層を形成したものである。

10 また、請求項 17 にかかる半導体装置は、トランジスタ及び強誘電体キャパシタからなるメモリセルを複数有する強誘電体メモリ装置であって、該強誘電体キャパシタを、内部に応力が生じている第 1 の電極と、これと対向して位置する第 2 の電極と、該第 1 及び第 2 の電極間に位置する強誘電体層とから構成し、上記第 1 の電極を、その一部に形成された折曲り部を有する構造としたものである。

また、請求項 18 にかかる半導体装置は、トランジスタ及び強誘電体キャパシタからなるメモリセルを複数有する強誘電体メモリ装置であって、該強誘電体キャパシタを、第 1 の方向に沿って延びる、内部に応力が生じている第 1 の電極と、これと対向して位置する第 2 の電極と、該
20 第 1 及び第 2 の電極間に位置する強誘電体層とから構成し、上記第 1 の電極を、その全体が複数の電極部分に分割され、該個々の電極部分が、該第 1 の電極の一端側から他端側に至る所定の電流経路を形成するよう電氣的に接続された構造としたものである。

また、請求項 19 にかかる半導体装置は、請求項 17 記載の半導体装置
25 において、上記第 1 の電極の、両端部を除く本体を、ジグザグの平面形状をなすよう、複数箇所で折れ曲がった構造としたものである。

また、請求項 20 にかかる半導体装置は、請求項 19 記載の半導体装

置において、それぞれ複数のメモリセルからなる第 1、第 2 のメモリセル群と、上記第 1、第 2 のメモリセル群に対応する第 1、第 2 のビット線群と、上記第 1、第 2 のメモリセル群に対応して設けられ、対応するメモリセル群のメモリセルを構成するトランジスタを開閉制御するための複数のワード線からなる第 1、第 2 のワード線群と、上記第 1、第 2 のビット線群における各ビット線に接続され、該ビット線上の記憶データをセンスするセンスアンプとを備え、上記各メモリセルを構成する強誘電体キャパシタの第 1 の電極を、該電極に所定の駆動電圧を印加するためのセルプレート線に接続し、上記第 1 のメモリセル群のメモリセルを構成する強誘電体キャパシタの第 2 の電極を、上記第 1 のメモリセル群のトランジスタを介して上記第 1 のビット線群の対応するビット線に接続し、上記第 2 のメモリセル群のメモリセルを構成する強誘電体キャパシタの第 2 の電極を、上記第 2 のメモリセル群のトランジスタを介して上記第 2 のビット線群の対応するビット線に接続し、上記第 1 のワード線群の 1 つのワード線と、第 2 のワード線群の 1 つのワード線とを同時に選択して、上記両ビット線群の対応するビット線に相補データを読み出すよう構成したものである。

図面の簡単な説明

20 第 1 (a) 図は、本発明の実施の形態 1 による半導体装置における配線構造を示す平面図、第 1 (b) 図はその断面図である。

第 2 (a) 図は、本発明の実施の形態 2 による半導体装置における配線構造を示す平面図、第 2 (b) 図はその断面図である。

第 3 図は、本発明の実施の形態 3 による半導体装置における配線構造を示す平面図である。

第 4 図は、本発明の実施の形態 4 による半導体装置における配線構造を示す平面図である。

第 5 (a) 図は、本発明の実施の形態 5 による半導体装置における配線構造を示す平面図、第 5 (b) 図は実施の形態 5 の変形例による半導体装置における配線構造を示す平面図である。

第 6 図は、本発明の実施の形態 6 による半導体装置における配線構造を示す平面図である。

第 7 (a) 図は、本発明の実施の形態 7 による半導体装置における配線構造を示す平面図、第 7 (b) 図は実施の形態 7 の変形例による半導体装置における配線構造を示す平面図である。

第 8 (a) 図は、本発明の実施の形態 8 による半導体装置における配線構造を示す平面図、第 8 (b) 図は実施の形態 8 の変形例 1 による半導体装置における配線構造を示す平面図、第 8 (c) 図は実施の形態 8 の変形例 2 による半導体装置における配線構造を示す平面図である。

第 9 (a) 図は、本発明の実施の形態 9 による半導体装置における配線構造を示す平面図、第 9 (b) 図は実施の形態 9 の変形例による半導体装置における配線構造を示す平面図である。

第 10 図は、本発明の実施の形態 10 による強誘電体メモリ装置におけるメモリセルアレイを示す平面図である。

第 11 (a) 図は、第 10 図における XI a - XI a 線部分を示す断面図、第 11 (b) 図は、第 10 図における XI b - XI b 線部分を示す断面図、第 11 (c) 図は、第 10 図における XI c - XI c 線部分を示す断面図である。

第 12 (a) 図は、本発明の実施の形態 10 による強誘電体メモリ装置の動作を説明するための図、第 12 (b) 図は、上記実施の形態 10 の変形例による強誘電体メモリ装置の動作を説明するための図である。

第 13 (a) 図は、従来の半導体装置における配線構造を示す平面図、第 13 (b) 図はその断面図 (図(b)) である。

第 14 図は、従来の強誘電体メモリ装置におけるメモリセルアレイを

示す平面図である。

第 1 5 (a) 図は、第 1 4 図における XV a - XV a 線部分を示す断面図、
第 1 5 (b) 図は、第 1 4 図における XV b - XV b 線部分を示す断面図、
第 1 5 (c) 図は、第 1 4 図における XV c - XV c 線部分を示す断面図で
5 ある。

発明を実施するための最良の形態

実施の形態 1 .

図 1 は本発明の実施の形態 1 による半導体装置を説明するための図で
10 あり、図 1 (a) は該半導体装置における配線構造を示す平面図、図 1 (b)
は該図 1 (a) における I b - I b 線断面図である。

図において、1 0 は本実施の形態 1 の半導体装置における配線構造で
ある。この配線構造 1 0 は、第 1 の方向 D 1 に沿って延び、該第 1 の方
向 D 1 と垂直な第 2 の方向を配線幅方向とする、内部に引っ張り応力(熱
15 応力)が生じている下層配線(第 1 の配線) 1 1 と、該下層配線 1 1 に
電氣的に接続され、該下層配線 1 1 の熱応力の影響を受ける上層配線(第
2 の配線) 1 2 a, 1 2 b とを備えている。

ここで、上記下層配線 1 1 は、シリコン基板 5 上に下地絶縁膜 6 を介
して形成された白金層をパターンニングしてなるものであり、上記上層配
20 線 1 2 a, 1 2 b は、該白金層上に層間絶縁膜 7 を介して形成されたア
ルミ層をパターンニングしてなるものである。また、上記上層配線 1 2 a,
1 2 b は、その端部 1 2 a 1, 1 2 b 1 を、該端部以外の本体 1 2 a 2,
1 2 b 2 に対して垂直に折り曲げた構造となっている。該本体 1 2 a 2,
1 2 b 2 は上記第 1 の方向 D 1 に沿って延びる下層配線 1 1 と平行に
25 位置し、上記折り曲げた端部 1 2 a 1, 1 2 b 1 は、上記第 1 の方向 D
1 と垂直な第 2 の方向 D 2 と平行に位置している。

そして、上記上層配線 1 2 a の端部 1 2 a 1 は、上記下層配線 1 1 の

一端部 1 1 a 上に位置し、上記層間絶縁膜 7 に形成したコンタクトホール 7 a を介して該下層配線 1 1 の一端部 1 1 a と接続されている。また上記上層配線 1 2 b の端部 1 2 b 1 は、上記下層配線 1 1 の他端部 1 1 b 上に位置し、上記層間絶縁膜 7 に形成したコンタクトホール 7 b を介して該下層配線 1 1 の他端部 1 1 b と接続されている。なお、図 1 (a) では、下地絶縁膜 6 及び層間絶縁膜 7 は省略している。

このような構成の実施の形態 1 では、上記上層配線 1 2 a, 1 2 b の、下層配線 1 1 と接続される端部 1 2 a 1, 1 2 b 1 を、該下層配線 1 1 の延びる第 1 の方向 D 1 に対して垂直な第 2 の方向 D 2 と平行となるよう折り曲げているので、上記下層配線 1 1 にて発生する上記第 1 の方向 D 1 の引っ張り応力により上記第 2 の配線の端部 1 2 a 1, 1 2 b 1 が変形して、該応力が緩和されることとなる。このため、上記熱応力により下層配線 1 1 と上層配線 1 2 a, 1 2 b との接続部分や上層配線 1 2 a, 1 2 b の一部が断線するのを抑制することができ、半導体装置における信頼性を向上することができる。

なお、上記実施の形態 1 では、下層配線 1 1 として、基板表面の絶縁膜上に形成した白金層をパターンニングしてなるものを示したが、下層配線 1 1 の一部が強誘電体キャパシタ等の下部電極を構成する場合には、下層配線 1 1 は、基板表面の絶縁膜上に順次形成した白金層及び強誘電体層をパターンニングしてなるものでもよい。つまり、下層配線 1 1 を、これを構成する白金層の表面に、上層配線 1 2 a, 1 2 b との接続部分を除いて強誘電体層を形成した構造としてもよい。

また、本実施の形態 1 では、半導体装置の多層配線構造として、図 1 に示す配線構造 1 0 を示したが、本実施の形態 1 の半導体装置は、該配線構造 1 0 の他に、図 1 2 に示す従来の配線構造 2 5 0 を有するものであってもよい。例えば、本実施の形態 1 の半導体装置においても、下層配線の長さが短い等、該下層配線に接続される他の配線に及ぶ下層配線

の熱応力の影響が小さい部分では、多層配線構造として従来の配線構造 250 を用いることができる。

実施の形態 2.

図 2 は本発明の実施の形態 2 による半導体装置を説明するための図であり、図 2 (a) は該半導体装置における配線構造を示す平面図、図 2 (b) は該図 2 (a) における I I b - I I b 線断面図である。

図において、20 は本実施の形態 2 の半導体装置における配線構造である。この配線構造 20 は、上記実施の形態 1 と同様、第 1 の方向 D 1 に沿って延びる、内部に引っ張り応力（熱応力）が生じている下層配線 10 （第 1 の配線）11 と、該下層配線 11 に電氣的に接続され、該下層配線 11 の熱応力の影響を受ける上層配線（第 2 の配線）22 a, 22 b とを備えている。

ここで、上記上層配線 22 a, 22 b は、該下層配線 11 を構成する白金層上に層間絶縁膜 7 を介して形成されたアルミ層をパターンニングしてなるものである。また、上記上層配線 22 a は、その端部 22 a 1 を、該端部以外の本体 22 a 2 に対して垂直に折り曲げた構造となっている。該本体 22 a 2 は上記第 1 の方向 D 1 と垂直な第 2 の方向 D 2 に平行に位置し、上記折り曲げた端部 22 a 1 は、上記第 1 の方向 D 1 と平行に、かつ該下部配線 11 の内側に向かって延びている。そして、この 20 端部 22 a 1 は、上記下層配線 11 の一端部 11 a 上に位置し、上記層間絶縁膜 7 に形成したコンタクトホール 7 a を介して該下層配線 11 の一端部 11 a と接続されている。

また、上記上層配線 22 b は、その端部 22 b 1 を、該端部以外の本体 22 b 2 に対して折り返した構造となっており、該本体 22 b 2 は上記第 1 の方向 D 1 と平行に位置している。また上記折り返した端部 22 b 1 は、上記第 1 の方向 D 1 と平行な先端部 22 b 11 と、第 1 の方向 D 1 に垂直な第 2 の方向 D 2 と平行な部分 22 b 12 とからなる。上記部

分 2 2 b 11 は、上記下層配線 1 1 の他端部 1 1 b 上に位置し、上記層間絶縁膜 7 に形成したコンタクトホール 7 b を介して該下層配線 1 1 の他端部 1 1 b と接続されている。なお、図 2 (a) では、下地絶縁膜 6 及び層間絶縁膜 7 は省略している。

- 5 このような構成の実施の形態 2 では、上記上層配線 2 2 a , 2 2 b の、下層配線 1 1 と接続される端部 2 2 a 1 , 先端部 2 2 b 11 を、該下層配線 1 1 に沿って、下層配線の内側に向かって延びるよう配置したので、上記上層配線 2 2 a における端部 2 2 a 1 につながる体部 2 2 a 2 、及び上層配線 2 2 b における先端部 2 2 b 11 につながる部分 2 2 b 12 が、
- 10 上記下層配線 1 1 の延びる第 1 の方向 D 1 に対して所定角度をなすこととなる。これにより上記上層配線 2 2 a の本体 2 2 a 2 , 上層配線 2 2 b の一部分 2 2 b 12 が上記下層配線 1 1 にて発生する上記第 1 の方向 D 1 の引っ張り応力により変形して、上記応力が緩和されることとなる。この結果、上記応力により上記下層配線 1 1 と上層配線 2 2 a , 2 2 b
- 15 との接続部分等が断線するのを抑制することができ、半導体装置における信頼性を向上することができる。

なお、本実施の形態 2 では、半導体装置の多層配線構造として、図 2 に示す配線構造 2 0 を示したが、本実施の形態 2 の半導体装置は、該配線構造 2 0 の他に、図 1 に示す配線構造 1 0 及び図 1 2 に示す従来の配線構造 2 5 0 のうちの所要のものを有するものであってもよい。

20

また、上記実施の形態 1 , 2 では、下層配線 1 1 に発生する熱応力を、これにつながる上層配線により緩和するようにしているが、下層配線に発生する熱応力を、該配線内部にて緩和するようにしてもよく、以下、このような構成の配線構造を実施の形態 3 として説明する。

- 25 実施の形態 3 .

図 3 は本発明の実施の形態 3 による半導体装置を説明するための平面図であり、該半導体装置における配線構造を示している。

図において、30は本実施の形態3の半導体装置における配線構造であり、その断面構造は従来の半導体装置の配線構造250におけるものと同様である。この配線構造30は、内部に引っ張り応力（熱応力）が生じている下層配線（第1の配線）31と、該下層配線31に電氣的に
5 接続され、該下層配線31の熱応力の影響を受ける上層配線（第2の配線）2a, 2bとを備えている。

ここで、上記下層配線31は、シリコン基板5上に絶縁膜を介して形成された白金層をパターンニングしてなるものであり、その一端部31aが、層間絶縁膜に形成したコンタクトホール7aを介して上記上層配線
10 2aの端部2a1に接続され、その他端部31bが、層間絶縁膜に形成したコンタクトホール7bを介して上記上層配線2bの端部2b1に接続されている。

そして、上記下層配線31は、上記両コンタクトホール7a, 7b間の中間部位に2つの折曲り部32a, 32bを有している。つまり、上記下層配線31は、その一端部31aから上記第1の方向D1に沿って
15 配線中央部まで延びる第1横辺部31cと、その他端部31bから上記第1の方向D1に沿って配線中央部まで延び、上記第1横辺部31cと平行な第2横辺部31dと、該下層配線31の中央に位置して上記両横辺部31c, 31dとつながる、上記第1の方向D1と垂直な第2の方向D2に平行な縦辺部31eとからなる。該縦辺部31eと上記第1横
20 辺部31cとの接続部分、及び該縦辺部31eと上記第2横辺部31dとの接続部分がそれぞれ、上記折曲り部32a, 32bとなっている。その他の構成は、従来の配線構造250と同一となっている。

このような構成の本発明の実施の形態3では、引っ張り応力の生じて
25 いる下層配線31が、その中央に2つの折曲り部32a, 32bを有する構造となっているので、該下層配線31の長手方向D1に発生している引っ張り応力により該折曲り部が変形することとなる。これにより該

引っ張り応力が緩和され、上記応力により下層配線 3 1 と上層配線 2 a, 2 b との接続部分や上層配線の一部等が断線するのを抑制することができ、半導体装置における信頼性を向上することができる。

5 なお、本実施の形態 3 では、半導体装置の多層配線構造として、図 3 に示す配線構造 3 0 を示したが、本実施の形態 3 の半導体装置は、該配線構造 3 0 の他に、図 1 に示す配線構造 1 0, 図 2 に示す配線構造 2 0, 及び図 1 2 に示す従来の配線構造 2 5 0 のうちの所要のものを有するものであってもよい。

実施の形態 4 .

10 図 4 は本発明の実施の形態 4 による半導体装置を説明するための平面図であり、該半導体装置における配線構造を示している。

この実施の形態 4 の配線構造は、下層配線（第 1 の配線）の内部で生ずる引っ張り応力を、該下層配線の折曲り部により緩和し、かつ上記引っ張り応力（熱応力）が印加される上層配線（第 2 の配線）の引き出し
15 方向により、該上層配線に及ぶ上記応力の影響を緩和するようにしており、原理的には上記実施の形態 1 の配線構造 1 0 と実施の形態 2 の配線構造 2 0 とを組み合わせたものと言える。

以下、図 4 を用いて簡単に説明すると、図中、4 0 は本実施の形態 4
20 の半導体装置における配線構造であり、図 1, 図 3 と同一符号は上記実施の形態 1, 3 におけるものと同一のものを示している。

この配線構造 4 0 は、引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）4 1 と、該下層配線 4 1 に電氣的に接続され、該下層配線 4 1 の熱応力の影響を受ける上層配線（第 2 の配線）1 2 a, 2 b とを備えている。ここで、上記下層配線 4 1 は、シリコン基板 5 上に絶縁
25 膜を介して形成された白金層をパターニングしてなるものであり、上記上層配線 1 2 a, 2 b は、該白金層上に層間絶縁膜を介して形成したアルミ層をパターニングしてなるものである。また、上記上層配線 1 2 a

は、その端部 1 2 a 1 を、該端部以外の本体 1 2 a 2 に対して垂直に折り曲げた構造となっている。

そして、上記上層配線 1 2 a の端部 1 2 a 1 は、上記下層配線 4 1 の一端部 4 1 a 上に位置し、層間絶縁膜に形成したコンタクトホール 7 a を介して上記下層配線 4 1 a の端部 4 1 a に接続されており、また、上記上層配線 2 b の端部 2 b 1 は、上記下層配線 4 1 の他端部 4 1 b 上に位置し、層間絶縁膜に形成したコンタクトホール 7 b を介して上記下層配線 4 1 の端部 4 1 b に接続されている。

さらに、上記下層配線 4 1 は、上記両コンタクトホール 7 b の近傍部位に 1 つの折曲り部 4 2 a を有している。つまり、上記下層配線 4 1 は、その一端部 4 1 a から上記第 1 の方向 D 1 に沿って他端部 4 1 b の近傍まで延びる横辺部 4 1 c と、上記他端部 4 1 b から上記第 1 の方向 D 1 と垂直な第 2 の方向 D 2 に沿って延び、上記横辺部 4 1 c とつながる縦辺部 4 1 d とを有する。該縦辺部 4 1 d と上記横辺部 4 1 c との接続部分が上記折曲り部 4 2 a となっている。

このような構成の実施の形態 4 では、上記上層配線 1 2 a に印加される引っ張り応力が、該配線 1 2 a の折曲り部 1 2 a 1 の変形により緩和され、また上記上層配線 2 b に印加される引っ張り応力は、下層配線 4 1 の折曲り部 4 2 a の変形により緩和されることとなる。これにより上記各実施の形態と同様、上記下層配線 4 1 に生ずる引っ張り応力により上層配線 1 2 a, 2 b と下層配線 4 1 との接続部分や該上層配線の一部等が断線するのを抑制することができ、半導体装置における信頼性を向上することができる。

なお、上記実施の形態 4 では、下層配線 4 1 として折曲り部を 1 つ有するものを示したが、下層配線は 2 箇所折曲り部を有するものでもよい。

また、上記実施の形態 4 では、実施の形態 1 における上層配線の構造

と、実施の形態 3 における下層配線の構造とを組み合わせたものを示したが、実施の形態 1 における下層配線の構造と、実施の形態 2 の上層配線の構造とを組み合わせて、下層配線の応力を緩和する配線構造を実現してもよい。

- 5 さらに、本実施の形態 4 では、半導体装置の多層配線構造として、図 4 に示す配線構造 4 0 を示したが、本実施の形態 4 の半導体装置は、該配線構造 4 0 の他に、図 1 に示す配線構造 1 0，図 2 に示す配線構造 2 0，図 3 に示す配線構造 3 0，及び図 1 2 に示す従来の配線構造 2 5 0 のうちの所要のものを有するものであってもよい。

- 10 実施の形態 5 .

図 5 は本発明の実施の形態 5 による半導体装置を説明するための平面図であり、該半導体装置における配線構造を示している。

- この図 5 に示す配線構造は、実施の形態 3 の配線構造 3 0 を発展させたもので、上記下層配線 3 1 をその 6 箇所折曲り部を有する構造とし、
15 これにより下層配線にて生ずる引っ張り応力より効果的に緩和するようにしたものである。なお、この構成の下層配線では、上記第 1 の方向 D 1 におけるコンタクトホール 7 a，7 b 間の距離を一定とした場合には、上記各実施の形態における下層配線に比べて配線長が長くなる。

- 以下、図 5 を用いて簡単に説明すると、図中、5 0 は本実施の形態 5
20 の半導体装置における配線構造であり、その断面構造は従来の半導体装置の配線構造 2 5 0 におけるものと同様である。

- この配線構造 5 0 は、内部に引っ張り応力が生じている下層配線（第 1 の配線）5 1 と、該下層配線 5 1 に電氣的に接続され、該下層配線 5 1 の熱応力の影響を受ける上層配線（第 2 の配線）2 a，2 b とを備え
25 ている。上記上層配線 2 a の端部 2 a 1 は、上記下層配線 5 1 の一端部 5 1 a 上に位置し、層間絶縁膜に形成したコンタクトホール 7 a を介して上記下層配線 5 1 の端部 5 1 a に接続されており、また、上記上層配

線 2 b の端部 2 b 1 は、上記下層配線 5 1 の他端部 5 1 b 上に位置し、層間絶縁膜に形成したコンタクトホール 7 b を介して上記下層配線 5 1 の端部 5 1 b に接続されている。

ここで、上記下層配線 5 1 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターンニングしてなるものであり、上記両コンタクトホール 7 a, 7 b 間の部位に 6 つの折曲り部 5 2 a ~ 5 2 f を有している。つまり、上記下層配線 5 1 の、両端部 5 1 a, 5 1 b を除く本体 5 1 c は、第 1 の方向 D 1 と平行な第 1 ~ 第 4 の横辺部 5 1 c 11 ~ 5 1 c 14 と、第 1 の方向と垂直な第 2 の方向 D 2 と平行な第 1 ~ 第 3 の縦辺部 5 1 c 21 ~ 5 1 c 23 とからなり、上記各縦辺部と横辺部とが交互につながった構造となっている。そして隣接する縦辺部と横辺部との接続部がそれぞれ、上記折曲り部 5 2 a ~ 5 2 f となっており、結局上記下層配線 5 1 は全体として平面形状がジグザグ形状となっている。

また、この下層配線 5 1 の、上記両コンタクトホール 7 a, 7 b 間の長さ L 51 とジグザグ形状の振れ幅 W 51 との比率 ($L 51 / W 51$) は 2 としている。これは、実験結果から上記比率 ($L 51 / W 51$) が $L 51 / W 51 \leq 10$ の関係を満たす条件では、応力の緩和の効果が顕著になることが確認されているためである。

このような構成の実施の形態 5 では、下層配線 5 1 には、実施の形態 3 の下層配線 3 1 に比べてより多くの折曲り部 5 2 a ~ 5 2 f が形成されているため、下層配線における横方向の引っ張り応力が上記 6 つの折曲り部の変形により緩和されることとなり、上記実施の形態 3 に比べて、該応力の緩和をより十分行うことができる。

なお、上記実施の形態 5 におけるジグザグの下層配線 5 1 の構造を、実施の形態 1 あるいは実施の形態 2 における上層配線の構造と組み合わせることも可能であり、この場合、上層配線における引っ張り応力による断線等の発生をより効果的に抑制することができる。

また、下層配線 5 1 の本体 5 1 c のジグザグ形状は、図 5 (a) に示すように横辺部が第 1 の方向に、縦辺部が第 2 の方向に平行である形状に限らない。

図 5 (b) は本実施の形態 5 の変形例による配線構造を示しており、この変形例の配線構造では、下層配線は、上記実施の形態 5 の下層配線 5 1 の縦辺部 5 1 c 21~5 1 c 23 の代わりに、第 1 及び第 2 の方向の間の方向に平行な複数の斜辺部を有している。

図 5 (b) において、5 5 は実施の形態 5 の変形例による半導体装置の配線構造であり、図 5 (a) と同一符号は上記実施の形態 5 におけるものと同一のものを示している。

この配線構造 5 5 は、第 1 の方向 D 1 に沿って延びる、内部に引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）5 6 と、該下層配線 5 6 に電気的に接続され、該下層配線 5 6 の熱応力の影響を受ける上層配線（第 2 の配線）2 a, 2 b とを備えている。上記上層配線 2 a の端部 2 a 1 は、上記下層配線 5 6 の一端部 5 6 a 上に位置し、層間絶縁膜に形成したコンタクトホール 7 a を介して上記下層配線 5 6 の端部 5 6 a に接続されており、また、上記上層配線 2 b の端部 2 b 1 は、上記下層配線 5 6 の他端部 5 6 b 上に位置し、層間絶縁膜に形成したコンタクトホール 7 b を介して上記下層配線 5 6 の端部 5 6 b に接続されている。

ここで、上記下層配線 5 6 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターニングしてなるものであり、上記両コンタクトホール 7 a, 7 b 間の部位に 8 つの折曲り部 5 7 a~5 7 h 有している。つまり、上記下層配線 5 6 の本体 5 6 c は、第 1 の方向 D 1 と平行な第 1~第 5 の横辺部 5 6 c 11~5 6 c 15 と、第 1 の方向 D 1 に対して約 +45° をなす方向に平行な第 2, 第 3 の縦辺部 5 6 c 22, 5 6 c 23 と、第 1 の方向 D 1 に対して約 -45° をなす方向に平行な第 1, 第 4

の縦辺部 5 6 c 21, 5 6 c 24 とからなり、上記各横辺部と斜辺部とが交互につながった構造となっている。そして隣接する横辺部と斜辺部との接続部がそれぞれ、上記折曲り部 5 7 a ~ 5 7 h となっており、結局上記下層配線 5 6 は全体として平面形状がジグザグ形状となっている。

- 5 このような構成の実施の形態 5 の変形例では、ジグザグの平面形状を有する下層配線 5 6 を、第 1 の方向 D 1 に平行な横辺部と、第 1 の方向に対して 45° の角度をなす斜辺部とを交互に配列して構成しているので、ジグザグの平面形状を有する下層配線 5 6 の、上記第 1 の方向 D 1 と垂直な第 2 の方向 D 2 における寸法を小さくして、該下層配線 5 6 の
- 10 基板上で占める面積を、上記実施の形態 5 のものに比べて小さくできる。

- なお、本実施の形態 5 では、半導体装置の多層配線構造として、図 5 (a) に示す配線構造 5 0、及びその変形例としての配線構造 5 5 (図 5 (b) 参照) を示したが、本実施の形態 5 及びその変形例による半導体装置は、上記配線構造 5 0 や 5 5 の他に、上記各実施の形態 1 ~ 4 に示す
- 15 配線構造 1 0, 2 0, 3 0, 4 0、及び図 1 2 に示す従来の配線構造 2 5 0 のうちの所要のものを有するものであってもよい。また本実施の形態 5 の変形例としては、上記配線構造 5 0 及び 5 5 の両方を有するものも考えられる。

実施の形態 6 .

- 20 図 6 は本発明の実施の形態 6 による半導体装置を説明するための平面図であり、該半導体装置における配線構造を示している。

- この図 6 に示す配線構造は、下層配線を複数の配線部分に分割し、それぞれの配線部分同士を他の配線により接続したもので、上記下層配線で発生する引っ張り応力を分散させて緩和するものである。ここで、基
- 25 本的に下層配線の長さとその引っ張り応力は比例関係にあり、その応力において許容できる範囲で下層配線の分割した配線部分の長さを決定する必要がある。

以下図 6 を用いて簡単に説明すると、図中、60 は本実施の形態 6 の半導体装置における配線構造であり、その断面構造は従来の半導体装置の配線構造 250 におけるものと同様である。

この配線構造 60 は、第 1 の方向 D1 の方向に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）61 と、該下層配線 61 に電氣的に接続され、該下層配線 61 の熱応力の影響を受ける上層配線（第 2 の配線）2a, 2b とを備えている。

ここで、上記下層配線 61 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターニングしてなるものであり、全体が 2 つの配線部分、つまり第 1、第 2 の配線部分 61a, 61b に分割され、かつこれらが接続配線 2c により電氣的に接続された構造となっている。

また上記上層配線 2a, 2b, 及び接続配線 2c は、該白金層上に層間絶縁膜を介して形成されたアルミ層をパターニングしてなるものであり、上記上層配線 2a の端部 2a1 は、上記第 1 の配線部分 61a の一端部 61a1 上に位置し、層間絶縁膜に形成したコンタクトホール 7a を介して上記一端部 61a1 に接続されており、また、上記上層配線 2b の端部 2b1 は、上記第 2 の配線部分 61b の他端部 61b2 上に位置し、層間絶縁膜に形成したコンタクトホール 7b を介して該他端部 61b2 に接続されている。上記上層配線 2a は上記コンタクトホール 7a から第 1 の方向 D1 とは逆方向にこれに沿って延び、上記上層配線 2b は上記コンタクトホール 7b から第 1 の方向 D1 にこれに沿って延びている。

また、上記上層配線 2c の一端部 2c1 は、上記第 1 の配線部分 61a の他端部 61a2 上に位置し、層間絶縁膜に形成したコンタクトホール 7c を介して上記他端部 61a2 に接続されており、また、上記上層配線 2c の端部 2c2 は、上記第 2 の配線部分 61b の一端部 61b1

上に位置し、層間絶縁膜に形成したコンタクトホール7 dを介して該一端部6 1 b 1 に接続されている。

このような構成の実施の形態6では、熱応力が発生している下層配線6 1を、全体を2つの配線部分6 1 a, 6 1 bに分割した構造としたので、上記下層配線6 1における熱応力を分散させて、上層配線2 a, 2 bに及ぶ熱応力を小さくすることができる。

また、第1, 第2の配線部分の配線長L 61と配線幅W 61との比(L 61/W 61)が、 $L 61/W 61 \leq 20$ を満たすとき、応力緩和の効果が顕著なものとなることが実験等から明らかにされており、上記各配線部分をこのような寸法比率に設定することにより、下層配線における熱応力を効果的に緩和することができる。さらに、上記各配線部分の平面形状を図5に示すようなジグザグの平面形状とすることにより、上記配線長と配線幅の比率(L 61/W 61)を大きくすることができる。

また、本実施の形態6では、下層配線6 1及び上層配線2 a, 2 bに曲がり部を形成する必要がなく、このため上記配線構造6 0は、基板上の狭い領域でも実現することができ、上記各実施の形態に比べると、基板上での占有面積を小さくすることができる。

また、この実施の形態6における下層配線の構造を、実施の形態1, 2の上層配線の構造、あるいは実施の形態3, 5の下層配線の構造と組み合わせることも可能である。

なお、上記実施の形態6では、上記上層配線2 a, 2 b, 及び接続配線2 cが、層間絶縁膜に形成した同一のアルミ層をパターンニングしてなるものである場合について示したが、上記上層配線2 a, 2 bと上記接続配線2 cとは、異なる層のアルミ層をパターンニングして形成したものであってもよい。

さらに、本実施の形態6では、半導体装置の多層配線構造として図6に示す配線構造6 0を示したが、本実施の形態6の半導体装置は、上記

配線構造 60 の他に、上記各実施の形態 1 ~ 5 に示す配線構造 10, 20, 30, 40, 50, 55、及び図 12 に示す従来の配線構造 250 のうちの所要のものを有するものであってもよい。

実施の形態 7.

- 5 図 7 は本発明の実施の形態 7 による半導体装置を説明するための図であり、図 7 (a) は該実施の形態 7 の半導体装置における配線構造を示している。

図において、70 は本実施の形態 7 の半導体装置における配線構造であり、その断面構造は従来の配線構造におけるものと同様である。この
10 配線構造 70 は、第 1 の方向 D1 に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）71 と、該下層配線 71 に電氣的に接続され、該下層配線 71 の熱応力の影響を受ける上層配線（第 2 の配線）2a, 2b とを備えている。上記上層配線 2a の端部 2a1 は、上記下層配線
15 71 の一端部 71a 上に位置し、層間絶縁膜に形成したコンタクトホール 7a を介して上記下層配線 71 の端部 71a に接続されている。また、上記上層配線 2b の端部 2b1 は、上記下層配線 71 の他端部 71b 上に位置し、層間絶縁膜に形成したコンタクトホール 7b を介して上記下層配線 71 の端部 71b に接続されている。

- 20 ここで、上記下層配線 71 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターニングしてなるものであり、上記上層配線 2a, 2b と接続された端部 71a, 71b を除く本体 71c の一部を切り欠いて形成した、他の部分に比べて配線幅の狭い挟配線幅部分 71c10, 71c20, 71c30, 71c40 を有している。該各狭配線幅部分 71
25 c10 ~ 71c40 は、上記下層配線 71 の本体 71c を、その配線経路における所定位置にてその両側から切り欠いて形成したものである。なお、71c11, 71c22, 71c33, 71c44 は各狭配線幅部分 71

c 10～7 1 c 40における矩形型の切り欠部である。

このような構成の実施の形態7では、熱応力を生ずる下層配線7 1を、その一部に他の部分に比べて配線幅の狭い狭配線幅部分7 1 c 10～7 1 c 40を有する構成としたので、該下層配線7 1が狭配線幅部分にて伸
5 長変形しやすくなり、該下層配線7 1に発生した熱応力が、上記狭配線幅部分の変形により充分緩和されることとなる。これにより、上記下層配線7 1に生ずる引っ張り応力により上層配線2 a, 2 bや、これと下層配線7 1との接続部分等が断線するのを抑制することができ、半導体装置における信頼性を向上することができる。

10 また、下層配線の狭配線幅部分における切り欠部の形状は、図7 (a) に示すような矩形形状に限るものではない。

例えば、図7 (b) は本実施の形態7の変形例による配線構造を示しており、この配線構造では、下層配線の狭配線幅部分における切り欠部の形状は、V字形状となっている。

15 つまり、図7 (b) において、7 5は実施の形態7の変形例による半導体装置の配線構造であり、図7 (a) と同一符号は上記実施の形態7の配線構造7 0におけるものと同一のものを示している。

この配線構造7 5は、第1の方向D 1に沿って延び、該第1の方向と垂直な第2の方向を配線幅方向とする、引っ張り応力（熱応力）が生じ
20 ている下層配線（第1の配線）7 6と、該下層配線7 6に電氣的に接続され、該下層配線7 6の熱応力の影響を受ける上層配線（第2の配線）2 a, 2 bとを備えている。上記上層配線2 aの端部2 a 1は、上記下層配線7 6の一端部7 6 a上に位置し、層間絶縁膜に形成したコンタクトホール7 aを介して上記下層配線7 6の一端部7 6 aに接続されている。また、上記上層配線2 bの端部2 b 1は、上記下層配線7 6の他端部7 6 b上に位置し、層間絶縁膜に形成したコンタクトホール7 bを介して上記下層配線7 6の端部7 6 bに接続されている。
25

- ここで、上記下層配線 7 6 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターンニングしてなるものであり、上記上層配線 2 a, 2 b と接続された端部 7 6 a, 7 6 b を除く本体 7 6 c の一部を切り欠いて形成した、他の部分に比べて配線幅の狭い狭配線幅部分 7 6 c 10, 7 6 c 20, 7 6 c 30, 7 6 c 40 を有している。該各狭配線幅部分 7 6 c 10~7 6 c 40 は、上記下層配線 7 6 の本体 7 6 c を、その配線経路における所定位置にてその両側から切り欠いて形成したものである。なお、7 6 c 11, 7 6 c 22, 7 6 c 33, 7 6 c 44 は各狭配線幅部分 7 6 c 10~7 6 c 40 における V 字型の切り欠部である。
- 10 このような構成の実施の形態 7 の変形例では、狭配線幅部分 7 6 c 10~7 6 c 40 の切り欠部 7 6 c 11~7 6 c 44 の形状を V 字形状としているので、上記実施の形態 7 の矩形形状の切り欠部 7 1 c 11~7 1 c 44 に比べると、下層配線 7 6 における切り欠部の面積を小さくでき、該下層配線 7 6 上にキャパシタ等の素子を配置する場合には有利である。
- 15 なお、本実施の形態 7 では、半導体装置の多層配線構造として、図 7 (a) に示す配線構造 7 0、及びその変形例としての配線構造 7 5 (図 7 (b) 参照) を示したが、本実施の形態 7 及びその変形例による半導体装置は、上記配線構造 7 0 や 7 5 の他に、上記各実施の形態 1~6 に示す配線構造 1 0, 2 0, 3 0, 4 0, 5 0, 5 5, 6 0、及び図 1 2 に示す従来の配線構造 2 5 0 のうちの所要のものを有するものであってもよい。また本実施の形態 7 の変形例としては、上記配線構造 7 0 及び 7 5 の両方を有するものも考えられる。

実施の形態 8.

- 25 図 8 は本発明の実施の形態 8 による半導体装置を説明するための図であり、図 8 (a) は該実施の形態 8 の半導体装置における配線構造を示している。

図において、8 0 は本実施の形態 8 の半導体装置における配線構造で

あり、その断面構造は従来の配線構造におけるものと同様である。

この配線構造 80 は、第 1 の方向 D1 に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）81 と、該下層配線 81 に電氣的に接続
5 され、該下層配線 81 の熱応力の影響を受ける上層配線（第 2 の配線）2a, 2b とを備えている。

ここで、上記下層配線 81 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターンニングしてなるものである。上記上層配線 2a, 2b と接続された端部 81a, 81b を除く本体 81c は、該本体 81
10 c をその一方の側辺側から切り欠いて形成した、他の部分に比べて配線幅の狭い第 1 の狭配線幅部分 81c10, 81c30 と、該本体 81c をその他方の側辺側から切り欠いて形成した、他の部分に比べて配線幅の狭い第 2 の狭配線幅部分 81c20, 81c40 とを有している。上記第
15 1 の狭配線幅部分 81c10, 81c30 と第 2 の狭配線幅部分 81c20, 81c40 とは、上記第 1 の方向 D1 に沿って交互に並んでいる。なお、81c11, 81c22, 81c33, 81c44 は各狭配線幅部分 81c10 ~ 81c40 における矩形型の切り欠部である。

このような構成の実施の形態 8 では、熱応力を生ずる下層配線 81 を、その一部に他の部分に比べて配線幅の狭い狭配線幅部分 81c10 ~ 8
20 1c40 を有する構成としたので、該下層配線 81 が狭配線幅部分にて伸長変形しやすくなり、該下層配線 81 に発生した熱応力が、上記狭配線幅部分の変形により充分緩和されることとなる。これにより、上記下層配線 81 に生ずる引っ張り応力により上層配線 2a, 2b や、これと下層配線 81 との接続部分等が断線するのを抑制することができ、半導体
25 装置における信頼性を向上することができる。

また、この実施の形態 8 では、下層配線 81 の一側辺側の切り欠部 81c11, 81c33 と、下層配線 81 の他の側辺側の切り欠部 81c22,

8 1 c 44 とを、配線経路に沿って交互に配置しているので、上記下層配線 8 1 はその引っ張り応力により上記狭配線幅部分 8 1 c 10～8 1 c 40 にて伸長変形すると同時に、切り欠部 8 1 c 11～8 1 c 44 がその開口が広がるよう湾曲変形することとなる。このため上記伸長変形と上記
5 湾曲変形とによって、下層配線における引っ張り応力が大きく緩和されることとなる。この結果この下層配線 8 1 に接続される上層配線 2 a, 2 b や、下層配線と上層配線との接続部等での断線の発生を大きく低減することができる。

なお、下層配線の狭配線幅部分における切り欠部の形状は、図 8 (a) に
10 示すような矩形形状に限るものではない。

図 8 (b) は本実施の形態 8 の変形例 1 による配線構造を示しており、この配線構造では、下層配線の狭配線幅部分における切り欠部の形状は、V 字形状となっている。

つまり、図 8 (b) において、8 5 は実施の形態 8 の変形例 1 による半
15 導体装置の配線構造であり、図 8 (a) と同一符号は上記実施の形態 8 の配線構造 8 0 におけるものと同一のものを示している。

この配線構造 8 5 は、第 1 の方向 D 1 に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）8 6 と、該下層配線 8 6 に電氣的に接続
20 され、該下層配線 8 6 の熱応力の影響を受ける上層配線（第 2 の配線）2 a, 2 b とを備えている。上記上層配線 2 a の端部 2 a 1 は、上記下層配線 8 6 の一端部 8 6 a 上に位置し、層間絶縁膜に形成したコンタクトホール 7 a を介して上記下層配線 8 6 の一端部 8 6 a に接続されている。また、上記上層配線 2 b の端部 2 b 1 は、上記下層配線 8 6 の他端
25 部 8 6 b 上に位置し、層間絶縁膜に形成したコンタクトホール 7 b を介して上記下層配線 8 6 の端部 8 6 b に接続されている。

ここで、上記下層配線 8 6 は、シリコン基板 5 上に絶縁膜を介して形

成された白金層をパターンニングしてなるものである。この下層配線 8 6 の、上記上層配線 2 a, 2 b と接続された端部 8 6 a, 8 6 b を除く本体 8 6 c は、該本体 8 6 c をその一方の側辺側から切り欠いて形成した、他の部分に比べて配線幅の狭い第 1 の挟配線幅部分 8 6 c 10, 8 6 c 30
5 と、該本体 8 6 c をその他方の側辺側から切り欠いて形成した、他の部分に比べて配線幅の狭い第 2 の挟配線幅部分 8 6 c 20, 8 6 c 40 とを有している。上記第 1 の挟配線幅部分 8 6 c 10, 8 6 c 30 と第 2 の挟配線幅部分 8 6 c 20, 8 6 c 40 とは、上記第 1 の方向 D 1 に沿って交互に並んでいる。なお、8 6 c 11, 8 6 c 22, 8 6 c 33, 8 6 c 44 は
10 各狭配線幅部分 8 6 c 10~8 6 c 40 における V 字形の切り欠部である。

このような構成の実施の形態 8 の変形例では、狭配線幅部分 8 6 c 10 ~ 8 6 c 40 の切り欠部 8 6 c 11~8 6 c 44 の形状を V 字形状としているので、上記実施の形態 8 の矩形形状の切り欠部 8 1 c 11~8 1 c 44 に比べると、下層配線 8 6 における切り欠部の面積を小さくでき、該下
15 層配線 8 6 上にキャパシタ等の素子を配置する場合には有利である。

また、図 8 (c) は本実施の形態 8 の変形例 2 による配線構造を示しており、この配線構造では、下層配線の第 1, 第 2 の狭配線幅部分における配線幅は、該下層配線本体の、狭配線幅部分以外の部分の配線幅の 1 / 2 倍より小さくなっている。

20 つまり、図 8 (c) において、8 7 は実施の形態 8 の変形例 2 による半導体装置の配線構造であり、図 8 (a) と同一符号は上記実施の形態 8 の配線構造 8 0 におけるものと同じのものを示している。

この配線構造 8 7 は、第 1 の方向 D 1 に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）8 8 と、該下層配線 8 8 に電氣的に接続され、該下層配線 8 8 の熱応力の影響を受ける上層配線（第 2 の配線）
25 2 a, 2 b とを備えている。上記上層配線 2 a の端部 2 a 1 は、上記下

層配線 8 8 の一端部 8 8 a 上に位置し、層間絶縁膜に形成したコンタクトホール 7 a を介して上記下層配線 8 8 の一端部 8 8 a に接続されている。また、上記上層配線 2 b の端部 2 b 1 は、上記下層配線 8 8 の他端部 8 8 b 上に位置し、層間絶縁膜に形成したコンタクトホール 7 b を介して上記下層配線 8 8 の端部 8 8 b に接続されている。

ここで、上記下層配線 8 8 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターニングしてなるものである。この下層配線 8 8 の、上記上層配線 2 a, 2 b と接続された端部 8 8 a, 8 8 b を除く本体 8 8 c は、該本体 8 8 c をその一方の側辺側から切り欠いて形成した、他の部分に比べて配線幅の狭い第 1 の挟配線幅部分 8 8 c 10, 8 8 c 30 と、該本体 8 8 c をその他方の側辺側から切り欠いて形成した、他の部分に比べて配線幅の狭い第 2 の挟配線幅部分 8 8 c 20, 8 8 c 40 とを有している。上記第 1 の挟配線幅部分 8 8 c 10, 8 8 c 30 と第 2 の挟配線幅部分 8 8 c 20, 8 8 c 40 とは、上記第 1 の方向 D 1 に沿って交互に並んでおり、該各挟配線幅部分 8 8 c 10~8 8 c 40 における配線幅は、上記配線本体 8 8 c の、該挟配線幅部分以外の部分の配線幅の 1 / 2 倍より小さく寸法となっている。言い換えると、上記下層配線 8 8 の中心線に沿った電流経路は、上記各挟配線幅部分 8 8 c 10, 8 8 c 20, 8 8 c 30, 8 8 c 40 における矩形形状の切り欠部 8 8 c 11, 8 8 c 22, 8 8 c 33, 8 8 c 44 により分断されている。

このような構成の実施の形態 8 の変形例 2 では、該各挟配線幅部分 8 8 c 10~8 8 c 40 における配線幅を、上記配線本体 8 8 c の、該挟配線幅部分以外の部分の配線幅の 1 / 2 倍より小さくしているため、切り欠部を形成した挟配線幅部分では、上記下層配線の熱応力により伸長変形だけでなく湾曲変形が生ずることとなる。つまり挟配線幅部分は、上記実施の形態 8 のものと比べると、上記下層配線の熱応力により非常に変形しやすいものとなり、該熱応力による上層配線やこれと下層配線と

の接続部分での断線をより一層抑制することができる。

なお、本実施の形態 8 では、半導体装置の多層配線構造として、図 8 (a) に示す配線構造 8 0、その変形例 1 としての配線構造 8 5 (図 8 (b) 参照)、及びその変形例 2 としての配線構造 8 7 (図 8 (c) 参照) を示したが、本実施の形態 8 及びその変形例 1、2 による半導体装置は、上記配線構造 8 0、8 5 あるいは 8 7 の他に、上記各実施の形態 1 ~ 7 に示す配線構造 1 0、2 0、3 0、4 0、5 0、5 5、6 0、7 0、7 5、及び図 1 2 に示す従来の配線構造 2 5 0 のうちの所要のものを有するものであってもよい。本実施の形態 8 の変形例としては、上記配線構造 8 0、8 5、8 7 のいずれか 2 つ、あるいはこれら 3 つの配線構造のすべてを有するものも考えられる。

実施の形態 9.

図 9 は本発明の実施の形態 9 による半導体装置を説明するための図であり、図 9 (a) は該実施の形態 9 の半導体装置における配線構造を示している。

図において、9 0 は本実施の形態 9 の半導体装置における配線構造であり、その断面構造は従来の配線構造 2 5 0 におけるものと同様である。

この配線構造 9 0 は、第 1 の方向 D 1 に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に引っ張り応力が生じている下層配線 (第 1 の配線) 9 1 と、該下層配線 9 1 に電氣的に接続され、該下層配線 9 1 の熱応力の影響を受ける上層配線 (第 2 の配線) 2 a、2 b とを備えている。上記上層配線 2 a の端部 2 a 1 は、上記下層配線 9 1 の一端部 9 1 a 上に位置し、層間絶縁膜に形成したコンタクトホール 7 a を介して上記下層配線 9 1 の端部 9 1 a に接続されている。また、上記上層配線 2 b の端部 2 b 1 は、上記下層配線 9 1 の他端部 9 1 b 上に位置し、層間絶縁膜に形成したコンタクトホール 7 b を介して上記下層配線 9 1 の端部 9 1 b に接続されている。

ここで、上記下層配線 9 1 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターンニングしてなるものであり、上記上層配線 2 a、2 b と接続された端部 9 1 a、9 1 b を除く本体 9 1 c には、貫通開口 9 1 c 1 ~ 9 1 c 4 が上記第 1 の方向 D 1 に沿って所定の間隔でもって複数形成されている。この貫通開口 9 1 c 1 ~ 9 1 c 4 は、長方形形状をしており、その長手方向が上記第 1 の方向 D 1 と一致している。

このような構成の実施の形態 9 では、熱応力を生ずる下層配線 9 1 を、その配線長方向（第 1 の方向）D 1 に沿って配置された複数の貫通開口 9 1 c 1 ~ 9 1 c 4 を有する構成としたので、下層配線 9 1 の本体 9 1 c の、該貫通開口が形成された部分は、該下層配線 9 1 に発生した熱応力により伸長変形しやすくなる。これにより、該下層配線 9 1 内の熱応力が充分緩和されることとなり、上記下層配線 9 1 の熱応力により上層配線 2 a、2 b や、これと下層配線 9 1 との接続部分等が断線するのを抑制することができ、半導体装置における信頼性を向上することができる。

なお、下層配線の貫通開口の形状は、図 9 (a) に示すように、第 1 の方向 D 1 を長手方向とする長方形形状に限るものではない。

例えば、図 9 (b) は本実施の形態 9 の変形例による配線構造を示しており、この配線構造では、下層配線の貫通開口は、上記第 1 の方向 D 1 と垂直な第 2 の方向 D 2 を長手方向とする長方形形状となっている。

つまり、図 9 (b) において、9 5 は実施の形態 9 の変形例による半導体装置の配線構造の 1 つであり、図 9 (a) と同一符号は上記実施の形態 9 におけるものと同一のものを示している。

この配線構造 9 5 は、第 1 の方向 D 1 に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に引っ張り応力（熱応力）が生じている下層配線（第 1 の配線）9 6 と、該下層配線 9 6 に電氣的に接続され、該下層配線 9 6 の熱応力の影響を受ける上層配線（第 2 の

配線) 2 a, 2 b とを備えている。上記上層配線 2 a の端部 2 a 1 は、上記下層配線 9 6 の一端部 9 6 a 上に位置し、層間絶縁膜に形成したコンタクトホール 7 a を介して上記下層配線 9 6 の一端部 9 6 a に接続されている。また、上記上層配線 2 b の端部 2 b 1 は、上記下層配線 9 6 の他端部 9 6 b 上に位置し、層間絶縁膜に形成したコンタクトホール 7 b を介して上記下層配線 9 6 の他端部 9 6 b に接続されている。

ここで、上記下層配線 9 6 は、シリコン基板 5 上に絶縁膜を介して形成された白金層をパターンニングしてなるものであり、上記上層配線 2 a, 2 b と接続された端部 9 6 a, 9 6 b を除く本体 9 6 c には、貫通開口 9 6 c 1 ~ 9 6 c 4 が上記第 1 の方向 D 1 に沿って所定の間隔をもって複数形成されている。この貫通開口 9 6 c 1 ~ 9 6 c 4 は、長方形形状をしており、その長手方向が上記第 1 の方向 D 1 と垂直な第 2 の方向 D 2 と一致している。

このような構成の実施の形態 9 の変形例では、熱応力を生ずる下層配線 9 6 を、その配線方向 D 1 に沿って配置された複数の長方形形状の貫通開口 9 6 c 1 ~ 9 6 c 4 を有する構成とし、しかも該長方形形状の貫通開口 9 6 c 1 ~ 9 6 c 4 の長手方向を上記下層配線 9 6 の配線方向 (第 1 の方向) D 1 と垂直な第 2 の方向 D 2 と一致させているので、該下層配線 9 6 の本体 9 6 c の、貫通開口の形成部分は、上記実施の形態 9 のものに比べると、実質的な配線幅が小さくなり、該下層配線 9 6 に発生した熱応力により、より一層伸長変形しやすくなる。これにより、該下層配線 9 6 内の熱応力が非常に効果的に緩和されることとなり、上記下層配線 9 6 の熱応力により上層配線 2 a, 2 b や、これと下層配線 9 6 との接続部分等が断線するのを一層抑制することができ、半導体装置における信頼性のさらなる向上を図ることができる。

なお、本実施の形態 9 では、半導体装置の多層配線構造として、図 9 (a) に示す配線構造 9 0、及びその変形例としての配線構造 9 5 (図 9

(b) 参照) を示したが、本実施の形態 9 及びその変形例による半導体装置は、上記配線構造 90 や 95 の他に、上記各実施の形態 1 ~ 8 に示す配線構造 10, 20, 30, 40, 50, 55, 60, 70, 75, 80, 85, 87、及び図 12 に示す従来の配線構造 250 のうちの所要
5 のものを有するものであってもよい。また、本実施の形態 9 の変形例としては、上記配線構造 90 及び 95 の両方を有するものも考えられる。

また、上記実施の形態 1 ~ 9 では、下層配線を白金から構成しているが、下層配線の構成材料は、白金に限るものではなく、例えばイリジウム、チタン、タングステン等の高融点金属材料であってもよい。

10 また、上記実施の形態 1 ~ 9 では、下層配線内部にて熱応力が発生し、上層配線がその熱応力の影響を受ける配線構造を示したが、これは、上層配線の内部にて熱応力が発生し、下層配線がその熱応力の影響を受ける配線構造であってもよい。

また、上記実施の形態 1 ~ 9 では、下層配線内部にて引っ張り応力が
15 発生する場合について説明したが、下層配線は、内部に膨張応力が発生するものであってもよい。

さらに、上記実施の形態 1 ~ 9 では、下層配線として単に金属材料からなるもの
を示したが、下層配線と、例えば強誘電体メモリ装置の強誘電体キャパシタを構成する下部電極(セルプレート電極)とが同一の金
20 属層をパターンニングして形成される半導体装置では、上記下層配線を、
図 13 (c) に示すように、その表面に強誘電体層が形成されている構造
としてもよい。

また、上記実施の形態 1 ~ 9 では、半導体装置の、上層配線と下層配
25 線とを有する配線構造について示したが、上記各実施の形態 3 ~ 9 の配
線構造における下層配線の構造は、強誘電体メモリ装置における強誘電
体キャパシタを構成する下部電極や上部電極にも適用することができる。

例えば、上記実施の形態 7, 8 における下層配線の構造は、該下層配

線を強誘電体キャパシタの下部電極として用い、該下層配線の狭配線幅部分以外の領域に強誘電体キャパシタの強誘電体層及び上部電極を配置して、下層配線上に複数の強誘電体キャパシタを構成する場合に有効なものである。また、実施の形態 9 の下層配線の構造についても、該下層配線を強誘電体キャパシタの下部電極として用い、該下層配線の、貫通開口を形成した部分以外の領域に強誘電体キャパシタの強誘電体層及び上部電極を配置して、下層配線上に複数の強誘電体キャパシタを構成することができる。

また、実施の形態 1 及び 2 の配線構造における上層配線は、強誘電体メモリ装置の強誘電体キャパシタを構成する下部電極の両端部に接続される上層配線として用いることもできる。

実施の形態 10 .

そこで、以下、本発明の実施の形態 10 として、上記実施の形態 5 及び 6 の下層配線の構造を、強誘電体メモリ装置における強誘電体キャパシタを構成する下部電極に適用し、強誘電体メモリ装置における下部電極の分割部分を接続するための上層配線に、上記実施の形態 1 の上層配線の構造を適用したものを示す。

図 10 は、本発明の実施の形態 10 による強誘電体メモリ装置を説明するため平面図であり、該強誘電体メモリ装置におけるメモリセルアレイを示している。また、図 11 (a) は該図 10 における XI a - XI a 線部分の断面図、図 11 (b) は該図 10 における XI b - XI b 線部分の断面図、図 11 (c) は該図 10 における XI c - XI c 線部分の断面図である。また、図 12 はこの強誘電体メモリ装置の動作を説明するためのタイミングチャート図である。

図において、100 は強誘電体メモリ装置を構成するメモリセルアレイであり、シリコン基板 101 上には、第 1 の方向 D1 及びこれに垂直な第 2 の方向 D2 に沿ってトランジスタ領域（図 10 では、トランジス

タ領域 120a1, 120b1, 120b2, 120c1 のみ示す。) がマトリス状に配列されており、該シリコン基板 101 の、各トランジスタ領域以外の表面領域には素子分離絶縁膜 102 が形成されている。

また、第 1 の方向 D1 に沿った各列のトランジスタ領域に隣接して、
5 下部電極 (第 1 の電極) (図 10 では下部電極 111a, 111b のみ示す。) がセルプレート電極として設けられている。該下部電極 111a, 111b は、白金、イリジウム、タングステン、チタン等の高融点金属材料からなる金属膜をパターニングして形成されており、素子分離絶縁膜 102 上に第 1 の層間絶縁膜 103 を介して配置されている。また
10 上記下部電極は、上記第 1 の方向 D1 に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする帯状平面形状を有し、その表面には強誘電体層 113 が形成されている。

また、上記各下部電極の表面の強誘電体層 113 上には、白金、イリジウム、タングステン、チタン等の高融点金属材料からなる金属膜をパ
15 ターニングして形成された上部電極 (第 2 の電極) (図 10 では上部電極 112a1, 112a2, 112a3, 112b1, 112b2, 112b3 のみ示す。) が形成されている。つまり上記各下層電極の強誘電体層 113 上には、上記第 1 の方向 D1 に沿って上部電極が複数配置されている。また各上部電極の平面形状は、上記第 1 の方向 D1 を長
20 手方向とする長方形形状となっており、しかも該上部電極の面積は下部電極の面積より小さくなっている。そして、上記強誘電体層 113 の表面及び上部電極の表面は第 2 の層間絶縁膜 104 により被覆されている。

ここでは、上記下部電極 111a と、その上方に位置する上部電極 112a1, 112a2, 112a3 と、該下部電極と上部電極との間
25 の強誘電体層 113 とにより、強誘電体キャパシタ 110a1, 110a2, 110a3 が構成されている。また、上記下部電極 111b と、その上方に位置する上部電極 112b1, 112b2, 112b3 と、

該下部電極と上部電極との間の強誘電体層 113 とにより、強誘電体キャパシタ 110b1, 110b2, 110b3 が構成されている。そして、強誘電体キャパシタ 110a1 は上記トランジスタ領域 120a1 に対応し、強誘電体キャパシタ 110a2, 110b2 は上記トランジスタ領域 120b1 に対応し、強誘電体キャパシタ 110a3, 110b3 は上記トランジスタ領域 120b2 に対応している。

なお、本実施の形態 10 では、上記各強誘電体キャパシタ 110 の特性のばらつき、つまり強誘電体層の分極率のばらつきを少なくし、かつ特性変動、つまり分極率の経時変化を少なくするために、下部電極内に生ずる引っ張り応力（熱応力）などを考慮し、上記隣接する上部電極間の距離や、下部電極上で上部電極の占める面積が最適化されている。

また、上記トランジスタ領域を挟んで対向する両下部電極の間には、ポリシリコンからなる一对のワード線（図 10 ではワード線 123a, 123b, 123c, 123d, 123e, 123f のみ示す。）が、1 列に並ぶ複数のトランジスタ領域に跨がるよう配置されている。該各トランジスタ領域における該ワード線の両側には、メモリセルを構成するトランジスタのソース拡散領域 122, ドレイン拡散領域 121 が形成されている。上記ワード線の各トランジスタ領域上に位置する部分は上記トランジスタのゲートを構成しており、基板 101 の表面領域上にゲート絶縁膜 102a を介して位置している。上記拡散領域 121, 122 及びワード線の表面は、上記第 1 及び第 2 の層間絶縁膜 103, 104 により被覆されている。

そして、上記各トランジスタ領域における一对のワード線の内側に位置するソース拡散領域 122 は、上記第 1, 第 2 の層間絶縁膜 103, 104 に形成したコンタクトホール 105b を介して、上記第 1 の方向 D1 と直交する第 2 の方向に沿って延びるビット線（図 10 ではビット線 113b1, 113b2, 113b3 のみ示す。）に接続されている。

る。また、上記各トランジスタ領域における一对のワード線の外側に位置するドレイン拡散領域121は、接続配線113aにより、各トランジスタ領域に対応する強誘電体キャパシタの上部電極に電氣的に接続されている。つまり上記接続配線113aの一端部は、上記第2の層間絶縁膜104に形成したコンタクトホール104aを介して上記上部電極に接続され、上記接続配線113aの他端部は、上記第1、第2の層間絶縁膜103、104に形成したコンタクトホール105aを介してドレイン拡散領域121に接続されている。

ここで、上記第1の層間絶縁膜103はNSG（酸化珪素系）やBPSG（ボロン燐ドーパ酸化シリコン）等の絶縁材料からなり、第2の層間絶縁膜104は、例えばPSG（燐ドーパ酸化シリコン）等の絶縁材料からなる。

また、上記強誘電体キャパシタの強誘電体層113を構成する強誘電体材料としては、 KNO_3 、 $\text{PbLa}_2\text{O}_3 - \text{ZrO}_2 - \text{TiO}_2$ 、および $\text{PCTiO}_3 - \text{PbZrO}_3$ などが知られている。また、PCT国際公開第WO93/12542号公報によれば、強誘電体メモリ装置に適した、 $\text{PbTiO}_3 - \text{PbZrO}_3$ に比べて極端に疲労の小さい強誘電体材料も知られている。

そして、この実施の形態10のメモリセルアレイ100では、下部電極（セルプレート電極）に上述した実施の形態5及び6における下層配線の構造を適用している。つまり、各下部電極111a、111bは、複数の電極部分（図10では配線部分111a1、111a2、111b1、111b2のみ示す。）に分割した構成となっており、しかも各電極部分の平面形状はジグザグ形状となっている。さらに、下部電極の隣接する個々の電極部分は、層間絶縁膜104上に形成したアルミ層をパターンニングしてなる平面U字型の接続配線113cにより電氣的に接続されている。つまり、この接続配線113cは、層間絶縁膜104に

形成したコンタクトホール104bを介して、対応する下部電極の電極部分に接続されている。

また、上記各下部電極の両端部、具体的には図10に示す下部電極111aの両端部111a11, 111a22は、層間絶縁膜104に形成したコンタクトホール104cを介して、アルミ層をパターンニングしてなる上層配線106a1, 106a2に接続され、下部電極111bの両端部111b11, 111b22は、層間絶縁膜104に形成したコンタクトホール104cを介して、アルミ層をパターンニングしてなる上層配線106b1, 106b2に接続されている。

10 さらに、この実施の形態10の強誘電体メモリ装置は、1T1C構成のメモリ動作をするよう、つまり1ビットの情報を1つのトランジスタと1つのキャパシタとからなる1つのメモリセルに記憶するよう構成されている。

15 なお、上記接続配線113a, 113cと上層配線106a1, 106a2, 106b1, 106b2とは、同一のアルミ層をパターンニングして形成してもよく、また、接続配線と上層配線とはそれぞれ異なるアルミ層のパターンニングにより形成してもよい。

次に、このメモリセルアレイ構成を用いた強誘電体メモリの動作について図12(a)を用いて簡単に説明する。

20 まず、時刻t1にてワード線123bを選択し、時刻t2で強誘電体キャパシタの下部電極(セルプレート線)111aを駆動して、この下部電極の電圧レベルを論理電圧“H”に対応するレベルとする。これによりビット線113b1にメモリセルキャパシタ(強誘電体キャパシタ)110a1のデータが読み出される。また、このときビット線113b225 2にはリファレンス電圧が読み出されるようになっている。

そして時刻t3にて、セルプレート線111aの電位レベルを論理電圧“L”に対応するレベルとし、時刻t4にてワード線123bを非選

択とし読み出し動作を終了する。

同様に、時刻 t 5 にて、ワード線 1 2 3 c を選択し、時刻 t 6 にてセルプレート線 1 1 1 a を駆動して、その電位レベルを論理電圧 “H” に対応するレベルとする。これによりビット線 1 1 3 b 2 にメモリセルキャパシタ 1 1 0 a 2 のデータが読み出される。また、このときビット線 1 1 3 b 1 にはリファレンス電圧が読み出される。そして時刻 t 7 にて、セルプレート線 1 1 1 a の電位レベルを論理電圧 “L” に対応するレベルにし、時刻 t 8 にてワード線 1 2 3 c を非選択として読み出し動作を終了する。1 T 1 C 構成のメモリ動作は上記のように行われる。

10 このような構成の強誘電体メモリ装置では、下部電極（セルプレート線）1 1 1 a, 1 1 1 b を、複数の電極部分 1 1 1 a 1, 1 1 1 a 2, 1 1 1 b 1, 1 1 1 b 2 に分割した構成とし、かつ該各電極部分の平面形状をジグザグの平面形状としたので、該熱応力を個々の電極部分に分散させるとともに、そのジグザグの平面形状における折曲り部にて該電極部分に生ずる熱応力を緩和することができる。これにより下部電極上の強誘電体層に及ぶ下部電極の熱応力が小さくなり、しかも強誘電体層自体に発生する熱応力も小さくなり、強誘電体キャパシタの特性のばらつきや特性の劣化を抑制することができる。

また、該下部電極 1 1 1 a 及び 1 1 1 b の両端部に接続される上層配線 20 線 1 0 6 a 1, 1 0 6 a 2 及び 1 0 6 b 1, 1 0 6 b 2 へ及ぶ下部電極の熱応力が小さくなるため、上記上層配線の断線、該上層配線と下部電極との接続部分の断線等の発生を抑制することができる。

この結果特性が良好でしかも信頼性の高い強誘電体メモリ装置を得ることができる。

25 また、この実施の形態 1 0 では、上記下部電極の配線部分がジグザグ形状となっているため、強誘電体キャパシタを構成する上部電極がジグザグに配置しやすく、このため隣接する上部電極間に電氣的なセパレー

ション領域を確保する加工等が行い易いなどの効果もある。

なお、上記実施の形態 10 では、1 T 1 C 構成のメモリ動作を行うものを示したが、メモリ動作はこれに限るものではなく、例えば 2 T 2 C (2 トランジスタ 2 キャパシタ) 構成のメモリ動作を行うようにしてもよい。

図 1 2 (b) は、上記実施の形態 10 の変形例として、2 T 2 C (2 トランジスタ 2 キャパシタ) 構成の強誘電体メモリ装置を説明するための図であり、2 T 2 C (2 トランジスタ 2 キャパシタ) 構成のメモリ動作のタイミングチャートを示している。

10 図 1 2 (b) 及び図 1 0 を用いてこの動作を簡単に説明すると、時刻 t_1 にてワード線 1 2 3 b 及び 1 2 3 c を同時に選択し、時刻 t_2 にて強誘電体キャパシタのセルプレート線 (下部電極) 1 1 1 a を駆動し、その電位レベルを論理電圧 “H” に対応するレベルとする。これによりビット線 1 1 3 b 1 にはメモリセルキャパシタ 1 1 0 a 1 のデータが、
15 ビット線 1 1 3 b 2 にはメモリセルキャパシタ 1 1 0 a 2 のデータが読み出される。該両メモリセルキャパシタから読み出された相補データをセンスアンプで増幅することにより 1 ビットのデータを読み出す。

そして時刻 t_3 にてセルプレート線 1 1 1 a の電位レベルを、論理電圧 “L” に対応するレベルにし、時刻 t_4 にて、ワード線 1 2 3 b およ
20 びワード線 1 2 3 c を非選択とし読み出し動作を終了する。同様に、時刻 $t_5 \sim t_8$ においても動作させることにより、上述した場合と同様にしてメモリセルのデータが読み出される。

このように、下部電極の熱応力の影響を緩和したメモリセルアレイを有する強誘電体メモリ装置において、2 本のワード線 1 2 3 b、1 2 3
25 c を同時に選択することにより、2 T 2 C 構成のメモリ動作を行うことができる。

なお、上記実施の形態では、白金などの収縮応力の大きな材料からな

る下層配線あるいは下部電極について、これに接続される配線やその上に形成される誘電体層に及ぶ熱応力を低減するための構造について説明したが、これらの構造は、収縮応力ではなく膨張応力のかかる配線や電極にも適用可能である。

5

産業上の利用可能性

請求項 1 の半導体装置によれば、第 1 の方向に沿って延びる、内部に
応力が生じている第 1 の配線と、該第 1 の配線に接続された第 2 の配線
とを備え、該第 2 の配線の、上記第 1 の配線と接続された端部を、上記
10 第 1 の方向に対して所定の角度をなす第 2 の方向に平行となるよう折り
曲げたので、上記第 2 の配線の端部が第 1 の配線に生ずる第 1 の方向の
熱応力により変形し易くなって、上記熱応力が効果的に緩和されること
となる。これにより上記第 1 の配線に生ずる熱応力により第 1、第 2 の
両配線の接続部分が断線したり、第 2 の配線が断線したりするのを抑制
15 することができ、半導体装置の信頼性を向上することができる効果があ
る。

請求項 2 の半導体装置によれば、請求項 1 の半導体装置において、上
記第 2 の配線の端部を、上記第 1 の方向に対して垂直な第 2 の方向と平
行になるよう折り曲げたので、第 2 の配線の端部が第 1 の方向の熱応力
20 により最も変形し易い配置となり、該熱応力による配線等の断線の発生
をより一層抑えることができる効果がある。

請求項 3 の半導体装置によれば、第 1 の方向に沿って延びる、内部に
応力が生じている第 1 の配線と、該第 1 の配線に接続された第 2 の配線
とを備え、該第 2 の配線の、上記第 1 の配線と接続される端部を、上記
25 第 1 の方向に沿って、かつ第 1 の配線の内側に向かった延びるよう配置
したので、上記第 2 の配線端部には、第 1 の配線に生ずる引っ張り応力
が圧縮力として作用することとなり、第 2 の配線端部での断線を回避で

きる。また、この場合、第2の配線が第1の配線の上側あるいはその下側から引き出されるよう、第2の配線の本体がその端部とは所定の角度をなすよう配置されるため、該本体が上記第1の方向の応力に対して変形し易くなり、上記応力が効果的に緩和されることとなる。これにより、
5 上記第1の配線に生ずる応力により第1、第2の両配線の接続部分が断線したり、第2の配線が断線したりするのを抑制することができ、半導体装置の信頼性を向上することができる効果がある。

請求項4の半導体装置によれば、内部に応力が生じている第1の配線と、該第1の配線に接続された第2の配線とを備え、該第1の配線を、
10 少なくとも一部に折曲り部を有する構造としたので、第1の配線に生ずる応力が該折曲り部にて2方向に分散されることとなり、しかも該折曲り部があることによって第1の配線が該応力により変形しやすくなる。これにより該第1の配線の応力による第2の配線等の断線の発生を抑制して、半導体装置の信頼性を向上することができる効果がある。

15 また、第1の配線に接続される第2の配線を、第1の配線と平行に配置することが可能となり、複数の配線が並列して配置される配線レイアウトでは、基板上で配線の占める領域の面積を効果的に小さく抑えることができる。

請求項5の半導体装置によれば、請求項4の半導体装置において、
20 上記第1の配線を、ジグザグの平面形状を持つ、複数箇所で折れ曲がった構造としたので、第1の配線に生ずる応力の分散による緩和がより一層効果的に行われることとなり、第2の配線への第1の配線の応力の影響をより小さくすることができる効果がある。

請求項6の半導体装置によれば、請求項5の半導体装置において、
25 上記第1の配線の折曲り部における側辺を、第1の方向と垂直な方向以外の方向に平行となるようにしているので、ジグザグの平面形状を有する第1の配線の、上記第1の方向と垂直な方向における寸法を小さくして、

該第 1 の配線の基板上で占める領域を小さくできる。

請求項 7 の半導体装置によれば、内部に応力が生じている第 1 の配線と、該第 1 の配線に接続された第 2 の配線とを備え、上記第 1 の配線を、その全体が複数の配線部分に分割され、個々の配線部分が、第 1 の配線の一端側から他端側に至る所定の電流経路を形成するよう電氣的に接続された構造としたので、第 1 の配線に生ずる応力が、個々の配線部分に分散されることとなり、第 1 の配線の応力を緩和することができる。これにより、該第 1 の配線の応力による第 2 の配線等の断線の発生を抑制して、半導体装置の信頼性を向上することができる効果がある。

10 請求項 8 の半導体装置によれば、第 1 の方向に沿って延びる、内部に
応力が生じている第 1 の配線と、該第 1 の配線に接続された第 2 の配線
とを備え、上記第 1 の配線を、その一部に他の部分に比べて配線幅の狭
い狭配線幅部分を有する構造としたので、上記第 1 の配線では、上記狭
配線幅部分が他の部分に比べて第 1 の方向の応力により変形し易くなっ
15 て、この応力が効果的に緩和されることとなる。これにより上記第 1 の
配線に生ずる応力により第 1、第 2 の両配線の接続部分が断線したり、
第 2 の配線が断線したりするのを抑制することができ、半導体装置の信
頼性を向上することができる効果がある。

また、第 1 の配線に接続される第 2 の配線を、第 1 の配線と平行に配
20 置することができ、複数の配線が並列して配置される配線レイアウトで
は、基板上で配線の占める領域の面積を効果的に小さく抑えることがで
きる効果もある。

請求項 9 の半導体装置によれば、請求項 8 の半導体装置において、上
記狭配線幅部分を、第 1 の配線の本体をその配線経路における所定位置
25 にてその両側から切り欠いて形成した構造としたので、第 1 の配線に生
ずる応力によっては狭配線幅部分が積極的に変形することとなり、第 1
の配線における狭配線幅部分以外の部分での変形を抑制できる。

請求項 10 の半導体装置によれば、請求項 9 の半導体装置において、上記第 1 の配線における狭配線幅部分の側辺を、第 1 の方向と垂直な方向以外の方向と平行となるようにしたので、切り欠部の面積を小さくして、第 1 の配線における、隣接する狭配線幅部分間に広い領域を確保することができる。例えば、該隣接する狭配線幅部分間の領域にキャパシタ等の素子構成部材を配置する場合には、容量の大きなキャパシタを実現できる。

請求項 11 の半導体装置によれば、請求項 8 の半導体装置において、第 1 の配線の本体を、該本体をその一方の側辺側から切り欠いて形成した第 1 の狭配線幅部分と、該本体をその他方の側辺側から切り欠いて形成した第 2 の狭配線幅部分とをそれぞれ少なくとも 1 つ有する構造としたので、上記第 1 の配線に生ずる応力による狭配線幅部分が変形する際、該狭配線幅部分は切り欠部と反対側に反るよう湾曲することとなるので、該狭配線幅部分の変形により上記応力が大きく緩和されることとなる。このため、第 1 の配線の応力による第 2 の配線等の断線を一層抑制することができる、半導体装置の信頼性をさらに向上することができる効果がある。

請求項 12 の半導体装置によれば、請求項 11 の半導体装置において、上記第 1 の配線における第 1、第 2 の狭配線幅部分の配線幅を、該第 1 の配線の本体における狭配線幅部分以外の部分の配線幅の $1/2$ より大きくし、第 1 の配線の中心線が上記第 1、第 2 の狭配線幅部分の切り欠により分断されるようにしたので、切り欠により形成した狭配線幅部分では上記第 1 の配線の応力による湾曲変形が生じ易くなる。つまり、狭配線幅部分は変形し易くなり、これにより第 1 の配線の応力による第 2 の配線等の断線をより一層抑制することができ、半導体装置の信頼性を大きく向上することができる効果がある。

請求項 13 の半導体装置によれば、請求項 12 の半導体装置において、

上記第 1 の配線における狭配線幅部分の、切り欠部が位置する側の側辺を、上記第 1 の方向と垂直な方向以外の方向に平行となるようにしたので、切り欠部の面積を小さくして、第 1 の配線における、隣接する狭配線幅部分間に広い領域を確保することができる。例えば、該隣接する狭配線幅部分間の領域にキャパシタ等の素子構成部材を配置する場合には、

5 容量の大きなキャパシタを実現できる。

請求項 1 4 の半導体装置によれば、第 1 の方向に沿って延びる、内部に応力が生じている第 1 の配線と、該第 1 の配線に接続された第 2 の配線とを備え、上記第 1 の配線を、少なくとも一部に貫通開口を有する構造としたので、上記第 1 の配線の貫通開口を形成した部分は、他の部分

10 に比べて第 1 の方向の応力により変形し易くなって、上記応力が効果的に緩和されることとなる。これにより上記第 1 の配線に生ずる応力により第 1、第 2 の両配線の接続部分が断線したり、第 2 の配線が断線したりするのを抑制することができ、半導体装置の信頼性を向上することができる

15 効果がある。

請求項 1 5 の半導体装置によれば、請求項 1 4 の半導体装置において、上記貫通開口の平面形状を、上記第 1 の方向における寸法がこれと垂直な方向における寸法より短い長方形形状としたので、上記第 1 の配線における貫通開口を形成した部分がより変形し易くなり、これにより第 1

20 の配線の応力による第 2 の配線等の断線をより一層抑制することができ、半導体装置の信頼性を大きく向上することができる効果がある。

請求項 1 6 の半導体装置によれば、請求項 1 ないし 1 5 のいずれかの半導体装置において、上記第 1 の配線を、白金、イリジウム、あるいはタングステンから構成し、第 1 の配線の表面には、強誘電体材料からなる絶縁性層を形成したので、熱膨張係数の大きい金属材料により第 1 の

25 配線を構成した場合でも、第 1 の配線に生ずる熱応力による第 2 の配線の断線や、第 1 及び第 2 の配線の接続部分での断線を抑制することがで

きる。さらに第1の配線の表面に形成されている絶縁性層を、強誘電体メモリ装置を構成する強誘電体キャパシタの誘電体層として用いた場合には、第1の配線における応力による強誘電体キャパシタの特性ばらつきや特性劣化、つまり強誘電体層での分極率のばらつきや使用による分極率の低下を抑制することができる。

請求項17の半導体装置によれば、強誘電体メモリ装置を構成する強誘電体キャパシタの第1の電極を、少なくとも一部に折曲り部を有する構造としたので、第1の電極に生ずる応力が該折曲り部にて2方向に分散されることとなり、しかも該折曲り部があることによって第1の電極が該応力により変形しやすくなる。これにより第1の電極に密着して形成されている強誘電体層における応力を緩和して、強誘電体キャパシタの特性のばらつきや特性劣化を抑制できる。また、セルプレート線として構成される第1の電極に接続される配線への、第1の電極の熱応力の影響を小さくして、該配線等の断線の発生を抑制することができ、強誘電体メモリ装置の信頼性を向上することができる効果がある。

請求項18の半導体装置によれば、強誘電体メモリ装置を構成する強誘電体キャパシタの第1の電極を、その全体が複数の電極部分に分割され、個々の電極部分が、第1の電極の一端側から他端側に至る所定の電流経路を形成するよう電気的に接続された構造としたので、第1の電極に生ずる熱応力等の応力が、個々の電極部分に分散されることとなり、第1の電極の応力を緩和することができる。これにより上記請求項17と同様にして、強誘電体キャパシタの特性のばらつきや特性劣化を抑制できるとともに、上記第1の電極に接続される配線等の断線の発生を抑制することができ、強誘電体メモリ装置の信頼性を向上することができる効果がある。

請求項19の半導体装置によれば、請求項17の半導体装置において、上記第1の電極を、ジグザグの平面形状を持つ、複数箇所折れ曲がっ

た構造としたので、第1の電極に生ずる応力の分散による緩和がより一層効果的に行われることとなり、該第1の電極に接続される配線への、該第1の電極の応力の影響をより小さくすることができる効果がある。

請求項20の半導体装置によれば、請求項19の半導体装置において、

5 第1、第2のメモリセル群に対応する第1、第2のワード線群と、第1、第2のメモリセル群に対応する第1、第2のビット線群とを備え、第1のワード線群の1つのワード線と、第2のワード線群の1つのワード線とを同時に選択して、第1、第2のビット線群の1つのビットに相補データを

10 読み出すようにしたので、強誘電体キャパシタの特性ばらつきや特性変動により間違っただータの読み出しを抑制することができる。この結果、強誘電体キャパシタの特性ばらつきや特性劣化などの特性変動が少ない2T2C相補型動作の安定した強誘電体メモリ装置を得ることができる。

請 求 の 範 囲

1. 第1の方向に沿って延び、該第1の方向と垂直な第2の方向を配線幅方向とする、内部に応力が生じている第1の配線と、
- 5 該第1の配線に電氣的に接続され、該第1の配線の応力の影響を受ける第2の配線とを備え、
上記第2の配線は、上記第1の配線と接続された端部が、上記第1の方向に対して所定の角度をなす方向と平行になるよう折り曲がっているものであることを特徴とする半導体装置。
- 10 2. 請求項1記載の半導体装置において、
上記第2の配線は、上記第1の配線と接続された端部が上記第1の方向に対して垂直な第2の方向と平行になるよう折り曲がっているものであることを特徴とする半導体装置。
- 15 3. 第1の方向に沿って延び、該第1の方向と垂直な第2の方向を配線幅方向とする、内部に応力が生じている第1の配線と、
該第1の配線の端部に電氣的に接続され、該第1の配線の応力の影響を受ける第2の配線とを備え、
上記第2の配線は、上記第1の配線と接続された端部が、上記第1の配線に沿ってかつ該第1の配線の内側に向かって延びるよう配置されているものであることを特徴とする半導体装置。
- 20 4. 内部に応力が生じている第1の配線と、
該第1の配線に電氣的に接続され、該第1の配線の応力の影響を受ける第2の配線とを備え、
上記第1の配線は、その一部に形成された折曲り部を有することを特徴とする半導体装置。
- 25 5. 請求項4記載の半導体装置において、
上記第1の配線の、上記第2の配線と接続された端部を除く本体は、

ジグザグの平面形状をなすよう、複数箇所では折れ曲がった構造となっていることを特徴とする半導体装置。

6. 請求項 5 記載の半導体装置において、

5 上記第 1 の配線の本体は、上記第 1 の方向と直交する方向以外の方向と平行な斜め配線部分のみから、あるいは該斜め配線部分及び上記第 1 の方向と平行な配線部分のみから構成されていることを特徴とする半導体装置。

7. 第 1 の方向に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に応力が生じている第 1 の配線と、

10 該第 1 の配線に電氣的に接続され、該第 1 の配線の応力の影響を受ける第 2 の配線とを備え、

上記第 1 の配線は、その全体が複数の配線部分に分割された構造となっており、

15 上記第 1 の配線における個々の配線部分は、該第 1 の配線の一端側から他端側に至る所定の電流経路を形成するよう電氣的に接続されていることを特徴とする半導体装置。

8. 第 1 の方向に沿って延び、該第 1 の方向と垂直な第 2 の方向を配線幅方向とする、内部に応力が生じている第 1 の配線と、

20 該第 1 の配線に電氣的に接続され、該第 1 の配線の応力の影響を受ける第 2 の配線とを備え、

上記第 1 の配線は、上記第 2 の配線と接続された端部を除く本体の一部を切り欠いて形成した、他の部分に比べて配線幅の狭い狭配線幅部分を有することを特徴とする半導体装置。

9. 請求項 8 記載の半導体装置において、

25 上記狭配線幅部分は、上記第 1 の配線の本体を、その配線経路における所定位置にてその両側から切り欠いて形成したものであることを特徴とする半導体装置。

10. 請求項9記載の半導体装置において、

上記狭配線幅部分の側辺は、上記第1の方向と垂直な方向以外の方向と平行になっていることを特徴とする半導体装置。

11. 請求項8記載の半導体装置において、

- 5 上記第1の配線の本体は、該本体をその一方の側辺側から切り欠いて形成した第1の狭配線幅部分と、該本体をその他方の側辺側から切り欠いて形成した第2の狭配線幅部分とをそれぞれ少なくとも1つ有する構造としたものであることを特徴とする半導体装置。

12. 請求項11記載の半導体装置において、

- 10 上記第1、第2の狭配線幅部分の配線幅を、上記第1の配線の本体における該狭配線幅部分以外の部分の配線幅の $1/2$ より小さくし、該第1の配線の中心線に沿った電流経路が、該第1、第2の狭配線幅部分の切り欠きにより分断されるようにしたことを特徴とする半導体装置。

13. 請求項11記載の半導体装置において、

- 15 上記第1、第2の狭配線幅部分における、切り欠きが位置する側の側辺は、上記第1の方向と垂直な方向以外の方向と平行になっていることを特徴とする半導体装置。

14. 第1の方向に沿って延び、該第1の方向と垂直な第2の方向を配線幅方向とする、内部に応力が生じている第1の配線と、

- 20 該第1の配線に電氣的に接続され、該第1の配線の応力の影響を受ける第2の配線とを備え、

上記第1の配線は、上記第2の配線と接続された端部を除く本体に形成された貫通開口を有することを特徴とする半導体装置。

15. 請求項14記載の半導体装置において、

- 25 上記貫通開口の平面形状は、上記第1の方向における寸法が、該第1の方向と垂直な第2の方向における寸法により短い長方形形状となっていることを特徴とする半導体装置。

16. 請求項1ないし15のいずれかに記載の半導体装置において、
上記第1の配線は、白金、イリジウム、チタン、あるいはタングステ
ンから構成されており、該第1の配線の表面には、強誘電体材料からな
る絶縁性層が形成されていることを特徴とする半導体装置。
- 5 17. トランジスタ及び強誘電体キャパシタからなるメモリセルを複
数有する強誘電体メモリ装置であって、
該強誘電体キャパシタを、内部に応力が生じている第1の電極と、こ
れと対向して位置する第2の電極と、該第1及び第2の電極間に位置す
る強誘電体層とから構成し、
- 10 上記第1の電極を、その一部に形成された折曲り部を有する構造とし
たものであることを特徴とする半導体装置。
18. トランジスタ及び強誘電体キャパシタからなるメモリセルを複
数有する強誘電体メモリ装置であって、
該強誘電体キャパシタを、第1の方向に沿って延びる、内部に応力が
15 生じている第1の電極と、これと対向して位置する第2の電極と、該第
1及び第2の電極間に位置する強誘電体層とから構成し、
上記第1の電極を、その全体が複数の電極部分に分割され、該個々の
電極部分が、該第1の電極の一端側から他端側に至る所定の電流経路を
形成するよう電氣的に接続された構造としたことを特徴とする半導体装
20 置。
19. 請求項17記載の半導体装置において、
上記第1の電極の、両端部を除く本体は、ジグザグの平面形状をなす
よう、複数箇所折れ曲がった構造となっていることを特徴とする半導
体装置。
- 25 20. 請求項19記載の半導体装置において、
それぞれ複数のメモリセルからなる第1、第2のメモリセル群と、
上記第1、第2のメモリセル群に対応する第1、第2のビット線群と、

上記第1、第2のメモリセル群に対応して設けられ、対応するメモリセル群のメモリセルを構成するトランジスタを開閉制御するための複数のワード線からなる第1、第2のワード線群と、

上記第1、第2のビット線群における各ビット線に接続され、該ビット線上の記憶データをセンスするセンスアンプとを備え、

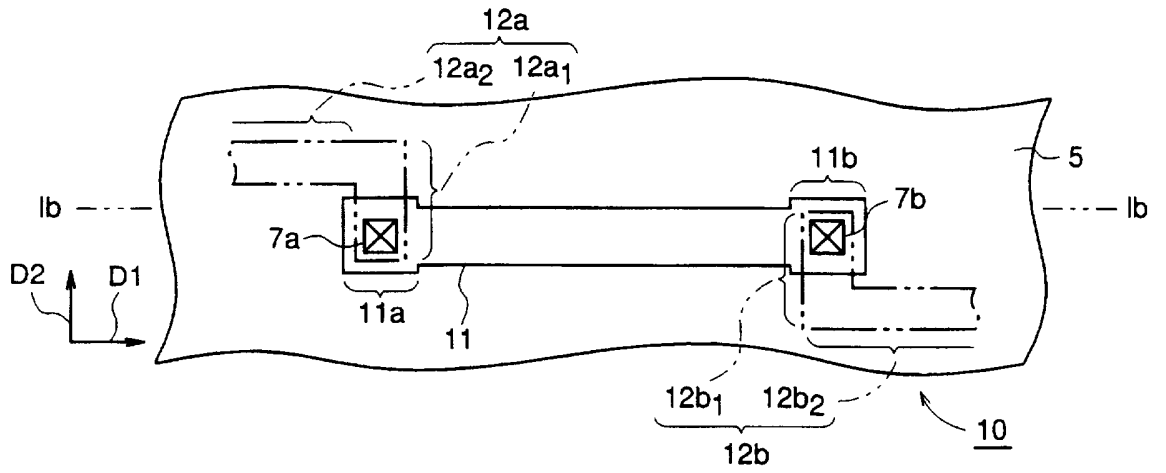
上記各メモリセルを構成する強誘電体キャパシタの第1の電極を、該電極に所定の駆動電圧を印加するためのセルプレート線に接続し、

上記第1のメモリセル群のメモリセルを構成する強誘電体キャパシタの第2の電極を、上記第1のメモリセル群のトランジスタを介して上記第1のビット線群の対応するビット線に接続し、

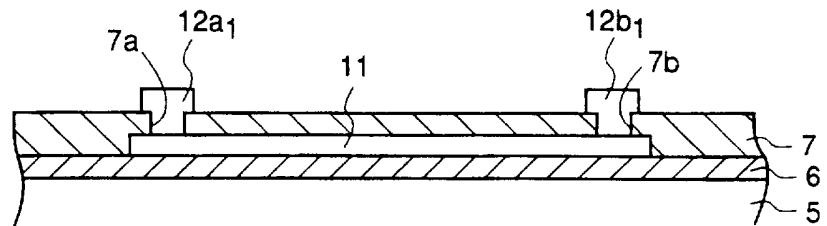
上記第2のメモリセル群のメモリセルを構成する強誘電体キャパシタの第2の電極を、上記第2のメモリセル群のトランジスタを介して上記第2のビット線群の対応するビット線に接続し、

上記第1のワード線群の1つのワード線と、第2のワード線群の1つのワード線とを同時に選択して、上記両ビット線群の対応するビット線に相補データを読みだすよう構成したことを特徴とする半導体装置。

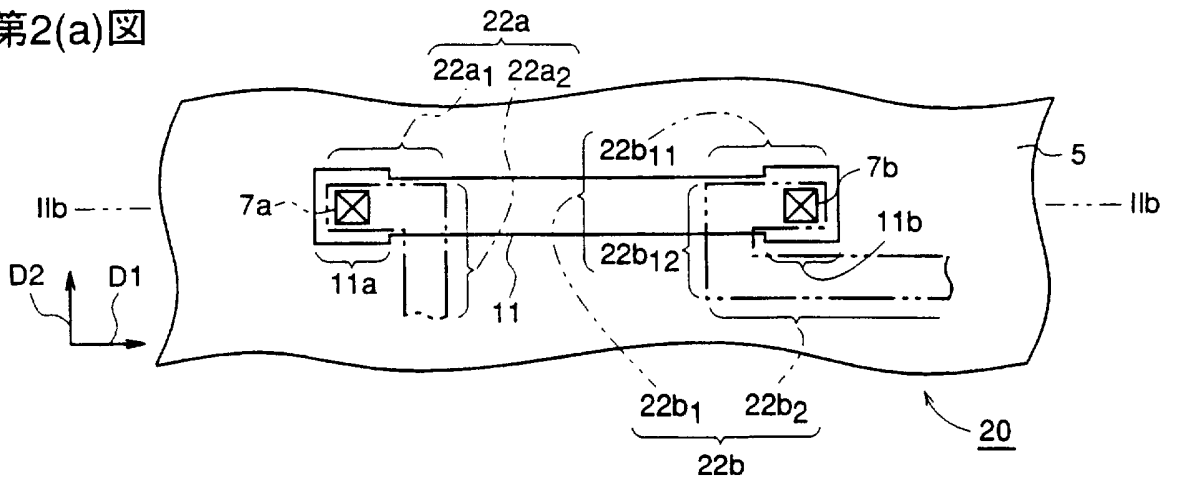
第1(a)図



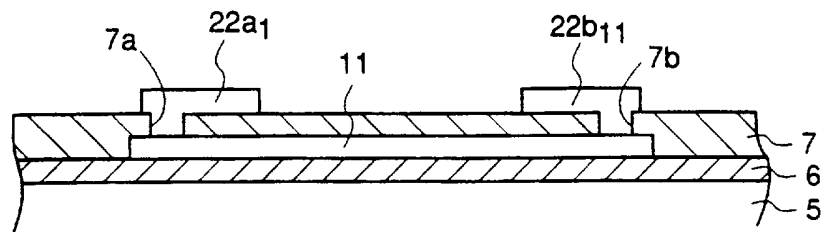
第1(b)図



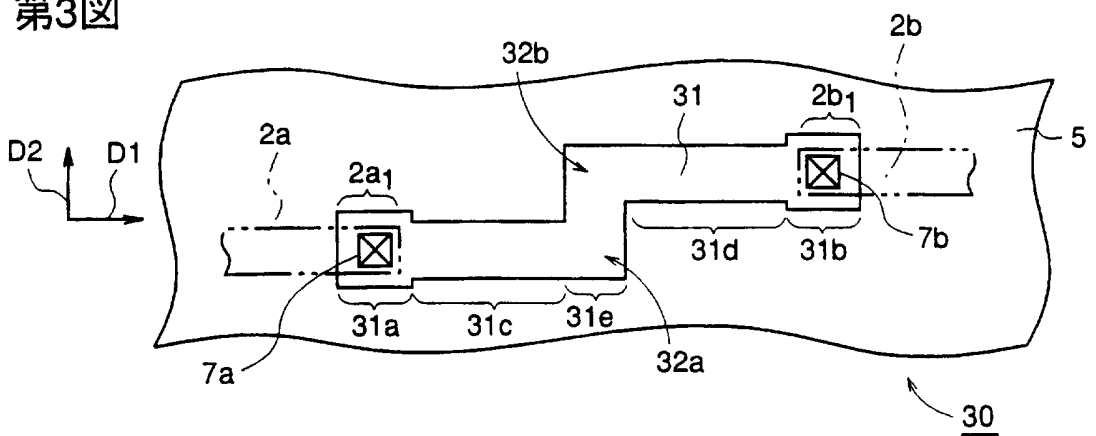
第2(a)図



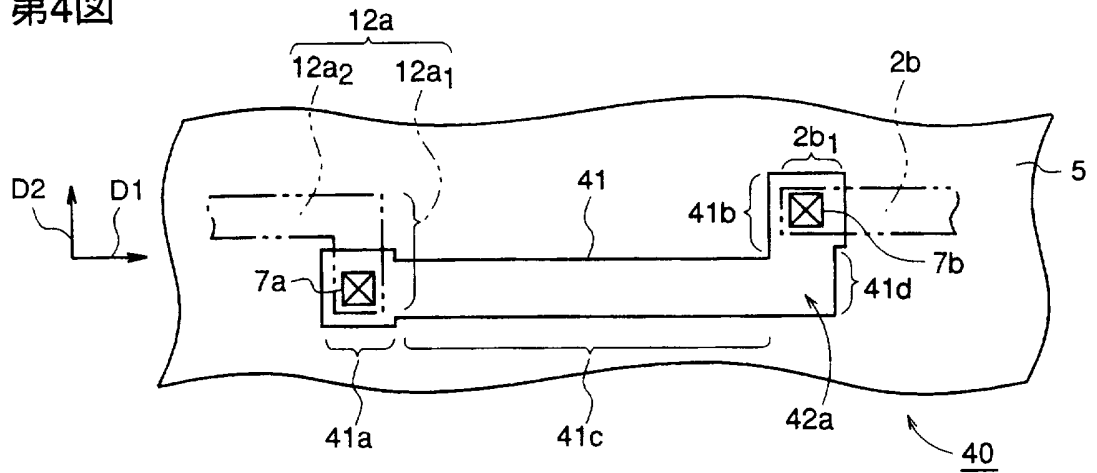
第2(b)図



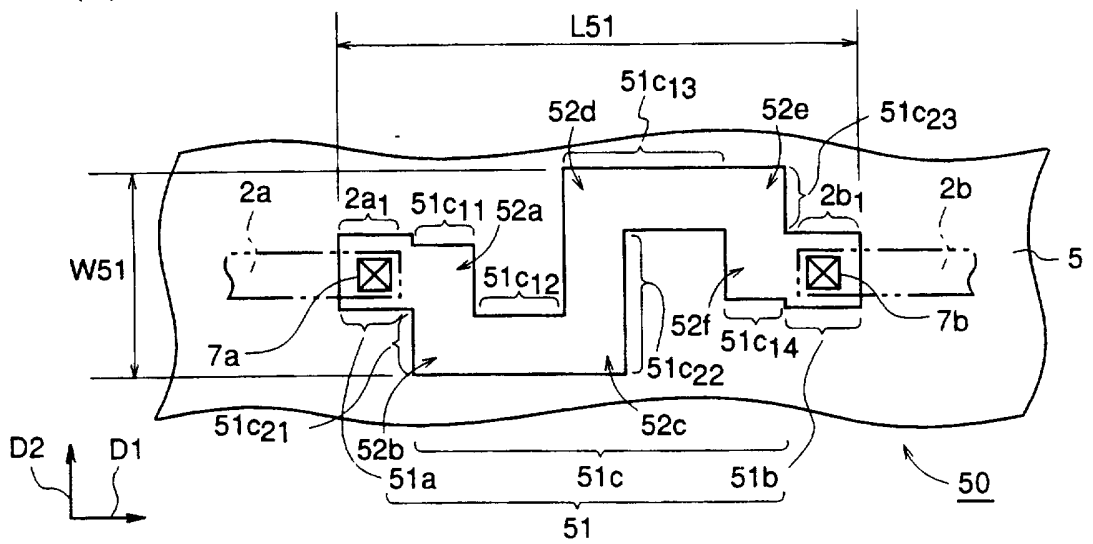
第3図



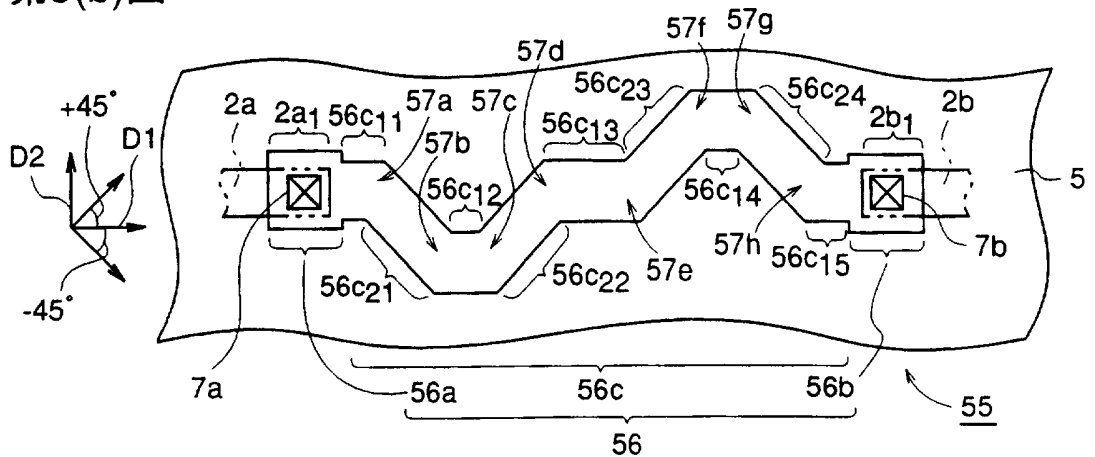
第4図

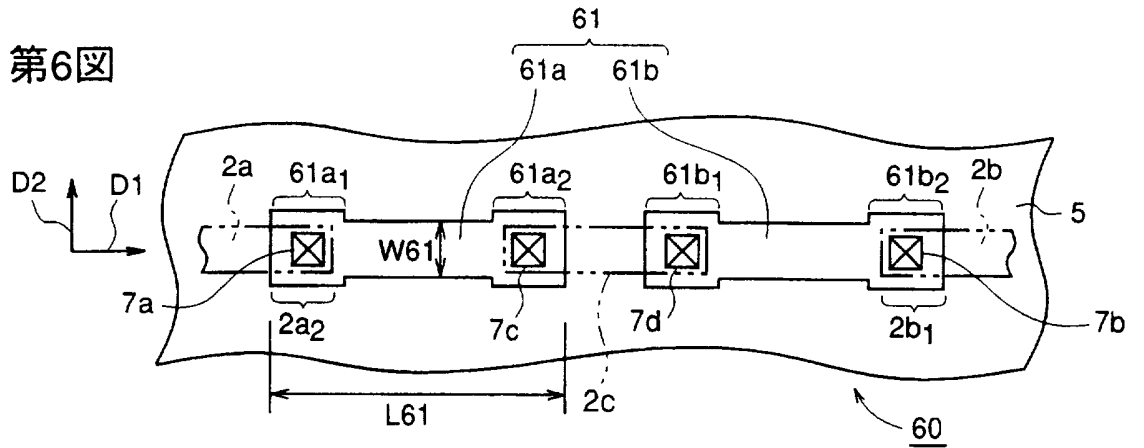


第5(a)図

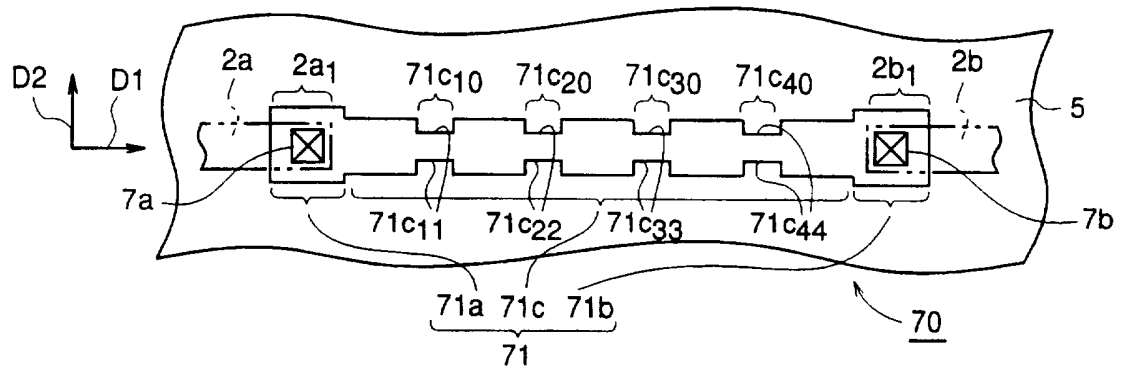


第5(b)図

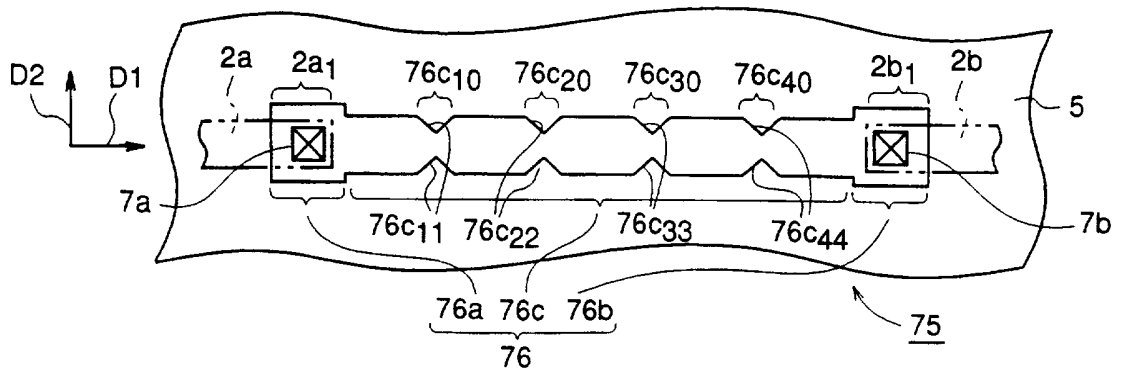




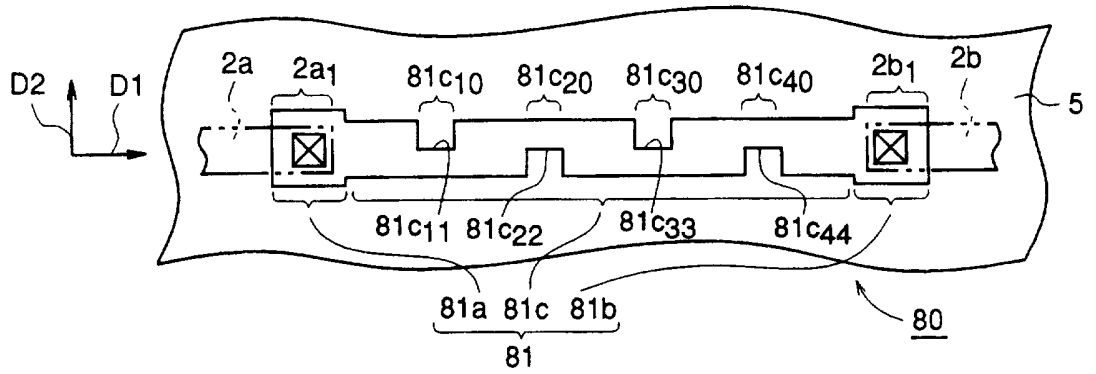
第7(a)図



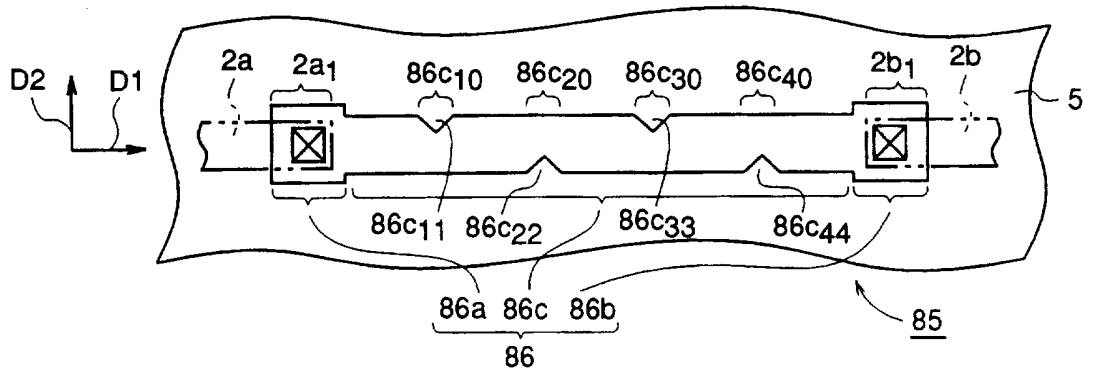
第7(b)図



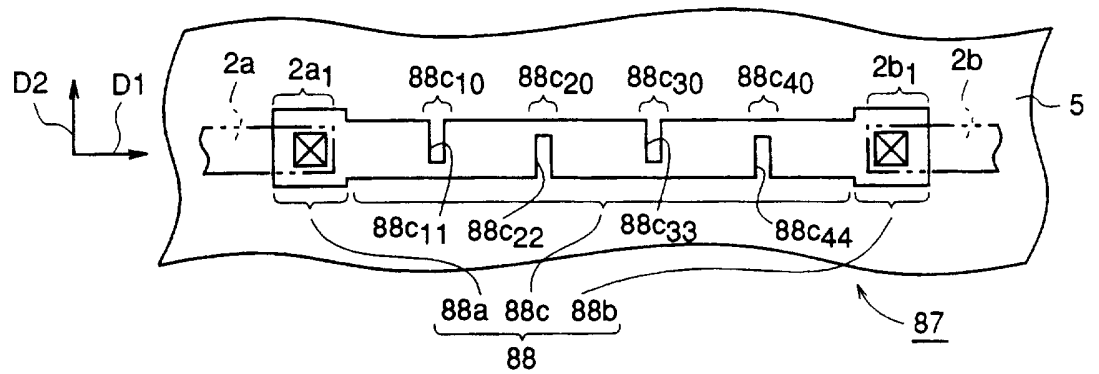
第8(a)図



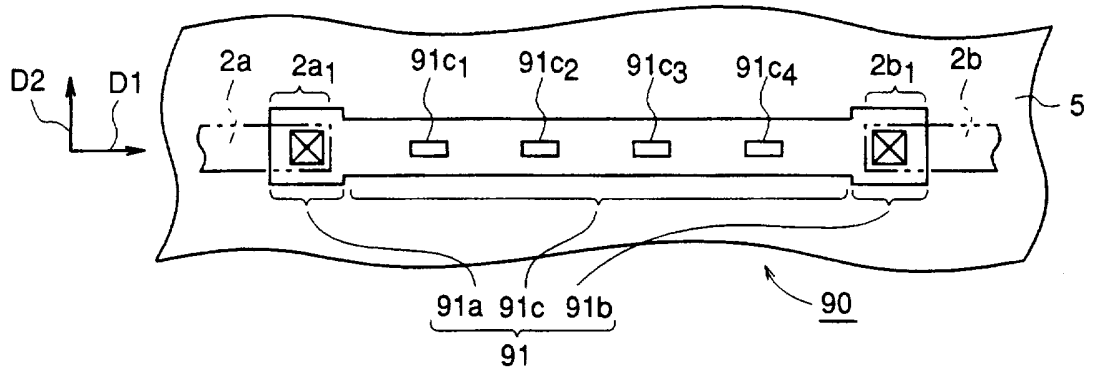
第8(b)図



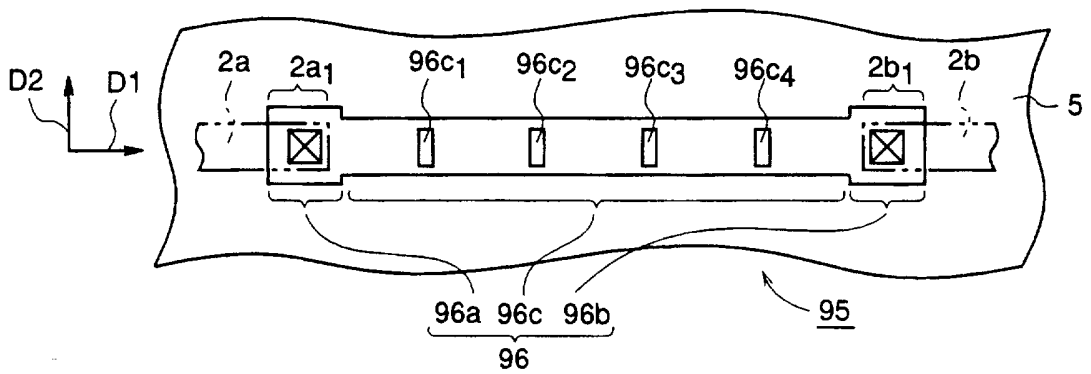
第8(c)図

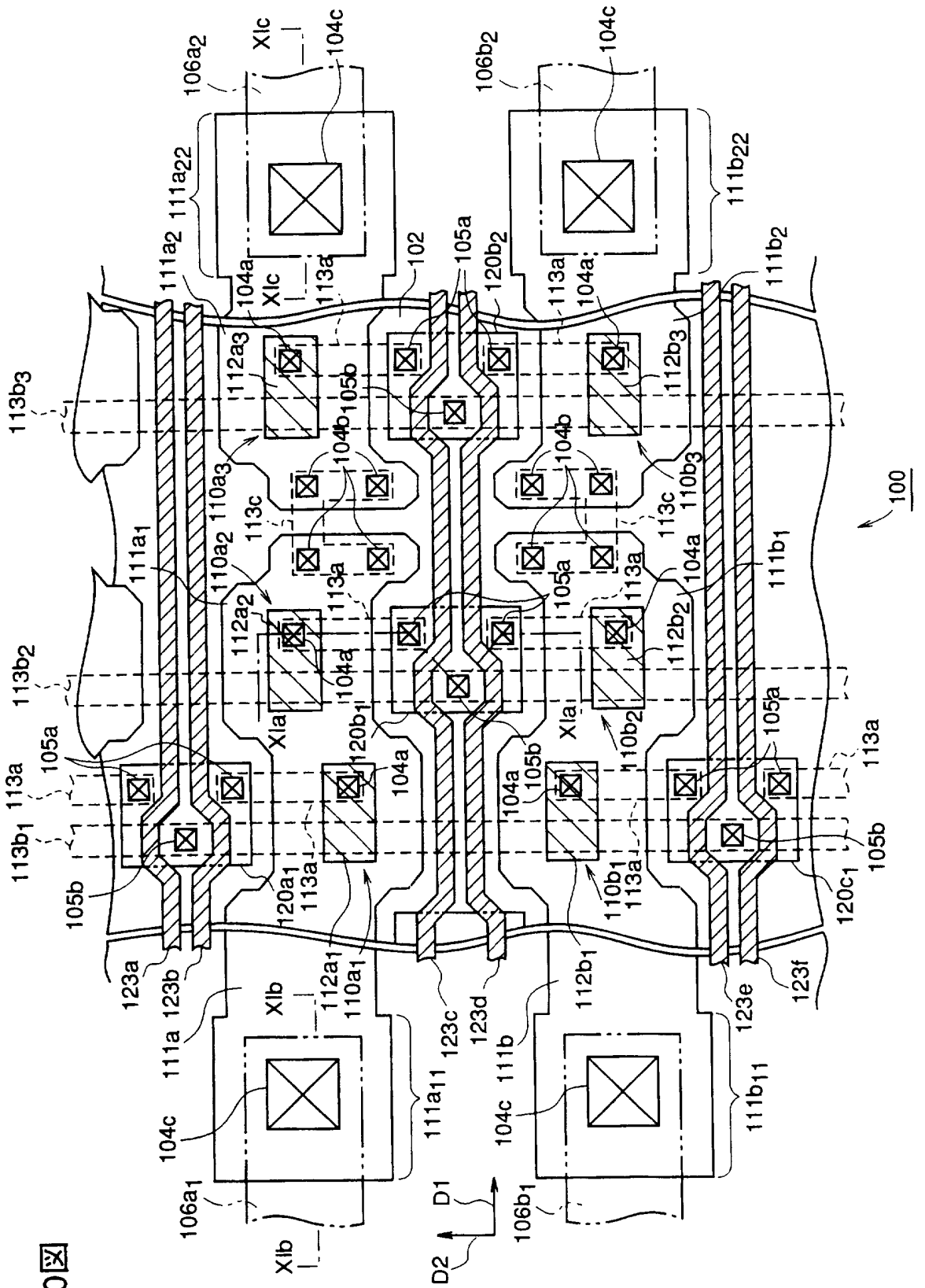


第9(a)図



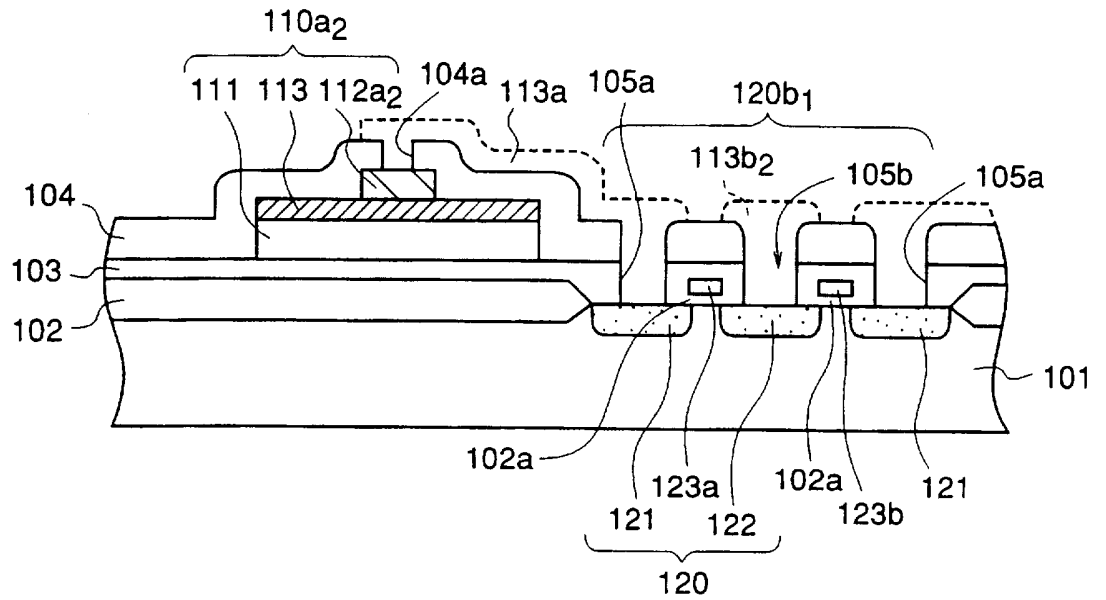
第9(b)図





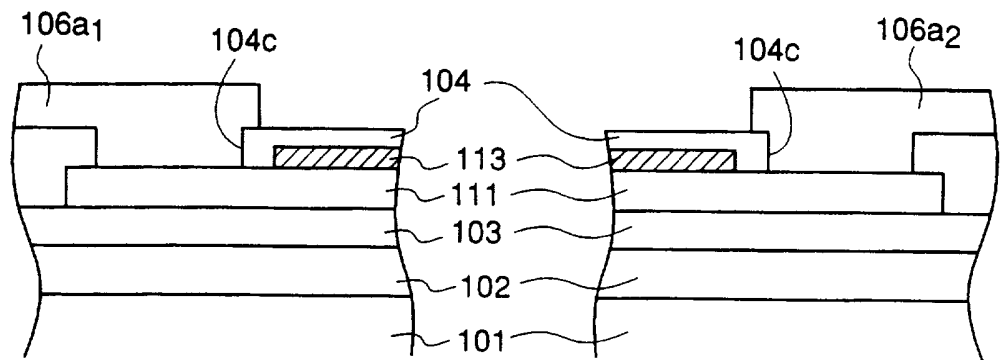
第10図

第11(a)図

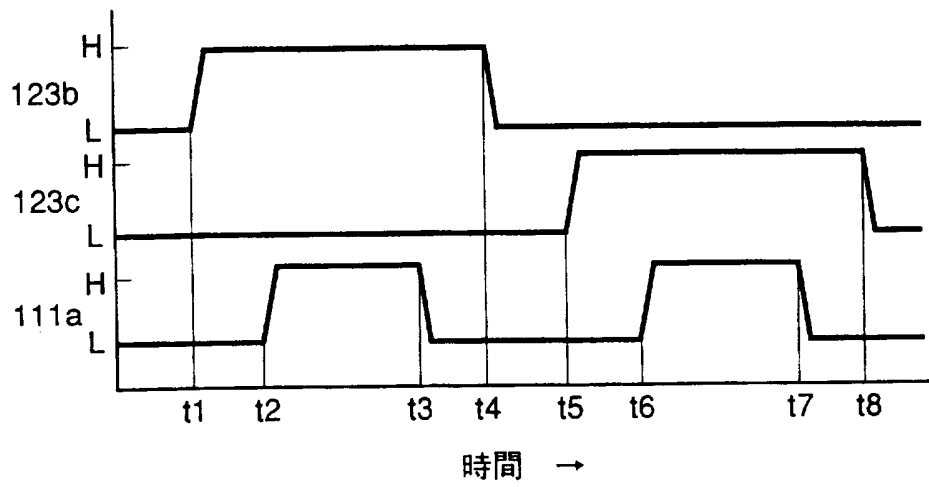


第11(b)図

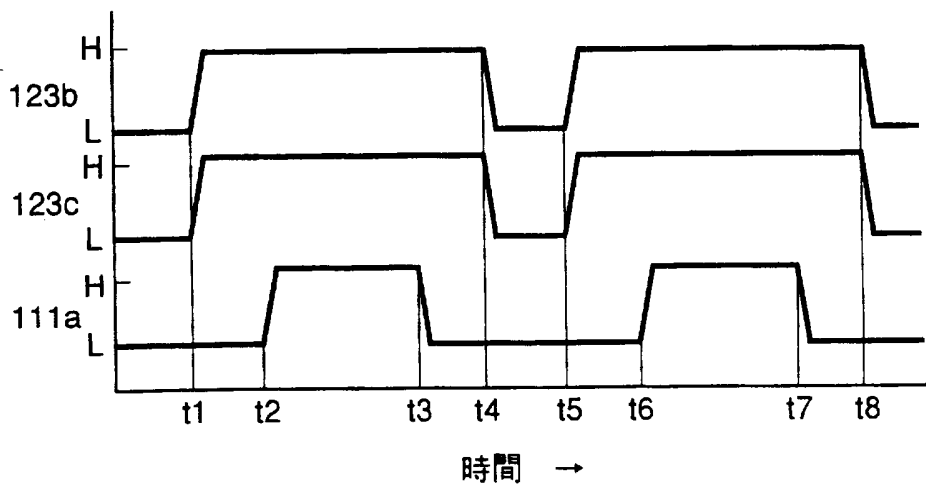
第11(c)図



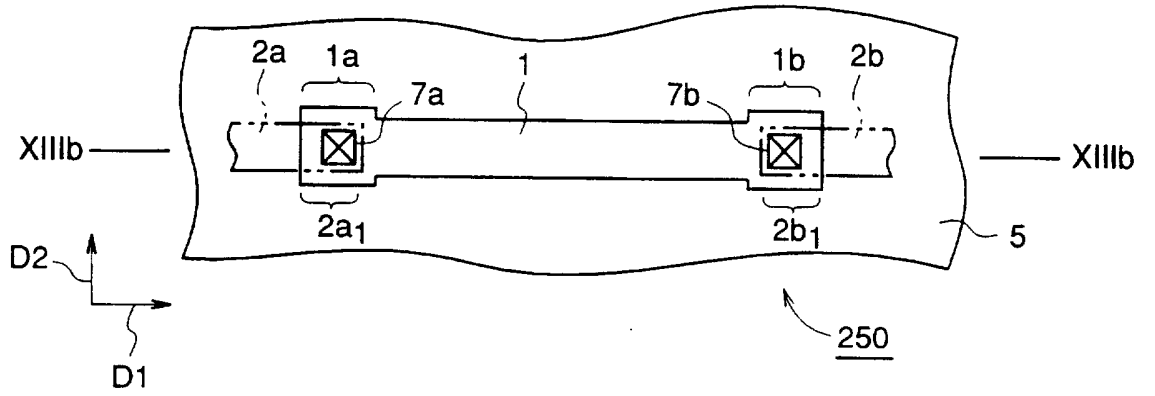
第12(a)図



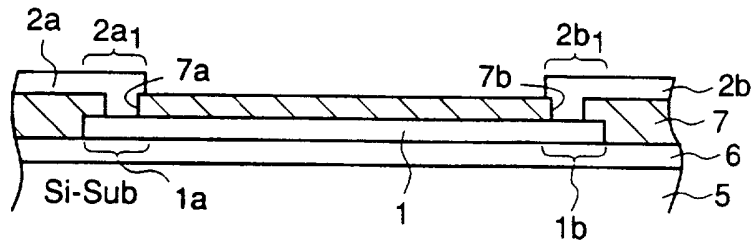
第12(b)図



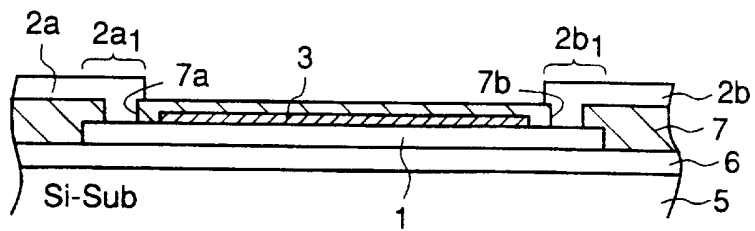
第13(a)図



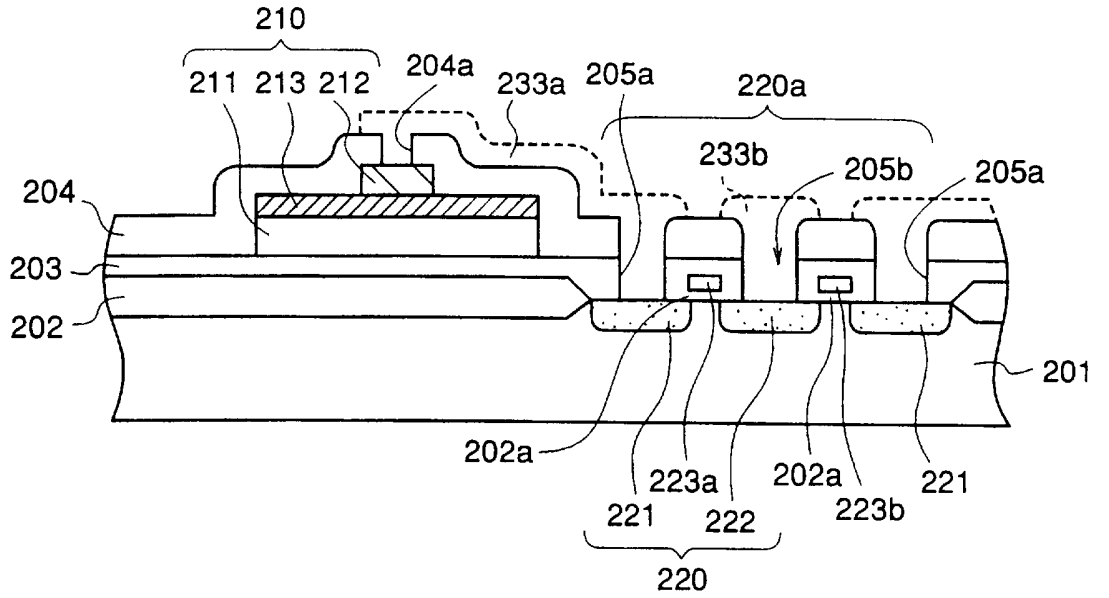
第13(b)図



第13(c)図

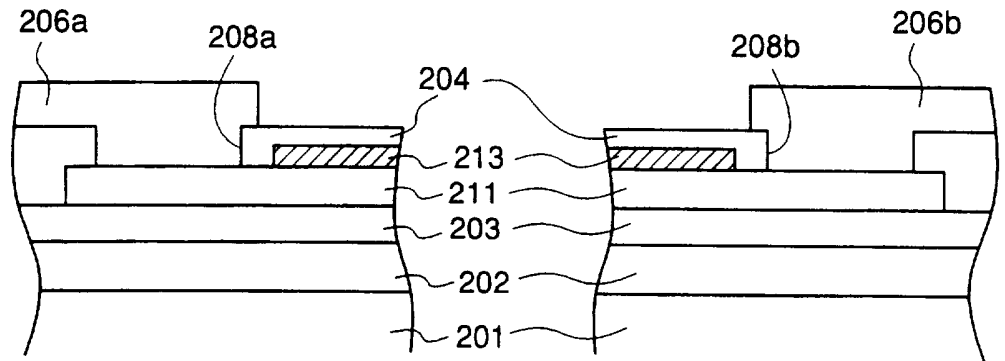


第15(a)図



第15(b)図

第15(c)図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/01346

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl ⁶ H01L21/3205, H01L27/3213, H01L21/8247, H01L29/788, H01L29/792, H01L27/108, H01L21/8242, H01L27/10, 451 According to International Patent Classification (IPC) or to both national classification and IPC																			
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl ⁶ H01L21/3205, H01L27/3213, H01L21/8247, H01L29/788, H01L29/792, H01L27/108, H01L21/8242, H01L27/10, 451 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926 - 1997 Kokai Jitsuyo Shinan Koho 1971 - 1997 Toroku Jitsuyo Shinan Koho 1994 - 1997 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																			
C. DOCUMENTS CONSIDERED TO BE RELEVANT																			
<table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP, 61-93646, A (Fujitsu Ltd.), May 12, 1986 (12. 05. 86), Fig. 1 (Family: none)</td> <td>4, 5, 19 16</td> </tr> <tr> <td>X Y</td> <td>JP, 1-237524, A (Seiko Epson Corp.), September 22, 1989 (22. 09. 89), Figs. 1, 2, 3 (Family: none)</td> <td>4, 5, 7 16</td> </tr> <tr> <td>X Y A</td> <td>JP, 4-78098, A (Toshiba Corp.), March 12, 1992 (12. 03. 92), Figs. 3, 4, 5 & DE, 4118847, A & US, 5400275, A</td> <td>8, 9, 18 16 1-3, 6, 15-17, 19-20</td> </tr> <tr> <td>X Y</td> <td>JP, 4-348054, A (Sharp Corp.), December 3, 1992 (03. 12. 92), Figs. 2, 3 (Family: none)</td> <td>14 16</td> </tr> <tr> <td>X Y</td> <td>JP, 7-201855, A (Fujitsu Ltd.), August 4, 1995 (04. 08. 95), Fig. 2 (Family: none)</td> <td>14 16</td> </tr> </tbody> </table>	Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	JP, 61-93646, A (Fujitsu Ltd.), May 12, 1986 (12. 05. 86), Fig. 1 (Family: none)	4, 5, 19 16	X Y	JP, 1-237524, A (Seiko Epson Corp.), September 22, 1989 (22. 09. 89), Figs. 1, 2, 3 (Family: none)	4, 5, 7 16	X Y A	JP, 4-78098, A (Toshiba Corp.), March 12, 1992 (12. 03. 92), Figs. 3, 4, 5 & DE, 4118847, A & US, 5400275, A	8, 9, 18 16 1-3, 6, 15-17, 19-20	X Y	JP, 4-348054, A (Sharp Corp.), December 3, 1992 (03. 12. 92), Figs. 2, 3 (Family: none)	14 16	X Y	JP, 7-201855, A (Fujitsu Ltd.), August 4, 1995 (04. 08. 95), Fig. 2 (Family: none)	14 16	<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																	
X Y	JP, 61-93646, A (Fujitsu Ltd.), May 12, 1986 (12. 05. 86), Fig. 1 (Family: none)	4, 5, 19 16																	
X Y	JP, 1-237524, A (Seiko Epson Corp.), September 22, 1989 (22. 09. 89), Figs. 1, 2, 3 (Family: none)	4, 5, 7 16																	
X Y A	JP, 4-78098, A (Toshiba Corp.), March 12, 1992 (12. 03. 92), Figs. 3, 4, 5 & DE, 4118847, A & US, 5400275, A	8, 9, 18 16 1-3, 6, 15-17, 19-20																	
X Y	JP, 4-348054, A (Sharp Corp.), December 3, 1992 (03. 12. 92), Figs. 2, 3 (Family: none)	14 16																	
X Y	JP, 7-201855, A (Fujitsu Ltd.), August 4, 1995 (04. 08. 95), Fig. 2 (Family: none)	14 16																	
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																		
Date of the actual completion of the international search July 14, 1997 (14. 07. 97)	Date of mailing of the international search report July 23, 1997 (23. 07. 97)																		
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.																		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/01346

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 5-90606, A (Seiko Epson Corp.), April 9, 1993 (09. 04. 93), Fig. 1 (Family: none)	16
A	JP, 6-196478, A (Kawasaki Steel Corp.), July 15, 1994 (15. 07. 94), Fig. 1 (Family: none)	8 - 13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/3205, H01L27/3213, H01L21/8247,
H01L29/788, H01L29/792, H01L27/108, H01L21/8242
H01L27/10, 451

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/3205, H01L27/3213, H01L21/8247,
H01L29/788, H01L29/792, H01L27/108, H01L21/8242
H01L27/10, 451

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1997
日本国公開実用新案公報 1971-1997
日本国登録実用新案公報 1994-1997

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 61-93646A (富士通株式会社), 12. 5月. 1986, (12. 05 . 86), 第1図, (ファミリーなし)	4, 5, 19 16
X Y	J P 1-237524A (セイコーエプソン株式会社), 22. 9月. 1989, (22. 09. 89), 第1, 2, 3図, (ファミリーなし)	4, 5, 7 16
X Y A	J P 4-78098A (株式会社東芝), 12. 3月. 1992, (12. 03. 92), 第3, 4, 5図, &DE4118847A, &US5400 275A	8, 9, 18 16 1-3, 6, 15-17, 19-20

C欄の続きにも文献が列举されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技术水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14. 07. 97

国際調査報告の発送日

23.07.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

印

4M 9170

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP4-348054A (シャープ株式会社), 3. 12月. 1992,	14
Y	(03. 12. 92), 第2、3図, (ファミリーなし)	16
X	JP7-201855A (富士通株式会社), 4. 8月. 1995,	14
Y	(04. 08. 95), 第2図, (ファミリーなし)	16
Y	JP5-90606A (セイコーエプソン株式会社), 9. 4月. 1993,	16
	(09. 04. 93), 第1図, (ファミリーなし)	
A	JP6-196478A (川崎製鉄株式会社), 15. 7月. 1994,	8-13
	(15. 07. 94), 第1図, (ファミリーなし)	