

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H01L 21/762	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월27일 10-0539001 2005년12월20일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0101566 2003년12월31일	(65) 공개번호 (43) 공개일자	10-2005-0070944 2005년07월07일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	동부아남반도체 주식회사 서울 강남구 대치동 891-10
(72) 발명자	조평은 서울특별시영등포구신길6동4112
(74) 대리인	서천석

심사관 : 김수미

(54) 반도체 소자의 소자분리막 형성 방법

요약

본 발명은 STI 형성시 발생하는 모우트 에지 현상을 억제하여 험프 현상 등의 STI 특성을 향상시키는 소자분리막 형성 방법에 관한 것이다.

본 발명의 반도체 소자의 소자분리막 형성 방법은 기판상에 제1절연막 및 제2절연막을 증착하고 제1포토레지스트 패턴을 형성하는 단계; 상기 제1포토레지스트 패턴을 이용하여 제2절연막, 제1절연막 및 기판을 식각하여 제1트렌치를 형성하는 단계; 상기 기판상에 제2포토레지스트 패턴을 형성하고, 이를 이용하여 제2트렌치를 형성하는 단계; 상기 제1트렌치의 바닥면에 제3절연막을 증착하는 단계; 상기 기판 전면에 제4절연막을 증착하는 단계; 및 상기 상기 제4절연막을 식각하여 제1트렌치 및 제2트렌치의 측면부에 라운딩 프로파일을 갖는 측벽을 형성하고 제5절연막을 증진한 후 평탄화하는 단계를 포함하여 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 반도체 소자의 소자분리막 형성 방법은 반도체 소자의 소자분리막 특성이 좋아지고, STI의 라운딩 효과를 극대화하여 모우트 에지 현상을 방지할 수 있는 장점이 있다.

대표도

도 2f

색인어

모우트 에지 현상, STI, 라운딩 효과

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래기술에 의한 STI 형성 방법의 공정 단면도.

도 2a 내지 도 2f는 본 발명에 의한 STI 형성 방법의 공정 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 소자분리막 형성 방법에 관한 것으로, 보다 자세하게는 제1트렌치 및 제2트렌치를 형성하고 각각의 트렌치 측면에 라운딩 효과를 가진 절연막 측벽을 가진 STI를 형성하는 방법에 관한 것이다.

종래에는, 일반적으로 반도체 소자를 분리하는 방법으로는 선택적 산화법으로 질화막을 이용하는 LOCOS(local oxidation of silicon, 이하 LOCOS) 소자 분리 방법이 이용되어 왔다. LOCOS 소자 분리 방법은 질화막을 마스크로 해서 실리콘 웨이퍼 자체를 열산화시키기 때문에 공정이 간소해서 산화막의 소자 응력 문제가 적고, 생성되는 산화막질이 좋다는 이점이 있다. 그러나, LOCOS 소자 분리 방법을 이용하면 소자 분리 영역이 차지하는 면적이 크기 때문에 소자의 미세화에 한계가 있을 뿐만 아니라 버즈 비크(bird's beak)가 발생하게 된다.

상기와 같은 문제점을 극복하기 위해 LOCOS 소자 분리 방법을 대체하는 기술로서 트렌치 소자 분리(shallow trench isolation, 이하 STI)가 있다. 트렌치 소자 분리에서는 실리콘 웨이퍼에 트렌치를 만들어 절연물을 집어넣기 때문에 소자 분리 영역이 차지하는 면적이 작아서 소자의 미세화에 유리하다. 현재 적용되는 STI 공정은 반도체 기판을 건식 식각하여 트렌치를 형성한 후 건식식각으로 인한 손상(damage)을 큐어링(curing)한 후, 계면 특성 및 활성영역과 소자격리영역의 모서리 라운딩 특성을 향상시키기 위해 트렌치 내부를 열산화하여 산화막을 형성하는 공정을 진행한다. 이후 산화막이 형성된 트렌치를 매우도록 반도체 기판 전면에 절연막을 두껍게 증착하고 화학적 기계적 연마(chemical mechanical polishing)를 진행하여 반도체 기판을 평탄화한다.

도 1a 내지 도 1d는 종래 기술에 의한 STI 형성 방법의 공정 단면도이다.

먼저, 도 1a에서 보는 바와 같이 기판(10)상에 패드 산화막(11) 및 질화막(12)을 증착한 후, 패턴(13)을 형성한다.

다음, 도 1b에서 보는 바와 같이 상기 형성된 패턴을 이용하여 상기 질화막 및 패드 산화막을 식각하여 트렌치(14)를 형성한다.

다음, 도 1c에서 보는 바와 같이 상기 형성된 트렌치에 TEOS(Tetra-ethoxysilane, 이하 TEOS) 산화막과 같은 절연물(15)을 증착하여 트렌치를 충전하는 단계이다.

다음, 도 1d에서 보는 바와 같이 상기 질화막 및 패드 산화막을 완전히 제거하여 STI를 완성하는 단계이다. 이와 같은 종래 기술에 의해 형성된 STI의 에지 영역(16)은 모우트 에지(Moat edge) 현상등으로 인해 누설 특성이 좋지 않은 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 기판상에 제1트렌치 및 제2트렌치를 형성하고 각각의 측면에 라운딩 효과를 갖는 절연막 측벽을 형성하여 STI의 라운딩 효과를 극대화하는 STI 형성 방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

본 발명의 상기 목적은 기판상에 제1절연막 및 제2절연막을 증착하고 제1포토리소그래피 패턴을 형성하는 단계; 상기 제1포토리소그래피 패턴을 이용하여 제2절연막, 제1절연막 및 기판을 식각하여 제1트렌치를 형성하는 단계; 상기 기판상에 제2포

토레지스트 패턴을 형성하고, 이를 이용하여 제2트렌치를 형성하는 단계; 상기 제1트렌치의 바닥면에 제3절연막을 증착하는 단계; 상기 기판 전면에 제4절연막을 증착하는 단계; 및 상기 상기 제4절연막을 식각하여 제1트렌치 및 제2트렌치의 측면부에 라운딩 프로파일을 갖는 측벽을 형성하고 제5절연막을 증진한 후 평탄화하는 단계를 포함하여 이루어진 반도체 소자의 소자분리막 형성 방법에 의해 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

도 2a 내지 도 2f는 본 발명에 의한 STI 형성 방법의 공정 단면도를 나타낸 것이다.

먼저, 도 2a는 기판상에 제1절연막 및 제2절연막을 증착하고 제1포토레지스트 패턴을 형성하는 단계이다. 도에서 보는 바와 같이 반도체 소자를 형성하는 기판(20)상에 제1절연막(21) 및 제2절연막(22)을 순차적으로 형성하고, 포토레지스트(Photoresist)를 도포한 후, 노광 및 현상 공정으로 제1포토레지스트 패턴(23)을 형성한다. 이때 상기 제1절연막은 100 내지 200Å의 두께를 갖는 실리콘 산화막이 바람직하고, 제2절연막은 1000 내지 3000Å의 두께를 갖는 실리콘 질화막이 바람직하다. 상기 제1절연막은 하부의 기판을 보호하는 역할을 하는 패드 산화막으로 형성되어진 것이고, 제2절연막은 하부의 기판을 식각할 때 하드 마스크로의 역할을 한다.

다음, 도 2b는 상기 제1포토레지스트 패턴을 이용하여 제2절연막, 제1절연막 및 기판을 식각하여 제1트렌치를 형성하는 단계이다. 도에서 보는 바와 같이 상기 제1포토레지스트 패턴을 이용하여 제2절연막, 제1절연막 및 실리콘 기판을 식각하여 제1트렌치(24)를 형성한다. 상기 제1트렌치는 RIE(Reactive Ion Etching, 이하 RIE)와 같은 건식 식각으로 기판의 표면을 4000 내지 6000Å의 깊이로 식각한다.

다음, 도 2c는 상기 기판상에 제2포토레지스트 패턴을 형성하고, 상기 제2포토레지스트 패턴을 이용하여 제2트렌치를 형성하는 단계이다. 도에서 보는 바와 같이 상기 제1포토레지스트 패턴보다 넓은 너비를 가지는 제2포토레지스트 패턴(25)을 포토레지스트로 형성하고, 상기 제2포토레지스트 패턴을 이용하여 제2트렌치(26)를 형성한다. 이때 상기 제2트렌치는 상기 제1트렌치에 비해 너비는 넓지만 깊이는 얇도록 형성한다.

다음, 도 2d는 상기 제1트렌치의 바닥면에 제3절연막을 증착하는 단계이다. 도에서 보는 바와 같이 제1트렌치의 바닥면에 제3절연막(27)을 제1트렌치 깊이와 제2트렌치 깊이 차의 반 정도의 두께로 증착한다. 상기 제3절연막은 실리콘 산화막으로 증착하는 것이 바람직하다.

다음, 도 2e는 상기 기판 전면에 제4절연막을 증착하는 단계이다. 도에서 보는 바와 같이 제1트렌치 및 제2트렌치 등과 같은 구조가 형성된 기판상에 제4절연막(28)을 증착한다. 상기 제4절연막은 실리콘 질화막으로 증착하는 것이 바람직하며, 800 내지 1200Å의 두께로 증착하고 바람직하게는 1000Å의 두께로 증착한다.

다음, 도 2f는 상기 제4절연막을 식각하여 제1트렌치 및 제2트렌치의 측면부에 라운딩 프로파일을 갖는 측벽을 형성하고 제5절연막을 증진한 후 평탄화하는 단계이다. 도에서 보는 바와 같이 상기 증착된 제4절연막을 식각하여 절연막 측벽(29)을 형성하고, 제5절연막(30)을 증착한 후 평탄화한다. 이때 상기 제4절연막을 식각하는 단계에서는 인산을 이용하여 상기 제4절연막을 완전히 식각하여 제거하는 것이 아니라, 위치 및 형상에 따른 식각율(etch ratio)을 이용하여 제1트렌치 및 제2트렌치의 측면에 있는 제4절연막의 일부를 남겨둔다. 즉, 측면에 남겨진 제4절연막은 라운딩 프로파일을 갖는 절연막 측벽이 된다. 그리고 제5절연막으로 상기 제1트렌치 및 제2트렌치를 증진하고 평탄화 공정으로 제1절연막 및 제2절연막을 제거한다. 상기 제5절연막은 TEOS 산화막으로 형성하는 것이 바람직하다. 그리고 인산으로 잔류하는 질화막을 제거하여 STI를 완성한다.

상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

발명의 효과

따라서, 본 발명의 반도체 소자의 소자분리막 형성 방법은 STI를 형성할 때 질화막으로 이루어진 라운딩 처리된 절연막 측벽을 형성함으로써 반도체 소자의 소자분리막 특성이 좋아지고, STI의 라운딩 효과를 극대화하여 모우트 에지 현상을 방지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판상에 제1절연막 및 제2절연막을 증착하고 제1포토레지스트 패턴을 형성하는 단계;

상기 제1포토레지스트 패턴을 이용하여 제2절연막, 제1절연막 및 기판을 식각하여 제1트렌치를 형성하는 단계;

상기 기판상에 제2포토레지스트 패턴을 형성하고, 이를 이용하여 제2트렌치를 형성하는 단계;

상기 제1트렌치의 바닥면에 제3절연막을 증착하는 단계;

상기 기판 전면에 제4절연막을 증착하는 단계; 및

상기 제4절연막을 식각하여 제1트렌치 및 제2트렌치의 측면부에 라운딩 프로파일을 갖는 측벽을 형성하고 제5절연막을 증진한 후 평탄화하는 단계

를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

청구항 2.

제 1항에 있어서,

상기 제1절연막, 제3절연막 및 제5절연막은 산화막임을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

청구항 3.

제 1항에 있어서,

상기 제2절연막 및 제4절연막은 질화막임을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

청구항 4.

제 1항에 있어서,

상기 제1절연막의 두께는 100 내지 200Å임을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

청구항 5.

제 1항에 있어서,

상기 제2절연막의 두께는 1000 내지 3000Å임을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

청구항 6.

제 1항에 있어서,

상기 제1트렌치는 4000 내지 6000Å의 깊이로 형성됨을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

청구항 7.

제 1항에 있어서,

상기 제2트렌치는 제1트렌치보다 너비는 넓으나 깊이는 얇은 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

청구항 8.

제 1항에 있어서,

상기 제3절연막은 제1트렌치 깊이와 제2트렌치 깊이의 차의 반의 두께로 증착함을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

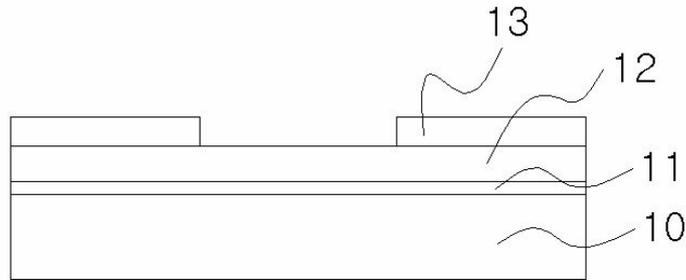
청구항 9.

제 1항에 있어서,

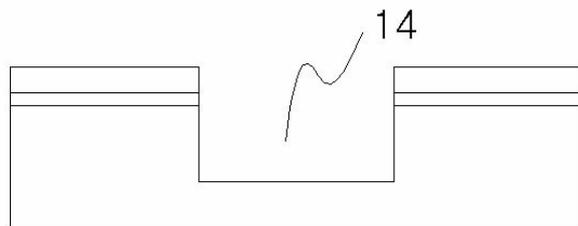
상기 제4절연막은 800 내지 1200Å의 두께로 증착함을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

도면

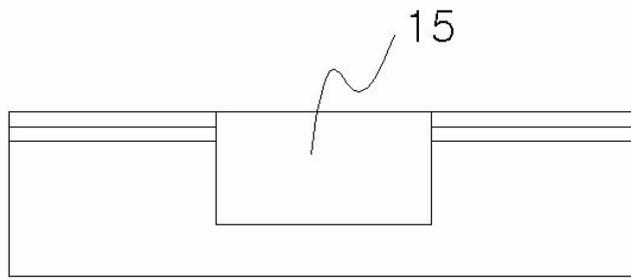
도면1a



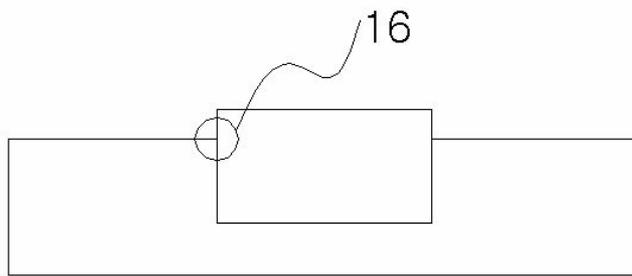
도면1b



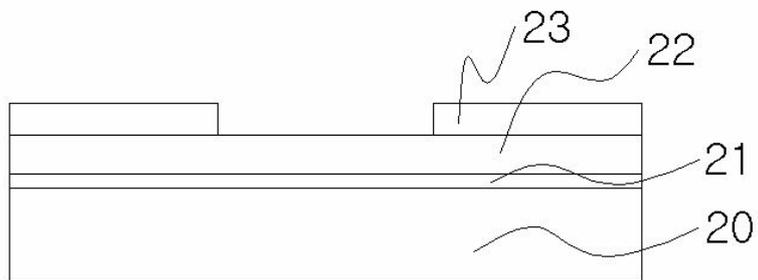
도면1c



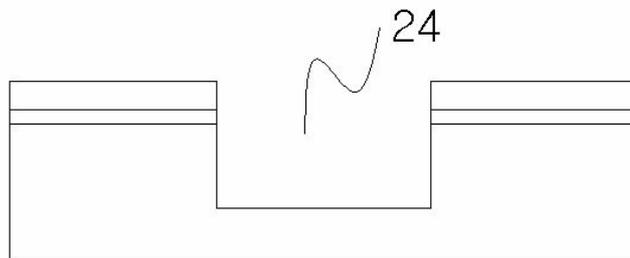
도면1d



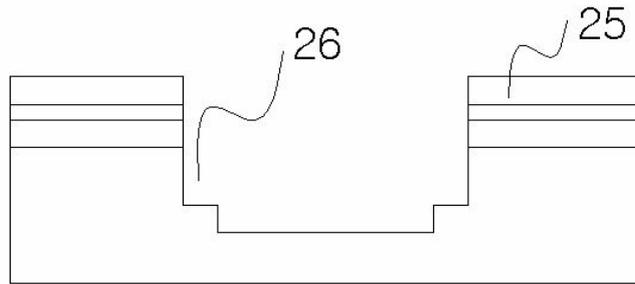
도면2a



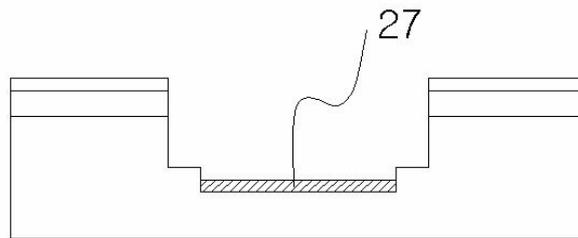
도면2b



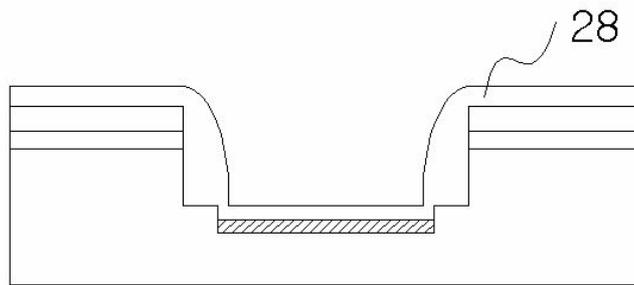
도면2c



도면2d



도면2e



도면2f

